

GFEC Stratix III F1517

研發電路板中文使用手冊



Rev 1.0
UG_EK3SF1517-2009

產品名稱： 茂綸 Stratix III F1517 研發電路板
手冊版本： 1.0 UG_EK3SF1517-2009
發表日期： 2009 年 9 月

版權所有，不得翻印©2008 茂綸股份有限公司。

本產品的所有部份，包括配件及軟體等，其所有權歸茂綸股份有限公司（以下稱茂綸）所有，未經茂綸公司許可，不得任意地仿製、拷貝、騰寫或轉譯。本使用手冊沒有任何型式的擔保、立場表達或其它暗示。若有任何因本使用手冊或其所提到之產品的所有資訊，所引起直接或間接的資料流失、利益損失或事業終止，茂綸及其所屬員工恕不為其擔負任何責任。除此之外，本使用手冊所提到的產品規格及資訊僅供參考，內容亦會隨時更新，恕不另行通知。本使用手冊的所有部份，包括硬體及軟體，若有任何錯誤，茂綸沒有義務為其擔負任何責任。

本使用手冊中所提及的產品名稱僅做識別之用，而這些名稱可能是屬於其它公司的註冊商標或是版權，在此聲明如下：

- Stratix III 是 Altera FPGA 系列之名稱。
- Synplify 及 Synplify Pro 是 Synplicity 的合成軟體名稱。
- Precision 是 Mentor 的合成軟體名稱。

未提及之商標與名稱皆屬該公司所有。

在科技迅速的發展下，此發行手冊中的一些規格可能會有過時不適用的敘述，敬請見諒。在此不擔保本手冊無任何疏忽或錯誤亦不排除會再更新發行。手冊若有任何內容修改，恕不另行通知。研發電路板若有任何配件及硬體上的變更，使用手冊都會隨時更新。更新的詳細說明請您到[茂綸的全球資訊網](#)瀏覽，或直接與茂綸公司聯絡。

研發電路板上的任何標籤或貼紙請勿自行撕毀與抹除，否則會影響到產品保固的認定標準。

目錄內容

1.	產品介紹.....	2
1.1	Stratix III 元件簡介.....	3
1.2	產品規格.....	4
1.3	注意事項.....	5
1.4	快速使用研發電路板.....	6
2.	硬體裝置資訊.....	7
2.1	茂綸 EK3SF1517 Development Board 外觀圖	7
2.2	茂綸 EK3SF1517 Development Board 構造圖	8
2.3	FPGA 相容型號.....	9
2.4	電源系統.....	10
2.5	VCC I/O 調整	11
2.6	研發電路板可用 I/O 之對應	12
2.6.1	JP1 & JP5	16
2.6.2	JP2 & JP6.....	18
2.6.3	JP3 & JP7	20
2.6.4	JP4 & JP8	22
2.7	AS (Active Serial) Header	24
2.8	JTAG Header.....	24
2.9	Battery.....	25
2.10	UART	26
2.11	Re-Configuration	27
2.12	時脈訊號之使用.....	28
2.13	System Status Indicators	29
2.14	I/O Follow Through Switch 之電氣規格特性	30
2.15	Mictor Connector	31
2.16	Fan Power Connector.....	32
3.	軟體相關資訊.....	33
3.1	QuartusII 版本支援	33
3.2	軟體操作.....	34
3.2.1	Hardware Setup.....	34
3.2.2	Configuration Device Setting	37
3.2.3	JTAG.....	39
3.2.4	Active Serial Programming (AS).....	42
3.2.5	Stratix III Device Family 相容性設定	45
4.	附錄.....	51
4.1	Byteblaster MV/II 在 Windows 2K/XP 安裝指南	51
4.2	Microsoft Window XP SP2 相容性問題修正方法	56
4.3	USB Blaster Driver Installation	56
4.4	GFEC Stratix III 研發電路板專屬拔取器使用方法.....	60
4.5	尺寸圖.....	65
4.6	Recommend Layout Footprint	66
4.7	電路圖.....	69
4.8	參考資料.....	83



聯絡茂綸股份有限公司

台北總公司

地址:<231>台北縣新店市北新路三段207-5號14F

TEL: 886-2-8913-2200

FAX: 886-2-8913-2277

竹科辦事處

地址:<300>新竹市光復路一段526號3F

TEL: 886-3-578-6766

FAX: 886-3-577-4795

高雄辦事處

地址:<813>高雄市左營區博愛二路366號20樓之1

TEL: 886-7-557-5818

FAX: 886-7-557-5819

技術支援專線

TEL: 0800819595

茂綸全球資訊網頁

[HTTP://WWW.GFEC.COM.TW](http://WWW.GFEC.COM.TW)



www.gfec.com.tw



1. 產品介紹

本研發電路板設計為 IC 研發驗證所使用。本研發電路板可支援 Altera Stratix III Device Family 中，最高規格的FPGA EP3SL340F1517，可提供 IC 設計最大容量達 338,000 LEs、20,491,000 bits 內嵌式的記憶體及最大 960 個可用 I/Os。如果在目前業界最大容量的 FPGA 仍無法滿足其設計需求時，亦可以利用本研發電路板，以堆疊方式來擴充其可使用邏輯的容量。

本研發電路板在FPGA週圍提供了40組Buffer保護電路，防止一些突波傷害FPGA的情況。在做驗證上，除了可利用AS Mode將資料存於FLASH中之外，另外可利用JTAG將資料直接下載於FPGA的SRAM中，以減少FLASH燒錄次數增長FLASH的使用壽命，並使驗證更為快速。

本研發電路板除了原本可以燒錄的安全密碼外，另外支援一組揮發性記憶體的密碼。且在I/O部分，除保留了給原來UART使用的接腳外，另外加了一組可由USB轉UART的接腳。且有一組測試用的I/O port (Mictor)，可用來連接邏輯分析儀介面。



1.1 Stratix III 元件簡介

Altera 的FPGA-Stratix III 系列，FPGA 效能達到前所未見的水準。Stratix III 元件採用了創新性的邏輯結構，可在效能與功耗上做一個選擇，若選擇效能高，core voltage調為1.1V，效能比第二代 StratixII FPGA 平均提高 50%，若選擇低功耗，可將core voltage調為0.9V，功耗將比stratixII減少約50%，邏輯容量增加一倍。在高階系統中，Stratix III 元件擴展了應用 FPGA 設計的範圍，可利用其滿足現今設計者對於高性能的要求，且避免使用複雜的 ASIC 設計流程開發產品。Stratix III 元件是建立在得獎的 StratixII Device Family 之上。Stratix III 元件提供強大的系統設計功能、包含許多有效加強產品價值和新的生產力。

Stratix III FPGA是以65奈米製程技術進行生產製造。Stratix III 元件初次採用了創新和高效能的邏輯結構，獲得最高的性能佔用更少的邏輯資源，且完全相容 StratixII Device Family 架構。這種邏輯結構將元件創造出目前業界中最大的FPGA；達到最高 340K 個等效邏輯單元（ELEs）和 20Mbit 的內嵌式記憶體；這些都使得單位成本大大低於前一代的 FPGA。

Stratix III元件採用Quartus® II軟體進行設計，其具有最佳的效能和易用性。Quartus® II軟體是世界最先進、最大容量FPGA的開發軟體，在單一設計環境下提供合成、最佳化和驗證的工具。

一流的功能 Stratix III 元件改善許多功能，這些功能成為 FPGA 的新標準。諸如新的邏輯結構和設計安全性的技術等新的元件功能構成世界最先進的 FPGA。

若需要詳細FPGA的Datasheet，可以直接至[Altera網站](http://www.altera.com)下載。



1.2 產品規格

在您拿到茂綸 EK3SF1517 研發電路板包裝盒後，請檢查下面所出的各項標準配件是否齊全：

- ☒ GFEC Stratix III 研發電路板一片
- ☒ ADAPTER 一只（交流 AC 110V/220V 轉直流 DC 12V/5A 之電源轉換器）
- ☒ GFEC USB Download Cable 一條
- ☒ 光碟片
- ☒ GFEC Stratix III 研發電路板專屬連接器四只
- ☒ GFEC Stratix III 研發電路板專屬散熱片一只
- ☒ GFEC Stratix III 研發電路板專屬拔取器一只
- ☒ GFEC Stratix III 研發電路板專屬拔取器之輔助工具一只
- ☐ Stratix III to 1.27 inch Connector 轉接板一片

如果發現上述任何一件配件有短缺或損壞之情形，請儘速與茂綸股份有限公司聯絡。

Stratix III 研發電路板主要規格

- Altera Stratix III Family FineLine BGA 1517 pin Package Device (EP3SL200 to EP3SL340)
 - up to 338,000LEs , 16,272K RAM Bits , 576 18X18 Multipliers & 12 PLLs
- Altera Serial Configuration Device EPCS128
- 2 UART Serial Communication Port
- Oscillator Socket
- Up to 757 In/Out Pin (With I/O Protection buffer)
- 1 Mictor Connector (EP4SE290, 4SE360 Unsupported)
- Power System For Altera device (0.9V/3.0V/2.5V)
 - 8 Separate I/O Bank
- Heat Sink Fan
- JTAG Port Connector
- AS Port Connector
- Battery Input for Stratix III Security System



1.3 注意事項

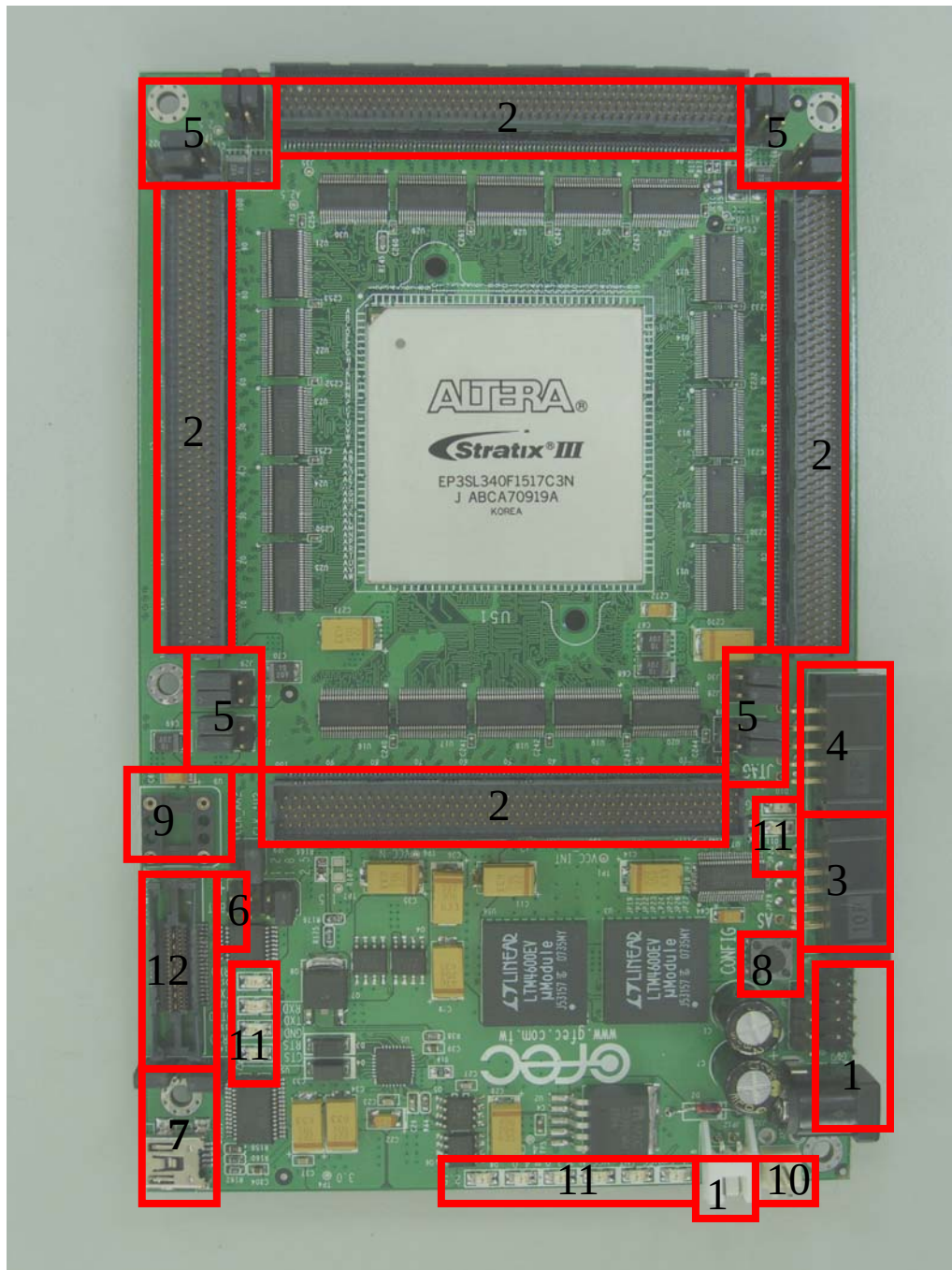
研發電路板由許多精密的積體電路及其他元件所構成，這些積體電路很容易因為遭受到靜電影響而損壞。請在正式安裝使用前，做好下列準備，並研讀完本使用手冊。

- 在將本研發電路板連接自行設計的系統時，如果發現在連接器中的針腳有彎曲或公母座不易結合之情形，切勿強行插入，否則造成針腳損毀不堪使用時，不在保固範圍之內。
- 當系統已經完成連接後，應盡量避免從自行設計的系統中分離出本研發電路板，以延連接器使用壽命；如須要從自行設計的系統中分離出本研發電路板時，應四面均勻緩慢拔出，並使用隨貨所附的 GFEC Stratix III 研發電路板專屬拔取器¹，以避免排針彎曲。
- 請先將所有的設定點查證完畢，無誤後再加入電源。加入電源之前，請再三確認供應電源的電壓及接線。
- 如有需要 ISP 功能，請先將電腦開機完成後再接入本研發電路板電源及客戶的目標板，最後再連接本研發電路板和 Byte-Blaster II、USB-Blaster 或 Byte-Blaster MV Download Cable，若電腦需關機請先將 Download Cable 與本研發電路板脫離。
- 操作人員請配帶靜電防治裝置。拿取研發電路板時請儘量避免觸碰金屬接線及積體電路元件本體部份，避免積體電路元件受到損毀。
- 在研發電路板未安裝或使用時，需將研發電路板放在靜電防止墊或防靜電袋內，以避免元件損毀。
- 本研發電路板嚴禁摔落碰撞，並勿讓導電物質接觸到 PCB 板上的任何線路或零件；當研發電路板已發現明顯之損壞，切勿加入電源測試以免造成危險及 IC 損毀。
- 如須 Stack 本研發電路板做容量擴充時，請確認 I/O 設定是否有衝突，以免造成系統不正常工作或 Follow Through Switch 損毀。
- 請小心使用示波器或邏輯分析儀進行系統除錯時，避免使探針造成短路，導致 Follow Through Switch 損毀。
- 本產品所使用之 ALTERA 元件之相關限制與特性，請參考 ALTERA 資料手冊。
- 本產品的所有可調整接點，皆以活動式 JUMPER 設定，請勿自行加工設定。
- 電源線及 Download 線愈短愈好，以減少雜訊。
- 注意StratixIII F1517裡面pin腳，非全部可使用，要注意會有一些空pin的情況。

以上說明不清楚或遇有使用上疑慮時，務必向本公司工程師詢問了解後再行使用，以免操作不當造成損失。

¹ 詳細使用方法，可以參照 4.4GFEC Stratix III研發電路板專屬拔取器使用方法。

1.4 快速使用研發電路板

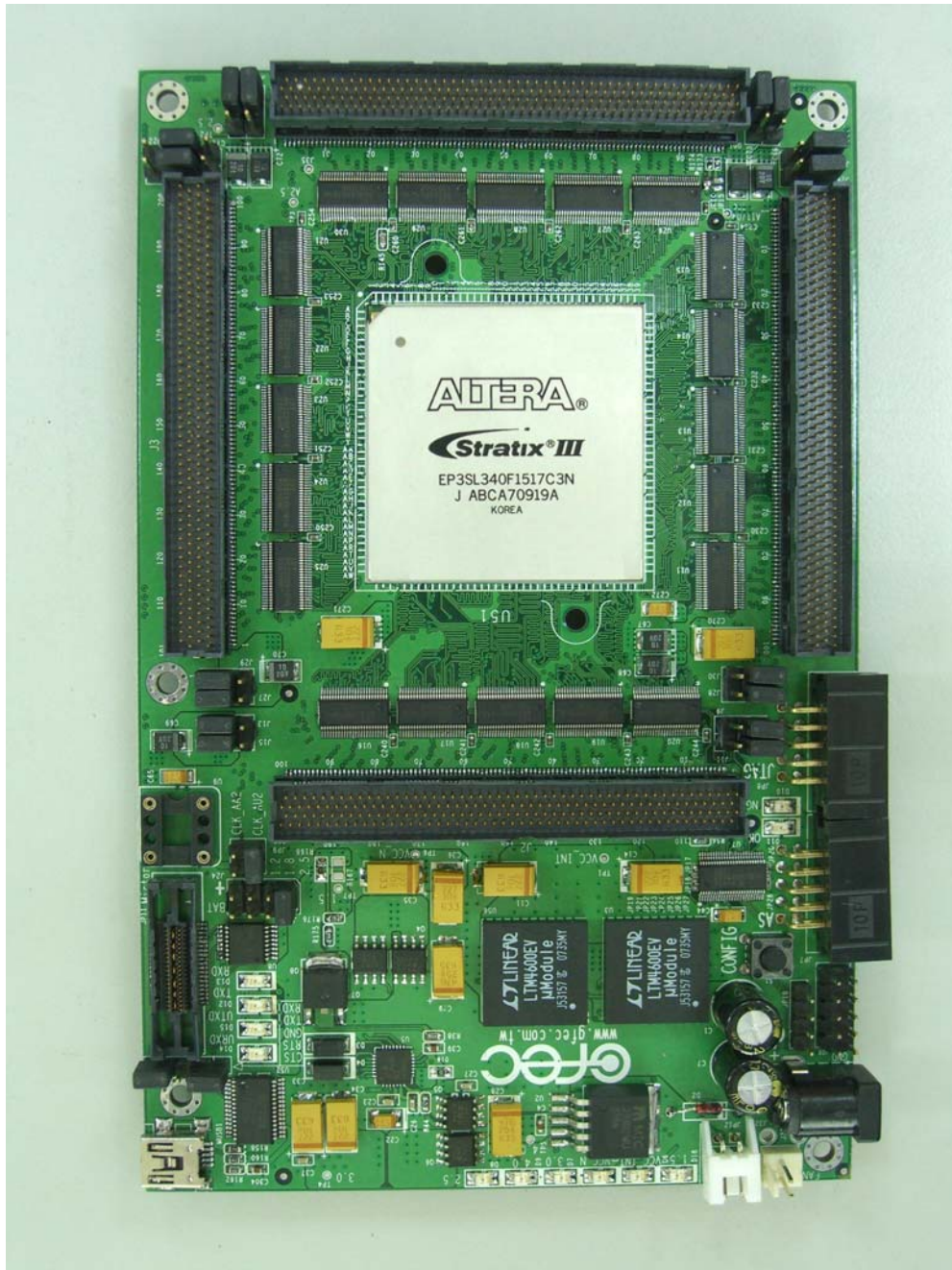


1.	Power System	Detail See 2.4	2.	Extension Connector	Detail See 2.6
3.	AS Configuration	Detail See 2.7	4.	JTAG Configuration	Detail See 2.8
5.	B1~B8 Bank Voltage	Detail See 2.5	6.	Battery	Detail See 2.9
7.	UART	Detail See 2.10	8.	Re-Configuration	Detail See 2.11
9.	Oscillator Socket	Detail See 2.12	10.	Fan Power Connector	Detail See 2.16
11.	System Status Indicators	Detail See 2.13	12.	Mictor Connector	Detail See 2.15

2. 硬體裝置資訊

2.1 茂綸 EK3SF1517 Development Board 外觀圖

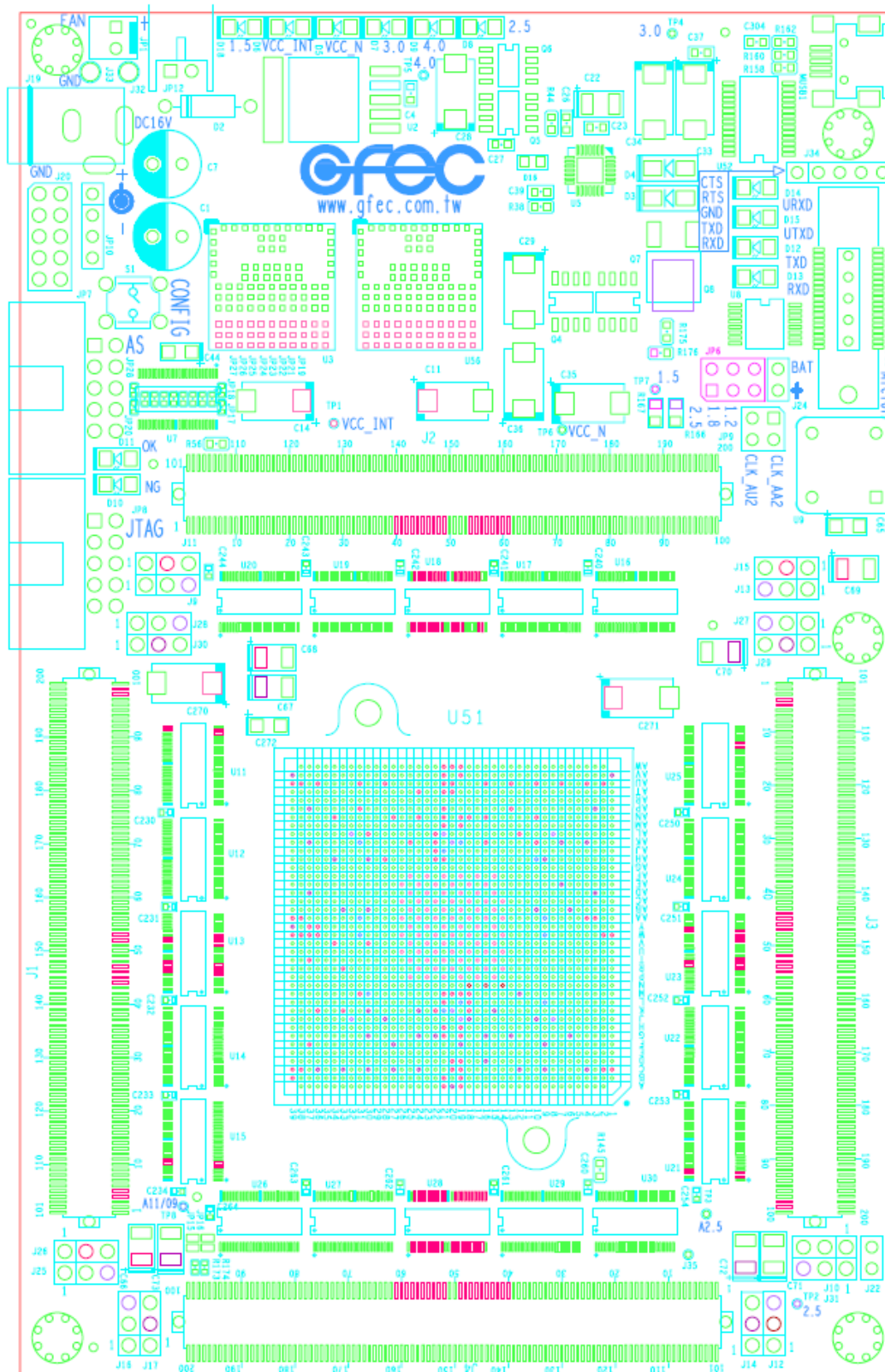
以下為茂綸 Stratix III 研發電路板外觀圖：



圖表 2 茂綸 Stratix III 研發電路板外觀圖

2.2 茂綸 EK3SF1517 Development Board 構造圖

以下為茂綸 Stratix III 研發電路板構造圖：



圖表 3 茂綸 Stratix III 研發電路板機構圖

2.3 FPGA 相容型號

以下列表格 1 為 Stratix III Device Family 所有 IC 之規格。本研發電路板支援容量為 Stratix III ELEs 200K 以上的 Device。

Table 1-1. Stratix III FPGA Family Features											
	Device/ Feature	ALMs	LEs	M9K blocks	M144K blocks	MLAB Blocks	Total Embedded RAM Kbits	MLAB Kbits	Total Memory Kbits	18x18-bit multipliers (FIR Mode)	PLLs
Stratix III Logic Family	EP3SL50	19K	47.5K	108	6	950	1,836	594	2,430	216	4
	EP3SL70	27K	67.5K	150	6	1,350	2,214	844	3,058	288	4
	EP3SL110	43K	107.5K	275	12	2,150	4,203	1,344	5,547	288	8
	EP3SL150	57K	142.5K	355	16	2,850	5,499	1,781	7,280	384	8
	EP3SL200 ²	80K	200K	468	24	4,000	7,668	2,500	10,168	576	12
	EP3SE260 ²	102K	255K	864	48	5,100	14,688	3,188	17,876	768	12
	EP3SL340 ²	135K	337.5K	1,040	48	6,750	16,272	4,219	20,491	576	12
Stratix III Enhanced Family	EP3SE50	19K	47.5K	400	12	950	5,328	594	5,922	384	4
	EP3SE80	32K	80K	495	12	1,600	6,183	1,000	7,183	672	8
	EP3SE110	43K	107.5K	639	16	2,150	8,055	1,344	9,399	896	8
	EP3SE260 ²	102K	255K	864	48	5,100	14,688	3,188	17,876	768	12

表格 1 Stratix III Device Family

以下列表格 2 為 Stratix III Device Family 所有 IC 所支援的包裝及可用 I/Os，本研發電路板可支援的 Package 型式為 Fine-BGA 1517 Pins。

Package Options and I/O Pin Counts Note					
Device	484-Pin FineLine BGA	780-Pin FineLine BGA	1152-Pin FineLine BGA	1,517-Pin FineLine BGA	1,760-Pin FineLine BGA
EP3SL50	296	488	—	—	—
EP3SL70	296	488	—	—	—
EP3SL110	—	488	744	—	—
EP3SL150	—	488	744	—	—
EP3SL200	—	488	744	976 ³	—
EP3SL340	—	—	744	976 ³	1,120
EP3SE50	296	488	744	—	—
EP3SE80	—	488	744	—	—
EP3SE110	—	488	744	—	—
EP3SE260	—	488	744	976 ²	—

表格 2 Stratix III Package Offerings & Users I/O Counts

²黃色標記的部份為 GFEC Stratix III Development Board 可以選擇的 Device 大小。

³黃色標記的部份為 GFEC Stratix III Development Board 可以相容的 Package。

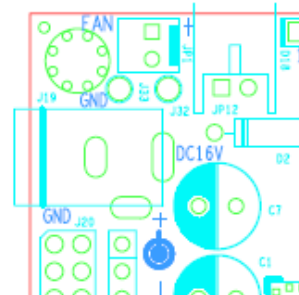
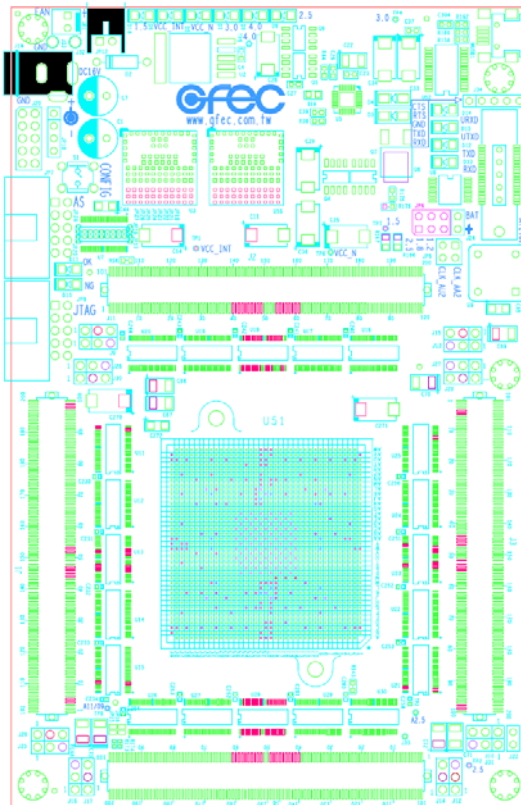
⁴該元件支援較少的 I/O Pin 可能會造成研發電路板上部分的 I/O Connector Pin 無法使用的狀況。

2.4 電源系統

本研發電路板，可以使用隨貨附贈的 Adapter 供給電源；如果當地電源無法提供適合的輸入電源給 Adapter 或須要的功率消耗大於本公司附贈的電源供應器時，本研發電路亦可以接受由使用者自行提供 12 伏特的直流電源輸入。

本電路板內含電源處理電路，電源輸入方式使用方式詳列於下：

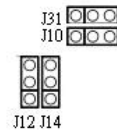
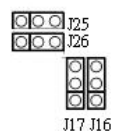
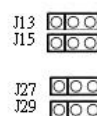
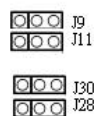
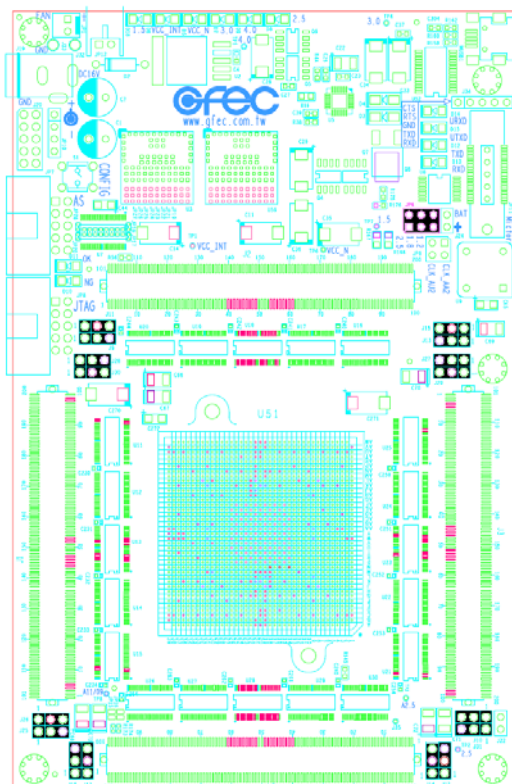
- 使用本公司提供之專用 Adapter，可將交流 AC110V/240V 轉成DC-12V，直接連接在 J19或 JP12上，提供電路板所需電源，但僅限於耗電在 5A 以下之系統使用，若系統有額外需求，外部所需之電源須另外提供。



2.5 VCC I/O 調整

本研發電路板共有 8 個 I/O Bank，於每一個 I/O Bank 均可根據客戶的需求調整電壓，本研發電路板可調整電壓為 3.0V 及 VCC_N (可利用 JP6 的 HEADER_3x2) 調整為 2.5、1.8、1.2V 供 I/O 使用。依序 Bank1~Bank8 為 J26、J30、J11、J15、J29、J10、J14、J17。

另外提供 3.3V 及 2.5V 供 IC 中的 PD1~PD8 使用，依序為 J25、J28、J9、J13、J27、J31、J12、J16。



	Jumper	3.0V	VCC_N
VCC_I01	J26	Pin1 && Pin2	Pin2 && Pin3
VCC_I02	J30	Pin1 && Pin2	Pin2 && Pin3
VCC_I03	J11	Pin1 && Pin2	Pin2 && Pin3
VCC_I04	J15	Pin1 && Pin2	Pin2 && Pin3
VCC_I05	J29	Pin1 && Pin2	Pin2 && Pin3
VCC_I06	J10	Pin1 && Pin2	Pin2 && Pin3
VCC_I07	J14	Pin1 && Pin2	Pin2 && Pin3
VCC_I08	J17	Pin1 && Pin2	Pin2 && Pin3
PD1	J25	Pin1 && Pin2	Pin2 && Pin3
PD2	J28	Pin1 && Pin2	Pin2 && Pin3
PD3	J9	Pin1 && Pin2	Pin2 && Pin3
PD4	J13	Pin1 && Pin2	Pin2 && Pin3
PD5	J27	Pin1 && Pin2	Pin2 && Pin3
PD6	J31	Pin1 && Pin2	Pin2 && Pin3
PD7	J12	Pin1 && Pin2	Pin2 && Pin3
PD8	J16	Pin1 && Pin2	Pin2 && Pin3

*VCC_N的設定請參考2.5



2.6 研發電路板可用 I/O 之對應

本研發電路板將所有 FPGA 可用 I/O 經過 Follow Through Switch 至 Connector，可確保 FPGA 所有 I/O 不至因外來過高之電壓或電流造成損毀。在使本研發電路板做電路驗證時，請注意並非所有的相容元件都有足夠的可使用 I/O，在作 I/O PIN 腳規劃時請注意不同元件所支援的 I/O PIN 腳位置，以確保使用本研發電路板更換不同大小 Gate Count 的 FPGA。

以下為本研發電路板所有專屬使用的腳位說明：

Pin Name	Optional Function	Bank	Location	Board Location
CLK0p	Input/Output	B1	W36	JP1.44
CLK0n	Input/Output	B1	W37	JP1.45
CLK1p	Input	B1	W38	JP1.46
CLK1n	Input	B1	W39	JP1.47
CLK2p	Input/Output	B2	Y36	JP1.52
CLK2n	Input/Output	B2	Y37	JP1.53
CLK3p	Input	B2	AA38	JP1.54
CLK3n	Input	B2	AA39	JP1.55
CLK4p	Input/Output	B3	AT21	JP2.48
CLK4n	Input/Output	B3	AU21	JP2.49
CLK5p	Input/Output	B3	AV21	JP2.44
CLK5n	Input/Output	B3	AW21	JP2.45
CLK6p	Input/Output	B4	AT20	JP2.54
CLK6n	Input/Output	B4	AU20	JP2.55
CLK7p	Input/Output	B4	AV19	JP2.56
CLK7n	Input/Output	B4	AW19	JP2.57
CLK8p	Input	B5	AA2	JP3.46
CLK8n	Input	B5	AA1	JP3.47
CLK9p	Input/Output	B5	AA4	JP3.44
CLK9n	Input/Output	B5	AA3	JP3.45
CLK10p	Input	B6	W2	JP3.54
CLK10n	Input	B6	W1	JP3.55
CLK11p	Input/Output	B6	Y4	JP3.52
CLK11n	Input/Output	B6	Y3	JP3.53
CLK12p	Input/Output	B7	D19	JP4.46
CLK12n	Input/Output	B7	C19	JP4.47
CLK13p	Input/Output	B7	B19	JP4.48
CLK13n	Input/Output	B7	A19	JP4.49
CLK14p	Input/Output	B8	D20	JP4.52
CLK14n	Input/Output	B8	C20	JP4.53
CLK15p	Input/Output	B8	B21	JP4.56
CLK15n	Input/Output	B8	A21	JP4.57
PLL_L1_CLKp	Input	B1	C38	JP1.4
PLL_L1_CLKn	Input	B1	C39	JP1.5
PLL_L1_OUT0n	Input/Output	B1	J33	JP1.107
PLL_L1_FB_OUT0p	Input/Output	B1	K32	JP1.106



Pin Name	Optional Function	Bank	Location	Board Location
PLL_L2_OUT0n	Input/Output	B1	W35	JP1.155
PLL_L2_FB_OUT0p	Input/Output	B1	W34	JP1.154
PLL_L3_FB_OUT0p	Input/Output	B2	AA34	JP1.148
PLL_L3_OUT0n	Input/Output	B2	AA35	JP1.149
PLL_L4_FB_OUT0p	Input/Output	B2	AL33	JP1.172
PLL_L4_OUT0n	Input/Output	B2	AL34	JP1.173
PLL_L4_CLKp	Input	B2	AU38	JP1.98
PLL_L4_CLKn	Input	B2	AU39	JP1.99
PLL_B1_OUT4	Input/Output	B3	AK22	JP2.47
PLL_B1_OUT3	Input/Output	B3	AJ22	JP2.46
PLL_B1_OUT0n	Input/Output	B3	AH22	JP2.41
PLL_B1_OUT0p	Input/Output	B3	AH21	JP2.40
PLL_B1_FBN_OUT2	Input/Output	B3	AN21	JP2.43
PLL_B1_FBp_OUT1	Input/Output	B3	AM21	JP2.42
PLL_B2_FBp_OUT1	Input/Output	B4	AM19	JP2.62
PLL_B2_FBN_OUT2	Input/Output	B4	AN19	JP2.63
PLL_B2_OUT0p	Input/Output	B4	AH19	JP2.60
PLL_B2_OUT0n	Input/Output	B4	AH20	JP2.61
PLL_B2_OUT3	Input/Output	B4	AK18	JP2.58
PLL_B2_OUT4	Input/Output	B4	AJ19	JP2.59
PLL_R4_CLKp	Input	B5	AU2	JP3.4
PLL_R4_CLKn	Input	B5	AU1	JP3.5
PLL_R4_OUT0n	Input/Output	B5	AL7	JP3.119
PLL_R4_FB_OUT0p	Input/Output	B5	AK8	JP3.118
PLL_R3_OUT0n	Input/Output	B5	AA5	JP3.155
PLL_R3_FB_OUT0p	Input/Output	B5	AA6	JP3.154
PLL_R2_FB_OUT0p	Input/Output	B6	W6	JP3.162
PLL_R2_OUT0n	Input/Output	B6	W5	JP3.163
PLL_R1_FB_OUT0p	Input/Output	B6	J7	JP3.198
PLL_R1_OUT0n	Input/Output	B6	J6	JP3.199
PLL_R1_CLKp	Input	B6	C2	JP3.98
PLL_R1_CLKn	Input	B6	C1	JP3.99
PLL_T2_OUT4	Input/Output	B7	M19	JP4.45
PLL_T2_OUT3	Input/Output	B7	M18	JP4.44
PLL_T2_OUT0n	Input/Output	B7	K18	JP4.43
PLL_T2_OUT0p	Input/Output	B7	L18	JP4.42



Pin Name	Optional Function	Bank	Location	Board Location
PLL_T2_FBN_OUT2	Input/Output	B7	G19	JP4.41
PLL_T2_FBP_OUT1	Input/Output	B7	H19	JP4.40
PLL_T1_FBP_OUT1	Input/Output	B8	H21	JP4.58
PLL_T1_FBN_OUT2	Input/Output	B8	G21	JP4.59
PLL_T1_OUT0p	Input/Output	B8	M21	JP4.54
PLL_T1_OUT0n	Input/Output	B8	M20	JP4.55
PLL_T1_OUT3	Input/Output	B8	L21	JP4.60
PLL_T1_OUT4	Input/Output	B8	K22	JP4.61

Pin Name	Optional Function	Location
TDI	Input(Configuration)	G34
TMS	Input(Configuration)	F34
TCK	Input(Configuration)	D36
TDO	Output(Configuration)	F35
TMEPDIODEp	Input	H6
TMEPDIODEn	Input	G5

表格 3 Stratix III Device Family Dedicate Pin

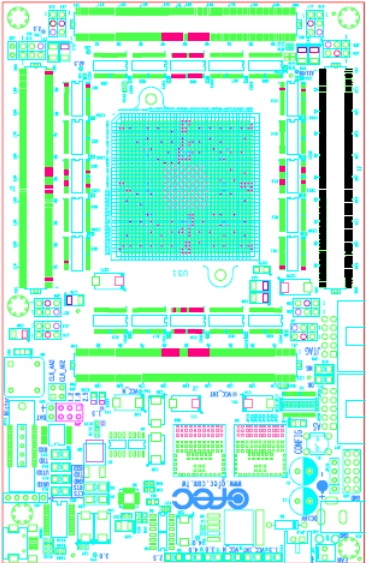
如果因實際設計需要，並無使用完所有的User I/Os，建議將未使用的User I/Os浮接⁴及將未使用的Dedicate Input經電阻Pull High或Pull Low，以減少系統雜訊。

當本研發電路板連接自行設計的系統時，應盡量避免從自行設計的系統中分離出本研發電路板；如果已經發現在連接器中的針腳有彎曲或公、母座不易結合之情形，切勿強行插入；如須要從自行設計的系統中分離出本研發電路板時，應使用隨貨所附的 GFEC Stratix III 研發電路板專屬拔取器。使用時，必須四面均勻緩慢拔出，以避免排針彎曲，詳細操作方法，可以參照 4.4。

⁴ 詳細設定可以參照 3.2.5Stratix III Device Family相容性設定。

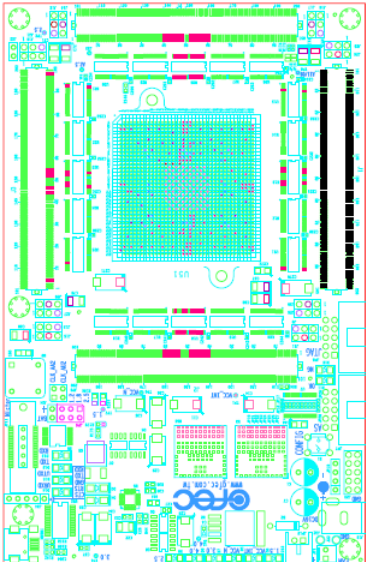


2.6.1 JP1 & JP5

	Bank 1	StratixIV-E		
		StratixIV-E	StratixIV-E	
		1	GND	101
		2	D37	102
		3	D38	103
		4	C38	104
		5	C39	105
		6	E39	106
		7	D39	107
		8	G36	108
		9	F36	109
		10	F38	110
		11	F39	111
		12	G37	112
		13	G38	113
		14	E36	114
		15	E37	115
		16	H39	116
		17	G39	117
		18	J38	118
		19	J39	119
		20	K37	120
		21	K38	121
		22	L39	122
		23	K39	123
		24	M38	124
		25	M39	125
		26	P36	126
		27	P37	127
		28	T35	128
		29	T36	129
		30	R39	130
		31	P39	131
		32	R37	132
		33	R38	133
		34	T38	134
		35	T39	135
		36	U36	136
		37	U37	137
		38	V39	138
		39	U39	139
		40	V37	140
		41	V38	141
		42	V35	142
		43	V36	143
		44	W36	144
		45	W37	145
		46	W38*	146
		47	W39*	147
		48	AC30*	AA34*
		49	AC31*	AA35*
		50	VREF1	GND

表格4 JP1 & JP5 之一

* 黄色區塊部分為Bank2 / 藍色區塊為Input Only

Bank 2		StratixIV-E		StratixIV-E	
		51	VREF2	GND	151
		52	Y36	AB34	152
		53	Y37	AB35	153
		54	AA38*	W34*	154
		55	AA39*	W35*	155
		56	AA36	Y30	156
		57	AA37	Y31	157
		58	AD35	AA28	158
		59	AD36	Y28	159
		60	AB38	AD33	160
		61	AB39	AD34	161
		62	AC39	AB29	162
		63	AD39	AA29	163
		64	AC36	AA30	164
		65	AC37	AB31	165
		66	AD38	AC33	166
		67	AE38	AC34	167
		68	AE36	AB32	168
		69	AE37	AA33	169
		70	AF39	AE32	170
		71	AE39	AF33	171
		72	AK39	AL33	172
		73	AJ39	AL34	173
		74	AB36	AE27	174
		75	AB37	AE28	175
		76	AJ36	AF30	176
		77	AJ37	AF31	177
		78	AF34	AF28	178
		79	AG35	AG29	179
		80	AL38	AL35	180
		81	AL39	AL36	181
		82	AL37	AG32	182
		83	AK38	AG33	183
		84	AN39	AG30	184
		85	AM39	AG31	185
		86	AM36	AH35	186
		87	AM37	AH36	187
		88	AP38	AH33	188
		89	AN38	AG34	189
		90	AN36	AH31	190
		91	AN37	AH32	191
		92	AP36	AJ33	192
		93	AR37	AJ34	193
		94	AR39	AK35	194
		95	AP39	AK36	195
		96	AT38	AK33	196
		97	AT39	AK34	197
		98	AU38*	AG36	198
		99	AU39*	AH37	199
		100	GND	GND	200

表格5 JP1 & JP5 之二

* 黃色區塊部分為Bank1 / 藍色區塊為Input Only

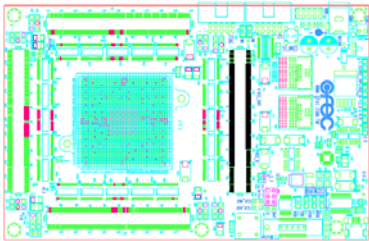


2.6.2 JP2 & JP6

Bank 3		StratixIV-E	StratixIV-E	
		1	GND	GND 101
		2	AR22	GND 102
		3	AR31	AH26 103
		4	AT31	AH27 104
		5	AT32	AJ27 105
		6	AW37	AT36 106
		7	AU37	AR36 107
		8	AU32	AK27 108
		9	AU33	AR34 109
		10	AT33	AU35 110
		11	AV36	AT35 111
		12	AV37	AL29 112
		13	AW36	AL28 113
		14	AW38	AK29 114
		15	AW33	AK28 115
		16	AW35	AT34 116
		17	AW34	AP29 117
		18	AV34	AP28 118
		19	AU34	AK30 119
		20	AV33	AJ28 120
		21	AH25	AR30 121
		22	AG27	AR28 122
		23	AN28	AV30 123
		24	AR27	AT30 124
		25	AP27	AU29 125
		26	AM28	AM30 126
		27	AT28	AM31 127
		28	AJ25	AN30 128
		29	AJ24	AT29 129
		30	AH24	AN31 130
		31	AP26	AL31 131
		32	AP24	AP33 132
		33	AN25	AN29 133
		34	AH23	AN33 134
		35	AK24	AP32 135
		36	AL24	AN32 136
		37	AR25	AR33 137
		38	AP25	AP34 138
		39	AN26	AL26 139
		40	AH21	AK26 140
		41	AH22	AM27 141
		42	AM21	AL27 142
		43	AN21	AM25 143
		44	AV21	AL25 144
		45	AW21	AV31 145
		46	AJ22	AU30 146
		47	AK22	AW32 147
		48	AT21	AW31 148
		49	AU21	AW30 149
		50	VREF3	GND 150

表格6 JP2 & JP6 之一



	Bank 4	StratixIV-E			
		StratixIV-E	StratixIV-E		
		51	VREF4	GND	151
		52	GND	GND	152
		53	GND	GND	153
		54	AT20	GND	154
		55	AU20	AP15	155
		56	AV19	AU14	156
		57	AW19	AT14	157
		58	AK18	AR12	158
		59	AJ19	AT12	159
		60	AH19	AR13	160
		61	AH20	AT13	161
		62	AM19	AW11	162
		63	AN19	AW12	163
		64	AN9	AV12	164
		65	AP7	AU12	165
		66	AL18	AT11	166
		67	AP9	AU11	167
		68	AP8	AK15	168
		69	AN8	AL16	169
		70	AN7	AL15	170
		71	AP16	AM15	171
		72	AP10	AL14	172
		73	AL9	AK14	173
		74	AL10	AV10	174
		75	AM9	AW10	175
		76	AR9	AV9	176
		77	AT8	AW9	177
		78	AT7	AT10	178
		79	AK11	AU9	179
		80	AM10	AM13	180
		81	AL11	AN13	181
		82	AU6	AN12	182
		83	AU5	AG15	183
		84	AR7	AG14	184
		85	AT6	AH16	185
		86	AJ12	AT9	186
		87	AU8	AN11	187
		88	AV6	AH15	188
		89	AV7	AH14	189
		90	AW8	AJ15	190
		91	AK12	AL13	191
		92	AW4	AR10	192
		93	AW5	AR6	193
		94	AW7	AT5	194
		95	AW6	AK13	195
		96	AV3	AH13	196
		97	AW3	AJ13	197
		98	AW2	AP12	198
		99	AV4	AP11	199
		100	GND	GND	200

表格7 JP2 & JP6 之二

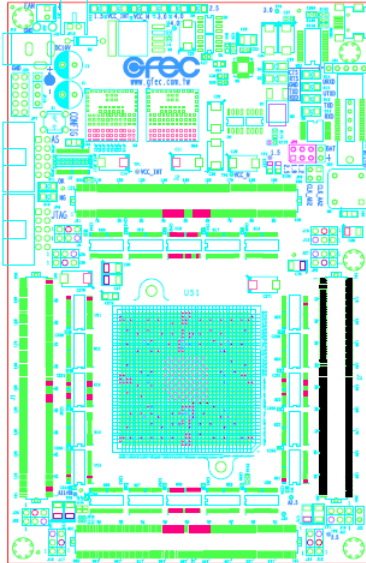


2.6.3 JP3 & JP7

Bank 5		StratixIV-E	StratixIV-E	
		1	GND	GND 101
		2	AT3	AM6 102
		3	AT2	AN5 103
		4	AU2*	AB3 104
		5	AU1*	AB2 105
		6	AR4	AG4 106
		7	AR3	AG3 107
		8	AR1	AL6 108
		9	AT1	AL5 109
		10	AN4	AK6 110
		11	AP4	AK5 111
		12	AP2	AJ7 112
		13	AP1	AJ6 113
		14	AN3	AL4 114
		15	AN2	AL3 115
		16	AM4	AH12 116
		17	AM3	AH11 117
		18	AM1	AK8 118
		19	AN1	AL7 119
		20	AL2	AH7 120
		21	AL1	AH6 121
		22	AK3	AG11 122
		23	AK2	AG10 123
		24	AJ1	AG9 124
		25	AK1	AH8 125
		26	AH2	AJ4 126
		27	AH1	AJ3 127
		28	AC4	AG13 128
		29	AC3	AF12 129
		30	AF4	AE14 130
		31	AF3	AE13 131
		32	AE3	AE5 132
		33	AE2	AE4 133
		34	AE1	AD8 134
		35	AF1	AD7 135
		36	AD2	AD6 136
		37	AD1	AE6 137
		38	AB1	AC10 138
		39	AC1	AC9 139
		40	AD5	AC7 140
		41	AD4	AC6 141
		42	V2	AB12 142
		43	V1	AB11 143
		44	AA4	AA10 144
		45	AA3	AB9 145
		46	AA2*	AD11 146
		47	AA1*	AD10 147
		48	V6*	AA12 148
		49	V5*	AA11 149
		50	VREF5	GND 150

表格8 JP3 & JP7之一

* 黄色區塊部分為Bank6 / 藍色區塊為Input Only

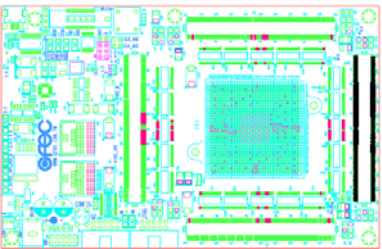
	Bank 6	StratixIV-E			
		StratixIV-E	StratixIV-E		
		51	VREF6	GND	151
		52	Y4	AB7*	152
		53	Y3	AA7*	153
		54	W2	AA6*	154
		55	W1	AA5*	155
		56	V4	W4	156
		57	V3	W3	157
		58	N2	Y10	158
		59	N1	Y9	159
		60	T1	W12	160
		61	U1	Y12	161
		62	U4	W6	162
		63	U3	W5	163
		64	P1	V8	164
		65	R1	W7	165
		66	R2	W10	166
		67	T2	V9	167
		68	G1	N11	168
		69	H1	P12	169
		70	R6	V11	170
		71	R5	W11	171
		72	T5	U7	172
		73	T4	U6	173
		74	L4	U10	174
		75	L3	U9	175
		76	K1	T7	176
		77	L1	T6	177
		78	R4	R13	178
		79	R3	R12	179
		80	J2	P10	180
		81	J1	P9	181
		82	J5	M5	182
		83	J4	M4	183
		84	J3	N8	184
		85	K2	N7	185
		86	H4	N10	186
		87	H3	N9	187
		88	G2	M7	188
		89	F2	N6	189
		90	G4	M9	190
		91	G3	M8	191
		92	F4	K5	192
		93	E3	K4	193
		94	E1	L7	194
		95	F1	L6	195
		96	D2	K7	196
		97	D1	K6	197
		98	C2*	J7	198
		99	C1*	J6	199
		100	GND	GND	200

表格9 JP3 & JP7 之二

* 黃色區塊部分為Bank5 / 藍色區塊為Input Only

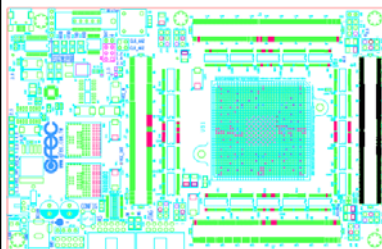


2.6.4 JP4 & JP8

	Bank 7	StratixIV-E		
		StratixIV-E	StratixIV-E	
		1	GND	101
		2	C7	102
		3	D7	103
		4	C8	104
		5	B4	105
		6	B3	106
		7	D8	107
		8	E9	108
		9	A3	109
		10	C3	110
		11	A2	111
		12	A4	112
		13	A5	113
		14	B6	114
		15	A6	115
		16	A7	116
		17	B7	117
		18	C6	118
		19	M13	119
		20	M15	120
		21	C11	121
		22	D12	122
		23	D10	123
		24	E10	124
		25	E12	125
		26	D11	126
		27	F12	127
		28	K16	128
		29	M16	129
		30	F11	130
		31	F13	131
		32	L16	132
		33	M17	133
		34	L15	134
		35	J16	135
		36	F14	136
		37	F15	137
		38	E15	138
		39	G14	139
		40	H19	140
		41	G19	141
		42	L18	142
		43	K18	143
		44	M18	144
		45	M19	145
		46	D19	146
		47	C19	147
		48	B19	148
		49	A19	149
		50	VREF7	150

表格10 JP4 & JP8 之一



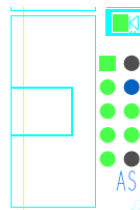
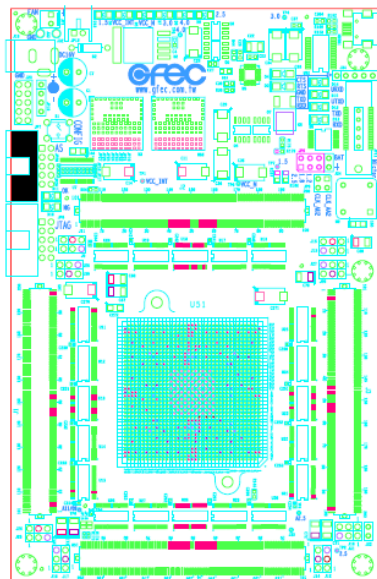
		Bank 8			
		StratixIV-E		StratixIV-E	
		51	VREF8	GND	151
		52	D20	GND	152
		53	C20	B25	153
		54	M21	A26	154
		55	M20	C25	155
		56	B21	D25	156
		57	A21	B27	157
		58	H21	A27	158
		59	G21	J23	159
		60	L21	K23	160
		61	K22	M23	161
		62	F24	D26	162
		63	E25	D28	163
		64	F26	E28	164
		65	F25	C26	165
		66	G25	D27	166
		67	G26	E27	167
		68	A29	L24	168
		69	C29	L22	169
		70	A28	M22	170
		71	C28	E31	171
		72	B28	F29	172
		73	D29	E30	173
		74	H25	D31	174
		75	J24	F30	175
		76	K25	G29	176
		77	J25	D33	177
		78	B30	D32	178
		79	C31	M24	179
		80	D30	H31	180
		81	C32	H30	181
		82	A34	K26	182
		83	A30	J26	183
		84	A31	F28	184
		85	A32	G28	185
		86	B34	L25	186
		87	A33	B31	187
		88	B33	G27	188
		89	A35	H27	189
		90	B36	M26	190
		91	A36	E33	191
		92	A37	E34	192
		93	A38	N26	193
		94	B37	C35	194
		95	L27	D35	195
		96	J27	C34	196
		97	K27	D34	197
		98	K28	G31	198
		99	M27	L28	199
		100	GND	GND	200

表格11 JP4 & JP8 之二



2.7 AS (Active Serial) Header

Altera FPGA 可由許多方式進行燒錄，本研發電路板於出廠時已經附上 Configuration Device EPCS128，並於研發電路板上留有 AS 連接埠，可以使用 USB-Blaster 或 Byte-Blaster II Download Cable 進行 Configuration Device EPCS128 的規劃。詳細 ISP 之使用方法，可參照 3.2.4，Step By Step 操作。

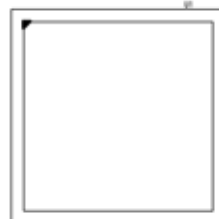
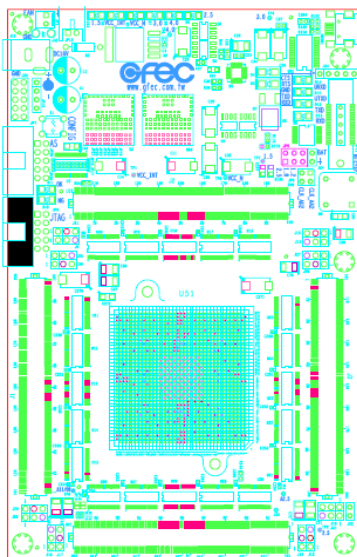


JP7



2.8 JTAG Header

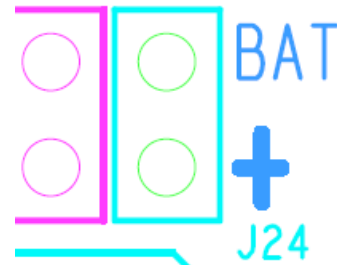
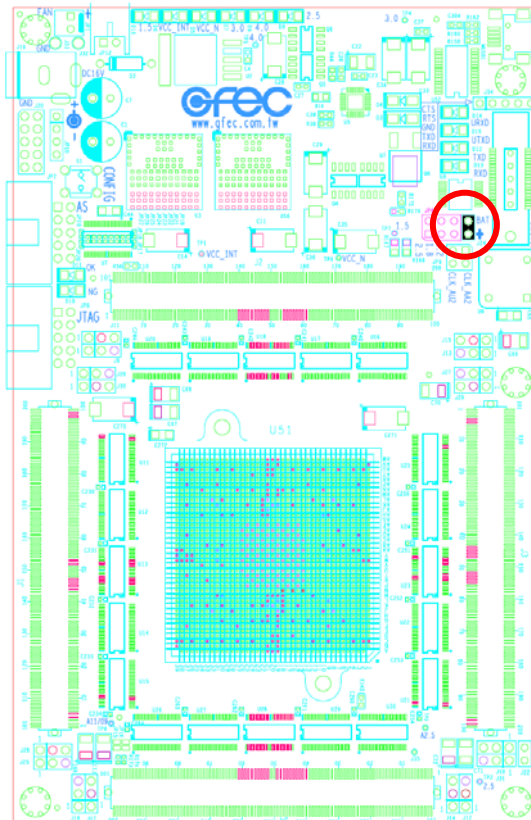
本研發電路板，是提供一個 JTAG Connector 以供在研發初期，RTL code 尚未完全完成時，須要經常的更改程式時使用，以減少使用 Configuration Device 的燒錄時間及燒錄次數，而且可以減少規劃的時間。詳細 JTAG 之使用方法，可參照 3.2.3，Step By Step 操作。



2.9 Battery

本研發電路板除了原本的AES可做為永久儲存的安全密碼之外，另外提供一個電池接點，使用者可自行接上BR1220或BR2447A電池，供FPGA儲存另一組揮發性的安全密碼，經過燒錄後儲存於FPGA中，做為安全性的雙重保障，此一安全密碼會在電池沒電時消失。

※接上電池前請確認電池極性以免FPGA損壞



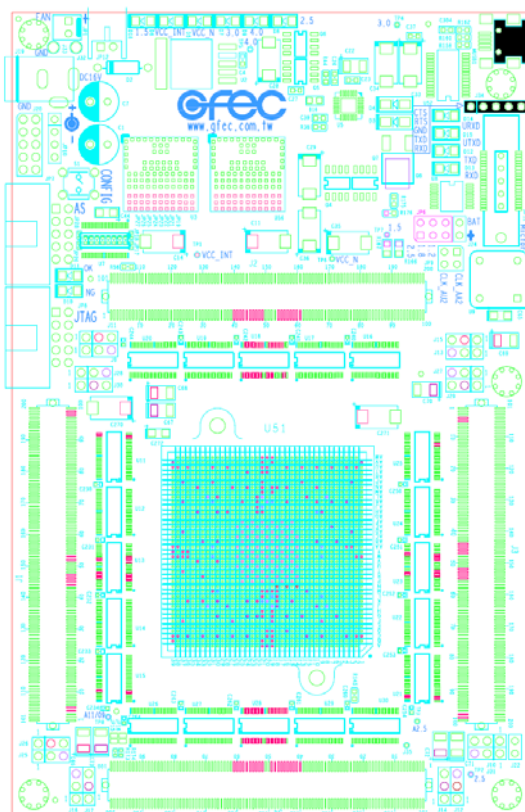
2.10 UART

本研發電路板提供二組接頭以供使用者連結UART使用。一組可直接由J34的pin腳拉出使用，可使用電路板上的USB接頭，利用FTDI轉接器將USB轉成UART使用。

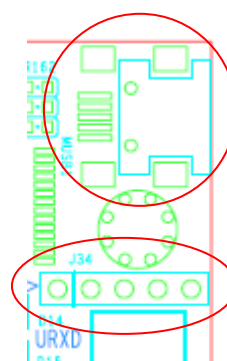
Note:此部份於EP4SE260F40及EP4SE360不提供支援

Pin Name	Bank	Location	Board Location
UART TXD	B5	AE10*	J34.4
UART RXD	B5	AE11*	J34.5
UART CTS	B5	AD12	J34.1
UART RTS	B5	AC12	J34.2
UTxD	B5	AH4*	USB Connector
URxD	B5	AH5*	

表格12 UART in GFEC Stratix IV-E Development Board



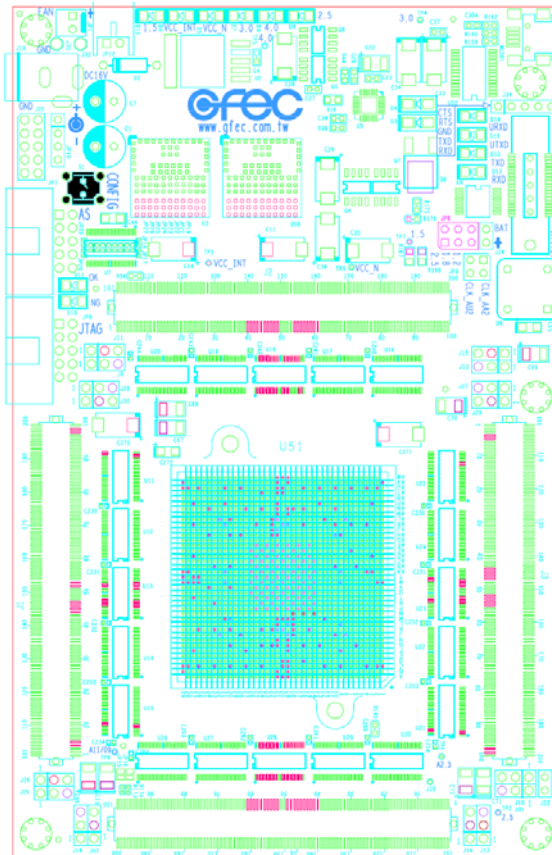
USB Connector



J34

2.11 Re-Configuration

本研發電路板提供一個 Push Button Switch(S1)；可提供重新由 Serial Configuration Device 規劃 FPGA 的機制。



2.12 時脈訊號之使用

本研發電路板總共提供二種輸入時脈訊號的方式，情況如下：

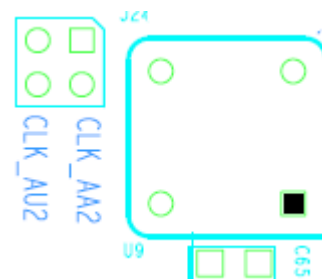
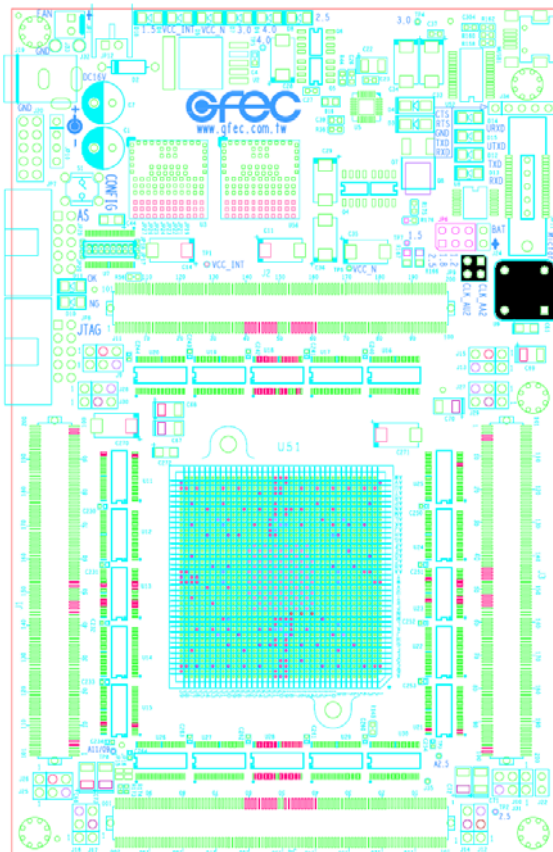
Extension I/O Connector

Oscillator Socket (Half size)

本研發電路板中，半長型石英振盪器為本研發電路板預設為時脈輸入，其輸入至 Altera Stratix IV-E Device Family 的Clock中，設有Jumper可調整振盪器訊號輸入至那一組clock pin之中，詳細資料如下：

Type	Bank	Clock	Name Location	Board Location
Half Size Oscillator Socket	B5	CLK8P	AA2	JP3.46
Half Size Oscillator Socket	B5	PLL_R4_CLOCK	AU2	JP3.4

表格 13 Clock in GFEC Stratix IV-E Development Board

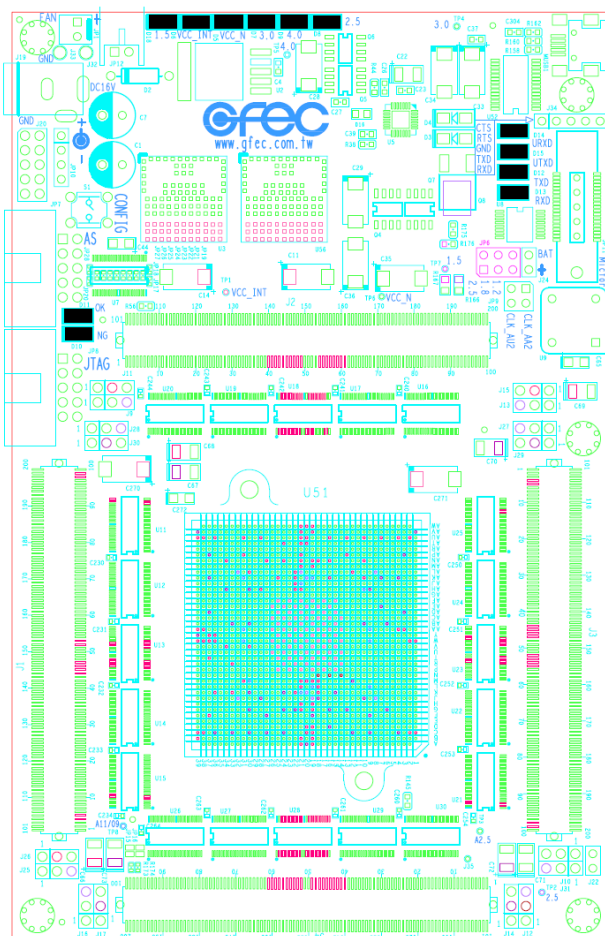


Half Size OSC Socket



2.13 System Status Indicators

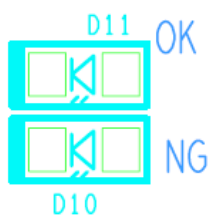
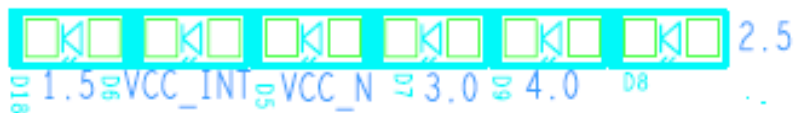
在本研發電路板上共提供 11 個 LEDs，以了解本研發電路板系統之情況。



狀態	LED 位置
1.5V POWER GOOD	D18
VCC_INT POWER GOOD	D6
VCC_N POWER GOOD *	D5
3.0V POWER GOOD	D7
4.0V POWER GOOD	D9
2.5V POWER GOOD	D8
OK(configure 成功)	D11
NG(configure 失敗)	D10
URxD傳輸	D14
UTxD傳輸	D15
TxD傳輸	D12
RxD傳輸	D13

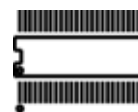
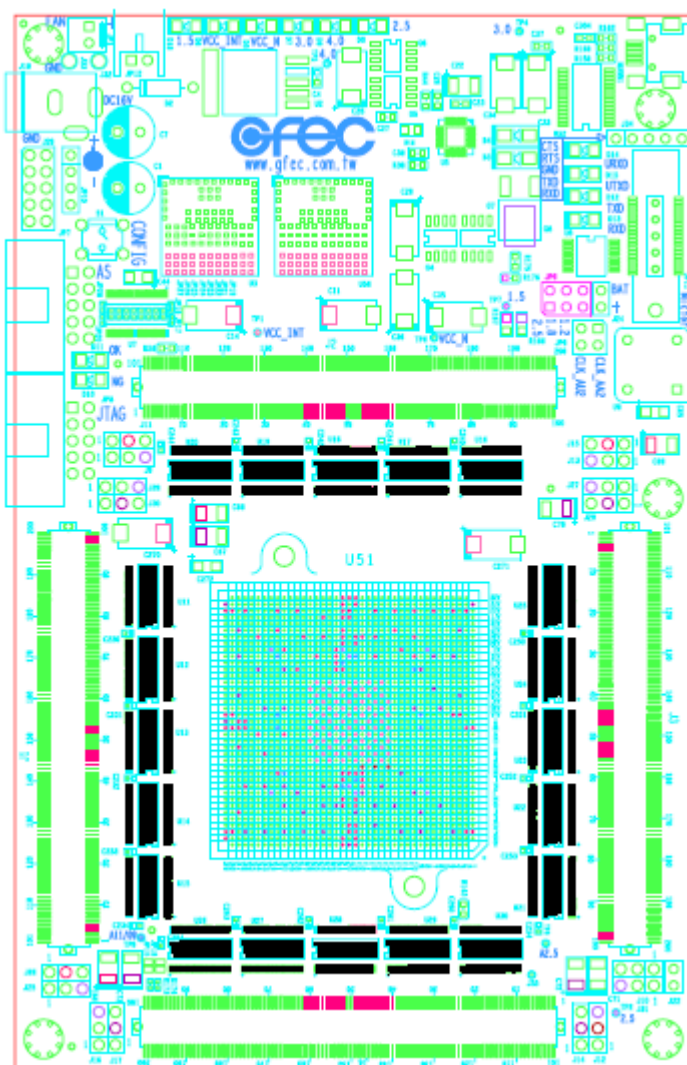
*請參考2.5 (VCC I/O 調整)

1.5V(D18) VCC_INT(D6) VCC_N(D5) 3.0V(D7) 4.0V(D9) 2.5V(D8)



2.14 I/O Follow Through Switch 之電氣規格特性

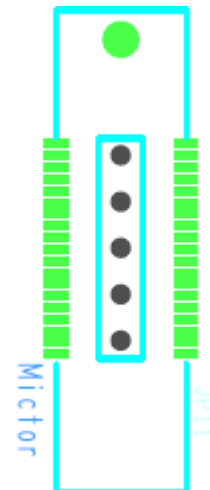
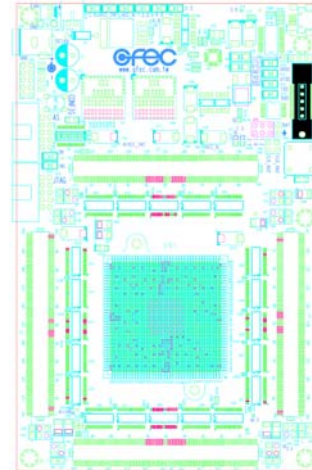
在本研發電路板，所有 Stratix IV-E FPGA I/O 都經過 Follow Through Switch 至 JP1~JP8，正反面共有 40 顆 Buffer；每顆 Buffer 提供 20 個 Channel，雖然每個 Channel 最多可提供 120mA，但每顆 Buffer 最多只提供 0.5 Watt 功耗，故有多組高電流驅動需求時，應分散在不同顆 Buffer 中；在 Extension I/O 使用時應避免短路至 VCC 或 GND，如此容易造成 Follow through switch 的損壞。



2.15 Mictor Connector

本電路板提供了一個通用的連接器可供做為邏輯分析儀、混合訊號振盪器、Trace、Debug... 的連接器

Board Location	bank	Name Location
JP11.1		NC
JP11.2		NC
JP11.3		NC
JP11.4		NC
JP11.5	B6	T11
JP11.6	B5	AG1
JP11.7	B6	T10
JP11.8	B5	AG2
JP11.9	B6	P4
JP11.10	B5	AE9
JP11.11	B6	P3
JP11.12	B5	AD9
JP11.13	B6	U13
JP11.14	B5	AF6
JP11.15	B6	V12
JP11.16	B5	AF7
JP11.17	B6	M2
JP11.18	B5	AB4
JP11.19	B6	M1
JP11.20	B5	AB5
JP11.21	B6	T12
JP11.22	B5	AG5
JP11.23	B6	U12
JP11.24	B5	AG6
JP11.25	B6	N4
JP11.26	B5	AF9
JP11.27	B6	M3
JP11.28	B5	AF10
JP11.29	B6	R11
JP11.30	B5	AG7
JP11.31	B6	R10
JP11.32	B5	AG8
JP11.33	B6	P6
JP11.34	B6	R9
JP11.35	B6	N5
JP11.36	B6	T9
JP11.37	B6	P7
JP11.38	B6	R8



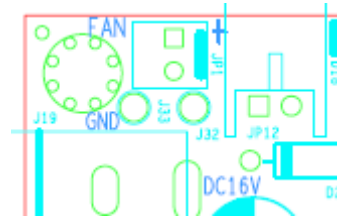
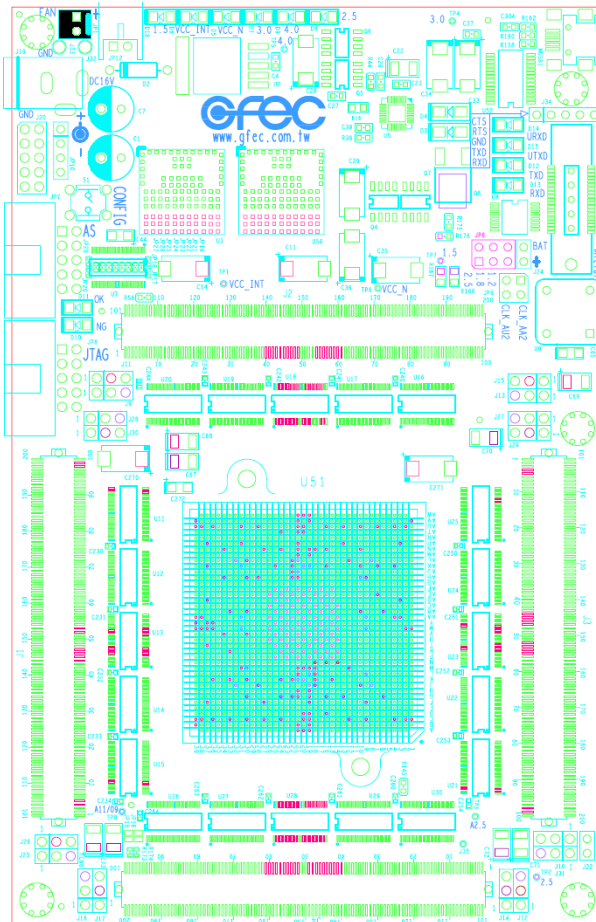
表格14 Pin Connect in Mictor

*顏色相同為同一組BANK



2.16 Fan Power Connector

本研發電路板隨貨提供了一組散熱片附加 5V 散熱風扇，當 FPGA 在運作過程中若溫度升高可將散熱片及散熱風扇裝置於 FPGA 上方以加強 FPGA 散熱。



3. 軟體相關資訊

3.1 QuartusII 版本支援

QuartusII 於 7.2 版起開始支援 Stratix III Device Family，如在軟體維護合約期內，您將會收到由 Altera 寄出的升級光碟，亦可聯絡茂綸股份有限公司提出試用軟體的申請。

Stratix III Device Availability POF

	Software Support		
	Preliminary Timing Models	POF Support	Final Timing Models
EP3SE50	V7.2	V8.0	V8.1 SP1
EP3SE80	V7.2	V8.1 SP1	V8.1 SP1
EP3SE110	V7.2	V8.0	V8.1 SP1
EP3SE260	V7.2	V8.0	V8.1 SP1
EP3SL50	V7.2	V8.1 SP1	V8.1 SP1
EP3SL70	V7.2	V8.1 SP1	V8.1 SP1
EP3SL110	V7.2	V8.1 SP1	V8.1 SP1
EP3SL150	V7.2	V7.2	V8.0 SP1
EP3SL200	V7.2	V8.1 SP1	V8.1 SP1
EP3SL340	V7.2	V7.2 SP1	V8.1 SP1

表格 16 Quartus II Support Stratix III Timing Model & POF



3.2 軟體操作

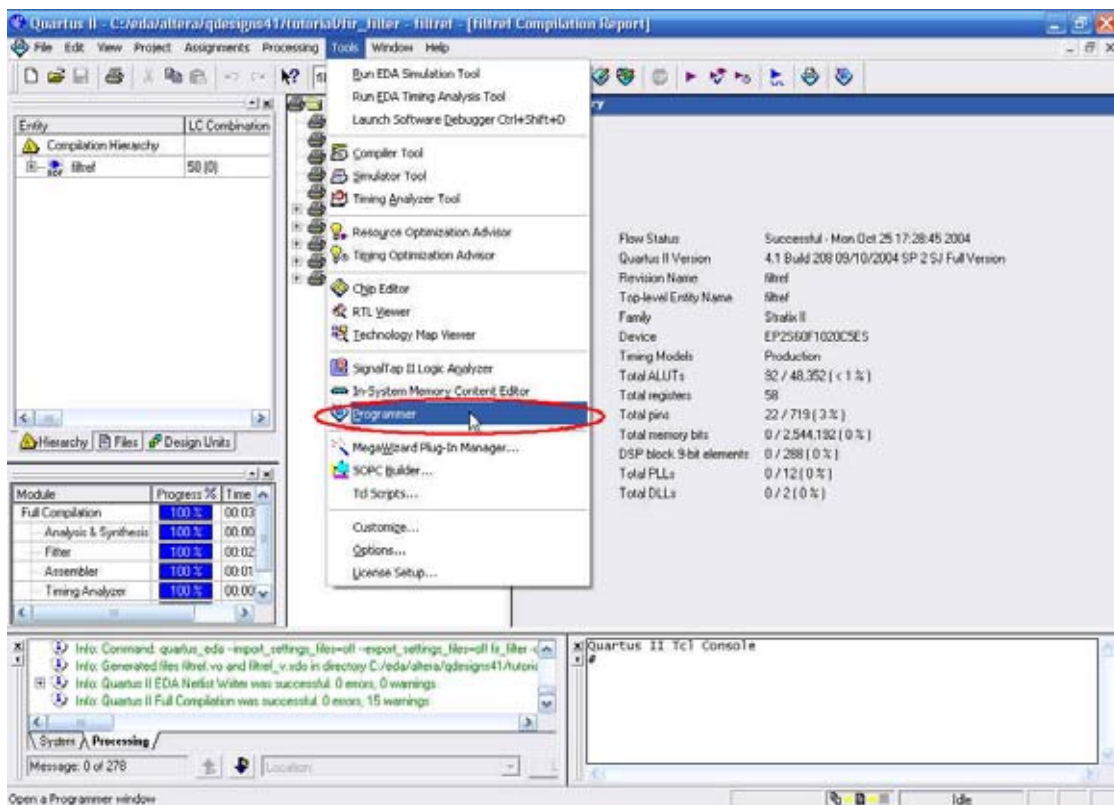
因為 FPGA 本身以 SRAM 為基礎的製作而成，所以在本研發板上共提供兩種模式 JTAG(*.SOF)和 AS(*.POF)以進行 FPGA 的規劃；JTAG 模式為主要對 FPGA 進行規劃，AS 模式主要為燒錄 Serial Configuration EPROM 使用。以下就以 Step by Step 方式協助了解如何進行 Serial Configuration EPROM 及 FPGA 的燒錄動作。

如果只是為了在實驗室燒錄 FPGA 或 EPROM，而不需進行 Compile 時，不必安裝完整版的 Quartus II，可以只安裝 Quartus II Programmer Only 程式；此程式大約為 20~30MB，可以較為簡省硬碟空間且較不佔用系統資源，操做方法亦無不同。此程式可以 [Altera 網站](http://www.altera.com) 上下載，或由茂綸所提供的安裝光碟中找尋。

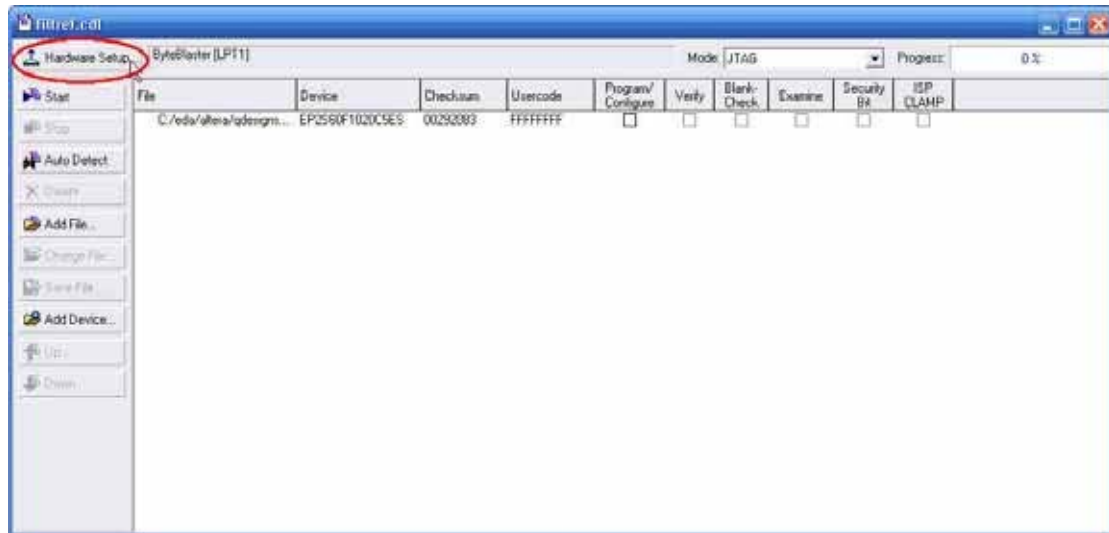
3.2.1 Hardware Setup

在第一次使用 Quartus II 時，要進行燒錄的流程前，需依照使用的 Download Cable 進行設定。如已完成設定，可以直接進行 3.2.3(JTAG)或 3.2.4(AS)。

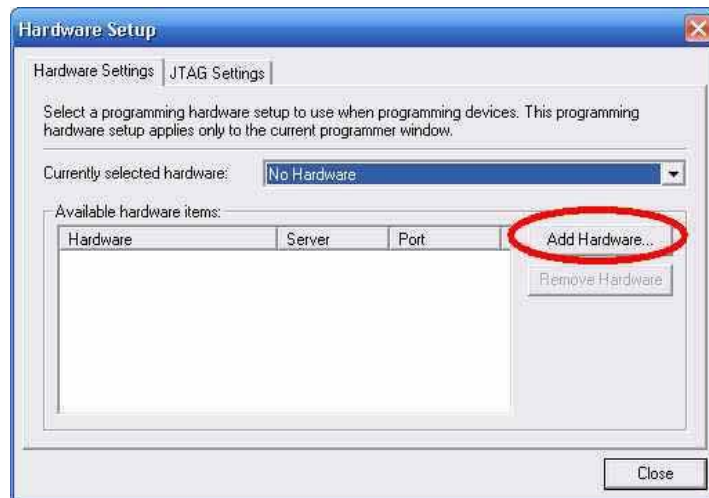
1. 在 Quartus II Tools Programmer 執行。



2. 先進行 Hardware Setup，設定燒錄的硬體。



3. 在"Available hardware items"中看到任何選項時，無法選擇正確的 Hardware 時，則須要進行下一步驟，另外由 Add Hardware 去新增硬體。如果在此畫面中，"Available hardware items"已有選項時，即可直接進入步驟 5。

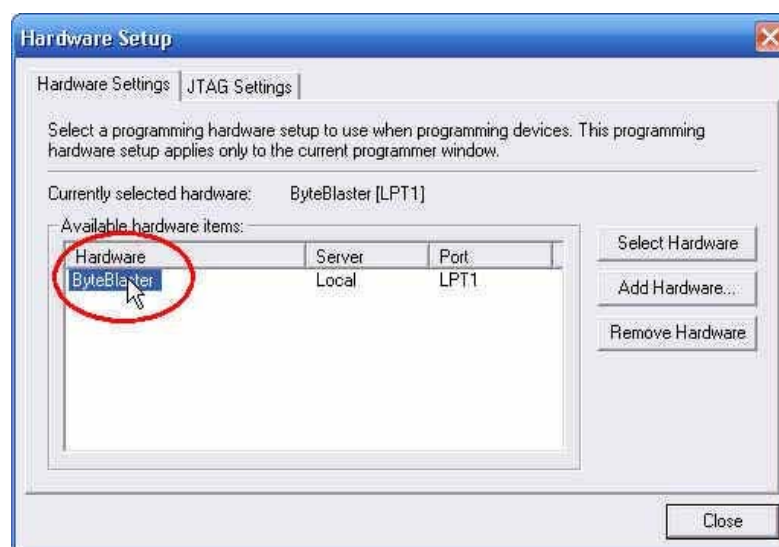


4. 在 Hardware type 中可選擇"Byte-Blaster MV 或 Byte-Blaster II"，此時可以檢查在 Port 的欄位中是否為"LPT1"；如選擇為 USB-Blaster 時，此時Port 的欄位應為"USB"。完成設定後，選擇 OK 到下一步，即可完成"Add Hardware"





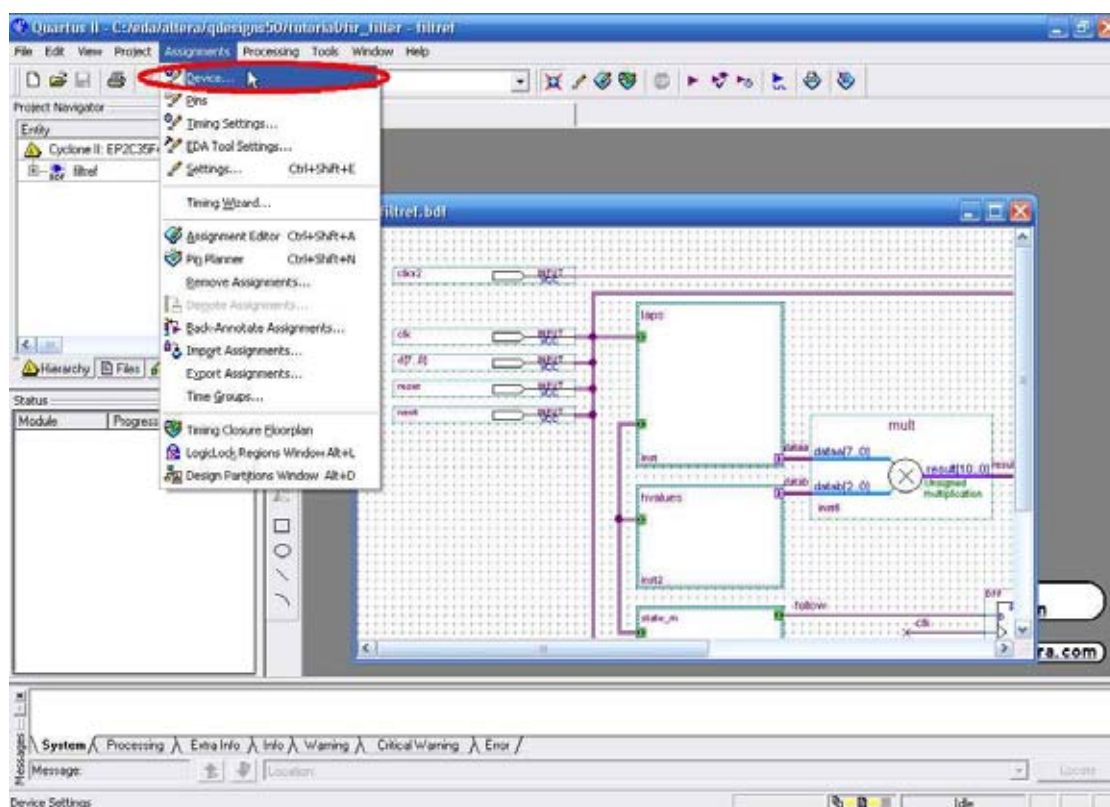
5. 根據目前使用硬體，從 Byte-Blaster II、Byte-Blaster MV、Ethernet-Blaster 或 USB-Blaster 其中，選擇其相對的硬體設定。最後於 Currently selected hardware 上檢查是否看到所選擇的裝置。設定無誤，硬體設定即完成。關閉視窗，即可在 Programmer 中進行 JTAG 或 AS 模式燒錄。如為第一次使用 USB Blaster，請參照 4.3 安裝驅動程式。



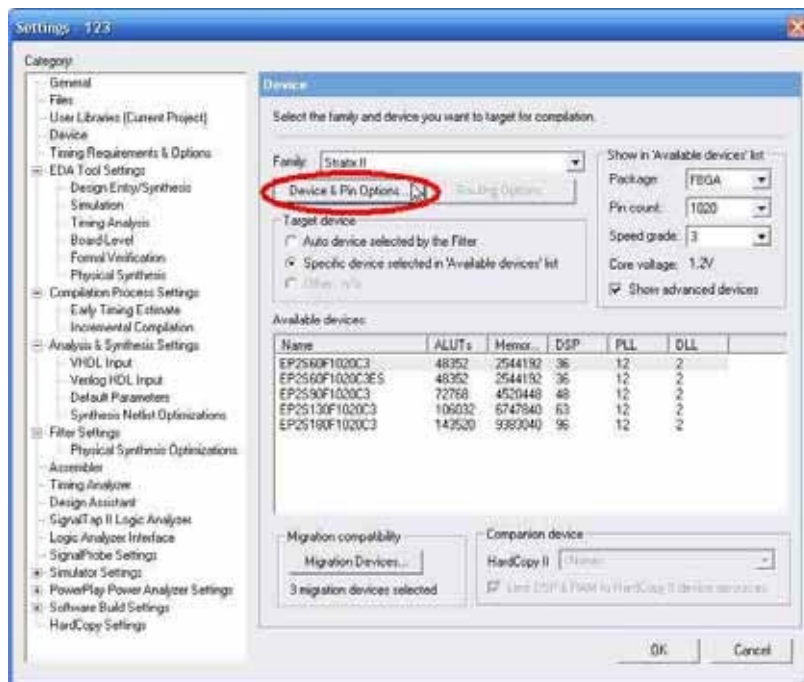
3.2.2 Configuration Device Setting

本研發電路板上提供一個 Serial Configuration Device EPCS128，可於整個 Project 進行 Compile 前，直接設定 Quartus II 產生燒錄檔案的型式為 EPCS128 元件所使用，如此即可避免另外再進行轉檔的動作。

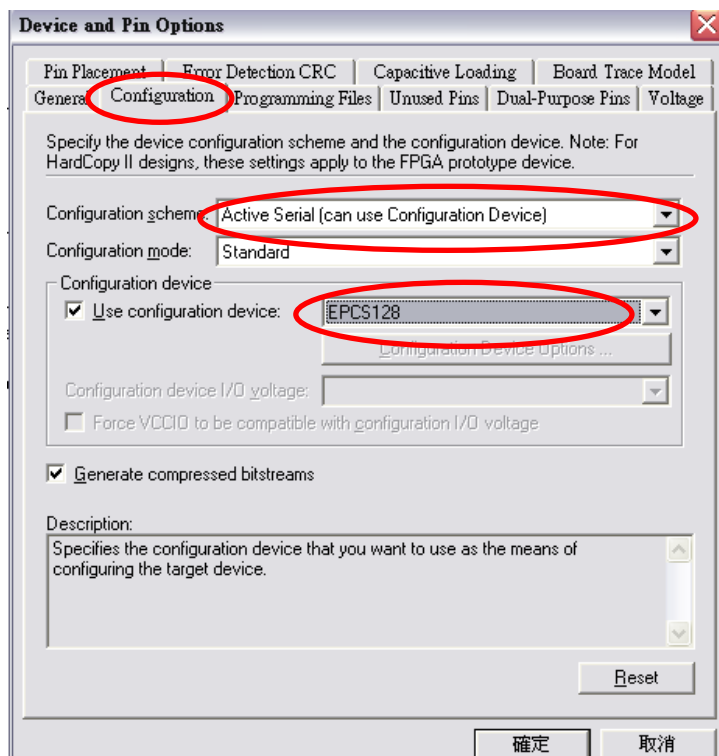
1. 於 Quartus II 選擇 Assignments Device，進行 Configuration Device 的設定。



2. 選擇 Device & Pin Options 進行 Configuration Device 設定。



- 選擇 Configuration Table，確定 Configuration Scheme 為 Active Serial 模式，其 Configuration Device 為 EPCS128。

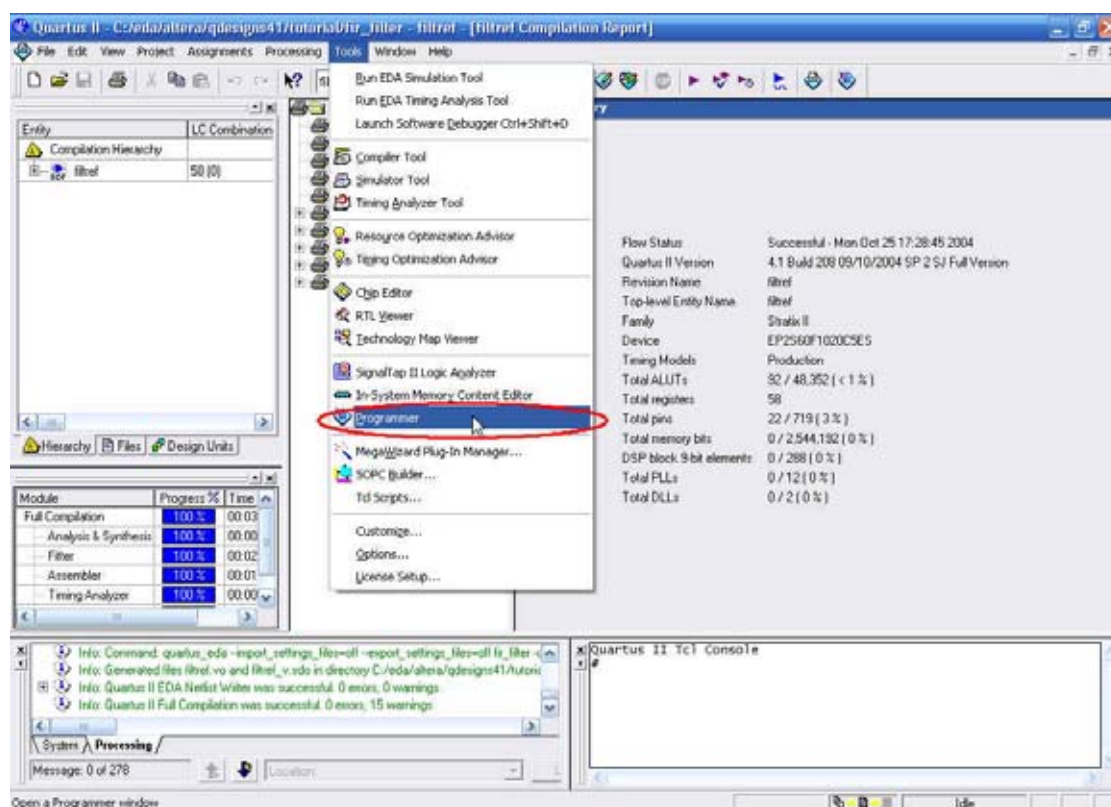


完成後，在整個 Project 完成 Compile 後，Quartus II 會自動產生相對應的燒錄檔(POF)，即可參照 3.2.4 進行 Configuration Device 的燒錄。

3.2.3 JTAG

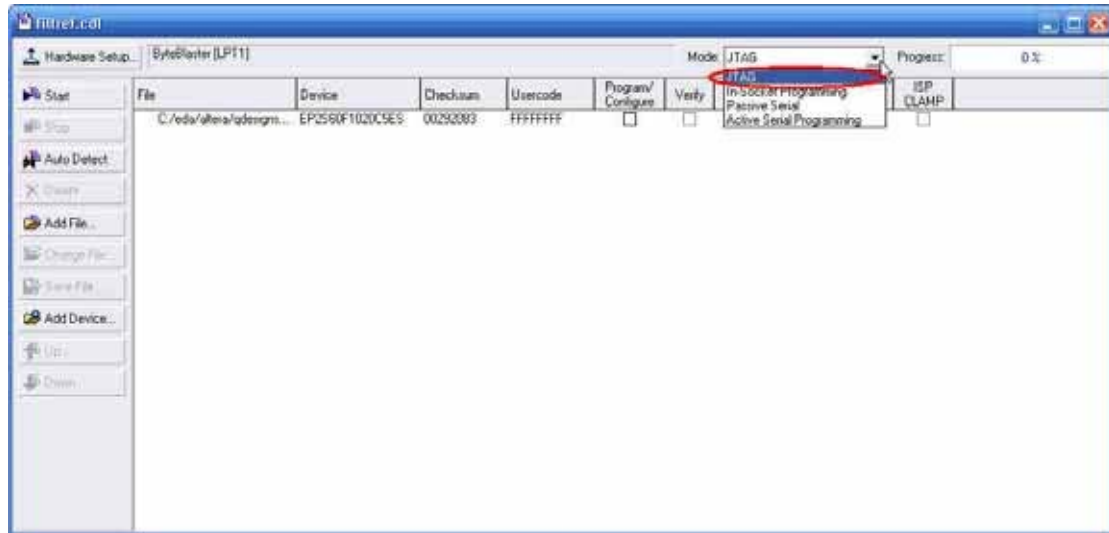
本研發電路板以 JTAG 為主要規劃 Altera Stratix II FPGA 使用，需用 QuartusII 產生之燒錄檔 SOF 做規劃。使用此種模式時，電源關閉後，資料即消失，需在重新啟動研發板電源後，再重新做一次步驟；但此種規劃模式，其所需要時間較短。

1. 在 Quartus II Tools Programmer 執行。

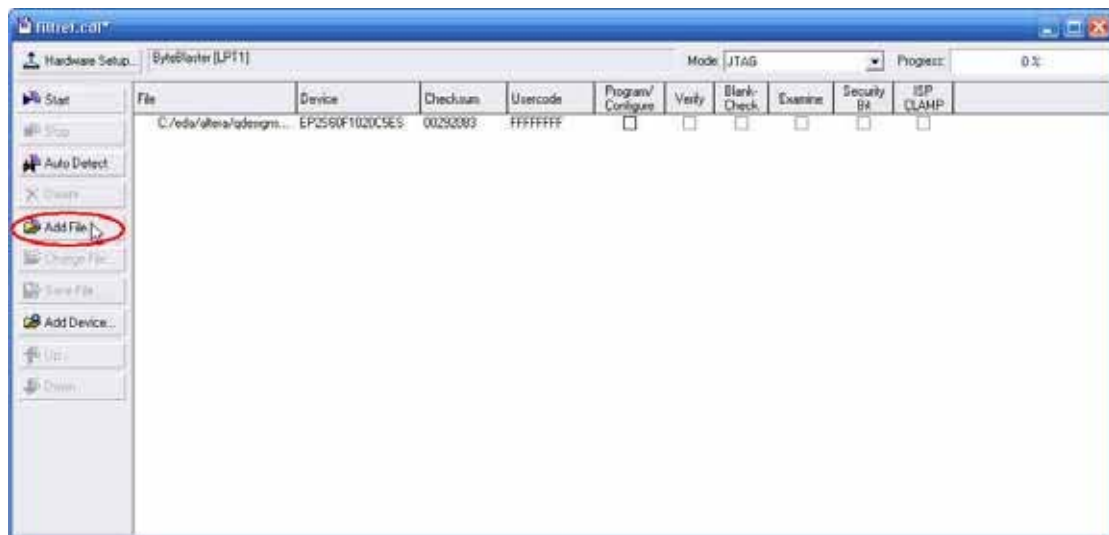


2. 在 Mode 欄位中選擇”JTAG”。如 Hardware Setup 為 No Hardware 時，需要重新進行 3.2.1 硬體設定中步驟。



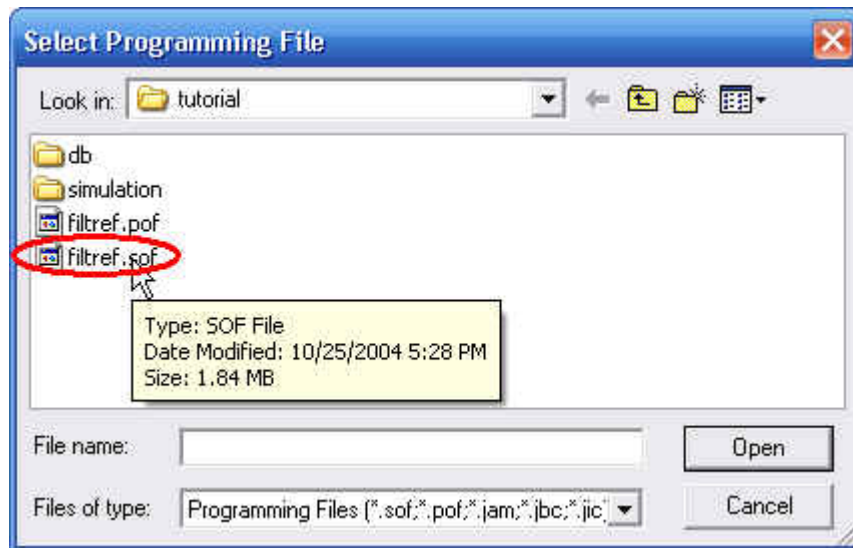


3. 從 “Add File”加入須要燒錄至 Serial Configuration EPROM 的檔案。

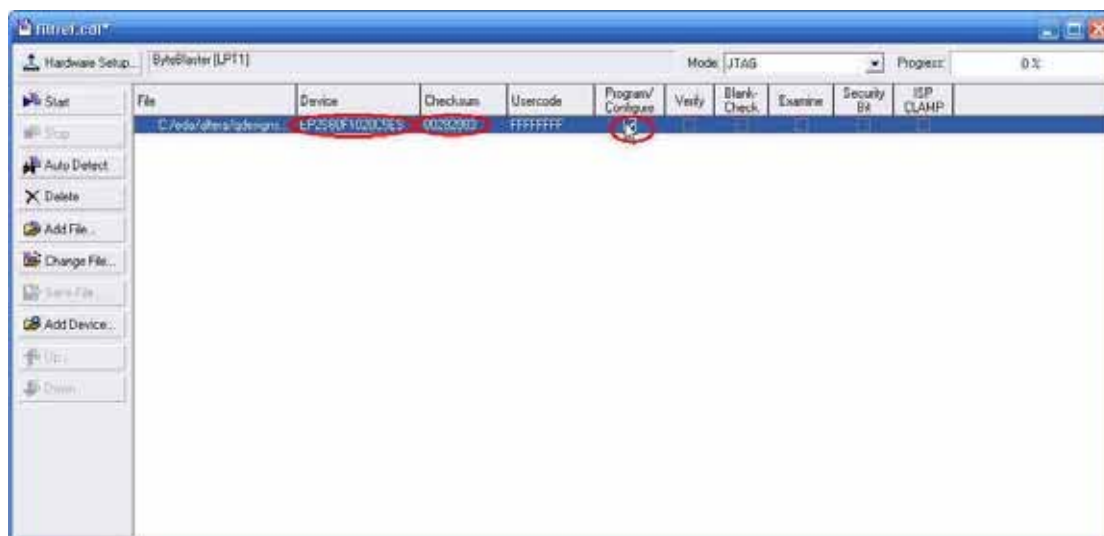


4. 選擇要進行燒錄的檔案 (*.SOF)。



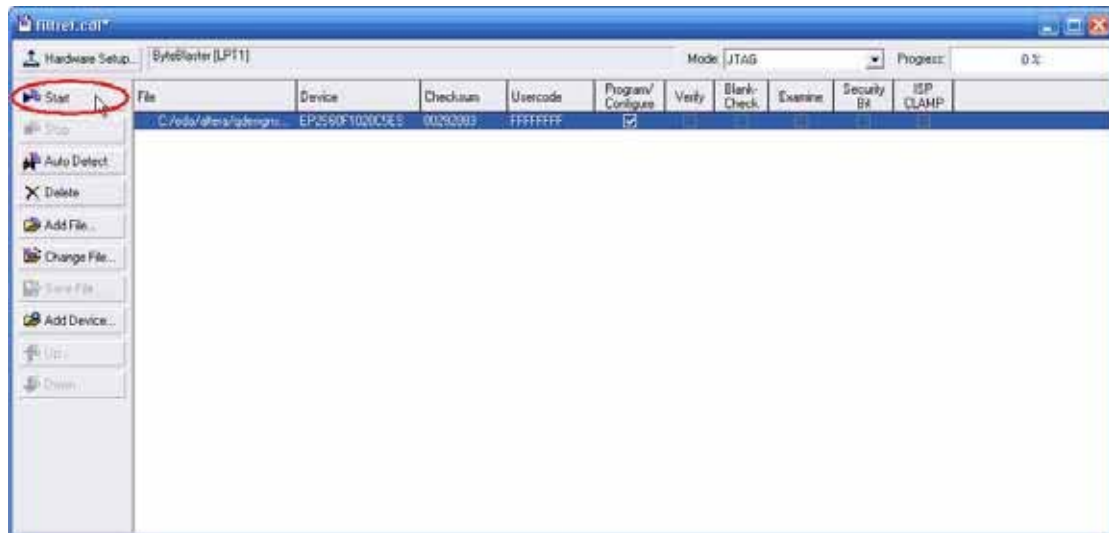


5. 確定 Checksum 、 Device 正確無誤後，再點選 “Program/Configure”。



6. 使用 Download Cable進行電腦與本研發电路板的JTAG Header連接⁷，完成後，再使用 Power Cable供電給本研發电路板後，按”Start”按鈕。

⁷ 可參照 2.8，JTAG Header位置。



7. 待 Progress 至 100%後，JTAG Down Load 流程即完成。



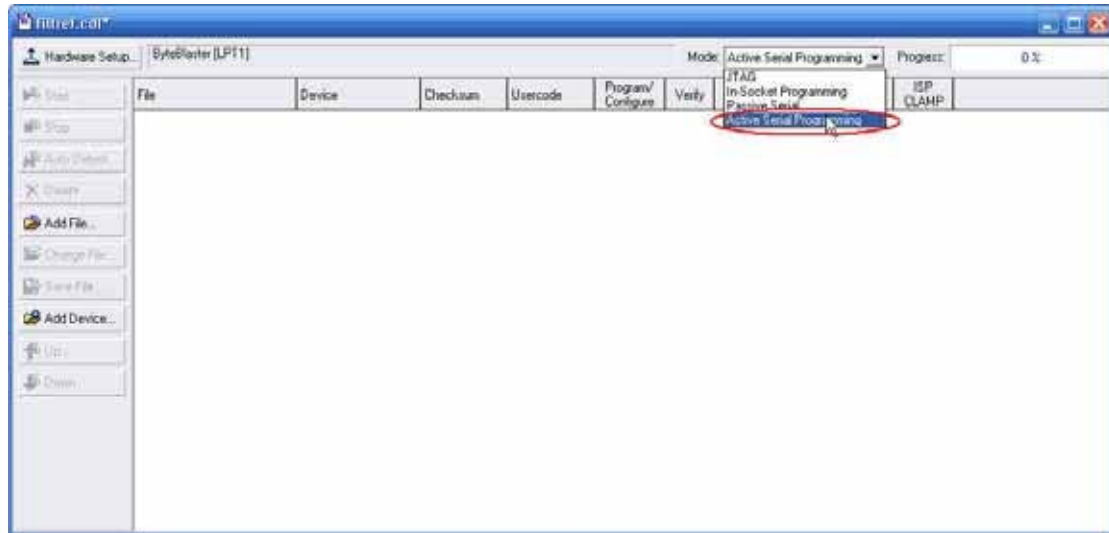
8. 最後可以再次確認訊息視窗，是否有顯示 Successfully performed operation(s)，如有紅色的 Error 或 Warning 產生，需再進行週邊設定及硬體連接上的檢查，之後再進行一次完整的流程。



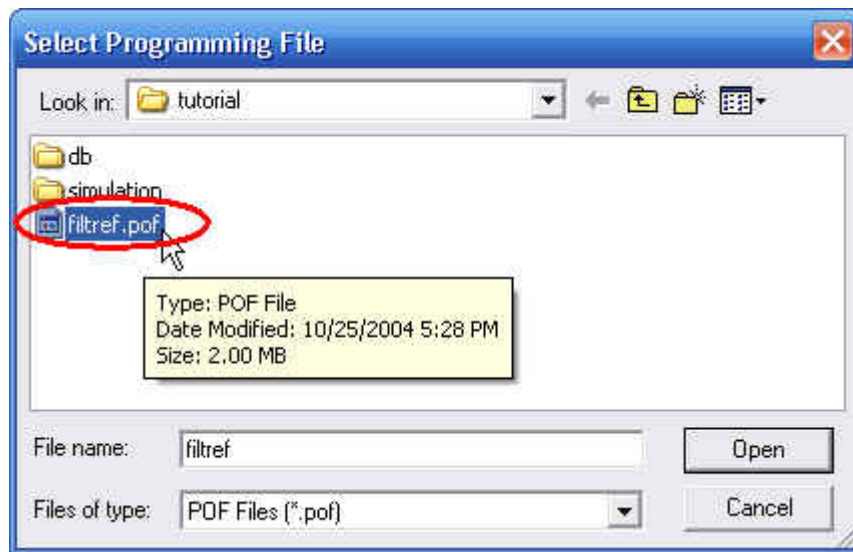
3.2.4 Active Serial Programming (AS)

本研發電路板使用 Active Serial Programming (AS) 模式燒錄 Serial Configuration Device (EPCS128)，Serial Configuration Device 一經正確完成燒錄後，即會在每次研發板電源啟動後，由 Serial Configuration EPROM 自動規劃 Altera Stratix IV-E Device Family。

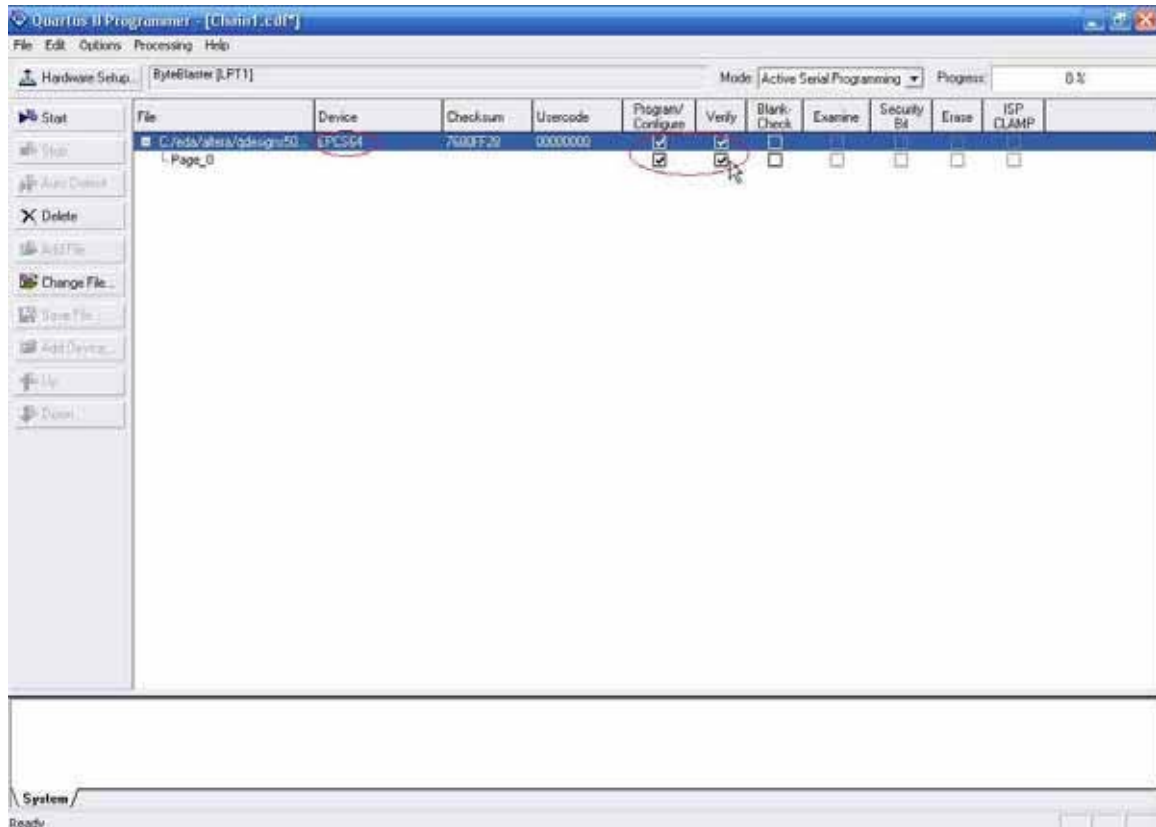
1. 於 Mode 欄位中選擇"Active Serial Programming"。如 Hardware Setup 為 No Hardware 時，需要重新進行 3.2.1 硬體設定中步驟。



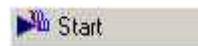
2. 選擇要燒錄進去 Serial Configuration EPROM 的”燒錄檔 (*.POF)” ，再選擇”Open”。



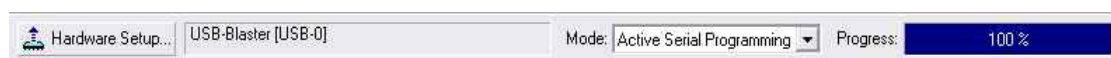
3. 確定 Device、Checksum 正確無誤後，再點選”Program/Configure”。



4. 使用Download Cable進行電腦與本研發电路板的AS Header連接⁸，完成後，進行將Power Cable供電給本研發电路板後，按Start按鈕。



5. 待 Progress 至 100%後，JTAG Down Load 流程即完成。



6. 最後可以再次確認訊息視窗，是否有顯示 Successfully performed operation(s)，如有紅色的 Error 或 Warning 產生，需再進行週邊設定及硬體連接上的檢查，之後再進行一次完整的流程。

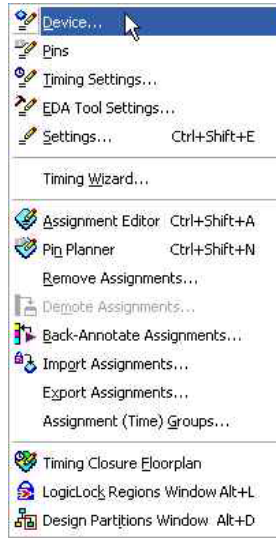


⁸ 可參照 2.7，AS Header位置。

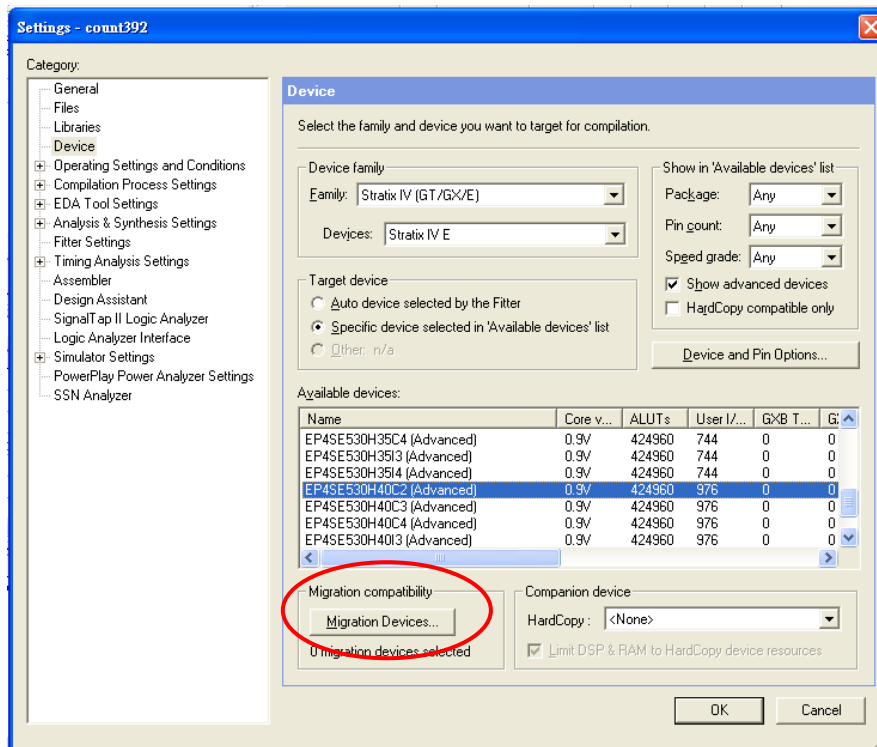
3.2.5 Stratix III Device Family 相容性設定

本研發電路板上提供 EP4SE290~EP4SE630 的容量，供 IC 設計者依實際需要做選擇，為避免在未來替換不同邏輯容量的考量，以致 I/O 腳位不相容，可於 QuartusII 設定，避免此一問題的發生。

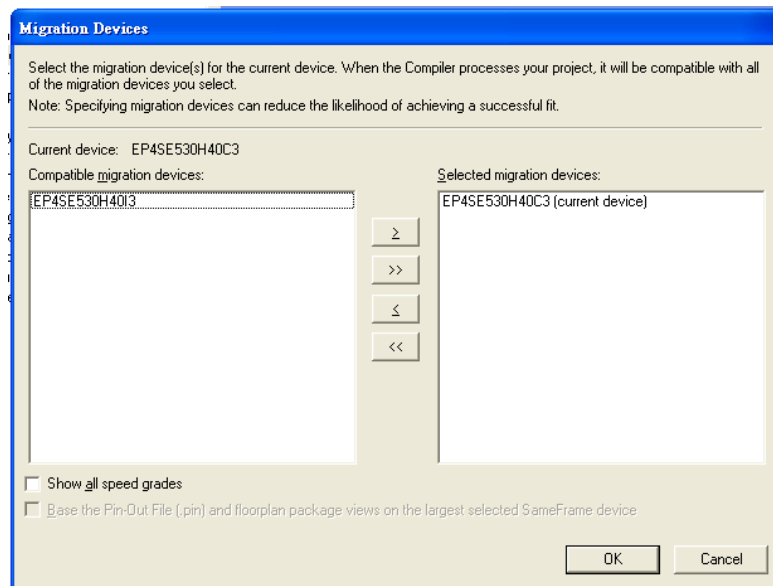
1. 於 Quartus II 選擇 Assignments Device。



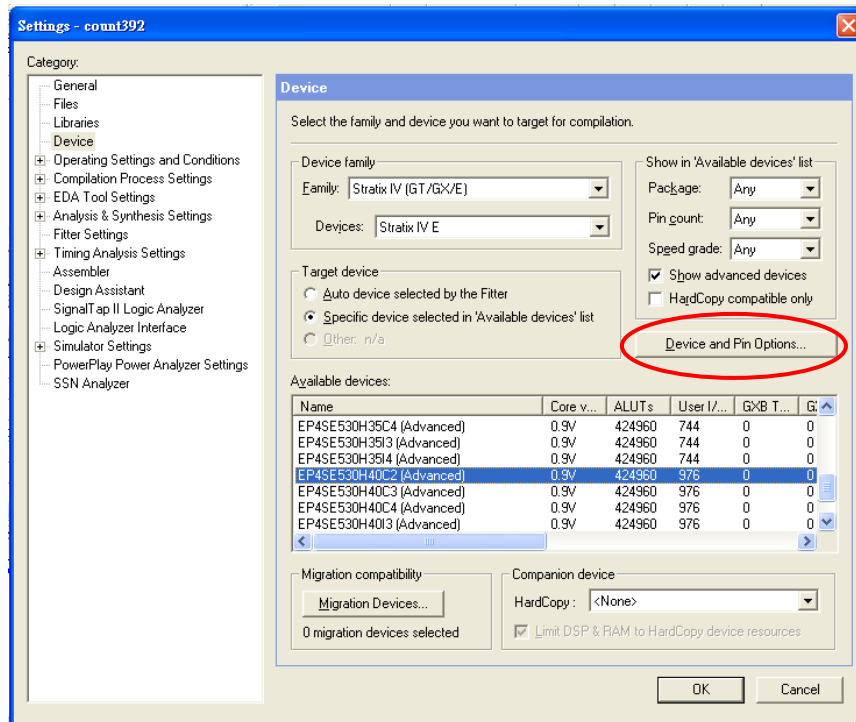
2. 於 Migration Compatibility 中選取”Migration Devices”。



3. 於 Compatible migration devices 中選取相容的元件至 Selected immigration devices 後並選擇”OK”。



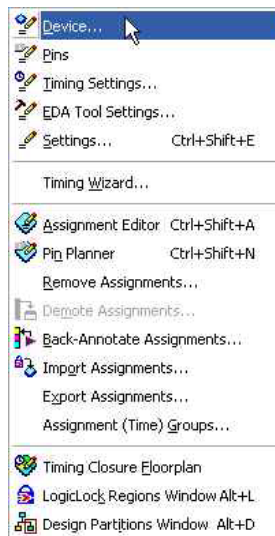
4. 再選取”Device & Pin Options...”。



5. 於”Unused Pins”選單中設定 Reserve all unused pins 為”As input tri-stated”。

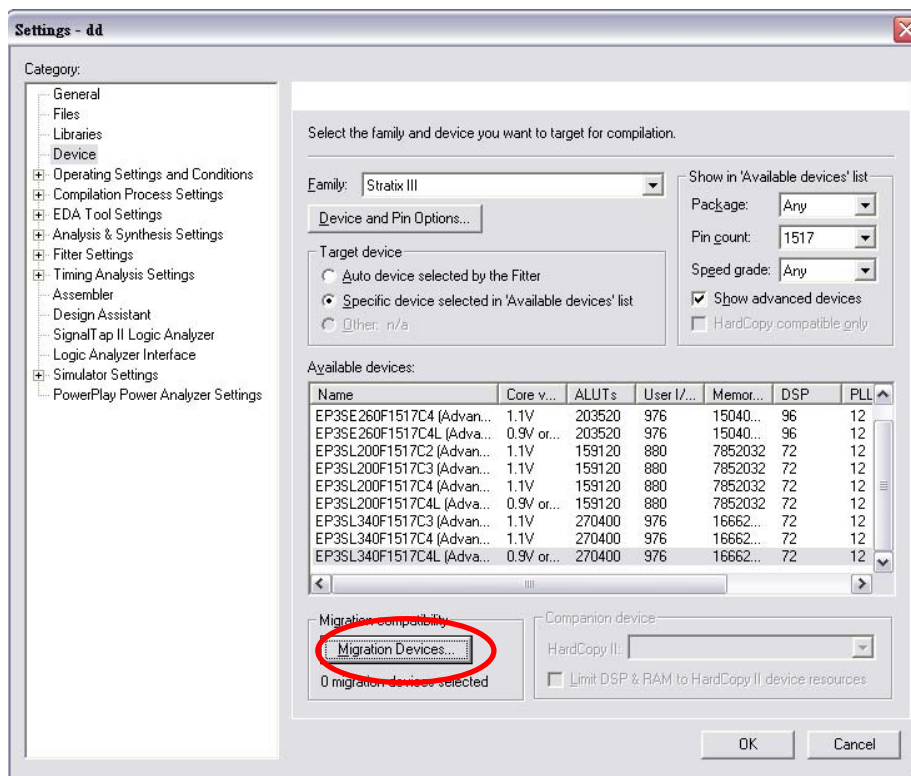
本研發電路板上提供 EP3SL200~EP2SL340 的容量，供 IC 設計者依實際需要做選擇，為避免在未來替換不同邏輯容量的考量，以致 I/O 腳位不相容，可於 QuartusII 設定，避免此一問題的發生。

1. 於 Quartus II 選擇 Assignments Device。

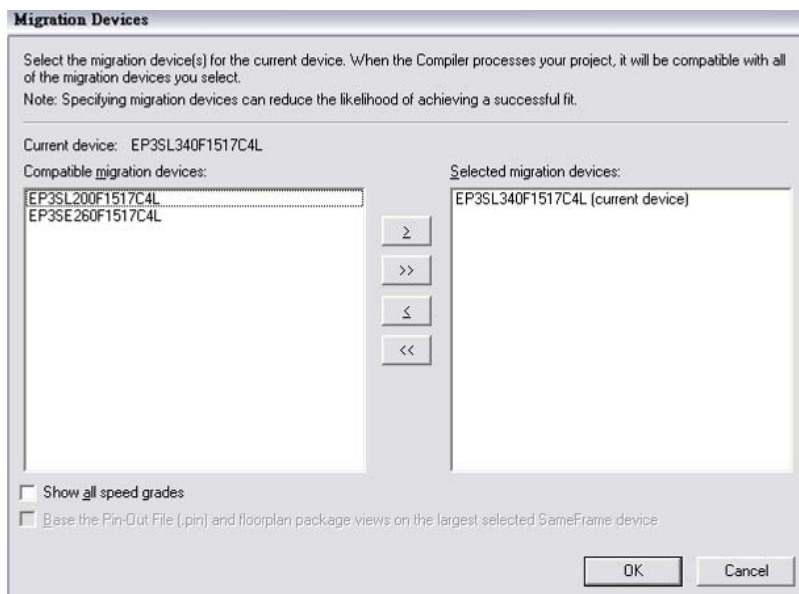


2. 於 Migration Compatibility 中選取”Migration Devices”。

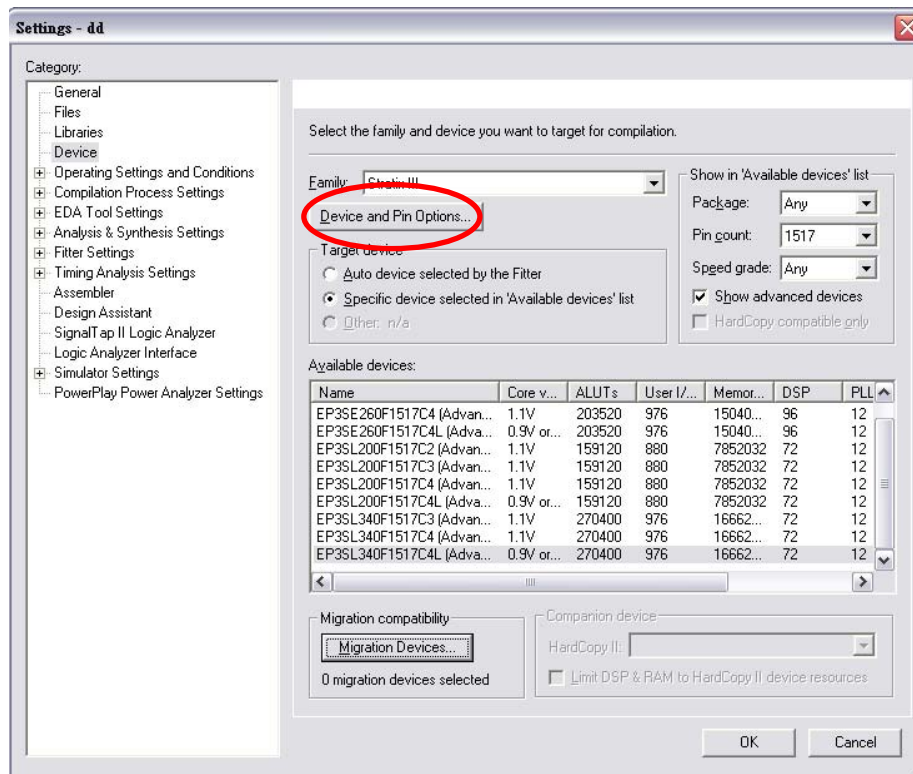




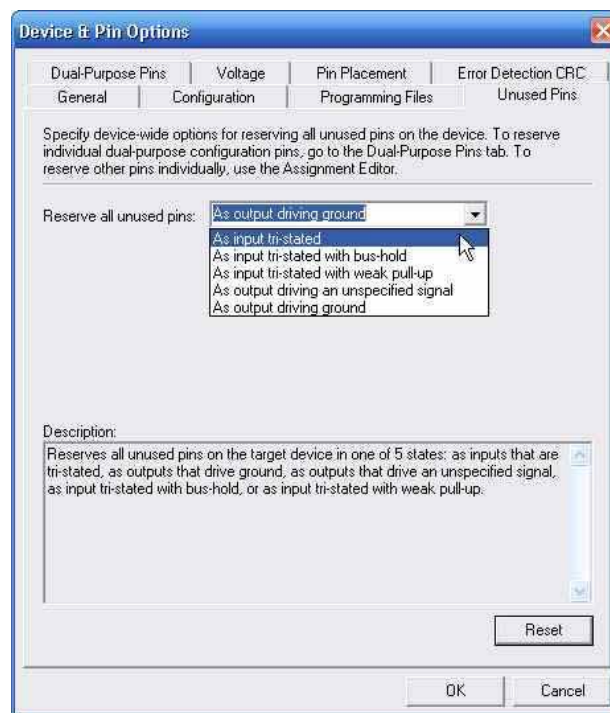
- 於 Compatible migration devices 中選取"EP3SE260F1517CX"、"EP3SL200F1517CX"、"EP3SL340F1517CX"至 Selected migration devices 後並選擇"OK"。

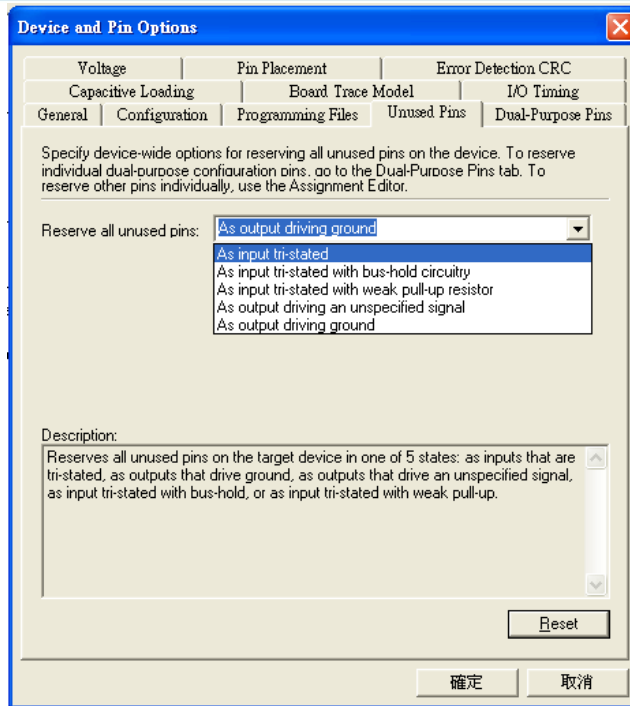


- 再選取"Device & Pin Options..."。



5. 於”Unused Pins”選單中設定 Reserve all unused pins 為”As input tri-stated”。





4. 附錄

4.1 Byteblaster MV/II 在 Windows 2K/XP 安裝指南

如果在 Programmer 進行 Hardware Setup 時，如果無法找到任何硬體，則需要使用下列步驟進行手動安裝。

1. Support version :

Quartus II 5.0 or later

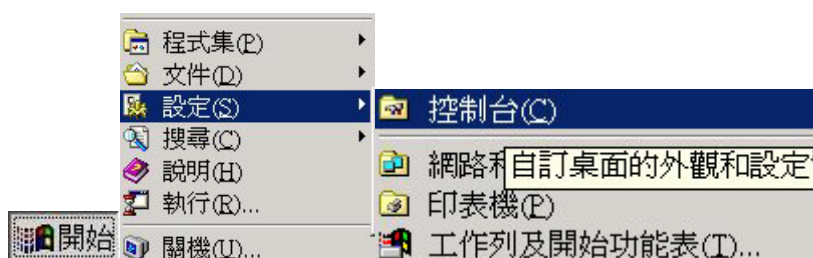
2. Drivers path :

QuartusII <QuartusII install path>\Drivers\win2000

Default path=c:\Altera\<QuartusII version>\drivers\win2000

3. 安裝程序

到控制台



選取安裝、移除、及硬體疑難排解

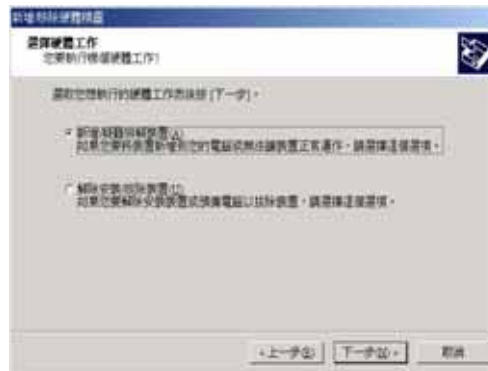


選取下一步





選取**新增/疑難排解裝置**後選擇**下一步**



選取**新增一項裝置**



選取**否，我要從清單中選取硬體**



選取**音效，視訊及遊戲控制器**

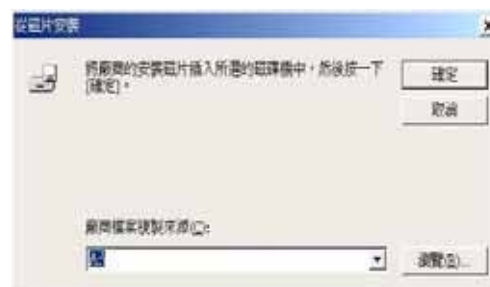




選取從磁片安裝



選取瀏覽

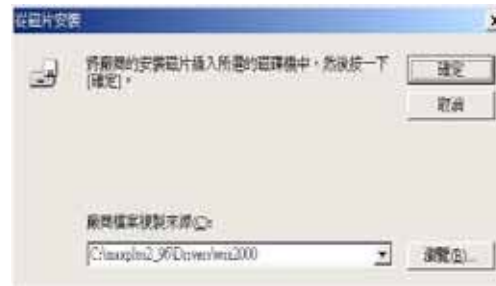


找出檔案位置後，選取開啟



選取確定





選取是



選取 Altera Byte-blaster



選取是



選取下一步

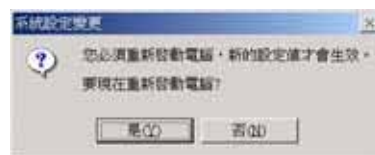




選取**完成**



選擇**重新啟動電腦**



4. 確定是否安裝成功

到桌面上選取**我的電腦**按滑鼠右鍵選取**內容**

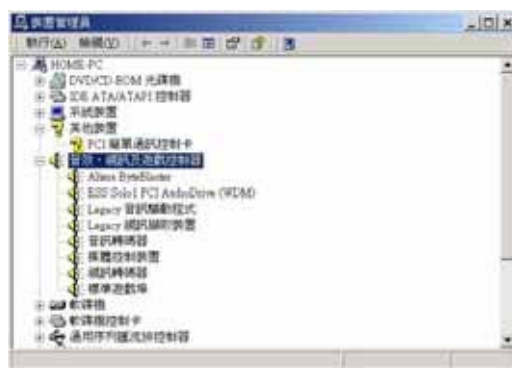


選取硬體下的**裝置管理員**



選取**音效，視訊及遊戲控制器**





Altera Byteblaster 如有出現在上面，則表示安裝成功!!

4.2 Microsoft Window XP SP2 相容性問題修正方法

如果使用者在微軟 Window XP 中，先安裝 Quartus II 軟體後，再行安裝微軟 Windows XP SP2 的軟體時，須要重新安裝 Byte-blaster 的驅動程式，才可以再使用 Programmer 進行程式 Download 至硬體。其重新安裝方式如下：

```
Cd altera\quartusXX\drivers\i386
Bblpt.exe /r                —removes the ByteBlaster driver
Bblpt /i                    —reinstalls the ByteBlaster driver
Net start ALTERABYTEBLASTER
```

4.3 USB Blaster Driver Installation

使用USB Blaster時，須先安裝USB Blaster的驅動程式。其所須的驅動程式，皆置於Quartus II安裝預設的目錄中。詳細USB Blaster的規格，可由[茂綸](#)或[Altera網站](#)查詢。

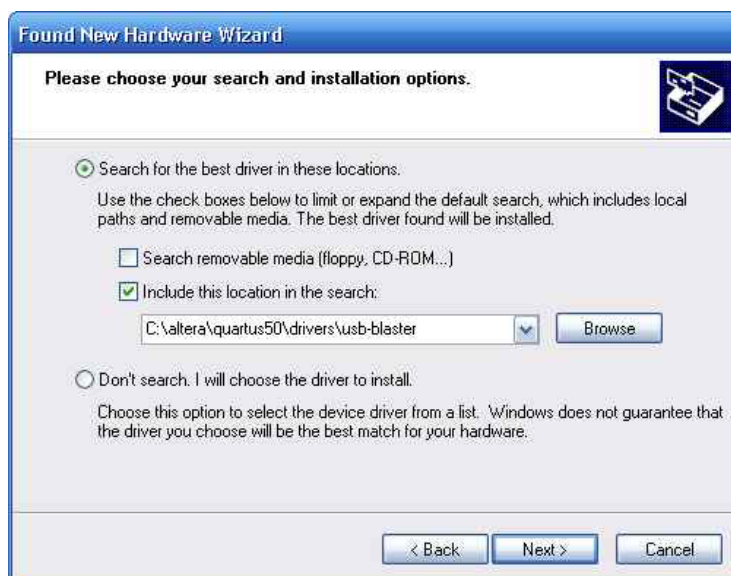
```
Quartus II    <Quartus II install path>\Drivers\usb-blaster
Default path=c:\Altera\<Quartus II Version>\drivers\usb-blaster
```

1. 當 USB Blaster 插入 USB 擴充槽後，Windows 會自動跳出”新增一項硬體”。在視窗中選擇“從清單中手動選取的硬體(進階選項)”後，選擇下一步。





2. 選擇“在這些位置中搜尋最好的驅動程式”中的“搜尋包這個位置”，使用瀏覽去找 USB-Blaster 驅動程式所在位置，如果為預設目錄時，亦可直接輸入”C:\altera\<Quartus II Version>\drivers\usb-blaster”後，進行下一步。



3. 選擇 Altera USB-Blaster 後，下一步。



4. 選擇“繼續安裝”按鈕，繼續安裝 Altera USB-Blaster 驅動程式。



5. 完成 Altera USB-Blaster 的安裝程序。





4.4 GFEC Stratix III 研發電路板專屬拔取器使用方法

本研發電路板於出貨時，皆會附一只 GFEC Stratix III 研發電路板專屬拔取器。其功能及目的為保護 Extension I/O 連接器，避免其長期使用後，因不正常的分離動作，造成連接器受損不堪使用，故如須從自行設計的系統中分離 GFEC Stratix III 研發電路板時，請使用 GFEC Stratix III 研發電路板專屬拔取器，並遵照以下之方法，Step by Step。

本拔取工具僅提供輔助使用者從自行設計的系統中分離 GFEC Stratix III 研發電路板之用，無法完全保證任何狀況下皆不損害基板，使用時仍請多加留意 GFEC Stratix III 研發電路板是否變形或是其他問題。

以下圖表 4 為 GFEC Stratix III 研發電路板專屬拔取器，其可分為兩個部份，在此稱為 A 和 B，以利說明使用方法，如圖所示：



圖表 4 GFEC Stratix III 研發電路板專屬拔取器外觀圖

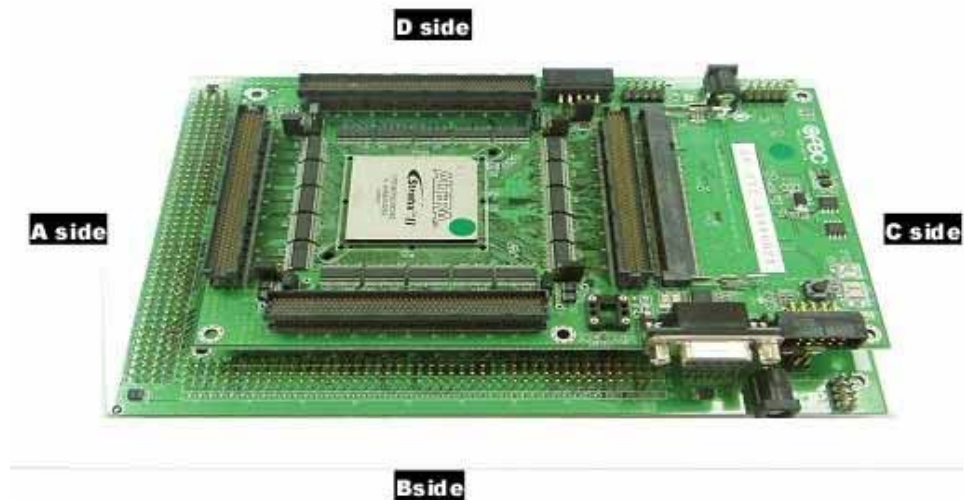
本公司為因應客戶於使用上造成自行設計系統的電路板受損，故另附一 GFEC Stratix III 研發電路板專屬拔取器之輔助工具，以供搭配使用，保護系統電路板。其外觀如圖表 5 所示：



圖表 5 GFEC Stratix III 研發電路板專屬拔取器之輔助工具

此外，在進行說明前，亦將 GFEC Stratix III 研發電路板分成四個部份，如圖表 6 所示：

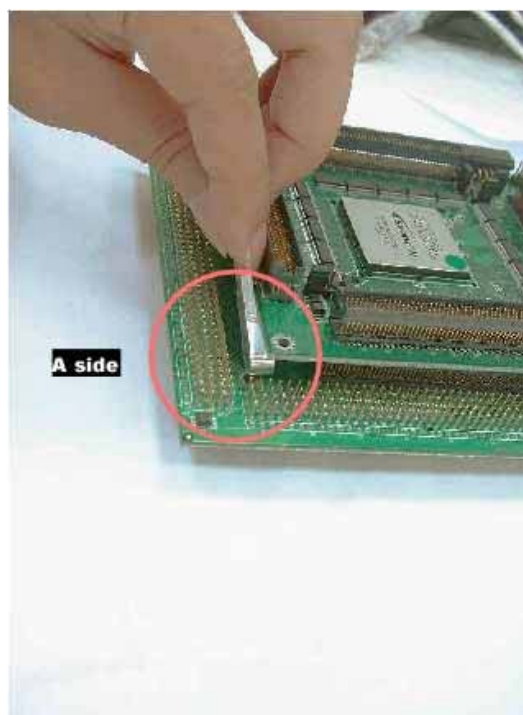




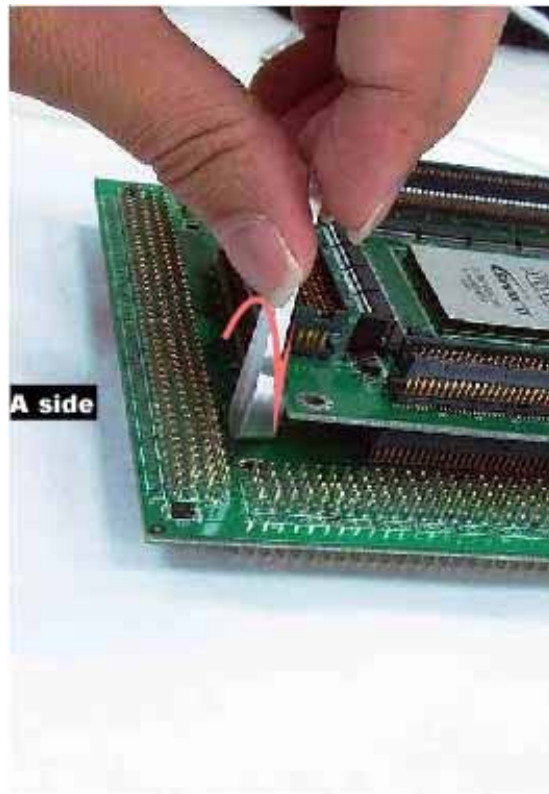
圖表 6 GFEC Stratix III 研發電路板與自行設計之系統連接完成圖

以下為一個示範，如何應用 GFEC Stratix III 研發電路板專屬拔取器及其輔助工具，從自行設計系統的電路板分離出 GFEC Stratix III 研發電路板。

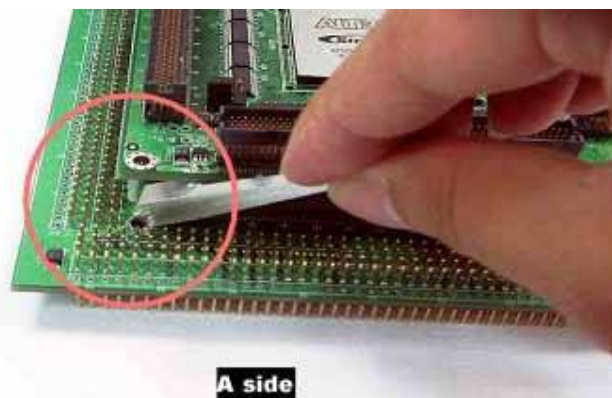
1. 請先到 A Side，及使用 GFEC Stratix III 研發電路板專屬拔取器 B 的方向，置於 GFEC Stratix III 研發電路板與自行設計的系統中間適當位置，並參考下列圖示。



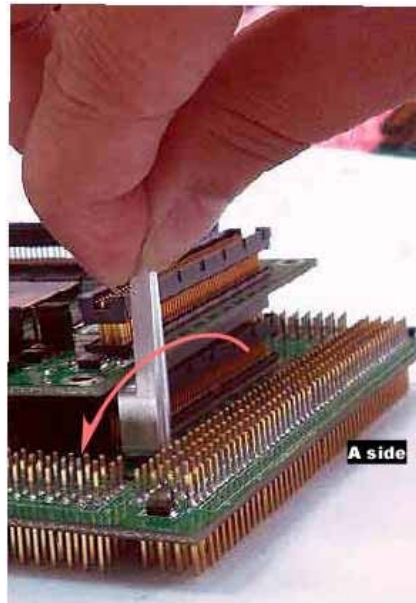
2. 將 GFEC Stratix III 研發電路板專屬拔取器向上旋轉。



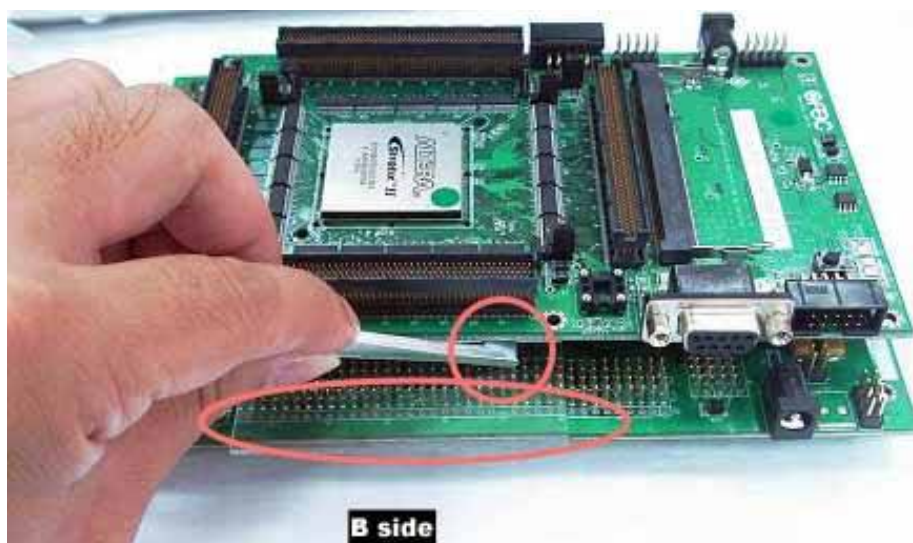
3. 請到 A Side 另一端，置於 GFEC Stratix III 研發電路板與自行設計的系統中間適當位置，並參考下列圖示。



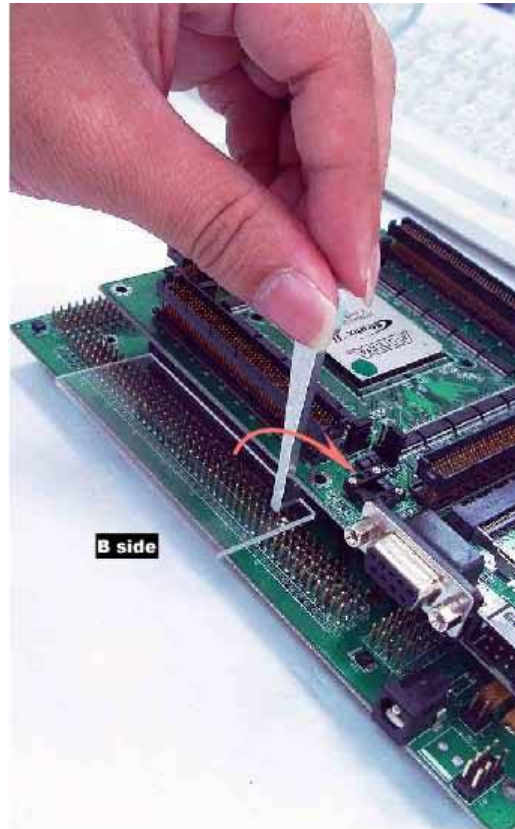
4. 將 GFEC Stratix III 研發電路板專屬拔取器向上旋轉，此時 A Side 部分，自行設計系統的電路板與 GFEC Stratix III 研發電路板應該已經分離。



5. 請到圖表 6 中 B Side 的位置，使用 GFEC Stratix III 研發電路板專屬拔取器 B 的方向。如有因電路板先天設計限制，無法直接使用，亦可使用 GFEC Stratix III 研發電路板專屬拔取器 A 的方向，並搭配 GFEC Stratix III 研發電路板專屬拔取器之輔助工具使用，參考下列圖示。

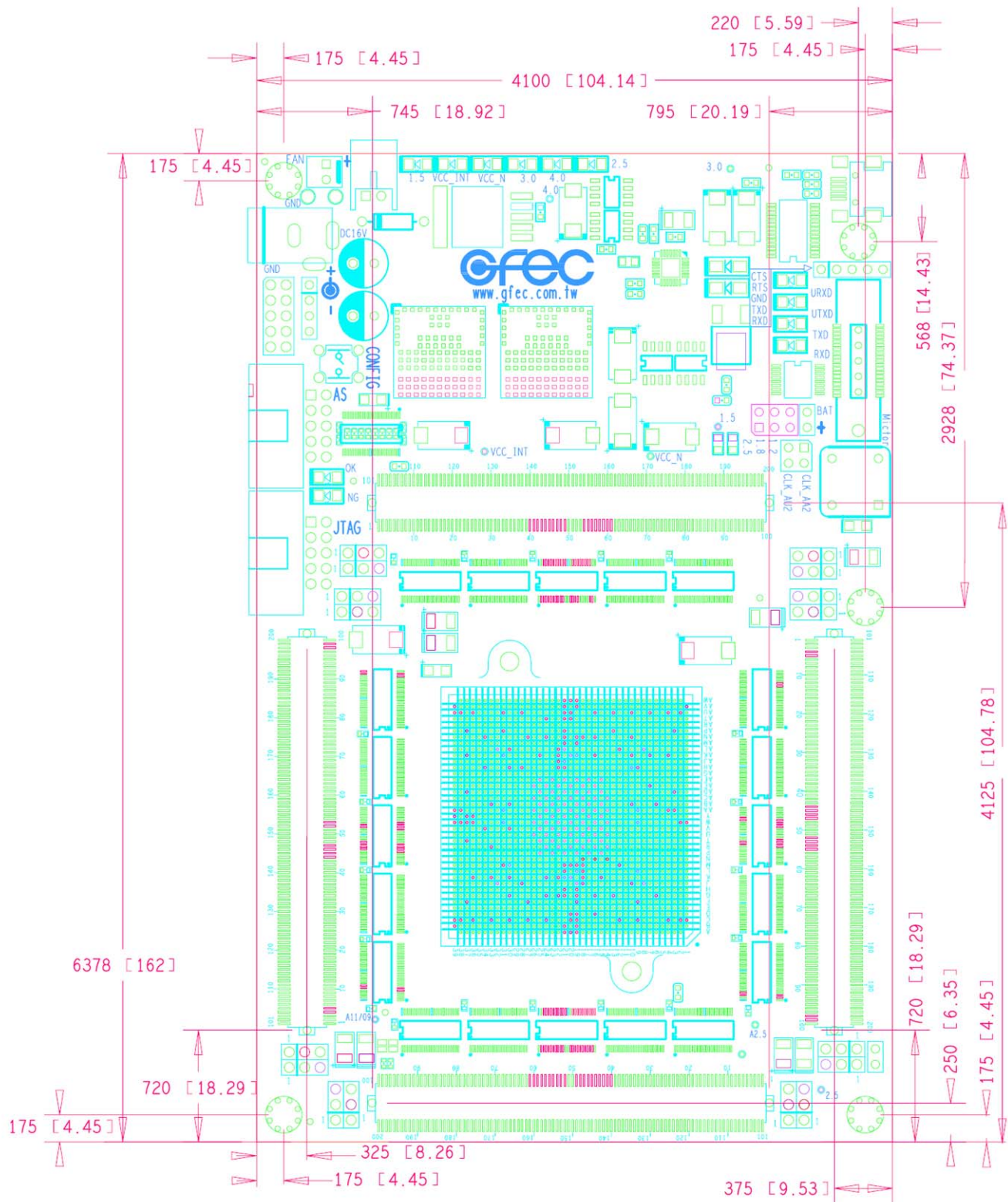


6. 將 GFEC Stratix III 研發電路板專屬拔取器向上旋轉。

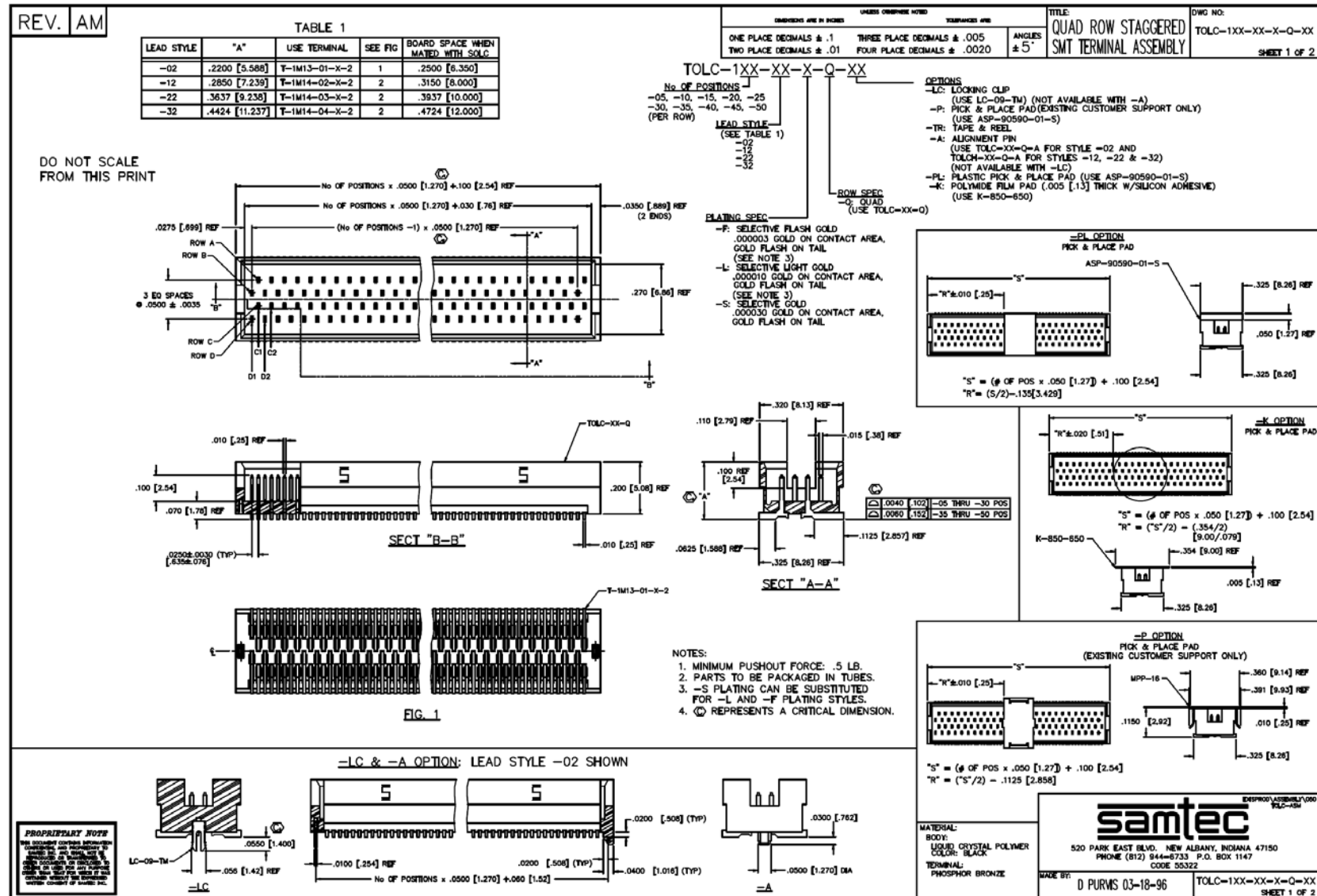


7. 同步驟 5，將 D Side 拉起。
8. 此時 Stratix III 研發電路板應已經從自行設計的系統上分離。

4.5 尺寸圖

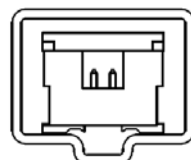


4.6 Recommend Layout Footprint

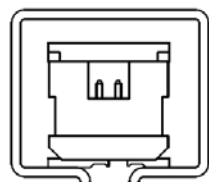


REV. AM

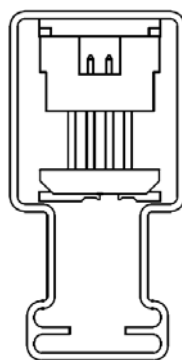
PACKAGING VIEWS



-12
PT-1-24-02-70 TUBE
TP-03 PLUG



-22
PT-1-24-01-70 TUBE
TP-29 PLUG

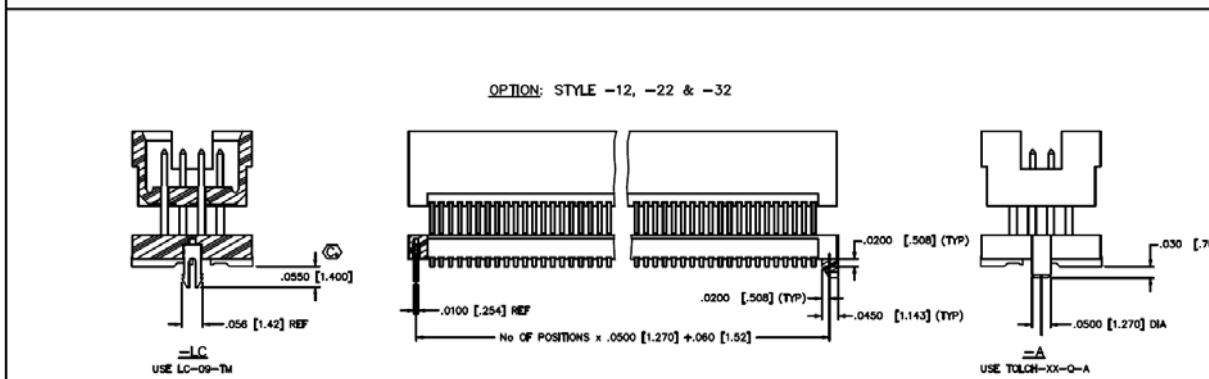
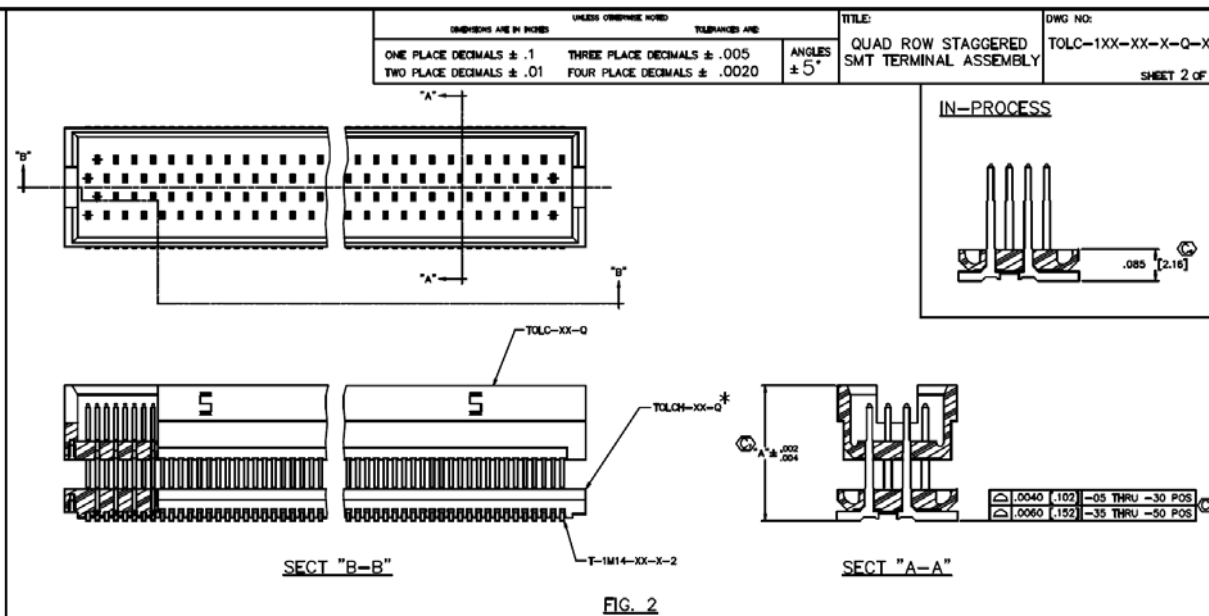


-32
PT-1-24-01-44 TUBE
TP-13 PLUG

TABLE 2

LEAD STYLE	OPTIONS	PACKAGING TUBE	PLUG
-02/-12	ALL	PT-1-24-02-70	TP-03
-22	ALL	PT-1-24-01-70	TP-29
-32	ALL	PT-1-24-01-44	TP-13

PROPRIETARY NOTE
THIS DOCUMENT CONTAINS INFORMATION
CONFIDENTIAL AND PROPRIETARY TO
SANTEC INC. AND SHALL NOT BE
REPRODUCED OR TRANSMITTED IN
ANY FORM OR BY ANY MEANS
ELECTRONIC OR MECHANICAL,
INCLUDING PHOTOCOPYING,
RECORDING, OR BY ANY
INFORMATION STORAGE AND
RETRIEVAL SYSTEM.
SANTEC INC. 1998



* -TOLCH BODY IN THIS VIEW REFLECTS ALTERNATE
STANDOFF DESIGN.

PLOT SCALE 1=1

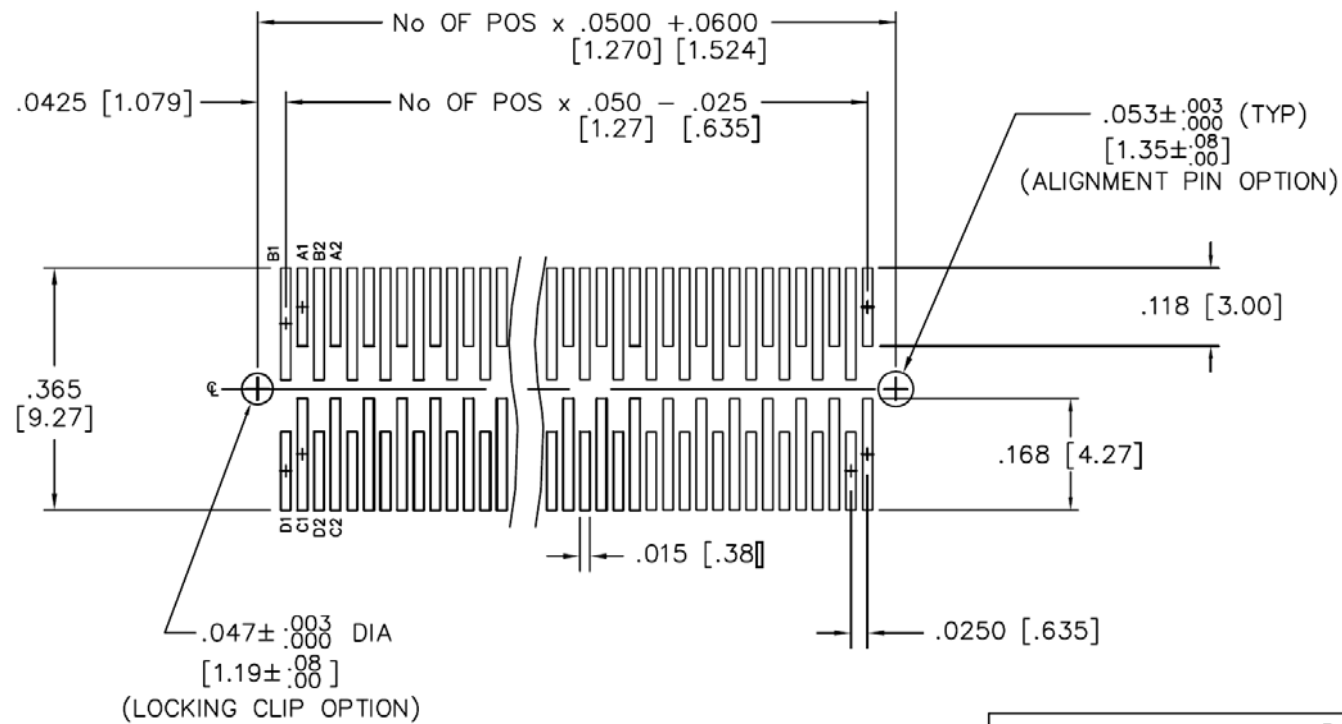
santec
MISCELLANEOUS
TOLC-1XX

520 PARK EAST BLVD. NEW ALBANY, INDIANA 47150
PHONE (812) 944-6733 P.O. BOX 1147
CODE 55322

MADE BY: D PURVIS 12-03-96
TOLC-1XX-XX-X-Q-XX
SHEET 2 OF 2

RECOMMENDED BOARD LAYOUT FOR TOLC

REV. D



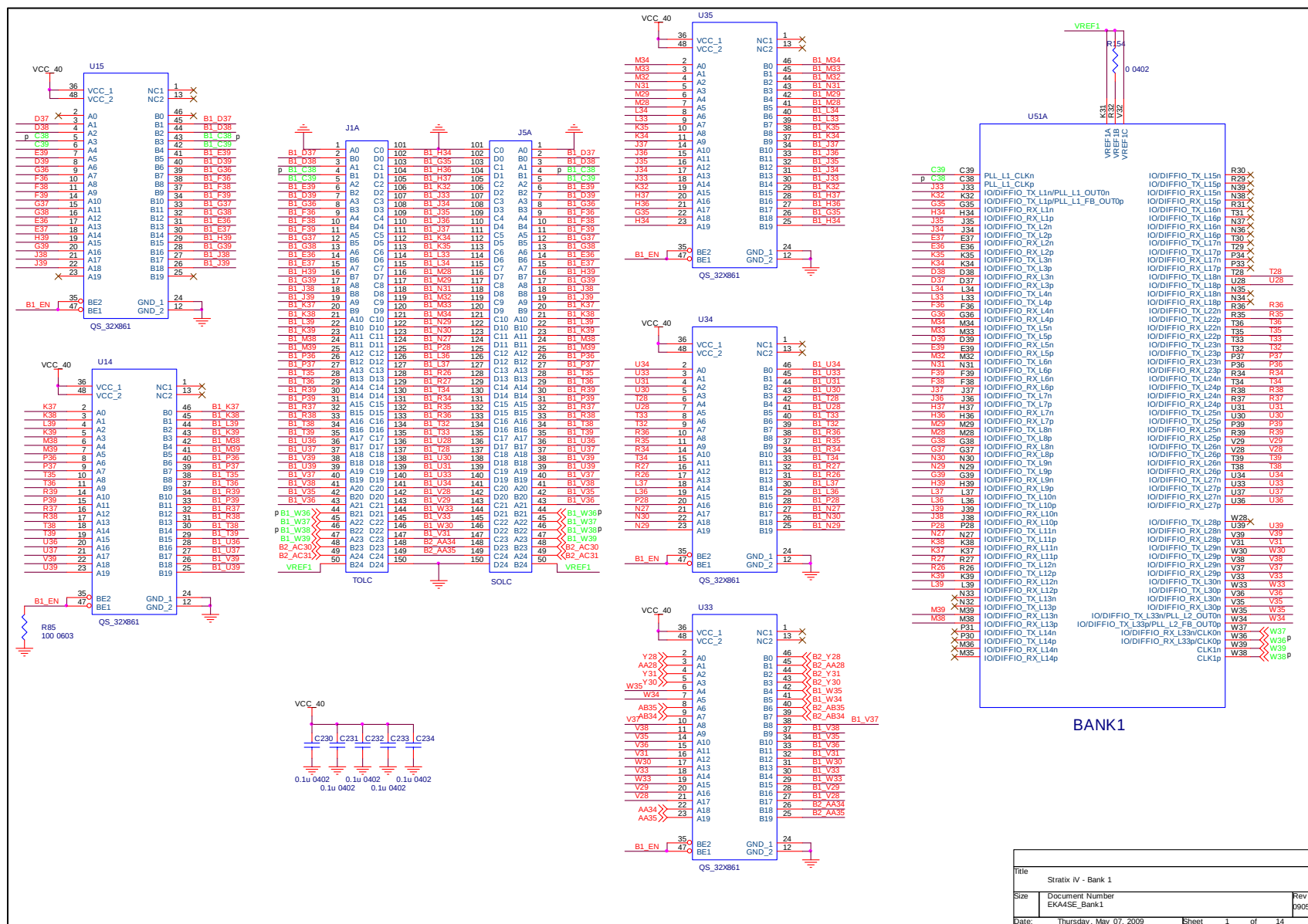
PLOT SCALE: 1 = .25

samtec

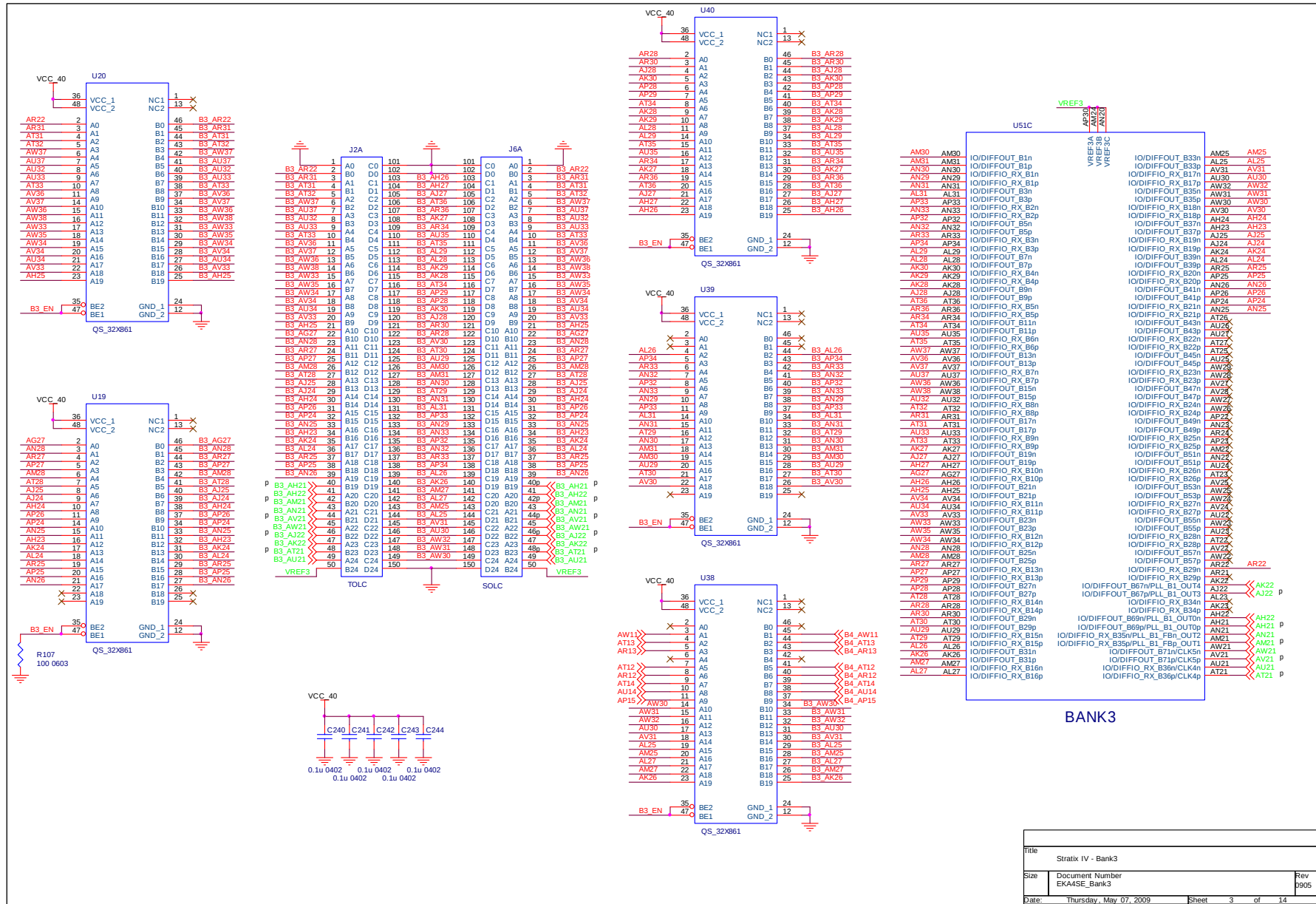
810 PROGRESS BLVD. NEW ALBANY, INDIANA 47150
PHONE (812) 944-6733 P.O. BOX 1147

M: \DWG\MISC\
MKTG\TOLC

4.7 電路圖

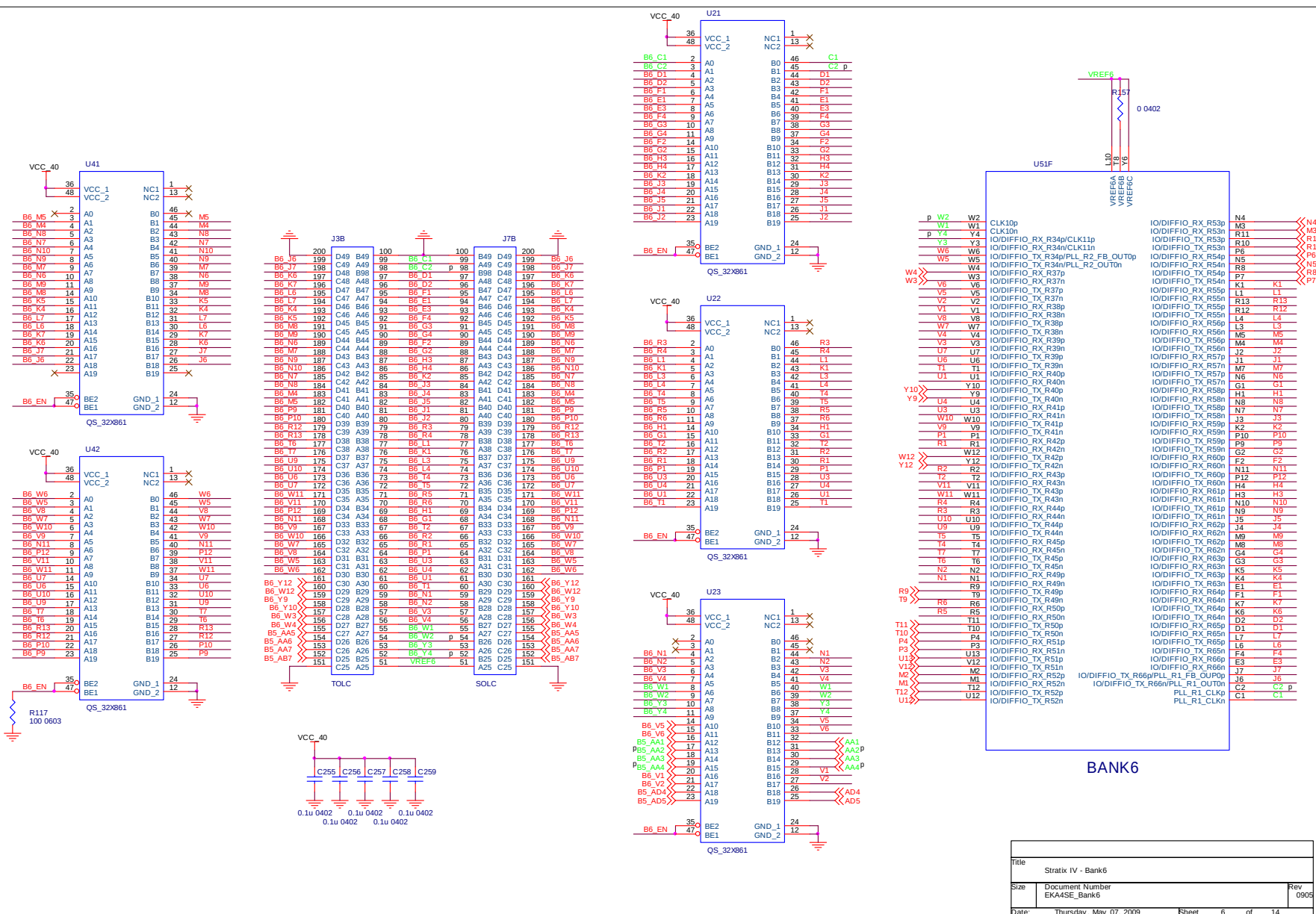




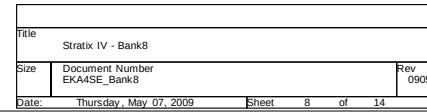


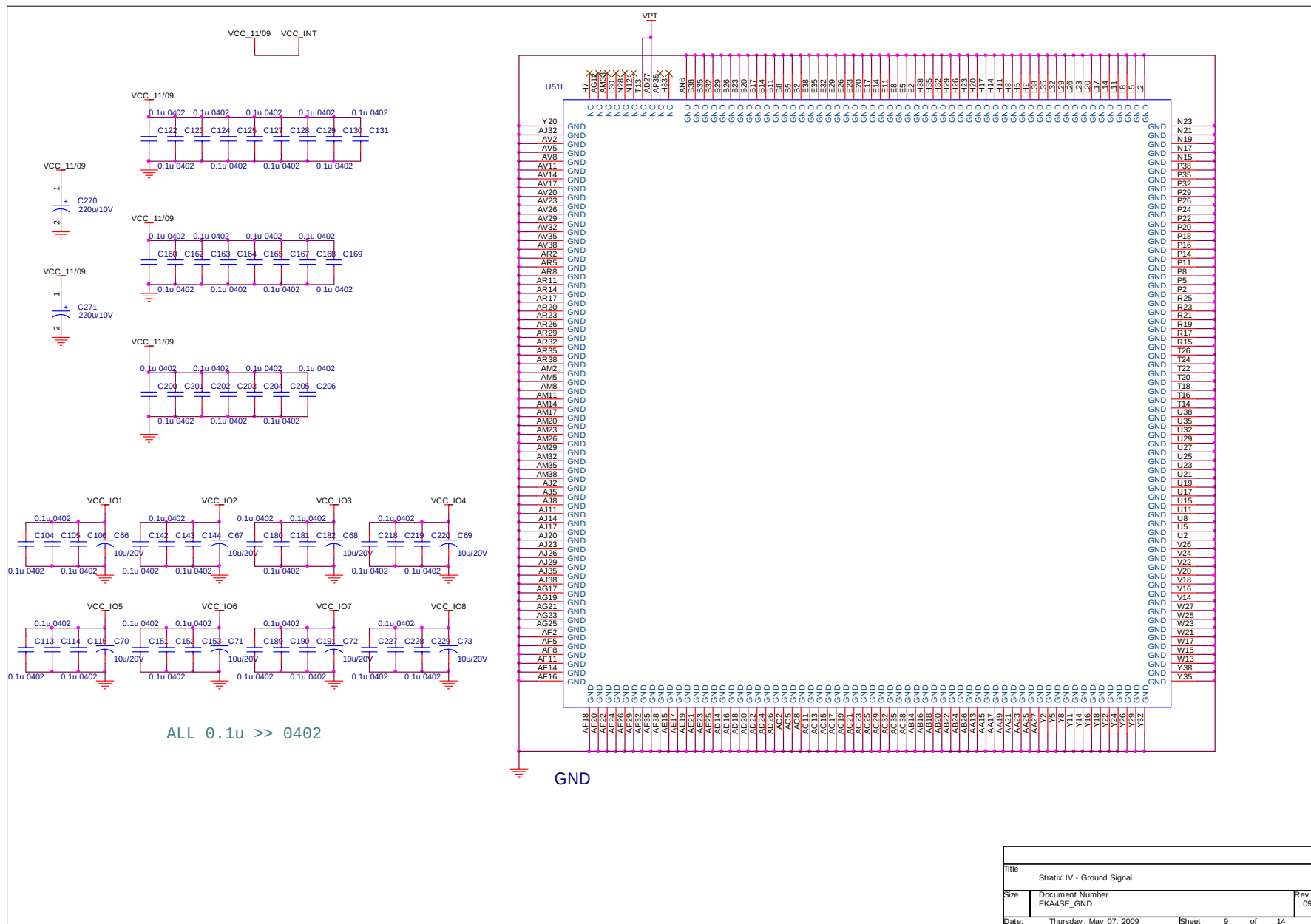






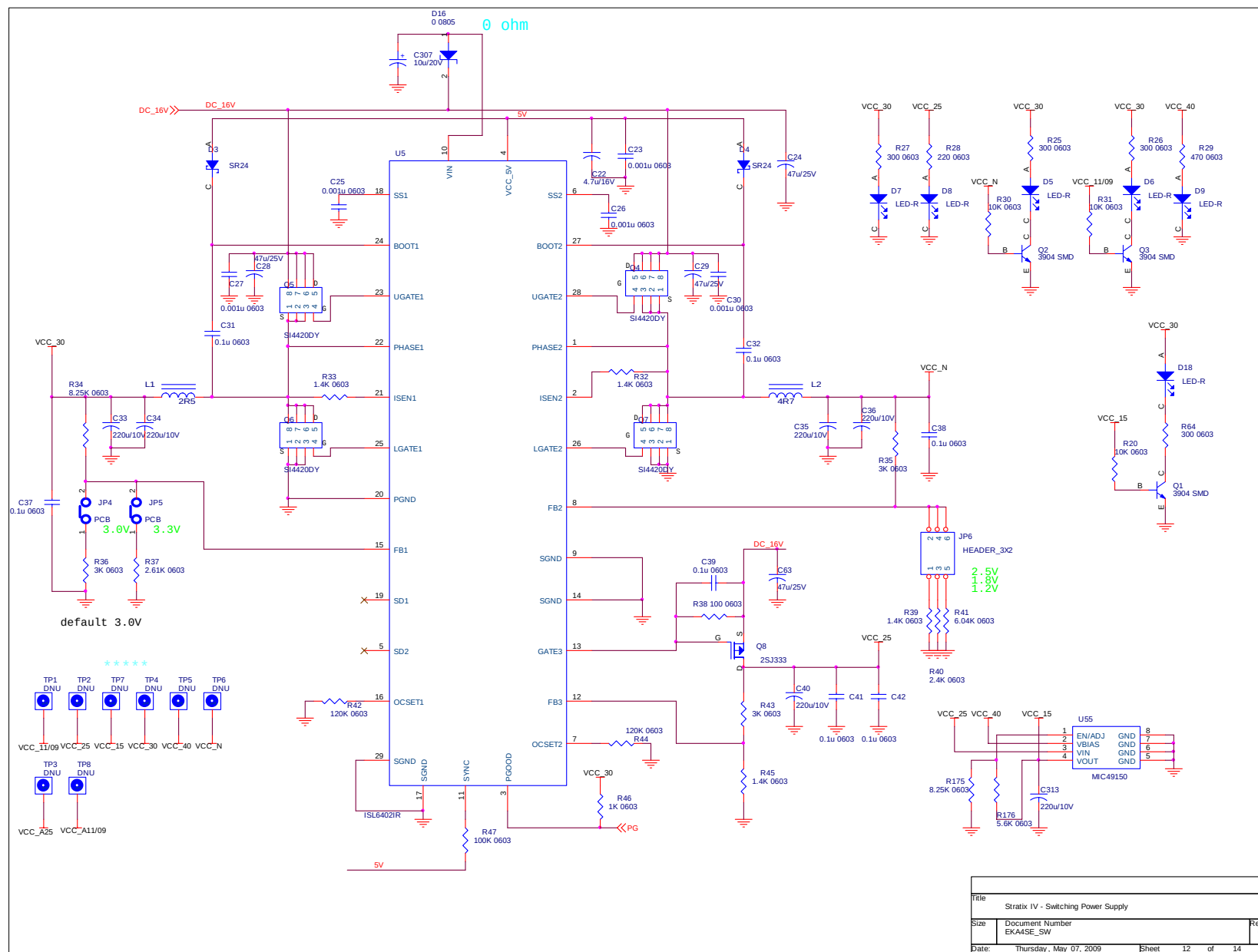


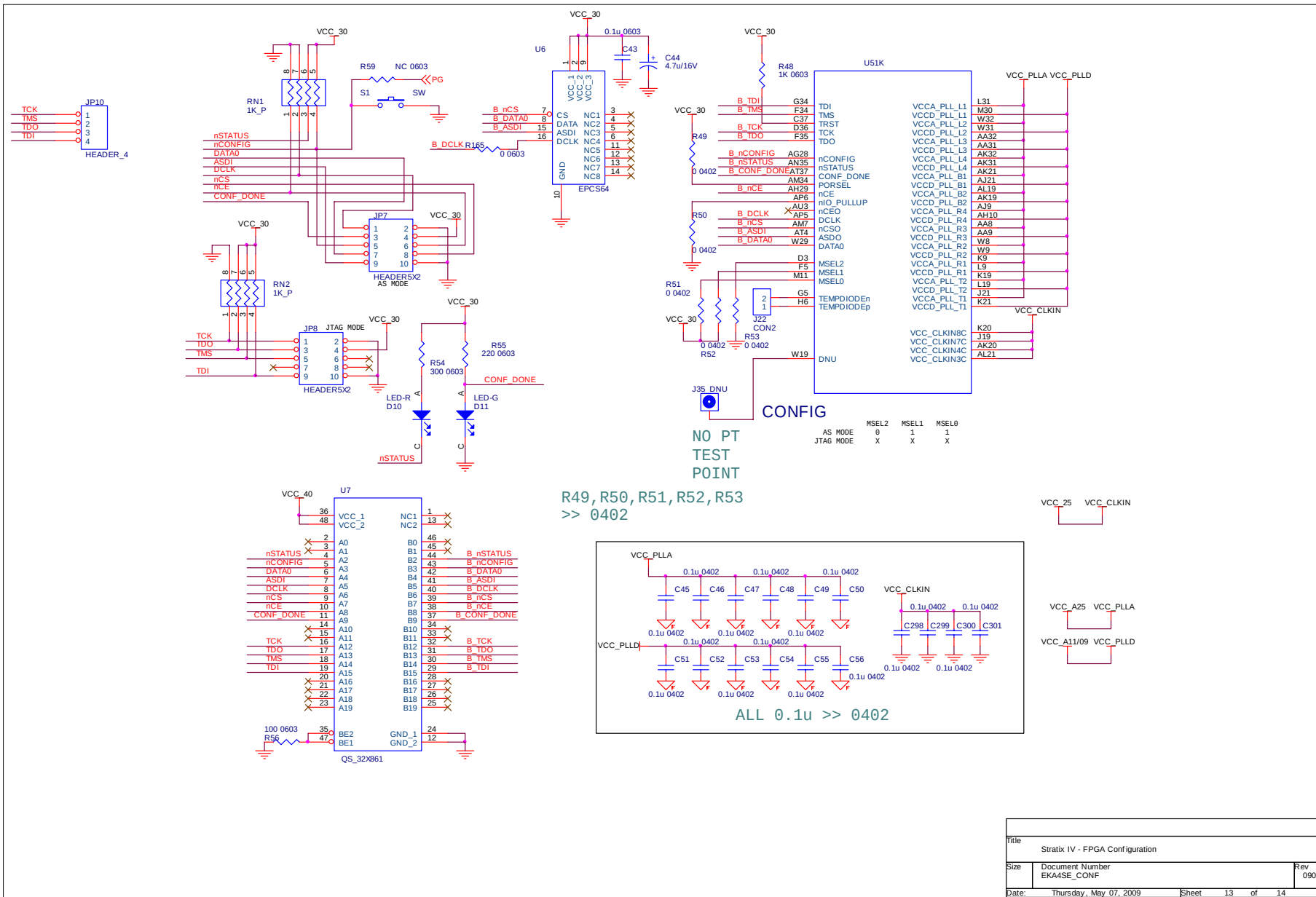


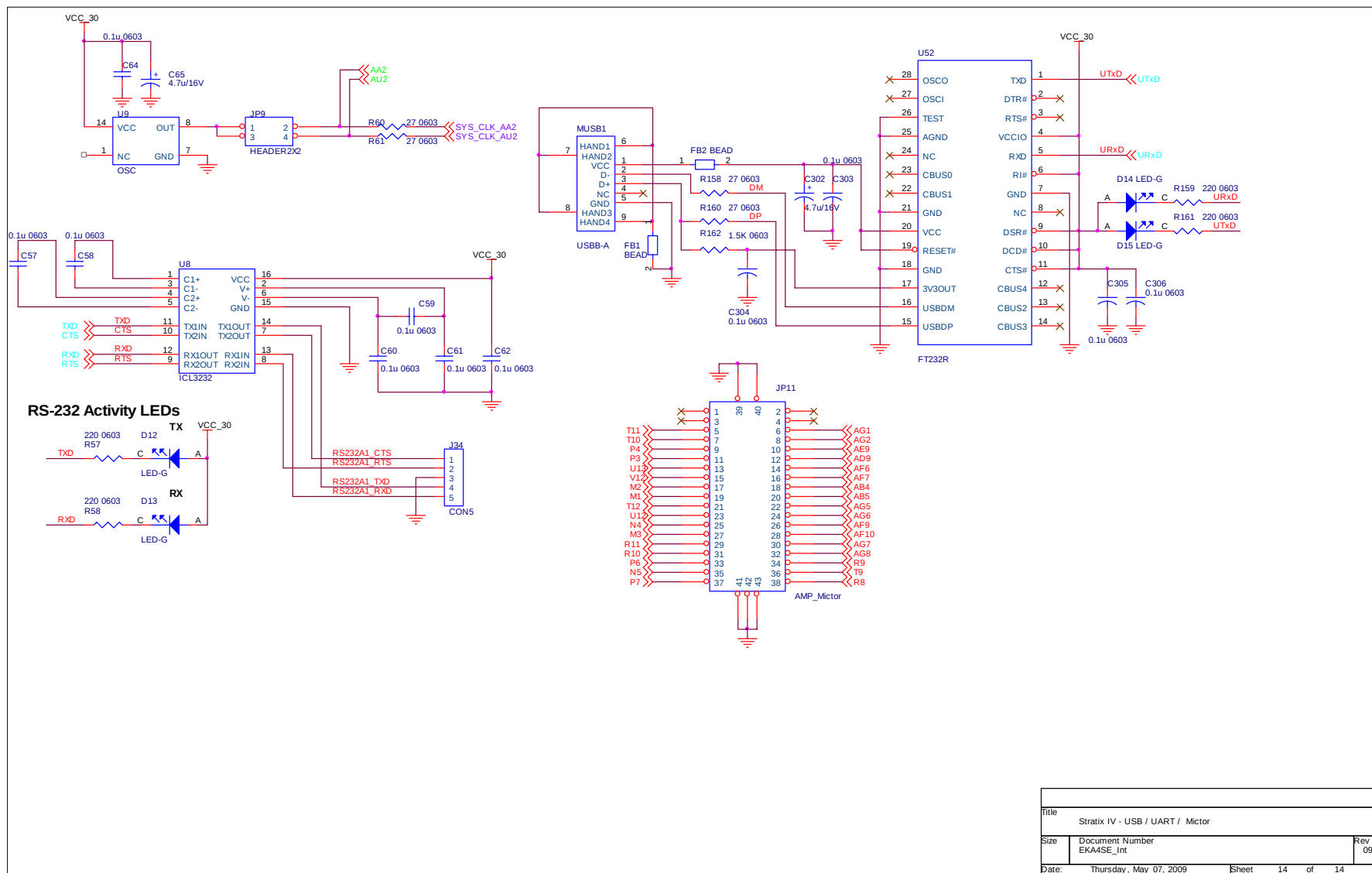












4.8 參考資料

Stratix III Device Handbook

Volume 1 - Stratix III Device Handbook

Section I. Device Core

Chapter 1. [Stratix III Device Family Overview](#)

Chapter 2. [Logic Array Blocks & Adaptive Logic Modules in Stratix III Devices](#)

Chapter 3. [MultiTrack Interconnect in Stratix III Devices](#)

Chapter 4. [TriMatrix Embedded Memory Blocks in Stratix III Devices](#)

Chapter 5. [DSP Blocks in Stratix III Devices](#)

Chapter 6. [Clock Networks and PLLs in Stratix III Devices](#)

Section II. I/O Interfaces

Chapter 7. [Stratix III Device I/O Features](#)

Chapter 8. [External Memory Interfaces in Stratix III Devices](#)

Chapter 9. [High Speed Differential I/O Interfaces with DPA in Stratix III Devices](#)

[–]

Section III. Hot Socketing, Configuration, Remote Upgrades & Testing

Chapter 10. [Hot Socketing & Power-On Reset in Stratix III Devices](#)

Chapter 11. [Configuring Stratix III Devices](#)

Chapter 12. [Remote System Upgrades with Stratix III Devices](#)

Chapter 13. [IEEE 1149.1 \(JTAG\) Boundary Scan Testing in Stratix III Devices](#)

[–]

Section IV. Design Security & Single Event Upset (SEU) Mitigation

Chapter 14. [Design Security in Stratix III Devices](#)

Chapter 15. [SEU Mitigation in Stratix III Devices](#)

[–]

Section V. Power & Thermal Management

Chapter 16. [Programmable Power & Temperature Sensing Diode in Stratix III Devices](#)

[–]

Section VI. Packaging Information

Chapter 17. [Stratix III Device Package Information](#)

[–]

Volume 2 - Stratix III Device Data Sheet

Chapter 1. [DC and Switching Characteristics of Stratix III Devices](#)



Quartus II Handbook

Design & Synthesis

- Chapter 1. [Design Planning with the Quartus II Software](#)
- Chapter 2. [Quartus II Incremental Compilation for Hierarchical & Team-Based Design](#)
- Chapter 3. [Quartus II Design Flow for MAX+PLUS II Users](#)
- Chapter 4. [Quartus II Support for HardCopy Series Devices](#)
- Chapter 5. [Engineering Change Management](#)
- Chapter 6. [Design Recommendations for Altera Devices](#)
- Chapter 7. [Recommended HDL Coding Styles](#)
- Chapter 8. [Quartus II Integrated Synthesis](#)
- Chapter 9. [Synplicity Synplify & SynplifyPro Support](#)
- Chapter 10. [Mentor Graphics Precision RTL Synthesis Support](#)
- Chapter 11. [Mentor Graphics LeonardoSpectrum Support](#)
- Chapter 12. [Synopsys Design Compiler FPGA Support](#)
- Chapter 13. [Analyzing Designs with Quartus II Netlist Viewers](#)

Design Implementation & Optimization

- Chapter 1. [Assignment Editor](#)
- Chapter 2. [Command-Line Scripting](#)
- Chapter 3. [Tcl Scripting](#)
- Chapter 4. [Managing Quartus II Projects](#)
- Chapter 5. [I/O Management](#)
- Chapter 6. [Mentor Graphics PCB Design Tools Support](#)
- Chapter 7. [Cadence PCB Design Tools Support](#)
- Chapter 8. [Area & Timing Optimization](#)
- Chapter 9. [Power Optimization](#)
- Chapter 10. [Timing Closure Floorplan](#)
- Chapter 11. [Netlist Optimizations & Physical Synthesis](#)
- Chapter 12. [Design Space Explorer](#)
- Chapter 13. [LogicLock Design Methodology](#)
- Chapter 14. [Synplicity Amplify Physical Synthesis Support](#)



Verification

- Chapter 1. [Quartus II Simulator](#)
- Chapter 2. [Mentor Graphics ModelSim Support](#)
- Chapter 3. [Synopsys VCS Support](#)
- Chapter 4. [Cadence NC-Sim Support](#)
- Chapter 5. [Simulating Altera IP in Third-Party Simulation Tools](#)
- Chapter 6. [TimeQuest Timing Analyzer](#)
[TimeQuest Analyzer Quick Start Tutorial](#)
- Chapter 7. [Switching to the TimeQuest Timing Analyzer](#)
- Chapter 8. [Classic Timing Analyzer](#)
- Chapter 9. [Synopsys PrimeTime Support](#)
- Chapter 10. [PowerPlay Power Analysis](#)
- Chapter 11. [Signal Integrity with Third-Party Tools](#)
- Chapter 12. [Quick Design Debugging Using SignalProbe](#)
- Chapter 13. [Design Debugging Using the SignalTap II Embedded Logic Analyzer](#)
- Chapter 14. [In-System Debugging Using External Logic Analyzers](#)
- Chapter 15. [Design Analysis & Engineering Change Management with Chip Planner](#)
- Chapter 16. [In-System Updating of Memory & Constants](#)
- Chapter 17. [Cadence Encounter Conformal Support](#)
- Chapter 18. [Synopsys Formality Support](#)

