

SEP4020 硬件设计指南

(V1.4.1)

南京博芯电子技术有限公司

2009 年 10 月

This document contains information on a product under development. Prochip Corp reserves the right to change or discontinue this product without notice.

Prochip Corp, 2009. All rights reserved.

版权说明

版权所有，未经南京博芯信息技术有限公司的授权，本说明文档不可以被复制或以任何形式或方式（电子的或是机械的）传播，包括影印，记录或是用其他任何信息存储及检索系统。文档所描述的任何一种电路对于第三方没有专利权及专利特许权。

否认书：

南京博芯信息技术有限公司保留对文档随时进行修改的权利，无须任何申明。南京博芯信息技术有限公司所提供的信息是精确可靠的。对于它的应用以及由于应用而导致违反专利权或是第三方的其他权利，本公司不负任何责任。

版本历史

日期	版本	描述	作者
2008-7-28	1.0	初稿，创建文档	武建平
2008-8-5	1.1	修改文档框架结构及文字错误	武建平
2008-12-8	1.2	修改文档中与原理图及实物中不一致的地方，主要包括： 1、RTC 部分； 2、Memory 部分	武建平
2009-3-19	1.3	主要修改以下地方： 1、参考设计的 USB HOST 部分，更换控制器； 2、参考设计的 IIS Audio 部分，拿掉音频输入接口； 3、外扩 A/D，添加触摸接口； 4、更改参考设计的 LCDC 扩展接口，添加触摸信号； 5、更改参考设计的串口部分； 6、拿掉 SSI 接口外扩 EEPROM； 7、更改参考设计的 SD 卡部分，添加热插拔检测卡控制； 8、SMC 卡部分增加电源选择控制； 9、更换部分元器件，包括 RTC 后备电池，Audio 部分的电容封装为 SMT； 10、更改附件中的 BOM 清单为 UB4020EVB (V1.5)；	武建平
2009-4-11	1.4	修改内容如下： 1、修改处理器供电参数范围； 2、整改文档格式细节； 3、更新相关参考文档版本；	武建平
2009-10-21	1.4.1	修改内容： 1、更新相关参考文档的版本号； 2、更改处理器最高运行频率和推荐使用工作频率 3、SMC 智能卡接口部分增加电平转换设计部分； 4、LCDC 接口部分增加兼容 LCD Panel 的型号及参考设计； 5、EMI 设计部分增加总线驱动参考设计；	武建平

		6、以太网接口部分增加对 Phy 上电工作模式的控制选择； 7、矩阵键盘接口改变设计方式，采用 N+1 的方式实现 N*N 键盘； 8、增加 PWM 模拟语音播放接口的功放参考设计； 9、更改附录的参考设计原理图； 10、 增加 USB DEVICE 接口上拉电阻控制参考设计。 11、 去掉功耗测试部分，功耗参数可参见《SEP4020 处理器 Datasheet (V1.2)》	
--	--	--	--

目 录

版本历史	III
目 录	V
第一部分 指南向导及SEP4020 处理器概述	7
1. 设计指南向导	7
1.1 简介	7
1.2 与设计指南相关的开发工具和应用手册	7
2. 处理器概述	7
2.1 处理器简介	7
2.2 处理器架构	8
2.3 处理器功能综述	9
第二部分 硬件设计分析	16
1. 概述及文档结构	16
2. 处理器的地址空间分配及地址映射	16
3. 处理器外围主要外设模块设计分析	17
3.1 处理器启动设置	17
3.2 复位电路及外部远程唤醒	18
3.3 RTC模块	20
3.4 JTAG调试接口	22
3.5 处理器的电源模块设计	23
3.6 中断控制器	26
3.7 DMA控制器	30
3.8 外部存储器设计（EMI）	32
3.9 LCDC接口	44
3.10 PWM接口使用说明	50
3.11 SSI接口	53

3.12	UART接口	56
3.13	IIS接口	60
3.14	智能卡控制接口（SMC）接口	63
3.15	USB DEVICE接口	66
3.16	RMII MAC接口	69
3.17	USB HOST接口	70
3.18	MMC/SD卡接口	71
3.19	通用输入输出接口（GPIO）	74
第三部分 附录		80
1.	处理器信号定义说明	80
2.	处理器机械尺寸及封装	84
3.	主要寄存器列表	85
4.	说明文档规约	102
5.	评估板参考设计原理图	103
6.	评估板BOM清单	113
7.	最小系统设计注意事项	117
7.1	最小系统包含功能	117
7.2	PCB设计注意事项	117

第一部分 指南向导及 SEP4020 处理器概述

1. 设计指南向导

1.1 简介

该设计指南文档为东南大学 ASIC 中心自主设计的处理器 SEP4020 的硬件设计部分详细设计说明，适合于具有一定嵌入式开发经验的系统开发工程师。

1.2 与设计指南相关的开发工具和应用手册

本文档的硬件原理图及 PCB 版图均是基于 Protel99se 设计的，软件开发工具是基于 ARM 公司的 ADS1.2 开发套件进行设计开发的；与本文档相关的应用手册有：

- 1) SEP4020 USER MANNUL V2.0 2009.10.15
- 2) SEP4020 Datasheet V1.2 2009.10.15

2. 处理器概述

2.1 处理器简介

SEP4020 由东南大学国家专用集成电路系统工程技术研究中心设计，采用 0.18um 标准 CMOS 的工艺设计，内嵌 ASIX CORE（32 位 RISC 内核，兼容 ARM720T，8KB 指令数据 Cache 和全功能 MMU），采用冯诺依曼结构，SEP4020 芯片中集成各种功能包括：

8/16 位 SRAM/NOR FLASH 接口，16 位 SDRAM 接口

硬件 NAND FLASH 控制器，支持 NAND FLASH 自启动

10M/100M 自适应以太网 MAC，支持 RMII 接口

64K Byte 高速片上 SRAM

USB1.1 Device，全速 12Mbps

支持 I2S 音频接口

支持 MMC/SD 卡

LCD 控制器，支持 16 位 TFT 彩屏和 STN 黑白、灰度屏，最大分辨率到 800*600

RTC，支持日历功能/WatchDog，支持后备电源

10 通道 TIMER，支持捕获、外部时钟驱动和 MATCH OUT

4 通道 PWM，支持高速 GPIO

4 通道 UART，均支持红外

2 通道 SSI，支持 SPI 和 Microwire 协议

2 通道 SmartCard 接口，兼容 ISO7816 协议

支持最多 97 个 GPIO，14 个外部中断

支持外部 DMA 传输

片上 DPLL，支持多种功耗模式，IDLE、SLOW、NORMAL、SLEEP

2.2 典型应用

面向以 EPOS 为代表的交互式终端类应用（查询终端，自助服务终端，自助缴费终端等），兼顾工业控制类应用和低成本手持设备应用。

2.2 处理器架构

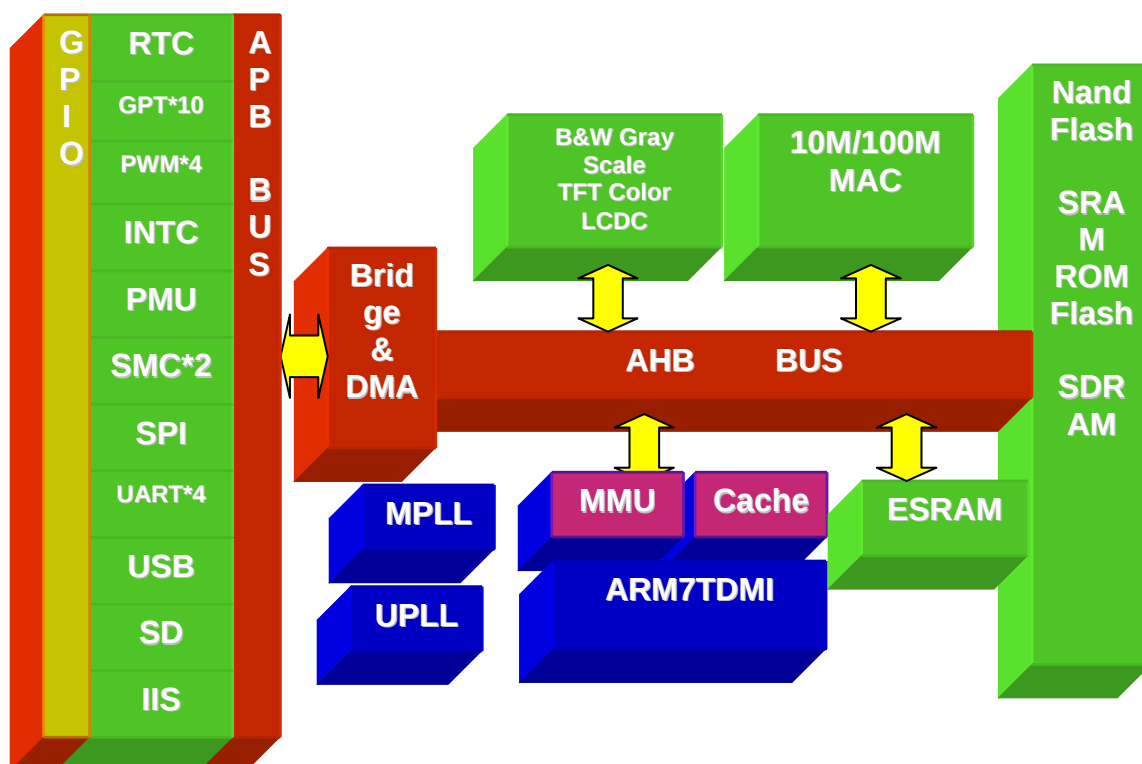


图 1.1 处理器内部结构框图

2.3 处理器功能综述

2.3.1 ASIX 内核 (CORE)

- 32 位 RISC 处理器架构——ASIX CORE
- 片上 ICE，支持各种基于 JTAG 的调试方案
- 片上 8KByte 指令数据统一 Cache，写直达，使用随机替换算法
- 写缓存(write buffer)，缓冲 8 个数据字和 4 个独立的地址
- 内存管理单元(MMU)，基于段(section)和页(page)的存储器访问，其中页支持 4KB 的小页和 64KB 的大页，支持基于域的内存保护
- 64-entry 的 TLB，保证页表的快速存取
- 提供快速上下文切换扩充 (FCSE, Fast Context Switch Extension) 机制

2.3.2 时钟和功耗管理 (PMU)

- 两个片上 DPLL，分别给系统和 USB 提供时钟
- 晶振输入 2MHz~5MHz (推荐使用 4MHz 晶振输入)
- USB 专用 DPLL 频率 48MHz，精度为 $\pm 0.1\text{MHz}$ ，峰峰值抖动小于 30ps
- 系统 DPLL 输出频率范围为 60MHz~160MHz，峰峰值抖动小于 200ps
- 芯片主频软件可配，可以将 DPLL 输出分频至用户需要的主频
- 支持低功耗模式，共有四种功耗模式可供切换
- NORMAL：系统正常工作，不进行低功耗处理
- SLOW：时钟不经过 PLL，由外部晶振直接提供
- IDLE：CPU 时钟关闭，其他模块时钟保持进入该模式之前的频率
- SLEEP：除 RTC 外，其它模块都停止工作

2.3.3 中断控制器 (INTC)

- 支持 IRQ 中断和 FIQ 快速中断
- 共 34 个中断源，其中 19 个内部中断，14 个外部中断(其中 3 个外部快速中断 FIQ)，1 个为外部 WAKEUP 的专用快速中断
- 外部中断支持沿触发、电平触发，极性可配
- 普通中断优先级过滤配置
- 支持软件强制中断

- 支持所有中断的软件优先级配置

2.3.4 存储器接口 (EMI)

- 支持 SRAM/SDRAM/NOR FLASH/NAND FLASH 存储器
- SRAM 存储器接口支持 8/16 位，SDRAM 仅支持 16 位
- 零地址片选 CSA 只支持 16 位数据接口
- 不支持 AMD 时序的 NOR FLASH
- 6 个片选，片选起始地址均可配：
 - 4 个片选 (CSA, CSB, CSC, CSD) 支持 SRAM/NOR FLASH，每个片选最大支持 16Mbytes 地址空间
 - 2 个片选 (CSE, CSF) 支持 SRAM/SDRAM/NOR FLASH，该片选最大支持的 SDRAM 为 64Mbytes
- SDRAM 特性：
 - 支持 JEDEC 标准的 SDRAM
 - SDRAM 行地址宽度和列地址宽度可配: 行地址范围 11~13 位，列地址范围 8~11 位
 - Bank 地址位置可配，可以配置成 row 地址的高位，也可以配置成 row 地址的低位
 - 支持时序参数可配: tRCD/ tCAS/ tRP/ tRFC/ tRC/ tXSR
 - SDRAM 的自刷新时间可配，每次刷新的行数可配
 - SDRAM 使用 Delay Precharge 模式
 - 支持 SDRAM 的 Powerdown 模式
 - 支持 SDRAM 的 SelfRefresh 模式
- NAND FLASH 特性：
 - 支持 JEDEC 标准的 NAND FLASH
 - 独立 NAND FLASH 片选
 - 支持 8bitNAND FLASH，不支持 16 位 NAND FLASH
 - 地址支持 3 级、4 级和 5 级
 - 支持硬件 ECC 纠错，1 位纠错，多位报错。软件 ECC 可以由用户自定义，最多支持 16byte 的 ECC 校验。硬件 ECC 可配置为开启或关闭
 - NAND FLASH 时序参数可配，默认为最大可配参数
 - 支持单个 Page 的操作，即每次读写都是一个 Page，支持三种命令（全页，半页，校验位）
 - Page 大小支持 512byte, 2Kbyte
 - 支持 Ready/Busy
 - 不支持 write protect，系统上电和下电时的保护请参考 NAND FLASH 应用文档
 - 不支持 power save mode
 - 支持的 NAND FLASH 命令: Read, Read ID, Reset, Page Program, Block Erase, Read Status

2.3.5 晶显示控制器 (LCDC)

- 兼容 AMBA2.0 规范
- 不支持 busy 传输, 不支持 ERROR、SPLIT 和 RETRY 传输
- 支持 4、8 和 16 拍的成组传输, 内部总线数据位宽固定为 32 位
- 显示模式:
 - 支持黑白屏
 - 支持 4 级和 16 级灰度的单色 STN 屏
 - 支持最高 65536 色的彩色 TFT 屏
- 分辨率可配, 最大支持 800×600 的分辨率, 推荐使用 320×240 的分辨率
- 内部 20 级 4 比特的调色板, 调色板软件配置
- 可编程控制的 AC 偏置信号
- 像素时钟由系统主频分频
- 使用内嵌的 DMA 方式进行取数据操作
- 深度为 16、宽度为 32 的 FIFO 用于缓存显示数据
- 大小印第安格式软件可配
- 每行的开始和结束等待时间软件可配
- 每帧的开始和结束等待时间软件可配
- 帧脉冲、行脉冲、像素时钟、像素信号和输出使能信号极性软件可配
- 可编程 FIFO 下溢中断

2.3.6 10/100M 以太网 (MAC)

- 兼容 IEEE 802.3 和 802.3u 标准, 支持 10/100M 自适应以太网
- 支持半双工/全双工操作
- 仅支持 RMI 接口
- 自动 CRC 填充和校验
- 自动抛弃错误帧
- 支持网络监听
- 支持物理层 PHY 管理
- 支持全双工流控
- 支持短数据帧和长数据帧

2.3.7 DMA 控制器 (DMAC)

- 6 个独立的 DMA 通道，支持双向传输
- 支持存储器到存储器，存储器到外设，外设到存储器的 DMA 传输
- 支持芯片外部 DMA 请求和响应
- 硬件配置 DMA 通道优先级
- 每个通道对应一组独立的编程寄存器
- 每个通道有对应的可编程的目标地址寄存器、源地址寄存器
- 每个通道有对应的可编程的传输类型（存储器到存储器，存储器到外设，外设到存储器）
- 每个通道有对应的可编程的 AMBA Burst 传输尺寸
- 每个通道有对应的可编程的通道使能
- 每个通道有对应的可编程的 DMA Burst 尺寸
- 地址产生可配置为递增或非递增，不支持卷址
- 软件配置 Burst 请求支持穿越 1KB 地址边界
- 支持 GATHER 和 SCATTER 的地址生成方式
- 支持基于链表配置的 DMAC
- 支持锁通道功能
- 6 通道共用一个 $16 \times 32\text{bit}$ FIFO
- 自动对数据进行打包、解包以适合 FIFO 宽度
- 可配置的传输控制方：外设或者 DMA 控制器本身
- 两个中断请求：DMA 错误和 DMA 传输完成中断请求

2.3.8 通用定时器/脉宽调制器 (TIMER)

- 6 通道 32 位通用定时器，4 通道 16 位定时器
- 每个通道独立的计数器和控制寄存器
- 单次计数、重启计数和自由计数三种模式
- 4 个 32 位定时器支持外部输入捕捉功能

2.3.9 脉宽调制 (PWM)

- 4 通道 PWM，每个通道有独立的 FIFO 和计数器
- 每个通道支持 3 种工作模式：PWM 模式、高速 GPIO 模式和 TIMER 模式
- 高速 GPIO 模式支持最小一个总线周期的输出和采样
- TIMER 模式支持单次计数和重启计数

2.3.10 实时时钟（RTC/WD）

- RTC 的年，月，日，时，分，秒计时器可以采用备用电池供电，保证掉电时保持日历
- 可设置定时中断。当前时间与设置时间相同时，RTC 即发出中断，提供月/日/小时/分钟的定时，不精确到秒
- 提供 WatchDog 功能，第一次 TIMEROOUT 产生中断，如果在下次 TIMEOUT 发生时还没有得到软件服务，产生 WatchDog RESET，系统复位
- 提供 1/256 秒~1 秒软件可配置的连续采样中断，实时操作系统可以使用此中断作为进程切换的时间单位
- 提供秒中断、分中断、采样中断、定时中断和 WatchDog 中断
- 支持暂停（PAUSE）模式
- 提供闰年判断机制（支持 2004~2024 年）

2.3.11 串口/红外（UART/IrDA）

- 4 通道全双工操作 UART
- 5~8 位字符操作
- 可配置的奇偶校验(偶校验, 奇校验, 不用奇偶校验, 或固定校验位)
- 可配置的停止位（1, 1.5, 2 位）
- Break 产生和探测功能
- 16 级深度（字节宽度）的接受 FIFO，可配置触发级和超时中断
- 16 级深度（字节宽度）的发送 FIFO，可配置触发级中断
- 对 $\overline{\text{RTS}}$, $\overline{\text{CTS}}$ 信号提供硬件控制流支持
- 4 位可屏蔽中断源，中断优先级处理，超时中断
- 支持串行红外接口物理层协议

2.3.12 外设接口（SSI）

- 支持串行 MASTER 操作模式
- 支持 SSI 两个片选
- 中断可独立屏蔽，中断包括：发送 FIFO 溢出信号，发送 FIFO 空信号，接收 FIFO 满信号，接收 FIFO 下溢信号以及接收 FIFO 的溢出信号
- 串行接口协议：
Motorola Serial Peripheral Interface (SPI) 四线全双工串行接口协议。时钟相位、极性有四种

组合方式，时钟相位、极性的选择决定了传输是否以第一个发送时钟作为开始，停止时时钟是否保持为高电平等问题

National Semiconductor Micro wire 半双工的串口协议。采用控制字串行传输，来协调 MASTER 设备与 SLAVE 设备的控制信息

- 时钟比特率（数据传输的串行比特率）动态控制，仅在串行 MASTER 模式下进行的操作

2.3.13 卡控制器（SMC）

- 兼容 ISO7816 协议
- 支持 T=0 和 T=1 两种传输模式
- 等待时间可配

2.3.14 I2S 音频接口（I2S）

- 支持 MASTER 和 SLAVE 模式
- 支持 TRANSMITTER 和 RECEIVER 功能
- 支持 32、16、8 位音频数据字长
- 支持立体声和单声道
- 支持静音和停止播放
- 数据高位（MSB）先出/先入
- 接收发送共享 4×32 数据 FIFO
- 支持 DMA 传输模式

2.3.15 USB 客户端控制器（USBD）

- 兼容 USB2.0 协议，fifo 只支持 USB1.1 协议
- 支持 USB 全速功能，最高 12Mbps 传输速率
- 支持 1 个控制端点，2 个数据端点
- 具有远程唤醒功能
- 数据包大小可配位 8/16/32/64Bytes
- 支持 DMA 传输模式

2.3.16 MC/SD 控制器（MMC/SD）

- 兼容 SD Spec ver1.01/1.10 和 MultiMediaCard Spec ver4.X/3.X
- 支持 SD/MMC 1bit/4bit/8bit modes，不支持 SPI 模式

- 支持 MMCplus and MMCmobile, 支持 CEATA specifications (ver1.0)
- 支持所有命令集, 包括 MMCA stream write and read
- 支持任意 block 数据长度
- SD 时钟的最高工作为 25MHz
- 支持 SD/MMC 卡热插拔
- 支持数据 CRC16 和命令 CRC7 校验

2.3.17 通用输入输出 (GPIO)

- 最多 97 个可配置 GPIO
- 14 个外部中断

2.3.18 工作电压

- 内核 (Core): 1.6~1.98V, 典型值 1.8V
- 输入输出 (I/O): 2.7~3.6V, 典型值 3.3V
- 工作环境: -40~85 度

2.3.19 工作频率

- 最高主频 96MHz, 推荐使用 88MHz

2.3.20 封装

- 176 LQFP, 20mm*20mm

第二部分 硬件设计分析

1. 概述及文档结构

本文档主要是为了说明基于嵌入式微处理器 S E P 4 0 2 0 的硬件设计要领以及设计调试过程中的一些细节要求。通过阅读本文档，设计人员能够对基于处理器 S E P 4 0 2 0 的硬件设计有一个全面的理解和认识，对处理器的外围各个模块能更进一步理解，并且能够结合我们提供的参考设计在最短时间内完成自身产品或者开发板的设计，顺利完成调试工作。

本文档适用于具有一定的嵌入式开发经验的工程师，适合于在校大学生、研究生以及科研院所的老师和学生阅读使用。

文档正文部分分为三部分，第一部分主要围绕处理器的基本外设的工作原理及设计分析进行，其中每个外设模块从：原理简介、兼容性设计、设计注意事项、参考设计 4 个方面进行分析说明；第二部分以一个最小嵌入式系统为例详细分析设计过程中需要注意的问题及细节；附录部分提供了以下几方面内容：处理器的信号定义说明，处理器的封装和机械尺寸，主要的寄存器列表，基于 S E P 4 0 2 0 评估板的参考设计原理图和 P C B 以及主要元器件的 B O M L I S T。

2. 处理器的地址空间分配及地址映射

SEP4020 的主要外设以及外部存储器的地址映射如下表所示：

表 2-1 处理器地址映射表

Address	Description	Size
0x00000000—0x03FFFFFF	EMI (nCSA)	64Mbytes (前 16M 有效)
0x04000000—0x07FFFFFF	ESRAM	64Kbytes
0x08000000—0x0FFFFFFF	RESERVED	
0x10000000—0x10000FFF	INTC	4Kbytes
0x10001000—0x10001FFF	PMC	4Kbytes
0x10002000—0x10002FFF	RTC/WD	4Kbytes
0x10003000—0x10003FFF	TIMER	4Kbytes
0x10004000—0x10004FFF	PWM	4Kbytes
0x10005000—0x10005FFF	UART0	4Kbytes
0x10006000—0x10006FFF	UART1	4Kbytes
0x10007000—0x10007FFF	UART2	4Kbytes

0x10008000—0x10008FFF	UART3	4Kbytes
0x10009000—0x10009FFF	SSI	4Kbytes
0x1000A000—0x1000AFFF	I2S	4Kbytes
0x1000B000—0x1000BFFF	MMC/SD	4Kbytes
0x1000C000—0x1000CFFF	SMC0	4Kbytes
0x1000D000—0x1000DFFF	SMC1	4Kbytes
0x1000E000—0x1000EFFF	USB	4Kbytes
0x1000F000—0x1000FFFF	GPIO	4Kbytes
0x10010000—0x10FFFFFF	RESERVED	
0x11000000—0x11000FFF	EMI	4Kbytes
0x11001000—0x11001FFF	DMAC	4Kbytes
0x11002000—0x11002FFF	LCDC	4Kbytes
0x11003000—0x11003FFF	MAC	4Kbytes
0x11004000—0x11004FFF	RESERVED	
0x11005000—0x11005FFF	AMBA	4Kbyte
0x11006000—0x1FFFFFFF	RESERVED	
0x20000000—0x23FFFFFF	EMI (nCSA)	64Mbytes (前 16M 有效)
0x24000000—0x27FFFFFF	EMI (nCSB)	64Mbytes (前 16M 有效)
0x28000000—0x2BFFFFFF	EMI (nCSC)	64Mbytes (前 16M 有效)
0x2C000000—0x2FFFFFFF	EMI (nCSD)	64Mbytes (前 16M 有效)
0x30000000—0x33FFFFFF	EMI (nCSE)	64Mbytes
0x34000000—0x37FFFFFF	EMI (nCSF)	64Mbytes
0x38000000—0xFFFFFFFF	RESERVED	

3. 处理器外围主要外设模块设计分析

3.1 处理器启动设置

处理器上电采用外部专用的 **System[2..0]** 3 个管脚来实现系统的外部启动模式，具体的启动选择见下表：

表 3-1 处理器启动外部引脚配置

System[2..0]	启动存储介质	启动位宽
000	NORFlash	16bit
001	NAND 启动, NAND 为 512Byte/页, 地址 3 级	8bit
010	NAND 启动, NAND 为 512 Byte/页, 地址 4 级	8bit
011	NAND 启动, NAND 为 2K Byte/页, 地址 4 级	8bit
100	NAND 启动, NAND 为 2K Byte/页, 地址 5 级	8bit
101	测试内部 Memory、ASIXCORE 和 DPLL	8bit
11x	测试随机逻辑	

3.2 复位电路及外部远程唤醒

3.2.1 简介

复位电路主要是为系统提供上电复位信号，同时为其他一些外设提供与处理器同步上电复位，是系统正常工作的必要条件之一，SEP4020 提供一个专用的外部引脚来接收上电复位信号，低电平有效。外部远程唤醒主要是针对手持式低功耗设备提供的一种从“Sleep”状态回到“Normal”状态的外部唤醒信号。

3.2.2 兼容性设计

复位电路采用外部专用引脚实现对处理器的硬件复位，外部专用复位引脚为 nRESET, 低电平有效，复位时间不小于 2ms, 客户可以选择外部专用的复位电路或者简单的 RC 延迟电路实现处理器的上电复位，同时也可以通过外部加复位专用按键实现按键复位。

处理器同时提供系统进入“sleep”状态下的远程唤醒功能，用户可以通过外部按键激活相应的快速中断，使处理器首先从“sleep”状态回到“slow”状态，然后再回到“normal”正常的工作状态。

3.2.3 设计注意事项

在同时为外设提供上电复位信号时，首先要考虑外设的复位电平的有效复位电平，同时需要考虑外设的复位要求时间，两者缺一不可，整板的复位时间需要按照外设最长的复位要求设计。

3.2.4 参考设计

处理器采用外围简单的 RC 延迟外围复位电路和按键输入复位见下图：

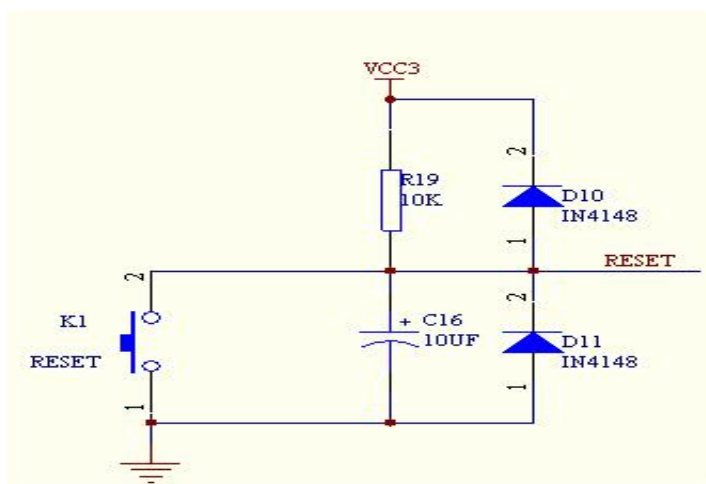


图 2.1 外部简易 RC 上电复位电路

同时用户可以采用专用的电源检测以及外部 WatchDog 复合电路实现处理器的电源检测以及上电复位电路功能，具体设计参见图 2.2 。

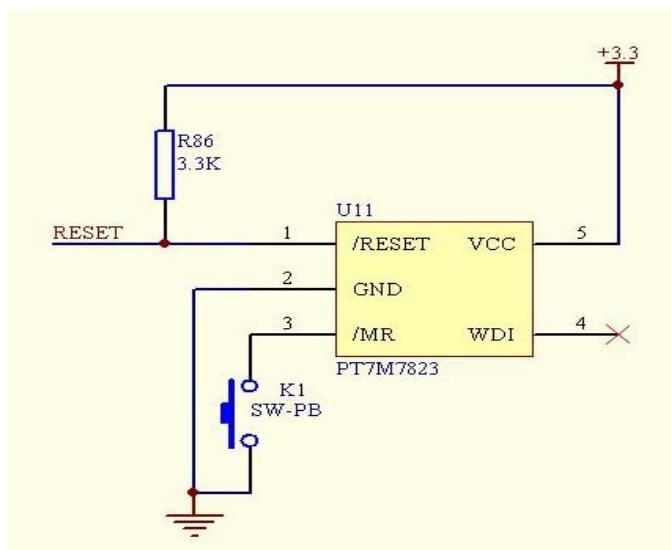


图 2.2 外部专用上电复位电路

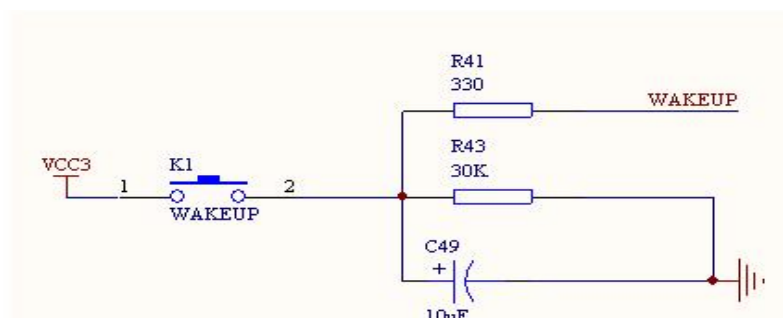


图 2.3 外部远程唤醒电路设计

3.3 RTC 模块

3.3.1 模块简介

- RTC 的年，月，日，时，分，秒计时器可以采用备用电池供电，保证掉电时保持日历
- 可设置定时中断。当前时间与设置时间相同时，RTC 即发出中断，提供月/日/小时/分钟的定时，不精确到秒
- 提供 WatchDog 功能，第一次 TIMEROOUT 产生中断，如果在下次 TIMEOUT 发生时还没有得到软件服务，产生 WatchDog RESET，系统复位
- 提供 1/256 秒~1 秒软件可配置连续采样中断，实时操作系统可以使用此中断作为进程切换的时间单位
- 提供秒中断、分中断、采样中断、定时中断和 WatchDog 中断
- 支持暂停（PAUSE）模式
- 提供闰年判断机制（支持 2004~2024 年）

3.3.2 兼容性设计

系统正常工作需要提供两个时钟源，一个是实时时钟 RTC 模块正常工作所需要的 32.768KHZ 和系统主频需要的时钟 2~5MHZ 时钟，推荐用户使用 4MHZ 时钟供给主频；另外为了实现外部时钟阻抗匹配建议用户在 SDRAM 的时钟信号 SDCLK 引脚信号加 1.7K 欧姆到地的下拉电阻，以实现更稳定的时钟输出，提高系统的稳定性。

为了使系统掉电日期时间不丢失，持续计时，处理器提供后备电池的接入，电池电压为：2.5V~3.0V，建议用 3.0V 的锂电池通过二极管降压产生系统所需要的 RTC 后备电源，同时可以通过系统的逻辑电源在

正常工作时对纽扣电池进行充电。其中当纽扣电池的电压低于 $3.3V - 0.7V = 2.6V$ 时，在系统上电时会自动对电池充电，R119 是用来限流而设计，根据不同的纽扣电池可进行调节。

3.3.3 设计注意事项

由于 RTC 模块在实时系统起着举足轻重的作用，首先在晶振的选择上，需要选择精度、一致性较高的晶体提供外部时钟，另外在电路设计中需要严格按照厂家提供的晶振负载参数以及实际环境选择外部负载和匹配电容，在 PCB 布局中晶振及相关元器件需要尽量靠近 CPU 的晶振管脚，走线要尽量短而粗，晶振的柱体下方需要铺地，以保证晶振的外壳良好接地，提高工作稳定性。晶振外部的匹配电阻是根据处理器内部的参数计算得来的，建议客户按照参考设计做即可。

3.3.4 参考设计

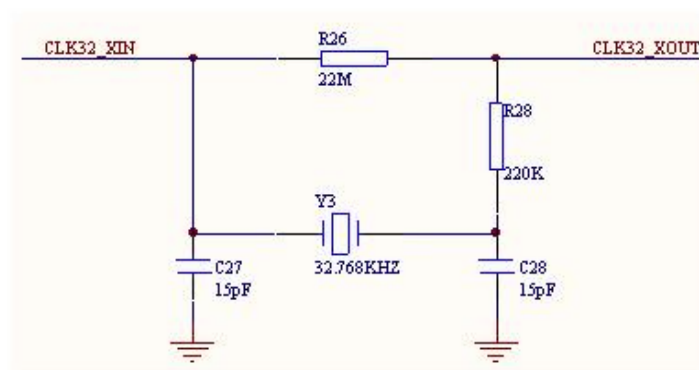


图 3.1 32.768KHZ 外部时钟电路

注：32.768KHZ 的外部对地电容需要根据晶振的负载进行设计，一般的典型值范围在：12~20pF；

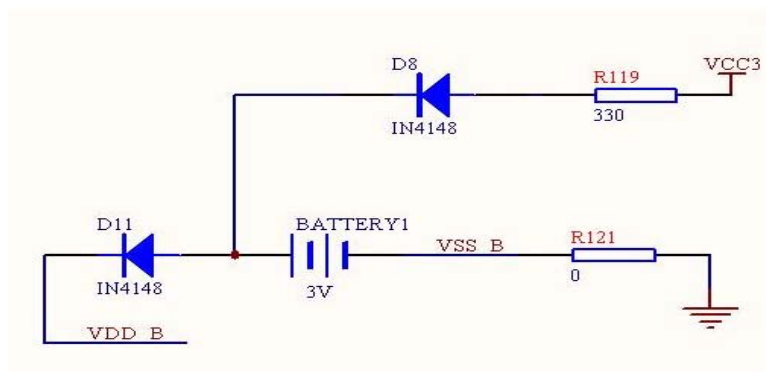


图 3.2 SEP4020 RTC 模块后备电池连接示意图

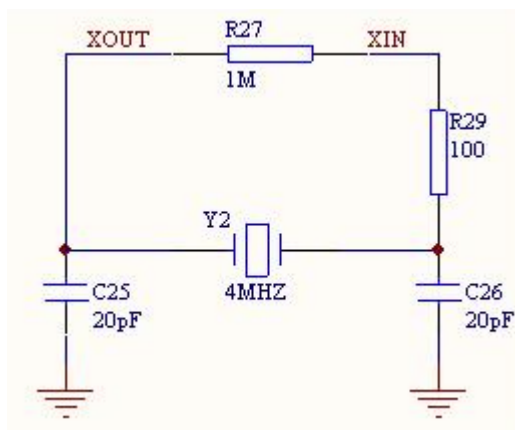


图 3.3 4MHZ 外部时钟电路

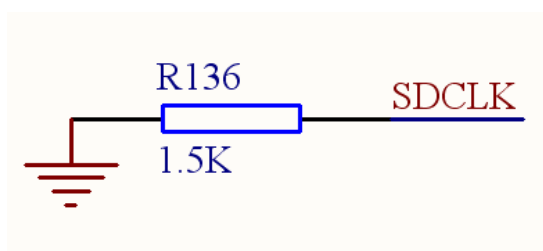


图 3.4 SDCLK 外部时钟的阻抗匹配电阻

3.4 JTAG 调试接口

3.4.1 简介

JTAG 接口是 ARM 处理器为了在线测试和调试的需要而设计的一种在线调试接口，设计人员在 PCB 焊接完成后可以通过该接口和 ARM 公司的 ADS 开发套件轻松实现对处理器的操作控制，进行在线仿真调试，所以它是开发顺利进行的必要条件，必须保证正确无误。

3.4.2 兼容性设计

ARM 的仿真接口是基于业界标准排列，大家都遵守这个规则，基本上都兼容。只是在某些特殊的设计中由于 PCB 面积的要求需要进行线缆转接，但必须保证 JTAG 接口信号的完整性不能影响使用。

3.4.3 注意事项

处理器提供 5 个专用的引脚实现 JTAG 调试的功能，具体信号包括：TDI、TDO、TMS、nTRST 和 TCK。

外部 JTAG 电路设计需要注意的是：由于该部分电路为整板进行正常调试的必要条件，所以在布局布线过程中需要优先考虑，一般最小线宽应不小于 10mil，从处理器出来的 PCB 走线最大长度不应超过 20cm。

3.4.4 参考设计

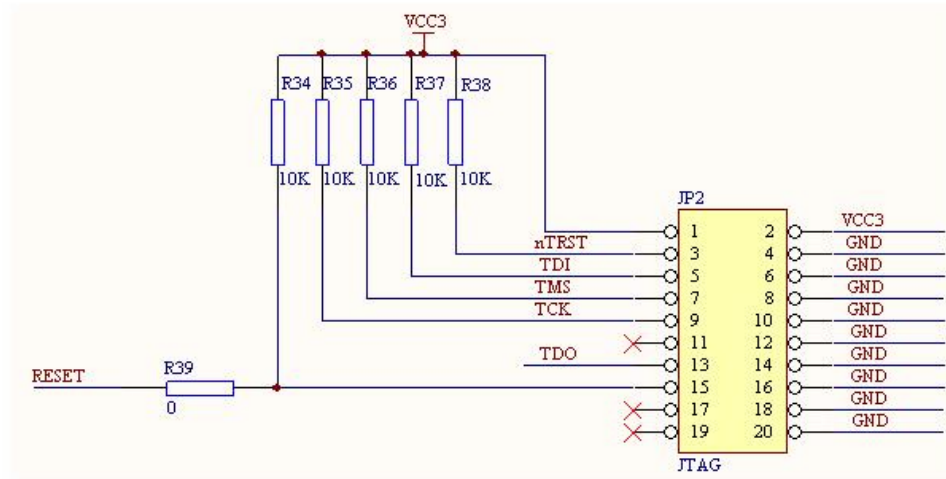


图 3.5 JTAG 外部电路设计

3.5 处理器的电源模块设计

3.5.1 简介

处理器需要正常工作需要 3 组电源，分别是 I/O 电压，内核电压和 PLL 工作电压。系统的电源拓扑结构如下图所示：

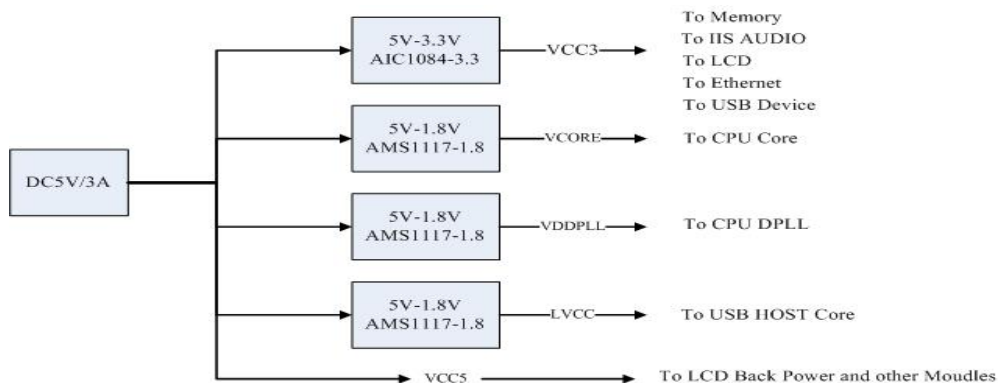


图 3.6 电源网络拓扑结构示意图

表 3-2 处理器电源输入范围

电压名称	额定值	最小值	最大值
VCCIO	3.3V	3.0V	3.6V
VCORE	1.8V	1.62V	1.98V
VDDPLL	1.8V	1.62V	1.98V

3.5.2 兼容性设计

用户在进行电源网络设计时需要综合考虑系统对电源部分的要求，包括功耗、纹波等。对于一般的系统在进行设计时可以采用功能简单的 LDO 实现，在对电源效率要求较高的场合进行电源设计时可以采用 DC-DC 开关式电源控制芯片进行设计。设计时需要留有一定的余量，一般 LDO 或者 DC-DC 所能提供的电源容量应为计算所得最大功耗的 1.2~1.5 倍。一般常用的 LDO 有 AMS1084-3.3, AMS1117 系列，常用的 DC-DC 有 AIC1550 等。

3.5.3 注意事项-

内部 PLL 由于其为系统提供主时钟，在频率较高的情况下（80MHZ 以上），电压会有明显的下降，所以需要单独供电；由于 PLL 为数字锁相环，对电源的噪声比较敏感，建议用户对 PLL 的输出供电部分采用滤波性能比较好的钽电容进行滤波处理，以实现 PLL 的稳定工作，PLL 的电源纹波不能超过 $\pm 40\text{mv}$ 。同时为了实现 I/O 电压在内核电压之前供给处理器，需要在内核的电源输入端对地加上比较大的电容，一般情况下 I/O(VCC3)的电压输入端加 470uF 的电容，而内核电压的输入端需加 680uF 的电容。为了调试方便建议用户在各个电源的输入端加上 0 欧姆电阻以便控制电源的通断，快速判断板级设计故障，同时也可以用来测试该模块电源的输入电流，计算功耗。

3.5.4 参考设计

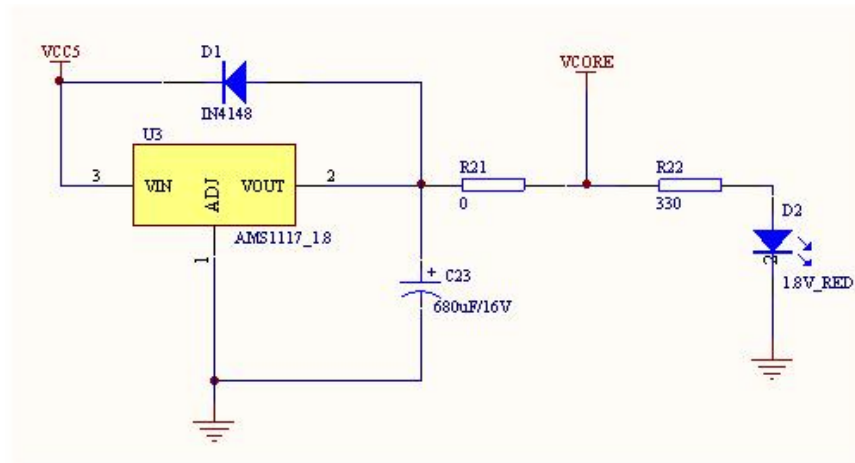


图 3.7 处理器内核（1.8V）供电参考电路

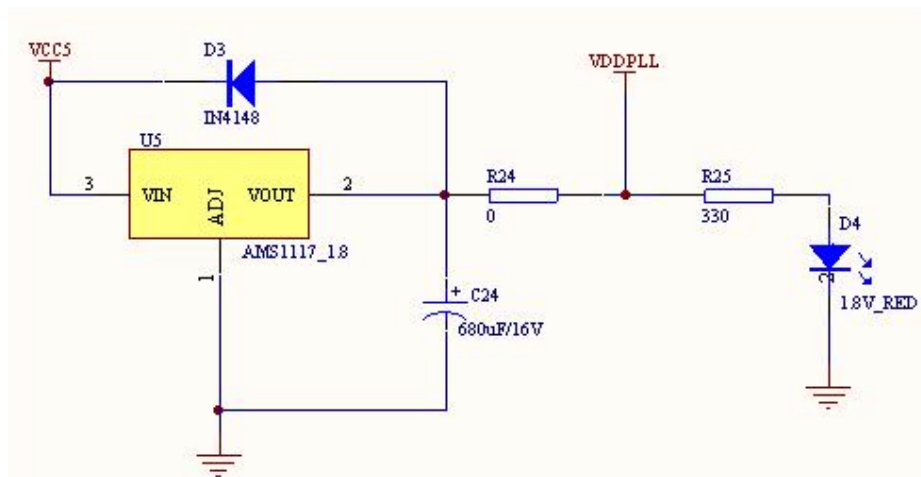


图 3.8 处理器 PLL（1.8V）供电参考电路

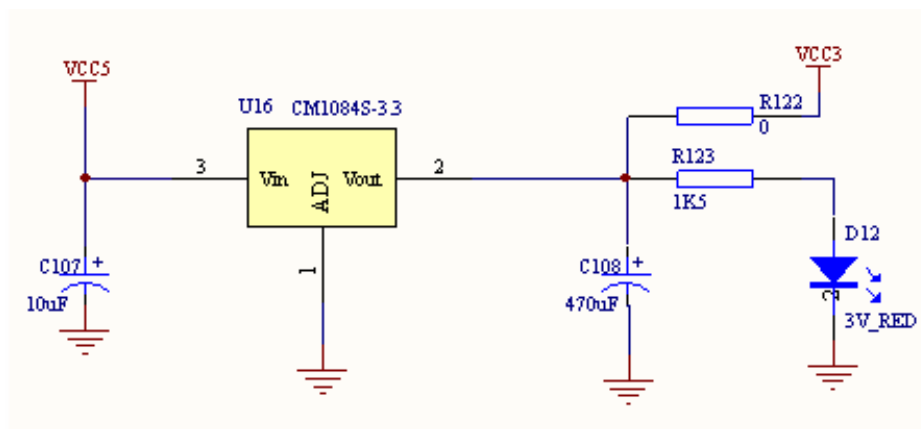


图 3.9 处理器 I/O（3.3V）供电参考电路

3.6 中断控制器

3.6.1 简介

处理器共提供 34 个中断源，其中 19 个为内部中断，11 个为外部普通中断，4 个外部快速中断 FIQ 资源（其中 1 个用于外部系统远程唤醒）3 个用于外部快速中断以实现系统的中断的快速响应。处理器内部中断响应过程如下图所示：

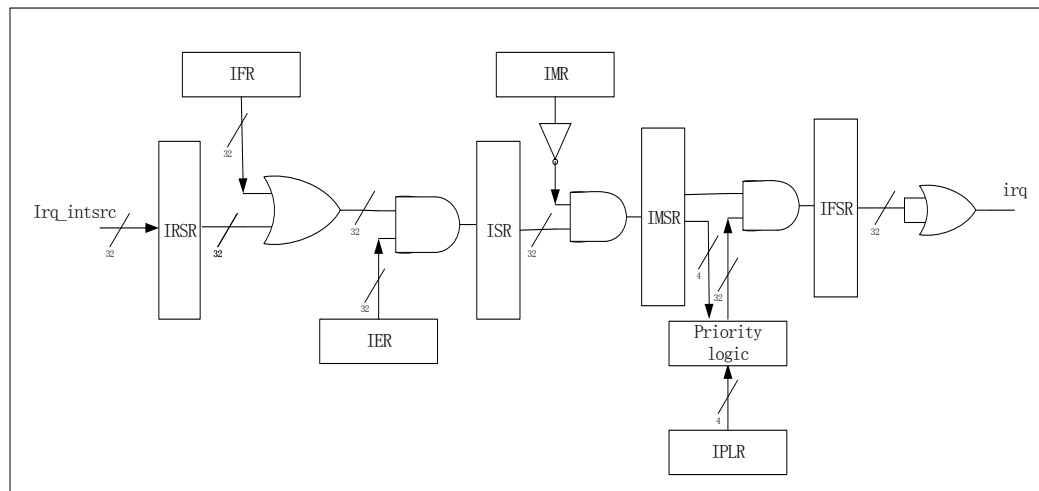


图 3.10 中断控制器 IRQ 中断产生流程

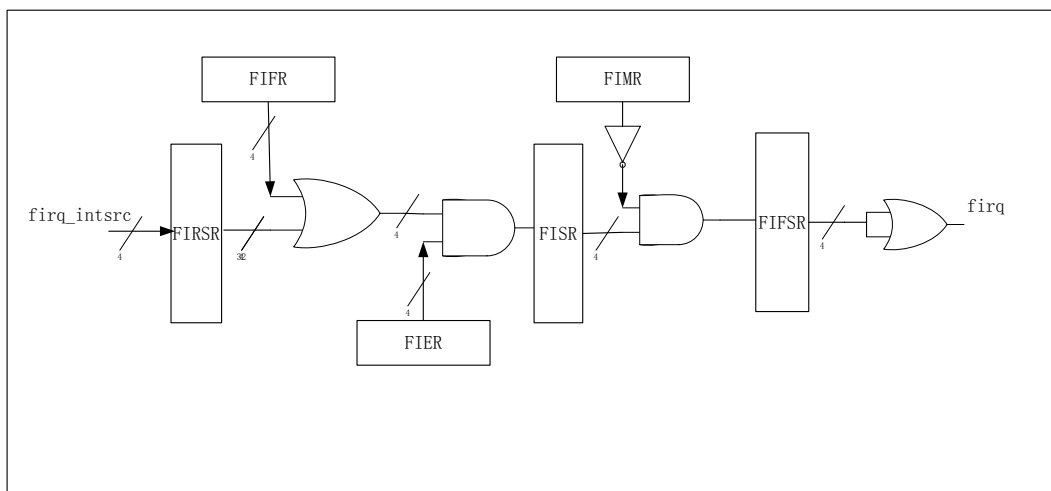


图 3.11 中断控制器 FIQ 中断信号产生流程

处理器的中断控制器（INTC）支持 30 个普通中断(IRQ)，其中 19 个是内部中断，11 个外部中断，2

个保留未用。32 位 IRQ 中断源分成上下两区，对应 16 级优先级。最高优先级为第 15 级，最低优先级为第 0 级。第 31~16 号中断源和第 15~0 号中断源依次对应，分别对应优先级 15 到 0。在中断使能前，可以对各个中断源的优先级进行配置。

3.6.2 兼容性设计

芯片的管脚支持 0~5V 的输入，所以作为中断输入不必考虑电平的兼容性，只是需要事先确定好中断的触发类型并在外部作相应的处理：如果是高电平或者上升沿触发中断，则外部需加 10K 下拉电阻到地；若是低电平或者下降沿触发中断，则外部需加 10K 的上拉电阻到 3.3V。

3.6.3 注意事项

各个中断源的优先级要互斥，并且，在优先级变化之后，相应的使能位和屏蔽位需要重新设置。默认的优先级见下表：

表 3-3 普通中断源优先级列表

中断号	中断源名称	中断源描述	中断源优先级
31	INTSRC_RTC		15
30	INTSRC_DMAC		14
29	INTSRC_EMI		13
28	INTSRC_MAC		12
27	INTSRC_TIMER1		11
26	INTSRC_TIMER2		10
25	INTSRC_TIMER3		9
24	INTSRC_UART0		8
23	INTSRC_UART1		7
22	INTSRC_UART2		6
21	INTSRC_UART3		5
20	INTSRC_PWM		4
19	INTSRC_LCDC		3
18	INTSRC_I2S		2
17	INTSRC_SSI		1
16	RESERVED	未用	0
15	INTSRC_USB		15
14	INTSRC_SMC0		14

13	INTSRC_SMC1		13
12	INTSRC_SDIO		12
11	EXINT10	外部中断	11
10	EXINT9	外部中断	10
9	EXINT8	外部中断	9
8	EXINT7	外部中断	8
7	EXINT6	外部中断	7
6	EXINT5	外部中断	6
5	EXINT4	外部中断	5
4	EXINT3	外部中断	4
3	EXINT2	外部中断	3
2	EXINT1	外部中断	2
1	EXINT0	外部中断	1
0	RESERVED	未用	0

表 3-4 快速中断源列表

中断号	中断源名称	中断源描述
4	INTSRC_WAKEUP	WAKEUP 内部中断
3	EXTINT13	外部中断
2	EXTINT12	外部中断
1	EXTINT11	外部中断

表 3-5 外部中断与 GPIO 信号复用对应表

管脚名称	方向	缺省功能	复用功能 1	复用功能 2	管脚名称
PORTA					
PWM3	I/O	脉冲调制信号	GPA9	EXTINT9	
PWM2	I/O	脉冲调制信号	GPA8	EXTINT8	
PWM1	I/O	脉冲调制信号	GPA7	EXTINT7	
PWM0	I/O	脉冲调制信号	GPA6	EXTINT6	
TIN6	I	时钟触发输入	GPA5	EXTINT5	
TIN5	I	时钟触发输入	GPA4	EXTINT4	
TIN4	I	时钟触发输入	GPA3	EXTINT3	
TIN3	I	时钟触发输入	GPA2	EXTINT2	
TOUT1	O	时钟脉冲输出	GPA1	EXTINT1	
TOUT0	O	时钟脉冲输出	GPA0	EXTINT0	
PORTF					
FALE	O	NAND FLASH 地址锁存	GPF3	EXTINT13	
nFCE	O	NAND FLASH 命令锁存	GPF2	EXTINT12	
nFRE	O	NAND FLASH 读	GPF1	EXTINT11	
nFWE	O	NAND FLASH 写	GPF0	EXTINT10	

3.6.4 参考设计

3.7 DMA 控制器

3.7.1 简介

SEP4020 处理器支持 1 个芯片外部 DMA 请求，外部 DMA 请求信号为：DMACREQ，处理器应答信号为：DMACACK；6 个独立的 DMA 通道，硬件 DMA 通道优先级可配：通道的优先级固定，通过选用不同的通道，实现优先级的可配置。每个通道有独立的一组编程寄存器；支持存储器到存储器，存储器到外设，外设到存储器的 DMA 传输，不支持外设到外设的传输；

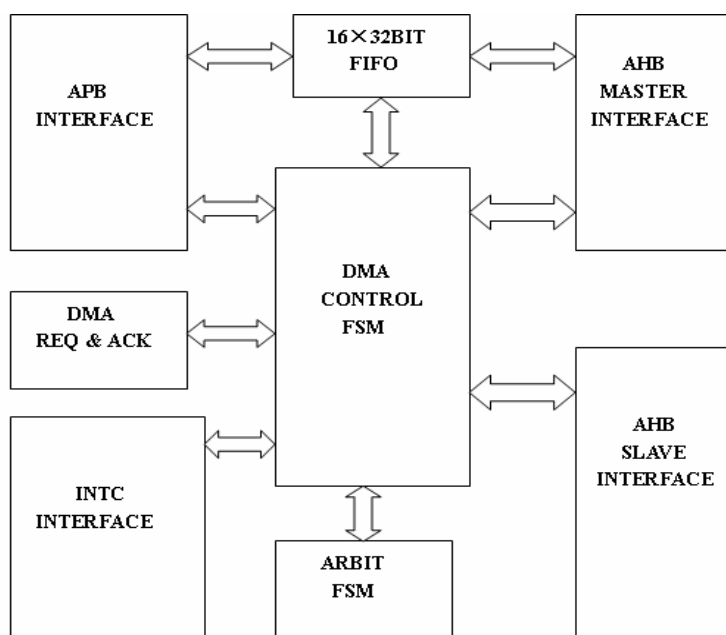


图 3.12 DMAC 的结构框图

处理器可通过对外部 DMA 请求信号 DMACREQ 迅速通过 DAMACK 给出响应，具体的应用只需将对应的信号对接并保证电平的兼容性即可。

3.7.2 兼容性设计

在利用外部 DMA 通道进行数据传输时，每次传输（单一传输或连续传输）结束时，DMA 检查 REQ 的状态。有以下三种模式：

单一传输：要求每一个数据传输都需要一个 DMA 请求信号。

查询模式：直到 DMA 请求输入信号（REQ）无效才结束传输。

握手模式：ACK 信号无效后方才使得下一次的 REQ 有效。

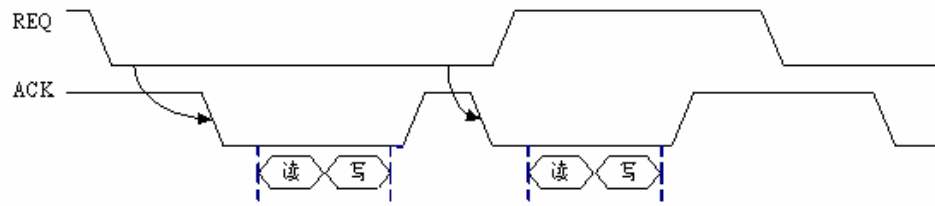


图 3.13 查询模式的传输时序

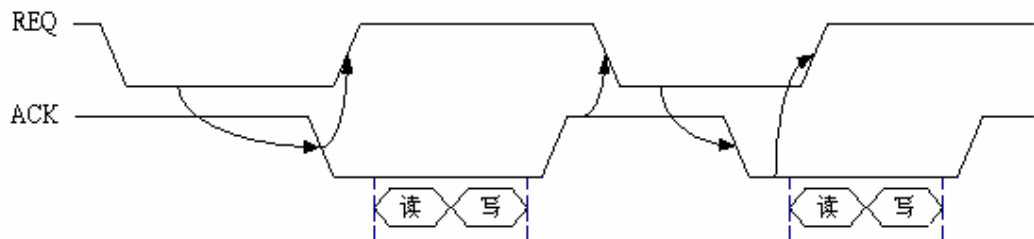


图 3.14 握手模式的单一传输时序

3.7.3 注意事项

3.7.4 参考设计

下图为处理器外扩 USB HOST 利用外部 DMA 请求、应答的实例：

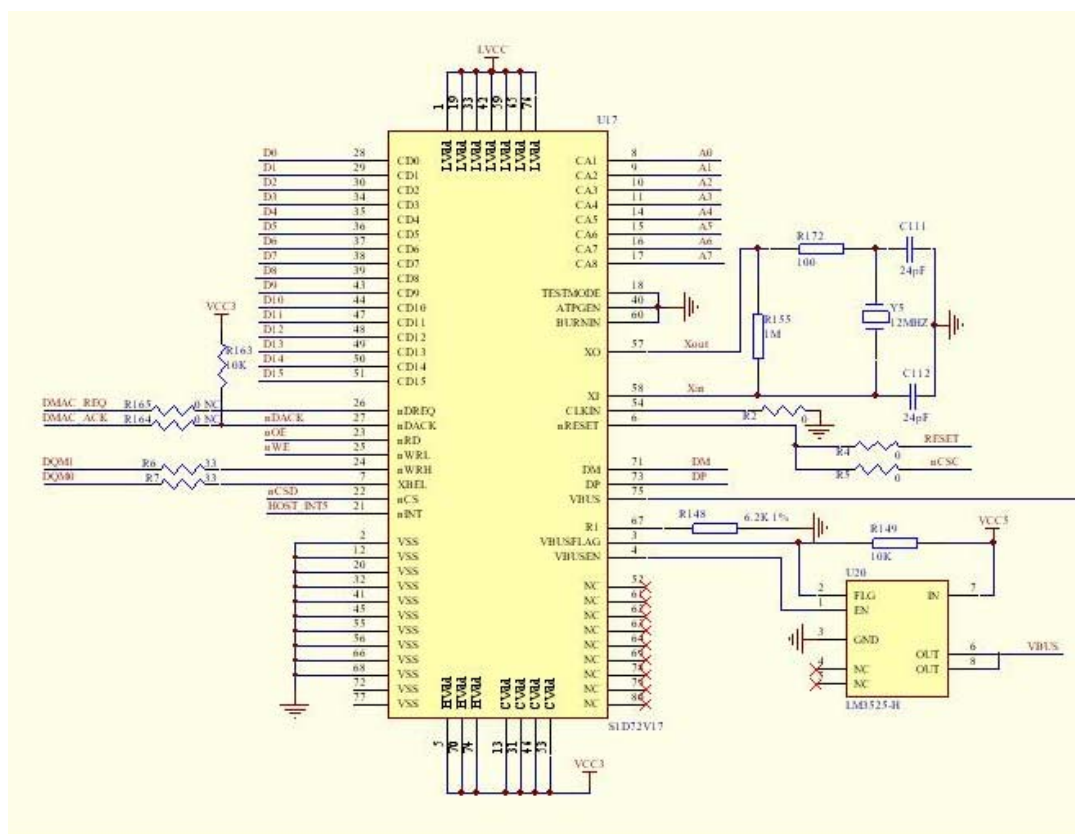


表 3-6 片选 nCSE/片选 nCSF 的地址空间

地址	2MB	4MB	8MB	16MB	32MB	64MB
片选 nCSE						
起始地址	0x30000000	0x30000000	0x30000000	0x30000000	0x30000000	0x30000000
结束地址	0x30200000	0x30400000	0x30800000	0x31000000	0x32000000	0x34000000
片选 nCSF						
起始地址	0x34000000	0x34000000	0x34000000	0x34000000	0x34000000	0x34000000
结束地址	0x34200000	0x34400000	0x34800000	0x35000000	0x36000000	0x38000000

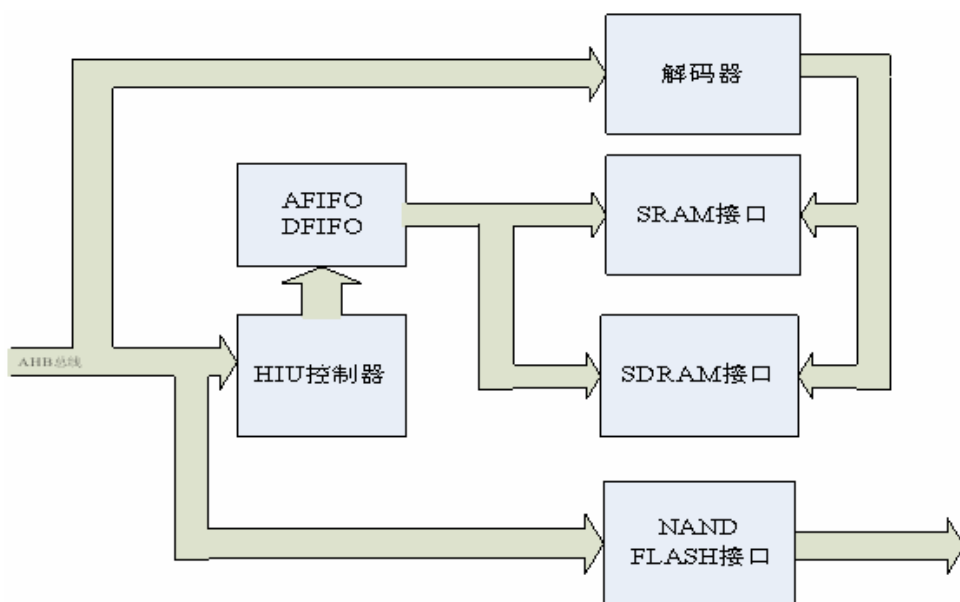


图 3.16 EMI 整体框图

3.8.2 兼容性设计

目前经过评估板系统经过验证的外部存储器型号如下：

存储器类型	厂家	型号	容量结构
Nor Flash	Intel	TE28F160	1M*16 bit
		TE28F320	2M*16bit
	SST	SST39VF1601	1M*16bit
SDRAM	Winbond	W981216BH	2M*4*16bit
	SAMSUNG	K4S641632H	1M*4*16bit
		K4S561632H	4M*4*16bit
	HYNIX	HY57V561620H	4M*4*16bit
Nand Flash	TOSHIBA	TC58512FT	64M*8bit
	SAMSUNG	K9G4G08U0A	512M*8bit
		K9F1208U0M	64M*8bit

3.8.3 注意事项

由于 SEP4020 处理器的 EMI 的地址部分作了特殊处理，在连接 16 位的存储器时，地址在送出前硬件会自动右移一位，所以此时的 A0 相当于 A1，所以只需与外存的地址对应连接即可，A0 不可省略；在 nCSE 或者 nCSF 连接 SDRAM 时，此时 A13，A14 相当于 BS0 和 BS1 信号，其他的对应连接即可，单个片选最大支持到 64MByte 的地址空间。

在连接非存储型的外设控制器时，程序员需要在地址送出前，对偏移地址作“左移一位”处理，送出之前 EMI 再自动右移一位，这样才能得到正确的偏移地址，从而才能正确控制、操作外设的寄存器。

表 3-7 EMI 外部片选特性列表

片选	CSA	CSB	CSC	CSD	CSE	CSF
8 位 SRAM 接口	N	Y	Y	Y	Y	Y
16 位 SRAM 接口	Y	Y	Y	Y	Y	Y
SRAM 时序可配	Y	Y	Y	Y	Y	Y
SRAM 空间	16M	16M	16M	16M	16M	16M
支持启动	Y	N	N	N	N	N
16 位 SDRAM 接口	N	N	N	N	Y	Y
SDRAM 时序可配	NA	NA	NA	NA	Y	Y
SDRAM 空间	NA	NA	NA	NA	64M	64M
基址可配	Y	Y	Y	Y	Y	Y
支持低速设备	N	N	N	Y	N	N
可复用位 IO	Y	Y	Y	Y	Y	Y

SEP4020 的总线负载约为 20pF，当总线上只有一片 SDRAM、一片 Nor Flash、一片 Nand Flash 的话，系统不需要添加总线 buffer，但是三者布局上要优先考虑 SDRAM，其次 Nand Flash，最后考虑 Nor Flash。因为 SDRAM 的速度最快，对总线的走线要求最高，地址线要尽量等长，越短越好，尽量不要加过孔或者将过孔的数量减少到最小；Nand Flash 作为 Linux 操作系统的标准存储器，速度高于 Nor Flash，所以控制和总线数据信号走线也要尽量短，就近原则；最后是 Nor Flash，速度最慢，大概 10Mbps，所以最后考虑布局；三个存储器和 CPU 的布局要紧促合理，这样才能使 CPU 的性能达到最优。具体布局可以参考 UB4020EVB(V1.5)。当总线上除了上面的主要 memoeey 还需要添加别的外设，则需要对地址和数据总线添加 buffer，具体设计如下图所示：

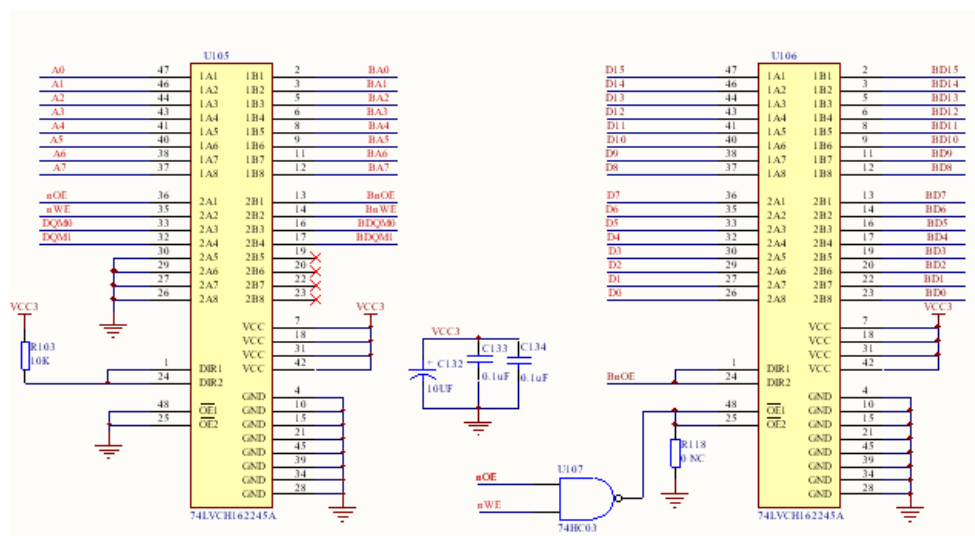


图 3.17 总线缓冲电路原理图

注：其中 R118 为冗余设计，当总线缓冲不用读、写信号选通时，可以直接用 R118 下来让其永远使能即可，下拉电阻和读、写选通二者控制只能选其一，不可同时使用。

3.8.4 参考设计

3.8.4.1 SRAM 接口

片选 CSA/CSB/CSC/CSD/CSE/CSF 均可用于 SRAM，支持 JEDEC 标准的 SRAM 和 NOR FLASH 的读操作和写操作。每个片选的时序参数分别配置，可以使得每个片选工作在不同的速度上。时序参数如下：OE_HOLD、OE_EN、OE_WAIT、CS_HOLD、CS_WAIT、WE_HOLD、WE_EN 和 WE_WAIT。（具体配置请参加具体存储器芯片的用户手册），片选 CSD 支持用于 SRAM 接口扩展的外接 READY 信号。

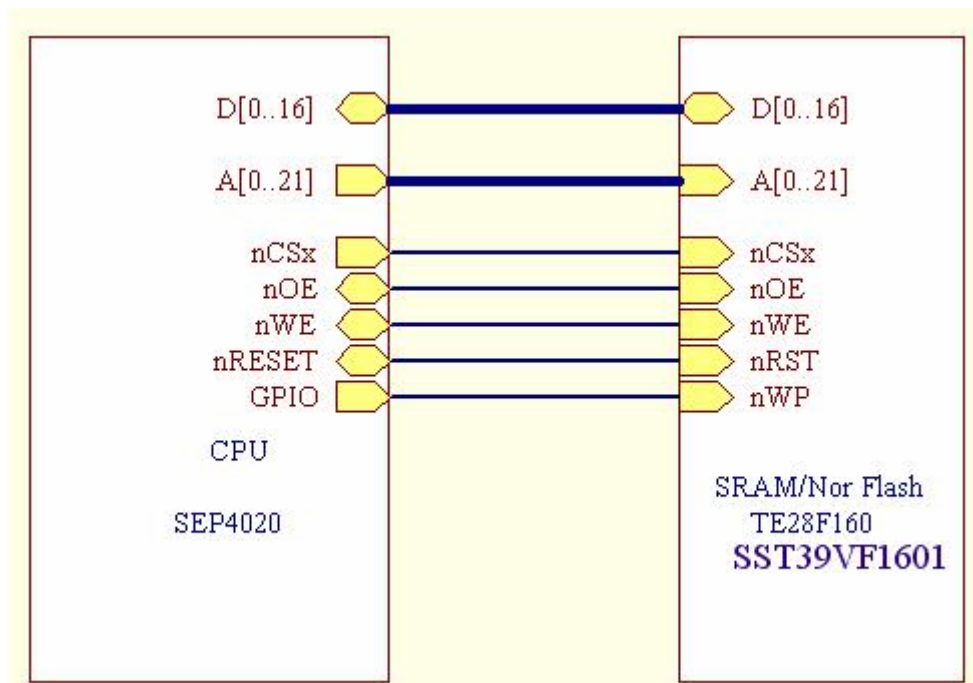


图 3.18 SRAM/Nor Flash 与 SEP4020 典型连接图

表 3-8 SRAM/Nor Flash 地址线连接与存储器件容量对应关系

存储容量 (Byte)	SRAM/Nor Flash 连接地址对应关系					
	A22	A21	A20	A19	A18	A[0..17]

512K	NC	NC	NC	NC	NC	A[0..17]
1M	NC	NC	NC	NC	A18	A[0..17]
2M	NC	NC	NC	A19	A18	A[0..17]
4M	NC	NC	A20	A19	A18	A[0..17]
8M	NC	A21	A20	A19	A18	A[0..17]
16M	A22	A21	A20	A19	A18	A[0..17]

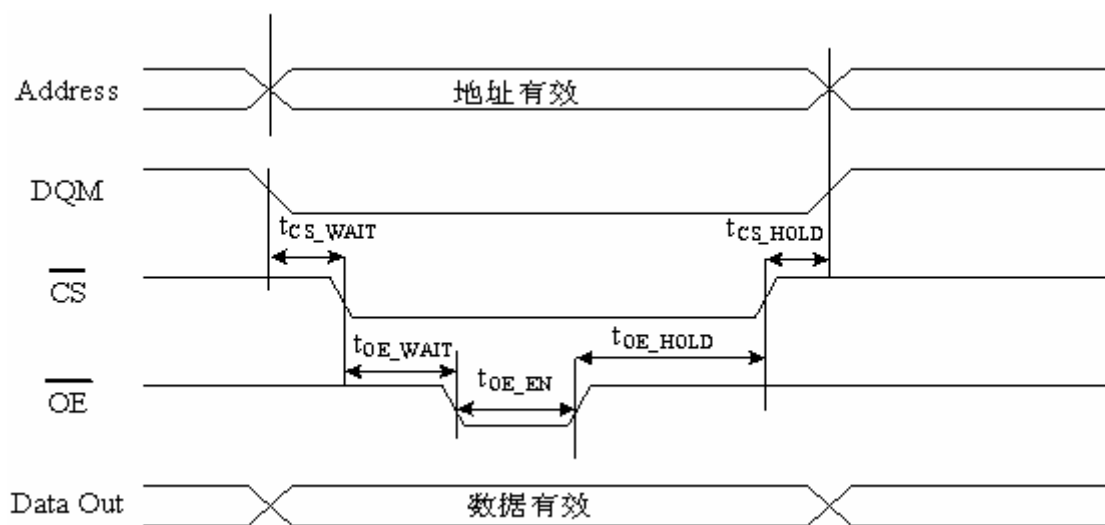


图 3.19 SRAM 读数据时序

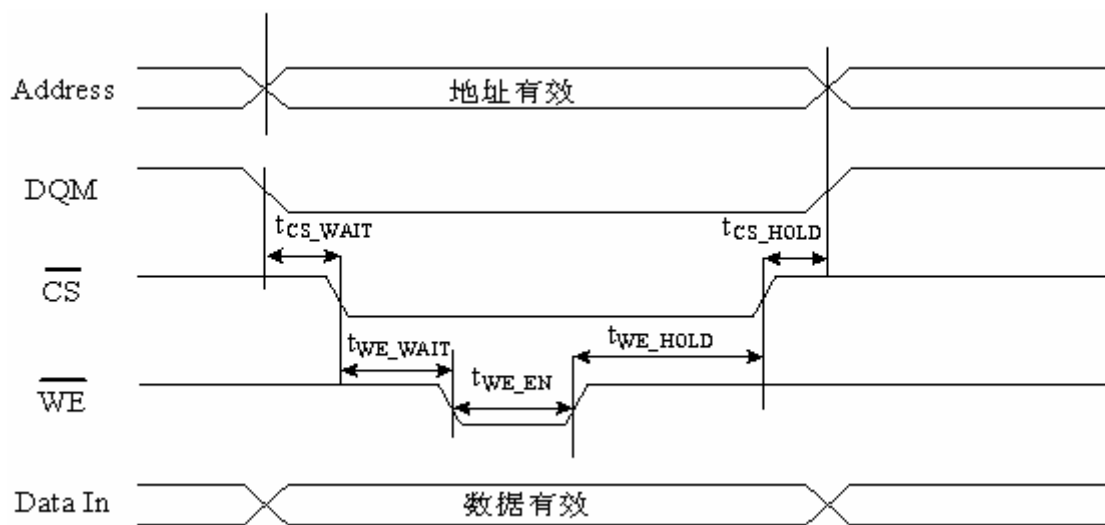


图 3.20 SRAM 写数据时序

3.8.4.2 SDRAM 接口

片选 nCSE/nCSF 均支持 SDRAM 时序，SDRAM 的读写操作都只使用 Burst 方式。在多个读数据或写数据操作时使用 random access 方式连续读写。

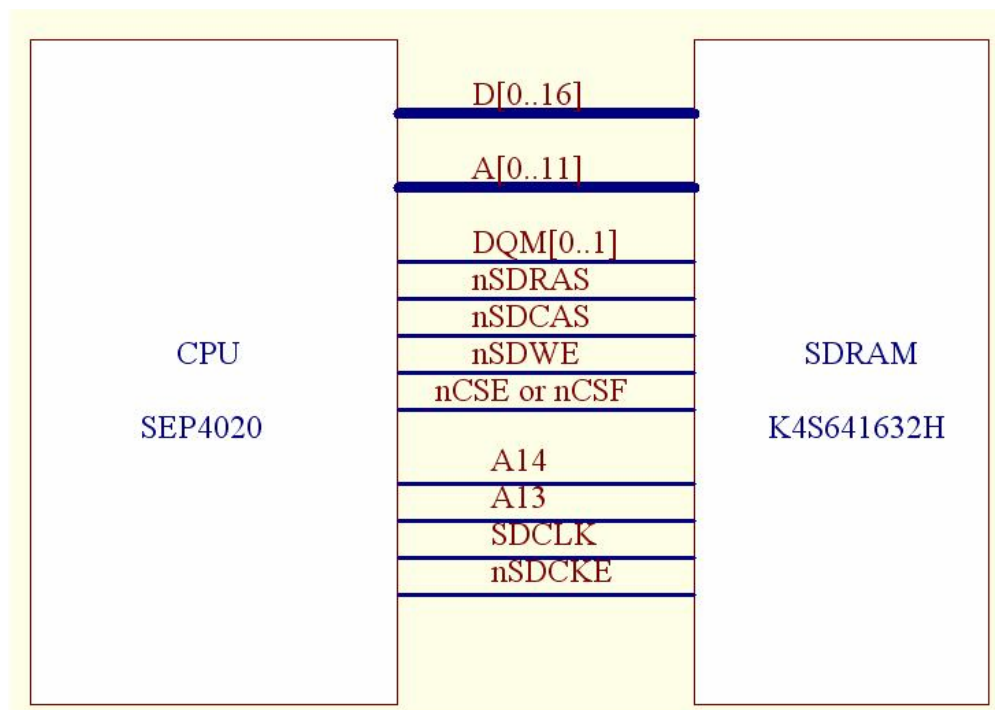


图 3.21 SDRAM 接口连接图

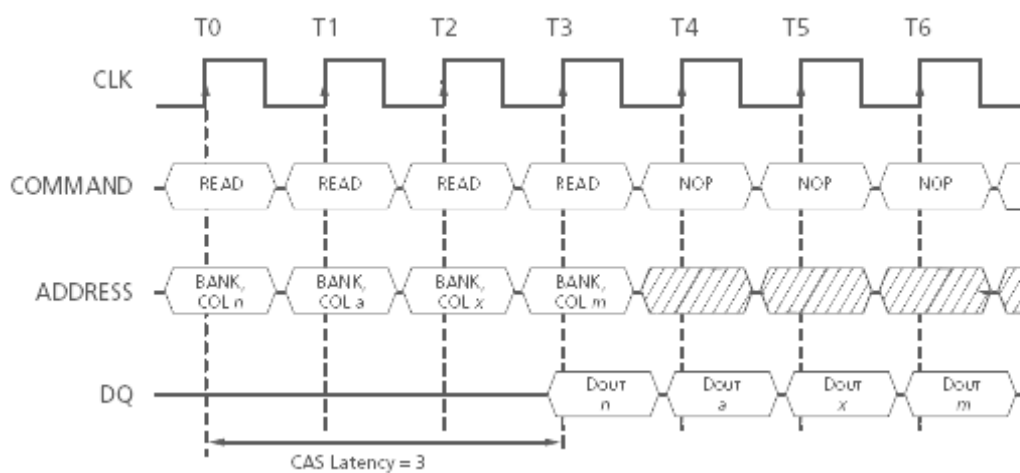


图 3.22 随机读操作

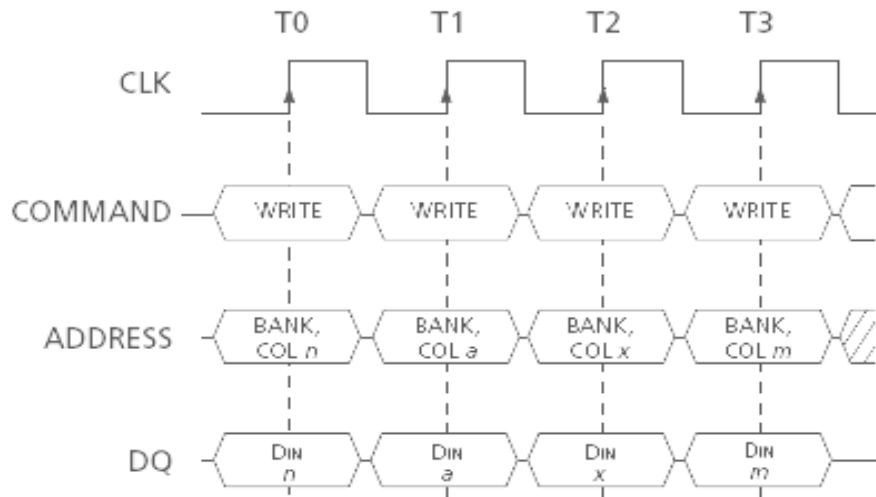


图 3.23 随机写操作

3.8.4.3 Nand Flash 接口

处理器提供专用的 Nand Flash 接口，兼容单页容量 512Byte，地址 3 级；单页容量 512Byte，地址 4 级；单页容量 2KByte，地址 4 级；单页容量 2K，地址 5 级的各种 Nand Flash。

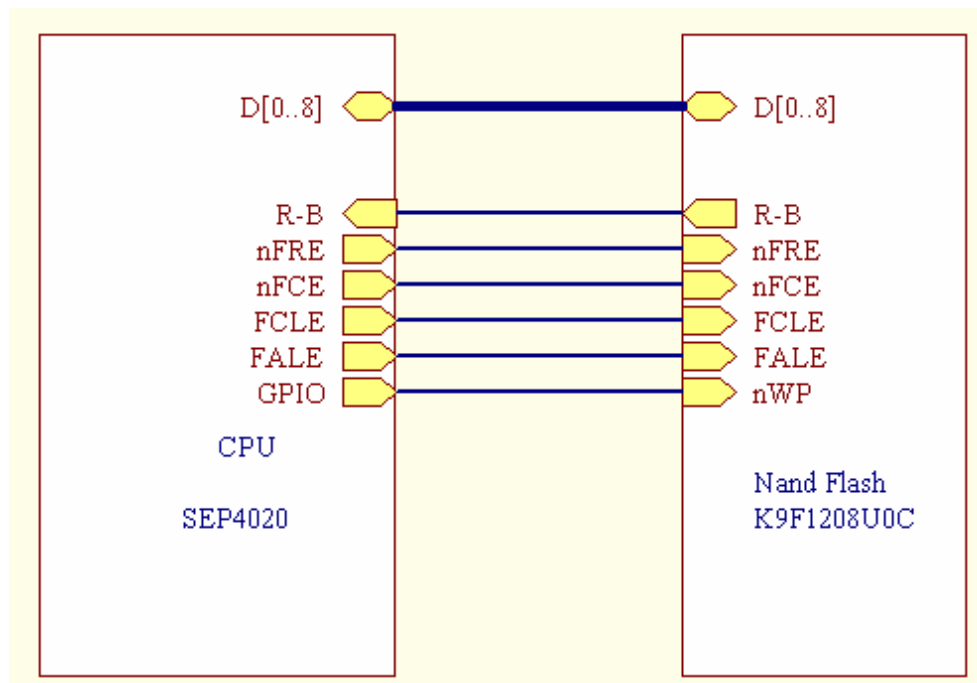


图 3.24 SEP4020 与 Nand Flash 接口连接示意图

下面以单页容量 512 byte 为例，其中阴影部分为可配置参数：2k byte 的情况与此类似。

*** Command Latch Cycle**

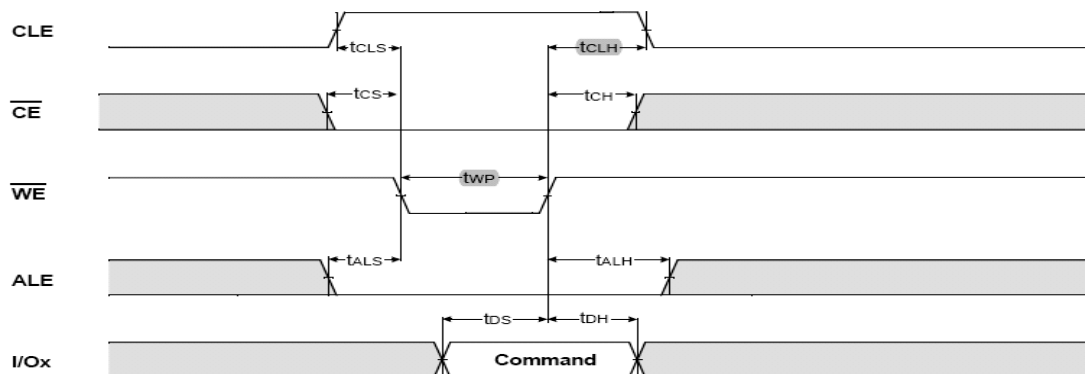


图 3.25 命令字锁存时序

*** Address Latch Cycle**

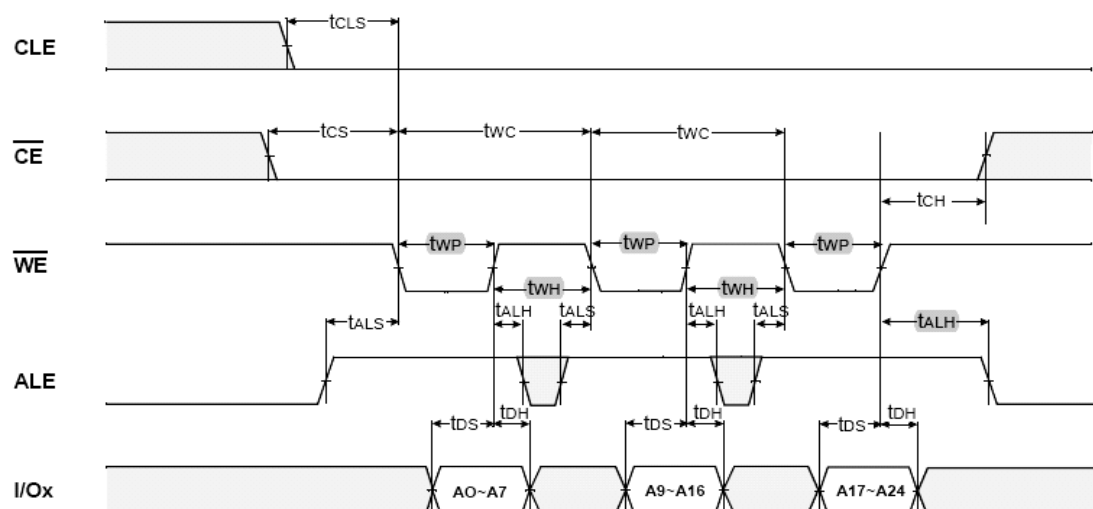


图 3.26 地址锁存时序

*** Input Data Latch Cycle**

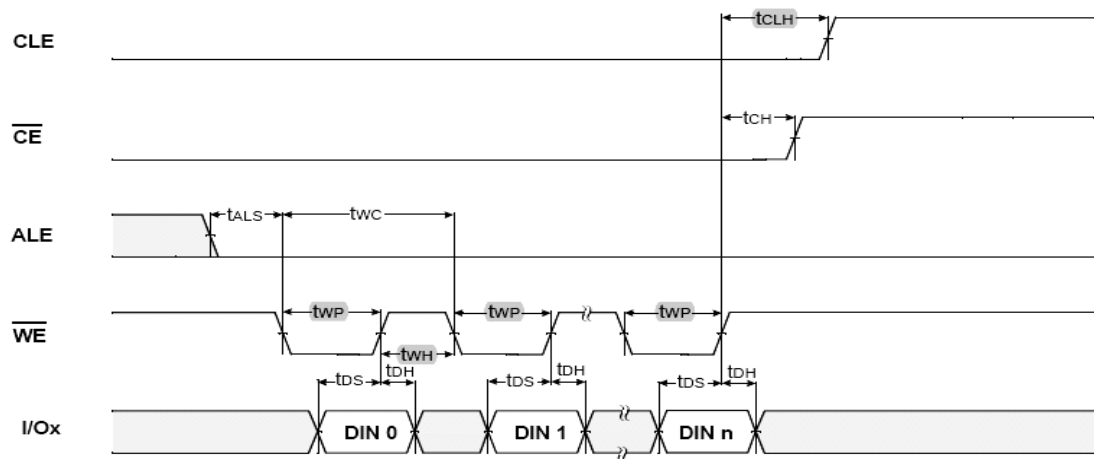


图 3.27 数据输入锁存时序

*** Status Read Cycle**

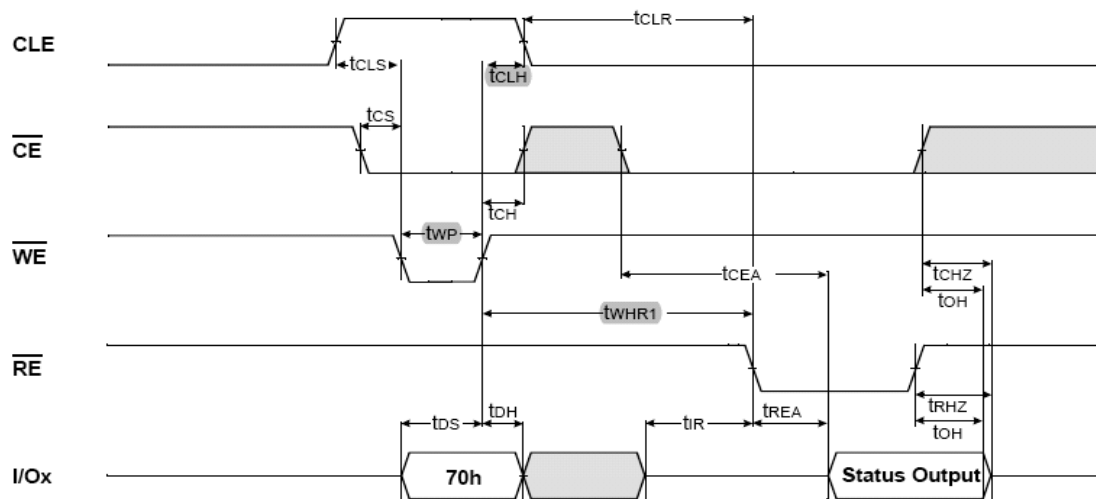


图 3.28 读状态时序

READ1 OPERATION(READ ONE PAGE)

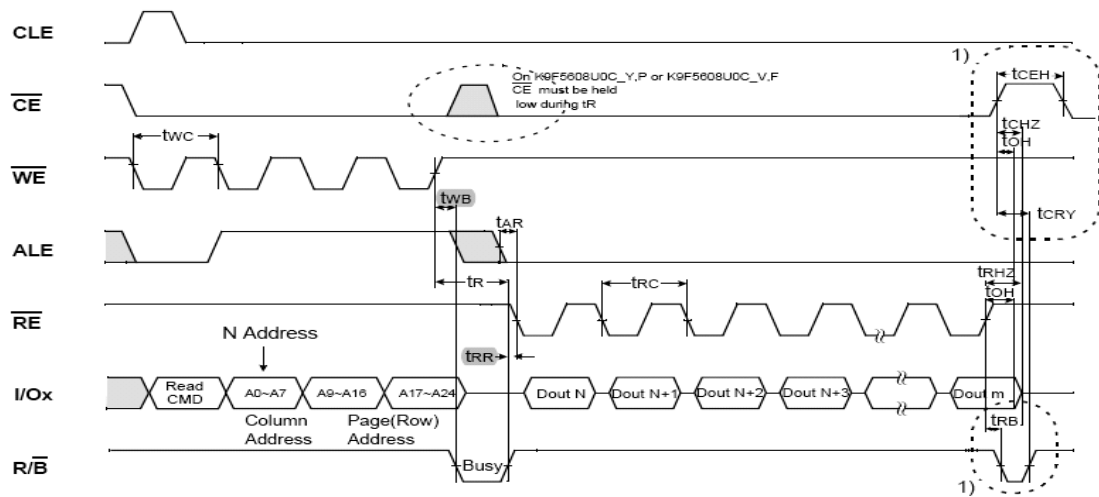


图 3.29 Read1 操作

PAGE PROGRAM OPERATION

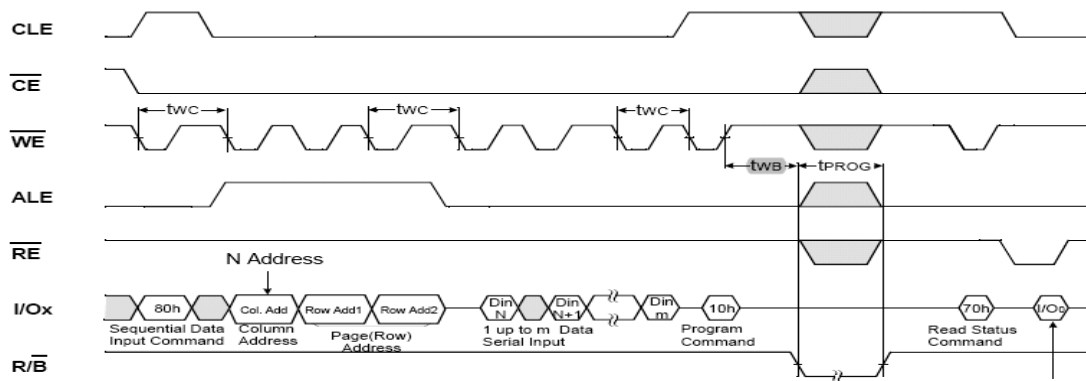


图 3.30 Page Program 操作

BLOCK ERASE OPERATION (ERASE ONE BLOCK)

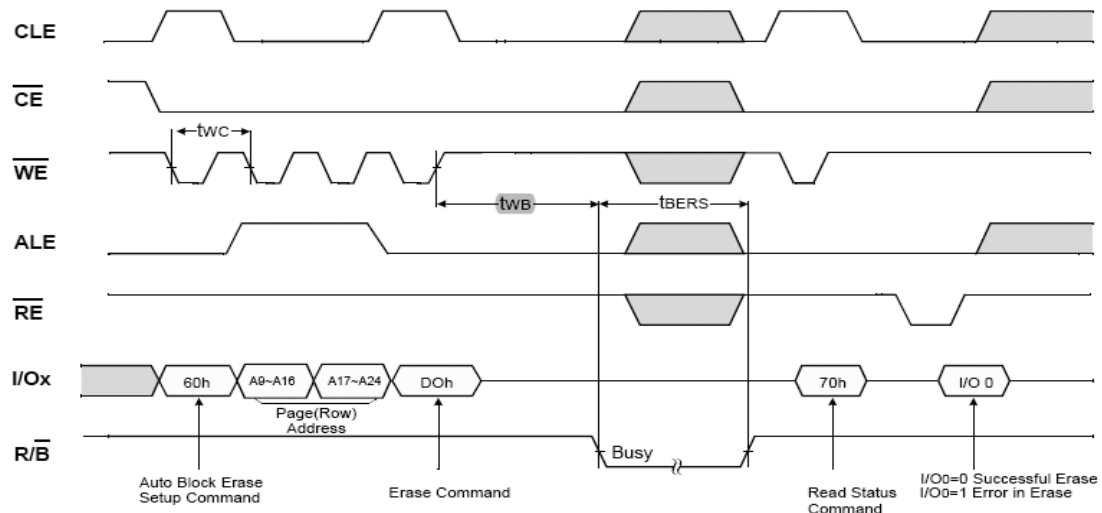


图 3.31 块擦除操作

MANUFACTURE & DEVICE ID READ OPERATION

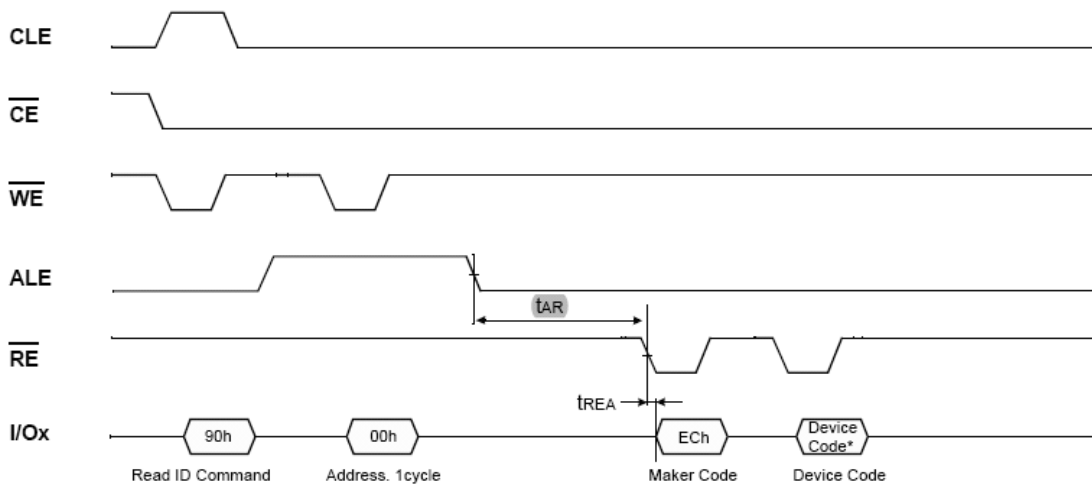


图 3.32 读 ID 信息操作

3.9 LCDC 接口

3.9.1 简介

LCDC 兼容 AMBA 规范，有 AHB MASTER 接口和 AHB SLAVE 接口，分别用于读取需要显示的数据和软件配置。它具有高度可编程性，用户通过向寄存器写入数据来实现编程控制。经过软件配置后，LCDC 能自己独立工作，而不需要内核的再次参与，从而节省内核的处理时间。工作过程是 LCDC 使能后申请系统总线，获得总线使用权后读取需要显示的数据，数据经过相应算法的处理就得到满足时序要求的信号，送到 LCD 显示驱动器。LCDC 支持 STN 屏和 TFT 屏。

- 使用内嵌的 DMA 方式进行取数据操作
- 32×16 FIFO 用于缓存显示数据
- 支持 STN(Super Twisted Nematic)1、2、4 或 8 位 panel 接口的单色显示
- 支持 16 位接口的 TFT (Thin Film Transistor) 彩色显示
- 支持 1bpp 黑白、2bppSTN 灰度、4bppSTN 灰度、16bppTFT 彩色显示
- 分辨率软件可配置，最高至 800×600
- 帧、行以及像素时钟信号
- 支持大小印第安格式
- 支持对比度调整
- 支持帧首帧尾中断

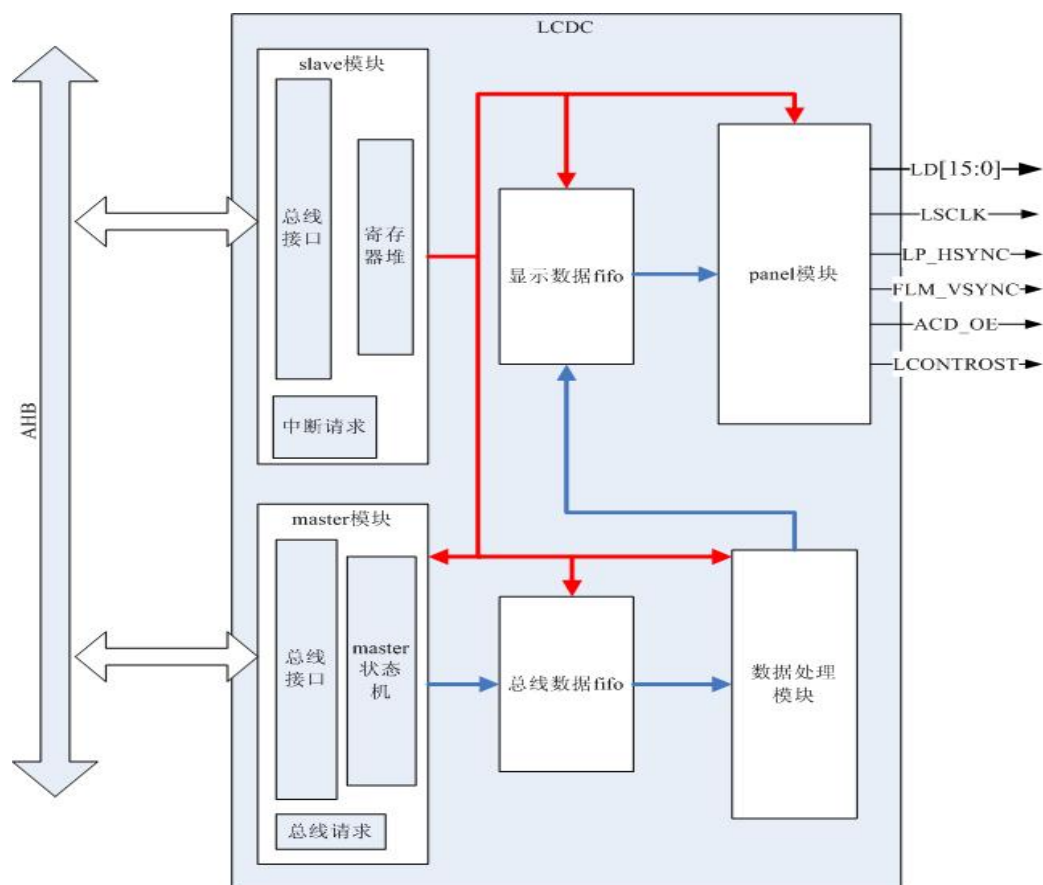


图 3.33 LCDC 模块结构框图及接口信号

不同的 LCD 面板的驱动信号时序大致相同，但是需要根据具体应用来设置具体的延时值。以下所描述的延时都能通过设置相应的寄存器来确定。假设 LCD 面板如下图：

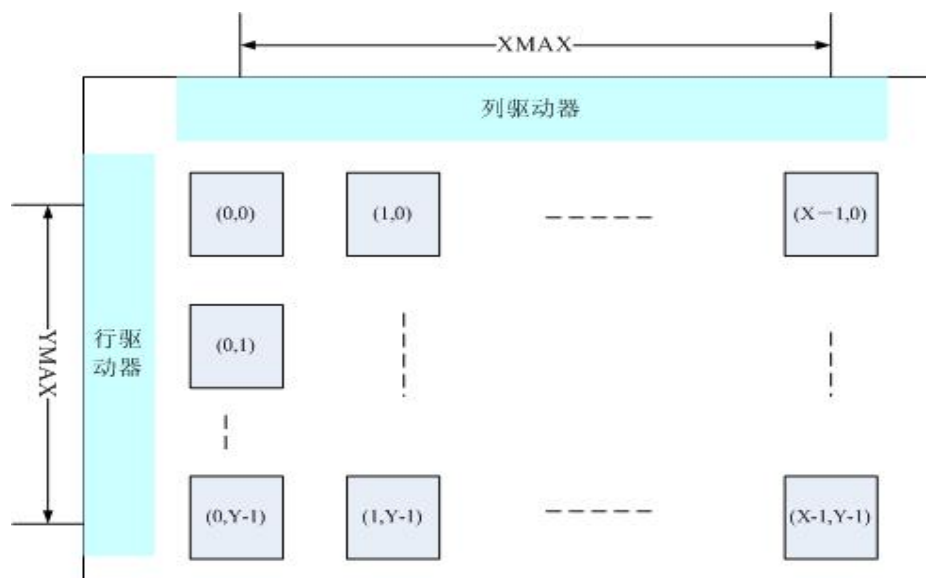


图 3.34 LCD 面板示意图

3.9.2 兼容性设计

目前经过验证的 LCD 屏型号如下：

类型	型号	厂家	尺寸 (Inch)	分辨率
16 级灰度	MFT-G320240DPEB	广州信力	3.5	320*240
18 位真彩 TFT	TFT240320-183-E	广州信力	2.4	240*320
24 位真彩 TFT	TS035KAAVD01	上海天马	3.5	320*240
24 位真彩 TFT	LQ035NC211	奇信电子	3.5	320*240
24 位真彩 TFT	LR430LC9001	奇信电子	4.3	480*272
24 位真彩 TFT	KD43G7	深圳国显	4.3	480*272
24 位真彩 TFT	AT043TN24	群创	4.3	480*272
24 位真彩 TFT	LTE430WQ-F0C	三星	4.3	480*272
16 位真彩 TFT	LQ057Q3DC12	SHARP	5.7	320*240
12 位彩色 TFT	LQ61D133	SHARP	6.1	640*480
16 位真彩 TFT	LQ080V3DG01	SHARP	8.0	640*480

3.9.3 注意事项

在进行 LCD 的背光板的设计时，屏的背面尽量不要放置干扰比较严重的元器件，LCD 的连接电缆 FPC 软排线需尽量远离干扰源（比如电源芯片、逆变器等），SEP4020 的像素时钟 LCD_CLK 是从系统主频分频得来，只能进行偶数分频，不能进行奇数分频。比如当分频因子为“1”时，这时 LCD_CLK=SYSCLK/2。

3.9.3.1 STN 接口

使用 STN 屏时，控制信号包括 LSCLK、LP_HSYNC、FLM_VSYNC 和 ACD_OE，它们的时序如下图。

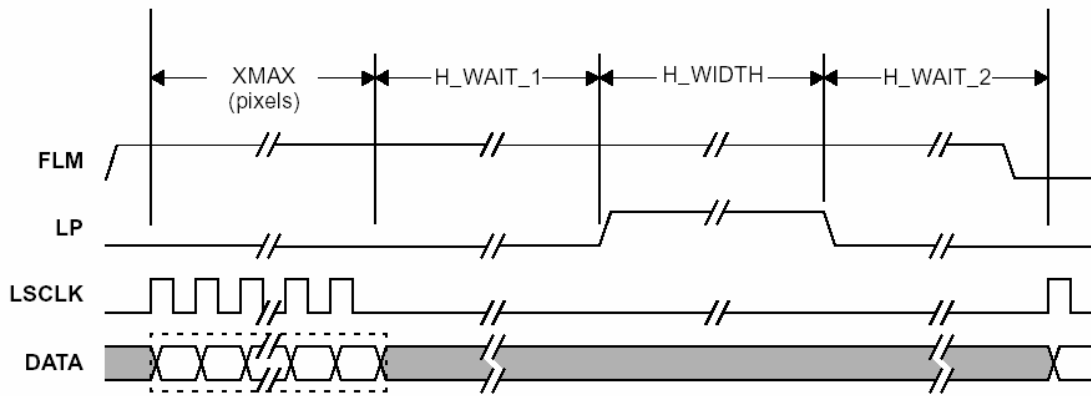


图 3.35 STN 模式的水平同步脉冲时序

STN 模式的水平时序表示了显示屏上显示一行的控制和数据信号时序。行脉冲 LP 的宽度和 LP 前面和后面的延时都可编程配置。用于接口时序编程的参数是：

XMAX (X 尺寸) 定义每行的像素数目。XMAX 是屏幕每行的像素总数。

H_WAIT_1 定义从数据输出到 LP 开始之间的延时。

H_WIDTH (水平同步脉冲宽度) 定义 LP 脉冲宽度，H_WIDTH 必须至少设置为 1。

H_WAIT_2 定义从 LP 结束到下一行数据输出开始之间的延时。

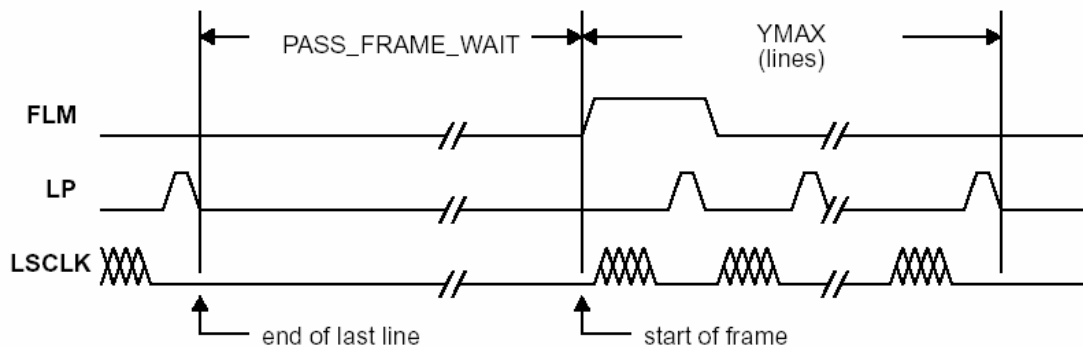


图 3.36 STN 模式的垂直时序

STN 垂直时序表示了一帧的时序。一帧结束直到下一个开始之间的延时是可编程的。信号事件时序定义如下：

PASS_FRAME_WAIT 定义从被动彩色模式下一帧最后一行到 FLM 信号的开始之间的延时。YMAX 定义了一帧的行数。

3.9.3.2 TFT 接口

使用 TFT 屏时，控制信号包括 LSCLK、LP_HSYNC、FLM_VSYNC 和 ACD_OE，它们的时序如下图。

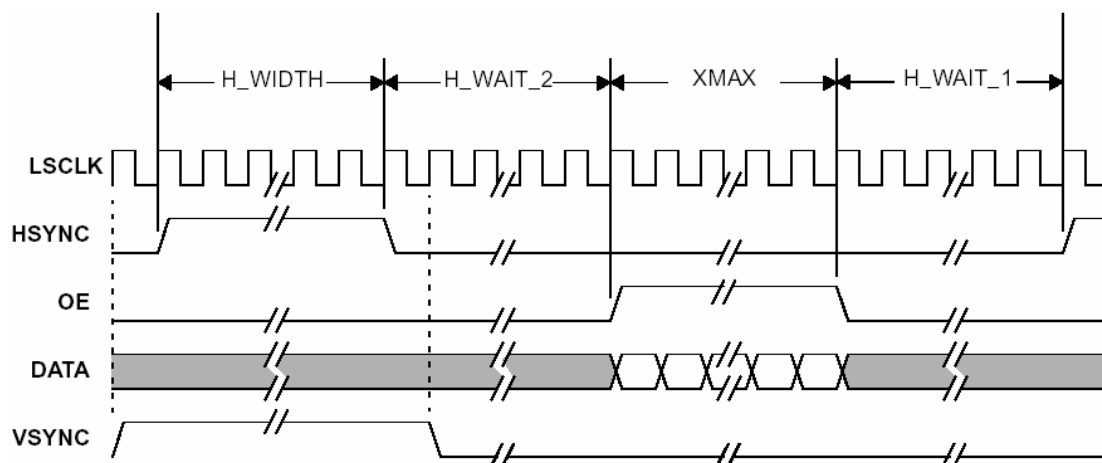


图 3.37 TFT 模式的水平同步脉冲时序

水平时序表示了一行的时序，包括水平同步脉冲和数据。HSYNC 的宽度以及 HSYNC 前后的延时都是可编程配置的。时序信号参数定义如下：

H_WIDTH 定义了 HSYNC 脉冲的宽度，至少必须为 1。

H_WAIT_2 定义了从 HSYNC 结束到 OE 脉冲开始之间的延时。

H_WAIT_1 定义了从 OE 信号结束到 HSYNC 脉冲开始之间的延时。

XMAX 定义了每行的像素数。

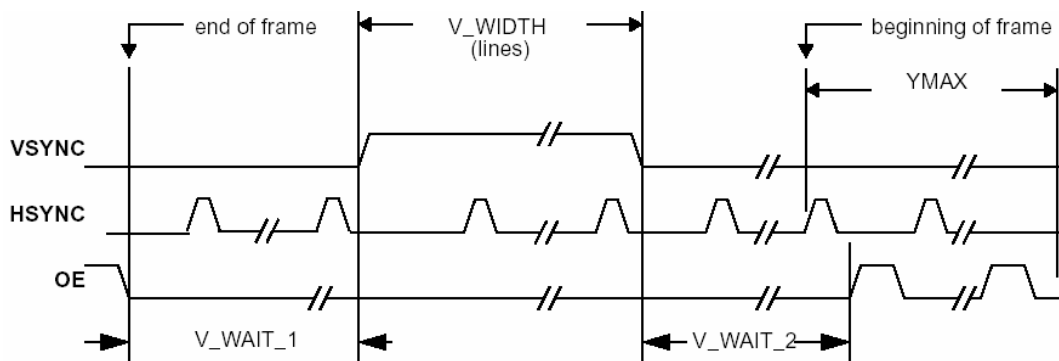


图 3.38 TFT 模式的垂直同步脉冲时序

垂直时序表示了一帧的时序。一帧结束直到下一帧开始之间的延时是可编程的。时序信号参数是：

V_WAIT_1 定义了 OE 信号下降沿到 VSYNC 上升沿之间的延。它是以行数为单位的，例如对 V_WAIT_1 = 1，在 VSYNC 之前有一个 HSYNC（时间为一个行周期）的延时。HSYNC 脉冲在 V_WAIT_1 延时期间输出。

对 V_WIDTH（垂直同步脉冲宽度）定义了 VSYNC 的宽度。它也是以行数作为单位的，例如对 V_WIDTH= 1，VSYNC 包括一个 HSYNC 脉冲。对 V_WIDTH = 2，VSYNC 包括两个 HSYNC 脉冲。V_WAIT_2 定义了 VSYNC 下降沿到 OE 上升沿之间的延时。它也是以行数为单位，例如对 V_WAIT_2 = 1，在 VSYNC 之后有一个 HSYNC（时间为一个行周期）的延时。HSYNC 脉冲在 V_WAIT_1 延时期间输出。

表 3-9 18 真彩 TFT LCD 数据接口信号连接对应关系

LCD 屏接口信号	R0	R[1..5]	G[1..5]	B0	B[1..5]
处理器 LCD 接口信号	GND	LD[11..15]	LD[5..10]	GND	LD[0..4]

表 3-10 24 真彩 TFT LCD 数据接口信号连接对应关系

LCD 屏接口信号	R[0..2]	R[3..7]	G[0..1]	G[2..7]	B[0..2]	B[3..7]
处理器 LCD 接口信号	GND	LD[11..15]	GND	LD[5..10]	GND	LD[0..4]

表 3-11 12 彩色 TFT LCD 数据接口信号连接对应关系

LCD 屏接口信号	R[0..3]	G[0..3]	B[0..3]
处理器 LCD 接口信号	LD[12..15]	LD[7..10]	LD[1..4]

3.9.4 参考设计

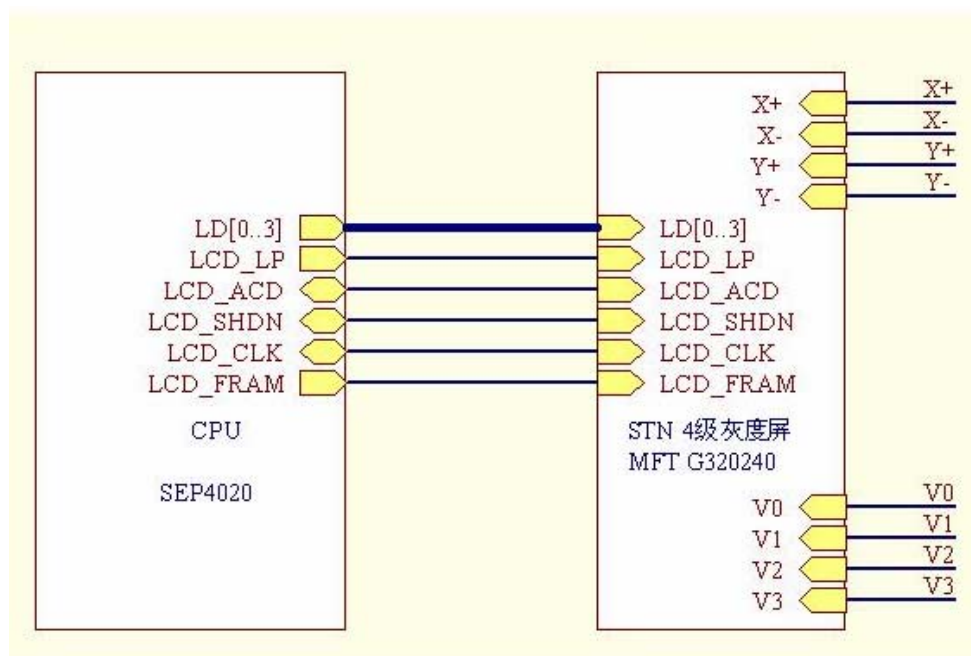


图 3.39 SEP4020 与 4 级灰度屏连接示意图

注：其中的 V[0..3]为产生 4 级灰度需要的固定电平；X+，X-，Y+，Y-为触摸屏的接口信号。

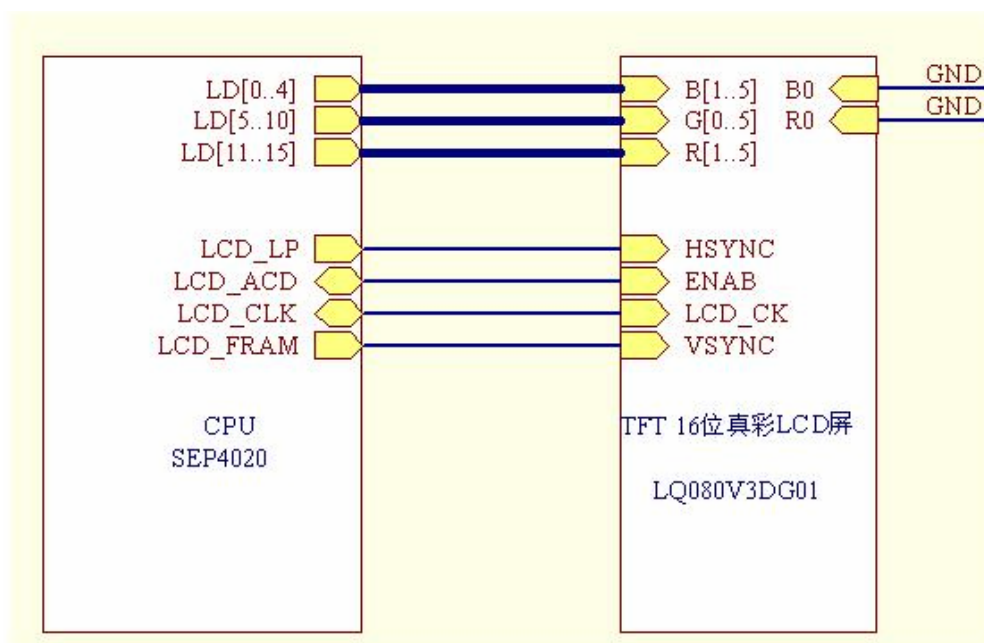


图 3.40 SEP4020 与 18 位真彩 TFT LCD 屏连接示意图

3.10 PWM 接口使用说明

3.10.1 简介

PWM (Pulse Width Modulator, 脉宽调制) 共有 4 个通道, 每个通道相互独立。当通道内部的 16 位计数器计到设定的值后输出高低电平, 从而产生相应的波形, 计数时钟从总线时钟分频而来, 分频值可配为 1/2/4/6/8/10/...../4094。

PWM 可工作在 3 种模式:

- PWM 模式: 周期可配, 占空比根据输入数据动态变化
- 高速 GPIO 模式: 数据直接移位输出或者采样输入
- TIMER 模式: 用作计时器

3.10.2 兼容性设计

3.10.3 注意事项

在使用 PWM 接口的过程中需要首先确定系统所需要的工作模式，然后按照相应的模式进行系统设计。

1. PWM 模式

该模式下 PWM 输出可变周期的波形，但是每个周期的高电平占空比可根据输入的数据动态变化。波形周期由周期寄存器决定，大小可配置为 2~65535，单位为计数时钟周期。占空比的大小由向数据 FIFO 写入的数据决定，一个数据决定一个周期的高电平占空比，数据的大小最小为 1，最大为 65535（FIFO 数据大于或等于计数周期时，计数周期输出全高电平），单位为计数时钟周期。

每个周期开始的波形输出为高电平，当计数器的值和当前占空比数据相等的时候，波形输出变为低电平，数据 FIFO 弹出当前占空比数据，计数器继续计数，当计数器的值和周期寄存器的值相等时，波形输出为高电平，计数器清零，开始下一个波形周期。当 FIFO 中没有数据时，PWM 会按照最后一个占空比数据重复输出相同占空比的波形。如果要输出固定周期和占空比的波形，只需配一次周期寄存器和一次数据 FIFO。当数据 FIFO 半满、空时会发出中断。

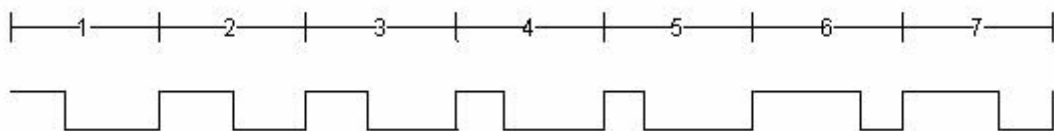


图 2.41 动态变化占空比的输出波形

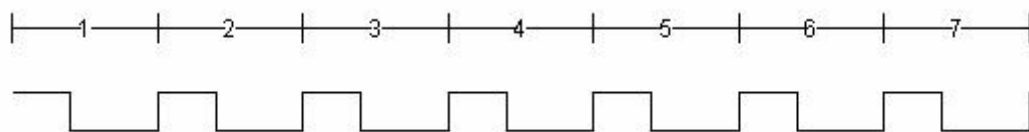


图 3.42 固定占空比和周期的输出波形

2. 高速 GPIO 模式

该模式下 PWM 相当于高速的 GPIO，可以用作输入或者输出。

用作 GPIO 输出时，PWM 将数据 FIFO 中的数据直接从高位至低位移位输出，波形随着移位寄存器输出的数据变化，移位时钟就是计数时钟，当输入数据全部移位输出后（FIFO 空，移位寄存器也为空），输出

波形电平保持在最后一个移位的数据。当数据 FIFO 半空和空的时候会发出中断。高速 GPIO 可以一次连续输出 64 个数据。

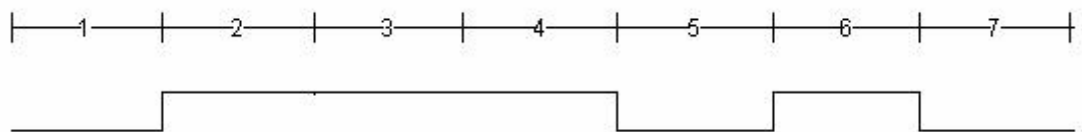


图 3.43 数据“0111010”的输出波形

用作 GPIO 输入时，PWM 将用计数时钟去采样外部数据，采样后的数据按高到低的顺序移位后被存入数据 FIFO，等待 CPU 读取。当数据 FIFO 半满和满的时候会发出中断。

3. TIMER 模式

该模式下，PWM 就是一个 16 位的 TIMER，计数器可以工作在内部计数模式。

内部计数时，当计数器的值等于周期寄存器时，发出中断，可以输出高电平、低电平、翻转电平或者保持输出不变，当前计数结束后，可以：

一次计数：计数器清零，停止计数，等待下一次启动，同时发出中断；

循环计数：计数器清零，重新开始计数，同时发出中断；

3.10.4 参考设计

下面以 PWM 控制外部蜂鸣器来，PWM 模块工作在 PWM 模式，通过调整 PWM 的脉宽调制比来控制蜂鸣器发出不同的提示音。同时可通过 PWM 接口外部添加功放模拟实现简单语音提示。

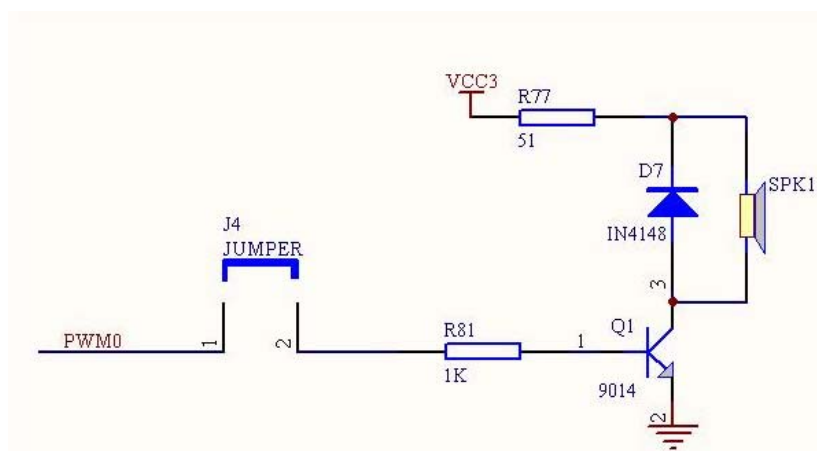


图 3.44 PWM 外扩蜂鸣器原理图

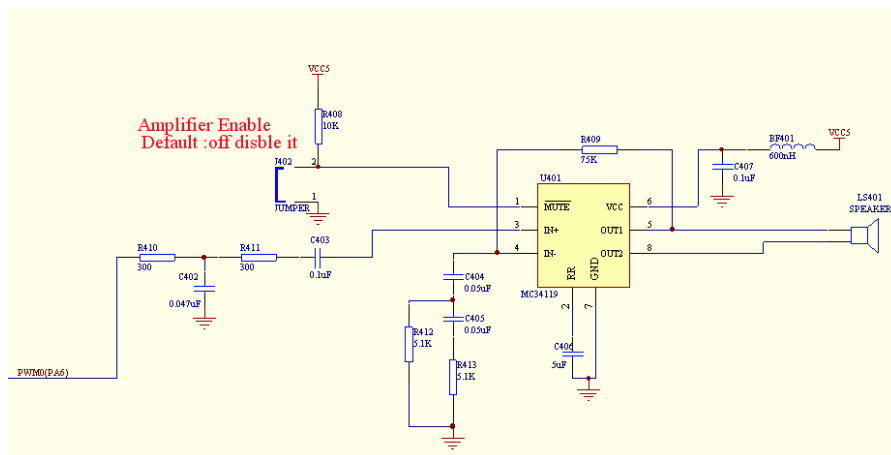


图 3.45 PWM 蜂鸣器外部功放原理图

3.11 SSI 接口

3.11.1 简介

同步串行接口 (SSI) 符合 AMBA 规范的 APB 接口, 可以执行半双工或全双工的同步串行传输, 通过配置操作模式完成处理器与外设的数据交换。SSI 工作在 Master 模式。处理器可以通过 APB 接口来存取数据、控制信息和读取状态信息。SSI 支持 DMA 操作, 使用 DMA 需要对 DMA 控制器按照需求进行配置。

功能概述:

- 串行 Master 操作模式, 支持二个外设 SLAVE
- 中断可独立屏蔽
- 发送和接收独立的 16×8 FIFO
- 支持多种串行传输协议: Motorola SPI 协议和 National Semiconductor MicroWire 协议
- 串行传输的数据长度可配
- 串行通讯同步时钟相位和极性可配

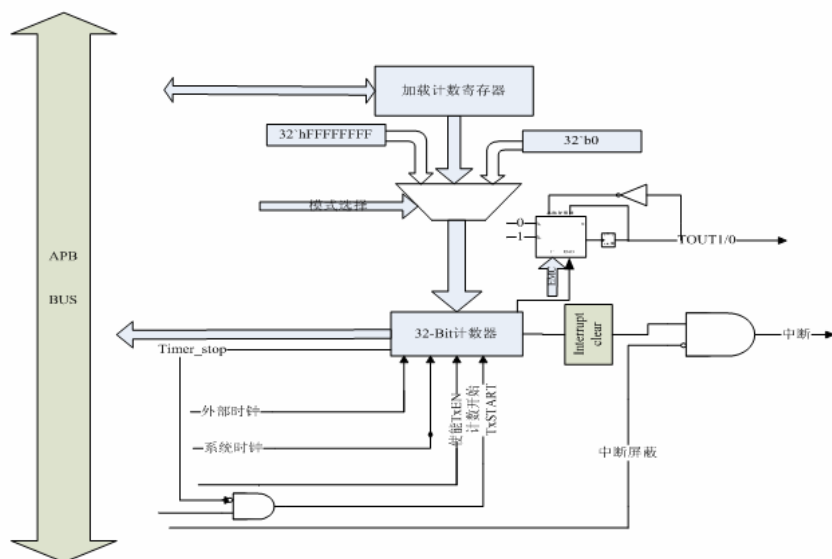


图 3.46 SSI 结构框图

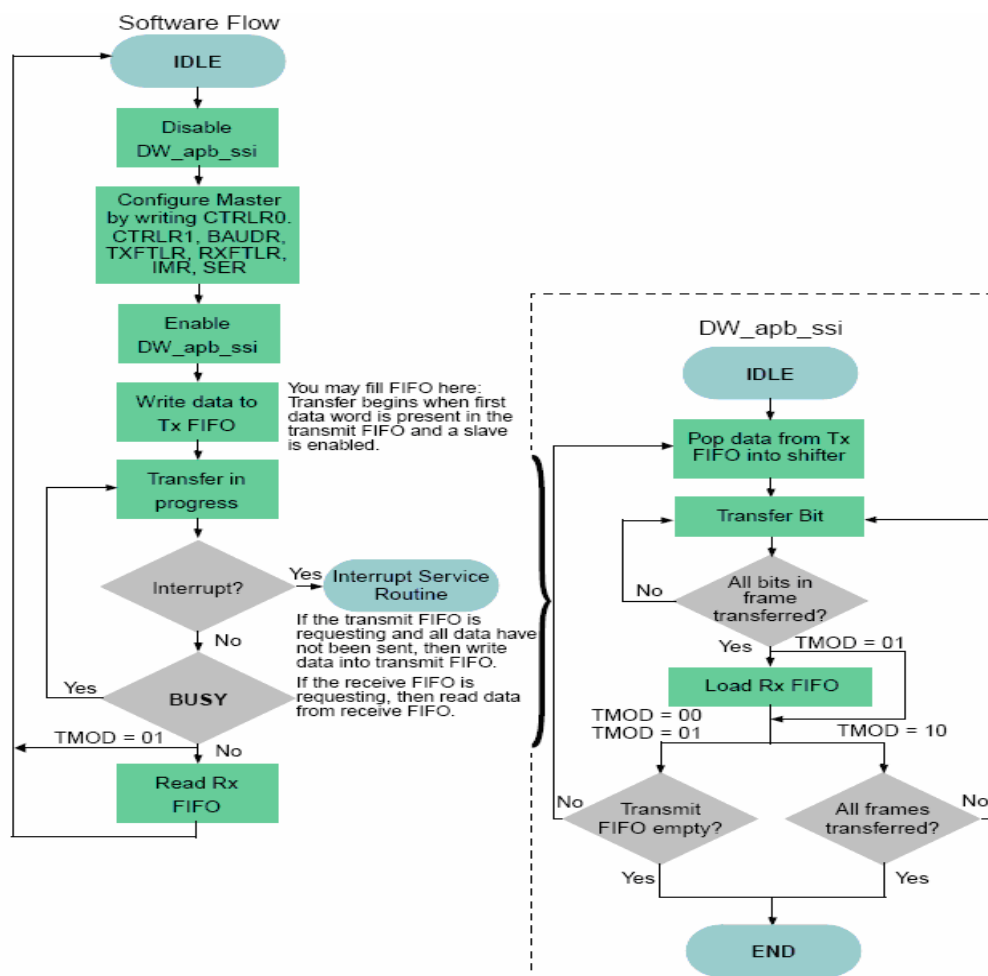


图 3.47 SPI 操作流程

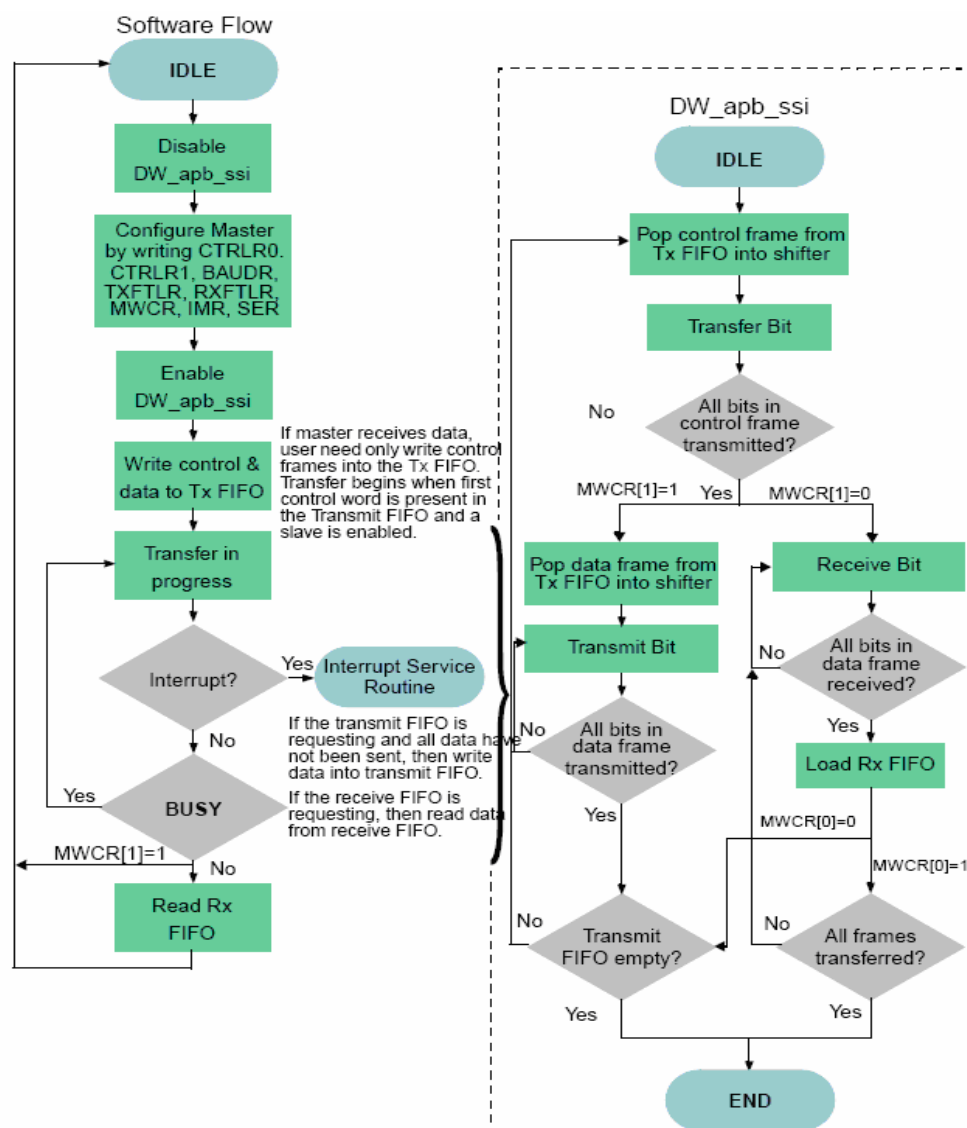


图 3.48 Microwire 操作流程圖

3.11.2 兼容性设计

在系统验证的过程中我们采用外部连接 SPI 接口的串行 FLASH 来验证 SSI 接口特性，采用 ATMEL 公司的 AT25F512A 来进行设计，该芯片兼容 SPI 接口的控制时序。

3.11.3 注意事项

3.11.4 参考设计

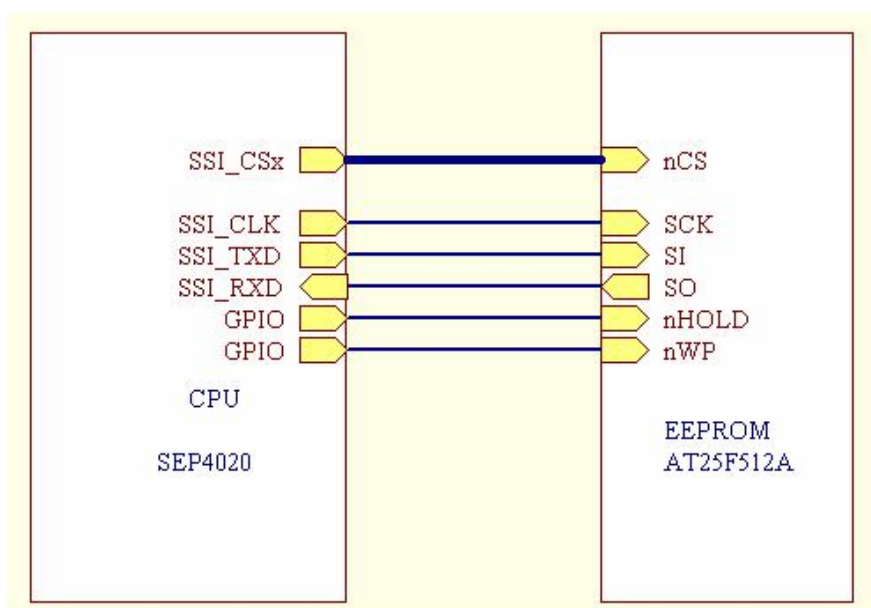


图 3.49 SPI 接口的 EEPROM 连接示意图

3.12 UART 接口

3.12.1 简介

UART 的功能是实现异步传输，即在没有时钟同步的情况下，根据设置的波特率，与另一个异步通讯收发器进行数据传输。UART 要根据用户配置信息，逐位发送或接收满足 RS-232 协议的信号。

UART 基本功能如下：

- 全双工操作，其中 UART2 支持自动硬件流控操作
- 5-8 位字符操作
- 可配置的奇偶校验(偶校验，奇校验，无奇偶校验，或固定校验位)
- 可配置的停止位（1，1.5，2 位）
- 中止（Break）产生和探测功能
- 16 级深度（字节宽度）的接收 FIFO，触发级和超时中断可配置
- 16 级深度（字节宽度）的发送 FIFO，触发级中断可配置
- 对 RTS，CTS 信号提供硬件流控支持
- MODEM 状态中断
- 4 位可屏蔽中断源，中断优先级处理，超时中断
- 波特率可配置，支持 300~115200bps

■ 4 个串口均支持串行红外接口物理层协议

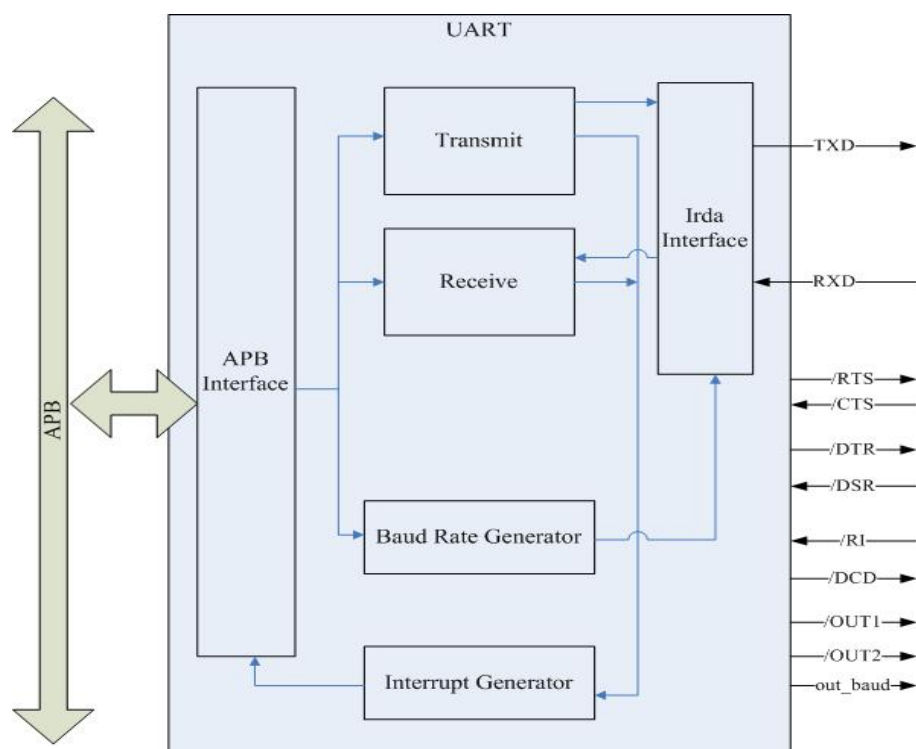


图 3.50 芯片内部 UART 内部结构框图及接口信号

3.12.2 兼容性设计

串口在设计过程中需要考虑设备的工作环境，通过工作环境的温度条件选择电平转换芯片的类型，主要分为商业级（0~+70 摄氏度）、工业级（-40~+85 摄氏度），避免由于电平转换芯片工作的稳定性而影响串口数据传输的稳定性。

3.12.3 注意事项

串口在实际使用过程中，只需根据接口的需要加上电平转换芯片（TTL 与 RS232 电平之间的转换）或者直接通过 TTL 电平直接引出与外设具体的端口连接即可。需要说明的是在实际应用中作为 DTE（Data Terminal Equipment）设备中的“TXD”信号代表数据发送引脚，“RXD”代表数据接收引脚；而 DCE（Data Communication Equipment）中的“TXD”代表数据接收引脚，“RXD”代表数据发送引脚。现实中象 epos、电话均属 DTE 设备，而像 MODEM、GPRS 模块、CDMA 模块则属于 DCE 设备。

在连接电平转换接口芯片的时候需要注意数据收发的流向，避免误接，另外还需注意电平的兼容性，一般应保持接口芯片的工作电压与处理器 CPU 的 I/O 电压相同，否则会导致数据收发的不稳定。

表格 3-12 UART 在 SEP4020 中使用到的具体引脚

Signal	UART0	UART1	UART2	UART3
TXD	√	√	√	√
RXD	√	√	√	√
CTS			√ (与 RXD3 复用)	
RTS			√ (与 TXD3 复用)	

串口可工作与普通的 3 线模式（信号包括：TXD、RXD 和 GND）或者采用硬件流控的方式（信号包括：TXD、RXD、CTS、RTS 和 GND），两种工作模式的收、发时序图如下所示：

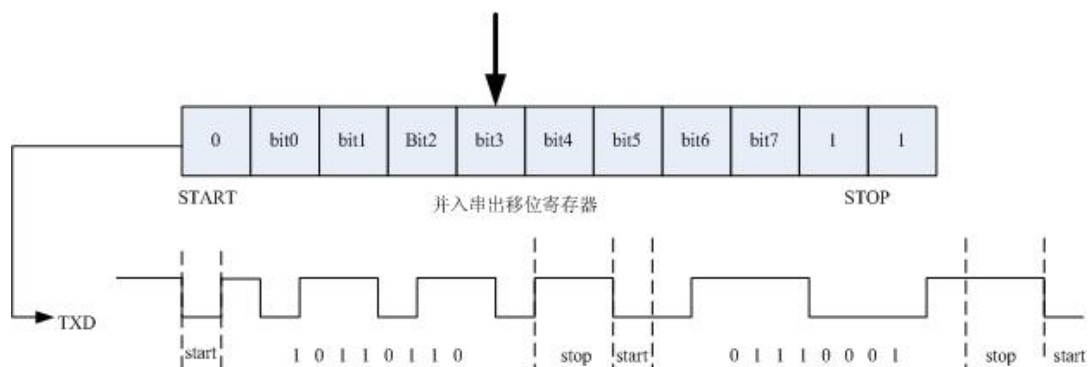


图 3.51 普通发送原理图

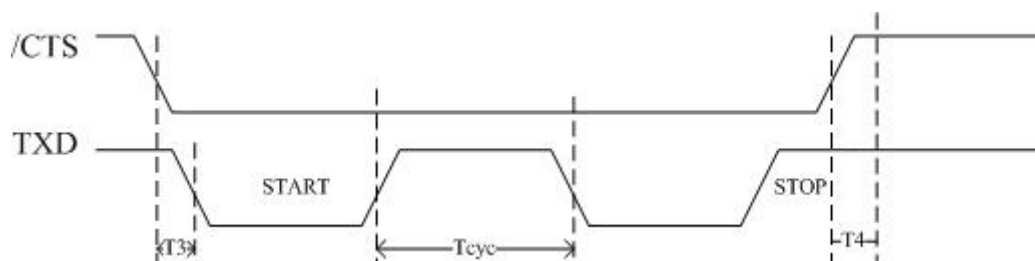


图 3.52 外部设备硬件控制 UART 发送时序

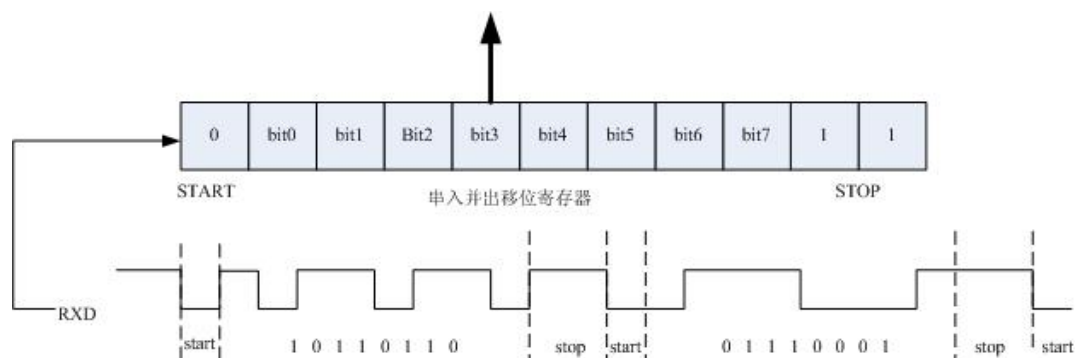


图 3.51 普通接收原理图

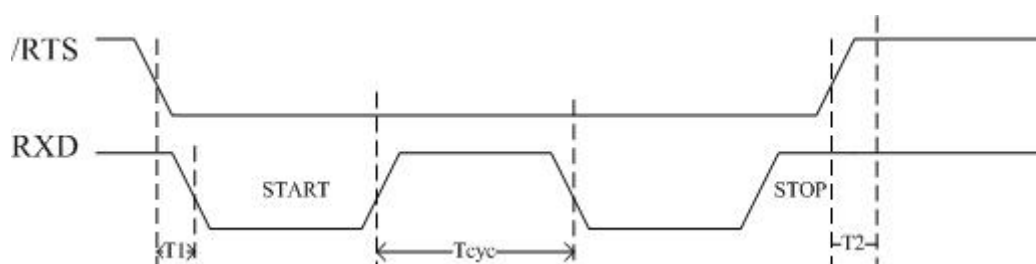


图 3.53 UART 硬件控制外部设备发送时序

3.12.4 参考设计

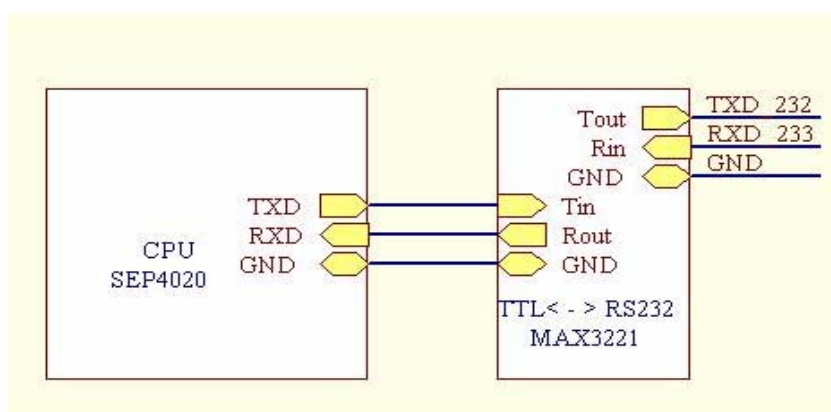


图 3.54 UART 电平转换接口连接图

3.13 IIS 接口

3.13.1 简介

功能综述

- 支持 MASTER 和 SLAVE 模式
- 支持 TRANSMITTER 和 RECEIVER 功能
- 支持 32、16、8 位字长
- 支持立体声和单声道
- 支持静音和停止播放
- 数据高位（MSB）先出/先入
- 接收发送共享 8×32 数据 FIFO

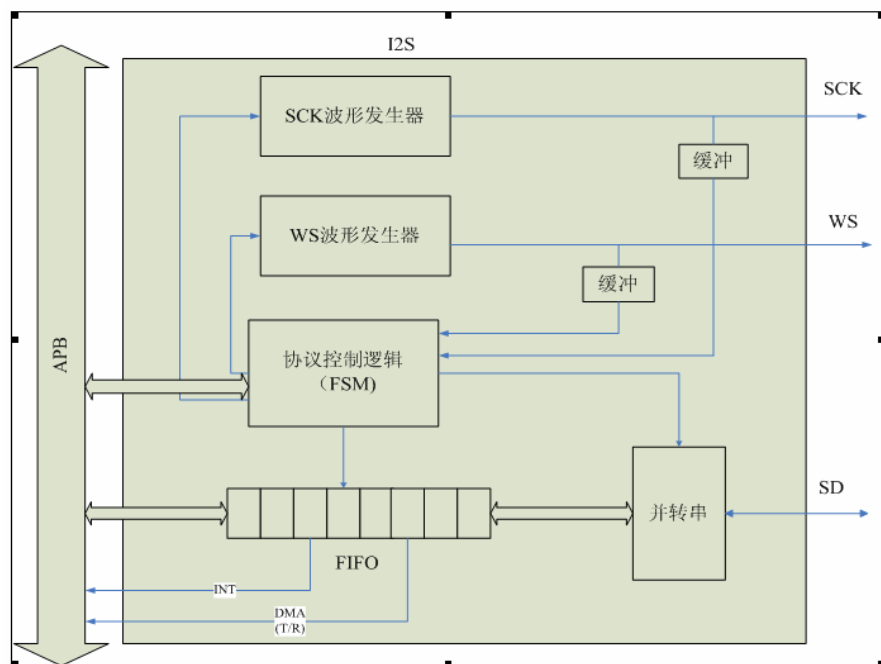


图 3.55 处理器内部 I2S 模块结构框图

3.13.2 兼容性设计

在进行系统设计过程中经过验证的 CODEC 解码芯片为 PHILIPS 的 UDA1341S 和 TI 公司的 TLV320AIC23B，其中前者在工作过程中只能作为 Slave 模式，后者可以工作在 Master 和 Slave 两种模式。

3.13.3 注意事项

I2S 工作模式分为 MASTER 模式和 SLAVE 模式，MASTER 模式下，I2S 向外输出时钟，SLAVE 模式下，时钟由外部芯片提供。常见的 SOC 芯片的 I2S 工作在 MASTER 模式，芯片外接音频 CODEC，SOC 芯片向外提供数据，CODEC 做 DA 转换发出声音，录音则是 CODEC 提供 AD 转换后的数据，SOC 芯片把数据接收到 MEMORY 中。

无论在 MASTER 模式还是在 SLAVE 模式，I2S 都可以作为 TRANSMITTER 或者 RECEIVER，如果 I2S 向外接 CODEC 提供数据，I2S 是 TRANSMITTER，如果 I2S 从外接 CODEC 接收数据，I2S 是 RECEIVER。

I2S 的接口由 3 个信号组成，SCK 是驱动时钟，WS 是字选择信号，SD 是数据，RECEIVER 在 SCK 的上升沿采样 WS 和 SD 信号。

SCK 由总线时钟分频而来，分频比可配。WS 是占空比为 50% 的周期性信号，高低电平分别对应左右（或者右左）声道，周期长度和音频数据的字长有关，例如，8 位的双声道音频数据，对应的 WS 周期就是 16 个 SCK，8 个左声道数据，8 个右声道数据；若是单声道，WS 的高低电平将使用相同的数据。左右声道对应的 WS 信号电平可配，可以左低右高或者左高右低。

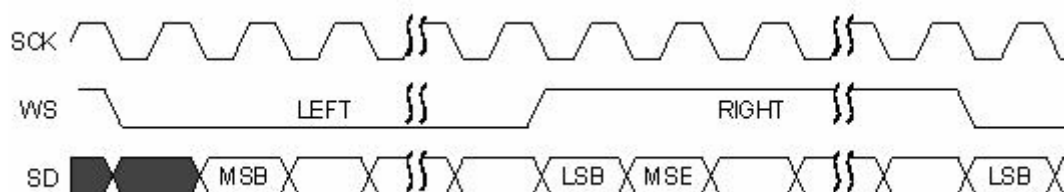


图 3.56 I2S 信号传输波形（左先）

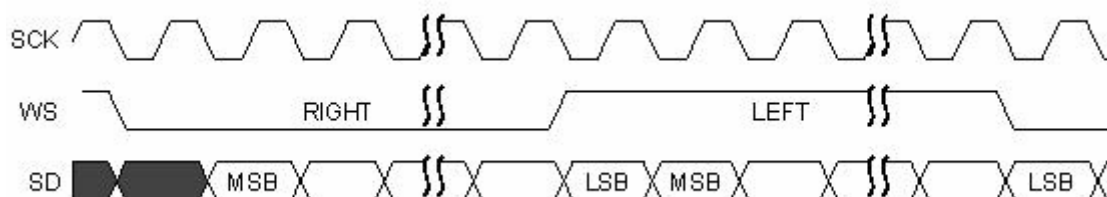


图 3.57 I2S 信号输出波形（右先）

I2S 的数据（SD 信号）的变化比字选择（WS）晚一个时钟。I2S 支持 8 位、16 位、32 位字传输，数据的传输支持 DMA 模式。在单声道模式下，左右声道输出同样的数据。

表格 3-13 双声道数据填充方式

字长	字节 8	字节 7	字节 6	字节 5	字节 4	字节 3	字节 2	字节 1
8 位	右+3	左+3	右+2	左+2	右+1	左+1	右	左
16 位	右+1		左+1		右		左	
32 位	右				左			

表格 3-14 单声道数据填充方式

字长	字节 8	字节 7	字节 6	字节 5	字节 4	字节 3	字节 2	字节 1
8 位	单+7	单+6	单+5	单+4	单+3	单+2	单+1	单
16 位	单+3		单+2		单+1		单	
32 位	单+1				单			

常见的音频数据位 8 位、16 位和 32 位，分别对应 48dB、96dB 和 192dB 的动态范围，常见的采样率是 8~48KHz，对于 16 位的数据，假设总线时钟工作在 100MHz，采样率、数据比特率和分频参数的对应关系如下：

表格 3-15 采样率、数据比特率和分频参数的关系

采样率 (Hz)	比特率	理论分频参数	实际分频参数	实际采样率
48000	1536000	65.1	33 (66)	47348
44100	1411200	70.9	35 (70)	44643
22050	705600	141.7	71 (142)	22007
16000	512000	195.3	98 (196)	15944
8000	256000	390.6	195 (390)	8013

在实际应用中 I2S 接口常用作 MASTER 工作模式，负责与外围 CODEC 实现放音和录音的功能，利用 GPIO 模拟 L3 总线控制外部的 CODEC 进行工作模式的设置和音频数据流的控制。

由于处理器只提供一个数据引脚 I2S_SD，所以录、放音的数据需要分时复用，具体电路设计中可采用双向模拟开关进行控制；同样，在录、放音时 CODEC 内部 ADC 或者 DAC 模块的时钟信号同样需要处理器的 I2S_WS 信号所对应的 GPIO 模拟产生。具体的电路设计参见评估板 UB4020EVb (V1.5) 的音频部分。

在具体的电路布线过程中需要将模拟地和数字地通过磁阻相连，两种地尽量不要靠在一起，同时保证模拟地的接地阻抗应尽量小，以保证音频输出的质量，排除数字电路的干扰，通常的做法是将数字电源与模拟电源通过磁阻或者低阻抗电感相连，对两种电源进行高频和低频的滤波处理，保证模拟电源的抗干扰能力。

3.13.4 参考设计

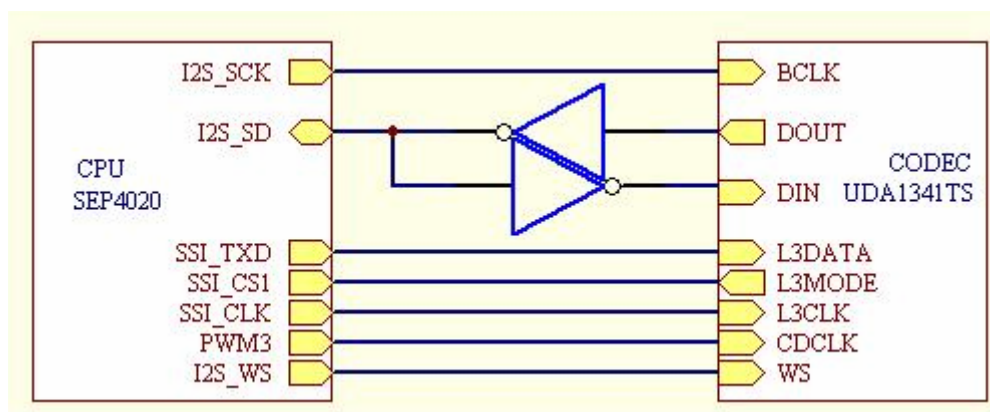


图 3.58 SEP4020 与外围 CODEC 连接示意图

3.14 智能卡控制接口（SMC）接口

3.14.1 简介

智能卡（Smart Card）控制器用来与带触点的符合智能卡 ISO7816 标准的异步集成电路卡进行通信，支持标准的 3.3V 智能卡，IO 电压兼容 5V。智能卡控制器有以下特性：

- 兼容 ISO7816 协议
- 支持 T=0 异步字符传输模式和 T=1 异步块传输模式
- 8 字节发送 FIFO 和 8 字节接收 FIFO
- 可配置发送时钟，1~5MHz
- 可配置等待时间
- 自动激活和释放
- 不支持可编程智能卡

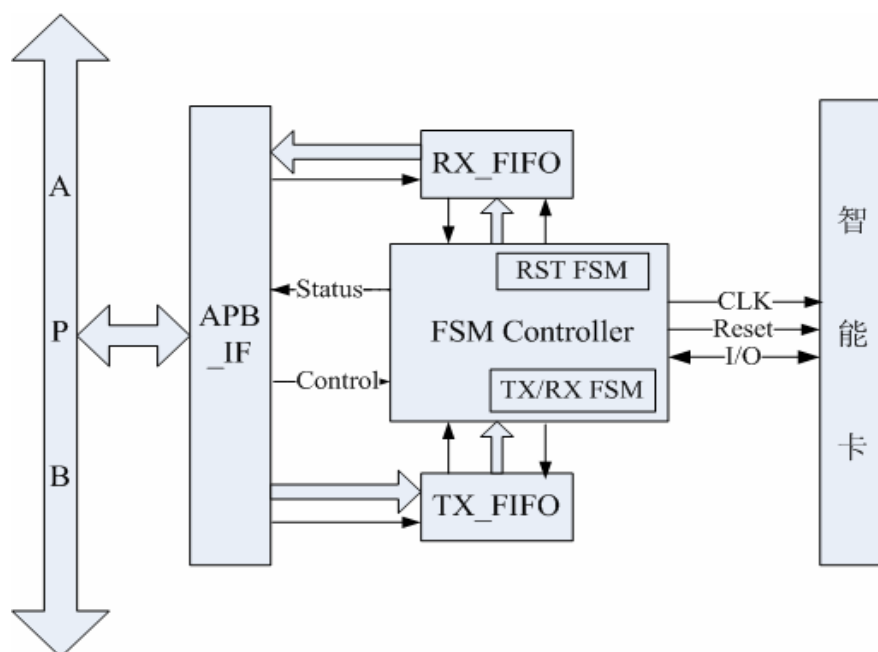


图 3.59 处理器内部智能卡接口框图

表格 3-16 智能卡触点表

物理触点	信号	物理触点	信号
C1	VCC	C5	GND
C2	RST	C6	NC.
C3	CLK	C7	I/O
C4	NC.	C8	NC.

3.14.2 兼容性设计

当智能卡插入系统的卡座后，控制器会检测到卡插入的这个操作，并对智能卡发出一个冷复位，智能卡将根据自身的属性返回复位响应，复位响应中包括工作模式、等待时间等一系列工作参数和状态，后续的会话，将按照智能卡提供的参数进行。如果冷复位之后控制器没有收到符合格式的复位响应，控制器继续发出一个热复位，如果智能卡对热复位仍然没有给出符合格式的复位响应，控制器将结束会话，并释放智能卡。智能卡的冷复位、热复位和释放时序，符合 IS07816 规范。

智能卡的数据帧一般由 10 个数据位组成，第一个是起始位，后面跟 8 个数据位，最后一个奇偶校验位。在没有会话的时候，数据接口 I/O 信号保持高电平。

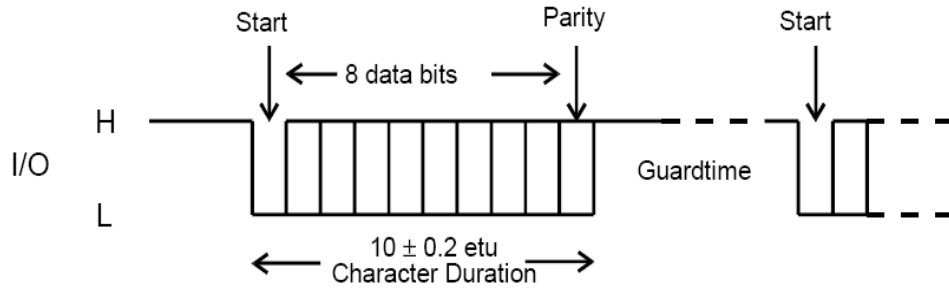


图 3.60 SmartCard 数据帧组成

3.14.3 注意事项

在实际应用中需要首先确定系统所要用到 IC 卡的工作电压，然后确定智能卡接口的电源供给。也可以通过 0 欧姆电阻进行切换或者利用 GPIO 控制 MOS 管对卡片的工作电压进行切换。

3.14.4 参考设计

在实际应用中，因为智能卡控制所需要的逻辑电路全部集成在处理器内部，对外提供智能卡（包括 CPU 卡和 memory 卡）控制需要的 3 个信号：CLK 时钟、RST 复位和 DAT 数据信号，只需连接上卡片接入的物理机械接口即可。具体接法如下图所示：

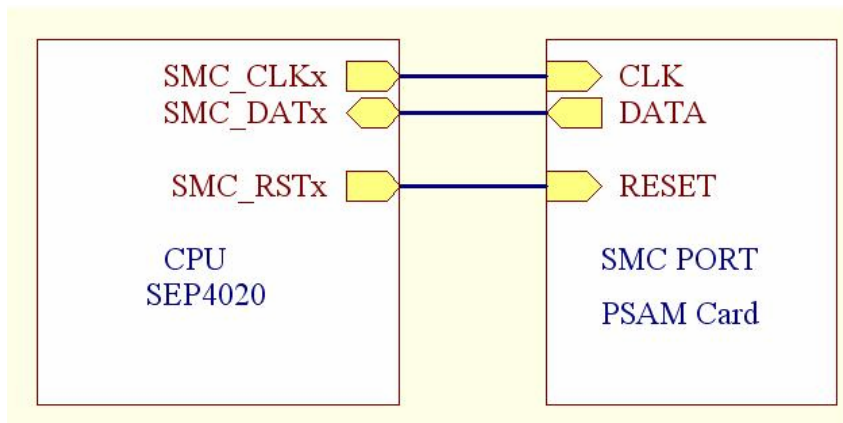
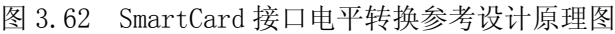


图 3.61 SmartCard 接口典型应用连接图

由于 SPE4020 的 I/O 电压为 3.3V，与目前常用的 5V CPU 卡存在电平兼容性问题，导致数据收发会出现异常，为了提高数据收发可靠性，在 SMC 接口的数据端口增加电平转换芯片 74HC245，同时用一个 GPIO 来控制 74HC245 的数据流向，具体的参考设计见下图：



3.15.1 简介

- 48MHZ 的系统时钟
- 支持 USB1.1 协议
- USBD 外挂异步 FIFO ， 发送和接受 FIFO 都为 32x16
- 一个配置，三个端点（CONTROL 端点和一个 IN 端点、一个 OUT 端点）
- USBD 外挂异步 FIFO ， 发送和接受 FIFO 都为 32x16
- 发送和接收包大小固定为 64 字节
- 全部同步设计
- DMA 传输方式，支持 DMA 的 BURST 和 SINGLE 传输方式
- USBD 模块外接 USB 的 PHY 模块，在整个系统内部和 APB 总线相连，通过 AMBA 的 APB 总线进行寄存器配置，通过 DMAC 进行数据的传输。

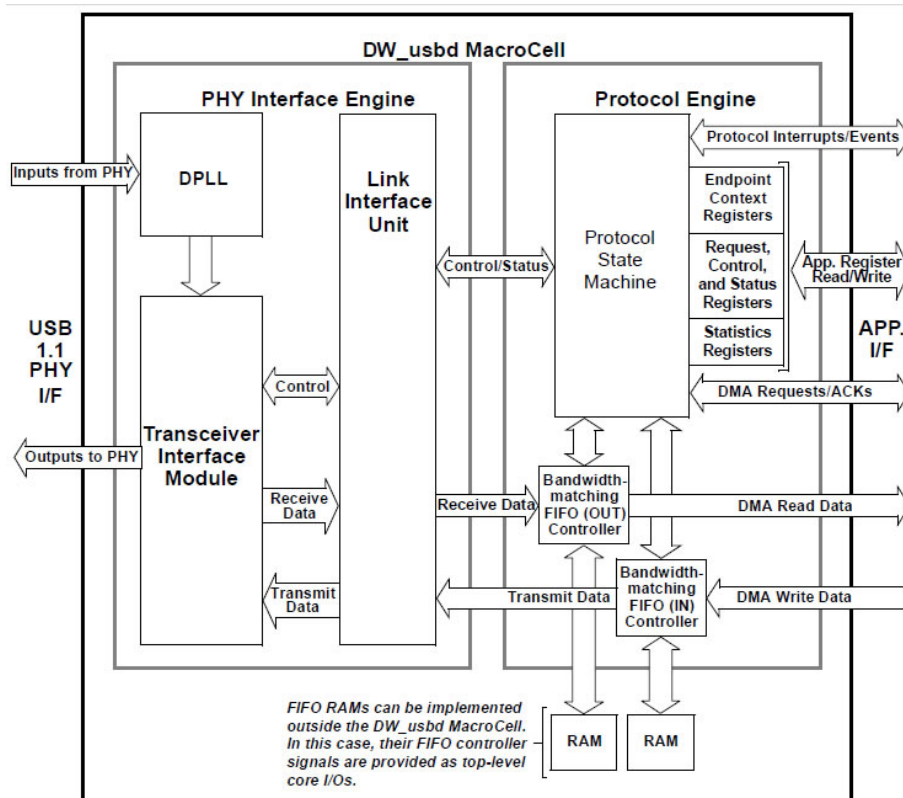


图 3.63 USB 芯片内部模块结构框图

3.15.2 兼容性设计

由于处理器将 USB DEVICE 1.1 的控制器以及 PHY（物理层接口）均做在芯片内部，所以板级设计只需在外部加上一个 USB DEVICE 的座子即可实现 USB DEVICE 的功能。

3.15.3 注意事项

其中处理器相关的引脚：VDD_USB 需连接 3.3V 逻辑电源，VSS_USB 需与逻辑地相连，另外的数据差分传输信号 D+ 和 D- 均直接连到 USB DEVICE 的接插件上即可，同时为了实现数据的稳定性传输需要在靠近 USB DEVICE 接口的地方加上适当的祖康匹配电阻（一般为 22~33 欧姆）。另外为了实现 USB DEVICE 的全速运行，D+ 引脚需加 1.5K 的上拉电阻到 3.3V。在实际应用中为了用 USB DEVICE 接口数据通讯，同时通过 USB DEVICE 接口从 PC 主 USB 接口取电。在实际应用中需要在 Linux 系统启动完成 USB DEVICE 设备初始化之前，只从 USB 主机取电，而不进行数据通讯，所以需要额外通过一个 GPIO 来控制 D+ 信号上的上拉电阻上拉与否，在对 USB DEVICE 设备初始化完成之前将上拉电阻断开，初始化完成后进行数据通讯前将上拉电阻接通，以实现取电和数据通讯的协同工作，具体的设计参考设计图 3.63 所示。

3.15.4 参考设计

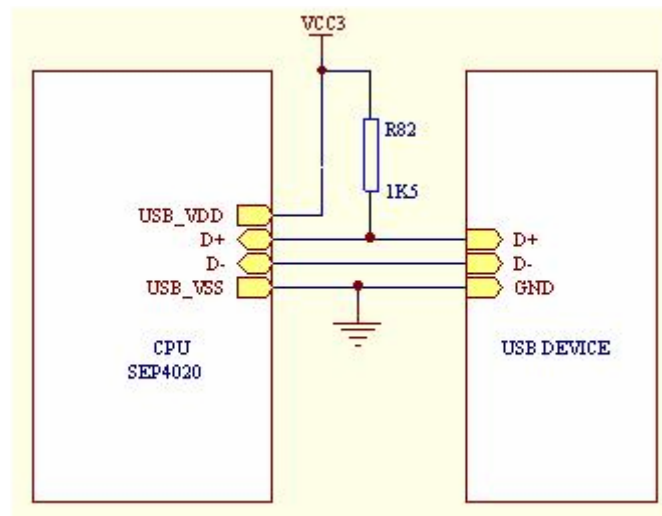


图 3.64 USB DEVICE 接口连接示意图

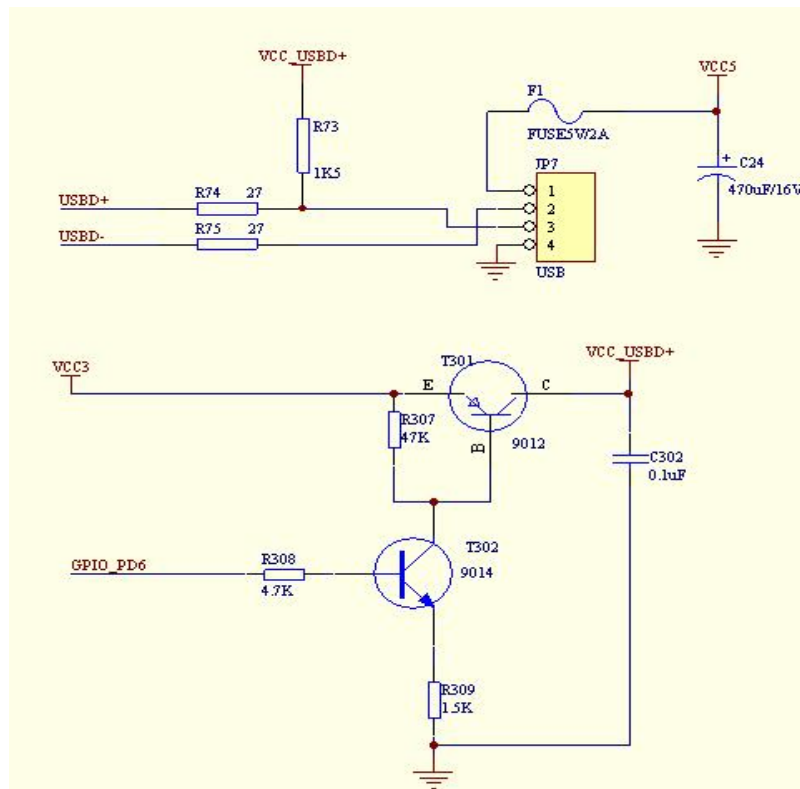


图 3.65 USB DEVICE 接口上拉电阻控制原理图

3.16 RMII MAC 接口

3.16.1 简介

SEP4020 提供 MAC 的 RMII 接口，MAC 控制器支持全双工、半双工模式下的 10Mbps 和 100Mbps 自适应传输，同时支持独立地址、多地址和广播地址的地址模式，可配置实现数据帧和控制帧的接受和响应。

- 兼容 IEEE 802.3、IEEE 802.3u 规范
- 支持 10M/100Mbps 传输速率
- 支持半双工、全双工模式
- 支持硬件流控
- 支持超短帧丢弃，支持超长帧自动截取
- 支持地址过滤和网络监听
- 仅支持 RMII 接口
- 兼容 AMBA 规范 2.0
- AHB MASTER 接口和 AHB SLAVE 接口
- 发送接收独立的 32×8 FIFO

3.16.2 兼容性设计

经过芯片的系统验证的外部 Phy 接口有以下几款：

型号	厂家	接口模式	备注	封装
DM9161E	DAVICOM	MII/RMII	10M/100Mbps	LQFP48
LAN8187	SMSC	MII/RMII	10M/100Mbps	TQFP64
DP83848	National Semiconductor	MII/RMII	10M/100Mbps	LQFP48

3.16.3 注意事项

在设计过程中需要对 Phy 的复位信号特别关注，可以与系统复位相连也可以通过处理器的 GPIO 提供单独的复位信号，两者在条件允许的情况下最好选择后者，因为这样对 Phy 的处理控制会更灵活；如果与系统复位信号相连时，须考虑到两者的复位时间长短要求，以复位最长的时间为准。对于 Phy 在上电复位期间需要采集的特殊引脚的电平需慎重处理，按照系统设计的要求选择接上拉电阻或者下拉电阻，在本系

统设计过程中由于采用 RMII 的接口，所以对外围引脚电平的处理需按照 RMII 模式进行处理。Phy 接口相关的模拟信号、模拟电源、地要与数字部分进行良好的隔离。

3.16.4 参考设计

下面以评估板中所用到的 DM9161E 为例说明 MAC 连接外部 Phy 的参考设计：

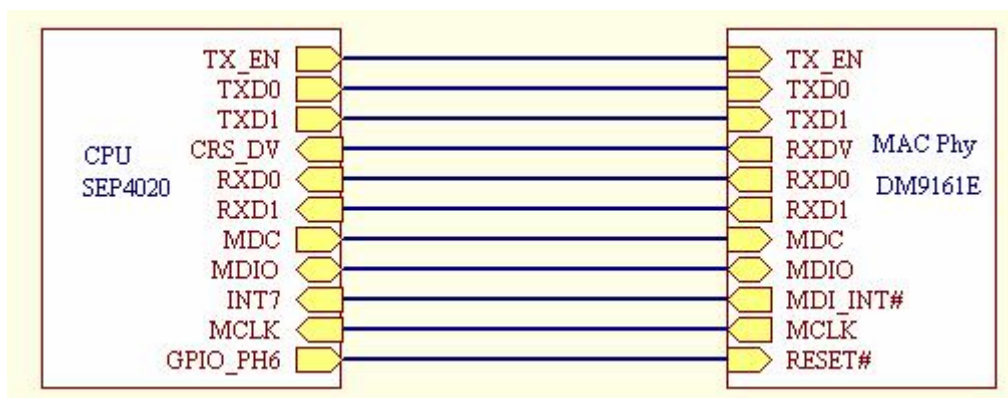


图 3.66 MAC 接口 Phy 连接示意图

3.17 USB HOST 接口

3.17.1 简介

USB HOST 通过总线外扩实现，控制器采用 EPSON 的 S1R72005 实现，兼容 USB2.0 协议和 OTG 功能，全速运行可达 12Mbps。

3.17.2 兼容性设计

经过芯片的系统验证的 USB HOST 控制器有以下几款：

型号	厂家	接口模式	封装
S1R72005	EPSON	USB2.0/OTG	TQFP64
S1D72V17	EPSON	USB2.0/OTG	QFP-80
S1D72V27	EPSON	USB2.0/OTG	QFP-80
SL811	CYPRESS	USB1.1	TQFP48

3.17.3 注意事项

在设计过程中需要注意以下两方面的问题：

- 1、USB HOST 的外部 DMA 接口处理，对于 SL811，由于控制器内部不提供外部 DMA 传输，所以需将 DMA 的请求应答信号 nDACK 加上拉电阻处理，DMA 请求信号 nDREQ 悬空即可；对于 S1R72005 控制器，支持外部 DMA 传输，可以与处理器 SEP4020 的外部 DMA 请求、应答连接即可。
- 2、控制器复位信号，可选择与系统复位连接或者利用处理器的 GPIO 实现复位。

3.17.4 参考设计

下面以 S1R72005 为例说明通过总线外扩 USB HOST 控制器的连接方法。

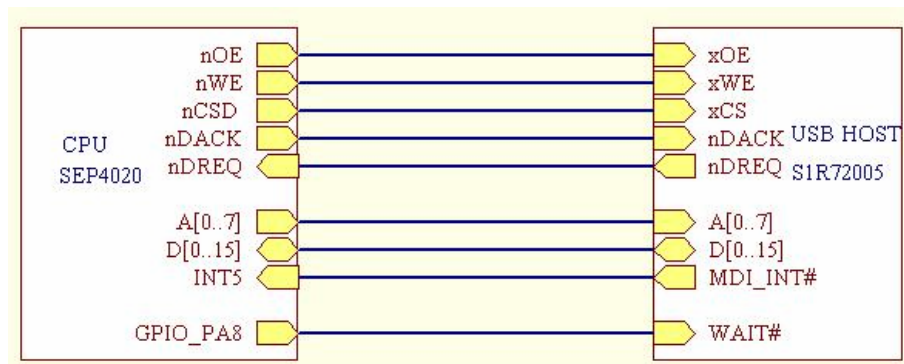


图 3.67 USB HOST 接口连接示意图

3.18 MMC/SD 卡接口

3.18.1 简介

SD 存储卡是为满足新近出现的视频和音频消费电子设备对于安全，容量，性能和环境的需求而设计的。SD 存储卡的物理参数，引脚定义以及数据传输的协议兼容 MMC 卡。SD 存储卡的通信是基于一个高级的九针接口（时钟线，命令线，四针数据线，三针电源线），这个接口可以工作在最大频率 25MHz 和低电压范围。SD 控制器集成于芯片内部，用以与 SD 卡进行通信，实现系统的 SD 功能扩展。

功能综述：

- 与 SD Memory Card Specification Version 1.01 完全兼容
- 与 MultiMediaCard System Specification Version 3.0 兼容

- 支持 SD 卡 1/4 位传输模式
- 支持单/多 Block 传输，Block 的长度以及数目可以配置
- 读数据超时的周期数可以配置
- 响应超时周期固定配置为 64 个周期
- 读写数据以及响应的 CRC 检查，CRC 出错产生相应中断
- 只支持一张 MMC/SD 卡
- 不支持 MMC 卡的 Stream 传输模式
- 不支持 SD 卡的高速模式
- 不支持 SDWP# 引脚
- 容量最大支持到 2GByte

不支持 SDCD# 引脚，倘若用户需要热插拔，可以将 SDCD# 连接到 GPIO 用以支持热插拔功能

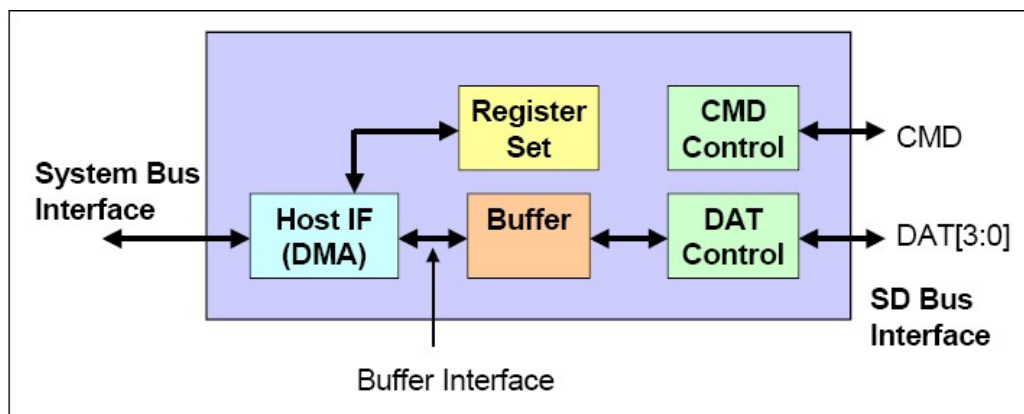


图 3.68 SD 卡硬件层次结构示意图

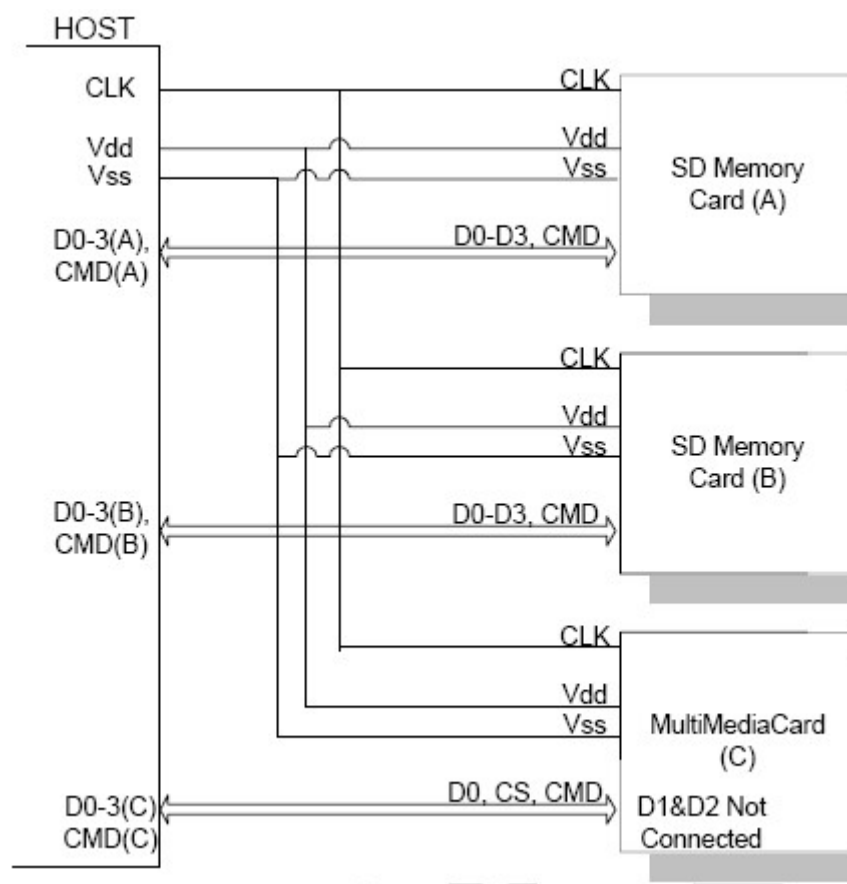


图3.69 SD卡的系统总线结构

3.18.2 兼容性设计

3.18.3 设计注意事项

在系统设计若需要使其支持卡的热插拔，需要将卡座提供的开关信号 **CD_SW** 接在处理器的外部中断上，当有卡插入插槽时，通过外部中断检测到卡，首先对卡进行初始化，然后再进行相应的操作。

3.18.4 参考设计

SD 卡控制器是集成在芯片内部的一个固定模块，在进行板级设计时只需按照相应的电路将对应的信号与 SD 卡的机械物理接口相连即可，具体的做法参见下图：

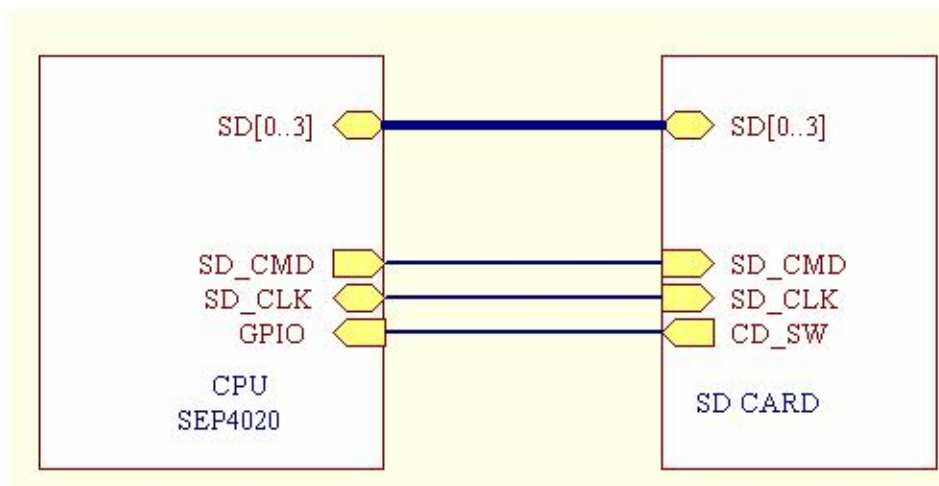


图 3.70 SD/MMC 卡典型应用连接图

3.19 通用输入输出接口（GPIO）

3.19.1 简介

SEP4020 的通用输入输出模块（General Purpose Input/Output, GPIO）连接于 APB 总线上。该模块共有 97 个引脚将和其他信号复用。本模块可以通过软件配置方式控制复用的 97 个引脚的输入输出方向以及用途。设计允许配置成为专用引脚用途或者通用引脚用途（包括接收外部中断）。

SEP4020 的通用输入输出模块（General Purpose Input/Output, GPIO）将复用的 97 个引脚分成 6 组，每组分别包含不同的数量的引脚，情况如下：

- Port A — 10 个引脚（可配置为特殊输入输出和通用输入输出，10 位可接受外部中断）
- Port B — 16 个引脚（可配置为特殊输入输出和通用输入输出）
- Port C — 8 个引脚（可配置为特殊输入输出和通用输入输出）
- Port D — 13 个引脚（可配置为特殊输入输出和通用输入输出，2 位可配成具有专用用途）
- Port E — 12 个引脚（可配置为特殊输入输出和通用输入输出）
- Port F — 8 个引脚（可配置为特殊输入输出和通用输入输出，4 位可接受外部中断）
- Port G — 12 个引脚（可配置为特殊输入输出和通用输入输出）
- Port H — 7 个引脚（可配置为特殊输入输出和通用输入输出）
- Port I — 9 个引脚（可配置为特殊输入输出和通用输入输出）

每个组均包含自己单独的配置寄存器，可以通过软件配置单个引脚的输入输出方向，作特殊用途还是通用用途，作为通用用途时可以写数据到通用用途数据寄存器然后将其送出片外；A 和 F 组还包含可以配置成为外部中断输入引脚，最多向中断控制器产生 14 个外部中断信号，并且中断的采样类型可以是上升沿、下降沿、正电平或者负电平。

SEP4020 的 GPIO 模块能处理各种中断输入，去除毛刺、同步到 APB 总线时钟并最终一律转换成为正电平中断信号输入中断控制器单元。最终中断的清除可通过写中断清除寄存器来清除中断信号。

功能综述：

- 包含 97 个方向可配置的复用引脚；
- 复用引脚的功能多用途（专用用途、通用用途、中断输入）
- 复用引脚输入输出方向可配
- 外部信号同步后输入
- 复用引脚可用于外部中断
- 外部中断触发类型边沿触发或电平可配
- 最多 14 个外部中断输入，11 个 IRQ 中断，3 个 FIQ 中断

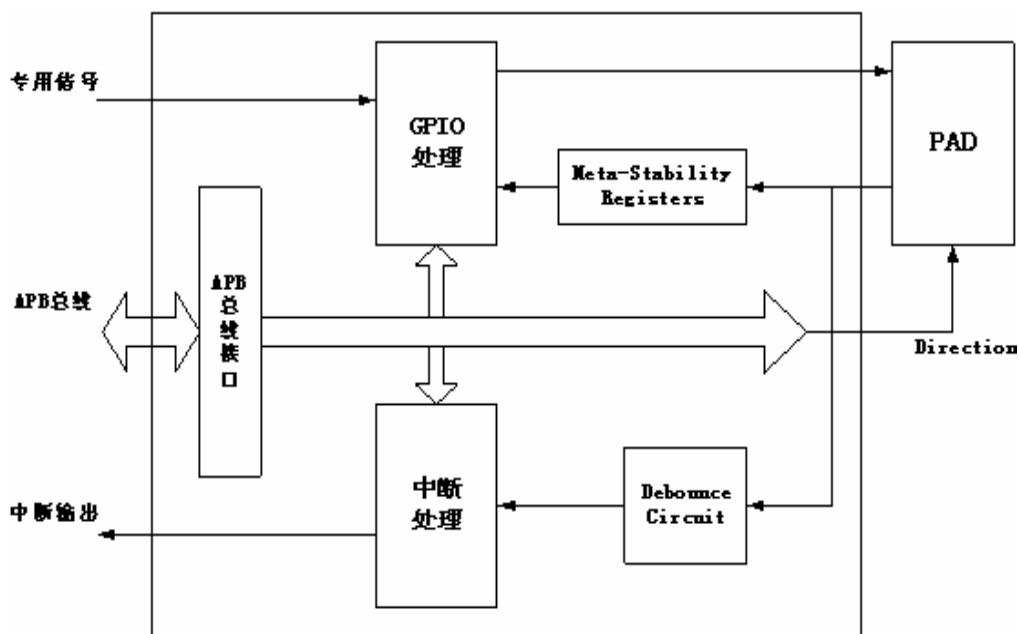


图 3.71 GPIO 模块在处理内部的结构框图

3.19.2 兼容性设计

在实际使用过程中需要首先明确 GPIO 的复用情况，对上电电平比较敏感的外设控制，需要加上拉或者下拉电阻来明确上电后的引脚电平；对于一个 GPIO 复用为多个功能用途的情况，必须添加双向模拟开关或者光耦进行隔离。

表 3-17 GPIO 模块接口信号（管脚复用情况列表）

管脚名称	方向	缺省功能	复用功能 1	复用功能 2	管脚名称
PORT A					
PWM3	I/O	脉冲调制信号	GPA9	EXTINT9	
PWM2	I/O	脉冲调制信号	GPA8	EXTINT8	
PWM1	I/O	脉冲调制信号	GPA7	EXTINT7	
PWM0	I/O	脉冲调制信号	GPA6	EXTINT6	
TIN6	I	时钟触发输入	GPA5	EXTINT5	
TIN5	I	时钟触发输入	GPA4	EXTINT4	
TIN4	I	时钟触发输入	GPA3	EXTINT3	
TIN3	I	时钟触发输入	GPA2	EXTINT2	
TOUT1	O	时钟脉冲输出	GPA1	EXTINT1	
TOUT0	O	时钟脉冲输出	GPA0	EXTINT0	
PORT B					
LD15	O	LCD 屏数据总线第 15 位	GPB15		
LD14	O	LCD 屏数据总线第 14 位	GPB14		
LD13	O	LCD 屏数据总线第 13 位	GPB13		
LD12	O	LCD 屏数据总线第 12 位	GPB12		
LD11	O	LCD 屏数据总线第 11 位	GPB11		
LD10	O	LCD 屏数据总线第 10 位	GPB10		
LD9	O	LCD 屏数据总线第 9 位	GPB9		
LD8	O	LCD 屏数据总线第 8 位	GPB8		
LD7	O	LCD 屏数据总线第 7 位	GPB7		
LD6	O	LCD 屏数据总线第 6 位	GPB6		
LD5	O	LCD 屏数据总线第 5 位	GPB5		
LD4	O	LCD 屏数据总线第 4 位	GPB4		
LD3	O	LCD 屏数据总线第 3 位	GPB3		
LD2	O	LCD 屏数据总线第 2 位	GPB2		
LD1	O	LCD 屏数据总线第 1 位	GPB1		
LD0	O	LCD 屏数据总线第 0 位	GPB0		
PORT C					
PIXCLK	O	像素时钟	GPC7		

LP	0	行脉冲信号	GPC6		
FLM	0	帧同步信号	GPC5		
ACD_OE	0	极性控制信号/LCD 使能信号	GPC4		
CONTRAST	0	对比度调节信号	GPC3		
I2S_SCK	I/O	I2S 时钟总线	GPC2		
I2S_WS	I/O	I2S 数据总线	GPC1		
I2S_SD	I/O	I2S 命令总线	GPC0		
PORT D					
RXD0	I	UART0 串行数据输入	GPD12		
TXD0	0	UART0 串行数据输出	GPD11		
TXD1	0	UART1 串行数据输入	GPD10		
RXD1	I	UART1 串行数据输出	GPD9		
TXD2	0	UART2 串行数据输入	GPD8		
RXD2	I	UART2 串行数据输出	GPD7		
TXD3	0	UART3 串行数据输入	GPD6	RTS2	
RXD3	I	UART3 串行数据输出	GPD5	CTS2	
SSI_CLK	0	SSI 时钟	GPD4		
SSI_CS1	0	SSI1 片选	GPD3		
SSI_CS0	0	SSI0 片选	GPD2		
SSI_TXD	0	SSI 数据输出	GPD1		
SSI_RXD	I	SSI 数据输入	GPD0		
PORT E					
SDC_CLK	0	SD 卡时钟	GPE11		
SDC_CMD	I/O	SD 卡命令线	GPE10		
SDC_DAT3	I/O	SD 卡数据线	GPE9		
SDC_DAT2	I/O	SD 卡数据线	GPE8		
SDC_DAT1	I/O	SD 卡数据线	GPE7		
SDC_DAT0	I/O	SD 卡数据线	GPE6		
SMC_CLK1	0	SMARTCARD1 时钟	GPE5		
SMC_RST1	0	SMARTCARD1 复位	GPE4		
SMC_DAT1	I/O	SMARTCARD1 数据	GPE3		
SMC_CLK0	0	SMARTCARD0 时钟	GPE2		
SMC_RST0	0	SMARTCARD0 复位	GPE1		

SMC_DAT0	I/O	SMARTCARD0 数据	GPE0		
PORT F					
DMACREQ	I	DMA 外部请求响应	GPF7		
DMACACK	0	DMA 外部请求	GPF6		
R_B	I	NAND FLASH ready/busy	GPF5		
FCLE	0	NAND FLASH 片选	GPF4		
FALE	0	NAND FLASH 地址锁存	GPF3	EXTINT13	
nFCE	0	NAND FLASH 命令锁存	GPF2	EXTINT12	
nFRE	0	NAND FLASH 读	GPF1	EXTINT11	
nFWE	0	NAND FLASH 写	GPF0	EXTINT10	
PORT G					
nCSA	0	SRAM/NOR FLASH 片选	GPG13		
nCSB	0	SRAM/NOR FLASH 片选	GPG12		
nCSC	0	SRAM/NOR FLASH 片选	GPG11		
nCSD	0	SRAM/NOR FLASH 片选	GPG10		
nOE	0	SRAM/NOR FLASH 读	GPG9		
nWE	0	SRAM/NOR FLASH 写	GPG8		
A22	0	地址线第 22 根	GPG7		
A21	0	地址线第 21 根	GPG6		
A20	0	地址线第 20 根	GPG5		
A19	0	地址线第 19 根	GPG4		
A18	0	地址线第 18 根	GPG3		
A17	0	地址线第 17 根	GPG2		
A16	0	地址线第 16 根	GPG1		
A15	0	地址线第 15 根	GPG0		
PORT H					
nCSF	0	SDRAM 片选	GPH6		
nCSE	0	SDRAM 片选	GPH5		
nSDRAS	0	SDRAM 行地址	GPH4		
nSDCAS	0	SDRAM 列地址	GPH3		
nSDWE	0	SDRAM 写使能	GPH2		
SD_A10	0	SDRAM 专用地址线，用于输出命令	GPH1		

nSDCKE	0	SDRAM 时钟使能	GPH0		
PORT I					
MCLK	I	MAC 时钟	GPI8		
MTXD1	0	MAC 发送数据第 1 位	GPI7		
MTXD0	0	MAC 发送数据第 0 位	GPI6		
MTXEN	0	MAC 发送使能	GPI5		
MCRS_DV	I	MAC 载波信号及接收有效	GPI4		
MRXD1	I	MAC 接收数据第 1 位	GPI3		
MRXD0	I	MAC 接收数据第 0 位	GPI2		
MDC	0	MAC 到 PHY 的时钟输出	GPI1		
MDIO	I/O	MAC 到 PHY 的输入输出数据	GPI0		

3.19.3 注意事项

在实际应用过程中 GPIO 上电复位后的功能均为缺省的特殊用途引脚，其中在使用中需要在 GPIO 上电后，软件未配置前为固定电平时分为两种情况来处理：

1、上电复位后缺省功能为输入引脚，则只需在外围加上上拉或者下拉电阻即可（一般为 10K）即可实现需要的高电平或者低电平；

2、上电复位后缺省功能为输出引脚，则无法用添加外部上拉电阻的途径获得固定的高电平或者低电平，只能通过外部加倒相器来实现特定的电平，或者上电后通过软件配置来获得特定的高、低电平；

3、普通 GPIO 的驱动能力为 4mA 左右，若需要大的电流驱动需要外部加驱动电路来实现，常用的有 OD（开漏）门或者（OC）集电极开路的门电路来实现；

3.19.4 参考设计

第三部分 附录

1. 处理器信号定义说明

管脚定义

管脚名	专用信号方向	描述	驱动电流 (mA)	属性	复位值
全局 (10)					
nRESET	I	芯片 Reset, 低电平有效	4	PU	-
XIN	CI	晶振的时钟输入	4	-	-
XOUT	CO	晶振的时钟输出	4	-	-
WAKEUP	I	系统唤醒信号	4	PD	-
SCANENABLE	I	测试扫描使能	4	-	-
SYS_SETUP[2:0]	I	系统配置, 包括 NAND 启动、NAND 启动配置、TestMode 和 ScanEnable 000: NOR FLASH 启动 001: NAND 启动, NAND 为 512, 地址 3 级 010: NAND 启动, NAND 为 512, 地址 4 级 011: NAND 启动, NAND 为 2K, 地址 4 级 100: NAND 启动, NAND 为 2K, 地址 5 级 101: 测试内部 Memory、ASIXCORE 和 DPLL 110: 测试随机逻辑 Others: 测试随机逻辑	4	PD	-
VDD_PLL	P	数字锁相环电源, +1.8V	-	-	-
VSS_PLL	P	数字锁相环地	-	-	-
EMI (63)					
A[20:0] A[22:21]	0	地址总线	4		1' H0
D[15:0]	I/O	数据总线	4		-
nCSA	0	SRAM/NOR FLASH 片选	4		1, H1
nCSB	0	SRAM/NOR FLASH 片选	4		1, H1
nCSC	0	SRAM/NOR FLASH 片选	4		1, H1
nCSD	0	SRAM/NOR FLASH 片选	4		1, H1
nWE	0	SRAM/NOR FLASH 写使能	4		1, H1
nOE	0	SRAM/NOR FLASH 读使能	4		1, H1
nSDCSE	0	SRAM/NOR FLASH/SDRAM 片选, 缺省 SDRAM 片选	4		1, H1
nSDCSF	0	SRAM/NOR FLASH/SDRAM 片选, 缺省 SRAM/NOR FLASH 片选	4		1, H1

SDCLK	0	SDRAM 时钟	12		—
nSDCKE	0	SDRAM 时钟使能	4		1, H1
nSDRAS	0	SDRAM 行地址	4		1, H1
nSDCAS	0	SDRAM 列地址	4		1, H1
nSDWE	0	SDRAM 写使能	4		1, H1
SD_A10	0	SDRAM 专用地址线, 用于输出命令	4		1, H1
DQM[1:0]	0	SRAM/SDRAM 字节使能	4		1' H0
DMACREQ	I	DMAC 服务请求	4		—
DMACACK	0	DMAC 服务应答	4		1' H0
R_B	I	NAND FLASH ready/busy	4		—
FCLE	0	NAND FLASH 命令锁存	4		1' H0
FALE	0	NAND FLASH 地址锁存	4		1' H0
nFCE	0	NAND FLASH 片选	4		1, H1
nFRE	0	NAND FLASH 读	4		1, H1
nFWE	0	NAND FLASH 写	4		1, H1
MAC (9)					
MCLK	I	50MHz 时钟	4		—
MTXD[1:0]	0	发送数据	4		1' H0
MTXEN	0	发送数据使能	4		1' H0
MCRS_DV	I	接收数据 Valid	4		—
MRXD[1:0]	I	接收数据	4		—
MDC	0	管理接口时钟	4		1' H0
MDIO	I/O	双向管理接口	4		—
SMC (6)					
SMC_CLK[1:0]	I/O	Smart Card 时钟	4		1' H0
SMC_IO[1:0]	I/O	Smart Card 数据	4		—
SMC_RST[1:0]	I/O	Smart Card 复位	4		1, H1
SDIO (6)					
SD_CMD	I/O	MMC/SD 命令	4		—
SD_DAT[3:0]	I/O	MMC/SD 数据	4		—
SD_CLK	0	MMC/SD 时钟	4		1' H0
RTC (4)					
CLK32_XIN	CI	32.768KHz 晶振输入端	—		—
CLK32_XOUT	CO	32.768KHz 晶振输出端	—		—
VDD_B	P	备用电池电源, +1.8V	—		+1.8V
VSS_B	P	备用电池地	—		1' H0
TIMER (6)					
TIN[6:3]	I	时钟触发输入	4		—
TOUT[1:0]	0	Match Out 输出	4		1' H0
PWM (4)					
PWM[3:0]	I/O	脉宽调制输出信号/高速 I/O 的输入输出/TIMER 的 Match Out	4		1' H0
USB (2)					
USBD+	I/O	USB 差分信号	4		1, H1
USBD-	I/O	USB 差分信号	4		—
I2S (3)					
SCK	I/O	I2S 时钟	4		1' H0
WS	I/O	I2S 字选择信号	4		1' H0

SD	I/O	I2S 数据	4		1' H0
UART/IrDA (10)					
RXD0	I	UART0 串行数据输入	4		-
TXD0	O	UART0 串行数据输出	4		1, H1
CTS0	I	UART0 数据接收响应	4		1, H1
RTS0	O	UART0 数据发送请求	4		-
TXD1	O	UART1 串行数据输出	4		1, H1
RXD1	I	UART1 串行数据输入	4		-
TXD2	O	UART2 串行数据输出	4		1, H1
RXD2	I	UART2 串行数据输入	4		-
TXD3	O	UART3 串行数据输出	4		
RXD3	I	UART3 串行数据输入	4		1' H0
SSI (5)					
SSI_CLK	O	SSI 时钟	4		1' H0
SSI_CS[1:0]	O	SSI 片选	4		-
SSI_TXD	O	SSI 数据输出	4		
SSI_RXD	I	SSI 输入数据	4		1' H0
LCDC (21)					
LD[15:0]	O	LCD 屏数据总线	4		1' H0
PIXCLK	O	像素时钟	4		1' H0
LP	O	行脉冲信号	4		1' H0
FLM	O	帧同步信号	4		1' H0
ACD/OE	O	极性控制信号/LCD 使能信号	4		
CONTRAST	O	对比度调节信号	4		-
JTAG (5)					
nTRST	I	TAP 控制器复位信号	4		-
TMS	I	TAP 控制状态	4		-
TCK	I	JTAG 模块时钟信号	4		-
TDI	I	JTAG 数据输入信号	4		
TDO	O	JTAG 数据输出信号	4		+3.3V
POWER (22)					
VDD_IO[7:1]	P	I/O 电源, +3.3V	-		+1.8V
VSS_IO[7:1]	G	I/O 地	-		0
VDD_CORE[4:1]	P	内核电源, +1.8V	-	PU	-
VSS_CORE[4:1]	G	内核地	-	-	-

注释: 1.) "I" 表示输入, "O" 表示输出, "I/O" 表示输入/输出, "P" 表示电源或者地管脚。

2.) "ST" 表示标准的输入/输出, "PU" 表示带上拉电阻的输入/输出, "PD" 表示带下拉电阻的输入/输出。

3.) 复位值表示系统复位后各个管脚的默认值。"-" 表示当前管脚为时钟或者其复位时默认为输入

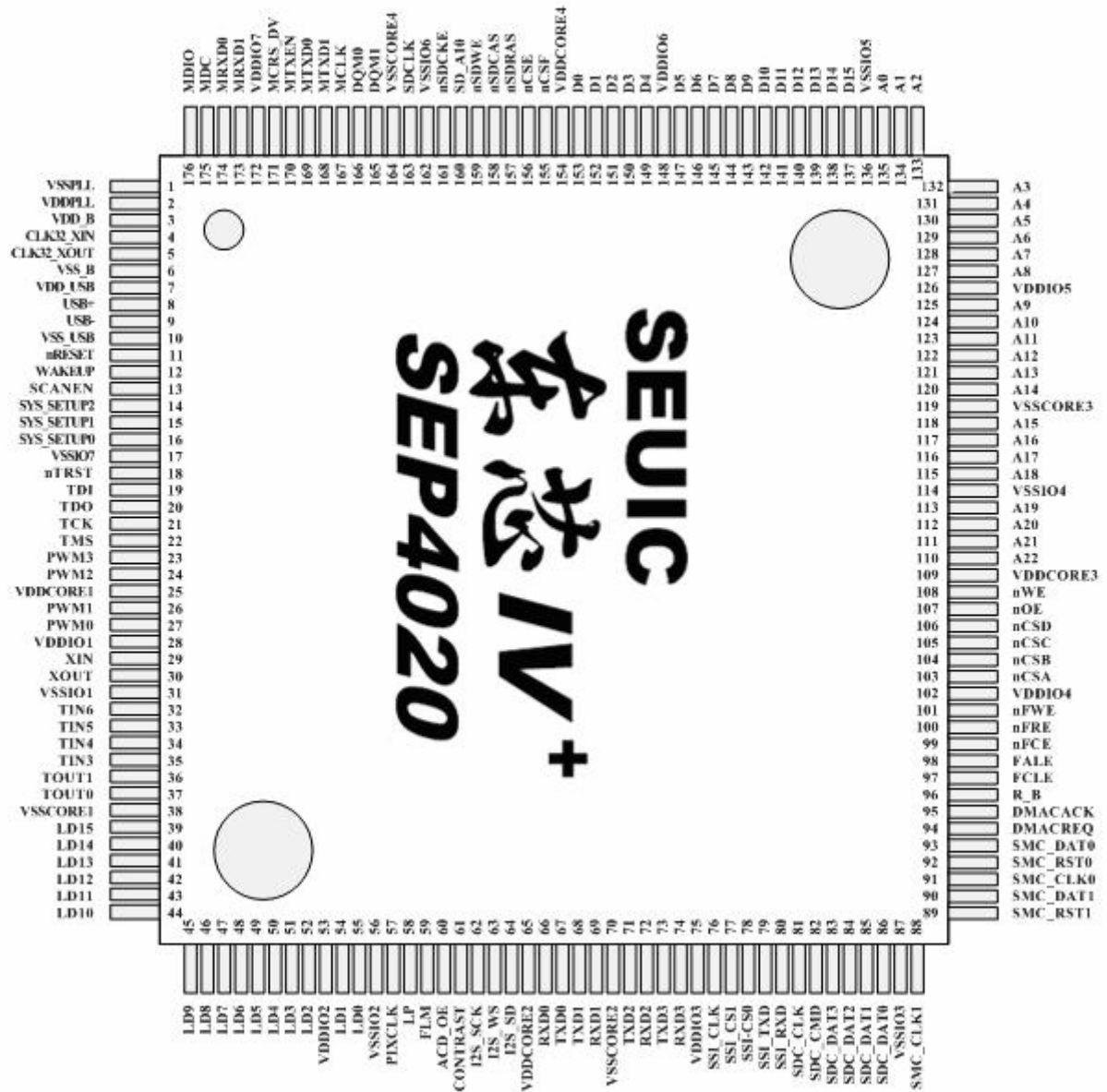


图 4.1 SEP4020 管脚分布图

3 主要寄存器列表

EMI 模块的基址：0x11000000

表格 4-1 EMI 寄存器列表

名称	偏移地址	复位值	描述
CSACONF	0x000	0x08656551	CSA 参数配置寄存器
CSBCONF	0x004	0x09656551	CSB 参数配置寄存器
CSCCONF	0x008	0x0A656551	CSC 参数配置寄存器
CSDCONF	0x00C	0x0B656551	CSD 参数配置寄存器
CSECONF	0x010	0x8C656551	CSE 参数配置寄存器
CSFCONF	0x014	0x0D656551	CSF 参数配置寄存器
SDCONF1	0x018	0x1C004077	SDRAM 时序配置寄存器 1
SDCONF2	0x01C	0x00001860	SDRAM 时序配置寄存器 2，SDRAM 初始化用到的配置信息
REMAPCONF	0x020	0x00000003	片选空间及地址映射 REMAP 配置寄存器
NAND_ADDR1	0x100	0x00000000	NAND FLASH 的地址寄存器 1
NAND_COM	0x104	0x00000000	NAND FLASH 的控制字寄存器
NAND_STA	0x10C	0x00000000	NAND FLASH 的状态寄存器
ERR_ADDR1	0x110	0x00000000	读操作出错的地址寄存器 1
ERR_ADDR2	0x114	0x00000000	读操作出错的地址寄存器 2
NAND_CONF1	0x118	0x06202857	NAND FLASH 的配置寄存器 1
NAND_INTR	0x11C	0x00000000	NAND FLASH 中断寄存器
NAND_ECC	0x120	0x00000000	ECC 校验完成寄存器
NAND_IDLE	0x124	0x00000001	NAND FLASH 空闲寄存器
NAND_CONF2	0x128	0x00114353	NAND FLASH 的配置寄存器 2
NAND_ADDR2	0x12C	0x00000000	NAND FLASH 的地址寄存器 2
NAND_ID	0x130	0x00000000	NAND FLASH 的 ID 寄存器
NAND_DATA	0x200	0x00000000	NAND FLASH 的数据寄存器

PMC 模块的基址：0x10001000

表格 4-2 PMC 寄存器列表

名称	偏移地址	复位值	描述
PLTR	0x000	0x00fa_00fa	PLL 的稳定过渡时间
PMCR	0x004	0x0000_0594	系统主时钟 PLL 的控制寄存器
PUCR	0x008	0x0000_0593	USB 时钟 PLL 的控制寄存器
PCSR	0x00C	0x0000_0019	内部模块时钟源供给的控制寄存器
PDSLOW	0x010	0x0000_0004	SLOW 状态下时钟的分频因子
PMDR	0x014	0x0000_0000	芯片工作模式寄存器
RCTR	0x018	0x0000_0000	Reset 控制寄存器
CLRWAKUP	0x01C	0x0000_0000	WakeUp 清除寄存器
PDAPB	0x020	—	保留未用（用于扩展总线时钟分频比寄存器）
PLLTS	0x024	0x0000_0001	PLL 时钟外部测试输出控制寄存器

INTC 模块的基址：0x10000000

表格 4-3 INTC 寄存器列表

名称	偏移地址	复位值	描述
IER	0x00	0x00000000	IRQ 中断允许寄存器
IMR	0x08	0x00000000	IRQ 中断屏蔽寄存器
IFR	0x10	0x00000000	IRQ 软件强制中断寄存器
IRSR	0x18	0x00000000	IRQ 未处理中断状态寄存器
ISR	0x20	0x00000000	IRQ 中断状态寄存器
IMSR	0x28	0x00000000	IRQ 屏蔽中断状态寄存器
IFSR	0x30	0x00000000	IRQ 中断最终状态寄存器
FIER	0xc0	0x00000000	FIQ 中断允许寄存器
FIMR	0xc4	0x00000000	FIQ 中断屏蔽寄存器
FIFR	0xc8	0x00000000	FIQ 软件强制中断寄存器
FIRSR	0xcc	0x00000000	FIQ 未处理中断状态寄存器
FISR	0xd0	0x00000000	FIQ 中断状态寄存器
FIFSR	0xd4	0x00000000	FIQ 中断最终状态寄存器
IPLR	0xd8	0x00000000	IRQ 中断优先级寄存器
ICR1	0xdc	0x89abcdef	IRQ 内部中断优先级控制寄存器 1
ICR2	0xe0	0x01234567	IRQ 内部中断优先级控制寄存器 2
EXICR1	0xe4	0x89abcdef	IRQ 外部中断优先级控制寄存器 1
EXICR2	0xe8	0x01234567	IRQ 外部中断优先级控制寄存器 2

DMAC 模块的基址：0x11001000

表格 4-4 DMAC 寄存器表

名称	偏移地址	复位值	描述
DMACIntStatus	0x020	0x0	DAMC 中断状态寄存器。
DMACIntTCStatus	0x050	0x0	DMAC 传输完成中断状态寄存器
DMACIntTCClear	0x060	0x0	DMAC 传输完成中断状态清除寄存器
DMACIntRawTCStatus	0x070	0x0	DMAC 传输完成中断屏蔽状态寄存器
DMACIntErrorStatus	0x080	0x0	DMAC 传输错误中断状态寄存器
DMACIntErrClr	0x090	0x0	DMAC 传输错误中断状态清除寄存器
DMACIntRawErrorStatus	0x0A0	0x0	DMAC 错误中断屏蔽状态寄存器
DMACEnbldChns	0x0B0	0x0	DMAC 通道使能状态寄存器
DMACC0SrcAddr	0x000	0x0	DMAC 道 0 源地址寄存器
DMACC0DestAddr	0x004	0x0	DMAC 道 0 目的地址寄存器
DMACC0Control	0x00C	0x0	DMAC 道 0 控制寄存器
DMACC0Configuration	0x010	0x0	DMAC 道 0 配置寄存器
DMACC0Descriptor	0x014	0x0	DMAC 道 0 链表地址寄存器
DMACC1SrcAddr	0x100	0x0	DMAC 道 1 源地址寄存器
DMACC1DestAddr	0x104	0x0	DMAC 道 1 目的地址寄存器
DMACC1Control	0x10C	0x0	DMAC 道 1 控制寄存器
DMACC1Configuration	0x110	0x0	DMAC 道 1 配置寄存器
DMACC1Descriptor	0x114	0x0	DMAC 道 1 链表地址寄存器
DMACC2SrcAddr	0x200	0x0	DMAC 道 2 源地址寄存器
DMACC2DestAddr	0x204	0x0	DMAC 道 2 目的地址寄存器
DMACC2Control	0x20C	0x0	DMAC 道 2 控制寄存器
DMACC2Configuration	0x210	0x0	DMAC 道 2 配置寄存器
DMACC2Descriptor	0x214	0x0	DMAC 道 2 链表地址寄存器
DMACC3SrcAddr	0x300	0x0	DMAC 道 3 源地址寄存器
DMACC3DestAddr	0x304	0x0	DMAC 道 3 目的地址寄存器
DMACC3Control	0x30C	0x0	DMAC 道 3 控制寄存器
DMACC3Configuration	0x310	0x0	DMAC 道 3 配置寄存器
DMACC3Descriptor	0x314	0x0	DMAC 道 3 链表地址寄存器
DMACC4SrcAddr	0x400	0x0	DMAC 道 4 源地址寄存器
DMACC4DestAddr	0x404	0x0	DMAC 道 4 目的地址寄存器

DMACC4Control	0x40C	0x0	DMAC 道 4 控制寄存器
DMACC4Configuration	0x410	0x0	DMAC 道 4 配置寄存器
DMACC4Descriptor	0x414	0x0	DMAC 道 4 链表地址寄存器
DMACC5SrcAddr	0x500	0x0	DMAC 道 5 源地址寄存器
DMACC5DestAddr	0x504	0x0	DMAC 道 5 目的地址寄存器
DMACC5Control	0x50C	0x0	DMAC 道 5 控制寄存器
DMACC5Configuration	0x510	0x0	DMAC 道 5 配置寄存器
DMACC5Descriptor	0x514	0x0	DMAC 道 5 链表地址寄存器

LCDC 模块的基址:0x11002000

表格 4-5 寄存器列表

寄存器名称	偏移地址	复位值	描述
SSA	0x00	0x00000000	屏幕起始地址寄存器
SIZE	0x04	0x00000000	屏幕尺寸寄存器
PCR	0x08	0x00000000	面板配置寄存器
HCR	0x0C	0x00000000	水平配置寄存器
VCR	0x10	0x00000000	垂直配置寄存器
PWMR	0x14	0x00000000	PWM 对比度控制寄存器
LECR	0x18	0x00000000	使能控制寄存器
DMACR	0x1c	0x00000000	DMA 控制寄存器
LCDISREN	0x20	0x00000000	中断使能寄存器
LCDISR	0x24	0x00000000	中断状态寄存器
LGPMPR	0x40~0x7c	0x00000000	灰度调色映射寄存器组 (16 个 32bit 寄存器)

MAC 模块的基址：0x11003000

表格 4-6 MAC 寄存器总表

寄存器名	偏移地址	复位值	描述
MAC_CTRL	0x00	0x0000A000	MAC 控制寄存器。
MAC_INTSRC	0x04	0x00000000	MAC 中断源寄存器
MAC_INTMASK	0x08	0x00000000	MAC 中断屏蔽寄存器
MAC_IPGT	0x0C	0x00000012	连续帧间隔寄存器
MAC_IPGR1	0x10	0x0000000C	等待窗口寄存器
MAC_IPGR2	0x14	0x00000012	等待窗口寄存器
MAC_PACKETLEN	0x18	0x00400600	帧长度寄存器
MAC_COLLCONF	0x1C	0x000F003F	碰撞重发寄存器
MAC_TXBD_NUM	0x20	0x00000040	发送描述符数目寄存器
MAC_FLOWCTRL	0x24	0x00000000	流控寄存器
MII_CTRL	0x28	0x00000064	PHY 控制寄存器
MII_CMD	0x2C	0x00000000	PHY 命令寄存器
MII_ADDRESS	0x30	0x00000000	PHY 地址寄存器
MII_TXDATA	0x34	0x00000000	PHY 写数据寄存器
MII_RXDATA	0x38	0x00000000	PHY 读数据寄存器
MII_STATUS	0x3C	0x00000000	PHY 状态寄存器
MAC_ADDR0	0x40	0x00000000	MAC 地址寄存器
MAC_ADDR1	0x44	0x00000000	MAC 地址寄存器
MAC_HASH0	0x48	0x00000000	MAC HASH 寄存器
MAC_HASH1	0x4C	0x00000000	MAC HASH 寄存器
MAC_TXPAUSE	0x50	0x00000000	MAC 控制帧寄存器
MAC_BD	0x400~0x7FF		描述符，共 128 个，处于 RAM 区

RTC 模块的基址：0x10002000

表格 4-7 RTC 寄存器总表

寄存器名称	偏移地址	复位值	描述
STA_YMD	0x00	0x0	年、月、日计数寄存器
STA_HMS	0x04	0x0	小时、分钟、秒寄存器
ALARM_ALL	0x08	0x0	定时月、日、时、分寄存器
CTR	0x0c	0x0	控制寄存器
INT_EN	0x10	0x02	中断使能寄存器
INT_STS	0x14	0x0	中断状态寄存器
SAMP	0x18	0x0	采样周期寄存器
WD_CNT	01c		Watch-Dog 计数值寄存器
CONFIG_CHECK	0x24	0x0	配置时间确认寄存器（在配置时间之前先写 0xaaaaaaaa）
KEY0	0x2c	0x0	密钥寄存器 0

TIMER 模块的基址：0x10003000

表格 4-8 TIMER 寄存器表

名称	偏移地址	复位值	描述
T1LCR	0x00	0x00	通道 1 加载计数寄存器
T1CCR	0x04	0x00	通道 1 当前计数值寄存器
T1CR	0x08	0x00	通道 1 控制寄存器
T1ISCR	0x0C	0x00	通道 1 中断状态清除寄存器
T1IMSR	0x10	0x00	通道 1 中断屏蔽状态寄存器
T2LCR	0x20	0x00	通道 2 加载计数寄存器
T2CCR	0x24	0x00	通道 2 当前计数值寄存器
T2CR	0x28	0x00	通道 2 控制寄存器
T2ISCR	0x2C	0x00	通道 2 中断状态清除寄存器
T2IMSR	0x30	0x00	通道 2 中断屏蔽状态寄存器
T3LCR	0x40	0x00	通道 3 加载计数寄存器
T3CCR	0x44	0x00	通道 3 当前计数值寄存器
T3CR	0x48	0x00	通道 3 控制寄存器
T3ISCR	0x4C	0x00	通道 3 中断状态清除寄存器
T3IMSR	0x50	0x00	通道 3 中断屏蔽状态寄存器

T3CAPR	0x54	0x00	通道 3 捕获寄存器
T4LCR	0x60	0x00	通道 4 加载计数寄存器
T4CCR	0x64	0x00	通道 4 当前计数值寄存器
T4CR	0x68	0x00	通道 4 控制寄存器
T4ISCR	0x6C	0x00	通道 4 中断状态清除寄存器
T4IMSR	0x70	0x00	通道 4 中断屏蔽状态寄存器
T4CAPR	0x74	0x00	通道 4 捕获寄存器
T5LCR	0x80	0x00	通道 5 加载计数寄存器
T5CCR	0x84	0x00	通道 5 当前计数值寄存器
T5CR	0x88	0x00	通道 5 控制寄存器
T5ISCR	0x8C	0x00	通道 5 中断状态清除寄存器
T5IMSR	0x90	0x00	通道 5 中断屏蔽状态寄存器
T5CAPR	0x94	0x00	通道 5 捕获寄存器
T6LCR	0xA0	0x00	通道 6 加载计数寄存器
T6CCR	0xA4	0x00	通道 6 当前计数值寄存器
T6CR	0xA8	0x00	通道 6 控制寄存器
T6ISCR	0xAC	0x00	通道 6 中断状态清除寄存器
T6IMSR	0xB0	0x00	通道 6 中断屏蔽状态寄存器
T6CAPR	0xB4	0x00	通道 6 捕获寄存器
T7LCR	0xC0	0x00	通道 7 加载计数寄存器
T7CCR	0xC4	0x00	通道 7 当前计数值寄存器
T7CR	0xC8	0x00	通道 7 控制寄存器
T7ISCR	0xCC	0x00	通道 7 中断状态清除寄存器
T7IMSR	0xD0	0x00	通道 7 中断屏蔽状态寄存器
T8LCR	0xE0	0x00	通道 8 加载计数寄存器
T8CCR	0xE4	0x00	通道 8 当前计数值寄存器
T8CR	0xE8	0x00	通道 8 控制寄存器
T8ISCR	0xEC	0x00	通道 8 中断状态清除寄存器
T8IMSR	0xF0	0x00	通道 8 中断屏蔽状态寄存器
T9LCR	0x100	0x00	通道 9 加载计数寄存器
T9CCR	0x104	0x00	通道 9 当前计数值寄存器
T9CR	0x108	0x00	通道 9 控制寄存器
T9ISCR	0x10C	0x00	通道 9 中断状态清除寄存器

T9IMSR	0x110	0x00	通道 9 中断屏蔽状态寄存器
T10LCR	0x120	0x00	通道 10 加载计数寄存器
T10CCR	0x124	0x00	通道 10 当前计数值寄存器
T10CR	0x128	0x00	通道 10 控制寄存器
T10ISCR	0x12C	0x00	通道 10 中断状态清除寄存器
T10IMSR	0x130	0x00	通道 10 中断屏蔽状态寄存器
TIMSR	0x140	0x00	TIMER 中断屏蔽状态寄存器
TISCR	0x144	0x00	TIMER 中断状态清除寄存器
TISR	0x148	0x00	TIMER 中断状态寄存器

脉宽调制模块的基址：0x10004000

表格 4-9 PWM 寄存器列表

名称	偏移地址	复位值	描述
PWM1_CTRL	0x00	0x00000000	PWM1 控制寄存器
PWM1_DIV	0x04	0x00000000	PWM1 分频寄存器
PWM1_PERIOD	0x08	0x0000ffff	PWM1 周期寄存器
PWM1_DATA	0x0C	--	PWM1 数据寄存器
PWM1_CNT	0x10	0x00000000	PWM1 计数寄存器
PWM1_STATUS	0x14	0x00000003	PWM1 状态寄存器
PWM2_CTRL	0x20	0x00000000	PWM2 控制寄存器
PWM2_DIV	0x24	0x00000000	PWM2 分频寄存器
PWM2_PERIOD	0x28	0x0000ffff	PWM2 周期寄存器
PWM2_DATA	0x2C	--	PWM2 数据寄存器
PWM2_CNT	0x30	0x00000000	PWM2 计数寄存器
PWM2_STATUS	0x34	0x00000003	PWM2 状态寄存器
PWM3_CTRL	0x40	0x00000000	PWM3 控制寄存器
PWM3_DIV	0x44	0x00000000	PWM3 分频寄存器
PWM3_PERIOD	0x48	0x0000ffff	PWM3 周期寄存器
PWM3_DATA	0x4C	--	PWM3 数据寄存器
PWM3_CNT	0x50	0x00000000	PWM3 计数寄存器
PWM3_STATUS	0x54	0x00000003	PWM3 状态寄存器
PWM4_CTRL	0x60	0x00000000	PWM4 控制寄存器
PWM4_DIV	0x64	0x00000000	PWM4 分频寄存器
PWM4_PERIOD	0x68	0x0000ffff	PWM4 周期寄存器
PWM4_DATA	0x6C	--	PWM4 数据寄存器
PWM4_CNT	0x70	0x00000000	PWM4 计数寄存器
PWM4_STATUS	0x74	0x00000003	PWM4 状态寄存器
PWM_INTMASK	0x80	0x0000000f	PWM 中断屏蔽寄存器
PWM_INT	0x84	0x00000000	PWM 中断寄存器
PWM_ENABLE	0x88	0x00000000	PWM 使能寄存器

UART0 模块的基址：0x10005000

UART1 模块的基址：0x10006000

UART2 模块的基址：0x10007000

UART3 模块的基址：0x10008000

表格 4-10 UART 寄存器列表

偏移地址	SEL*	寄存器名	复位值	描述
00h	1	DLBL	0x00	波特率设置低八位寄存器
	0	RXFIFO	0x00	接收 FIFO
	0	TXFIFO	0x00	发送 FIFO
04h	1	DLBH	0x00	波特率设置高八位寄存器
	0	IER	0x00	中断使能寄存器
08h	—	IIR	0xc1	中断识别寄存器
	—	FCR	0xc1	FIFO 控制寄存器
0ch	—	LCR	0x00	行控制寄存器
10h	—	MCR	0x00	Modem 控制寄存器
14h	—	LSR	0x00	行状态寄存器
18h	—	MSR	0x00	Modem 状态寄存器

SSI 模块的基址：0x10009000

表格 4-11 SSI 寄存器列表

名称	偏移地址	复位值	描 述
CONTROL0	0x00	0x07	控制寄存器 0
CONTROL1	0x04	0x00	控制寄存器 1
SSIENR	0x08	0x00	SSI 使能寄存器
MWCR	0x0C	0x00	Microwire 控制寄存器
SER	0x10	0x00	从设备使能寄存器
BAUDR	0x14	0x00	波特率设置寄存器
TXFTLR	0x18	0x00	发送 FIFO 阈值寄存器
RXFTLR	0x1C	0x00	接收 FIFO 阈值寄存器
TXFLR	0x20	0x00	发送 FIFO 状态寄存器
RXFLR	0x24	0x00	接收 FIFO 状态寄存器

SR	0x28	0x06	状态寄存器
IMR	0x2C	0x1F	中断屏蔽寄存器
ISR	0x30	0x00	中断最终状态寄存器
RISR	0x34	0x00	中断原始状态寄存器
TXOICR	0x38	0x00	发送 FIFO 上溢中断清除寄存器
RXOICR	0x3C	0x00	接收 FIFO 上溢中断清除寄存器
RXUICR	0x40	0x00	接收 FIFO 下溢中断清除寄存器
ICR	0x2C	0x00	中断清除寄存器
DMACR	0x4C	0x00	DMA 控制寄存器
DMATDLR	0x50	0x00	DMA 发送状态寄存器
DMARDLR	0x54	0x00	DMA 接收状态寄存器
DR	0x60-0x9C	0x00	数据寄存器

I2S 模块的基址: 0x1000a000

表格 4-12 I2S 寄存器列表

名称	偏移地址	复位值	描述
I2S_CTRL	0x00	0x00010022	I2S 控制寄存器
I2S_DATA	0x04	0x00000000	I2S 数据寄存器
I2S_INT	0x08	0x00000000	I2S 中断寄存器
I2S_STATUS	0x0C	0x00000001	I2S 状态寄存器

SMC0 模块的基址: 0x1000c000

SMC1 模块的基址: 0x1000d000

表格 4-13 SMC 寄存器列表

名称	偏移地址	复位值	描述
SMC_CTRL	0x00	0x00040000	SMC 控制寄存器
SMC_FD	0x04	0x01740001	SMC 基本单元时间寄存器
SMC_CT	0x08	0x000000A00	SMC 字符传输时间寄存器
SMC_BT	0x0C	0x0000164D	SMC 块传输时间寄存器
SMC_TX	0x10	0x00000000	发送 FIFO

SMC_RX	0x14	0x00000000	接收 FIFO
SMC_INT_MASK	0x1C	0x000000ff	中断屏蔽 屏蔽对应位
SMC_STATUS	0x20	0x00000000	状态
SMC_TX_TRIG	0x24	0x00000000	传输 TX_FIFO 中的字节数

USBD 模块的基址：0X1000E000

表格 4-14 USBD 寄存器列表

名称	偏移地址	复位值	描述
usb_protocolintr	0x000	0x00000000	USB 协议中断寄存器
usb_intrmask	0x004	0x000000FF	USB 中断屏蔽寄存器
usb_intrctrl	0x008	0x00000000	USB 中断类型控制寄存器
usb_epinfo	0x00C	0x00000000	USB 活动端点状态寄存器
usb_bconfigurationvalue	0x010	0x00000000	SET_CONFIGURATION 记录
usb_bmattributes	0x014	0x00000000	当前配置属性寄存器
usb_devspeed	0x018	0x00000000	当前设备工作速度寄存器
usb_framenumber	0x01C	0x00000000	记录当前 SOF 包内的帧号
usb_eptransactions0	0x020	0x00000000	记录下次要求的传输次数
usb_eptransactions1	0x024	0x00000000	记录下次要求的传输次数
usb_appifupdate	0x028	0x00000000	接口号快速更新寄存器
usb_cfginterface0	0x02C	0x00000000	记录接口的值
usb_cfginterface1	0x030	0x00000000	记录接口的值
usb_cfginterface2	0x034	0x00000000	记录接口的值
usb_cfginterface3	0x038	0x00000000	记录接口的值
usb_cfginterface4	0x03C	0x00000000	记录接口的值
usb_cfginterface5	0x040	0x00000000	记录接口的值
usb_cfginterface6	0x044	0x00000000	记录接口的值
usb_cfginterface7	0x048	0x00000000	记录接口的值
usb_cfginterface8	0x04C	0x00000000	记录接口的值
usb_cfginterface9	0x050	0x00000000	记录接口的值
usb_cfginterface10	0x054	0x00000000	记录接口的值
usb_cfginterface11	0x058	0x00000000	记录接口的值
usb_cfginterface12	0x05C	0x00000000	记录接口的值
usb_cfginterface13	0x060	0x00000000	记录接口的值

usb_cfginterface14	0x064	0x00000000	记录接口的值
usb_cfginterface15	0x068	0x00000000	记录接口的值
usb_cfginterface16	0x06C	0x00000000	记录接口的值
usb_cfginterface17	0x070	0x00000000	记录接口的值
usb_cfginterface18	0x074	0x00000000	记录接口的值
usb_cfginterface19	0x078	0x00000000	记录接口的值
usb_cfginterface20	0x07C	0x00000000	记录接口的值
usb_cfginterface21	0x080	0x00000000	记录接口的值
usb_cfginterface22	0x084	0x00000000	记录接口的值
usb_cfginterface23	0x088	0x00000000	记录接口的值
usb_cfginterface24	0x08C	0x00000000	记录接口的值
usb_cfginterface25	0x090	0x00000000	记录接口的值
usb_cfginterface26	0x094	0x00000000	记录接口的值
usb_cfginterface27	0x098	0x00000000	记录接口的值
usb_cfginterface28	0x09C	0x00000000	记录接口的值
usb_cfginterface29	0x0A0	0x00000000	记录接口的值
usb_cfginterface0	0x0A4	0x00000000	记录接口的值
usb_cfginterface31	0x0A8	0x00000000	记录接口的值
usb_pktpassedctrl	0x0AC	0x00000000	记录成功接收的包数
usb_pktdroppedctrl	0x0B0	0x00000000	记录丢失的包数
usb_crcerrctrl	0x0B4	0x00000000	记录 CRC 错误的包数
usb_bitstufferctrl	0x0B8	0x00000000	记录位填充错误的包数
usb_piderrctrl	0x0BC	0x00000000	记录 PID 错误的包数
usb_framingerrctrl	0x0C0	0x00000000	记录有 SYNC 和 EOP 的包数
usb_txpktctrl	0x0C4	0x00000000	记录发送包的数量
usb_statctrlov	0x0C8	0x00000000	记录统计寄存器溢出情况
usb_txlength	0x0CC	0x00000000	记录每次 IN 传输事务包长度
usb_rxlength	0x0D0	0x00000000	记录 OUT 传输事务包长度
usb_resume	0x0D4	0x00000000	USB 唤醒寄存器
usb_readflag	0x0D8	0x00000000	读异步状态寄存器标志
usb_receivetype	0x0DC	0x00000002	传输状态寄存器
usb_applock	0x0E0	0x00000000	锁信号寄存器
usb_ep0outaddr	0x100	0x00000000	端点 0 端点号和方向

usb_ep0outbmattr	0x104	0x00000000	端点 0 类型寄存器
usb_ep0outmaxpktsize	0x108	0x00000000	端点 0 最大包尺寸寄存器
usb_ep0outifnum	0x10C	0x00000000	端点 0 接口号寄存器
usb_ep0outstat	0x110	0x00000000	端点 0 状态寄存器
usb_ep0outbmreqtype	0x114	0x00000000	端点 0 SETUP 事务请求类
usb_ep0outbrequest	0x118	0x00000000	端点 0 SETUP 事务请求内容
usb_ep0outwvalue	0x11C	0x00000000	端点 0 SETUP 事务请求值
usb_ep0outwindex	0x120	0x00000000	端点 0 SETUP 事务请求索引
usb_ep0outwlength	0x124	0x00000000	端点 0 SETUP 事务请求长度
usb_ep0outsynchframe	0x128	0x00000000	端点 0 同步包帧号
usb_eploutaddr	0x12C	0x00000001	端点 1 输出端点号和方向
usb_eploutbmattr	0x130	0x00000002	端点 1 输出类型寄存器
usb_eploutmaxpktsize	0x134	0x00000040	端点 1 输出最大包尺寸寄存器
usb_eploutifnum	0x138	0x00000000	端点 1 输出接口号寄存器
usb_eploutstat	0x13C	0x00000000	端点 1 输出状态寄存器
usb_eploutbmreqtype	0x140	0x00000000	端点 1 输出 SETUP 事务请求类型
usb_eploutbrequest	0x144	0x00000000	端点 1 输出 SETUP 事务请求内容
usb_eploutwvalue	0x148	0x00000000	端点 1 输出 SETUP 事务请求值
usb_eploutwindx	0x14C	0x00000000	端点 1 输出 SETUP 事务请求索引
usb_eploutwlengh	0x150	0x00000000	端点 1 输出 SETUP 事务请求域长度
usb_eploutsynchframe	0x154	0x00000000	端点 1 输出同步包帧号
usb_eplinaddr	0x158	0x00000001	端点 1 输入端点号和方向
usb_eplinbmattr	0x15C	0x00000002	端点 1 输入类型寄存器
usb_eplinmaxpktsize	0x160	0x00000040	端点 1 输入最大包尺寸寄存器
usb_eplinifnum	0x164	0x00000000	端点 1 输入接口号寄存器
usb_eplinstat	0x168	0x00000000	端点 1 输入状态寄存器
usb_eplinbmreqtype	0x16C	0x00000000	端点 1 输入 SETUP 事务请求类型
usb_eplinbrequest	0x170	0x00000000	端点 1 输入 SETUP 事务请求内容
usb_eplinwvalue	0x174	0x00000000	端点 1 输入 SETUP 事务请求值
usb_eplinwindex	0x178	0x00000000	端点 1 输入 SETUP 事务请求索引
usb_eplinwlength	0x17C	0x00000000	端点 1 输入 SETUP 事务请求域长度
usb_eplinsynchframe	0x180	0x00000000	端点 1 输入同步包帧号
usb_ep2outaddr	0x184	0x00000001	端点 2 输出端点号和方向

usb_ep2outbmattr	0x188	0x00000002	端点 2 输出类型寄存器
usb_ep2outmaxpktsize	0x18C	0x00000040	端点 2 输出最大包尺寸寄存器
usb_ep2outifnum	0x190	0x00000000	端点 2 输出接口号寄存器
usb_ep2outstat	0x194	0x00000000	端点 2 输出状态寄存器
usb_ep2outbmreqtype	0x198	0x00000000	端点 2 输出 SETUP 事务请求类型
usb_ep2outbrequest	0x19C	0x00000000	端点 2 输出 SETUP 事务请求内容
usb_ep2outwvalue	0x1A0	0x00000000	端点 2 输出 SETUP 事务请求值
usb_ep2outwindex	0x1A4	0x00000000	端点 2 输出 SETUP 事务请求索引
usb_ep2outwlength	0x1A8	0x00000000	端点 2 输出 SETUP 事务请求域长度
usb_ep2outsynchframe	0x1AC	0x00000000	端点 2 输出同步包帧号
usb_ep2inaddr	0x1B0	0x00000001	端点 2 输入端点号和方向
usb_ep2inbmattr	0x1B4	0x00000002	端点 2 输入类型寄存器
usb_ep2inmaxpktsize	0x1B8	0x00000040	端点 2 输入最大包尺寸寄存器
usb_ep2inifnum	0x1BC	0x00000000	端点 2 输入接口号寄存器
usb_ep2instat	0x1C0	0x00000000	端点 2 输入状态寄存器
usb_ep2inbmreqtype	0x1C4	0x00000000	端点 2 输入 SETUP 事务请求类型
usb_ep2inbrequest	0x1C8	0x00000000	端点 2 输入 SETUP 事务请求内容
usb_ep2inwvalue	0x1CC	0x00000000	端点 2 输入 SETUP 事务请求值
usb_ep2inwindex	0x1D0	0x00000000	端点 2 输入 SETUP 事务请求索引
usb_ep2inwlength	0x1D4	0x00000000	端点 2 输入 SETUP 事务请求域长度
usb_ep2insynchframe	0x1D8	0x00000000	端点 2 输入同步包帧号
usb_rxfifo	0x200	0x00000000	接受 FIFO
usb_txfifo	0x300	0x00000000	发送 FIFO

MMC/SD 模块的基址：0x1000b000

表格 4-15 MMC/SD 卡寄存器列表

名称	偏移地址	复位值	描述
CLOCK_CONTROL	0x 00	0x0000_0000	时钟控制寄存器
SOFTWARE_RESET	0x 04	0x0000_0001	软件复位寄存器
ARGUMENT	0x 08	0x0000_0000	命令参数寄存器
COMMAND	0x 0C	0x0000_0000	命令控制寄存器
BLOCK_SIZE	0x 10	0x0000_0000	数据块长度寄存器
BLOCK_COUNT	0x 14	0x0000_0000	数据块数目寄存器

TRANSFER_MODE	0x 18	0x0000_0000	传输模式选择寄存器
RESPONSE0	0x 1C	0x0000_0000	响应寄存器 0
RESPONSE1	0x 20	0x0000_0000	响应寄存器 1
RESPONSE2	0x 24	0x0000_0000	响应寄存器 2
RESPONSE3	0x 28	0x0000_0000	响应寄存器 3
READ_TIMEOUT_CONTROL	0x 2C	0x0000_ffff	读超时控制寄存器
INTERRUPT_STATUS	0x 30	0x00000000	中断状态寄存器
INTERRUPT_STATUS_MASK	0x 34	0x0000_0000	中断状态屏蔽寄存器
RX_FIFO	0x 38	0x0000_0000	接收 FIFO
TX_FIFO	0x 3C	0x0000_0000	发送 FIFO

GPIO 模块的基址：0x1000F000

表格 4-16 GPIO 寄存器表

名称	偏移地址	复位值	描述
DBCLK_DIV	0x00	0x00000000	去毛刺采用时钟分频比配置寄存器
PORTA_DIR	0x04	0x00000000	A 组端口输入输出方向配置寄存器
PORTA_SEL	0x08	0x00000000	A 组端口通用用途选择配置寄存器
PORTA_INCTL	0x0c	0x00000000	A 组端口通用用途输入时类型配置寄存器
PORTA_INTRCTL	0x10	0x00000000	A 组端口中断触发类型配置寄存器
PORTA_INTRCLR	0x14	0x00000000	A 组端口通用用途中断清除配置寄存器
PORTA_DATA	0x18	0x00000000	A 组端口通用用途数据配置寄存器
PORTB_DIR	0x1c	0x00000000	B 组端口输入输出方向配置寄存器
PORTB_SEL	0x20	0x00000000	B 组端口通用用途选择配置寄存器
PORTB_DATA	0x24	0x00000000	B 组端口通用用途数据配置寄存器
PORTC_DIR	0x28	0x00000000	C 组端口输入输出方向配置寄存器
PORTC_SEL	0x2c	0x00000000	C 组端口通用用途选择配置寄存器
PORTC_DATA	0x30	0x00000000	C 组端口通用用途数据配置寄存器
PORTD_DIR	0x34	0x00000000	D 组端口输入输出方向配置寄存器
PORTD_SEL	0x38	0x00000000	D 组端口通用用途选择配置寄存器
PORTD_SPECII	0x3c	0x00000000	D 组端口专用用途 2 选择配置寄存器
PORTD_DATA	0x40	0x00000000	D 组端口通用用途数据配置寄存器
PORTE_DIR	0x44	0x00000000	E 组端口输入输出方向配置寄存器
PORTE_SEL	0x48	0x00000000	E 组端口通用用途选择配置寄存器

PORTE_DATA	0x4c	0x00000000	E 组端口通用用途数据配置寄存器
PORTF_DIR	0x50	0x00000000	F 组端口输入输出方向配置寄存器
PORTF_SEL	0x54	0x00000000	F 组端口通用用途选择配置寄存器
PORTF_INCTL	0x58	0x00000000	F 组端口通用用途输入时类型配置寄存器
PORTF_INTRCTL	0x5c	0x00000000	F 组端口中断触发类型配置寄存器
PORTF_INTRCLR	0x60	0x00000000	F 组端口通用用途中断清除配置寄存器
PORTF_DATA	0x64	0x00000000	F 组端口通用用途数据配置寄存器
PORTG_DIR	0x68	0x00000000	G 组端口输入输出方向配置寄存器
PORTG_SEL	0x6c	0x00000000	G 组端口通用用途选择配置寄存器
PORTG_DATA	0x70	0x00000000	G 组端口通用用途数据配置寄存器
PORTH_DIR	0x74	0x00000000	H 组端口输入输出方向配置寄存器
PORTH_SEL	0x78	0x00000000	H 组端口通用用途选择配置寄存器
PORTH_DATA	0x7c	0x00000000	H 组端口通用用途数据配置寄存器
PORTI_DIR	0x80	0x00000000	I 组端口输入输出方向配置寄存器
PORTI_SEL	0x84	0x00000000	I 组端口通用用途选择配置寄存器
PORTI_DATA	0x88	0x00000000	I 组端口通用用途数据配置寄存器

4. 说明文档规约

‘I/O’ 表示 input/output，输入/输出；

‘I’ 表示 input，输入；

‘O’ 表示 output，输出；

‘nXXX’ 代表低电平有效；

‘0x’ 代表 16 进制；

‘B’ 代表 2 进制；

‘CI’ 代表 clk input，时钟输入；

‘CO’ 代表 clk output，时钟输出；

‘P’ 代表电源引脚，VCC；

‘G’ 代表 GROUND，逻辑地；

处理器上电复位后的默认输出电平如下：

默认为输入的管脚，由于芯片内部有 200K 的弱上拉，所以电平为 2.9V 左右的高电平；

默认为输出低电平有效的管脚，输出 3.3V 的高电平，其他的默认输出电平请参考信号定义列表中复位默认值；

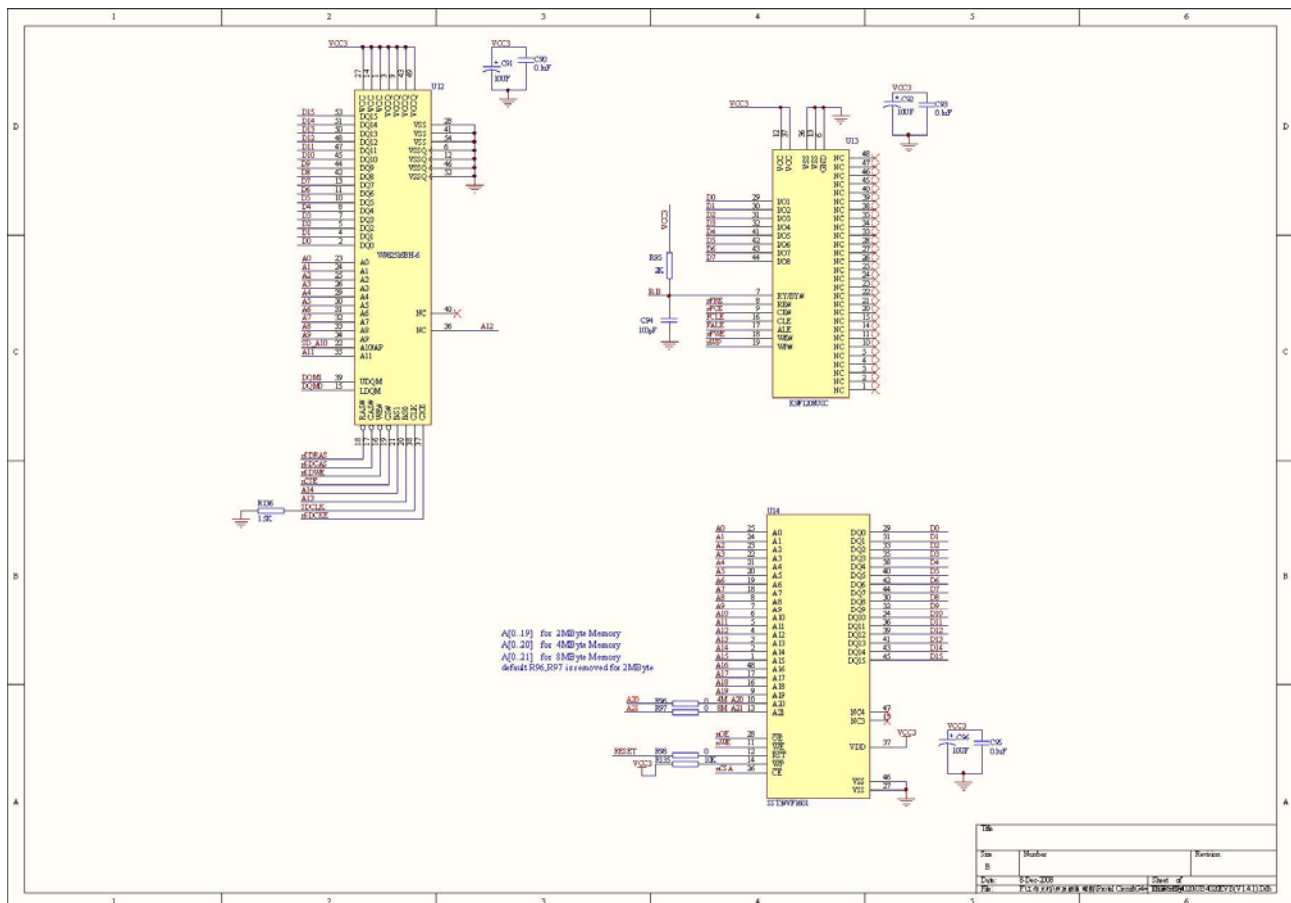


图 5.2 存储器

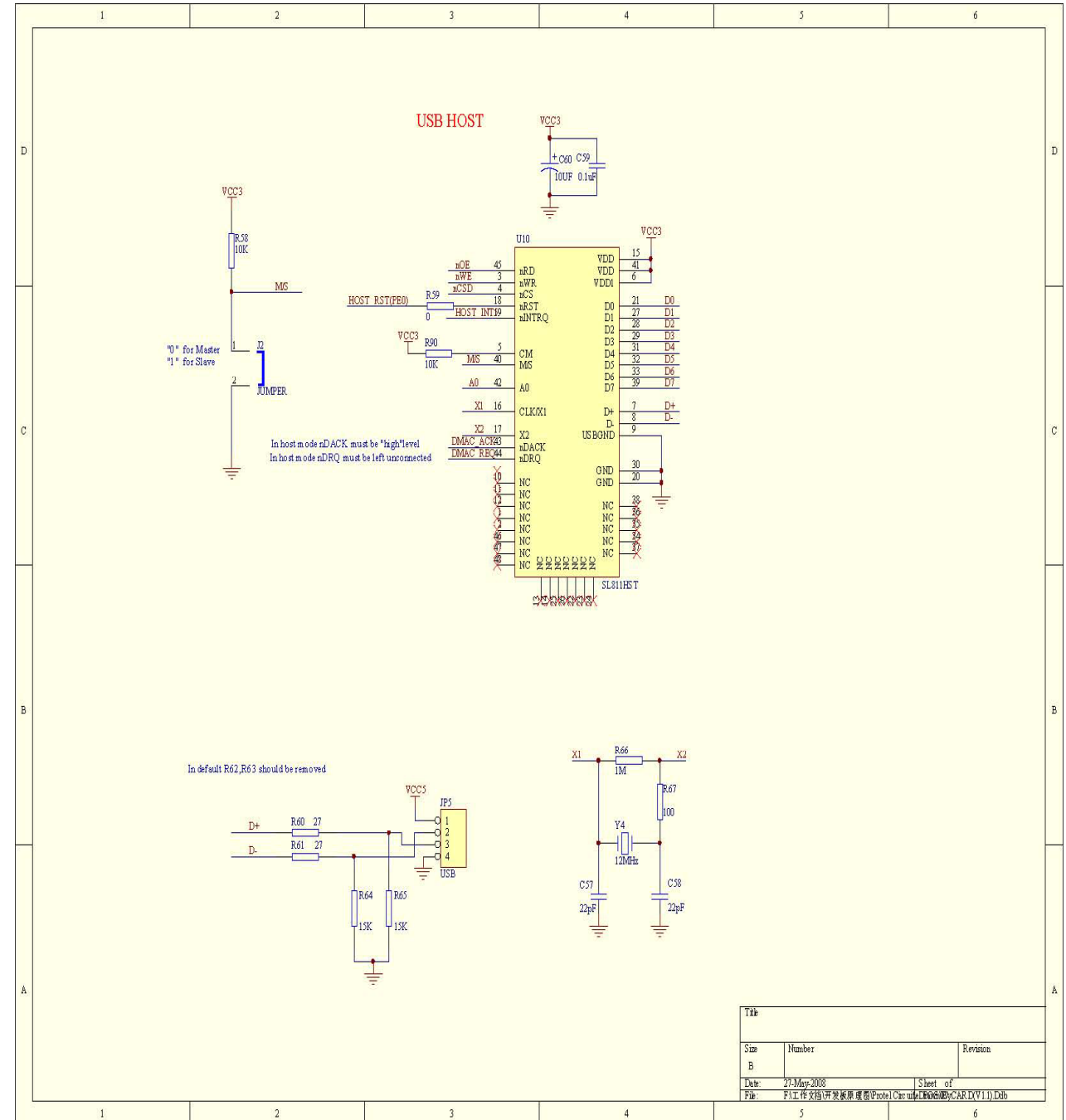


图 5.4 USB HOST (SL811HS)

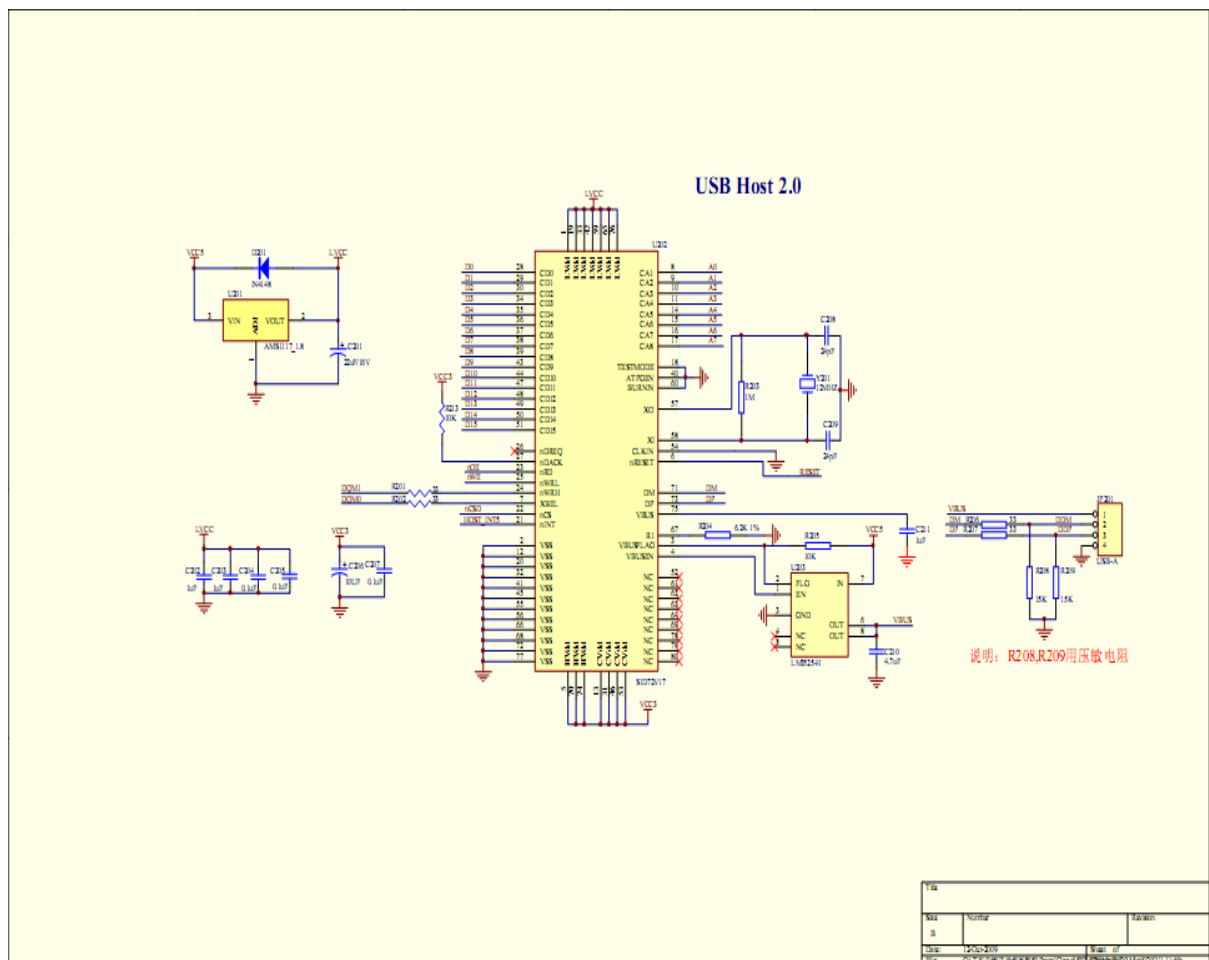


图 5.5 USB HOST (S1D72V17)

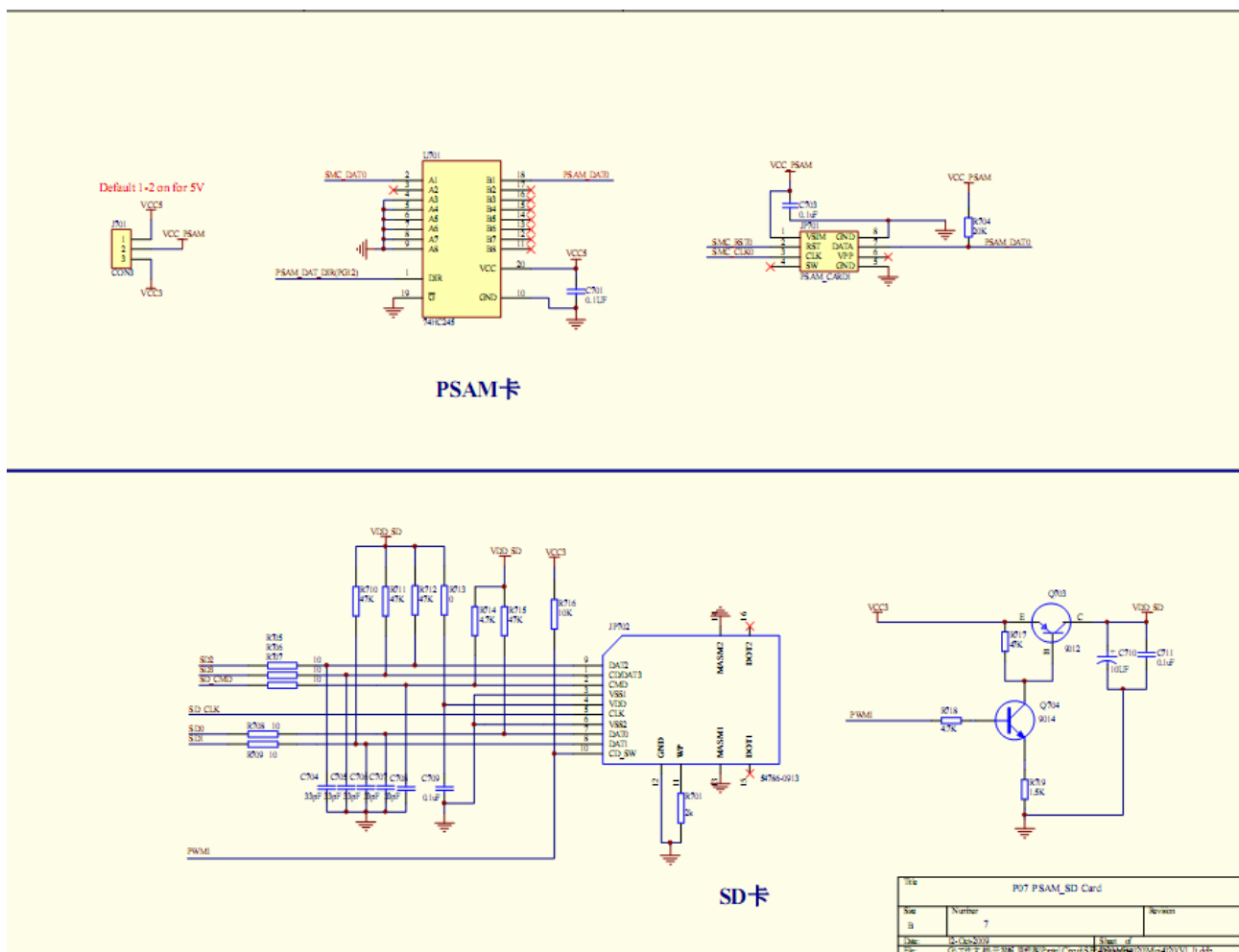


图 5.6 MMC/SD Card and SMC Card

109

110

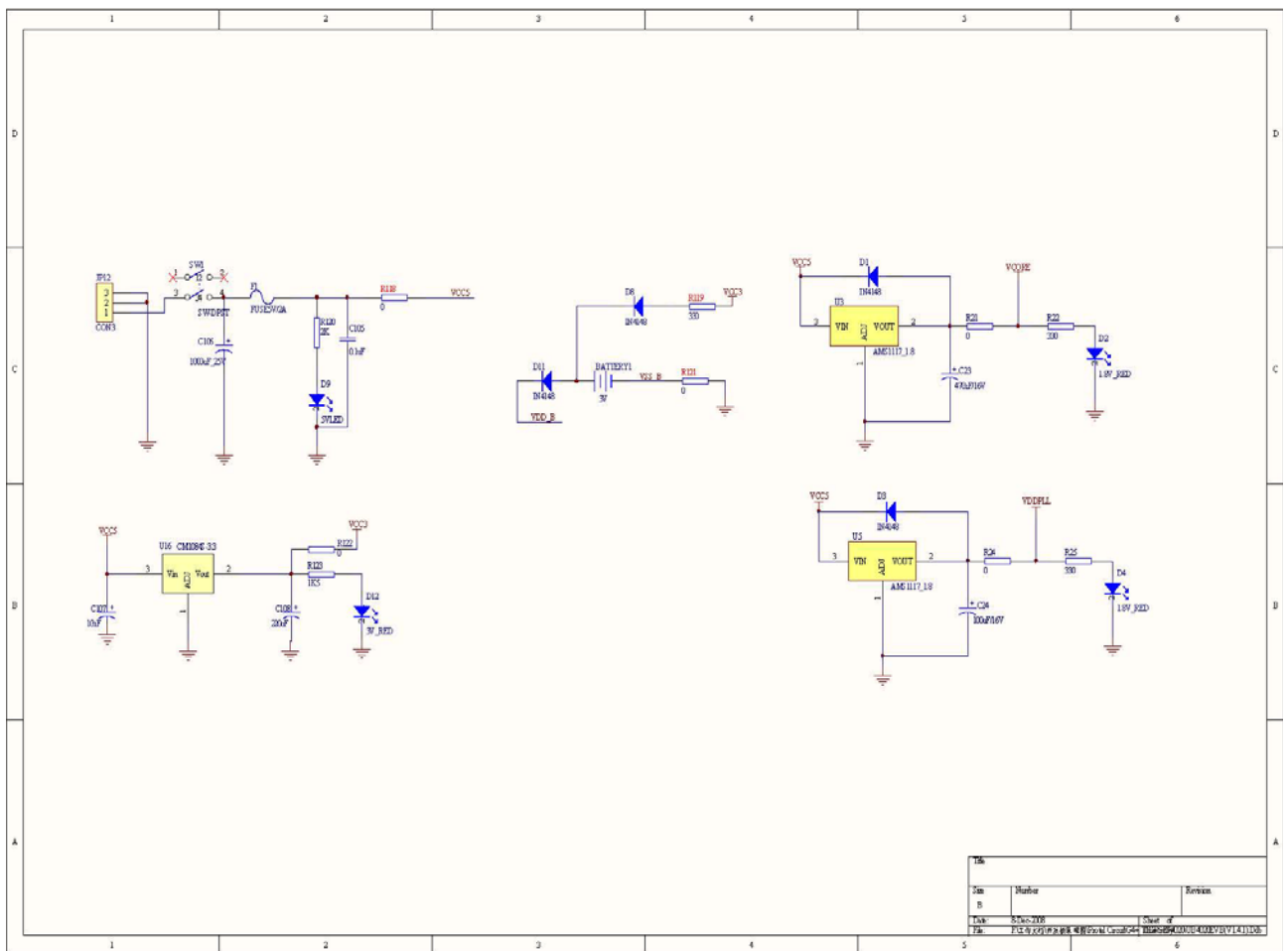


图 5.9 电源模块

112

6. 评估板 BOM 清单

UB4020EVB (V1. 5) 生产用图

元件类型	标识	封装	数量	备注
电阻				
0	R2, R4, R5, R39, R44, R45, R46, R49, R50, R51, R53, R63, 'R65,R98, R108, R132, R172	0603R	17	
0	R21, R23, R24, R40, R76, R78, R102, R118, R121, R122	1206R	10	
10	R105, R106, R107, R109, R110	0603R	5	
27	R85, R86	0603R	2	
33	R6, R7, R150, R151	0603R	4	
47	R3	0603r	1	
51	R56, R57, R61, R62,R77	0603R	5	
100	R8, R15, R16, R29	0603R	4	
330	R22, R25, R41, R58, R64, R66, R119	0603R	7	
1K	R81	0603R	1	
1.5K	R82, R123 'R136, R169, R179	0603R	5	
2k	R11, R95, R120	0603R	3	
2.2K	R131,R167	0603R	2	
4.7K	R17, R18, R19, R103, R129, R168, R177	0603R	7	
5.1K	R117	0603R	1	
6.2K 1%	R148	0603R	1	
6.8K	R9, R60	0603R	2	

10K	R12, R14, R20, R31, R34, R35, R36, R37, R38, R42, R47, R48, R52, R112, R114, R115, R116, R128, R130, R135, R149, R160, R161, R162, R163, R175, R176	0603R	27	
15K	R173, R174	0603R	2	
20K	R54	0603R	1	
30K	R43	0603R	1	
47K	R99, R100, R101, R104, R111, R170, R178	0603R	7	
100K	R79, R80	0603R	2	
220K	R28	0603R	1	
1M	R27, R155	0603R	2	
22M	R26	0603R	1	
电容				
0.01uF	C63	0603C	1	
15pF	C27, C28	0603C	2	
20pF	C25, C26	0603C	2	
24pF	C111, C112	0603C	2	
33pF	C97, C98, C99, C100, C101	0603C	5	
100pF	C94	0603C	1	
300pF	C121, C122, C123, C124	0603C	4	
0.1uF	C2, C3, C5, C7, C8, C18, C29, C30, C31, C32, C33, C34, C43, C44, C45, C46, C48, C52, C53, C54, C57, C59, C60, C61, C62, C69, C70, C71, C72, C73, C74, C75, C76, C77, C78, C90, C93, C95, C102, C103, C104, C105, C115, C118, C119, C125, C126, C127, C129, C133, C134, C136	0603C	52	
1uF	C131, C132	0603C	2	
1uF	C116	1206C	1	
3.3uF	C51	1206C	1	
4.7uF	C113	1206C	1	

10UF	C35, C36, C37, C38, C39, C40, C41, C42, C47, C49, C50, C91, C92, C96, C107, C114, C117, C120, C128, C135	1206C	20	
22uF/16V	C110	1206C	1	贴片胆电容
47uF/16V	C9, C10, C13, C16, C17	3528	5	贴片胆电容
100uF/16V	C1, C4, C6	3528	3	贴片胆电容
220uF/16V	C56	3528	1	贴片胆电容
100uF/16V	C24	RB-.2/.4	1	插件电解电容
220uF/16V	C108	RB-.2/.4	1	插件电解电容
470uF/16V	C23	RB-.2/.4	1	插件电解电容
1000uF/25V	C106	RB-.2/.4	1	插件电解电容
晶体管、电感及晶振				
600nH	BF1, BF2, BF3, BF4, BF5, BF6, BF7	1206R	7	磁阻
IN4148	D1, D3, D5, D6, D7, D8, D10, D11	IN4148\SO	8	贴片二极管
1.8V_RED	D2, D4, D9, D12	0805-DIODE	4	红色贴片二极管灯
ACTIVE_GREEN	D13	0805-DIODE	1	绿色贴片二极管灯
9012	Q2, Q3, Q5	SOT23	3	贴片三极管
9014	Q1, Q4, Q6, T9	SOT23	4	贴片三极管
4MHZ	Y2	JZ	1	双脚无源晶振
32.768KHZ	Y3	CRY-32K	1	双脚圆柱形无源晶振
50MHz	Y4	CRYSTAL-SMT	1	方形贴片有源晶振
12MHZ	Y5	XTAL1	1	双脚无源晶振
集成芯片				
UDA1341TS	U1	SSOP28	1	音频解码芯片
AMS1117-1.8	U3, U5, U18	SOT-223	3	电源 LD0, 固定 1.8V 输出
SEP4020I	U4	LQFP176	1	
DM9161E	U6	LQFP48	1	网口 Phy
MAX3221	U7, U8	SSOP16	2	电平转换
CD4066	U9	SOP-14	1	双向模拟开关
K4S561632H	U12	TSOP54	1	32MByte SDRAM
K9F1208U0C	U13	TSOP48	1	64MByte Nand Flash
SST39VF1601	U14	TSOP48	1	2MByte Nor Flash

CM1084S-3.3	U16	TO-263	1	固定输出 3.3V LDO
S1D72V17	U17	QFP14-80	1	USB HOST 控制器
LM3525-H	U20	SO-8	1	USB 接口电源控制器
ADS7846	U21	SSOP16A	1	A/D 芯片
接插件及其它				
FUSE5V/2A	F1	1812	1	贴片保险丝
RS232_1	COM0, COM1	DB-9RA/M	2	DB9 弯头针座
CON3	J1, JP7, JP8	SIP3	3	单排针 1*3
JUMPER	J2, J4	SIP2	2	单排针 1*2
USBD	JP1, JP6	USB	2	方口 USB
JTAG	JP2	IDC20Z	1	10*2 针式座
HEADER 25X2	JP3	HEADER50Z	1	25*2 针式座
3V	BATTERY1	MINI-BATTERY	1	3V 贴片纽扣电池及座子
HEADER 24X2	JP4	HEADER48Z	1	24*2 针式座
54786-0913	JP9	MMC_CARD	1	SD 卡座
IC	JP10	IC	1	常开型 IC 卡座
CON8	JP11	SIM	1	SIM 卡座
CON3	JP12	DCV5_SOCKET	1	三脚黑色电源座子
USB-A	JP15	USB1	1	单层 USB HOST 座子
WAKEUP	K1, K2	RESET2	2	4 脚小按键
JP4	LINE_OUT, MIC_IN	AUDIO_PHONE	2	五脚黑色音频接口
J0026B	RJ_1	RJ45\LEDH	1	网口座子（带灯）
SW DIP-4	S1	SWITCH4	1	四路拨码开关
SPK	SPK1	FMQ	1	3V 蜂鸣器
SW-DPST	SW1	DIM-5	1	五脚电源开关

7. 最小系统设计注意事项

7.1 最小系统包含功能

1. 处理器及外围必要的时钟和电源模块；
2. JTAG 调试接口；
3. 2MByte 的 Nor Flash；
4. 8MByte 的 SDRAM；
5. 2 个串口；
6. 两路 SMC（智能卡）接口；
7. 一路 PWM 控制蜂鸣器接口；
8. 一路 USB DEVICE 接口；
9. 一路 IIS 音频接口；
10. 地址和数据总线、控制及片选外扩接口；
11. LCDC 控制及总线外扩接口；

7.2 PCB 设计注意事项

1. 电源模块的连线线宽不能低于 30mil，遇到芯片管脚宽度过小的情况，电源线宽不能低于 10mil；
2. 布局时应首先考虑 JTAG 接口和 SDRAM 的位置，其中 JTAG 接口应尽量靠近 CPU，应本着就近原则，线长不能超过 20cm；
3. 时钟线宽不能低于 10mil，条件允许的情况下不小于 20mil，晶振应尽可能靠近时钟管脚；
4. 因 SDRAM 为外部高速设备，它的时钟 SDCLK 与主频相同，所以走线应短而粗，并且在两旁加上地线，排出干扰，同时为了获得更加稳定的时钟信号，外部需加 1.5K 的下拉电阻到地，实现阻抗匹配；地址和数据总线的走线需尽量短，且地址线应尽可能等长，以保证数据传输的信号完整性；
5. 电源部分的 DPLL 需要单独供电，以保证电源纹波最小，输出部分需加高品质的胆电容进行滤波（容值不小于 22uF）；
6. 音频部分需用磁阻将模拟地与数字地分开，并且保证模拟电源和数字电源的良好隔离，防止模拟电源受到干扰；

最小系统的原理图设计详见参考设计部分。