

SEED_DVS6446 用户指南

SEED_DVS6446 用户指南

TMS320DM6446 视频服务器模块

版本号: B
2008.8

<http://www.seeddsp.com>

声明

北京合众达电子技术有限责任公司保留随时对其产品进行修正、改进和完善的权利，同时也保留在不作任何通告的情况下，终止其任何一款产品的供应和服务的权利。用户在下订单前应获取相关信息的最新版本，并验证这些信息是当前的和完整的。

版权© 2008，北京合众达电子技术有限责任公司

阅前必读

简介:

本用户指南是 **TMS320DM6446** 视频服务器模块的使用说明书，详细描述了 **SEED_DVS6446** 的硬件构成、原理，以及它的使用方法和编程指导。

保修:

所有由北京合众达电子技术有限责任公司生产制造的硬件和软件产品，保修期为从发货之日起壹年。在保修期内由于产品质量原因引起的损坏，北京合众达电子技术有限责任公司负责免费维修或更换。当在保修期内软件进行了升级，北京合众达电子技术有限责任公司将免费提供。

产品注册:



为了在保修期内获得免费的产品升级和技术支持，北京合众达电子技术有限责任公司强烈建议：注册您所购买的每一件软 / 硬件产品。

产品的注册过程非常简单，按下列步骤进行：

- ☐ 北京合众达电子技术有限责任公司的每一件产品几乎都带有产品光盘，光盘上有一个名为 **REGISTER.TXT** 的文件，即为产品注册表。
- ☐ 如果没有找到 **REGISTER.TXT** 文件，请致电或发 **Email** 给我们，告知您的 **Email** 地址，我们会将此文件 **Email** 给您。
- ☐ 填写产品注册表中的各栏（用户名、通信地址、电话 / 传真、**Email** 地址、所购的产品名和产品编号、和产品接收的日期等）。
- ☐ 通过 **Email** 或传真将产品注册表反馈给我们。

注意：产品注册必须在产品发货之日起 **90** 天内完成。

参考资料:

TMS320DM6446 Digital Media System-on-Chip datasheet(SPRS283A):介绍
TMS320DM6446 CPU 架构及其外设资源。

TMS320DM644x DMSoc ARM Subsystem Reference Guide (SPRUE14) : 介绍 TMS320DM644x 系统的 ARM 子系统。

TMS320DM644x DMSoc DSP Subsystem Reference Guide (SPRUE15) : 介绍 TMS320DM644x 系统的 DSP 子系统。

TMS320DM644x DMSoc Video Processing Back End (VPBE) User's Guide (SPRUE37) : 介绍 TMS320DM644x 系统的视频处理后端模块。

TMS320DM644x DMSoc Video Processing Front End (VPFE) User's Guide (SPRUE38) : 介绍 TMS320DM644x 系统视频处理前端模块。

TMS320DM644x DMSoc Peripherals Overview Reference Guide (SPRUE19) : 介绍 TMS320DM644x 系统的概述以及各个外设模块。

TMS320DM644x DMSoc DDR2 Memory Controller User's Guide (SPRUE22A) : 介绍 TMS320DM644x 系统的 DDR2 存储器控制器模块。

TMS320DM644x DMSoc Asynchronous External Memory Interface User's Guide (SPRUE20) : 介绍 TMS320DM644x 系统的异步外部存储器接口模块。

TMS320DM644x DMSoc ATA Controller User's Guide (SPRUE21) : 介绍 TMS320DM644x 系统的硬盘控制器模块。

TMS320DM644x DMSoc Enhanced Direct Memory Access Controller User's Guide (SPRUE23B) : 介绍 TMS320DM644x 系统的增强型 DMA 控制器模块。

TMS320DM644x DMSoc Audio Serial Port User's Guide (SPRUE29) : 介绍 TMS320DM644x 系统的音频串口模块。

TMS320DM644x DMSoc Ethernet Media Access Controller/Management Data Input/Output Module User's Guide (SPRUE24) : 介绍 TMS320DM644x 系统的 EMAC 和 MDIO 网络连接模块。

TMS320DM644x DMSoc General-Purpose GPIO User's Guide (SPRUE25) : 介绍 TMS644x 系统的 GPIO 资源与使用。

TMS320DM644x DMSoc Inter-Integrated Circuit (I2C) Peripheral User's Guide (Rev. A) (SPRUE27A) : 介绍 TMS320DM644x 系统的 I2C 总线模块资源。

TMS320DM644x DMSoc Multimedia Card (MMC) Secure Digital (SD) Card Controller UG (Rev. A) (SPRUE30A) : 介绍 TMS320DM644x 系统的 MMC 和 SD 卡控制器模块。

TMS320DM644x DMSoc Universal Serial Bus (USB) Controller User's Guide (SPRUE35) : 介绍 TMS320DM644x 系统的 USB 控制器模块。

TMS320DM644x DMSoc Universal Asynchronous Receiver/Transmitter (UART) UG (SPRUE33) : 介绍通用异步收发器控制模块。

TVP5150PBS: 描述 TVP5150PBS 的低功耗 NTSC/PAL 视频解码芯片的特点、电气指标、时序、以及引脚封装等。

TLV320AIC23B: 描述 TLV320AIC23B 带耳机放大器的 96KHz 立体声 Codec 芯片的

特点、电气指标、时序，以及引脚封装等。

MAX3221: 描述MAX3221 3V-5.5V RS232协议收发器芯片的特点、电气指标、时序，以及引脚封装等。

BCM5221: 描述EMAC接口芯片BCM5221 的特点、电气指标、时序、以及引脚封装等。

SN65HVD485ED:描述 SN65HVD485ED 半双工 RS485 协议收发器芯片的特点、电气指标、时序以及引脚封装。

商标：

SEED 是北京合众达电子技术有限责任公司的注册商标。

TI、XDS510、XDS560 是 Texas Instruments 的注册商标。

更多帮助:

- 网址: <http://www.seeddsp.com>

- 合众达总公司
地址: 北京海淀区皂君庙路 5 号卉园大厦 5 层
邮编: 100081
电话: 010-62165185 010-62165186
传真: 010-62161218

- 北京分公司
地址: 北京海淀区知春路 106 号太平洋国际大厦 912 室
邮编: 100086
电话: 010-51518855
传真: 010-51518866
E-mail: beijing@seeddsp.com

- 天津办事处
地址: 天津市河西区气象台路 48 号增 1 号先特写字楼 506 室
邮编: 300074
电话: 022-23556617
传真: 022-23556617
E-mail: tianjin@seeddsp.com

- 哈尔滨办事处
地址: 哈尔滨市南岗区文君街 69 号文君花园 E 栋 5 单元 301
邮编: 150001
电话: 0451-86203773
手机: 13796604918
E-mail: leon@seeddsp.com

- 上海分公司
地址: 上海市黄浦区成都北路 500 号峻岭广场 2208 室
邮编: 200003
电话: 021-63276977
传真: 021-63270962
E-mail: shanghai@seeddsp.com

□ 杭州办事处

地址： 杭州市西湖区文二路 207 号耀江文欣大厦 1209 室
邮编： 310012
电话： 0571-88259367
传真： 0571-88259357
E-mail: hangzhou@seeddsp.com

□ 深圳分公司

地址： 深圳市福田区泰然工贸园苍松大厦北座 3A02 室
邮编： 518027
电话： 0755-33981828
传真： 0755-33981838
E-mail: shenzhen@seeddsp.com

□ 广州办事处

地址： 广州市天河区天河北路 615 号鸿翔大厦天麟第 1808 室
邮编： 510630
电话： 020-38473795 020-38473796
传真： 020-38473798
E-mail: guangzhou@seeddsp.com

□ 香港分公司

地址： 香港九龍觀塘駿業街 44 號航空科技大厦 10 楼 1001 室
电话： +852-34268098 34268099
传真： +852-34264806
E-mail: seedhk@seeddsp.com

□ 南京分公司

地址： 南京市中山东路 218 号长安国际中心 13 楼 F 座
电话： 025-84650405 84650406
传真： 025-84650557
邮编： 210002
E-mail: nanjing@seeddsp.com

□ 合肥办事处

地址： 合肥市金寨路 93 号鸿基广场 504 室（中科大东区正大门对面）
电话： 0551-3668853 3668854
传真： 0551-3668853-808
邮编： 230026
E-mail: hefei@seeddsp.com

□ 成都办事处

地址： 人民南路 3 段林荫街华西大厦 A 座 602 室
电话： 028-85441353 85431123
传真： 028-85458130
邮编： 610041
E-mail: chengdu@seeddsp.com

□ 武汉办事处

地址： 湖北省武汉市武昌街道口珞珈山路一号珞珈山大厦 B 座 1511 室
电话： 027-87660475 87660480
传真： 027-87660480-8809
邮编： 430070
E-mail: wuhan@seeddsp.com

□ 长沙办事处

地址： 湖南长沙河西岳麓区银盆南路 357—3 号威胜大厦 B 座 602 室
电话： 0731-8906758
传真： 0731-8906758
邮编： 410018
E-mail: xusong@seeddsp.com

□ 西安办事处

地址： 陕西西安市长安中路 239 号通瑞大厦 466 室
电话： 029-85248062 88562762 85361239
传真： 029-85248062
邮编： 710061
E-mail: xian@seeddsp.com

目录

阅前必读.....	iii
简介:	iii
保修:	iii
产品注册:	iii
参考资料:	iii
商标:	v
更多帮助:	vi
目录.....	ix
第一章 入门	1
1.1 特点:	1
1.2 功能框图	3
1.3 概述	3
1.4 应用	4
1.5 技术指标	4
第二章 主处理器.....	5
2.1 TMS320DM6446 简介	5
2.2 TMS320DM6446 存储空间配置	6
2.3 EMIF	7
2.3.1 EMIFA	8
2.3.2 DDR2 内存控制器	8
2.4 ATA/CF	8
2.5 MMC/SD	9
2.6 VPSS	10
2.7 USB 2.0	11
2.8 UART	12
2.9 ASP	13
2.10 EMAC/MDIO	15
2.7 GPIO.....	16
第三章 视频接口	18
3.1 TMS320DM6446 视频处理子系统.....	18
3.1.1 视频处理前端 (VPFE)	18
3.1.2 视频处理后端 (VPBE)	19
3.2 视频输入	20
3.2.1 TVP5150 的视频输入	20

3.2.2 TVP5150 的配置	20
3.2.3 DM6446 与TVP5150 的连接	22
3.3 视频输出	23
3.3 VGA输出	24
3.2.1 VGA接口介绍	24
3.2.1 DVS6446 的VGA接口	25
第四章 UART	26
4.1 TMS320DM6446 的UART接口	26
4.1.1 UART寄存器说明	27
4.1.2 波特率设置	31
4.2 异步串口接口电平	34
4.2.1 RS232 异步串口接口电平	34
4.2.2 RS485 异步串口接口电平	34
第五章 音频输入与输出	36
5.1 TMS320DM6446 的ASP接口	36
5.2 TLV320AIC23B	37
5.3 TLV320AIC23B与TMS320DM6446 的接口	38
5.3.1 TLV320AIC23B的数据口	39
5.3.2 TLV320AIC23B控制口	40
5.4 TLV320AIC23B的位时钟实现	41
5.5 TLV320AIC23B的模拟接口	42
5.5.1 立体声Line输入	42
5.5.2 耳机输出	42
第六章 以太网接口	44
6.1 以太网网络接口简介	44
6.2 PHY设备的连接	45
6.3 EMAC的数据包	46
第七章 ATA硬盘接口	47
7.1 ATA的简介	47
7.2 ATA硬盘接口实现	48
7.3 ATA数据的传送	51
7.4 ATA设备配置与连接	52
第八章 USB接口	54
8.1 USB控制器特点	54
8.2 USB功能框图	54
8.3 USB控制器外围结构	55
8.3.1 时钟控制	55
8.3.2 管脚描述	55
8.3.3 变址寄存器和非变址寄存器	55

8.3.4 USB PHY初始化	56
8.4 USB控制器主机和外设模式操作	56
8.4.1 USB控制器外设模式操作	56
8.4.2 USB控制器主机模式操作	57
8.4.3 DMA操作	58
8.4.4 中断处理	58
第九章 MMC/SD卡接口	60
9.1 MMC/SD控制器特点	60
9.2 MMC/SD控制器功能框图	60
9.3 MMC/SD控制器外围结构	61
9.4 初始化	62
9.4.1 MMC/SD控制器初始化	62
9.4.2 初始化MMC控制寄存器（MMCCTL）	63
9.4.3 初始化时钟控制寄存器（MMCCLK）	63
9.4.4 初始化中断屏蔽寄存器（MMCIM）	63
9.4.5 初始化超时寄存器（MMCTOR和MMCTOD）	63
9.4.6 初始化数据块寄存器（MMCBLEN和MMCNBLK）	64
9.4.7 侦听MMC/SD模式的活动状态	64
9.5 用户操作	64
第十章 实时时钟	66
10.1 MT41T11 概述	66
10.1.1 IIC总线	67
10.1.2 M41T11 操作	68
10.2 TMS320DM6446 与M41T11 接口	69
第十一章 测试程序	70
11.1 DVS6446 硬件平台示意图	70
11.2 DVS6446 平台测试硬件连接	71
11.3 SDRAM测试	72
11.4 NAND Flash测试	72
11.5 音频测试	73
11.6 复合视频采集输出测试	74
11.7 RS232 测试	75
11.8 RS485 测试	75
11.9 以太网测试	77
11.10 USB接口电源测试	78
11.11 ATA硬盘接口测试	79
11.12 SD卡接口测试程序	80
11.13 VGA视频采集显示测试	81
第十二章 连接器、跳线、机械尺寸	83
12.1 物理布局	83

12.2	连接器.....	84
12.2.1	J1: JTAG接口	85
12.2.2	J2: DSP启动模式	85
12.2.3	J3: UART0 串口	85
12.2.4	J4: 数字视频输入	86
12.2.5	J5: GPIO/UART1	87
12.2.6	J7: USB模式选择	88
12.2.7	J8: SD、MMC卡	88
12.2.8	J9: SD/MMC选择	88
12.2.9	J10: USB接口	89
12.2.10	J11: 数字视频输入接口	89
12.2.11	J12: VGA输出	90
12.2.12	J13: 复合视频输出	91
12.2.13	J14: 复合视频输入接口	91
12.2.14	J15: ATA连接器	92
12.2.15	J16: 音频输出	93
12.2.16	J17: NAND Flash启动模式	93
12.2.17	J18: 音频输入	93
12.2.18	J23、J24: ARM引导模式选择	94
12.2.19	J27: 复合视频输入	94
12.2.20	T1: 网络接口	95
12.2.21	S1: 电源供电	95
12.2.22	S4: 外部复位接口	96
	工程调试环境的建立	97

1.1 特点:

- 采用 TMS320DM6446, 用于满足下一代嵌入式系统的网络多媒体的编解码处理应用, 该处理器采用双核架构 ARM+DSP, 其中 ARM 处理器采用 ARM926EJ-S 核, 工作主频为 297MHz, DSP 处理器采用 TI 的高端 DSP 核 C64x+, 工作主频为 594MHz。

- ◆ DSP 核 C64x+片上存储器

- 32KB L1P 程序 RAM/Cache
- 80KB L1D 数据 RAM/Cache
- 64KB L2 统一映射的 RAM/Cache

- ◆ ARM 核 ARM926EJ-S 片上存储器

- 16KB 指令高速缓存 Cache
- 8KB 数据高速缓存 Cache
- 16KB RAM
- 16KB ROM

- ◆ 片上外设

- 视频处理子系统

- 视频处理前端

- ◆ 支持 CCD 和 CMOS 图像采集接口
- ◆ 支持 BT.601/BT.656 数字 YCbCr4: 2: 2 接口
- ◆ 支持自动曝光、自动白均衡和自动对焦
- ◆ 支持调焦: 1/4x~4x; 独立的水平/垂直控制

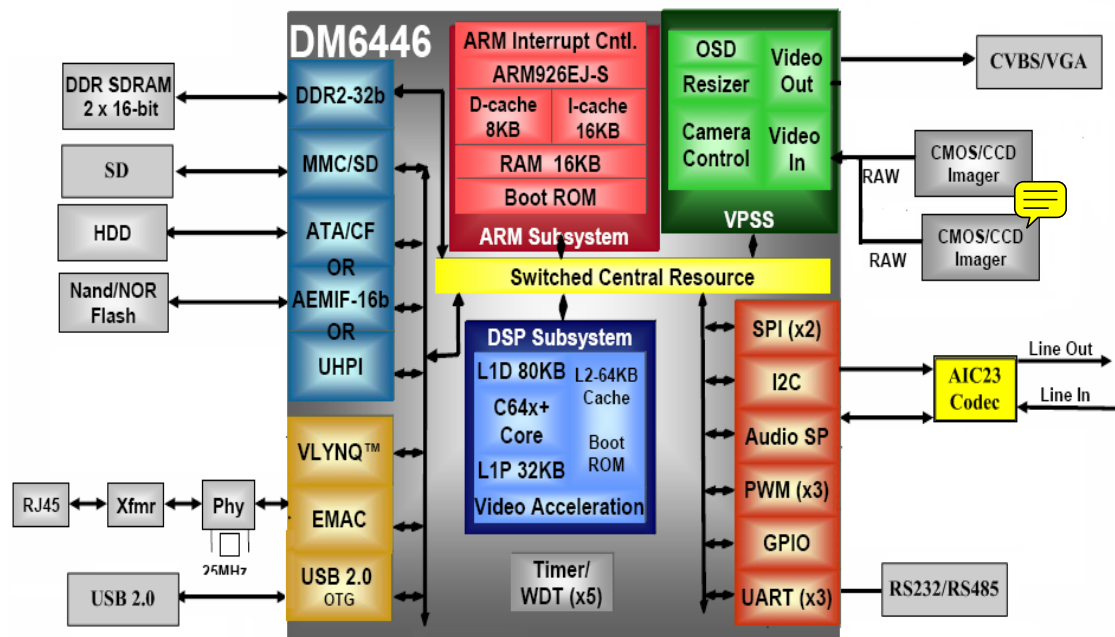
- 视频处理后端

- ◆ 硬件支持 OSD 功能
- ◆ 4 个 54MHz 的 DACs 支持复合 NTSC/PAL、S 端子和 YPbPr/RGB 视频
- ◆ 支持 8/16bit 的 YVU 或者 24bitRGB 数字输出

- 外部存储器资源

- 32bit 的 DDR2 SDRAM 存储器控制器，支持 256MB 寻址空间
- 16bit 位宽的异步外部存储器接口，支持 128MB 寻址空间
- Flash/多媒体卡接口
 - 多媒体存储卡（MMC）/SD 卡接口
 - CompactFlash 控制器支持 TrueIDE 模式、智能卡接口
- 64 通道的增强型的 DMA 控制器（EDMA）
- 2 个 64bit 的通用定时器和 1 个看门狗定时器
- 3 个 UART 通道、1 个 SPI 接口、主从 I2C 总线
- 音频串行接口（ASP）
 - I2S、AC97 音频接口
 - 标准的语音解码接口（AIC12）
- 10/100M 以太网网卡（EMAC）
 - 符合 IEEE802.3
 - 介质独立接口（MII）
- VLYNQ 接口（FPGA 接口）
- 集成物理层的 USB2.0 接口
 - 支持 USB2.0 高速/全速从设备
 - 支持 USB2.0 高速/全速/低速主设备
- 3 个脉宽调制输出口（PWM）
- ATA/ATAPI 硬盘接口
- ☐ 外扩 DDR2 DRAM，容量 256MB
- ☐ 外扩 NAND Flash，容量 64MB
- ☐ 两路 PAL/NTSC 的标准模拟视频输入（CVBS），一路 PAL/NTSC 标准模拟视频输出（CVBS），支持 VGA 输出
- ☐ 一路立体声音频输入/输出
- ☐ 两路 UART 接口，分别支持 RS232 和 RS485 接口标准
- ☐ 10M/100M 标准以太网接口
- ☐ 标准的 ATA 硬盘接口
- ☐ SD 卡接口
- ☐ USB2.0 接口，支持主从模式

1.2 功能框图



1.3 概述

SEED_DVS6446 是一款专为数字多媒体服务器应用而开发的模块，其上包含：专用于数字多媒体处理的高性能 32-位的双核架构处理器 TMS320DM6446，可实时实现数字音频视频的编解码运算；双路视频采集，支持 CVBS 和 VGA 输出；立体声音频输入输出接口；RS232 标准异步通信串口，用于控制台控制；RS485 标准异步通信接口，用于工业控制等；大容量的存储：标准 ATA 硬盘接口，方便本地数据存储，实现数字视频录像机功能；高速数据传输接口：10M/100M 以太网接口，实现数字视频服务器功能。

SEED_DVS6446 系统主要包含两部分，分别为 SEED_DVS6446 的硬件系统和相应的硬件系统的测试程序。

SEED_DVS6446 采用 TI 最新的应用于数字视频处理的片上系统芯片 TMS320DM6446 处理器，该处理器为 ARM+DSP 的双核架构处理器，ARM926EJ-S 处理最高工作频率可达 297MHz，DSP 处理器最高工作频率可达 594MHz。

SEED_DVS6446 板上存储器由 256MB 的 DDR2 DRAM、64MB NAND Flash 多种类型的存储器组成。DDR2 存储器主要用于程序和内核的运行，NAND Flash 主要用于内核的存储。

SEED_DVS6446 板上提供了下列一组与外部主机和外设进行通信的接口：

- 一路 RS232C 和一路 RS485 标准的异步串口，可直接连接采用工业标准的异步通信协议的主机和外设。
- 480M-位 / 秒 USB 2.0 设备端接口，可直接连接主机，实现高速、大量的数据传输。
- 10/100M 以太网接口，采用工业标准的 RJ45 连接器，实现网络互连。

SEED_DVS6446 系统的相应的测试程序包含以下部分：

- Video 的操作示例程序。
- VGA 的操作示例程序。
- Audio 的操作示例程序。
- USB 的操作示例程序。
- ATA 的操作示例程序
- DDR 的操作示例程序
- UART-RS232 的操作示例程序
- UART-RS485 的操作示例程序
- Ethernet 的操作示例程序
- SD 卡的操作示例程序
- NAND Flash 的操作示例程序

1.4 应用

SEED_DVS6446 可以应用于视频安全监控系统、IP 机顶盒、视频会议、车载信息娱乐系统、便携式媒体以及数码像机等。

1.5 技术指标

- 主处理器： TMS320DM6446 ， ARM926EJ-S 核工作主频高达 297MHz ， C64x+DSP 核工作频率高达 594MHz
- DDR DRAM： 256MB，工作时钟 169MHz
- 视频输入： 支持两路 PAL/NTSC 标准模拟视频信号 CVBS 视频输入
- 视频输出： 支持 CVBS 视频输出和 VGA 视频输出
- 音频输入输出： 一路立体声音频输出，一路立体声音频输入
- 异步串口： 一路 RS232，一路 RS485
- 以太网接口： 10M/100M 标准以太网接口，标准的带绿、黄 2 个 LED 指示灯的 RJ48 连接器
- ATA 接口： 40-芯的 IDC 针式插座，实现 ATA 的 PIO、DMA、Ultra DMA 传输模式
- USB 接口： 支持 USB2.0 主从模式操作
- 工作温度： 0-70 ℃

2.1 TMS320DM6446 简介

德州仪器 (TI) 推出的最新的数字媒体片上系统 (Digital Media SoC) 系列双核处理器, 针对高端视频多媒体系统的需求而设计, 该系列的最新的处理器是功能强大的 TMS320DM6446, 其采用了 TI 的 DaVinci 技术。TMS320DM6446 的双核架构兼具 DSP 和 RISC 技术的优势, 集成了时钟频率高达 594MHz 的 C64x+DSP 内核和 297MHz 的 ARM926EJ-S 内核。新一代的 C64x+ DSP 是 TMS320C6000 系列 DSP 平台中性能最高的定点 DSP, 并建立在 TI 开发的第二代高性能高级 VLIW 架构的增强版之上, 可以更好的完成视频处理功能。TMS320DM6446 具有片上内存, 包括一个 2 级高速缓存和丰富的视频处理外设。TMS320DM6446 包含一个视频/影像协处理器 (VICP), 用于减轻相关算法的 DSP 内核繁重的视频与影像处理负担, 使更多的 DSP MIPS 能用于视频后处理或者其他并行任务。

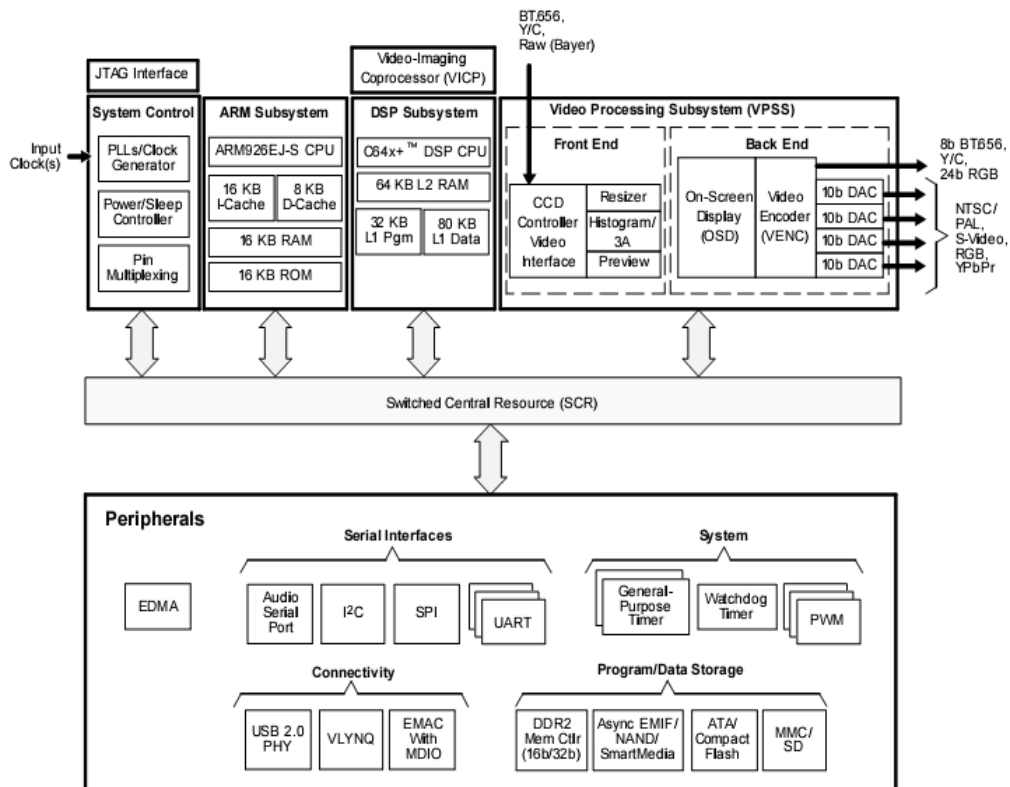
TMS320DM6446 采用 TI 达芬奇技术以满足嵌入式设备的网络多媒体编解码处理的需求。TMS320DM6446 的双核架构集成了高性能的 TMS320C64x+ DSP 核和采用精简指令集技术的 ARM926EJ-S 核。

ARM926EJ-S 是采用管道化流水线的 32 位的精简指令集处理器, 可以执行 32bit/16bit 指令集, 处理 32bit、16bit、8bit 数据。ARM 通过使用协处理器 CP15 和保护模块使体系结构得到增强, 并提供数据和程序存储管理单元。为了保证内核周期的存取指令和数据, 提供了独立的 16K 字节的指令 Cache 和 8K 字节的数据 Cache, 指令和数据 Cache 都是通过 VIVT 四路链接。

TMS320C64x+ DSP 是 TMS320C6000 系列里最高性能的定点 DSP 平台, 基于第二代高性能超长指令字结构, 使其更适合数字多媒体的应用。TMS320C64x+DSP 处理器集成了 64 个 32 位通用寄存器、8 个高性能独立功能单元—2 个乘法器和 6 个算术逻辑单元。TMS320DM6446 采用二级 Cache 结构, L1 程序 Cache 为 256Kbit 直接映射 Cache、L1 数据 Cache 为 640Kbit 的双向配置 Cache、L2 存储/Cache 包含一个 512Kbit 的存储器空间由程序和数据共享, L2 存储空间可以配置为存储空间、Cache 或者存储空间与 Cache。

TMS320DM6446 除了包含一个 297MHz 的 ARM926EJ-S 核和 594MHz 的 C64x+ DSP 核外, 还包含有一个视频处理子系统 (4 个 DACs、一个视频编码器和一个 OSD 引擎)。此外, TMS320DM6446 有丰富的外设资源: USB2.0 接口、以太网 MAC、DDR2 控制器、存储卡接口、IDE 接口等等。

其功能框图如下:



图表 2-1 : TMS320DM6446 功能框图

2.2 TMS320DM6446 存储空间配置

TMS320DM6446 集成了多个片上存储器和两个处理器及多个不同的子系统，为了简化软件开发，TMS320DM6446 所有的存储器统一编址。TMS320DM6446 集成了 DDR2 存储器接口，其外部存储器接口支持 NOR Flash、NAND Flash 和 SRAM 扩展，外部存储器接口还可以扩展支持智能多媒体卡和 CF 卡的应用。系统的存储空间图如下：

Address	Generic DaVinci Address Space	DaVinci EVM
0x00000000	ARM Instruction RAM	ARM Instruction RAM
0x00040000	ARM Data RAM	ARM Data RAM
0x02000000	AEMIF CS2	Flash/NAND/SRAM/DC
0x04000000	AEMIF CS3	DC
0x06000000	AEMIF CS4	VLNQ
0x08000000	AEMIF CS5	VLNQ
0x80000000	DDR	DDR

图 2-2 ： 系统存储空间映射图

SEED_DVS6446 开发板扩展了以下存储空间：

- **DDR2 SDRAM:** SEED-DVS6446 平台上设计支持 64M×32bit (256MB) 的 DDR2 SDRAM 存储器，由两个 64M×16bit 的 DDR2 SDRAM 存储器并联实现；DDR2 总线利用内部 PLL 主频高达 166MHz 双边情况下可达 325MHz，其刷新 DaVinci 芯片自动实现。该存储空间主要用于程序、数据和视频的存储。
- **NAND Flash:** SEED-DVS6446 平台上的 NAND Flash 存储器共享芯片的 EM_CS2 存储器空间，该空间配置为 16 位位宽。SEED-DVS6446 平台设计实现的 NAND Flash 为 64MB，NAND Flash 主要用于系统的引导，其中存储嵌入式 Linux 操作系统内核和内核引导程序 U-Boot bootloader。
- **ATA IDE 接口:** TMS320DM6446 集成了一个标准的 ATA 硬盘接口，该接口与 EMIF 接口复用。SEED-DVS6446 平台上设计标准的笔记本硬盘驱动连接器，用于 Linux 系统的文件系统、应用程序和视频压缩文件的存储。

2.3 EMIF

TMS320DM6446 支持多种存储器和外设的接口包括：

- 支持 NOR Flash、SRAM 连接的的异步 EMIF 接口
- NAND Flash 接口
- ATA/CF 接口

2.3.1 EMIFA

TMS320DM6446 的异步 EMIFA 口提供了一个 8 位或 16 位的数据总线，14 位的地址总线和 4 个独立的片选，以及存储器控制信号。这些信号由以下外设复用：

- EMIFA 和 NAND 接口
- ATA/CF
- HPI

EMIFA 提供了异步 EMIF 和 NAND 接口。四个片选可以进行独立配置给每个 EMIFA 和 NAND 设备。其中对 NAND 的支持有以下特点：

- NAND FLASH 支持 4 个独立的片选
- 8 或者 16 位的总线宽
- 可编程时钟周期
- 执行 ECC 计算
- NAND 模式还支持 SmartMedia/SSFDC 和 xD 存储卡
- ARM ROM 支持 DM6446 的 ARM 处理器从 NAND Flash 的片选 2 启动的方式

2.3.2 DDR2 内存控制器

TMS320DM6446 集成了 DDR2 存储器控制，DDR2 存储器控制器是一个独立的连接 DDR2 SDRAM 接口。它支持 JESD79D-2A 标准兼容的 16 位或 32 位 DDR2 SDRAM 内存。DDR2 高速的外部存储器来完成以下功能：

- 存放从传感器和视频源输入的图像数据
- 处理和恢复 VPEE 中的图像数据的过程存储
- 大量的 OSD 显示缓存
- 执行图像处理的大量的 raw Bayer 数据图像文件的过程存储
- 缓冲视频编解码功能需要的中间数据
- 存储 ARM 和 DSP 的可执行代码

SEED_DVS6446 系统通过 EMIFA 扩展了 256MB 的 DDR2 存储器空间用于程序、数据和视频等的存储；扩展了 64MB 的 NAND Flash 存储空间，用存储系统的引导程序和系统内核，供系统启动时加载内核启动。

2.4 ATA/CF

TMS320DM6446 处理器集成了 ATA 控制器，ATA 接口又被称为 IDE 控制器，是一个传统的便携式 PC 和硬盘驱动器连接和通讯的媒介。TMS320DM6446 集成 ATA 接口，为数字音视频应用提供了音视频数据存储的无缝连接，可以实现实时数据的本地化保存。TMS320DM6446 的 IDE 主机控制逻辑支持 PIO, multiword DMA 和 ultra-DMA 模式，该 ATA 控制器有如下特点：

- 单通道连接两个 ATA/ATAPI 设备
- 支持 CF 配置在 True-IDE 模式

- 支持 PIO 模式 0, 1, 2, 3, 4
- 支持 multi-word DMA 模式 0, 1, 2
- 支持 ultra-DMA 模式 0, 1, 2, 3, 4, 5
- 完全兼容 scatter/gather DMA
- 在任何时钟频率对任意的 ATA 时序操作模式提供可编程时序参数支持。

TMS320DM6446的ATA控制器功能框图如下：

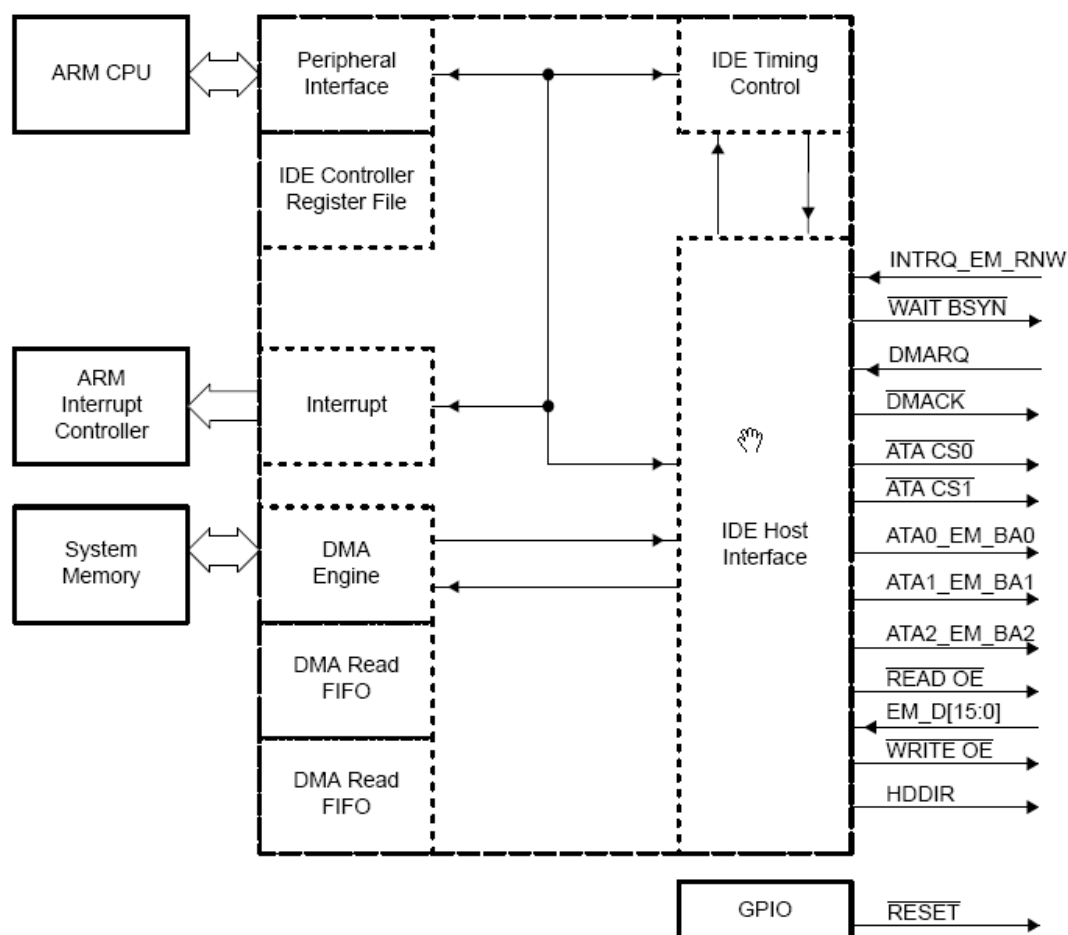


图 2-3 ： ATA 功能框图

SEED_DVS6446 系统扩展了一个 40G 的 2.5" 的笔记本电脑硬盘，ATA 的硬盘主要用于 Linux 系统的文件系统、应用程序和视频压缩文件的存储。

2.5 MMC/SD

TMS320DM6446 的 MMC/SD 卡控制器提供了一个外部 MMC/SD 卡的接口，用于实现 MMC/SD 卡控制器和 MMC/SD 卡协议。

TMS320DM6446 的 MMC/SD 外设模块及有以下特点：

- 支持 MMC 卡接口
- 支持 SD 卡接口
- 可以使用 MMC/SD 协议
- MMC/SD 控制器和存储卡之间传输控制时序的时钟频率可编程
- 256 位读写 FIFO 减轻系统损耗
- 信号支持 EDMA 传输（从机）
- MMC 最大 20MHz 的时钟频率
- SD 卡最大 50MHz 的时钟频率

该模块的功能框图如下：

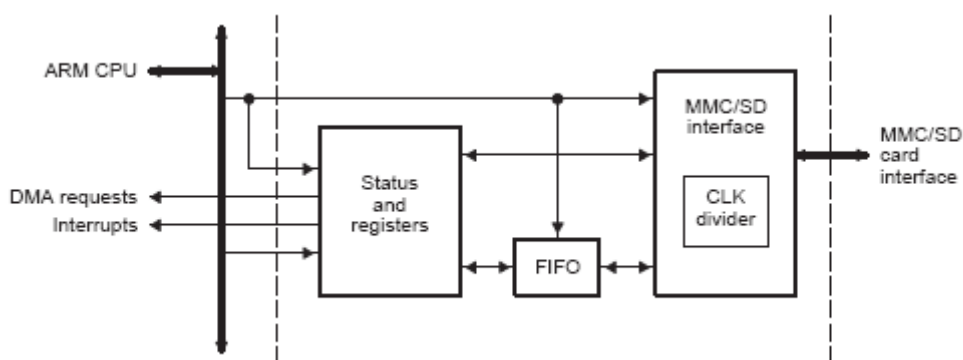


图 2-4：MMC/SD 模块功能框图

SEED_DVS6446 系统支持 SD 卡，用于满足多媒体卡(MMC)和数据安全卡(SD)来提供可移动的数据存储的应用需求。

2.6 VPSS

TMS320DM6446 视频处理子系统为视频处理应用提供了视频处理前端 VPFE 输入接口和视频处理后端接口。视频处理子系统框图如下：

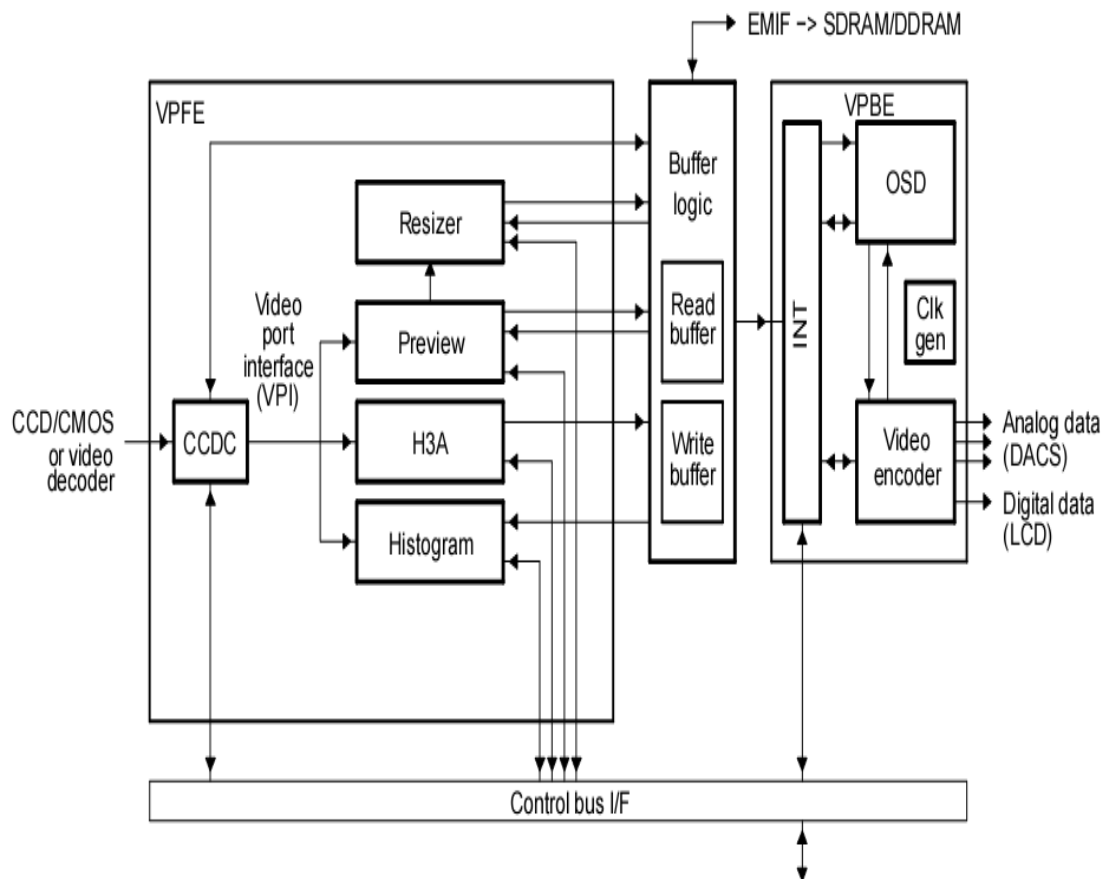


图 2-5：视频处理子系统框图

SEED_DVS6446 系统为满足系统应用需求，利用 VPFE 通过 tvp5150 扩展了两路 CVBS 标准模拟视频采集通道，利用 VPBE 扩展支持一路 CVBS 视频输出和 VGA 视频输出。

2.7 USB 2.0

TMS320DM6446 集成了一个 USB2.0 总线控制器，支持 USB 高速主从模式工作，ARM926EJ-S 可以通过寄存器映射操作 USB2.0 控制器。

TMS320DM6446 集成的 USB2.0 控制器支持 480Mbps 的数据传输率，支持 USB 设备之间数据传输和主机端沟通机制。

USB2.0 控制器的特点如下：

- 支持 USB2.0 外设高速 480Mbps 和全速 12Mbps
- 支持 USB2.0 主机在高速 480Mbps 和全速 12Mbps 和低速 1.5Mbps
- 支持 4 个同时的 RX/TX 终端和动态开关
- 每个终端可支持所有的传输类型（控制、块、中断和同步传输）
- 支持 USB SRP 和 HNP 扩展
- 包含了 4K 的 FIFO RAM 和支持可编程 FIFO 大小
- VBUS 的外部 5V 电源可通过 I2C 控制
- 包含一个 DMA 控制器支持 4 个 RX 和 4 个 TX DMA 通道

TMS320DM6446 的 USB 功能框图如下：

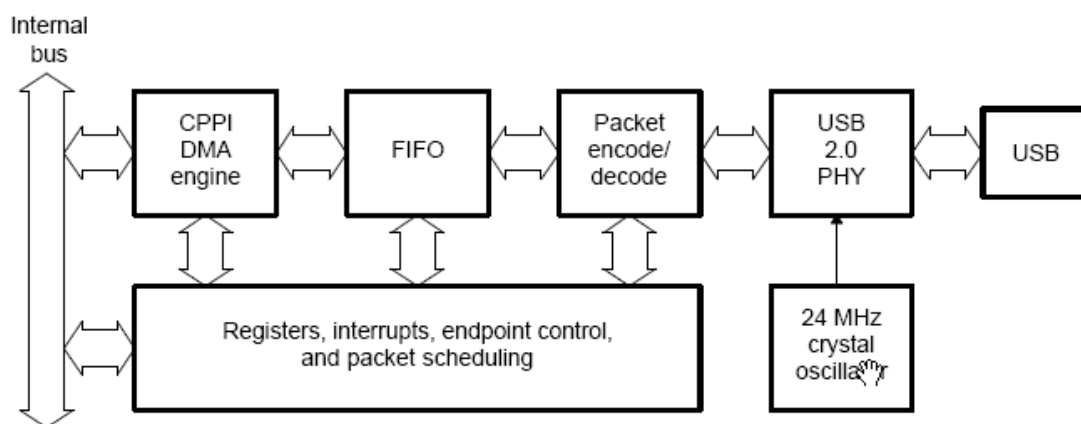


图 2-8 : USB2.0 控制器模块功能图

2.8 UART

TMS320DM6446 集成了 UART 控制器，支持 3 个 UART 外设连接。UART 支持基于工业标准的 TL16C550 异步通信模块，支持 FIFO 模式数据传输，最大支持 16 字节数据的缓存，从而减轻接收和发送数据时 CPU 程序的时钟消耗。

UART 控制器可以从外设接收数据以完成数据的串并转换和从 CPU 接收数据发送以完成并串数据转换功能，CPU 可以通过随时读取 UART 的状态寄存器来确定数据的发送与接收。UART 控制器包含一个可编程波特率发生器，分频输入的 UART 时钟，为内部发送和接收单元产生一个 16x 的参考时钟。

UART 控制器包含以下特点：

- 可编程波特率
- 可编程的串口数据特征
 - ◆ 数据长度 5, 6, 7, 8 位
 - ◆ 奇效验, 偶效验, 无效验位设置
 - ◆ 1, 1.5, 2 个停止位
- 16 字节深度的接收和发送 FIFO
 - ◆ 支持 FIFO 模式或非 FIFO 模式
 - ◆ 1, 4, 8, 14 字节可选的接收 FIFO 触发电平以实现自动流控制和 DMA
- 支持接收和发送的 DMA 传输
- 支持接收和发送的 CPU 中断
- 开始位错误检测
- 断线的产生和检测
- 内部诊断能力
 - ◆ 链路通信回路控制
 - ◆ 极性、溢出和帧错误的仿真
- 可编程自动流控制使用 RTS 和 CTS 信号(UART2)
- 调制控制功能 (UART2) 和非调制控制功能 (UART0, 1)

UART 控制器的功能框图如下：

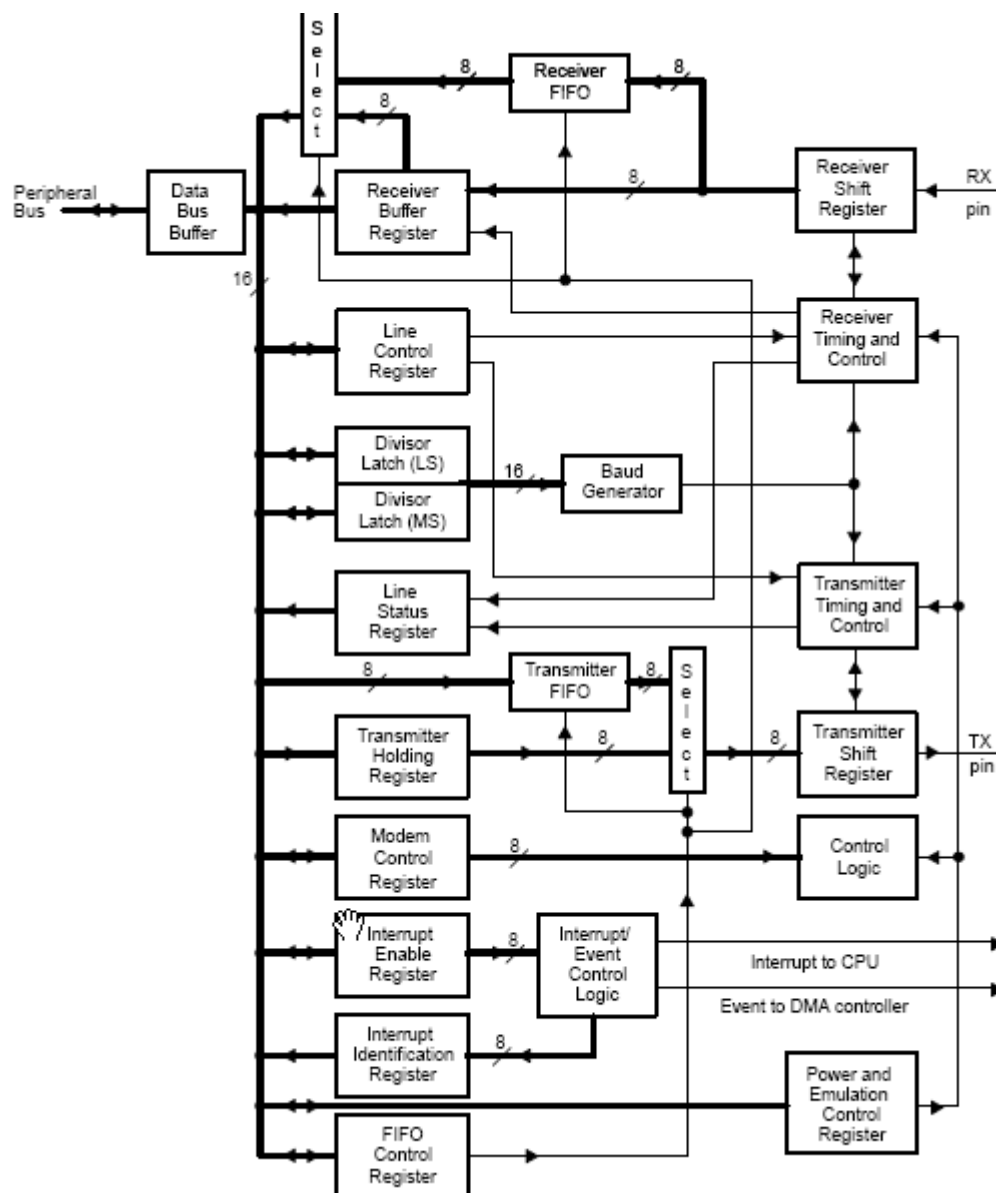


图 2-9：UART 控制器功能框图

SEED_DVS6446 系统为应用需要扩展了两个 UART 接口，分别提供对 RS232 和 RS485 异步串口通信需要的支持。

2.9 ASP

TMS320DM6446 为系统音频应用需求集成了 ASP 控制器以实现同音频设备的连接。ASP 是 TI 的 DSP 处理器专门为音频应用设计的接口。ASP 主要支持的音频模式为 AC97 模式和 IIS 模式，除此之外 ASP 还可以通过编程支持其他音频格式但是不能提供高速操作接口。ASP 还具有很大的灵活性，可以无缝地连接到音频模数转换器(ADC)、数模转换器(DAC)、编解码器、数字音频接口接收器和 S/PDIF 发送物理层组件。

ASP 的特性如下：

- 全双工通讯
- 两个数据缓冲寄存器允许连续的数据流
- 两个独立时钟（发送和接收）
- 工业标准的 **codec**，**AICs** 和其他连续连接 **AD** 或 **DA** 设备
- 数据传输可使用外部转换时钟或内部的频率可编程转换时钟

另外ASP还具有如下特性：

- 直接接口：
 - ◆ **AC97**兼容接口
 - ◆ **IIS**兼容接口
- 支持8、12、16、20、24、28 和32 位数据
- μ -Law和 A-Law 压缩
- **LSB**、**MSB**可选的8位在前数据传输
- 可编程极性的同步帧和数据时钟
- 高度可编程的内部时钟和帧发生器

ASP 的功能框图如下：

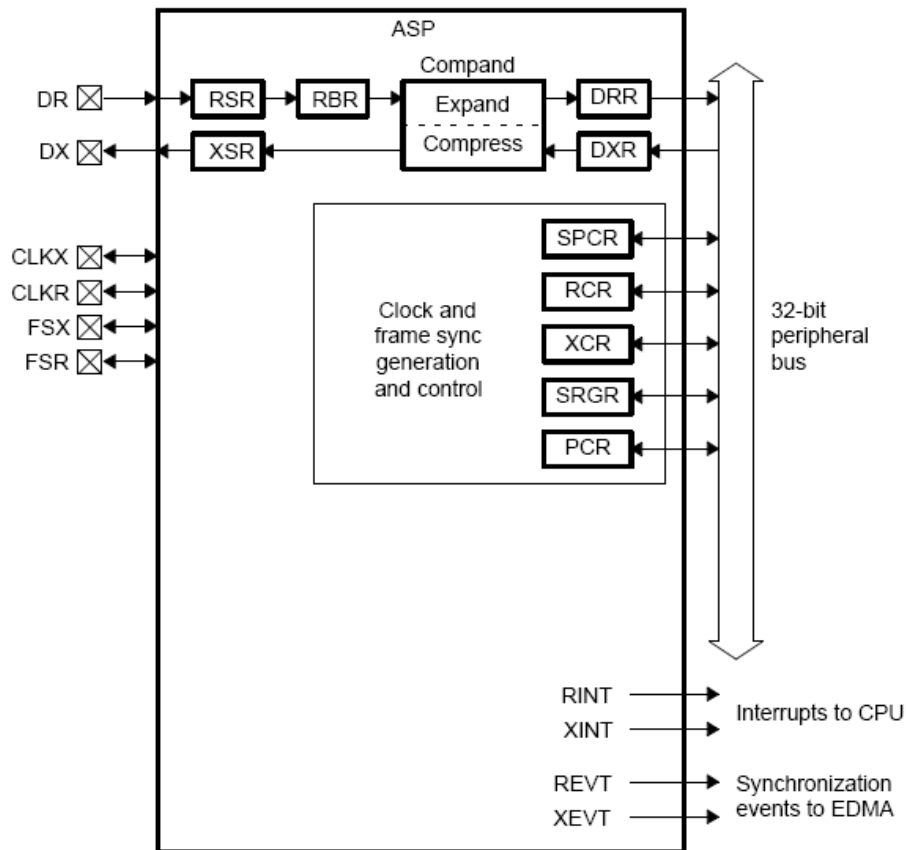


图 2-10 ： ASP 功能框图

SEED_DVS6446 系统通过 ASP 接口与 TLV320AIC23B 音频芯片连接，实现立体声的音频的输入输出，提供音频处理功能。

2.10 EMAC/MDIO

TMS320DM6446 集成了以太网媒质访问控制器（EMAC）和物理层设备的数据输入输出管理（MDIO）模块。EMAC 为 DM6446 和外部网络连接提供了一个有效的网络接口，EMAC 支持 10Base-T 和 100Base-TX 或者 10M/100M 的半双工或双工模式，而且支持硬件流控制和 Qos。其中，EMAC 控制系统到网络物理层的数据包流控制，MDIO 用于控制物理层设备的配置和状态检测。

EMAC/MDIO 控制器的特性如下：

- 支持 10/100M 的同步操作
- 标准的对物理层设备的媒介独立接口（MII）
- EMAC 作为 DMA 的 Master 模式，用于对外部和内部设备的存储空间的访问
- 8 接收通道，支持 VLAN 标识区分以实现接收 QOS
- 8 发送通道，支持轮询机制或者优先级机制实现发送的 QOS
- 硬件流控制
- 可编程中断逻辑使能软件限制循环中断的产生，使得单个中断调用可以完成更多的工作

EMAC/MDIO 模块的功能框图如下：

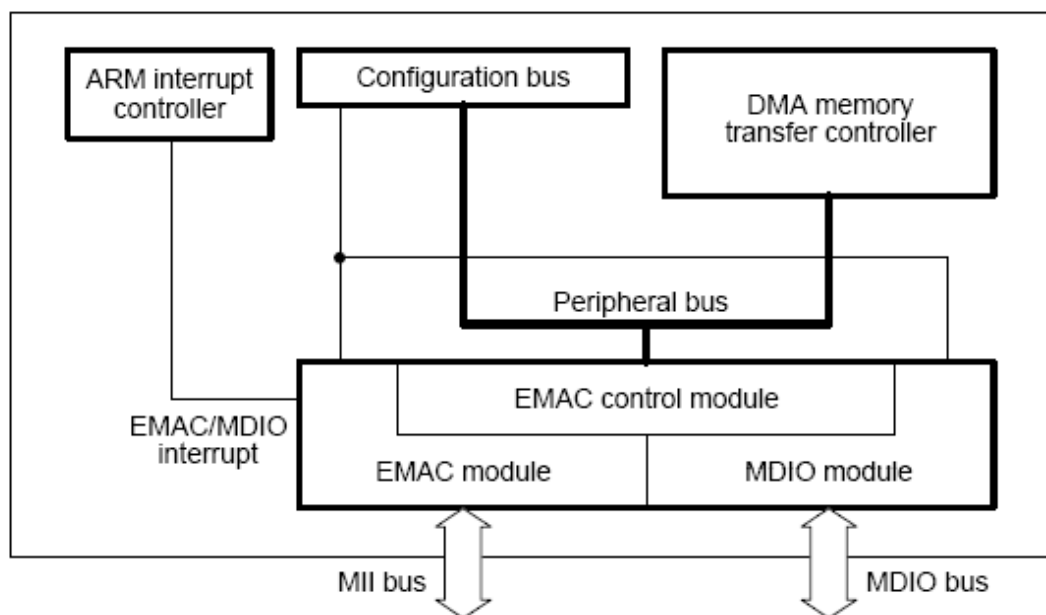


图 2-11：EMAC/MDIO 功能框图

SEED_DVS6446 系统采用 BCM 公司的网络物理层芯片实现 10M/100M 网络接口支持，为系统的网络视频采集传输等提供了网络接口。

2.7 GPIO

TMS320DM6446提供了非常丰富的GPIO资源。通用输入/输出(GPIO) 外设提供专用的通用引脚，可以配置为输入或输出。当配置为输出时，可以写入内部寄存器以控制输出引脚上驱动的状态。当配置为输入时，可以通过读取内部寄存器的状态检测输入的状态。此外，GPIO 外设可以在不同的中断/事件生成模式下产生CPU 中断和EDMA 事件。GPIO外设提供了到外部设备最简单的连接。在TMS320DM6446中每个Bank提供了16个GPIO。

GPIO外设提供了以下支持：

- 54 个 1.8V 的 GPIO(GPIO[0: 53])
- 17 个 3.3V 的 GPIO (GPIO3V[0: 16]/GPIO[54: 70])
- 中断
- BANK0 中最大 8 个独立的中断 GPIO[0:8]
- 5 个 GPIO BANK 中断信号
- 中断可以上升沿或下降沿触发，并可以指定某个 GPIO 触发
- DMA 事件
- 最多 8 个独立的 GPIO DMA 事件 (bank0)
- 5GPIO BANK (总计) DMA 事件信号
- 设置/清除功能、分立的输入输出寄存器

TMS320DM6446 的 GPIO 功能框图如下：

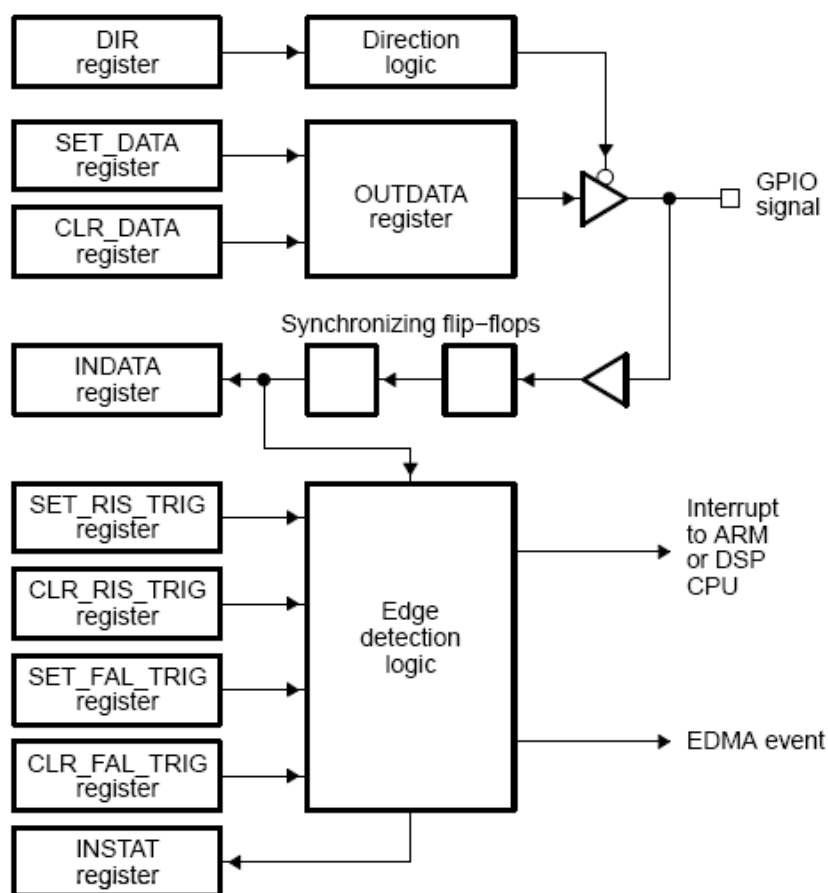


图 2-8 : GPIO 模块功能图

SEED_DVS6446 系统充分利用各个 GPIO，并扩展出了四个 GPIO 输出和两个 GPIO 输入作为数字输入输出口，方便满足用户其他需求。

视频接口

TMS320DM644x 提供了 VPSS 视频处理子系统，方便与各种视频格式接口。在 SEED_DVS6446 中实现了 2 路的 PAL/NTSC 标准模拟视频输入和 1 路 PAL/NTSC 标准模拟视频输出或 VGA 输出。视频输入接口选了解码芯片 TVP5150PBS，视频输出采用 TMS320DM6446 片内的四路 10 位的 DAC 输出，实现 CVBS 与 VGA 输出。

3.1 TMS320DM6446 视频处理子系统

DM6446 视频处理子系统（VPSS）包括了视频处理前端（VPFE）和视频处理后端（VPBE），分别用于外部图像输入设备和视频输出设备。下图是其结构框图：

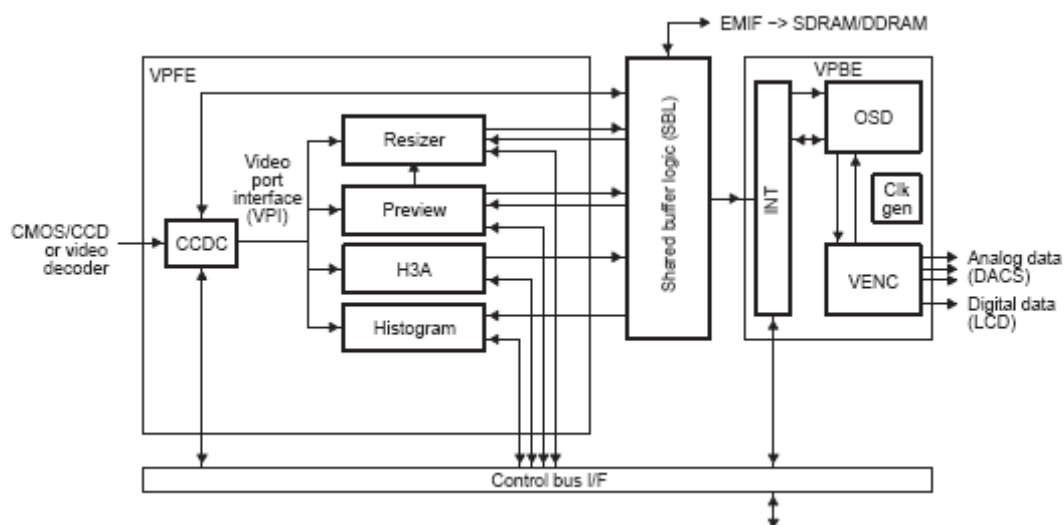


图 3-1 : VPSS 子系统框图

3.1.1 视频处理前端（VPFE）

视频处理前端由 CCD 控制器（CCDC），预览器（Previewer），图像缩放装置（Resizer），硬件自动白平衡、自动对焦、自动曝光装置（H3A）和柱状图模块（Histogram block）组成。

- CCD 控制器从传感器（CMOS 或 CCD）接收原始图像/视频数据或者从视频解码装置接收 YUV 格式视频数据。

- 预览器将从传感器（CMOS 或 CCD）接收的原始的未处理的图像/视频数据转化成 YCbCr 422 格式的数据。预览器的输出可以用于视频压缩，或者外部显示设备，如 NTSC/PAL 模拟编码器或数字 LCD。
- 图像缩放装置从硬件实现图像大小的缩放。可以从预览器或者 DDR2 接收输入的图像/视频数据，输出到 DDR2。
- H3A 模块是提供自动白平衡、自动对焦、自动曝光的控制环路。包含两个主要模块：
- VENC 的模拟/DACs 接口有如下特性：
 - 自动对焦（AF）引擎装置
 - 自动曝光（AE）与自动白平衡（AWB）引擎装置
- 柱状图模块依靠输入的颜色像素和提供的统计需求来执行不同的 3A 算法，最后调整最终的图像和视频输出。柱状图模块的数据源一般为 CCD/CMOS 传感器（通过 CCDC 模块）或者 DDR2。

3.1.2 视频处理后端（VPBE）

视频处理后端（VPBE）由 OSD 模块和视频编码器（VENC）组成。VENC 包含数字 LCD（DLCD）和模拟（DAC 等）接口。视频编码器产生模拟的视频输出。DLCD 控制器产生数字的 RGB/YCbCr 数据输出和时钟信号。

- OSD 模块的主要功能是在硬件上实现图形、字符叠加。同时支持 2 个视频窗和 2 个图形、字符（OSD）窗口，支持 8 种视频窗数据与 OSD 窗数据混合的方法。图形、字符数据从外部存储器读入，一般为 DDR2。OSD 通过控制和参数寄存器编程实现其功能。
- VENC 的模拟/DACs 接口有如下特性：
 - 支持 480P/576P NTSC/PAL 标准模拟视频输出
 - 4-通道 10-位 D/A 输出，可产生各种组合的模拟视频输出
 - ◆ 复合视频
 - ◆ 超级视频（S-Video）：使用 2 通道 DAC
 - ◆ 分量视频（YPbPr 或 RGB）：用 3-通道 D/A
 - ◆ 复合视频 + 分量视频：用 4-通道 D/A
 - 内部产生彩色条（100/75%）
- VENC 的数字 LCD 控制器（DLCD）有如下特性：
 - 时钟可编程，最高可达 75MHz
 - 支持多种数字视频输出格式
 - ◆ 16-位 YCbCr
 - ◆ 8-位 YCbCr
 - ◆ BT.656
 - ◆ 24-位 RGB
 - 用于数字 RGB 输出的低通滤波器
 - 可编程时序发生器
 - 支持主/从操作方式
 - 内部产生彩色条（100/75%）

3.2 视频输入

SEED_DVS6446 视频输入接口选了解码芯片 TVP5150PBS。它是一款高性能的视频解码器，可将 NTSC、PAL 视频信号转换成数字色差信号（YUV422），支持两个复合视频或一个 S 端子输入。输出格式为 ITU-R BT.656，并支持 Macrovision™ 复制保护以及高级的 VBI 功能。不仅如此，TVP5150PBS 还具备了封装小（32 脚的 TQFP）、功耗小（<150mV）的特点，因此，非常适用于便携、批量大、高质量和高性能的视频产品。

3.2.1 TVP5150 的视频输入

视频解码器 TVP5150PSB 可以接受 2 路复合视频信号（CVBS）和 1 路超级视频信号（S-Video, Y/C）输入。在 SEED_DVS6446 使用了两片 TVP5150PBS，每片只使用了 1 路的复合信号。输入电路如下图所示：

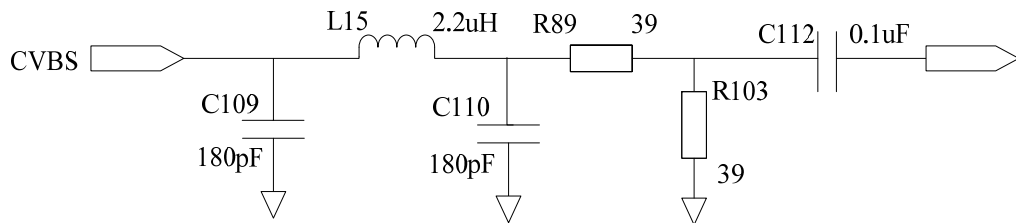


图 3-2: TVP5150 输入电路

视频编码器 TVP5150PBS 的视频信号输入范围为 $0.75V_{pp}$ ，而外部视频信号输入范围一般为 $1V_{pp}$ ，所以外部视频输入与 TVP5150PBS 的视频输入之间串接 39Ω 和 39Ω 到地分压电阻网络，以达到 TVP5150PBS 所需的输入电平。在使用前一定要将视频信号输入的范围调整到 $1V_{pp}$ 。

3.2.2 TVP5150 的配置

TVP5150PBS 的配置是通过标准的 IIC 总线来完成的。TVP5150PBS 的 IIC 标准总线是由串行数据输入/输出线（SDA）和时钟输入/输出线（SCL）组成的。TVP5150PBS 只做为从设备，不能做为主设备。IIC 总线的数据传送速率高达 400Kbits/s。在 SEED_DVS6446 系统中两片 TVP5150PBS 的 IIC 地址分别为 0xBA 和 0xB8。

3.2.2.1 TVP5150 配置的写

TMS320DM6446 做为一个 IIC 总线的主设备初始化 TVP5150 配置的写操作时，按如下程式进行：

- DM6446 产生一个起始条件；

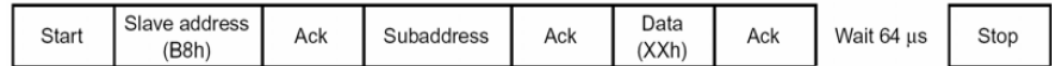
- DM6464 发出一个 TVP5150 的地址(0xBA 或 0xB8), 并标明写操作, 等待 TVP5150 响应;
- 接收到 TVP5150 的响应后, DM6446 发出要配置的寄存器的地址, 等待 TVP5150 响应;
- 接收到 TVP5150 的响应后, 发送要配置的数据, 等待 TVP5150 响应;
- 接收到 TVP5150 的响应后, 发送停止位, 结束一次配置。

整个写的过程列表如下:

Step 1	0							
i2C Start (master)	S							
Step 2	7	6	5	4	3	2	1	0
i2C General address (master)	1	0	1	1	1	0	X	0
Step 3	9							
i2C Acknowledge (slave)	A							
Step 4	7	6	5	4	3	2	1	0
i2C Write register address (master)	addr	addr	addr	addr	addr	addr	addr	addr
Step 5	9							
i2C Acknowledge (slave)	A							
Step 6	7	6	5	4	3	2	1	0
i2C Write data (master)	Data	Data	Data	Data	Data	Data	Data	Data
Step 7†	9							
i2C Acknowledge (slave)	A							
Step 8	0							
i2C Stop (master)	P							

† Repeat steps 6 and 7 until all data have been written.

在进行寄存器 (0x00~0x8F) 配置时, TVP5150 需要一段延时来完成当前的配置, 此时 TVP5150 保持 SCL 为低, 通知 DM6446 配置尚未完成。在编程时, 一般不用查询当前的 SCL 的状态, 而是配置需要的最大延时 64us。示例如下:



3.2.2.2 TVP5150 状态的读

当 TMS320DM6446 要读取当前 TVP5150 的状态时, 需通过 IIC 总线启动对 TVP5150 的寄存器的一个读操作。读操作分两部分进行, 说明如下:

- DM6446 向 TVP5150 写入要读取的寄存器的地址;
- DM6446 向 TVP5150 发送读取寄存器数据的命令。

整个过程列表如下：

Read Phase 1

Step 1	0
I ² C Start (master)	S

Step 2	7	6	5	4	3	2	1	0
I ² C General address (master)	1	0	1	1	1	0	X	0

Step 3	9
I ² C Acknowledge (slave)	A

Step 4	7	6	5	4	3	2	1	0
I ² C Read register address (master)	addr	addr	addr	addr	addr	addr	addr	addr

Step 5	9
I ² C Acknowledge (slave)	A

Step 6	0
I ² C Stop (master)	P

Read Phase 2

Step 7	0
I ² C Start (master)	S

Step 8	7	6	5	4	3	2	1	0
I ² C General address (master)	1	0	1	1	1	0	X	1

Step 9	9
I ² C Acknowledge (slave)	A

Step 10	7	6	5	4	3	2	1	0
I ² C Read data (slave)	Data	Data	Data	Data	Data	Data	Data	Data

Step 11†	9
I ² C Not Acknowledge (master)	$\bar{A}$

Step 12	0
I ² C Stop (master)	P

† Repeat steps 10 and 11 for all bytes read. Master does not acknowledge the last read data received.

3.2.3 DM6446 与TVP5150 的连接

SEED_DVS6446 中，TMS320DM6446 与 TVP5150 的连接框图如下所示。板卡上可以接两路的复合视频输入。处理 TVP5150A 芯片的视频输入，TMS320DM6446 的视频接

口可以配置为 8 位的 BT.565 接口模式，或者原始数据接口模式。而处理 TVP5150B 芯片的视频输入，只能配置为原始数据接口模式。

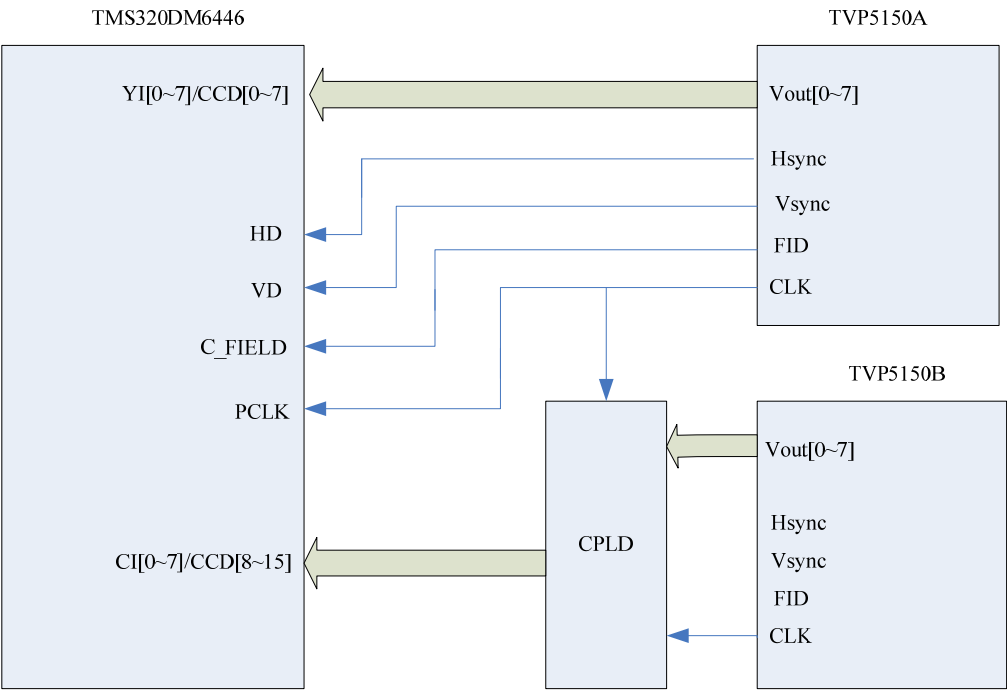
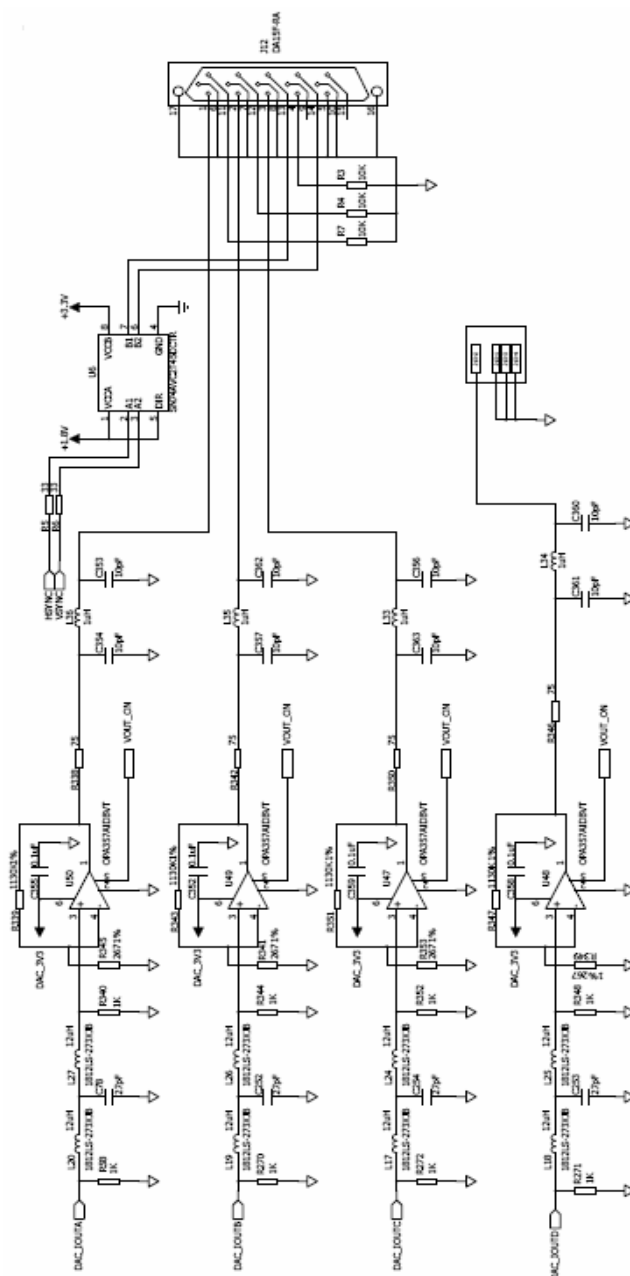


图 3-3: TVP5150 与 DM6446 连接示意图

3.3 视频输出

SEED_DVS6446 视频输出采用 DM6446 片内的四路 10 位的 DAC 输出，实现 CVBS 与 VGA 输出。其中 CVBS 输出接口使用了 1 路 DAC，VGA 输出接口使用了 3 路的 DAC。当配置为 VGA 输出接口时，还使用了行场同步信号 HSYNC 和 VSYNC。其电路图如下所示：



3.3 VGA输出

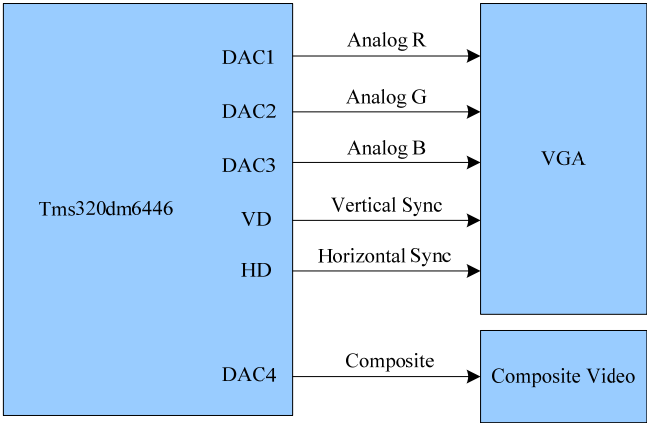
3.2.1 VGA接口介绍

VGA 端子也叫 D-Sub 接口。VGA 接口是一种 D 型接口，上面共有 15 针，分成三排，每排五个。VGA 接口就可以方便的和监视器连接。

VGA 接口传输的仍然是模拟信号，对于以数字方式生成的显示图像信息，通过数字/模拟转换器转变为 R、G、B 三原色信号和行、场同步信号，信号通过电缆传输到显示设备中。对于模拟显示设备，如模拟 CRT 显示器，信号被直接送到相应的处理电路，驱动控制显像管生成图像。而对于 LCD、DLP 等数字显示设备，显示设备中需配置相应的 A/D（模拟/数字）转换器，将模拟信号转变为数字信号。

3.2.1 DVS6446 的VGA接口

DVS6446 的 VGA 视频输出接口由 VPBE 模块提供。VPBE 输出接口分为数字接口和模拟接口两部分，模拟接口包括 4 路视频 DAC 信号，一路 DAC 电压参考线和 R 偏差信号。其中，DAC1 被用来作为模拟 R 信号输出，DAC2 被用来作为模拟 G 信号输出，DAC3 被用来作为模拟信号 B 输出，模拟 RGB 信号与 HD、VD 一起，组成了 VGA 接口的基本输出信号。



VPBE 的视频 DAC 输出配置由寄存器 DACSEL 控制。

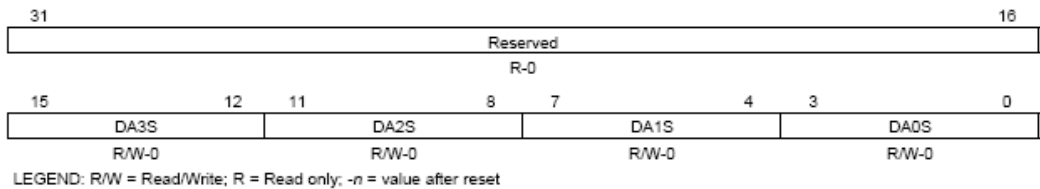


图 3 DAC 输出选择寄存器

SEED_DVS6446 系统利用 TMS320DM6446 集成的 UART 外设控制器，扩展配置了两个 UART 通用异步串口，一个配置为 RS232 用于系统启动时的控制台使用，一个配置为 RS485 用于工业应用如云台控制或与其他设备通信等。

4.1 TMS320DM6446 的UART接口

TMS320DM6446 集成了 UART 控制器，支持 3 个 UART 外设连接。UART 支持基于工业标准的 TL16C550 异步通信模块，支持 FIFO 模式数据传输，最大支持 16 字节数据的缓存，从而减轻接收和发送数据时 CPU 程序的时钟消耗。

UART 控制器可以从外设接收数据以完成数据的串并转换和从 CPU 接收数据发送以完成并串数据转换功能，CPU 可以通过随时读取 UART 的状态寄存器来确定数据的发送与接收。UART 控制器包含一个可编程波特率发生器，分频输入的 UART 时钟，为内部发送和接收单元产生一个 16x 的参考时钟。

UART 控制器包含以下特点：

- 可编程波特率
- 可编程的串口数据特征
 - ◆ 数据长度 5, 6, 7, 8 位
 - ◆ 奇效验，偶效验，无效验位设置
 - ◆ 1, 1.5, 2 个停止位
- 16 字节深度的接收和发送 FIFO
 - ◆ 支持 FIFO 模式或非 FIFO 模式
 - ◆ 1, 4, 8, 14 字节可选的接收 FIFO 触发电平以实现自动流控制和 DMA
- 支持接收和发送的 DMA 传输
- 支持接收和发送的 CPU 中断
- 开始位错误检测
- 断线的产生和检测
- 内部诊断能力
 - ◆ 链路通信回路控制
 - ◆ 极性、溢出和帧错误的仿真
- 可编程自动流控制使用 RTS 和 CTS 信号(UART2)
- 调制控制功能 (UART2) 和非调制控制功能 (UART0, 1)

TMS320DM6446 集成的 UART 控制器可以扩展 3 个 UART，其对应的信号线分为三组：

- UART_TX0, UART_TX1, UART_TX2
- UART_RX0, UART_RX1, UART_RX2
- UART_CTS2, UART_RTS2
- 其中只有 UART2 支持 modem 模式和流量控制。

SEED_DVS6446 配置 UART0 为 RS232 模式，UART1 为 RS485 模式。

4.1.1 UART寄存器说明

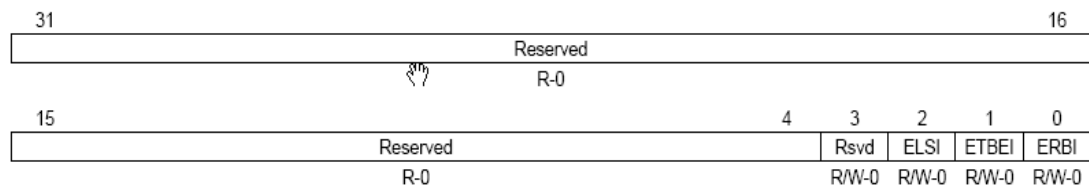
TMS320DM6446 的 UART 的寄存器如表示：

Offset	Acronym	Register Description
0h	RBR	Receiver Buffer Register (read only)
0h	THR	Transmitter Holding Register (write only)
4h	IER	Interrupt Enable Register
8h	IIR	Interrupt Identification Register (read only)
8h	FCR	FIFO Control Register (write only)
Ch	LCR	Line Control Register
10h	MCR	Modem Control Register
14h	LSR	Line Status Register
20h	DLL	Divisor LSB Latch
24h	DLH	Divisor MSB Latch
28h	PID1	Peripheral Identification Register 1
2Ch	PID2	Peripheral Identification Register 2
30h	PWREMU_MGMT	Power and Emulation Management Register

表 4-1：UART 寄存器列表

● 中断使能寄存器

中断使能寄存器可以单独使能或禁用 UART 产生的任意类型的中断请求，每个使能的中断请求在发生中断时将被直接送往 CPU，调用中断程序。



ERBI: 配置接收数据中断和字符超时标识中断

0: 禁用

1: 使能

ETBEI: 发送保存寄存器空中断使能

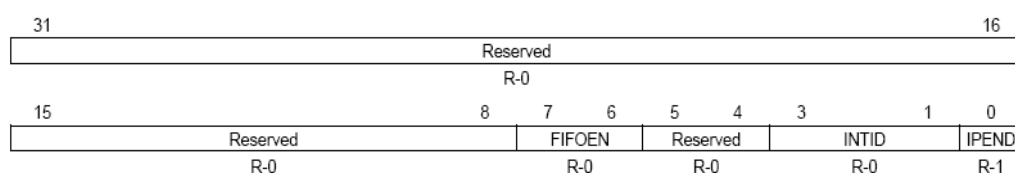
0: 禁用

1: 使能

ELSI : 保留, 只能写入 0

● 中断标识寄存器

中断标识寄存器与 FIFO 控制器公用同一地址, 是个只读寄存器, 当中断产生且被配置为使能, 中断标识为标明中断挂起, 并产生相应的中断类型。UART 支持中断产生和优先级, UART 支持三个优先级: 1: 最高优先级-接收线状态; 2: 优先级 2-接收数据准备好或者接收超时; 3: 优先级 3-发送寄存器为空。中断标识寄存器中的 FIFOEN 为用于配置 UART 是否工作于 FIFO 模式。



IPEND: 中断挂起标识

0: 中断挂起

1: 无中断挂起

INTID: 终端类型标识

1: 发送寄存器为空

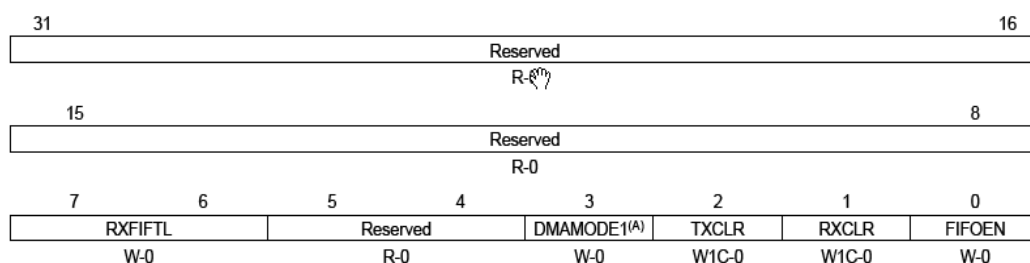
2: 接收寄存器满

3: 接收线状态

6: 接收字符超时

● FIFO 控制寄存器

FIFO 控制寄存器是一个只写寄存器, 用于配置 FIFO 模式及 FIFO 模式下接收缓存的触发电平。



FIFOEN: 是否使能发送接收 FIFO 模式

0: 禁用

1: 使能

RXCLR: 清除接收端 FIFO

0: 不作用

1: 复位接收端

TXCLR: 清除发送端 FIFO

0: 不作用

1: 复位发送端

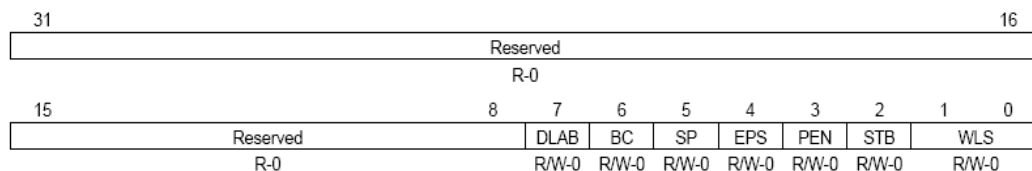
DMAMODE1: DMA MODE1 使能, 始终写 1, 是 UART 与 EDMA 控制器通信的必要配置

0: DMA MODE1 禁用

1: DMA MODE1 使能

● 线控制器

线控制寄存器配置异步数据传输交换时使用的数据格式。



WLS: 字符长度选择

0: 5 bits

1: 6 bits

2: 7 bits

3: 8 bits

STB: 停止位个数产生

0: 1 bit 停止位

1: WLS 为 0 时, 产生 1.5bit 的停止位; WLS 为 1, 2, 3 时, 产生 2bit 停止位

PEN: 奇偶校验位使能

0: 没有奇偶校验位

1: 奇偶校验位产生

EPS: 奇偶校验模式选择

0: 奇校验

1: 偶校验

SP:

0: 禁用 **stick** 校验

1: 使能 **stick** 校验

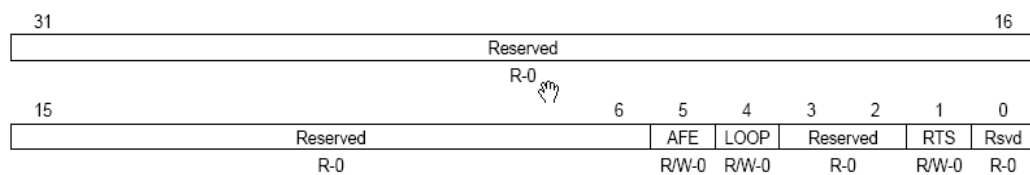
DLAB: 分频寄存器访问位

0: 允许访问 **RBR**、**THR**、**IER** 寄存器

1: 允许读写过程中访问波特率发生器的分频

● Modem 控制器

Modem 控制器用于使能和禁用自动流量控制和回环功能等分析功能。



RTS: RTS 控制

0: RTS 禁用，只使能 CTS

1: 使能 RTS 和 CTS

LOOP: 回环模式使能

0: 禁用回环模式

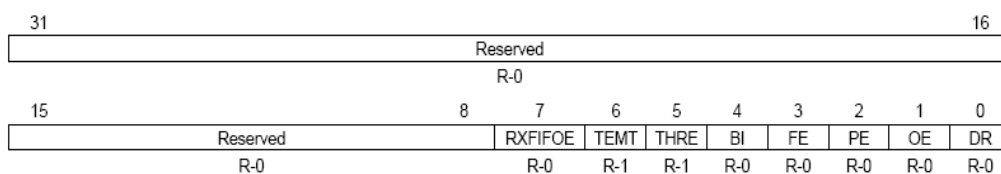
1: 使能回环模式

AFE: 自动流量控制使能

0: 禁用自动流量控制

1: 使能自动流量控制

● 线状态寄存器



DR: 接收端数据准备 OK 标识

0: 数据没有准备好

1: 数据准备好

OE: 溢出错误标识

0: 没有检测到溢出

1: 检测到溢出

PE: 奇偶校验错误标识

0: 没有检测到奇偶校验错误

1: 检测到奇偶校验错误

FE: 帧错误标识

0: 没有检测到帧错误

1: 检测到帧错误

THRE: 发送保持寄存器空标识

0: 发送保持寄存器为非空

1: 发送保持寄存器为空

TEMT: 发送器为空标识

0: 发送保持寄存器或者发送移位寄存器不空

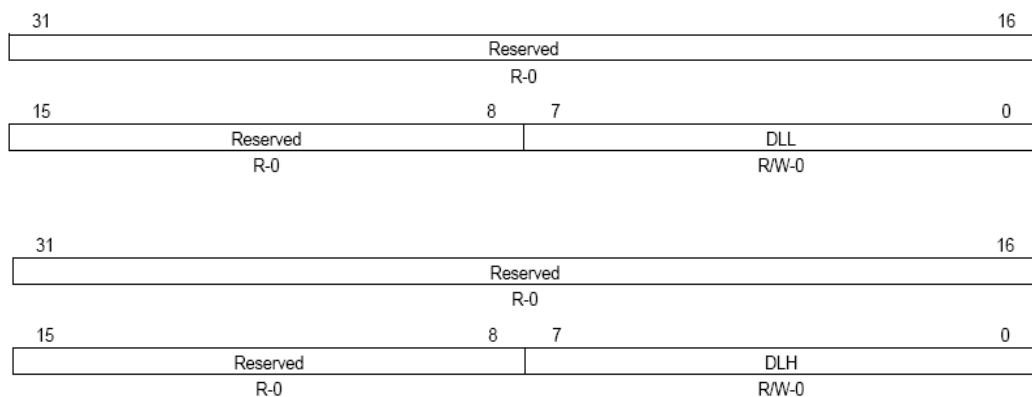
1: 发送保持寄存器和发送移位寄存器均为空

RXFIFOE: 接收器 FIFO 错误

0: 没有错误

1: 奇偶校验、帧错误或者中断标识接收缓存寄存器有标识

- 分频寄存器: 包含两个 8 位的寄存器域用于存储 16 位的分频值以产生需要的波特率时钟。DLH 用于保存高位, DLL 用于保存低位



DLL: 分频值的低 8 位

DLH: 分频值的高 8 位

4.1.2 波特率设置

UART 的位时钟是从固定的 27MHz 的时钟获取的, 支持最高 128000bps 的数据率。UART 的时钟产生原理如下图:

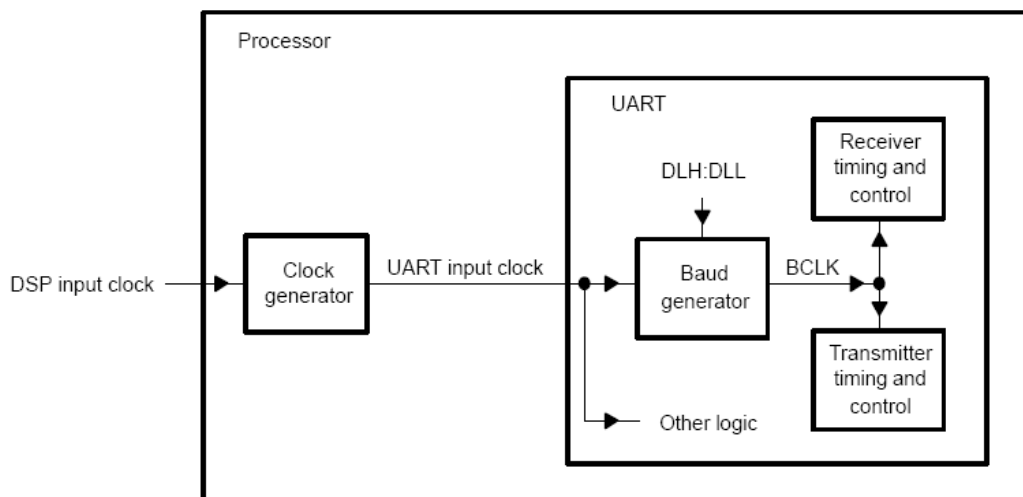


图 4-1: UART 波特率产生原理图

UART 包含一个可编程的波特率发生器，将输入时钟经过分频产生需要的位时钟，分频值可以在 1-65535。位时钟的频率是波特率的十六倍频，每一个接收发送的数据位占用 16 个位时钟，接收时，位采样也在第八个位时钟时采样。分频器值的计算公式如下：

$$\text{Divisor} = \frac{\text{UART input clock frequency}}{\text{Desired baud rate} \times 16}$$

数据位、位时钟和 UART 的输入时钟的关系如图示：

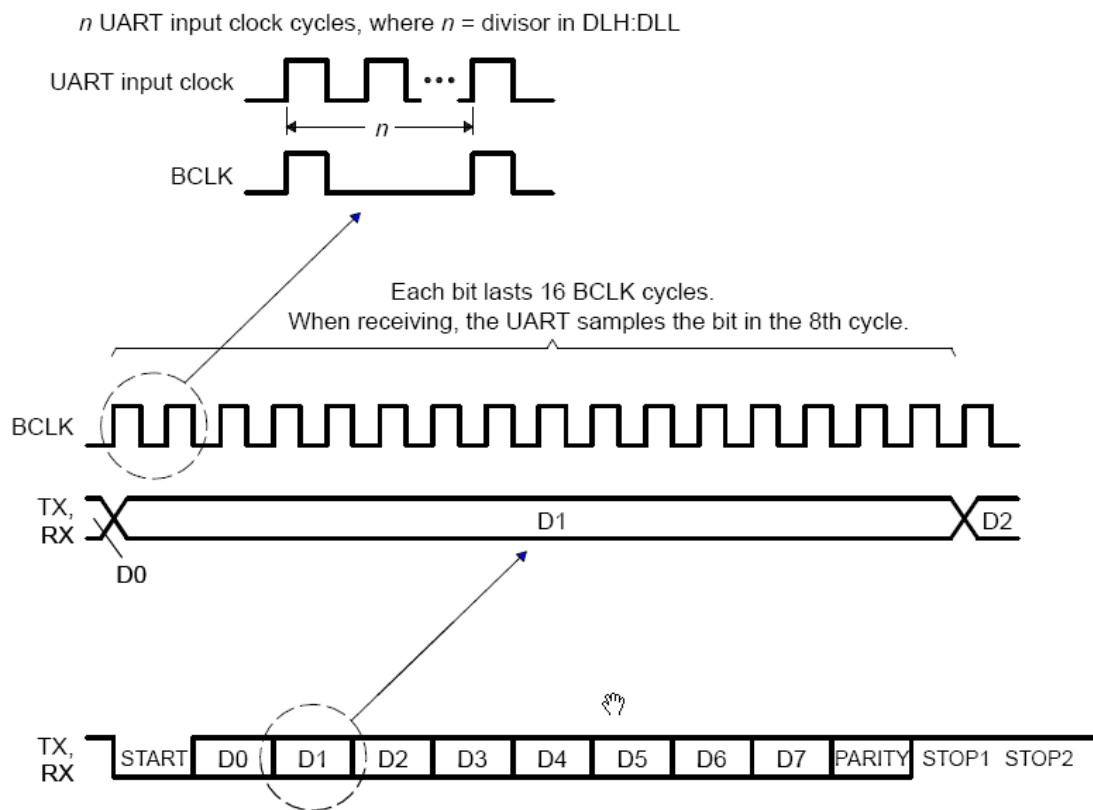


图 4-2 : 时序图

当输入时钟为 27MHz 时，支持的波特率如下图所示：

Baud Rate	Divisor Value	Actual Baud Rate	Error (%)
2400	703	2400.427	0.0001778
4800	352	4794.034	-0.001243
9600	176	9588.068	-0.001243
19200	88	19176.14	-0.001243
38400	44	38352.27	-0.001243
56000	30	56250	0.0044643
128000	13	129807.7	0.0141226

图 4-3 波特率

4.2 异步串口接口电平

4.2.1 RS232 异步串口接口电平

SEED_DVS6446 采用 MAX3221 单通道 RS232 协议收发器，使得异步串口电平符合 RS232 电平标准。RS232 采用 RXD、TXD 两线制。MAX3221 支持自动掉电功能，这时需要配置 FORCEON 为低且 FORCEOFF 为高，自动掉电功能起作用在这种工作方式中若器件未感应到接收器输入端上的一个有效的 RS-232 信号，则驱动器输出端被禁止；若 FORCEOFF 置为低且 EN 为高，则驱动器和接收器均被切断电源，电流降至 1A；断开串行端口或关闭外围驱动器将会导致自动掉电；当 FORCEON 和 FORCEOFF 为高时，自动掉电被禁止；当自动掉电被使能且在接收器输入端加一个有效信号时器件被激活，无效 INVALID 输出告知用户查看 RS-232 信号是否加在接收器输入端，如果接收器输入端电压高于 2.7 V 或低于 -2.7 V 或在 +0.3 V 之间并持续少于 30 s，INVALID 为高数据有效如果接收器输入端电压在 +0.3 V 之间并持续超过 30 s 则 INVALID 为低数据无效。

UART 与 MAX3221 的连接示意图如下：

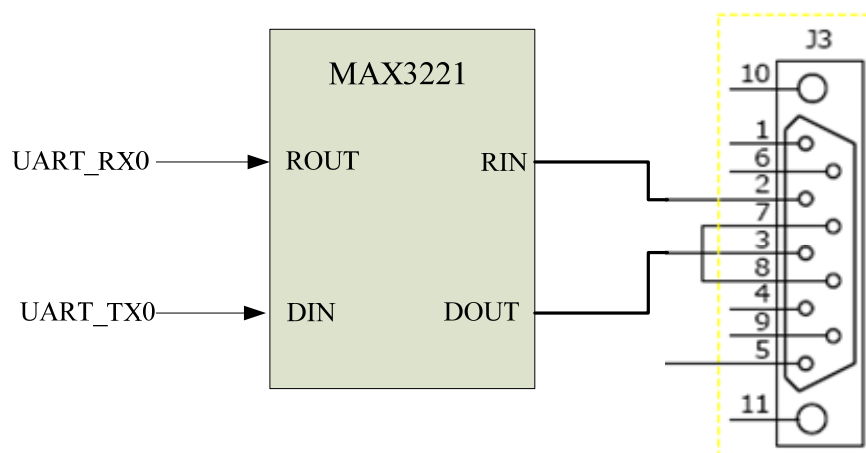


图 4-4：UART 与 MAX3221 连接示意图

4.2.2 RS485 异步串口接口电平

RS485 采用差分信号负逻辑，+2V~+6V 表示“0”，-6V~-2V 表示“1”。RS485 有两线制和四线制两种接线，四线制只能实现点对点的通信方式，现很少采用，现在多采用的是两线制接线方式，这种接线方式为总线式拓扑结构，在同一总线上最多可以挂接 32 个结点。在 RS485 通信网络中一般采用的是主从通信方式，即一个主机带多个从机。很多情况下，连接 RS-485 通信链路时只是简单地用一对双绞线将各个接口的“A”、“B”端连接起来。而忽略了信号地的连接，这种连接方法在许多场合是能正常工作的，但却埋下了很大的隐患，这有二个原因：(1)共模干扰问题：RS-485 接口采用差分方式传输信号方式，并不需要相对于某个参照点来检测信号，系统只需检测两线之间的电位差就可以了。但人们往往忽视了收

发器有一定的共模电压范围，RS-485 收发器共模电压范围为-7~+12V，只有满足上述条件，整个网络才能正常工作。当网络线路中共模电压超出此范围时就会影响通信的稳定可靠，甚至损坏接口。(2)EMI 问题：发送驱动器输出信号中的共模部分需要一个返回通路，如没有一个低阻的返回通道（信号地），就会以辐射的形式返回源端，整个总线就会像一个巨大的天线向外辐射电磁波。

SEED_DVS6446 系统扩展了一个 RS485 接口，用于云台控制等设备。UART RS485 接口通过 SN65HVD485ED 半双工 RS485 收发器连接。

SN65HVD485ED 是一款为 RS485 数据总线网络设计的半双工收发器，采用 5V 供电，符合 TIA/EIA-485A 标准，适合于长距离双绞线传输，数据传输速率可达 10Mbps。因此被广泛应用于工业领域。

SEED_DVS6446 系统中 RS485 UART 接口与 RS485 控制芯片连接，并采用 GPIO 控制数据的输入输出操作实现半双工功能。UART RS485 的连接示意图如下：

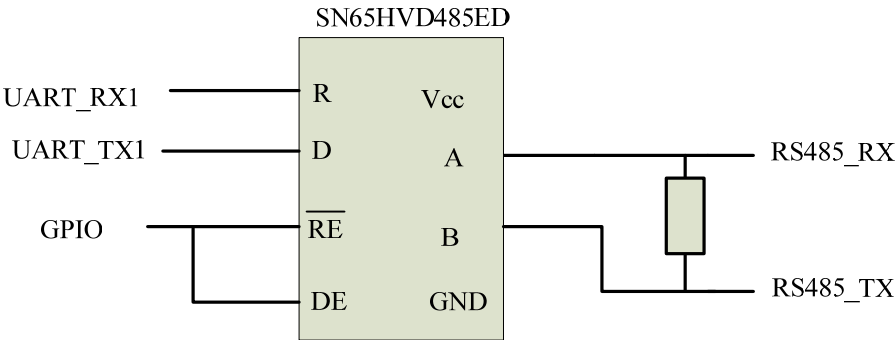


图 4-5: RS485 连接示意图

音频输入与输出

SEED_DVS6446 采用 TLV320AIC23B 实现单路立体声音频的输入 / 输出，TLV320AIC23B 是一种音频 Codec 器件，他的基本功能为：48KHz 带宽、96KHz 采样率，双声道立体声 A/D、D/A，音频输入包括：麦克风输入（提供麦克风偏置输出和前置放大器）和立体声输入（提供可编程放大器），音频输出包括：立体声输出（提供耳机功率放大器，能提供 30mW 输出功率，驱动 32Ω 负载）。

TLC320AIC23B 与微处理器的接口有二个，一个是控制口，用于设置 TLV320AIC23B 的工作参数，另一个是数据口，用于传输 TLV320AIC23B 的 A/D、D/A 数据。SEED-DVS6446 系统使用 DSP 的 IIC 总线进行 TLC320AIC23B 的配置，利用 DSP 的 ASP 与 TLC320AIC23B 进行数据的交换。

5.1 TMS320DM6446 的ASP接口

TMS320DM6446为系统音频应用需求集成了ASP控制器以实现同音频设备的连接。ASP是TI的DSP处理器的McBSP的专门为音频应用设计的接口。ASP主要支持的音频模式为AC97模式和IIS模式，除此之外ASP还可以通过编程支持其他音频格式但是不能提供高速操作接口。ASP 还具有很大的灵活性，可以无缝地连接到音频模数转换器(ADC)、数模转换器(DAC)、编解码器、数字音频接口接收器和S/PDIF 发送物理层组件。

ASP 主要包括以下机组功能引脚：

- 位时钟：CLKX，CLKR
- 帧同步：FSX，FSR
- 数据：DR，DX

ASP 同步串行通信协议简单说明如下：

- ASP 串行数据流起始时刻称为帧同步事件。帧同步事件由位时钟采样帧同步信号给出。
- ASP 串行数据流长度：串行传输的数据流位数达到设定的长度后，结束本次传输，等下一个帧同步信号达到，再发起另一次串行传输。
- ASP 串行数据流传输速度：即每一个串行位的持续时间，由位时钟决定。
- ASP 帧同步事件与何时采样与输出串行数据位流，即 FSX（FSR）、CLKX（CLKR）、DX（DR）三者之间的关系

ASP 的功能框图如下：

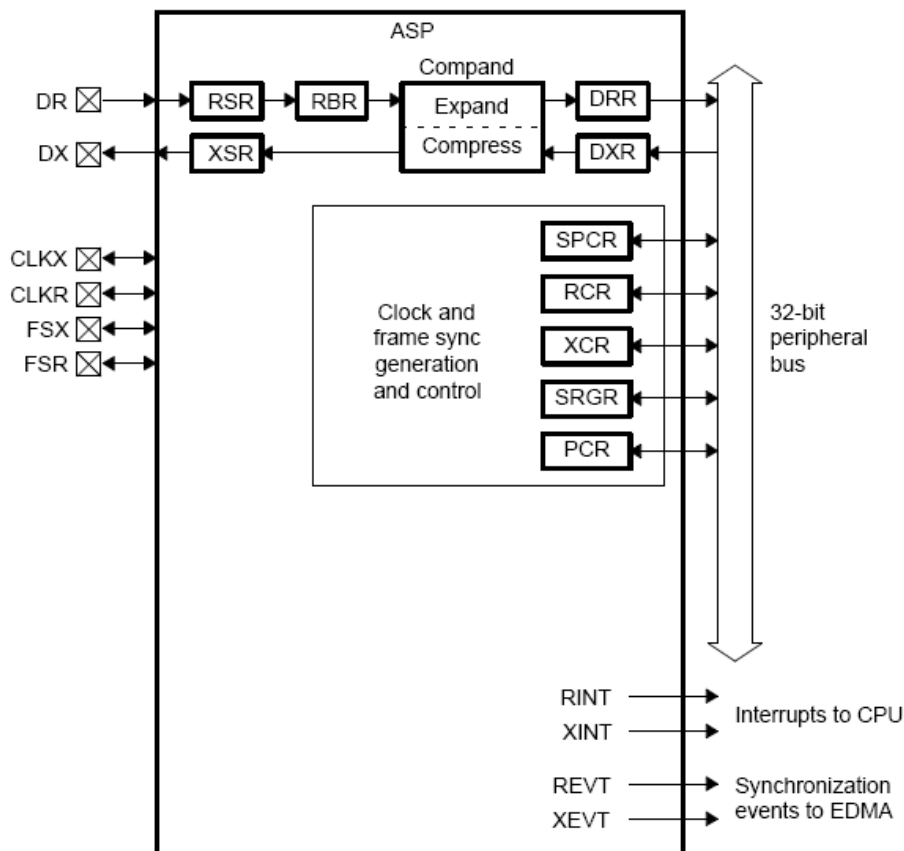


图 5-1 : ASP 功能框图

5.2 TLV320AIC23B

TLV320AIC23B（以下简称AIC23B）是TI 推出的一款高性能的立体声音频Codec 芯片，内置耳机输出放大器，支持MIC 和LINE IN 两种输入方式（二选一），并且输入和输出都具有可编程增益调节。AIC23B 的模数转换（ADC）和数模转换（DAC）部件高度集成在芯片内部，采用了先进的Sigma—delta 过采样技术，可以在8K 到96K 采样率范围内提供16-位、20-位、24-位和32-位采样，ADC 和DAC 的信噪比分别可以达到90dB 和100dB。同时，AIC23B 还具有很低的能耗，回放模式下功率仅为23mW，省电模式下更是小于15uW。

AIC23B 的管脚和内部结构框图如下：

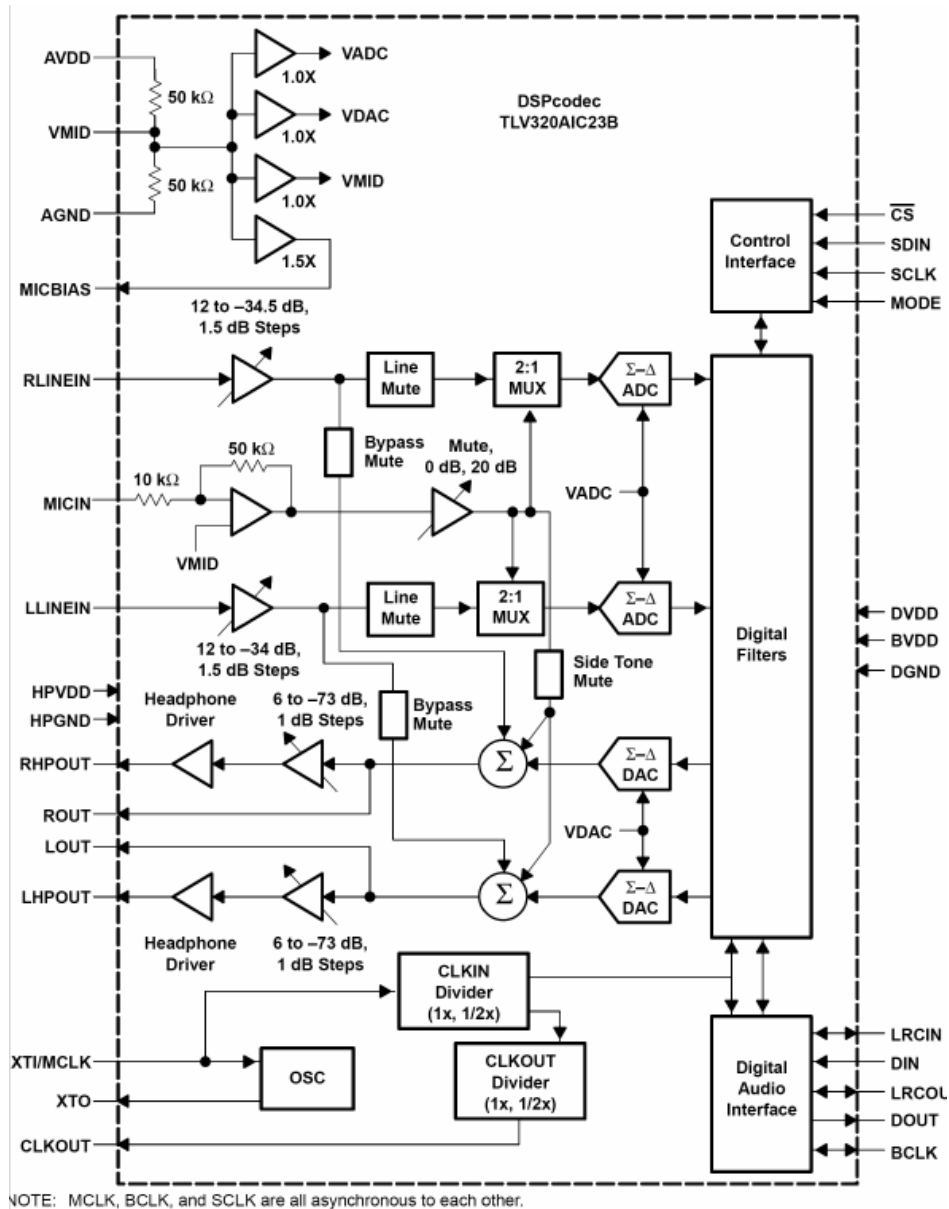


图 5-2: AIC23B 的管脚和内部结构框图

5.3 TLV320AIC23B与TMS320DM6446 的接口

TLV320AIC23B与微处理器的接口有二个，一个是控制口，用于设置TLV320AIC23B的工作参数，另一个是数据口，用于传输TLV320AIC23B 的A/D、D/A 数据。SEED-DVS6446系统上将TMS320DM6446的ASP与TLV320AIC23B接口；使用IIC总线与TLV320AIC23B 的控制口接口。

5.3.1 TLV320AIC23B的数据口

TLV320AIC23B 的数据口有四种工作方式，分别为：

- Right justified
- Left justified
- IIS Mode
- DSP Mode

其中后两种可以很方便的与DSP 的McBSP串口相连接。下面我们以DSP Mode 模式来说明数据口的连接。其硬件上的管脚说明如下：

- BCLK: 数据口位-时钟信号，当 AIC23B 为从模式时（通常情况），该时钟由 DSP 产生；AIC23B 为主模式时，该时钟由 AIC23B 产生；
- LRCIN: 数据口 DAC 输出的帧同步信号（IIS 模式下左 / 右声道时钟）
LRCOUT: 数据口 ADC 输入的帧同步信号
- DIN: 数据口 DAC 输出的串行数据输入
- DOUT: 数据口 ADC 输入的串行数据输出

这部分可以和DM6446的ASP接口无缝连接，可以方便的实现主模式与从模式两种工作方式。当ASP为从模式时，ASP的接收时钟与帧同步信号都由AIC23B 来提供；当McSP 为主模式时，ASP 产生所有的信号。连接示意图如下：

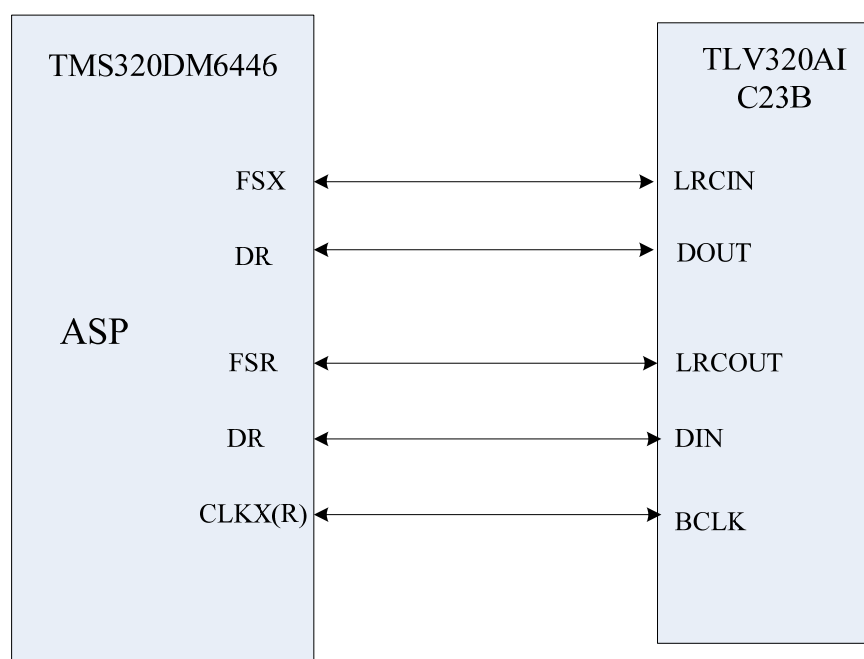


图5-3：ASP与AIC23B连接示意图

TMS320DM6446与AIC23B 的数据交换的协议可以采用DSP 模式与IIS 模式，区别仅在于DSP的ASP帧同步信号的宽度。后者的帧同步信号宽度必须为一个字（16 位）长，而前者的帧宽度可以为一个位长，比如在字长16 位（即左右声道的采样各为16 位），帧长为32位的情况下，如果采用IIS，帧同步信号宽度应为16 位；而采用DSP Mode 帧信号宽度1位即可。在SEED-DVS6446系统中采用DSP 模式与ASP 相连接。其时序如下图：

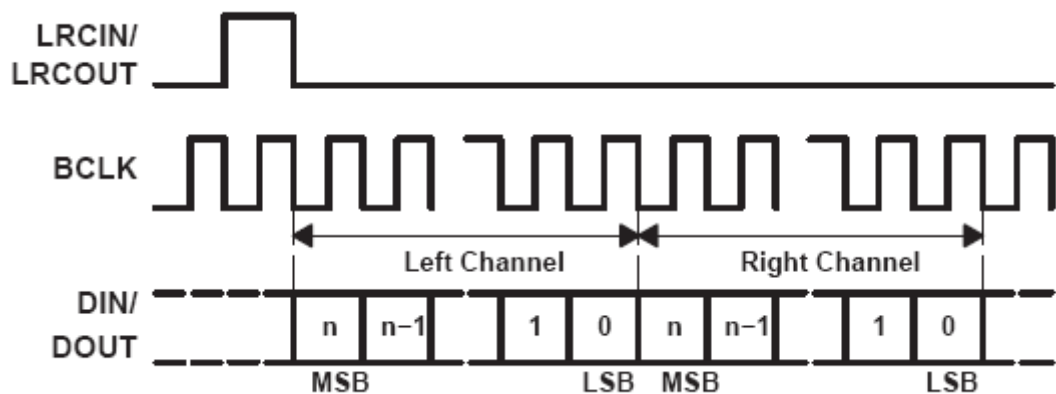


图5-4: DSP模式下时序图

5.3.2 TLV320AIC23B控制口

TLV320AIC23B 的控制接口有两种工作方式，分别为：

- 2 线制的 IIC 方式（MODE 为低）；
- 3 线制的 SPI 方式（MODE 为高）。

在SEED-DVS6446系统上采用IIC方式控制TLV320AIC23B。其硬件管脚的说明如下：

- SDIN: AIC23B 控制口串行数据输入；
- SCLK: AIC23B 控制口的位-时钟；

当使用IIC总线对AIC23B 进行配置时，IIC 总线选择7位地址的寻址方式，由于AIC23B 的寄存器只有写操作无读操作，因而，其通讯协议为每个WORD 的前7-Bit 为寄存器地址，后9-Bit 为寄存器内容。其时序如下图所示：

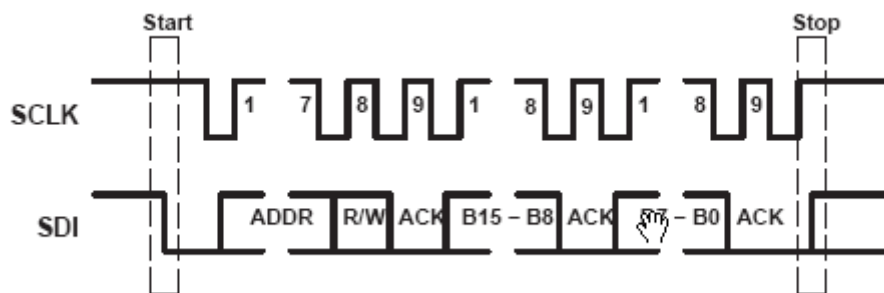


图5-5 : I2C控制时序图

每个AIC23B只有两个不同的IIC 总线从设备地址0x1A（CS 为低）与0x1B（CS 为高）可供选择。因而一个IIC总线只能配置2个AIC23B。在SEED_DVS6446系统中，两个地址均可以采用，通过电阻的焊接实现上拉下拉完成地址的组成。

AIC23B 的控制寄存器见下表：

ADDRESS	REGISTER
0000000	Left line input channel volume control
0000001	Right line input channel volume control
0000010	Left channel headphone volume control
0000011	Right channel headphone volume control
0000100	Analog audio path control
0000101	Digital audio path control
0000110	Power down control
0000111	Digital audio interface format
0001000	Sample rate control
0001001	Digital interface activation
0001111	Reset register

表 5-1: TLV320AIC23B寄存器表

5.4 TLV320AIC23B的位时钟实现

在SEED_DVS6446系统中，音频的采集与图像的采集、音频的播放与图像的播放必须保持同步。因而AIC23B的时钟输入是由视频解码器TVP5150的SCLK 经过PLL1705经过适当分频后的SCLKO2(256fs)提供。另外为了保证获得合适的位时钟与帧同步信号配合，ASP的CLKR 与CLKX 分别与PLL1705 的SCKO2（256fs）。连接其原理图如下所示：

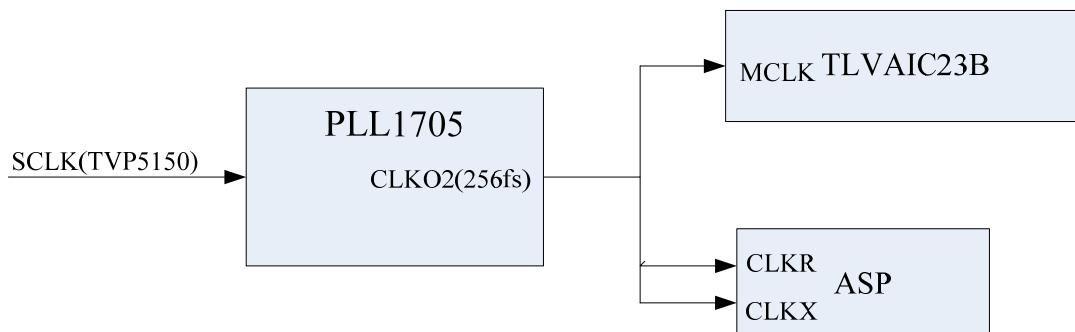


图5-6: TLV320AIC23B位时钟

从图中可以看出，PLL1705是一可编程的锁相环，将TVP5150 的27MHz 的时钟输出做为输入，从而保证了图像与音频的同步；其可以分频出：

- SCKO3 输出 384fs（fs =32, 44.1, 48, 64, 88.2, 96KHz）时钟，SEED_DVS6446 系统未用；
- SCKO2 输出 256fs（fs = 32, 44.1, 48, 64, 88.2, 96KHz，音频采样率 fs 可编程）时钟，提供给 AIC23 的 MCLK,CLKR,CLKX；
- SCKO1 输出 384fs,768fs（fs =44.1KHz）时钟， SEED_DVS6446 系统未用；
- SCKO0 输出 768fs（fs =44.1KHz）时钟， SEED_DVS6446 系统未用。

PLL1705输出时钟的可编程特性由采样频率控制引脚设置，控制引脚有3 个信号，FS1，

FS2, SR, 这三个信号在SEED_DVS6446中由TMS320DM6446提供, PLL1705还有一个编程引脚CSEL, 用于选择频率模式正常或者加倍, 以确定SCKO1的频率。

5.5 TLV320AIC23B的模拟接口

TLV320AIC23B 的模拟接口主要包括以下两个部分:

- 立体声 Line 输入;
- 立体声 HP 输出

5.5.1 立体声Line输入

立体声输入口包括左右声道的输入, 其管脚为:

- LLINEIN: 左声道 LINE IN 输入;
- RLINEIN: 右声道 LINE IN 输入。

SEED_DVS6446 系统的音频输入连接如下示:

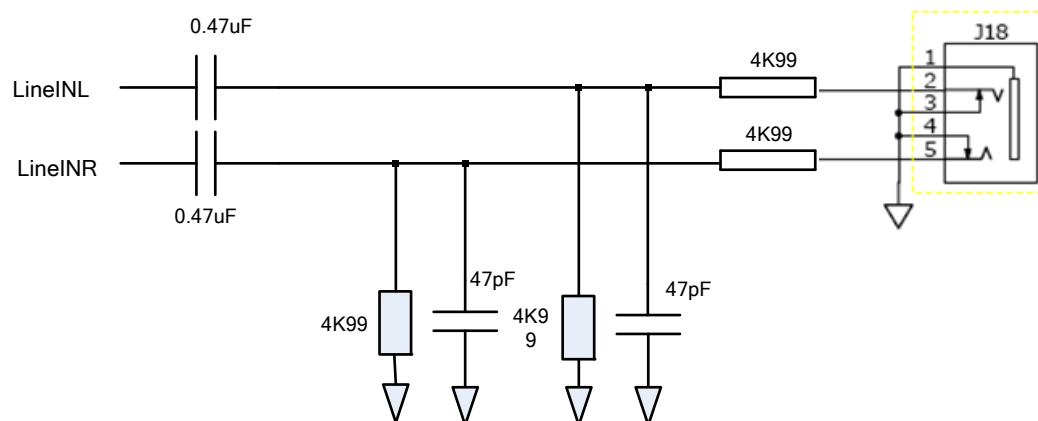


图 5-7: 音频输入连接图

在 SEED_DVS6446 系统中只支持音频的 Line-in 模式, 不支持 mic-in 模式。

5.5.2 耳机输出

AIC23B 总共有两种输出方式:

1. 立体声输出, 其管脚为:
 - LOUT: 左声道输出;
 - ROUT: 右声道输出。
2. 耳机输出, 可以直接驱动32Ω的耳机, 不需要外部再进行功率驱动了。其输出管脚为:
 - LHPOUT: 左声道耳机放大输出;
 - RHPOUT: 右声道耳机放大输出。

SEED_DVS6446系统没有采用立体声输出，而采用耳机输出模式。其连接图如下示：

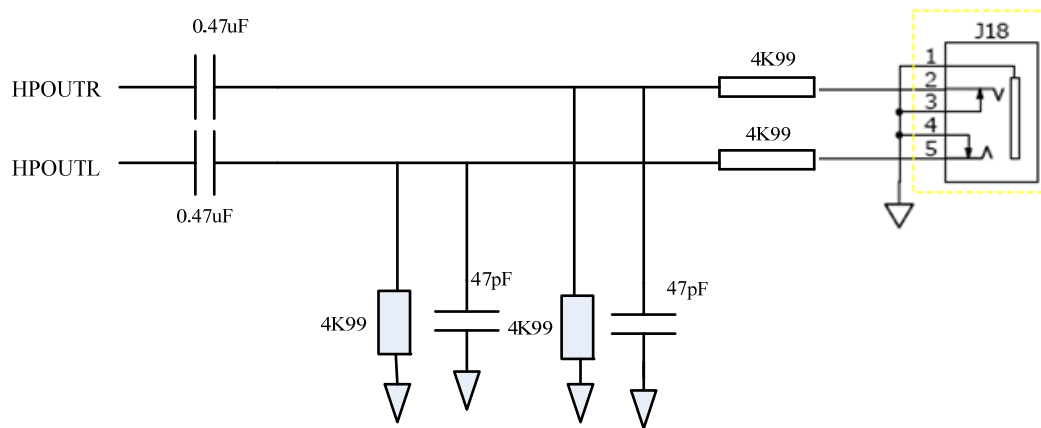


图5-8：音频输出连接示意图

以太网接口

TMS320DM6446 集成了以太网 MAC 和 MDIO 模块用于网络配置，该接口通过物理层设备连接。SEED_DVS6446 系统采用 BCM5221 物理层芯片，10/100M 接口是单独的，直接连接至 RJ-45 标准网络连接头。物理层设备可以直接和接口相连，以太网 MAC 地址保存在 I2C 串行 EEPROM 中。

6.1 以太网网络接口简介

TMS320DM6446 集成了以太网媒质访问控制器（EMAC）和物理层设备的数据输入输出管理（MDIO）模块。EMAC 为 DM6446 和外部网络连接提供了一个有效的网络接口，EMAC 支持 10Base-T 和 100Base-TX 或者 10M/100M 的半双工或双工模式，而且支持硬件流控制和 Qos。其中，EMAC 控制系统到网络物理层的数据包流控制，MDIO 用于控制物理层设备的配置和状态检测。

EMAC/MDIO 控制器的特性如下：

- 支持 10/100M 的同步操作
- 标准的对物理层设备的媒介独立接口（MII）
- EMAC 作为 DMA 的 Master 模式，用于对外部和内部设备的存储空间的访问
- 8 接收通道，支持 VLAN 标识区分以实现接收 QOS
- 8 发送通道，支持轮询机制或者优先级机制实现发送的 QOS
- 硬件流控制
- 可编程中断逻辑使能软件限制循环中断的产生，使得单个中断调用可以完成更多的工作

EMAC/MDIO 模块的功能框图如下：

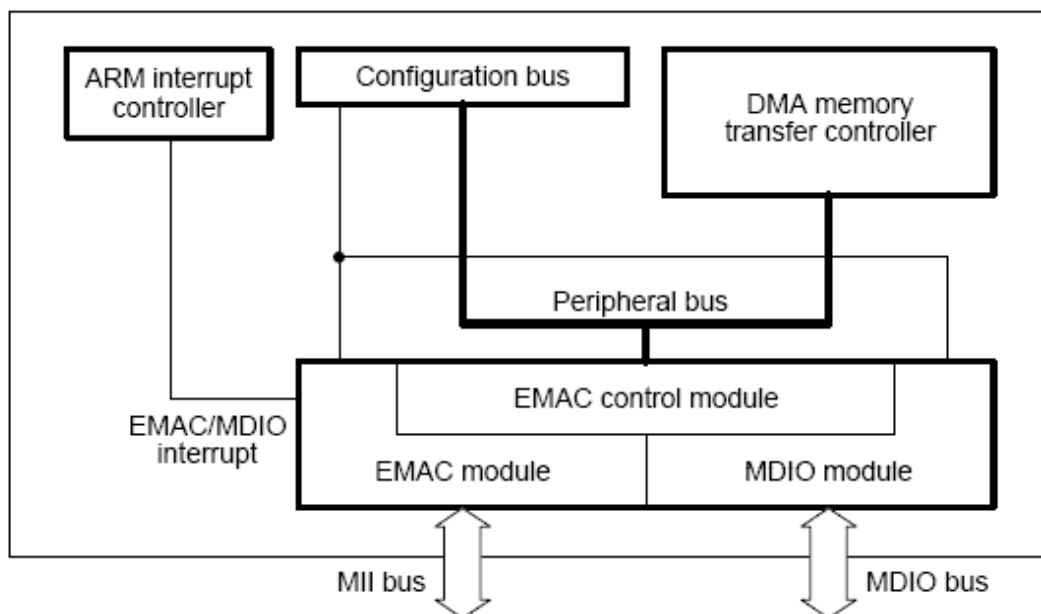


图 6-1: EMAC/MDIO 功能框图

6.2 PHY设备的连接

在 SEED-DM6446 系统中用 Broadcom 公司的 BCM5221 作为 10/100Base-TX 以太网收发器，BCM5221 的 MII 接口与 TMS320DM6446 的 MII 接口对接。

RJ45 连接器选用 AMP 公司的 406549-1，其上带 2 个 LED 指示灯，右边的 LED 为绿色，用作指示连接状态，左边的为黄色，正常情况下，用来指示数据传输。

PHY 层物理芯片与 TMS320DM6446 的网络接口互联框图如下：

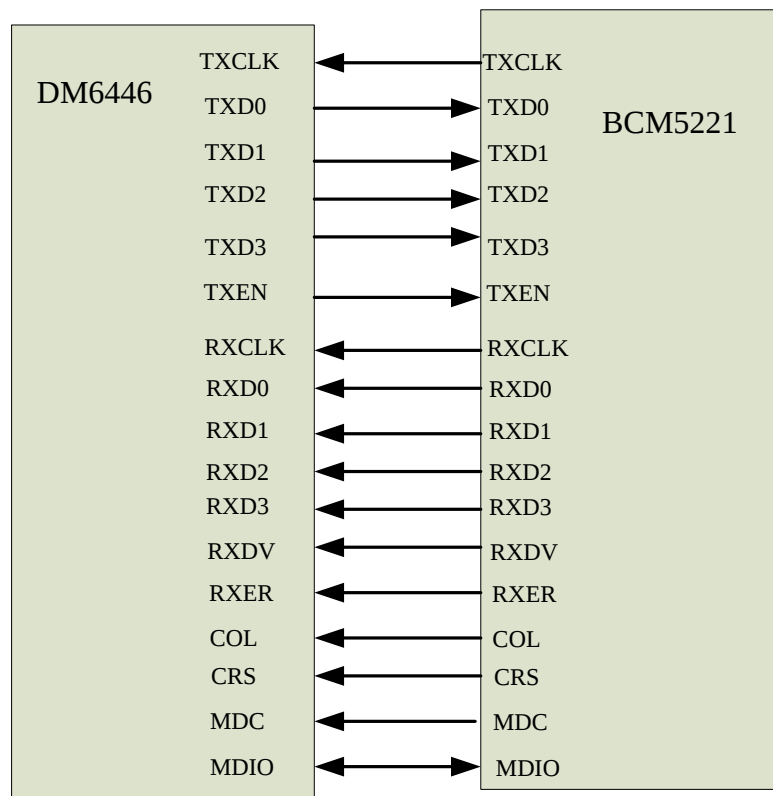
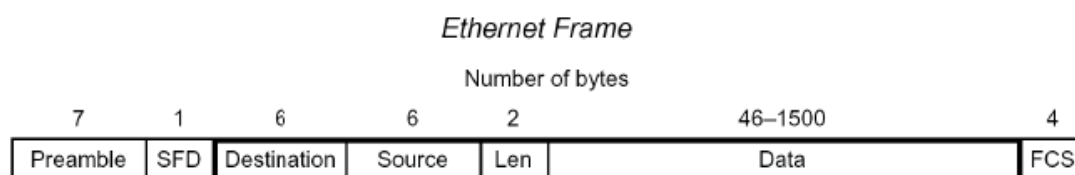


图 6-2 : 网络接口连接图

6.3 EMAC的数据包

以太网中，数据是以网络帧的方式进行传送的。其格式如下：



从上图可以看出一个Ethernet Frame 包括以下几个部分：

- Preamble: 引导位；
- SFD: 分隔符；
- Destination: 目的地址；
- Source: 源地址；
- Len 数据的长度；
- Data: 最长为 1500 个数据；
- FCS: 帧校验。

其中加粗的部分称为以太网的数据包，EMAC得到以太网的数据包，即粗框内的结构。

ATA 硬盘接口

ATA (Advanced Technology Attachment), 是一个流行的存储设备接口, 被广泛应用于 PC 机, 作为主机与硬盘、光盘和可移动存储设备等设备接口。TMS320DM644x 片上集成了一个 ATA 控制器, SEED_DVS6446 在硬件上实现了该接口, 可以挂接硬盘等大容量的存储设备, 完成对图像与音频的保存和检索。

7.1 ATA 的简介

ATA 接口标准由 INCITS (InterNational Committee on Information Technology Standards, 国际信息技术标准化委员会) 下属的 T13 技术委员会管理和制定的。为主机与储存设备实现连接定义一组标准化的总线, 并规定了该总线的电气和机械特性, 即 ATA 接口标准的物理层。为主机与储存设备之间进行有效的数据交换定义一组传输和命令协议, 即 ATA 接口的传输层。ATA 接口是一 16-位并行总线, 支持 PIO 和多字 DMA 传输协议。最初的并行 ATA 总线传输速度仅为 3Mbytes/s, 在后来的改进中通过采用 Ultra DMA 传输协议, 传输速度提高为 33Mbytes/s→66Mbyte/s→100Mbytes/s→133Mbytes/s。ATA 标准历经 ATA→ATA-1→ATA-2→ATA-3→ATA-4→ATA-5→ATA-6→ATA-7, ATA-4 是 ATA 标准发展中比较重要的转折点。ATA 最早仅为与硬盘接口而开发的, 主机与储存设备之间的数据交换是通过主机给储存设备发送一系列的命令, 而各个命令均带有相应的参数, 在主机发出命令之前, 主机先应将命令参数写到储存设备的寄存器中, 然后存储设备则根据这些命令及它们的参数作出相应的响应, 从储存介质上读取数据或将数据写入到储存介质上。随着储存设备的日益丰富, 如光盘、移动储存设备等, 命令所带的参数日益复杂, 有限的储存设备寄存器难以承载相应的命令参数, 为了解决这一矛盾, 在 ATA-4 标准中增加了 ATAPI 协议, 命令参数以分组形式来传递, 另外为了提高数据传输的速度, 还增加了 Ultra DMA 传输方式。ATA 标准的每一次进步均体现在传输速度或传输方式上的改进和提高, 以及所实现的命令协议的完善和丰富。

ATA 总线连接的主机与存储设备之间的数据交换, 其原理如下:

首先 ATA 标准规定, 对存储设备介质的读 / 写操作不是直接由主机通过 ATA 总线完成, 而是由集成在存储设备上的控制器完成, 主机只是通过 ATA 总线与存储设备上的控制器进行通信。对于主机来说, 主机与存储设备控制器的通信是通过一组标准化了的寄存器和数据口进行的, 主机直接操作这组寄存器和数据口, 将命令参数和操作命令码写入寄存器中, 而存储设备上的控制器则对这些命令参数和操作命令码进行解释, 完成对存储设备的实际读 / 写和控制操作。

其次 ATA 标准规定存储设备上的控制器必须实现一组标准化了的寄存器和数据口，还规定了对这组寄存器和数据口进行操作的一组信号及其时序，即规定了 ATA 标准的物理层。

最后 ATA 标准规定存储设备上的控制器必须实现或可选实现的命令集，以及主机与设备之间进行交互的命令序列的先后顺序和命令码及相应的命令参数的定义，即 ATA 标准的传输层。

7.2 ATA硬盘接口实现

ATA 硬盘接口的实现，主要是指 ATA 标准的物理层的实现。即实现物理层各个寄存器的访问。主要包括两组寄存器：

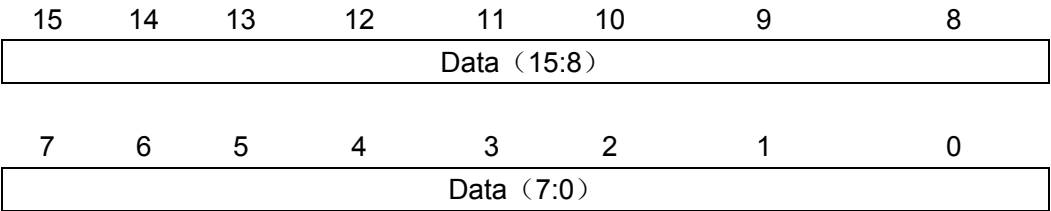
- 命令块寄存器组（Command Block Register）
- 控制块寄存器组（Control Block Registers）

命令块寄存器组（Command Block Register），共有 10 个寄存器，由 2 个只读寄存器和 2 个只写寄存器，及 6 个读 / 写寄存器组成，其中只读和只写寄存器共用 1 个寻址单元，所以共占 8 个寻址单元，由 CS0 进行片选。详细说明如下：

数据寄存器（Data Register）：

地址：0x01C661F0（读/写）

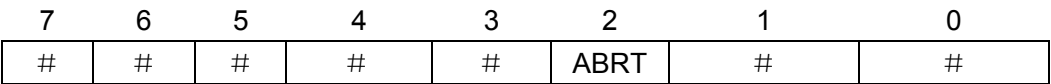
作用：在 PIO 传输方式时，作为数据传输口，是一个 16 位寄存器。



错误寄存器（Error Register）：

地址：0x01C661F1（只读）

作用：包含命令执行以后的状态信息。



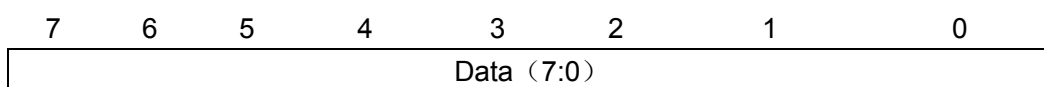
- Bit2 - ABRT(command aborted)is set to one to indicate the requested command has been command aborted because the command code or a command parameter is invalid, the command is not supported, a prerequisite for the command has not been met, or some other error has occurred.

- # - The content of this bit is command dependent.

特征寄存器（Feature Register）：

地址：0x01C661F1（只写）

作用：在对命令寄存器进行写操作时，此寄存器将作为其中的一个命令参数。

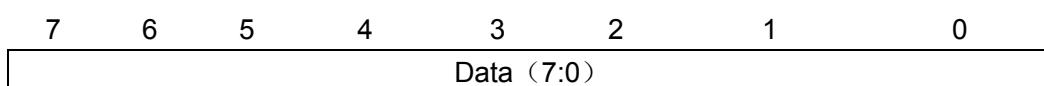


Data[7:0]: 在进行命令操作时，做为命令的一个参数。

扇区计数寄存器 (Sector Count High Register) :

地址: 0x01C661F2 (读 / 写)

作用: 用于保存被访问的存储介质的扇区号。

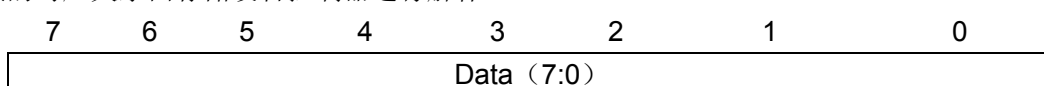


Data[7:0]: 存储介质的扇区号。在对命令寄存器进行写操作时，此寄存器将作为其中的一个命令参数。

LBA 低段寄存器 (LBA Low Register) :

地址: 0x01C661F3 (读 / 写)

作用: 对存储设备介质的访问是通过 LBA (逻辑块地址) 进行寻址, LBA 与实际存储介质的对应关系由存储设备控制器进行解释。

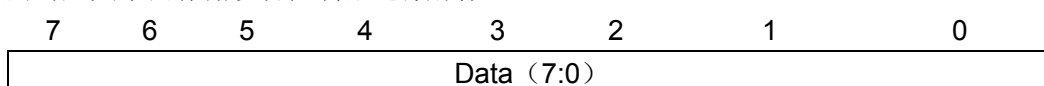


Data[7:0]: LBA 的低位地址。LBA 一般为 28-位, 在可选的扩展时为 48-位。此寄存器包含了 LBA 28-位地址中的 LBA[7:0]或 48-位地址中的 LBA[7:0]和 LBA[31:24]。在对命令寄存器进行写操作时，此寄存器将作为其中的一个命令参数。

LBA 中段寄存器 (LBA Mid Register) :

地址: 0x01C661F4 (读 / 写)

作用: 对存储设备介质的访问是通过 LBA (逻辑块地址) 进行寻址, LBA 与实际存储介质的对应关系由存储设备控制器进行解释。

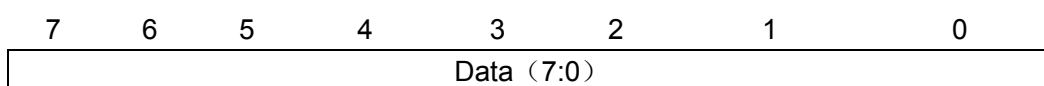


Data[7:0]: LBA 的中间地址。LBA 一般为 28-位, 在可选的扩展时为 48-位。此寄存器包含了 LBA 28-位地址中的 LBA[15:8]或 48-位地址中的 LBA[15:8]和 LBA[39:32]。在对命令寄存器进行写操作时，此寄存器将作为其中的一个命令参数。

LBA 高段寄存器 (LBA Low Register) :

地址: 0x01C661F5 (读 / 写)

作用: 对存储设备介质的访问是通过 LBA (逻辑块地址) 进行寻址, LBA 与实际存储介质的对应关系由存储设备控制器进行解释。



Data[7:0]: LBA 的高位地址。LBA 一般为 28-位, 在可选的扩展时为 48-位。此寄存器包含了 LBA 28-位地址中的 LBA[23:16]或 48-位地址中的 LBA[23:16]和 LBA[47:40]。在对命令寄存器进行写操作时，此寄存器将作为其中的一个命令参数。

设备寄存器（Device Register）：

地址：0x01C661F6（读 / 写）

作用：该寄存器中包含一位 DEV 控制位，用于选择位于同一 ATA 总线上的 2 个存储设备。

7	6	5	4	3	2	1	0
Obsolete	#	Obsolete	DEV	#	#	#	#

- Obsolete – These bits are obsolete.

NOTE- Some hosts set these bits to one. Devices shall ignore these bits.

- # - The content of these bits is command dependent.

DEV：选择设备

0：选择设备 0

1：选择设备 1。

状态寄存器（Status Register）：

地址：0x01C661F7（只读）

作用：包含存储设备的当前状态信息

7	6	5	4	3	2	1	0
BUY	DRDY	DF	×	DRQ	×	×	ERR

BSY：指示设备是否处于空闲状态

0：设备空闲

1：设备忙

DRDY：指示设备是否准备好

0：设备未准备好

1：设备准备好

DF：指示设备是否出现故障

0：设备未出现故障

1：设备出现故障

DRQ：指示设备是否准备开始在主机与设备之间传送数据

0：未准备好

1：准备好

ERR：指示设备是否出现错误

0：设备未出现错误

1：设备出现错误。

命令寄存器（Command Register）：

地址：0x01C661F7（只写）

作用：包含命令码。当此寄存器被写时，存储设备控制器开始进行该命令的处理，此时，某些命令块寄存器中的内容将被作为该命令的参数，而命令寄存器中的值则作为命令编码，被存储设备控制器解释。

7	6	5	4	3	2	1	0
Data (7:0)							

Data[7:0]：命令代码

控制块寄存器组（Control Block Registers）：共有 2 个寄存器，1 个为只读寄存器，1 个为只写寄存器，只占 1 个寻址单元，由 CS1 进行片选。

备用状态寄存器（Alternate Status Register）：

地址：0x01C663F6（只读）

作用：此寄存器包含命令块寄存器组中状态寄存器相同的信息。

设备控制寄存器（Device Control Register）：

地址：0x01C663F6（只写）

作用：对设备进行控制

7	6	5	4	3	2	1	0
HOB	r	r	r	r	SRST	nIEN	0

SRST：对存储设备进行软件复位

0：无效操作

1：设备复位

nIEN：屏蔽该存储设备向主机申请中断

0：不对设备中断进行屏蔽

1：对中断进行屏蔽

HOB：用于选择 LBA 的地址为 48-位方式。

7.3 ATA数据的传送

主机与存储设备通过 ATA 总线进行数据传输的方式有三种方式：PIO 传输方式、多字 DMA（MultiWords DMA）传输方式和超级 DMA（Ultra DMA）传输方式。下面对 3 种传送方式做一简单介绍。

（1）PIO 传输方式

采用通用的异步存储器接口方式进行访问，即以主机为主设备，给出读 / 写访问的数据总线、地址线、片选线和读 / 写控制信号，对相应的存储设备中的单元进行访问。

PIO 传输方式适用于主机对存储设备控制器寄存器的访问，由主机发命令给存储设备或从存储设备上读取当前的状态信息，也可以通过数据寄存器进行真正意义上的存储数据的交换。但 PIO 传输方式的效率相对较低，不太适合于大信息量的数据传输。

（2）多字 DMA（MultiWords DMA）传输方式

多字 DMA 传输方式是为了改进 PIO 传输效率而提出来的，专门用于主机与存储设备之间的数据传输，并提供有效的手段实现数据流的控制。

这种传送方式下，主机与存储设备之间数据传输是由存储设备提出数据传输请求（即 DMA 请求 DMARQ），主机在接收存储设备的 DMA 请求后，如果准备就绪就给出 DMA 应答信号 DMACK，并由主机给出读 / 写访问的数据总线和读 / 写控制信号进行数据传输，主机与存储设备之间数据传输是通过数据口进行的，由于数据口只有 1 个，所以无需地址线和片选信号。一旦数据传输开始，存储设备即认为在与主机进行一连串的数据传输，即在 ATA 数据总线上形成了一连串传输数据流，那就有一个如何控制数据流暂停和继续的机制。ATA 标准规定在多字 DMA 方式时，数据流的控制既可由主机给出，也可由存储设备给出。

主机通过使 **DMACK** 无效来告诉存储设备暂停数据传输，通过重新使 **DMACK** 有效来告诉存储设备恢复数据传输。而存储设备则通过使 **DMARQ** 无效来告诉主机暂停数据传输，通过重新使 **DMARQ** 有效来告诉主机恢复数据传输。

(3) 超级 DMA (Ultra DMA) 传输方式

超级 DMA 传输方式是在多字 DMA 传输方式基础上为了进一步提高传输效率而提出来的，同样是专门用于主机与存储设备之间的数据传输，同样有一套有效的手段实现数据流的控制。

超级 DMA 传输方式与多字 DMA 传输方式的不同在于多字 DMA 无论是读（数据由存储设备传输给主机）传输还是写（数据由主机传输给存储设备）传输，读 / 写控制信号均由主机给出，而超级 DMA 在读传输时，读 / 写控制信号由存储设备控制器给出，在写传输时，读 / 写控制信号则由主机给出。也即在超级 DMA 传输方式时，读 / 写操作的控制由发送者给出。超级 DMA 传输时，数据由发送者放到数据总线上，数据的写入操作则由发送者给出数据选通信号 **STROBE** 完成，发送者与接收者之间的握手则由接收者给出就绪信号 **DMARDY** 完成。

超级 DMA 传输的过程如下：

发起：存储设备向主机提出数据传输请求（即 DMA 请求信号 **DMARQ**），主机 DMA 响应请求并作出应答（使 **DMACK** 信号有效）。

握手：发送者通过判断接收者的就绪信号 **DMARDY** 完成。主机就绪信号为 **HDMARDY**；存储设备就绪信号为 **DDMARDY**。

传输：在接收者就绪的条件下，发送者将数据按时序驱动到 **ATA** 数据总线上，同时产生相应的数据选通信号 **STROBE**，**STROBE** 的沿（上升沿和下降沿）将 **ATA** 数据总线上的数据锁存到接收者中。主机数据选通信号为 **HSTROBE**；存储设备数据选通信号为 **DSTROBE**。

流控制：发送者和接收者均可以对流进行控制。发送者通过停止产生数据选通信号 **STROBE** 的沿来暂停超级 DMA 传输，通过恢复数据选通信号 **STROBE** 的沿来继续超级 DMA 传输。接收者可以通过无效就绪信号 **DMARDY** 来暂停超级 DMA 传输，通过重新有效就绪信号 **DMARDY** 来恢复超级 DMA 的传输。

终止：超级 DMA 传输的停止既可由主机提出，也可有存储设备提出。主机请求终止超级 DMA 传输：主机发出 **STOP** 信号，通知存储设备将终止超级 DMA 传输，设备通过撤销 **DMARQ** 信号进行确认。存储设备请求终止超级 DMA 传输：存储设备自动撤销 **DMARQ** 信号，主机发出 **STOP** 信号进行确认。

关于以上各种的方式的具体实现请参看文档：[TMS320DM644x DMSoC ATA Controller User's Guide.pdf](#)

7.4 ATA设备配置与连接

ATA 的标准要求，每个存储设备均需提供 3 种配置方式：

- 内部设置为设备 0（主设备 Master）；
- 内部设置为设备 1（从设备 Slave）；

- 由电缆自动将连接在其上的存储设备配置为设备 0 或设备 1。

主机通过ATA连接器连接ATA设备，ATA连接器为44-芯的针式插座，此连接器的信号定义如下：

Pin #	Signal	Pin #	Signal
1	ATA RESETn	2	GND
3	ATA.DD7	4	ATA.DD8
5	ATA.DD6	6	ATA.DD9
7	ATA.DD5	8	ATA.DD10
9	ATA.DD4	10	ATA.DD11
11	ATA.DD3	12	ATA.DD12
13	ATA.DD2	14	ATA.DD13
15	ATA.DD1	16	ATA.DD14
17	ATA.DD0	18	ATA.DD15
19	GND	20	NC
21	ATA.DMARQ	22	GND
23	ATA.DIOW	24	GND
25	ATA.DIOR	26	GND
27	ATA.IORDY	28	ATA_CSEL, TP34
29	ATA.DMACK	30	GND
31	ATA.INTRQ	32	GND
33	ATA.DA1	34	TP33
35	ATA.DA0	36	ATA.DA2
37	ATA.CS0	38	ATA.CS1
39	ATA.DASPN	40	GND
41	VCC_5V	42	VCC_5V
43	GND	44	NC

USB接口

TMS320DM644x 片上集成了 USB 控制器。该控制器同时支持主机和外设模式。它可以通过 ARM 端控制存储映射寄存器进行操作。

8.1 USB控制器特点

TMS320DM644x 片上集成了 USB 控制器有如下特点：

- 支持 USB2.0 高速（480Mbps）和全速(12Mbps)外设模式；
- 支持 USB2.0 高速（480Mbps）、全速（12Mbps）和低速 1.5Mbps 主机模式
- 支持 4 个同时的 RX/TX 终端和动态开关
- 各个节点都可支持所有的传输类型（控制、块、中断和同步传输）
- 支持 USB SRP 和 HNP 扩展
- 包含了 4K 的 FIFO RAM 和支持可编程 FIFO 大小
- VBUS 的外部 5V 电源可通过 I2C 控制
- 包含一个 DMA 控制器支持 4 个 RX 和 4 个 TX DMA 通道
- 包含 DMA 的 RNDIS 模式

8.2 USB功能框图

TMS320DM644x USB 功能框图如下：

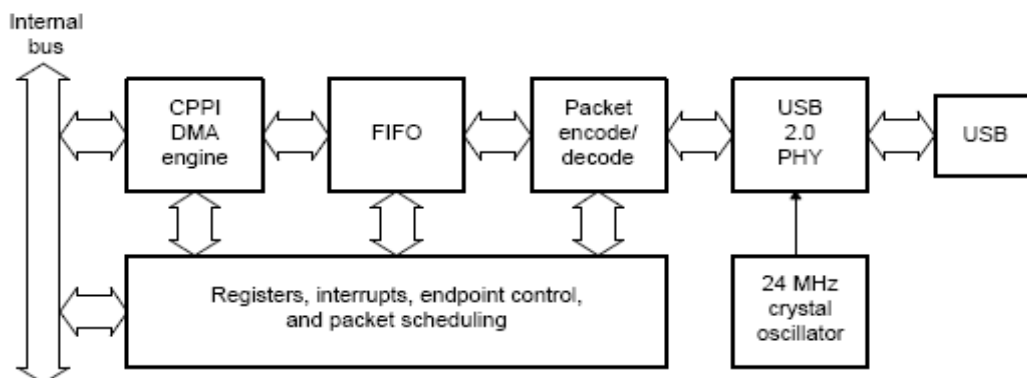


图 8-1 : USB 功能框图

8.3 USB控制器外围结构

8.3.1 时钟控制

USB的时钟由M24XI 和M24XO管脚上的晶振产生。晶振由系统模块中USBPHY_CTL寄存器的OSCPDOWN位使能产生。

8.3.2 管脚描述

USB 控制器提供了以下 I/O 信号。下表列出了各种模式下 USB 口的使用。

Pin	Type ⁽¹⁾	Function
M24XI	I	Crystal input for M24 oscillator (24 MHz for USB)
M24XO	O	Crystal output for M24 oscillator
M24V _{DD}	S	1.8V power supply for M24 oscillator
M24V _{SS}		Ground for M24 oscillator
PLL _{V_{DD}18}	GND	1.8 Volt power supply for PLLs (system and USB)
USB_VBUS	I/O	5V input that signifies that VBUS is connected. The OTG section of the PHY can also pull up or down on this signal for HNP and SRP.
USB_ID	I/O	USB_ID is an input that is open or pulled to ground depending on OTG connector configuration. The state determines if controller starts in HOST or PERIPHERAL mode.
USB_DP	I/O	USB bi-directional Data Differential signal pair [positive/negative]. Input/output DP signal of the differential signal pair.
USB_DM	I/O	USB bi-directional Data Differential signal pair [positive/negative]. Input/output DM signal of the differential signal pair.
USB_R1	I/O	Reference current output. This must be connected via a 10 kΩ± 1% resistor to USB_V _{SSREF} .
USB_V _{SSREF}	GND	Ground for reference current
USB_V _{DDA3P3}	S	Analog 3.3 V power supply for USB phy
USB_V _{SSA3P3}	GND	Analog ground for USB phy
USB_V _{DD1P8}	S	1.8 V I/O power supply for USB phy
USB_V _{SS1P8}	GND	I/O Ground for USB phy
USB_V _{DDA1P2LDO}	S	Core Power supply LDO output for USB phy. This must be connected via 1 μF capacitor to USB_V _{SSA1P2LDO} . Do not connect this to other supply pins.
USB_V _{SSA1P2LDO}	GND	Core Ground for USB phy. This must be connected via 1 μF capacitor to USB_V _{DDA1P2LDO} .

⁽¹⁾ I = Input, O = Output, Z = High impedance, S = Supply voltage, GND = Ground, A = Analog signal

8.3.3 变址寄存器和非变址寄存器

USB 控制器提供两种机制访问节点控制和状态寄存器：

- 变址节点控制/状态寄存器，这些寄存器的寻址偏移量为 410h~41fh。节点通过写控制器的变址寄存器进行选择。

- 非变址节点控制/状态寄存器，这些寄存器的寻址偏移量为 500h~54fh。偏移量为 500h~50fh 的寄存器被映射给节点 0，偏移量为 510h~51f 的寄存器被映射给节点 1，依此类推。

8.3.4 USB PHY初始化

USBPHY_CTL寄存器的以下位必须清除以使能USB控制器：OSCPDWN, PHYPDWN和OTGPWN。USBPHY_CTL寄存器的以下位必须置位以使能电平比较器：VB DTCTEN和VBUSSENS。PLL被锁定的同时置位PHYCLKGD位。

8.4 USB控制器主机和外设模式操作

DM6446 的 USB 控制器可以用于不同的环境。它可以用作高速或全速的 USB 外设与通用的 USB 主机通讯（如 PC 机）。也可以用做主机与外部设备通讯。

当节点上的数据传输完成，或者检测到总线上的复位、恢复、挂起、连接、断开和 SOF 时，USB 控制器就中断 ARM。

当 USB 被中断时，它需要读取产生中断的相应节点的中断状态寄存器，并跳转致相应的中断服务程序。如果是多个节点同时产生中断，节点 0 拥有最高中断优先级，然后是其它节点。挂起中断的优先级最低。

下面将简要介绍 USB 控制器外设模式和主机模式的操作。然后，简单介绍一下外设模式和主机模式编程中普遍使用的 DMA 操作和中断处理机制。

8.4.1 USB控制器外设模式操作

USB 控制器外设模式操作有如下几种：

软件连接。复位以后，电源寄存器（POWER register）的 SOFTCONN 位被清 0。因此控制器将保持断开状态直到软件将 SOFTCONN 位置 1。

进入挂起模式。作为外设操作时，控制器监视器监视着总线的活动状态，当总线处于不活跃状态 3ms，将被挂起。如果挂起中断是使能的，此时将产生中断。

恢复。当总线上产生恢复信号，如果需要，首先控制器的时钟必须复位。然后，控制器将自动的退出挂起模式。如果恢复中断是使能的，将产生该中断。

激发远程唤醒。如果当控制器处于挂起模式时，软件需要激发远程唤醒，需要将电源寄存器（POWER register）的 RESUME 位置 1。在将该位置为 0 之前，软件必须将该状态保持大约 10ms。

复位。当总线上产生复位信号时，控制器需要进行如下操作；

- 将 FADDR 寄存器设为 0
- 将 INDEX 寄存器设为 0
- 清空所有节点的 FIFO
- 清除所有控制/状态寄存器
- 产生复位中断

如果电源寄存器（POWER register）的 HSENA 位是置 1 的，控制器还需要协商高速操作。高速操作是否被选中，由电源寄存器（POWER register）的 HSMODE 位指示。当应用软件接收到复位中断，它将关闭任何通道并等待枚举的开始。

8.4.2 USB 控制器主机模式操作

USB 控制器主机模式操作有如下几种：

进入挂起模式。作为主机操作时，控制器能通过设置电源寄存器（POWER register）的 SUSPENDM 位立即进入挂起模式。当该位被设置时，控制器将完成当前处理，然后停止处理进程和帧计数器。不再产生后续的传输，也不产生 SOF 包。当 ENSUSPM 位（电源寄存器的位 0）被置位时，PHY 将进入低功耗模式，而控制器进入挂起模式。

发送恢复信号。当应用程序需要控制器离开挂起模式，必须清除电源寄存器（POWER register）的 SUSPENDM 位，将 RESUME 位置位，并且保持该状态 20ms。当 RESUME 位为高时，控制器将在总线上产生恢复信号。20ms 后，应用程序应该清除 RESUME 位，然后，帧计数器和处理进程将启动。

反应远程唤醒。在控制器处于挂起模式的情况下，当检测到远程恢复信号时，PHY 将脱离低功耗模式。当接收到远程产生的恢复信号时，控制将脱离挂起模式并自动的置位电源寄存器（POWER register）的 RESUME 位。如果恢复中断是使能的，将产生该中断。

复位。在主机模式下，当电源寄存器（POWER register）的 RESET 位被置位时，在总线上将产生复位信号。如果电源寄存器（POWER register）的 HSENAB 位被置位，它将尝试去协商高速操作。软件应该至少保持 RESET 位状态 20ms 以确保目标设备正确复位。在软件清除该位后，控制器将启动帧计数器和处理进程。高速操作是否启动取决于寄存器（POWER register）的 HSMODE 位。

8.4.3 DMA操作

DMA 控制子模块是一个普通的 4 路双通道 DMA 控制器。它有 4 个 TX 和 4 个 RX 通道，每个通道对应着控制器中的相应节点。通道 0 对应节点 1，通道 3 对应节点 4，而节点 0 不能使用 DMA。DMA 通过修改存储在 DMA 寄存器中的参数进行编程，通过存储在主存储器中的缓存描述符链实现其操作。当 DMA 初始化的后，DMA 控制器从 DMA 寄存器中读取对应通道当时的参数，然后读取该参数指向的 CPPI 缓存描述符，并使用描述符中指定的数据缓存实现 DMA 操作。当数据传送完成后，DMA 控制器将更新并保存 DMA 参数。软件可以通过 DMA 寄存器获取当时参数。

DMA 控制器存在 DMA 包这么一个概念，它不同于 USB 包。DMA 包可以（但不是必须）和 USB 包同样大小。每个 DMA 包可以由单个或多个数据缓存组成。每个 DMA 通道可以处理单个或多个 DMA 包。

USB 控制器支持两种 DMA 模式：透明模式和 RNDIS 模式。

8.4.4 中断处理

USB 控制器产生的中断有如下几种：

Interrupt	Description
Tx Endpoint [4:0]	Tx endpoint ready or error condition. For endpoints 4 to 0. (Rx and Tx for endpoint 0)
Rx Endpoint [4:1]	Rx endpoint ready or error condition. For endpoints 4 to 1. (Endpoint 0 has interrupt status in Tx interrupt)
USB Core[8:0]	Interrupts for 9 USB conditions
DMA Tx Completion [3:0]	Tx DMA completion interrupt for channel 3 to 0
DMA Rx Completion [3:0]	Rx DMA completion interrupt for channel 3 to 0

不管上面哪个中断条件产生，主处理器将被中断。软件需要读取不同的中断状态寄存器以决定中断源。

上表中的 9 USB 中断条件如下：

Interrupt	Description
USB[8]	DRVVBUS level change
USB[7]	VBus voltage < VBus Valid Threshold (VBus error)
USB[6]	SRP detected
USB[5]	Device Disconnected (Valid in Host Mode)
USB[4]	Device Connected (Valid in Host Mode)
USB[3]	SOF started
USB[2]	Reset Signaling detected (In Peripheral Mode) Babble detected (In Host Mode)
USB[1]	Resume signaling detected
USB[0]	Suspend Signaling detected

关于 USB 主机与外设模式的具体编程请参考文档: TMS320DM644x DMSoC Universal Serial Bus (USB) Controller User's Guide.pdf

MMC/SD卡接口

在许多实际应用中 MMC/SD 卡被用作可移动数据存储设备。TMS320DM644x 片上集成了 MMC/SD 控制器。该控制器为连接外部 MMC/SD 卡提供了接口。MMC/SD 卡控制器和 MMC/SD 卡的通讯遵循 MMC/SD 协议。在 SEED_DVS6446 中实现了该接口。

9.1 MMC/SD控制器特点

TMS320DM644x 片上集成了 MMC/SD 控制器有以下特点：

- 支持 MMC 卡接口
- 支持 SD 卡接口
- 可以使用 MMC/SD 协议
- MMC/SD 控制器和存储卡之间传输控制时序的时钟频率可编程
- 256 位读写 FIFO 减轻系统损耗
- 信号支持 EDMA 传输
- MMC 卡最大 20MHz 的时钟频率
- SD 卡最大 50MHz 的时钟频率

9.2 MMC/SD控制器功能框图

MMC/SD 卡控制器负责 ARM 和 EDMA 控制器与 MMC/SD 卡之间的数据传输，如下图所示。你可以选择 CPU 或者 EDMA 来实现设备存储器和 FIFO 之间的数据传输。ARM 和 EDMA 控制器通过访问 MMC/SD 卡寄存器读写 MMC/SD 卡。

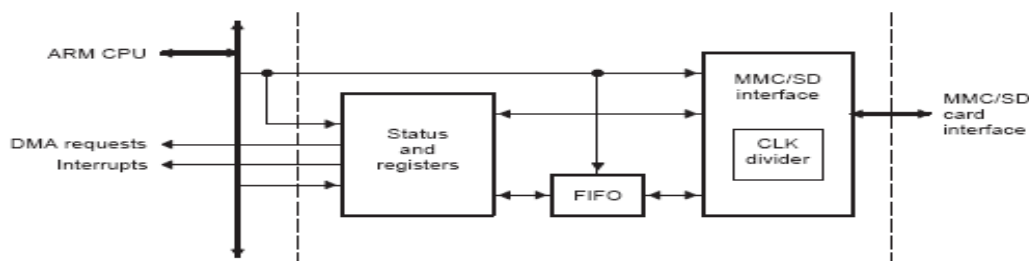


图 9-1 : MMC/SD 卡控制器原理图

9.3 MMC/SD控制器外围结构

MMC/SD 控制器使用 MMC/SD 协议与 MMC/SD 卡通讯。你可以根据卡的类型，设置 MMC/SD 卡控制器以使它作为 MMC 控制器或者 SD 控制器工作。下图为 MMC/SD 控制器接口图：

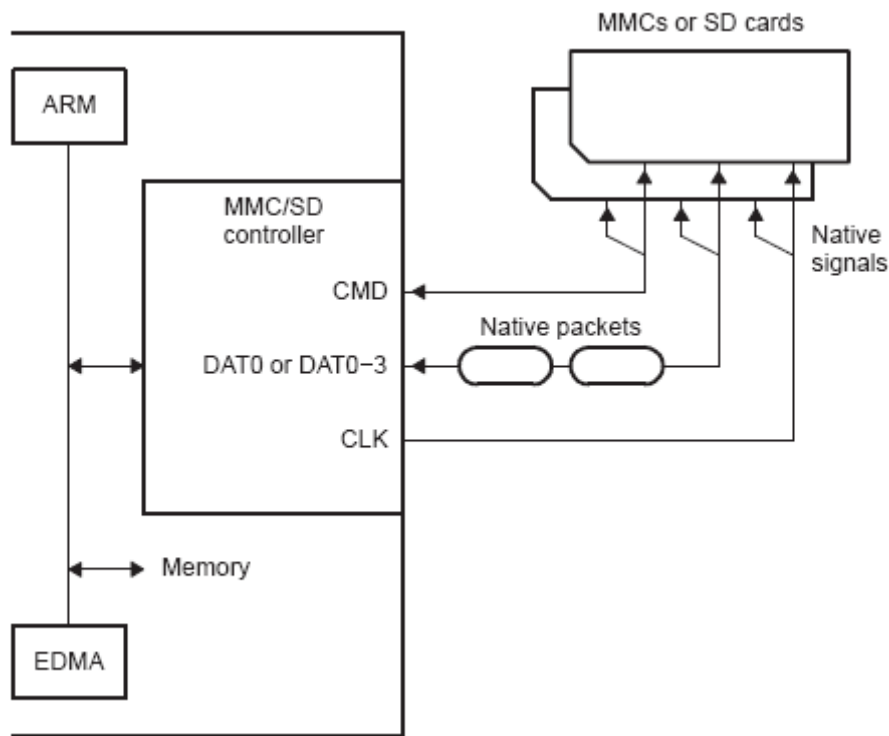


图 9-2 ： MMC/SD 控制器接口图

下图为 MMC 和 SD 设置框图。

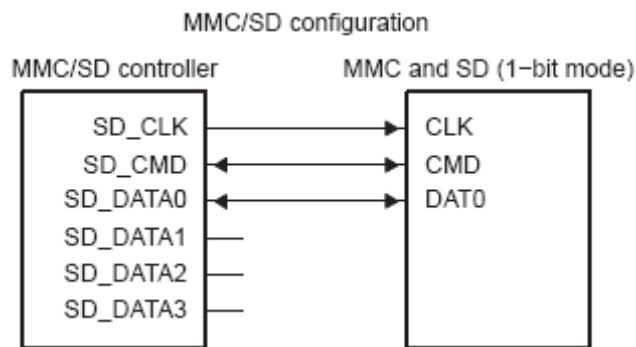


图 9-3 ： MMC/SD 配置图（1 bit 模式）

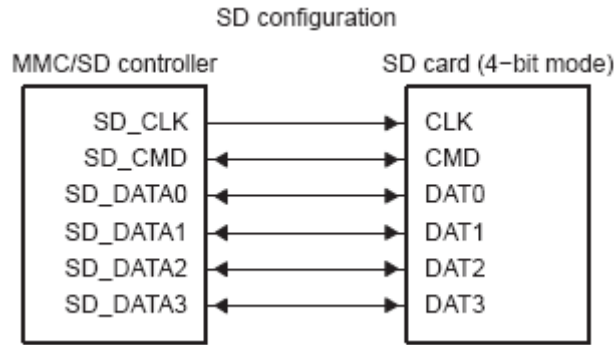


图 9-4 : MMC/SD 配置图（4 bit 模式）

在 MMC/SD 模式下，MMC/SD 控制器支持 1 个或者多个 MMC/SD 卡。不管连接多少个卡，MMC/SD 控制器使用数据线上的鉴定广播来选择 1 个。需要使用的 MMC/SD 卡控制器管脚有下列几个：

- **CMD**：该管脚用于所连接的卡和 MMC/SD 控制器间的双向通讯。它用于 MMC/SD 控制器给存储卡传送命令和存储卡向 MMC/SD 控制器返回答复信息。
- **DAT0 或者 DAT0-3**：MMC 卡只使用 1 根数据线（DAT0），而 SD 卡可以使用 1 根或 4 根数据线。使用的数据线数目通过 MMC 控制寄存器（MMCCTL）的 WIDTH 位设置。
- **CLK**：该管脚用于 MMC/SD 控制器向存储卡提供时钟。

9.4 初始化

9.4.1 MMC/SD控制器初始化

MMC/SD 卡初始化的主要步骤如下：

- 通过设置 MMC 控制寄存器（MMCCTL）的 CMDRST 和 DATRST 位将 MMC/SD 控制器置于复位状态。复位后，你可以设置 MMCCTL 寄存器的其它位。
- 设置其它寄存器完成 MMC/SD 控制器的设置。
- 清除 MMCCTL 寄存器的 CMDRST 和 DATRST 位，使 MMC/SD 寄存器脱离复位状态。建议重新写入步骤 1 中写过的 MMCCTL 寄存器的其它位。
- 使能 MMC 存储器时钟控制寄存器（MMCCLK）中的 CLKEN 位，以使存储器时钟信号传递给存储卡。

注意：MMC/SD 卡的初始化过程需要 400khz 以下频率的时钟。请确保存储器时钟设置满足该要求。一旦初始化完成，你可以将存储器时钟调整成卡性能支持的较低或者最高的频率。

9.4.2 初始化MMC控制寄存器（MMCCTL）

MMC 控制寄存器（MMCCTL）的位设置，影响着 MMC/SD 控制器的操作。

在 MMC/SD 模式下，MMC/SD 控制器必须知道所连接的存储卡需要的数据线宽度。如果连接的是 MMC 卡，需要 1 位数据线（MMCCTL 的 WIDTH 设为 0）。如果是 SD 卡，可以定义 4 位的数据线（MMCCTL 的 WIDTH 设为 1）。

将 MMCCTL 寄存器的 CMDRST 和 DARST 位置 1，让 MMC/SD 控制器处于复位状态。MMC/SD 控制器初始化的第一步是屏蔽所有的逻辑。在初始化完成，但使能 SD_CLK 管脚以前，清除 MMCCTL 寄存器的 CMDRDT 和 DATRST 位来使能 MMC/SD 控制器。

9.4.3 初始化时钟控制寄存器（MMCCLK）

MMC/SD 控制器中的有个时钟分频器，将功能时钟转换成存储器时钟。该过程通过向 MMC 存储器时钟控制寄存器（MMCCLK）的 CLKRT 位中写入分频值。该值由如下方法计算：

$$\text{存储器时钟频率} = \text{功能时钟频率} / (2 \times (\text{CLKRT} + 1))$$

MMCCLK 的 CLKEN 位的值决定是否将存储器时钟输出到 SD_CLK 管脚。如果你将 CLKEN 位清 0，存储器时钟将不被提供。

9.4.4 初始化中断屏蔽寄存器（MMCIM）

设置 MMC 中断屏蔽寄存器（MMCIM）中的相应位，就可以使能或者屏蔽该中断请求。将相应位置 1，就可以使能该中断请求。清除相应位，就可以屏蔽该中断请求。注意将 MMC/SD 模式中不使用的位置 0。

9.4.5 初始化超时寄存器（MMCTOR和MMCTOD）

设置响应超时周期使用 MMC 响应超时寄存器（MMCTOR），设置读数据超时周期使用 MMC 数据读超时寄存器（MMCTOD）。

当 MMC/SD 控制器发送 1 个命令给存储卡，它常需要等待响应。MMC 控制器可以等待不确定的时间或者不大于 255 的存储时钟周期。如果将 MMCTOR 设为 0，MMC/SD 将等待响应在不确定的时间内。如果向 MMCTOR 写入非 0 值，MMC/SD 控制器将在具体的时钟周期以后停止等待然后设置 MMC 状态寄存器中响应超时标志位（TOUTRS）。如果你使能了相应的中断请求，MMC/SD 控制器将向 ARM 发送 1 个中断请求。

当 MMC/SD 控制器向存储卡请求数据时，它可以等待不确定的时间或者在一个可编程的循环后停止等待。如果向 MMCTOD 寄存器写入 0，MMC/SD 控制器将等待不确定的时间。如果往 MMCTOD 寄存器写入非 0 值，MMC/SD 控制器将等待指定的时钟周期，然后

置位 MMCCST0 寄存器中的读数据超时标志位。如果你使能了相应的中断请求，MMC/SD 控制器将向 ARM 发送中断请求。

9.4.6 初始化数据块寄存器（MMCBLEN和MMCNBLK）

在 MMC 块长度寄存器（MMCBLEN）中指定在 1 个数据块包含的字节数。在多块传输的时候，在 MMC 块数寄存器（MMCNBLK）中指定块数。

你必须在 MMCBLEN 寄存器中定义 MMC/SD 控制器和存储卡之间传输的每个数据块的大小。有效的大小取决于读/写操作的类型。而 0 字节是不允许的。

在多块传输的时候，你必须定义 MMC/SD 控制器和存储卡间传输的数据块数。你可以通过将 MMCNBLK 寄存器置 0 定义一个无限的值。当 MMCNBLK=0 时，MMC/SD 控制器将连续的传输数据块，直到 STOP_TRANSMISSION 命令让它停止。传输具体的块数，在 MMCNBLK 中填入值 1~65535。

9.4.7 侦听MMC/SD模式的活动状态

你可以通过读取 MMC 状态寄存器 0（MMCST0）和 MMC 状态寄存器 1（MMCST1）的相应位，来判断 MMC/SD 控制器的状态：

- 判断 MMCDRR 寄存器中是否有新数据
- 校验 MMCDXR 寄存器是否准备好接收新数据
- 检验 CRC 错误
- 检验超时事件
- 判断发送命令和对应相应的时刻
- 判断存储卡是否忙
- 判断数据传输是否完成
- 判断最后往卡写入数据的时刻
- 检验数据发送完成的条件
- 检验数据接收完成的条件
- 判断 SD_CLK 管脚的状态
- 在多块传输的时候，判断传输剩余的块数

9.5 用户操作

MMC/SD 卡控制器支持如下的用户操作：

- MMC/SD 卡检测
- 使用 CPU 进行 MMC/SD 单块读操作

- 使用 EDMA 进行 MMC/SD 单块读操作
- 使用 CPU 进行 MMC/SD 单块写操作
- 使用 EDMA 进行 MMC/SD 单块写操作
- 使用 CPU 进行 MMC/SD 多块读操作
- 使用 EDMA 进行 MMC/SD 多块读操作
- 使用 CPU 进行 MMC/SD 多块写操作
- 使用 EDMA 进行 MMC/SD 多块写操作

关于各种操作的具体实现请参考文档：TMS320DM644x DMSoC Multimedia Card (MMC)Secure Digital (SD) Card Controller UG (Rev. B).pdf

实时时钟

SEED_DVS6446 系统配置 M41T11 实时时钟，可以产生年、月、日、星期、时、分、秒等实时时间信息，内部的 NvRAM 可以用来存储时间，因此适合用于监控系统的记录。

10.1 MT41T11 概述

M41T11 是一个低功耗的实时时钟芯片，内部集成 512bit 的 CMOS 非易失性存储器用于存储时间信息，并内建了一个 32.768kHz 的振荡器。对芯片的操作，其地址数据均通过 IIC 总线进行串行传输，内建了一个地址寄存器，每次读/写操作后地址寄存器自动增 1。

M41T11 内建立一个电源检测电路，检测掉电情况，当发生掉电后自动切换到备用电源供电，以维持 RAM 和时钟操作。

M41T11 主实时时钟采用串行 I2C 总线与 DSP 连接，其原理如下：

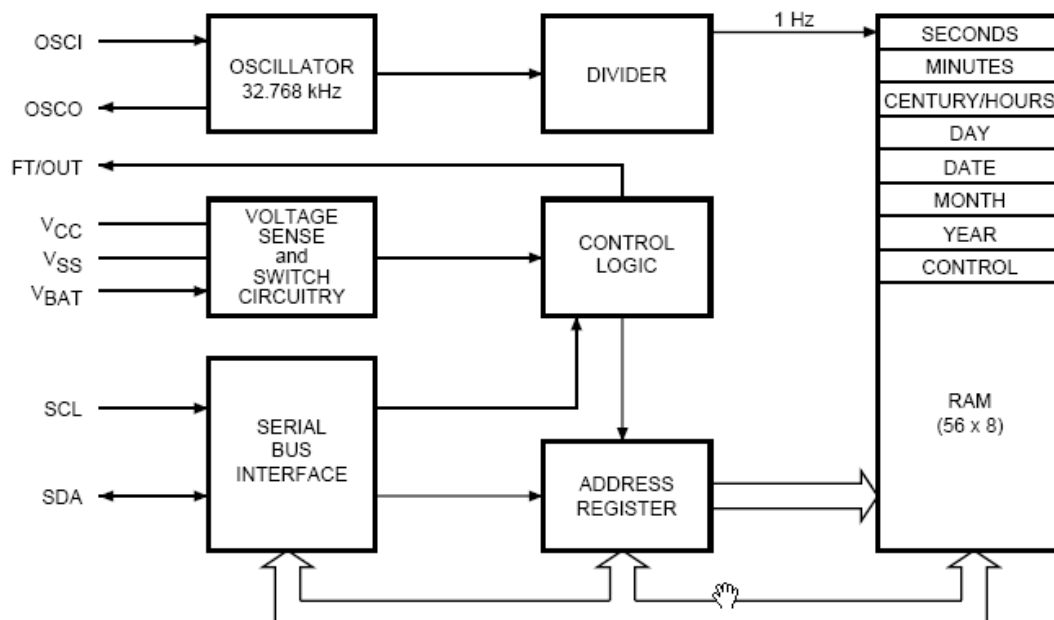


图 10-1 : M41T11 原理图

10.1.2 M41T11 操作

M41T11 作为从设备进行操作，对其进行访问可以通过 IIC 总线上的起始位开始后跟正确的从设备地址。64 字节的地址空间可以依照下列顺序依次进行访问：

1. Seconds Register
2. Minutes Register
3. Century/Hours Register
4. Day Register
5. Date Register
6. Month Register
7. Years Register
8. Control Register
- 9 to 64. RAM

➤ 读操作

读操作时，主设备读 M41T11 从设备，首先设置从地址，在写模式控制位和确认位后，将地址写入片内的地址寄存器指针。下一次 START 开始时，设备从地址重复发送，此时读模式控制位置为高。此时主设备发送器成为主接收器，被寻址的地址的数据被发送到总线上，主设备接收器将发给从设备发送器一个确认信号，接收到确认后地址寄存器自动增高，此时发送端可以发送下一地址处的数据，接收端则依次接收数据并发送确认。读操作将依次进行直至其发送 STOP 给从设备发送器。读模式下的顺序图如下：

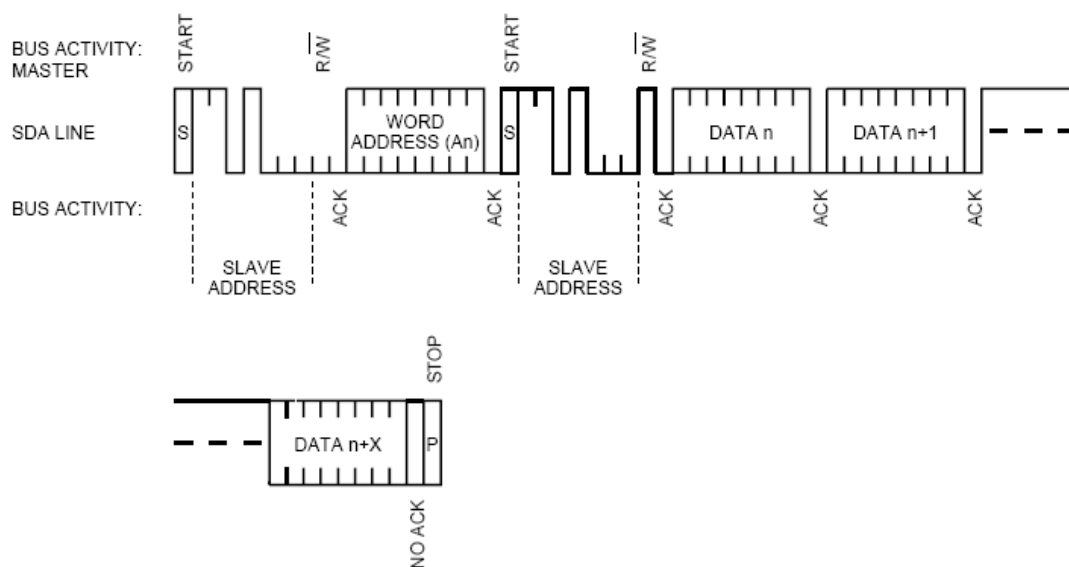


图 7-5：读模式顺序图

➤ 写模式

写模式下，在开始位和地址配置后，将写模式控制位配置位低，其后为寻址的地址，并将被写入片上地址寄存器，在接收到确认之后，数据将被写入相应的地址，而地址寄存器也将自增加。当接收到从设备地址、片内地址和数据后，主接收端将发送一个确认时钟给主发送端。写模式下的顺序图如下：

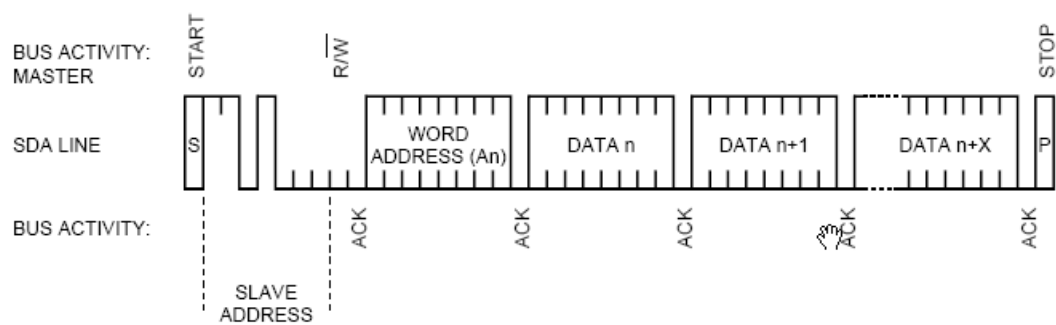


图 7-6 : 写模式下顺序图

10.2 TMS320DM6446 与M41T11 接口

TMS320DM6446 通过 IIC 总线与 M41T11 连接，其中 TMS320DM6446 作为主设备，M41T11 作为从设备。其连接示意图如下：

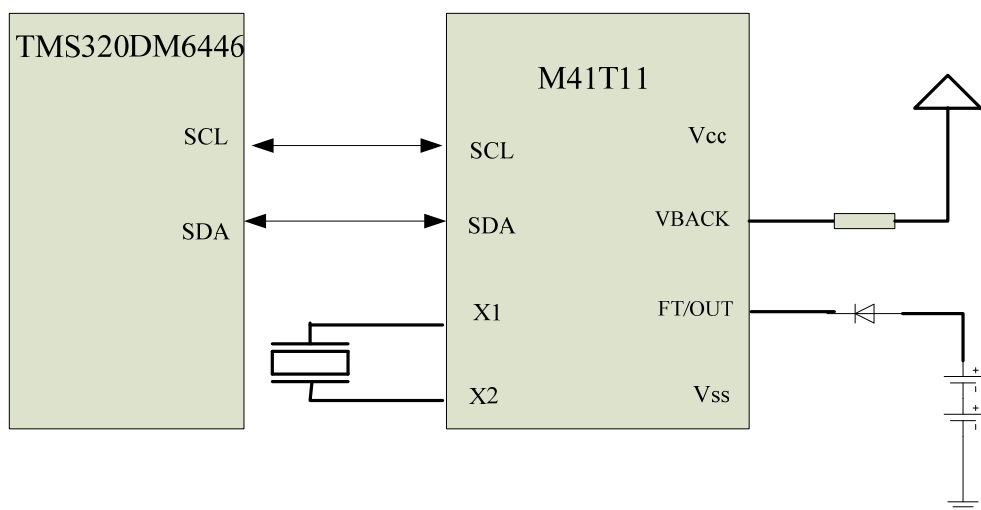


图 7-7 : 连接示意图

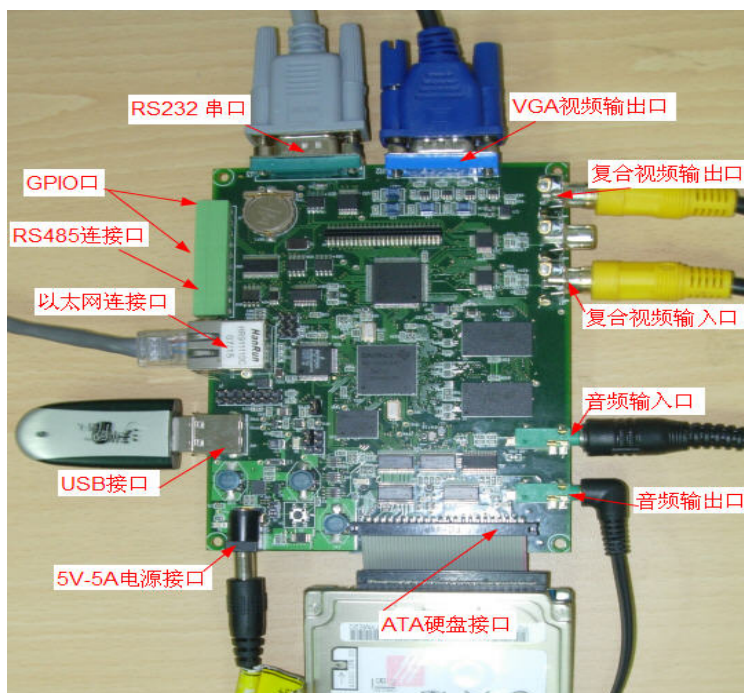
SEED_DVS6446 板卡的测试程序包括以下几个方面：

- ☐ 测试 SEED_DVS6446 的存储器，包括 SDRAM 和 NANDFLASH
- ☐ 测试音频的采集与播放
- ☐ 测试视频的采集与播放
- ☐ 测试 UART，包括 RS232 和 RS485 串口
- ☐ 测试网络接口的收发
- ☐ 测试 USB 口的电源
- ☐ 测试 ATA 接口
- ☐ 测试 SD 卡接口

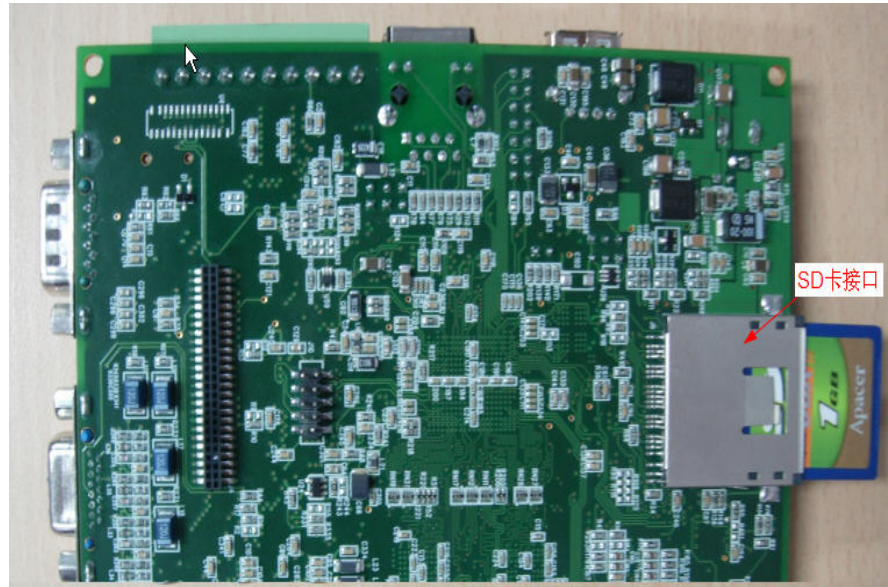
注意：测试程序都运行于 ARM 端。请使用 CCS3.2 或更高的版本调试环境进行测试。在进行程序测试前请先按附录 B 中 1~5 步骤操作，建立好开发调试环境。

11.1 DVS6446 硬件平台示意图

SEED DVS6446 硬件平台正面连接各个接口示意图如下：



SEED DVS6446 硬件平台反面连接各个接口示意图如下：

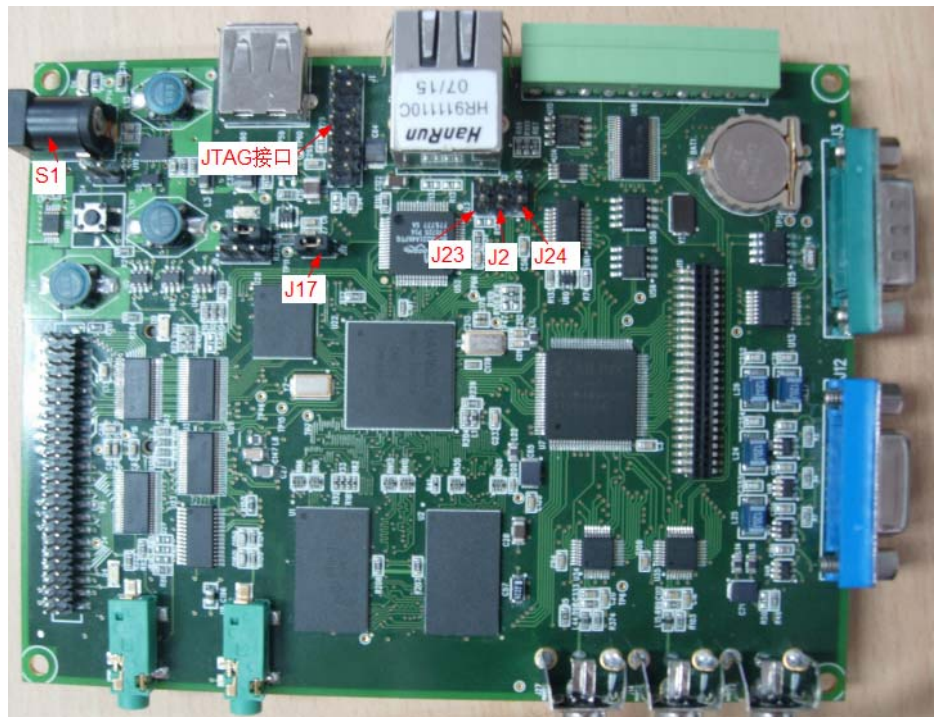


11.2 DVS6446 平台测试硬件连接

SEED DVS6446 平台硬件测试时，硬件统一连接如下：

1. 将仿真器的 JTAG 连接器同 DVS6446 平台的 J1 JTAG 仿真插头连接；
2. 将 DVS6446 平台的 J2、J17、J23、J24 跳线短接；
3. 将 DVS6446 平台的 S1 连接 5V-5A 的电源，给系统上电；

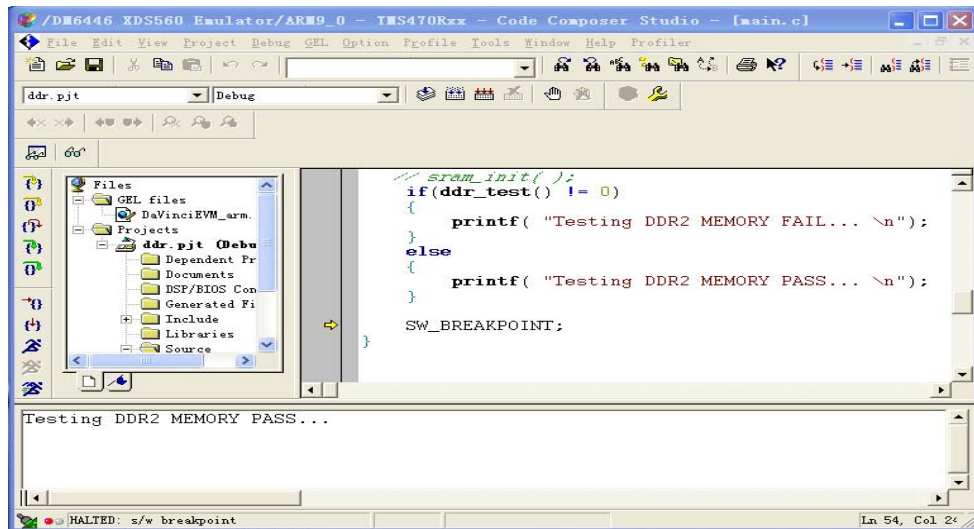
连接示意图如下：



11.3 SDRAM测试

SDRAM 测试主要测试其读写功能，步骤如下：

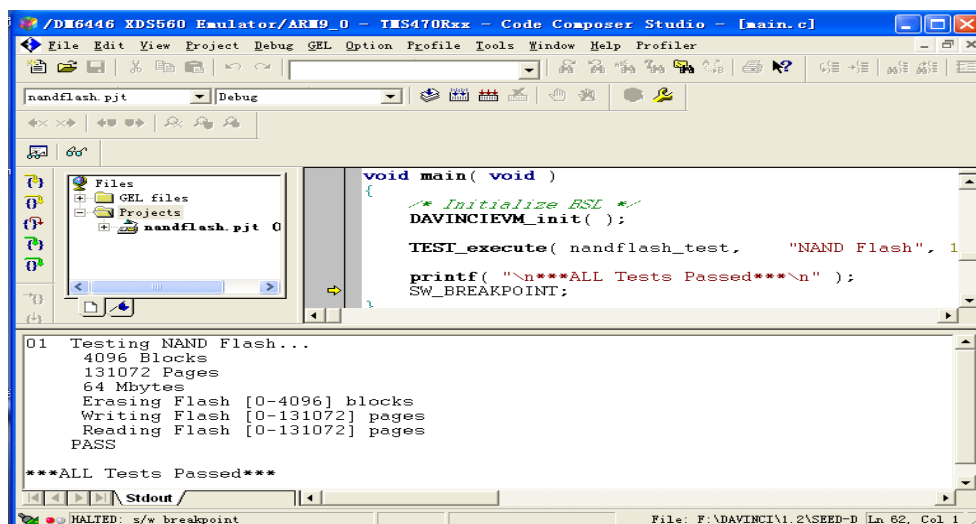
1. 在 CCS 中用 Project→Open...命令，打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 ddr 目录下的 ddr.pjt 工程文件；
2. 在 CCS 中用 File→Load Program...命令，加载 ddr\debug 目录下的 ddr.out 文件；
3. 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处；
4. 执行程序，如果程序执行结束时，在输出窗口 Stdout 中输出信息“Testing DDR2 MEMORY PASS”，则说明测试成功，如下图所示；否则，测试失败。



11.4 NAND Flash测试

NAND Flash 测试主要测试 Flash 大小及读写操作等功能，测试步骤如下：

1. 在 CCS 中用 Project→Open...命令，打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 nandflash 目录下的 nandflash.pjt 工程文件；
2. 在 CCS 中用 File→Load Program...命令，加载 nandflash\debug 目录下的 nandflash.out 文件；
3. 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处；
4. 执行程序，如果程序执行结束时，在输出窗口 Stdout 中输出信息如下信息，如果在该窗口中显示“ALL Tests Passed”则说明测试成功；否则，测试失败。



11.5 音频测试

音频测试主要测试音频采集和播放，实现音频采集与播放 LOOP 测试。测试步骤如下：

1. J18 口为音频采集口，测试时将音频连接线，一端连接 WINDOWS PC 机音频输出，另一端连接 J18 口；
2. J16 为音频输出口，测试时将耳机线接口，连接至 J16，连接示意图图如下：



3. 在 CCS 中用 Project—>Open...命令, 打开 Hardware Test Programs and CSL Libs

Based on CCS\dvs6446_examples 目录下的 aic23 目录下的 aic23.pjt 工程文件;

4. 在 CCS 中用 File—>Load Program...命令, 加载 aic23\debug 目录下的 aic23.out 文件;
5. 在 WINDOWS PC 机端播放音乐;
6. CCS 中用 Debug—>Go Main 命令执行程序到 C 的 main()函数处;
7. 执行程序, 耳机发出同 WINDOWS PC 机播放的相同的音乐。

11.6 复合视频采集输出测试

复合视频采集测试程序主要测试 TVP5150 复合视频采集和 DM6446 后端复合视频显示功能, 测试过程如下: (默认测试 PAL 制)

1. 将摄像头输出接口通过视频线接 BNC 转接头连接至 J27 视频采集口, 显示设备如 GADEMEI 显示屏通过视频线接 BNC 转接头与 J13 连接, 连接示意图如下:

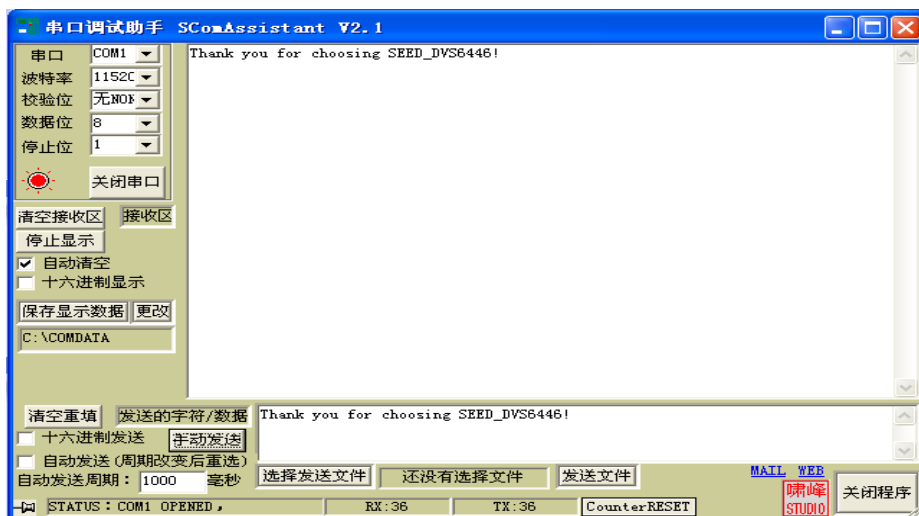


2. 在 CCS 中用 Project—>Open...命令, 打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 composite_loop 目录下的 composite_loop.pjt 工程文件;
3. 在 CCS 中用 File—>Load Program...命令, 加载 composite_loop\debug 目录下的 compoiste_loop.out 文件;
4. 在 CCS 中用 Debug—>Go Main 命令执行程序到 C 的 main()函数处;
5. 执行程序, 就可以在显示器上观看到摄像头采集输入的图像。

11.7 RS232 测试

RS232 测试，主要测试 RS232 串口收发功能是否正常，测试步骤如下：

1. 将 DaVinci 测试用串口线一端连接 PC 机串口，另一端连接 RS232 串口 J3；
2. 在 CCS 中用 Project—>Open...命令，打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 rs232 目录下的 rs232.pjt 工程文件；
3. 在 CCS 中用 File—>Load Program...命令，加载 rs232\debug 目录下的 rs232.out 文件；
4. 在 CCS 中用 Debug—>Go Main 命令执行程序到 C 的 main()函数处。
5. 在 PC 机上运行“串口调试助手”的软件，设置串口的参数如下，并点击“自动发送”；

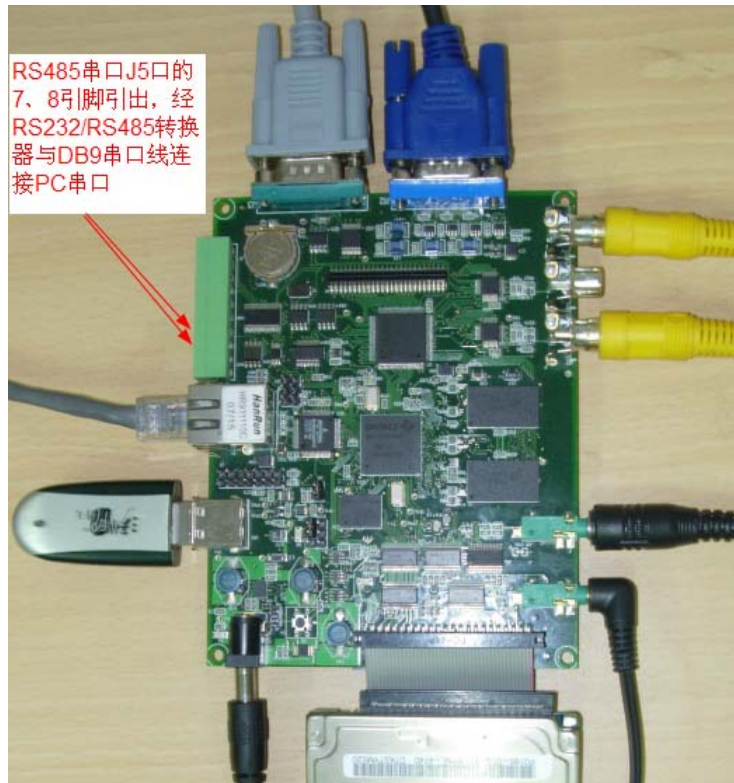


6. CCS 下运行程序，观察串口调试助手接收窗口中的数据，如果同发送数据一致则表示测试通过，否则，测试失败。

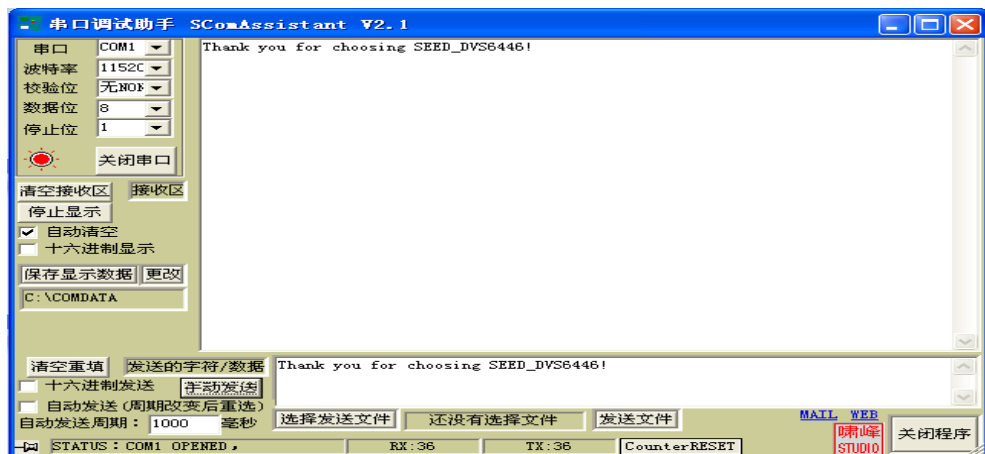
11.8 RS485 测试

RS485 测试程序主要测试 RS485 串口的收发功能，测试过程需要 RS232/RS485 转接器，测试步骤如下：

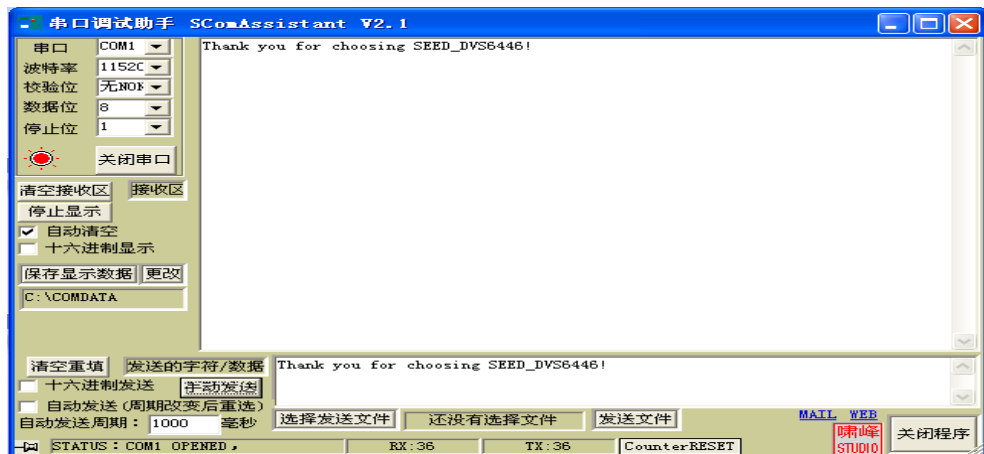
1. 将 RS485 串口 J5 口的 7 (B)、8 (A) 脚引出，连接到 RS232/RS485 转接头的收发引脚上，RS232/RS485 转接头的另一端连接至 DB9 串口线的一端，DB9 串口线另一端连接至 WINDOWS PC 机串口，连接示意图如下：



2. 在 CCS 中用 Project—>Open...命令，打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 rs485 目录下的 rs485.pjt 工程文件；
3. 在 CCS 中用 File—>Load Program...命令，加载 rs485\debug 目录下的 rs485.out 文件；
4. 在 CCS 中用 Debug—>Go Main 命令执行程序到 C 的 main()函数处。
5. 在 WINDOWS PC 机上运行“串口调试助手”的软件，设置串口的参数如下，并点击“自动发送”；



6. CCS 下运行程序，观察串口调试助手接收窗口中的数据，如果同发送数据一致则表示测试通过，否则，测试失败。
7. 在 PC 机上运行“串口调试助手”的软件，设置串口的参数如下，并点击“自动发送”；



8. CCS 下运行程序，观察串口调试助手接收窗口中的数据，如果同发送数据一致则表示测试通过，否则，测试失败。

11.9 以太网测试

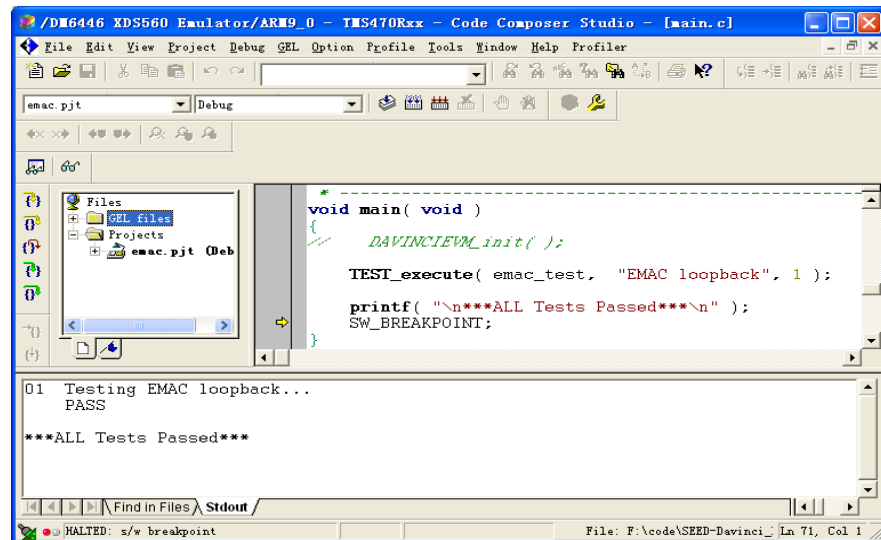
以太网测试，主要测试以太网环路功能，测试需要直连的网线，测试步骤如下：

1. 将回环网线与 DVS6446 的网口 T1 连接，连接示意图如下：



2. 在 CCS 中用 Project—>Open...命令，打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 emac 目录下的 emac.pjt 工程文件。
3. 在 CCS 中用 File—>Load Program...命令，加载 emac\debug 目录下的 emac.out 文件。

4. 在 CCS 中用 Debug—>Go Main 命令执行程序到 C 的 main()函数处。
5. 执行程序，当测试通过，在输出窗口 Stdout 中将输出如下信息。否则，测试失败。



11.10 USB接口电源测试

USB 接口电源测试，主要测试 USB 接口上电功能，测试步骤如下：

1. 将 U 盘或其它 USB 设备接入 DVS6446 的 J60 USB 接口,将 J7 的 2-3 引脚短接，连接示意图如下：



2. 在 CCS 中用 Project—>Open...命令，打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 usb_power 目录下的 usb_power.pjt 工程文件。
3. 在 CCS 中用 File—>Load Program...命令，加载 usb_power\debug 目录下的 usb_power.out 文件。
4. 在 CCS 中用 Debug—>Go Main 命令执行程序到 C 的 main()函数处。
5. 执行程序。如果 USB 设备上的电源指示等闪烁了一下，说明 USB 设备可以成功上电，测试成功，否则，测试失败。

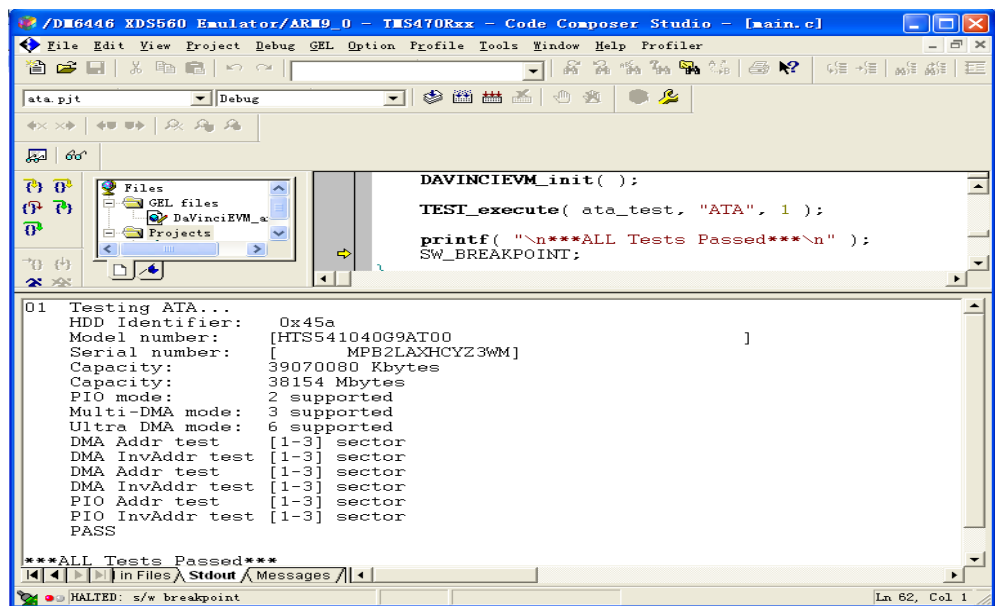
11.11 ATA硬盘接口测试

ATA 硬盘接口测试，主要是硬盘接口在 PIO、和 DMA 模式下数据读写功能，测试步骤如下：

1. 将硬盘与硬盘接口数据线接到 DVS6446 的 J15 ATA 接口，连接示意图如下：



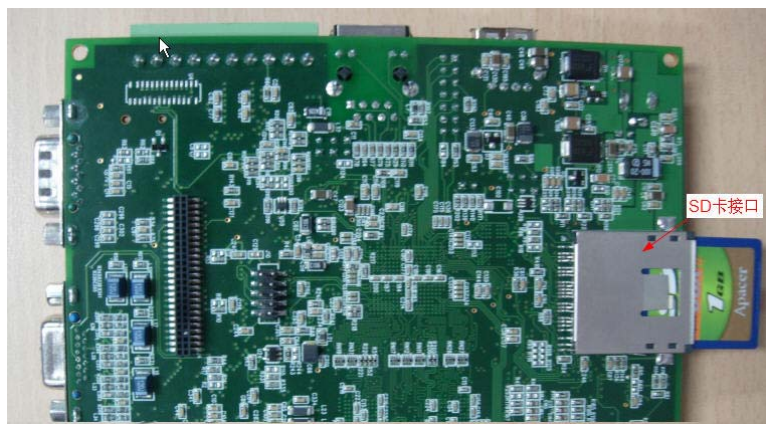
2. 在 CCS 中用 Project—>Open...命令，打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 ata 目录下的 ata.pjt 工程文件。
3. 在 CCS 中用 File—>Load Program...命令，加载 ata\debug 目录下的 ata.out 文件。
4. 在 CCS 中用 Debug—>Go Main 命令执行程序到 C 的 main()函数处。
5. 执行程序。当测试通过，在输出窗口 Stdout 中将输出如下信息。否则，测试失败。



11.12 SD卡接口测试程序

SD 卡接口测试程序主要测试 SD 卡接口读写功能，测试步骤如下：

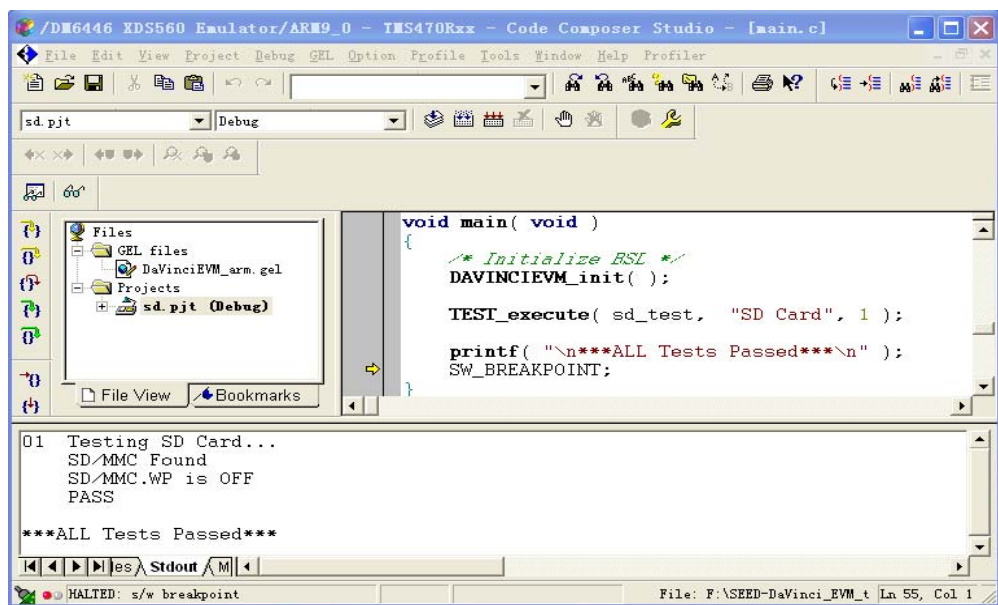
1. 将 SD 卡插入 DVS6446 板卡底部的 SD 卡插槽 J8，如下图所示：



2. 短接 J9 跳线器的 1-2 脚，选择 SD/MMC 模式如下图所示：



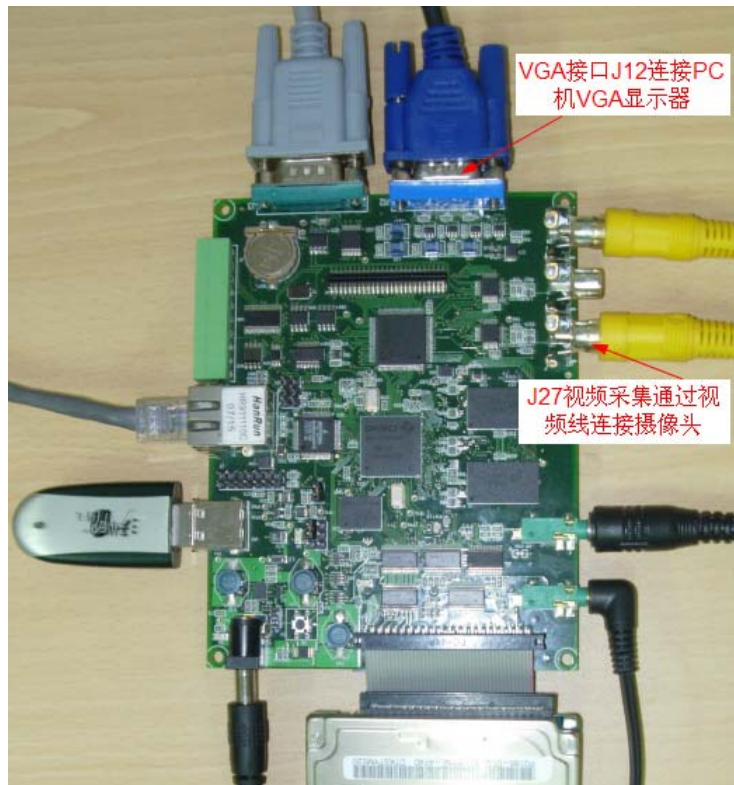
3. 在 CCS 中用 Project—>Open...命令, 打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 sd 目录下的 sd.pjt 工程文件;
4. 在 CCS 中用 File—>Load Program...命令, 加载 sd\debug 目录下的 sd.out 文件;
5. 在 CCS 中用 Debug—>Go Main 命令执行程序到 C 的 main()函数处; 执行程序。当测试通过, 在输出窗口 Stdout 中将输出如下信息。否则, 测试失败。



11.13 VGA视频采集显示测试

VGA 测试程序主要测试 TVP5150 采集视频和 DM6446 后端 DAC 配置 VGA 显示输出功能, 测试如下:

1. 将摄像头输出接口通过视频线接 BNC 转接头连接至 J27 视频采集口, 将 VGA 显示器数据线同 DVS6446 的 VGA 输出口 J12 连接, 连接示意图如下:



2. 在 CCS 中用 Project—>Open...命令,打开 Hardware Test Programs and CSL Libs Based on CCS\dvs6446_examples 目录下的 vga_loop 目录下的 vga_loop.pjt 工程文件。
3. 在 CCS 中用 File—>Load Program...命令,加载 vga_loop \debug 目录下的 vga_loop.out 文件。
4. 在 CCS 中用 Debug—>Go Main 命令执行程序到 C 的 main()函数处。
5. 执行程序,就可以在显示器上观看到摄像头采集输入的图像。

连接器、跳线、机械尺寸

本章描述 SEED_DVS6446 模板的物理布局，说明个连接器的定义、跳针的设置以及在板上的位置。

12.1 物理布局

SEED_DVS6446 符合工业标准，长 130mm x 宽 100mm，采用表面帖装元器件，元器件双面安装。

SEED_DVS6446 系统正面布局如下图所示：

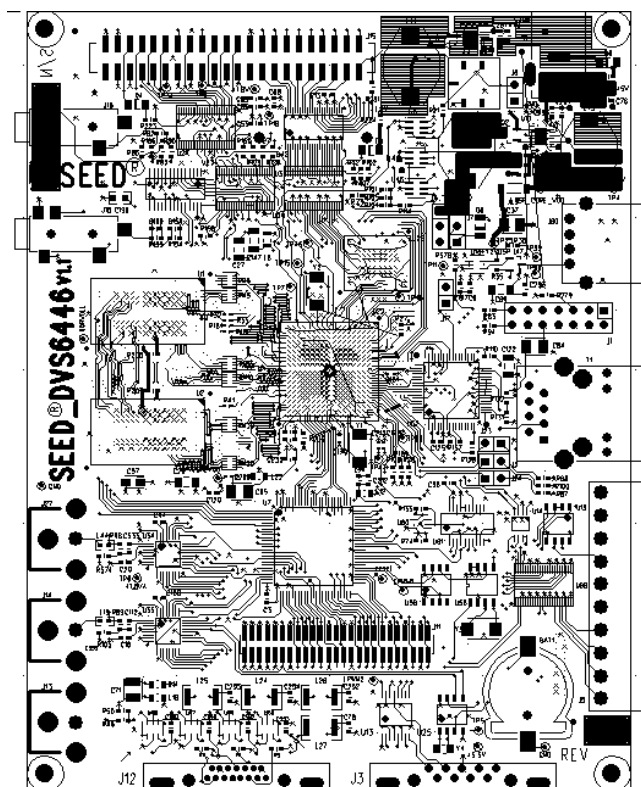


图 8-1 ：系统正面布局

SEED_DVS6446 系统反面布局图如下：

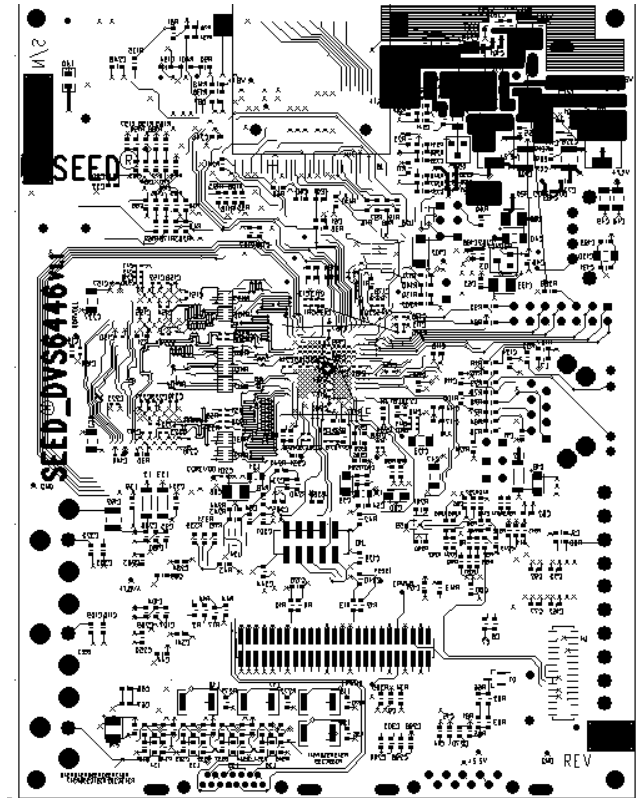


图 8-2 ： 系统反面布局图

12.2 连接器

SEED_DVS6446 系统共有 17 个连接器，如下表所示：

连接器	引脚数	功能
J1	14	JTAG 仿真器
J2	2	DSP 启动模式
J3	9	UART0 串口
J4	50	数字视频输入
J5	8	GPIO、UART1
J7	3	USB 模式选择
J8	xx	SD、MMC 卡
J9	6	SD 卡选择
J10	4	USB 连接器
J11	50	数字视频输入
J12	15	VGA 输出

J13	2	复合视频输出
J14	2	视频输入
J15	44	ATA 接口
J16	4	音频输出
J17	2	NAND Flash 启动
J18	4	音频采集
J23	2	ARM 引导模式选择
J24	2	ARM 引导模式选择
J27	2	视频采集
T1	16	网络接口
S1	X	5V 供电
S4	2	外部复位

12.2.1 J1: JTAG接口

SEED_DVS6446 系统中有一个 14-芯、间距为 100mil 的双排插针 J1，它是一个 JTAG 仿真器标准接口，通过此接口对 TMS320DM6446 进行硬件仿真调试。其定义如下：

TMS	1	2	TRST-	Header Dimensions Pin-to-Pin spacing, 0.100 in. (X,Y) Pin width, 0.025-in. square post Pin length, 0.235-in. nominal
TDI	3	4	GND	
PD (+5V)	5	6	no pin (key)	
TDO	7	8	GND	
TCK	9	10	GND	
TCK	11	12	GND	
EMU0	13	14	EMU1	

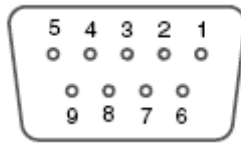
JTAG INTERFACE

12.2.2 J2: DSP启动模式

J2 短路时，为 DSP 自启动模式，J2 断开时为 ARM 启动。

12.2.3 J3: UART0 串口

SEED_DVS6446 系统扩展了 RS232 串口，采用 9 针 D 连接器。如图所示：



引脚定义如下：

Pin #	Signal Name	Direction
1	NC	N/A
2	S_A_RXD	In
3	S_A_TXD	Out
4	NC	N/A
5	GND	N/A
6	NC	N/A
7	S_A_TXD	Out
8	S_A_TXD	Out
9	NC	N/A
10,11	Earth Ground	N/A

12.2.4 J4： 数字视频输入

SEED_DVS6446 扩展了数字视频输出接口，其引脚定义如下：

Pin #	Signal	Pin #	Signal
1	1.8V.SYS_RESETz	2	CAPTURE_EN
3	GND	4	GND
5	GIO1	6	GIO4
7	GND	8	GND
9	PWM1	10	PWM2
11	GND	12	GND
13	Y10	14	Y11
15	Y12	16	Y13
17	Y14	18	Y15
19	Y16	20	Y15
21	GND	22	GND
23	GND	24	HD
25	PCLK/1V8.DC_PCLK	26	VD
27	GND	28	GND
29	CI0	30	CI1
31	CI2	32	CI3
33	CI4	34	CI5
35	CI6	36	CI7
37	GND	38	GND
39	1V8.I2C_CLK	40	1V8.I2C_DATA
41	VCC_1.8V	42	VCC_1.8V
43	GND	44	GND
45	VCC_3.3V	46	VCC_3.3V
47	GND	48	GND
49	VCC_5V	50	VCC_5V

12.2.5 J5: GPIO/UART1

SEED_DVS6446 系统扩展了 UART1 RS485 串口，并将 GPIO 扩展作为数字输入输出接口。通过凤凰端子，实现上述接口。如下图示：

8	7	6	5	4	3	2	
---	---	---	---	---	---	---	---

对应引脚定义如下：

引脚	功能
1	GPIO 输入口
2	GPIO 输入口
3	GPIO 输入口
4	GPIO 输入口
5	GPIO 输出口
6	GPIO 输出口
7	RS485 接收
8	RS485 发送

12.2.6 J7: USB模式选择

SEED_DVS6446 支持 USB 主从模式，通过该连接器选择各个模式。其连接如图所示：



其中 1、2 短路为从模式工作；2、3 短路为主模式工作。

12.2.7 J8: SD、MMC卡

SEED_DVS6446 系统扩展了一个 SD、MMC 卡连接器。其连接器引脚定义如下：

Pin #	Signal	Pin #	Signal
1	SD_CLK	2	SD_CMD
3	GND	4	GND
5	SD_DATA0	6	SD_DATA1
7	SD_DATA2	8	SD_DATA3
9	GND	10	GND

12.2.8 J9: SD/MMC选择

SEED_DVS6446 支持 SD/MMC 卡，通过该连接器选择各个模式。其连接如图所示：



其中：1-2 短路为选择 SD 卡

12.2.9 J10: USB接口

SEED_DVS6446 扩展了一个 USB 连接器接口，并可以配置为主从模式工作。其连接引脚定义如下：

Pins	Signal
1A	USB_VBUS
2A	USB_DM
3A	USB_DP
4A	GND
3,4	USB_SHIELD

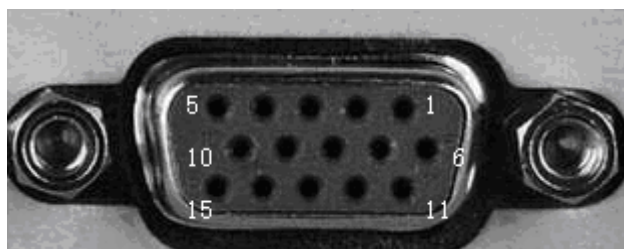
12.2.10 J11: 数字视频输入接口

SEED_DVS6446 扩展了数字视频输出接口，其引脚定义如下：

Pin #	Signal	Pin #	Signal
1	1.8V.SYS_RESETz	2	CAPTURE_EN
3	GND	4	GND
5	GIO1	6	GIO4
7	GND	8	GND
9	PWM1	10	PWM2
11	GND	12	GND
13	Y10	14	Y11
15	Y12	16	Y13
17	Y14	18	Y15
19	Y16	20	Y15
21	GND	22	GND
23	GND	24	HD
25	PCLK/1V8.DC_PCLK	26	VD
27	GND	28	GND
29	CI0	30	CI1
31	CI2	32	CI3
33	CI4	34	CI5
35	CI6	36	CI7
37	GND	38	GND
39	1V8.I2C_CLK	40	1V8.I2C_DATA
41	VCC_1.8V	42	VCC_1.8V
43	GND	44	GND
45	VCC_3.3V	46	VCC_3.3V
47	GND	48	GND
49	VCC_5V	50	VCC_5V

12.2.11 J12: VGA输出

SEED_DVS6446 支持 VGA 视频输出，采用 VGA 连接头连接，如图所示：

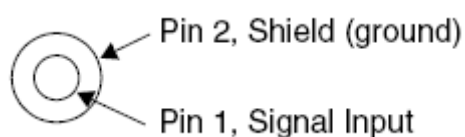


引脚定义如下：

管脚	定义
1	红基色 red
2	绿基色 green
3	蓝基色 blue
4	地址码 ID Bit
5	自测试（各家定义不同）
6	红地
7	绿地
8	蓝地
9	保留（各家定义不同）
10	数字地
11	地址码
12	地址码
13	行同步
14	场同步
15	地址码（各家定义不同）

12.2.12 J13：复合视频输出

SEED_DVS6446 支持复合视频输出，将 DM6446 的 DAC 输出实现复合输出。采用 RCA jack 连接器。如图示：

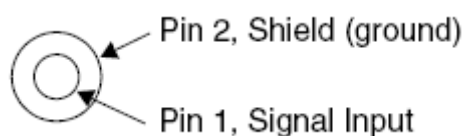


引脚定义如下：

- 1： 视频信号
- 2： 地线

12.2.13 J14：复合视频输入接口

J14 是一个 RCAjack 接口，作为视频输入与 TVP5150 连接。连接器示意图如下：



引脚说明如图：

Pin #	Signal Name
1	TVP5150
2	GND

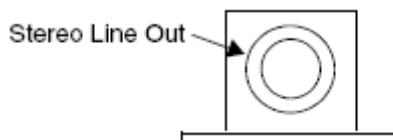
12.2.14 J15: ATA连接器

SEED_DVS6446 扩展了一个 44 针的 IDE 硬盘，采用 44 针连接头连接硬盘。ATA 硬盘接口引脚定义如下：

Pin #	Signal	Pin #	Signal
1	ATA RESETn	2	GND
3	ATA.DD7	4	ATA.DD8
5	ATA.DD6	6	ATA.DD9
7	ATA.DD5	8	ATA.DD10
9	ATA.DD4	10	ATA.DD11
11	ATA.DD3	12	ATA.DD12
13	ATA.DD2	14	ATA.DD13
15	ATA.DD1	16	ATA.DD14
17	ATA.DD0	18	ATA.DD15
19	GND	20	NC
21	ATA.DMARQ	22	GND
23	ATA.DIOW	24	GND
25	ATA.DIOR	26	GND
27	ATA.IORDY	28	ATA_CSEL, TP34
29	ATA.DMACK	30	GND
31	ATA.INTRQ	32	GND
33	ATA.DA1	34	TP33
35	ATA.DA0	36	ATA.DA2
37	ATA.CS0	38	ATA.CS1
39	ATA.DASPN	40	GND
41	VCC_5V	42	VCC_5V
43	GND	44	NC

12.2.15 J16: 音频输出

SEED_DVS6446 实现立体声输入输出。J16 连接器是立体声耳机输出，采用 TLV320AIC23B 音频芯片输出。连接器示意图如下：



引脚定义如下：

Pin #	Signal
1	Isolated Ground
2	HPLOUT
3	HPROUT
4	NC

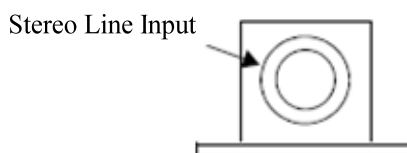
12.2.16 J17: NAND Flash启动模式

SEED_DVS6446 采用内核启动时，需要加载 ubi、uboot 和内核文件，此时就需要从 NAND Flash 中加载启动。进行硬件调试时，需要在非 nand 模式下调试，因此需要配置启动模式。

J17 为 2 针连接器，将其短路时，即为 NAND Flash 模式启动。

12.2.17 J18: 音频输入

SEED_DVS6446 实现立体声输入输出。J18 连接器是立体声耳机输入，采用 TLV320AIC23B 音频芯片输入。连接器示意图如下：



引脚定义如下：

Pin #	Signal
1	Isolated Ground
2	LINELIN
3	LINERIN
4	NC

12.2.18 J23、J24：ARM引导模式选择

J23、J24 跳线用于 ARM 的引导模式选择。各种的引导方式的跳线配置如下：

00: boot from ROM(NAND) def

01: boot from EMIF

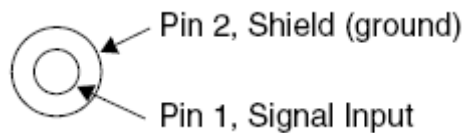
10: boot from ROM(HPI)

11: boot from ROM(UART)

默认不插跳线为 00。

12.2.19 J27：复合视频输入

J27 是一个 RCA jack 接口，作为视频输入与 TVP5150 连接。连接器示意图如下：

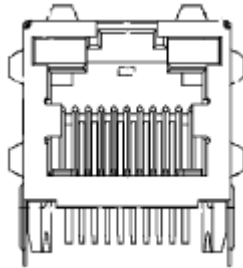


引脚说明如图：

Pin #	Signal Name
1	TVP5150
2	GND

12.2.20 T1: 网络接口

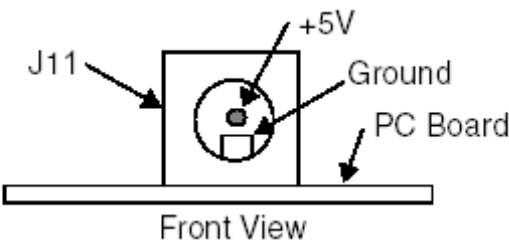
SEED_DVS6446 系统中，有一个 RJ45 的网络接口。可以接标准的网络插头，其定义如图所示：



Pin #	Signal	Pin #	Signal
1	LXT_TDP	2	LXT_TDM
3	LXT_RDP	4	LXT_TDCT
5	NC	6	LXT_RDM
7	NC	8	GND
9	VCC_3.3V	10	LED1-
11	VCC_3.3V	12	LINKLED-

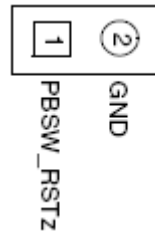
12.2.21 S1: 电源供电

SEED_DVS6446 系统采用+5V 供电，采用 Mini 型直流电源插座，其示意图如下：



12.2.22 S4: 外部复位接口

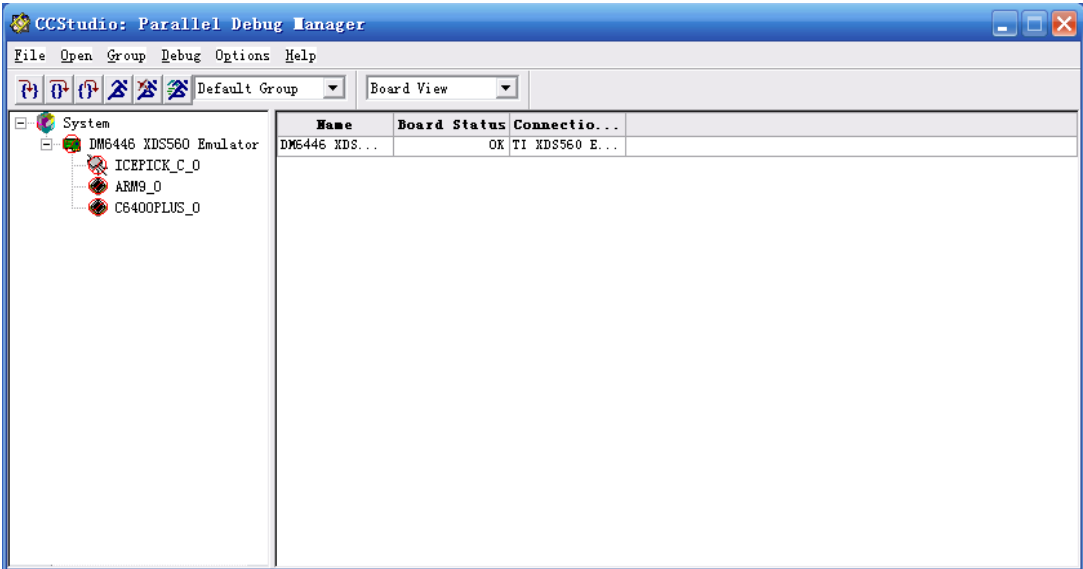
S4 复位连接器为一个两针跳线连接器用于外部复位操作。连接器如图所示：



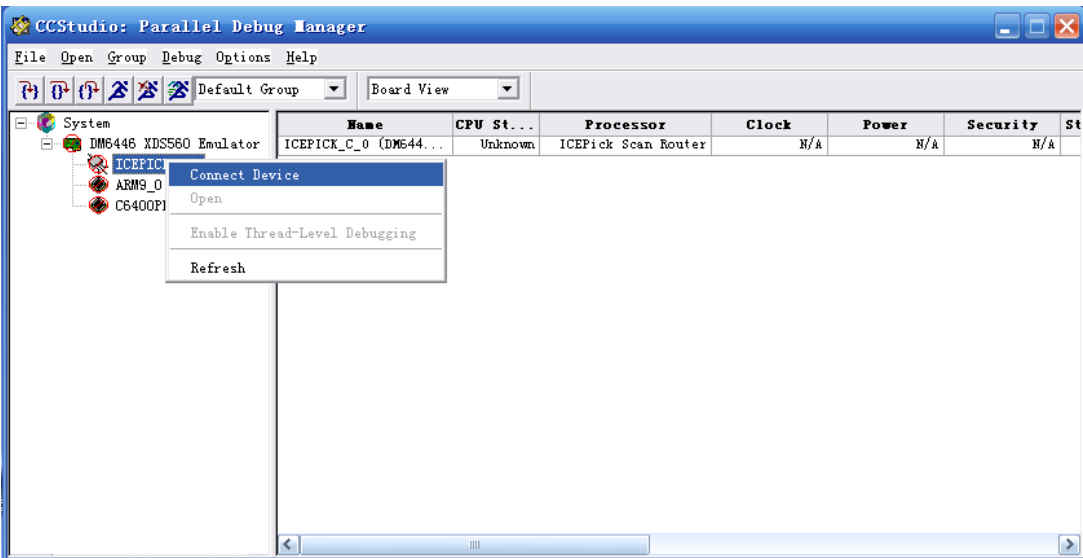
工程调试环境的建立

以 SEED_DVS6446 的 SDRAM 测试程序为例，说明如何建立工程调试环境。

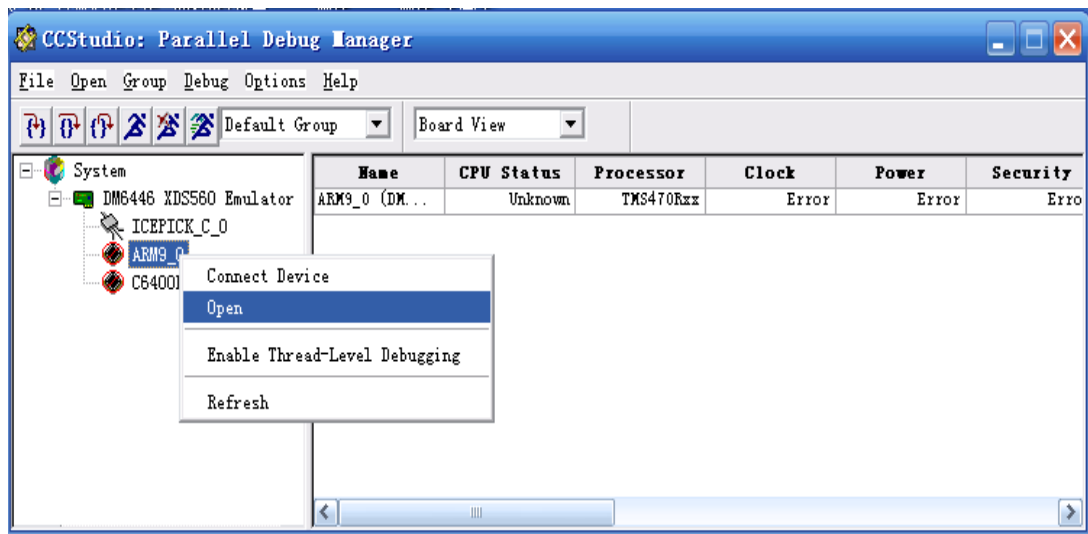
- 1. 打开 CCS3.2（也可以使用 CCS3.3），出现如下界面



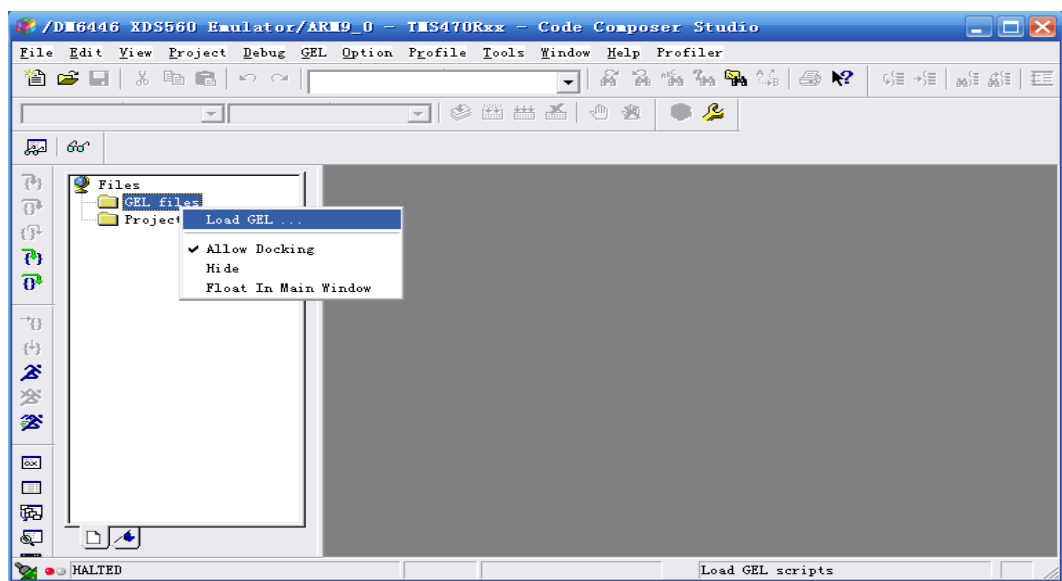
- 2. 连接上 ICEPick Scan Router



3. 打开 ARM 端开发调试环境

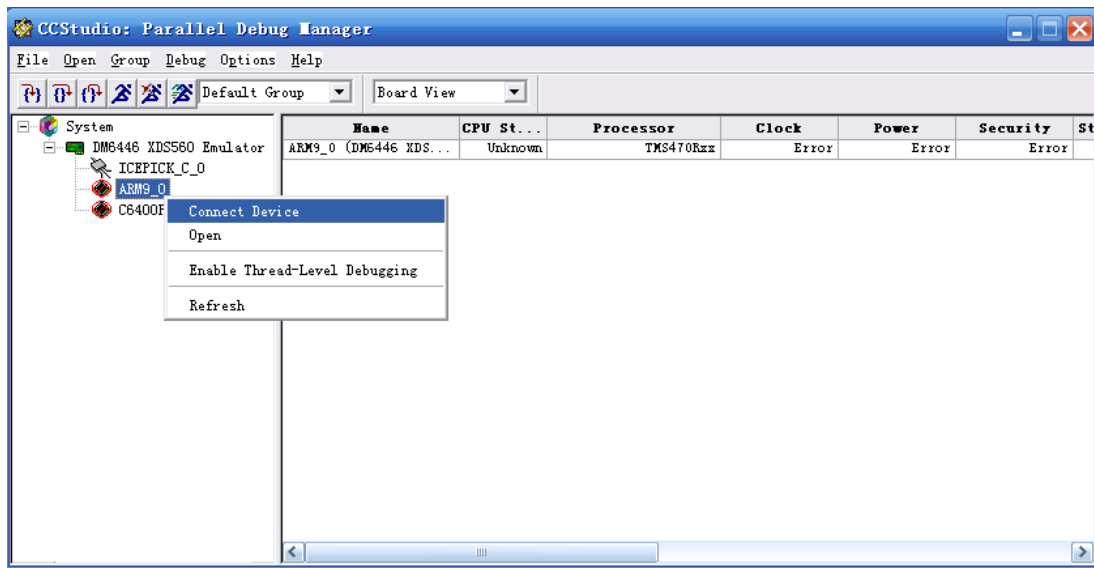


4. 装入 DaVinciEVM_arm.gel 文件

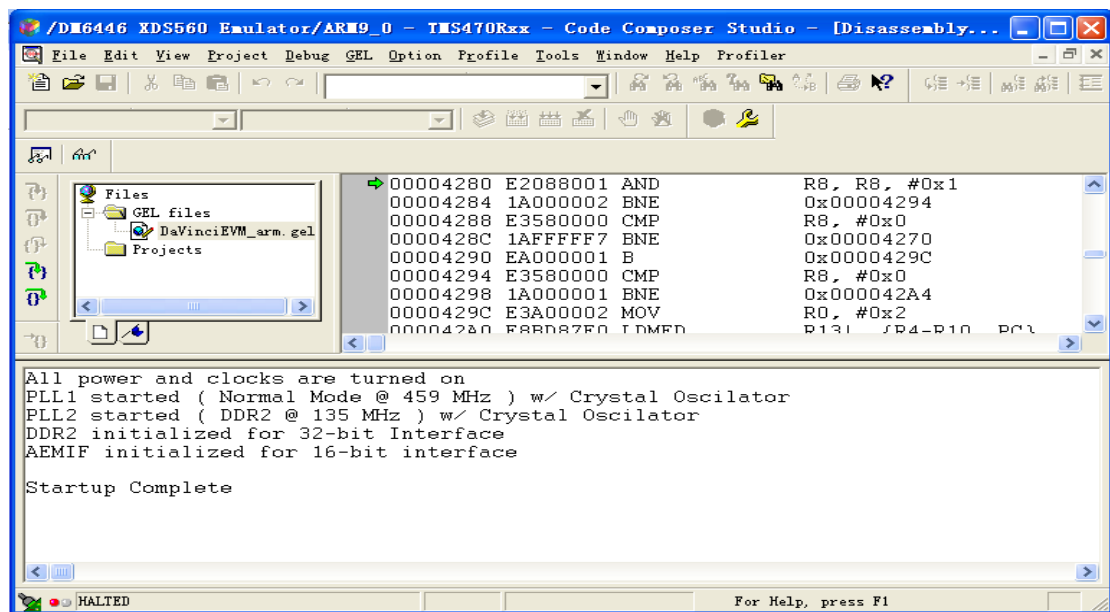


注意：必须在连接 ARM 端以前，装入 DaVinciEVM_arm.gel 文件

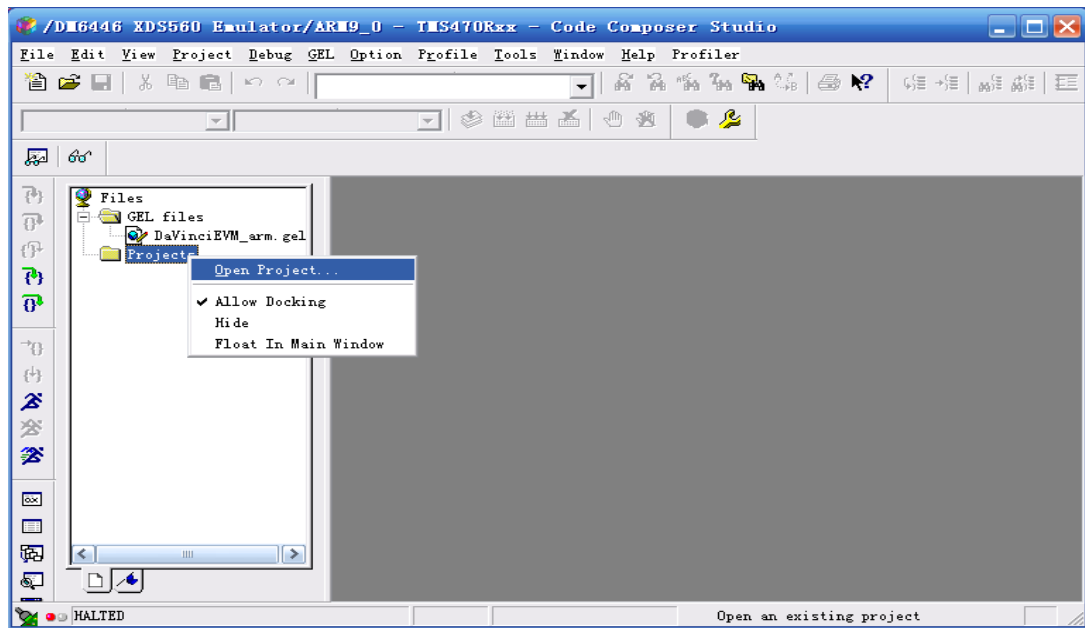
5. 连接 ARM 端，硬件测试程序都在 ARM 端运行



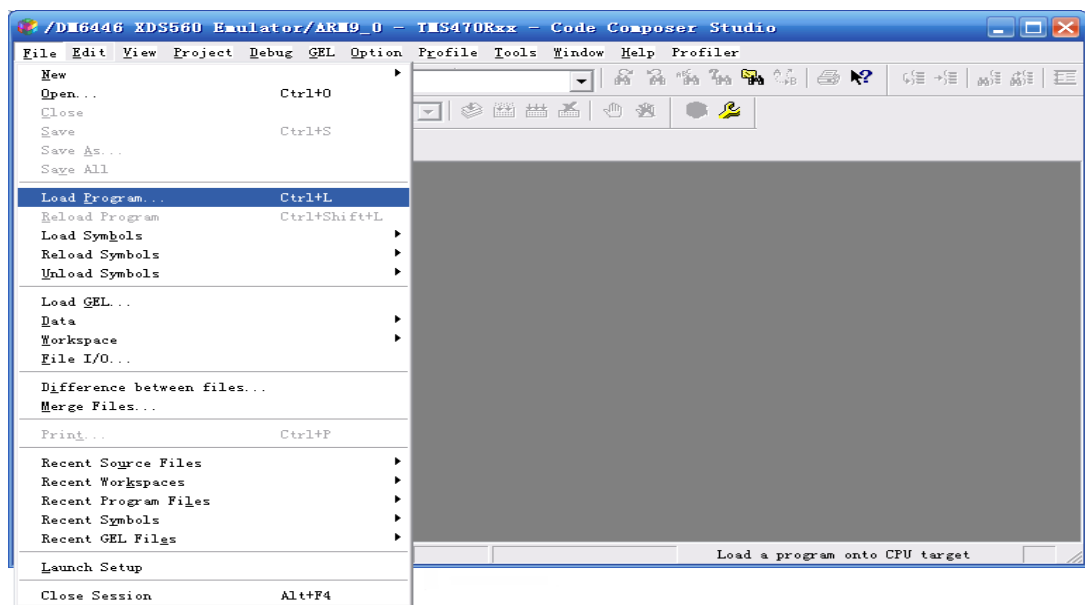
连接上 ARM 端后，在 ARM 端开发调试环境的输出窗口中将出现下列的提示：



6. 打开工程文件 ddr.pjt



7. 装入 ddr.out 文件



8. 然后便可设置断点，观察窗口等对程序进行调试，或者直接运行程序。

注意：如果要使用 DSP 端开发调试环境，必须先载入 ARM 端 DaVinciEVM_arm.gel 和连接好 ARM 端的情况下，再进行连接 DSP 端，载入 DaVinciEVM_dsp.gel 文件，载入 .OUT 文件等操作。