Data Sheet

CC1000

RF Transceiver

Distributed by

C-MAX

Quality Source of Electronic Components

Chipcon

CC1000 极低功耗单片收发 IC 2.0

应用范围

- ●极低功耗下超高频无线数据发送和接收领域的应用
- ●315/433/868/915MHz ISM/SRD 带宽系统上的应用
- ●RKE 双向无键操作摇控方面上的应用
- ●家庭自动化方面上的应用
- ●无线报警和安全系统上的应用
- ●AMR 自动抄表系统上的应用
- ●低功率遥感勘测设备上的应用
- ●玩具方面上的应用

产品概述

CC1000 是一种理想的超高频单片收发 IC，它专用于低功率和低电压类无线电产品。此 IC 电路系统主要设计用于 ISM（工业、科学及医疗）方面以及 SRD（短距离通讯），工作频带在 315、868 及 915MHz，但 **CC1000** 很容易通过编程使其工作在 300～1000MHz 范围内。

CC1000 的主要工作参数能通过串行总线接口编程改变，这样使 **CC1000** 使用起来更灵活。通常典型的系统是由 **CC1000** 与一个微控器以及一些外围无源元件一起构成。

CC1000 是根据 Chipcon 公司的 SmartRF 技术，在 0.35μm CMOS 艺下制造出的。

Data Sheet

CC1000

RF Transceiver

Distributed by

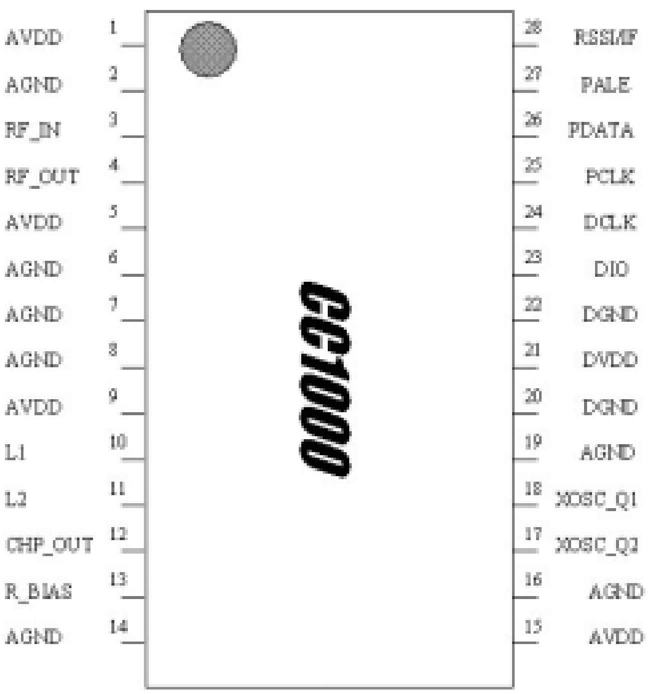
C-MAX

Quality Source of Electronic Components

Chipcon

特征

- 理想的超高频单片收发 IC
- 极低的电流损耗
- 频率范围 300～1000MHz
- 集成的位同步器
- 高灵敏度（一般-109dBm）
- 可编程输出功率：-20～10 dBm
- 小尺寸（TSSOP-28 封装）
- 低供电电压（2.3V～3.6V）
- 非常少的外围元件
- 不需要外接 RF 开关/IF 滤波
- RSSI 输出
- 单端天线连接
- FSK 数传可达 72.8k 波特率
- 遵循 EN 300 200 和 FCR47 第 15 部份的标准
- FSK 调制频谱重整
- 250Hz 步长可编程频率，能在无 TCXO 下对晶体温度漂移进行补偿
- 适用于跳频协议
- 能提供开发配套设施
- 使用软体可很容易获得 CC1000 配置参数



管脚定义

脚号	名称	类型	说明
1	AVDD	电源（A）	对模拟模块（混频器和中频）提供电源（3V）
2	AGND	地（A）	模拟模块（混频器和中频）接地
3	RF-IN	RF 输入	来自天线的 RF 信号输入
4	RF-OUT	RF 输出	RF 信号输出给天线
5	AVDD	电源（A）	对模拟模块（LNA 和 PA）提供电源（3V）
6	AGND	地（A）	模拟模块（LNA 和 PA）接地
7	AGND	地（A）	模拟模块（PA）接地
8	AGND	地（A）	模拟模块（VCO 和预分器）接地
9	AVDD	电源（A）	对模拟模块（VCO 和预分器）提供电源（3V）
10	L1	模拟输入	与外部 VCO 电感脚 1 相连
11	L2	模拟输入	与外部 VCO 电感脚 2 相连
12	CHP-UOT（LOCK）	模拟输出	充电电流输出 该管脚也可用于 PLL 锁定时输出高电平
13	R-BIAS	模拟输出	连接外围预选偏置电阻（82kΩ，±1%）
14	AGND	地（A）	模拟模块接地（底板）
15	AVDD	电源（A）	对模拟模块供电（3V）（普通）
16	AGND	地（A）	模拟模块接地（一般）
17	XOSC-Q2	模拟输出	晶体第 2 脚
18	XOSC-Q1	模拟输入	晶体第 1 脚，或外部时钟输入
19	AGND	地（A）	模拟模块接地（保护）
20	DGND	地（D）	数字模块接地（地层）
21	DVDD	电源（D）	对数字模块供电（3V）
22	DGND	地（D）	数字模块接地
23	DIO	数字信号输入/输出	数据输入/输出。发送时输入，接收时输出
24	DCLK	数字信号输出	接收和发送状态下传输时钟信号
25	PCLK	数字信号输入	三总线编程时钟信号
26	PDATA	数字信号输入/输出	三总线编程数据，写状态下编程数据输入，读状态下编程数据输出
27	PALE	数字信号输入	三总线编程地址锁存使能
28	RSSI/IF	模拟输出	该管脚可用作 RSSI 或 10.7MHz IF 输出端到可选的外围 IF 和解调器。若未使用，该管脚必须悬空。

A=模拟，D=数字

极限值

参数	最小值	最大值	单位	条件
电源 VDD	-0.3	5.0	V	
任意管脚电压	-0.3	VDD+0.3 最大 5.0	V	
输入 RF 电平		10	dBm	
存放温度范围	-50	150	℃	
工作温度范围	-40	85	℃	
极限温度		260	℃	T=10s

无论什么情况都不能超过以上极限值，超过一个或多个极限值将会永久地损坏 IC。

注意！静电防护

为了防止静电对 IC 的永久性破坏，作业时要注要预防措施。

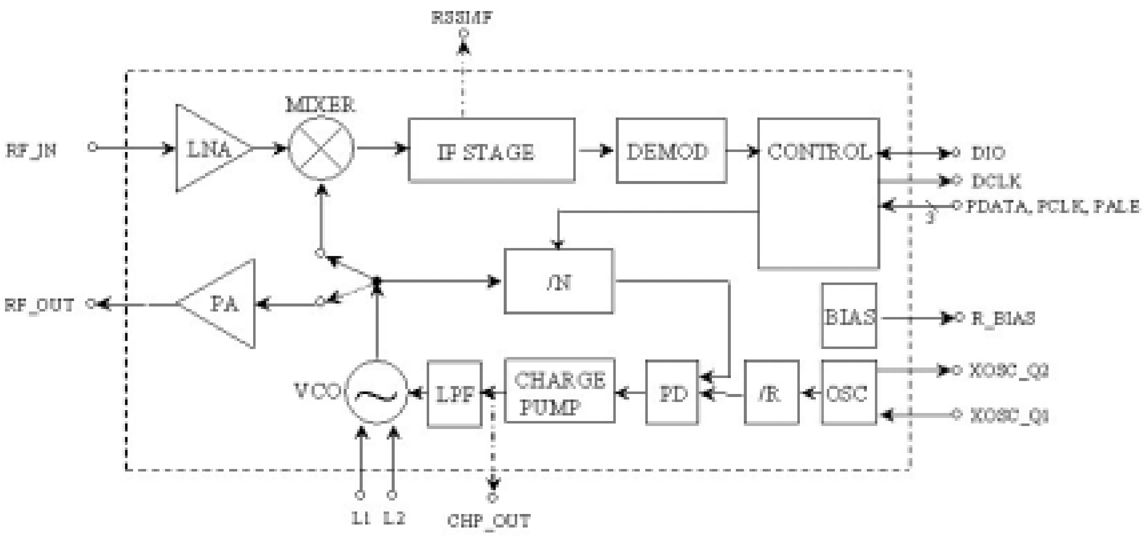
电气规格（T_C=25℃，VDD=3.0V）

参数	最小值	典型值	最大值	单位	条件/说明
全体 RF 频率范围	300		1000	MHz	250Hz 步长可编程
传送部分 传送率	0.6		76.8	kBaud	NRZ 或曼彻斯特码，使用 NRZ 码时，76.8kBaud 等于 76.8kbit/s，见 14 页。
相邻两调制信号频率间隔	0		65	kHz	数字“0”对应频率为 f_0，数字“1”对应频率为 f_1，频率间隔为 f_0-f_1 为，f_c 为 RF 载波频率 $f_c=(f_0+f_1)/2$。（频率偏差 $f_d=\pm(f_1-f_0)/2$） 频率间隔可按 250Hz 步长设置。 1MHz 参考频率下保证分频的最小值是 60kHz,越高的参考频率得到的分频越大。
输出功率 （433/868MHz）	-20		10/5	dBm	加到 50Ω负载上，输出功率可编程。
RF 输出阻抗 （433/868MHz）		140/80		Ω	发送模式。关于匹配详情见 28 页“输入/输出匹配”。
杂散波		-20		dBc	为了满足 SRD 需要，应用使用外部 LC 滤波或声表面滤波应用来减少谐波杂散，见 34 页。

参数	最小值	典型值	最大值	单位	条件/说明
接收部分					
接收灵敏度 433/868MHz 优化灵敏度(9.3/11.8mA)		-110/-107		dBm	2.4kBaud，曼彻斯特码，64kHz 频率
低电流损耗 (7.4/9.6mA)		-109/-105		dBm	间隔，错码率 BER=10^{-3}
系统噪声带宽		30		kHz	2.4kBaud，曼彻斯特码
共模噪声系数 433/868MHz		12/13		dB	
饱和度	10			dBm	2.4kBaud，曼彻斯特码，BER=10^{-3}
IP3 输入		-18		dBm	LNA 到 IF 输出
阻塞		40		dBc	在±1MHz
本振泄露			-57	dBm	
输入阻抗		88-j26 70-j26 52-j7 52-j4		Ω Ω Ω Ω	接收模式，同等系列 在 315MHz 在 433MHz 在 868MHz 在 915MHz 匹配详情见 28 页“输入/输出匹配”
开启时间	11		128	Baud	启动时间由解调器设置时间决定，它可编程，见 17 页。
中频部分					
中频（IF）		150	10.7	KHz MHz	内部中频滤波 外部中频滤波
中频带宽		175		KHz	
RSSI 动态范围	-105		-50	dBm	
RSSI 精度		±6		dB	详情见 30 页
RSSI 线性度		±2		dB	

参数	最小值	典型值	最大值	单位	条件/说明
频率合成器部分					
晶振频率	3		16	MHz	晶振可以是 3～4、6～8 或 9～16MHz，建议频率为 3.6864、7.3728、11.0592 和 14.7456MHz，详情见 32 页。
晶体频率精度要求		±50/±25		Ppm	晶体频率精度和漂移决定发送信号的频率精度。
晶体放置		并列			C171 和 C181 为负载电容，见 32 页。
晶体负载电容	12 12 12	22 16 16	30 30 16	pF pF pF	3～8MHz，建议 22pF 6～8MHz，建议 16pF 9～16MHz，建议 16pF
晶振启动时间		5 1.5 2		ms ms ms	3.6864MHz, 16pF 负载 7.3728MHz, 16pF 负载 16MHz, 16pF 负载
输出信号相噪		-85		dBc/Hz	偏离载波 100kHz
PLL 锁定时间（RX/TX 切换时间）		150		μs	
低电位状态下，晶振打开时，PLL 启动时间		250		μs	晶振正在工作
数字信号输入/输出					
逻辑“0”输入电压			0.3VDD	V	
逻辑“1”输入电压	0.7VDD		VDD	V	
逻辑“0”输出电压	0		0.4	V	3.0V 电源输出电流-2.5mA
逻辑“1”输出电压	2.5		VDD	V	3.0V 电源输出电流 2.5mA
逻辑“0”输入电流	NA		-1	μA	输入信号等于 GND
逻辑“1”输入电流	NA		1	μA	输入信号等于 VDD
DIO 启动时间	20			ns	发射模式下，PCLK 上升沿之前 DIO 准备好的最短时间
DIO 读取时间	10			ns	发射模式下，PCLK 上升沿之后 DIO 被读取的最短时间
串行接口（PCLK，PDATA 和 PALE）时间说明					见 12 页表 2

参数	最小值	典型值	最大值	单位	条件/说明
供电电源					
供电电压		3.0		V	建议工作电压
	2.3		3.6	V	工作极限
低电位模式		0.2	1	μA	晶体关闭
433/868MHz 接收状态时电流损耗		7.4/9.6		mA	电流可编程，为了提高灵敏度可增大电流
433/868MHz 接收状态下使用唤醒模式时的电流损耗平均值		74/92		μA	微控器使用 1:100 接收下拉比控制唤醒
433/868MHz 发射状态下电流损耗：		5.3/8.6		mA	
P=0.01mW(-20dBm)		8.0/3.9		mA	输出功率加在 50Ω负载上
P=0.3mW(-5dBm)		10.4/16.5		mA	
P=1mW(0dBm)		14.8/25.4		mA	
P=3mW(5dBm)		27.7/NA		mA	
P=10mW(10dBm)		30/80/105		μA	3～8MHz， 16PF 负载/9～14MHz，12PF 负载/14～16MHz，16PF 负载
晶体电流损耗					
		860		μA	
晶体和偏置的电流损耗		4/5		mA	<500MHz
晶体、偏置、合成器、RX/TX 部分的电流损耗		5/6		mA	>500MHz



CC1000 的简化模块图如图 1 所示，只画出了信号管脚。

在接收模式下 **CC1000** 可看成是一个传统的超外差接收器，射频（RF）输入信号经低噪声放大器（LNA）放大后翻转进入混频器（MIXER），通过混频器混频产生中频（IF）信号。在中频处理阶段（IF STAGE），该信号在送入解调器（DEMOD）之前被放大和滤波。可选的 RSSI 信号或 IF 信号也可通过混频产生于管脚 RSSI/IF。解调后 **CC1000** 从管脚 DIO 输出解调数字信号，解调信号的同步性由芯片上的 PCLK 提供的时钟信号完成。
在发送模式下，压控振荡器（VCO）输出信号直接送入功率放大器（PA）。射频输出是通过加在 DIO 脚上的数据进行控制的，称为移频键控（FSK）。这种内部 T/R 切换电路使天线的连接和匹配设计更容易。

频率合成器产生的本振信号，在接收状态下送入功放。频率合成器是由晶振（XOSC）、鉴相器（PD）、充电脉冲（CHARGE PUMP）、VCO 以及分频器（/R 和/N）构成，外接的晶体必须与 XOSC 管脚相连，只有外围电感需要与 VCO 相连。
CC1000 芯片含有三条串行数据线接口，用于配置寄存器。

应用电路
CC1000 工作时几乎不用什么外围元件，典型的应用电路如 2 所示，元件参数值如表 1 所示。

输入/输出匹配电路
C31/L32 用于接收输入电路，L32 也是一个直流偏置扼流电感。C41、L41 和 C42 用于匹配 50Ω 发射电路，内部 T/R 切换电路使输入和输出在接收和发送模式都能一起连接 50Ω 匹配电阻。详情见 28 页“输入/输出匹配电路”。

压控器电感
除电感 L101 外，压控器完全集成。
匹配网络和压控器电感的元件参数值很容易通过 SmartRF Studio 软件计算出来。

附加滤波电路
附加外部滤波元件（如射频 LC 滤波器或声表面滤波器）可提高特殊场合下产品的应用性能。详情另见 34 页“可选 LC 滤波”。

去耦电路
C10～C16 为电源去耦电容，它们应尽量入置在靠近 **CC1000** 电源管脚的位置。

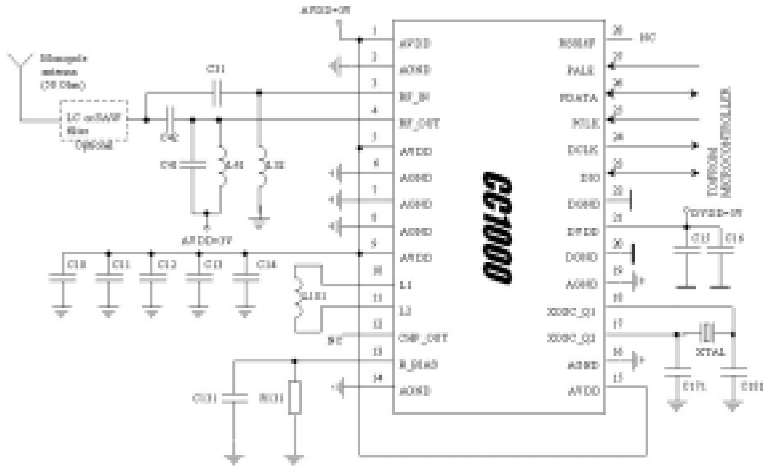


Figure 1. Typical *CC1000* application circuit

Item	315 MHz	433 MHz	868 MHz	915 MHz
C10	33 nF, 10%, X7R, 0805	33 nF, 10%, X7R, 0805	33 nF, 10%, X7R, 0805	33 nF, 10%, X7R, 0805
C11	1 nF, 10%, X7R, 0603	1 nF, 10%, X7R, 0603	1 nF, 10%, X7R, 0603	1 nF, 10%, X7R, 0603
C12	1 nF, 10%, X7R, 0603	1 nF, 10%, X7R, 0603	1 nF, 10%, X7R, 0603	1 nF, 10%, X7R, 0603
C13	220 pF, 10%, C0G, 0603	220 pF, 10%, C0G, 0603	220 pF, 10%, C0G, 0603	220 pF, 10%, C0G, 0603
C14	220 pF, 10%, C0G, 0603	220 pF, 10%, C0G, 0603	220 pF, 10%, C0G, 0603	220 pF, 10%, C0G, 0603
C15	1 nF, 10%, X7R, 0603	1 nF, 10%, X7R, 0603	1 nF, 10%, X7R, 0603	1 nF, 10%, X7R, 0603
C16	33 nF, 10%, X7R, 0805	33 nF, 10%, X7R, 0805	33 nF, 10%, X7R, 0805	33 nF, 10%, X7R, 0805
C31	TBD pF, 5%, C0G, 0603	15 pF, 5%, C0G, 0603	10 pF, 5%, C0G, 0603	TBD pF, 5%, C0G, 0603
C41	TBD pF, 5%, C0G, 0603	8.2 pF, 5%, C0G, 0603	Not used	Not used
C42	TBD pF, 5%, C0G, 0603	5.6 pF, 5%, C0G, 0603	4.7 pF, 5%, C0G, 0603	TBD pF, 5%, C0G, 0603
C131	4.7 pF, 10%, C0G, 0603	4.7 pF, 10%, C0G, 0603	4.7 pF, 10%, C0G, 0603	4.7 pF, 10%, C0G, 0603
C141	15 pF, 5%, C0G, 0603	15 pF, 5%, C0G, 0603	15 pF, 5%, C0G, 0603	15 pF, 5%, C0G, 0603
C151	15 pF, 5%, C0G, 0603	15 pF, 5%, C0G, 0603	15 pF, 5%, C0G, 0603	15 pF, 5%, C0G, 0603
L32	TBD nH, 10%, 0805	68 nH, 10%, 0805 (Coilcraft 0805CS-680XKBC)	120 nH, 10%, 0805 (Coilcraft 0805CS-121XKBC)	TBD nH, 10%, 0805
L41	TBD nH, 10%, 0805	6.2 nH, 10%, 0805 (Coilcraft 0805HQ-6N2XKBC)	2.5 nH, 10%, 0805 (Coilcraft 0805HQ-2N5XKBC)	TBD nH, 10%, 0805
L101	TBD nH, 5%, 0805	27 nH, 5%, 0805 (Koa KL732ATE27NJ)	4.7 nH, 5%, 0805 (Koa KL732ATE4N7J)	TBD nH, 5%, 0805
R131	82 kΩ, 1%, 0603	82 kΩ, 1%, 0603	82 kΩ, 1%, 0603	82 kΩ, 1%, 0603
XTAL	11.0592 MHz crystal, 16 pF load	11.0592 MHz crystal, 16 pF load	11.0592 MHz crystal, 16 pF load	11.0592 MHz crystal, 16 pF load

Note: Items shaded are different for different frequencies

Table 1. Bill of materials for the application circuit

配置概览

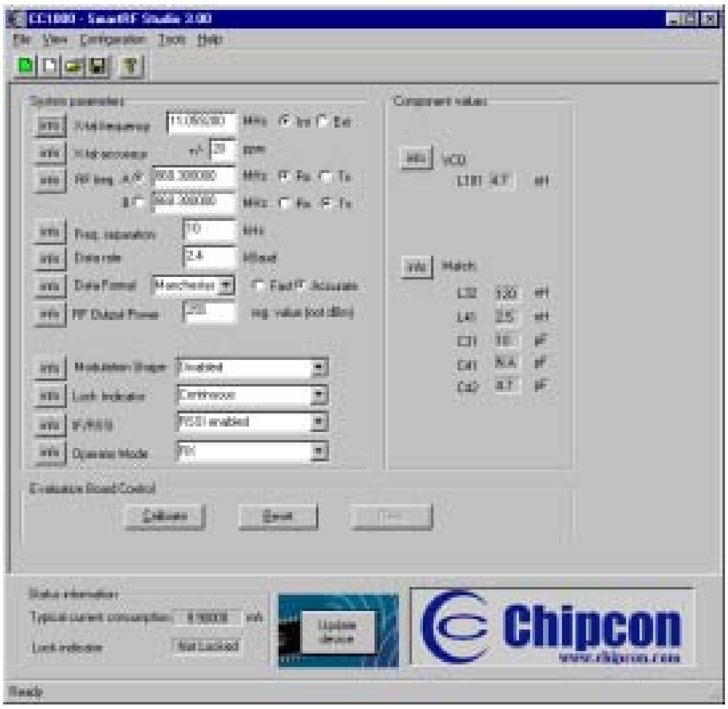
CC1000 对于不同的应用场合能通过编程配置出最佳性能，通过可编程配置寄存器能改变以下主要参数：

- 接收/发送模式
- 射频输出功率
- 频率合成主要参数：射频输出频率，FSK 分频，晶振参考频率
- 低电位/高电位模式
- 晶体振荡开/关模式
- 传输率和数据格式（NRZ、曼彻斯特码或 UART 接口）
- 频率合成锁定指示模式
- 可选 RSSI 或外部 IF
- 窄带系统的调制频谱重整

配置软件介绍

凡使用 **CC1000** 的客户，Chipcon 公司将提供 Windows 界面下使用的 SmartRF Studio 软件，它将根据用户输入的各项参数给出所有必需的 **CC1000** 配置信息。这些 16 进制数作为 **CC100** 的配置信息将被输入到微控器里，另外该软件还将向用户提供输入/输出匹配电路和 VCO 电感所需的元件参数值。

图 3 是 **CC1000** 配置软件的用户界面。



三串行数据口

CC1000 可通过简单的三串行接口（PDATA，PCLK 和 PALE）进行编程，有 36 个 8 位配置寄存器，每个由 7 位地址寻址。读/写位初始化读或写的操作。**CC1000** 一个完整的配置要求发送 29 个数据帧，每个 16 位（7 个地址位，1 个读/写位和 8 个数据位）。PCLK 频率决定了完全配置所需时间，在 10MHzPCLK 频率工作下，完成整个配置所需时间少于 60μs。在低电位模式下设置时仅需发射一个帧，所需时间少于 2μs。所有寄存器都可读。在每次写循环中，16 位字节送入 PDATA 通道，每个数据帧中 7 个最重要的位（A6：0）是地址位。A6 是 MSB（最高位），首先被发送。下一个发送的位是读/写位（高电平写，低电平读），在传输地址和读/写位期间，PALE（编程地址锁存使能）必须保持低电平，接着传输 8 个数据位（D7：0）。见图 4。

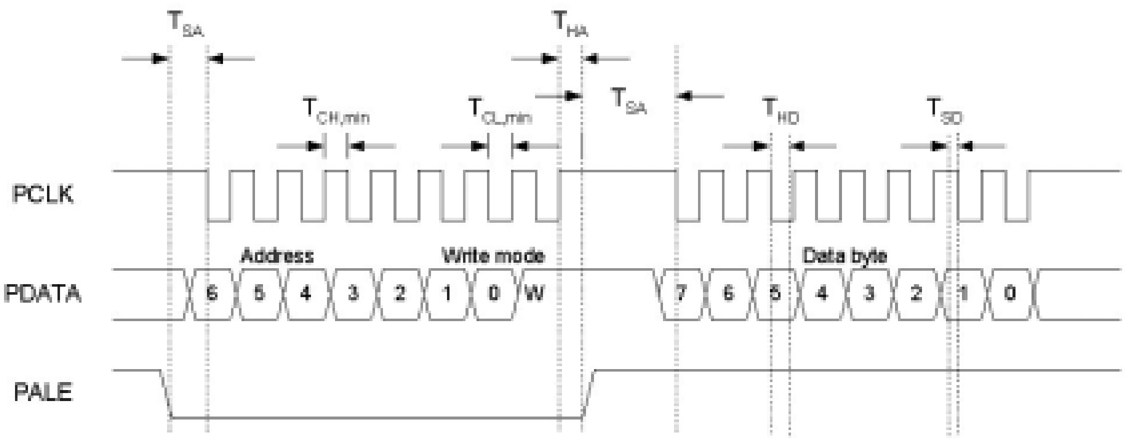


Figure 2. Configuration registers write operation

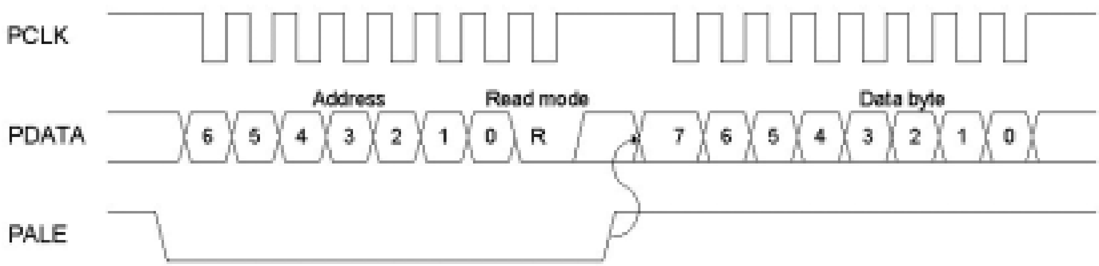


Figure 3. Configuration registers read operation

编程的时序图如图 4 所示，另外参考表 2。PDATA 在 PCLK 下降沿有效。当 8 位数据位中的最后一个字节位 D0 装入后，整个数据字才被装入内部配置寄存器中。

经过低电位状态下编程的配置信息才会有效，但不能关闭电源。寄存器能根据任何需要进行编程。

微控器通过相同的接口也能读出配置寄存器，首先发送七位地址位，然后读/写位设为低电平用来初始化读回的数据，**CC1000** 接着从寻址寄存器中返回数据。此时 PDATA 用作输出口，在读回数据期间（D7：0），微控器必须把它设成三态（或者在管脚开路时设为高电平）。读操作的说明如图 5 所示。

参数	符号	最小值	最大值	单位	说明
PCLK 频率	F_{CLOCK}	_	10	MHz	
PCLK 低电平持续时间	$T_{CL,min}$	50		ns	PCLK 保持低电平的最短时间
PCLK 高电平持续时间	$T_{CH,min}$	50		ns	PCLK 保持高电平的最短时间
PALE 启动时间	T_{SA}	10		ns	时钟翻转到下降沿前 PCLK 转到下降沿前，PALE 保持低电平的最短时间
PALE 持续时间	T_{HA}	10	_	ns	PCLK 转到上升沿后 PALE 保持低电平的最短时间
PDATA 启动时间	T_{SD}	10	_	ns	PCLK 转到下降沿之前 PALE 上数据准备好的最短时间
PDATA 持续时间	T_{HD}	10	_	ns	PCLK 转到下降沿后 PDATA 上数据保持的最短时间
PALE 启动时间	T_{SA}	10	_	ns	PCLK 转到下降沿之前 PALE 准备好的最短时间
上升时间	T_{rise}		100	ns	PCLK 和闸门上升时间的最大值
下降时间	T_{fall}		100	ns	PCLK 和闸门下降时间的最大值

注意：开启和持续时间是以电平达到 50%VDD 为参考的

表 2，串行接口时序说明

微控器接口

在典型系统应用中，**CC1000** 要与微控器相连，该微控器必须能够：

- 通过三串行配置口（PDATA、PCLK 和 PALE）控制 **CC1000** 改变不同模式
- 与双向同步数据信号接口（DIO 和 DCLK）
- 微控器能编码/解码
- 微控器能从管脚 CHP_OUT（LOCK）监视频率锁定状态
- 微控器能监视 RSSI 获取信号强度的输出。

与微控器的连接

微控器使用 3 个输出管脚用于接口（PDATA、PCLK、PALE），PDATA 必须是双向管脚，用来读回数据，双向管脚用于待发送的数据（DIO）和接收数据。提供数据计时的 DCLK 应与微控器输入端相连，其余管脚能用来监视 LOCK 信号（在管脚 CHP_OUT），当 PLL 锁定时该信号为逻辑高电平。见图 6。
RSSI 若有 A/D 转换输入，它也能与微控器相连。

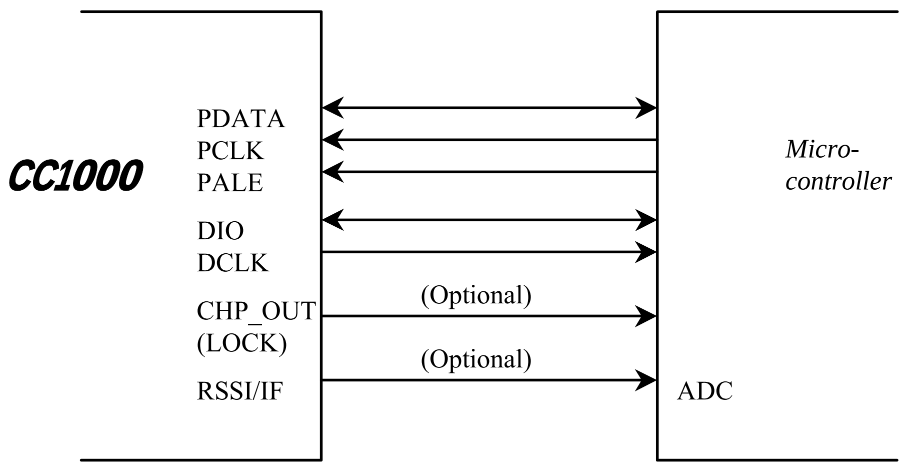


Figure 4. Microcontroller interface

当不使用配置接口时，可以把微控器管脚与 PDATA 和 PCLK 相连用于其它功能。只要 PALE 未激活，PDATA 和 PCLK 就处于高阻态输入。
PALE 有一内部上拉电阻，为了防止漏电流上拉时流过，PALE 应悬空（微控器设成三态）或者在低电位模式下设成高电平。

信号接口

信号接口由 DIO 和 DCLK 口组成，用于收发数据。DIO 是双向数据线，DCLK 提供数据发送和数据接收的同步时钟。

CC1000 能使用 NRZ 码（高低电平码）或曼彻斯特码（称不归零码也叫双相位码），**CC1000** 也能在 DCLK 上提供时钟信号。做为解调数据同步信号。

CC1000 能被设置成三种不同的数据形式：
*同步 NRZ 模式。*在发送模式下 **CC1000** 在 PCLK 管脚提供时钟信号，DIO 用于数据输入。在 DCLK 上升沿数据读取到 **CC1000**，译码后的信号在 RF 口上调制。**CC1000** 的数据传输率可设为 0.6、1.2、2.4、4.8、9.6、19.2、38.4、76.8kbit/s，对于 38.4 和 76.8kbit/s 的速率必须使用 14.7456MHz 晶体。在接收模式下 **CC1000** 达到同步，并在 DCLK 提供接收数据时钟，在 DIO 提供数据。该数据应在 PCLK 上升沿时读取到接口电路中。见图 7。
*同步曼彻斯特码模式。*在发射模式下 **CC1000** 在 PCLK 提供时钟信号，DIO 用于数据输入。在 DCLK 上升沿数据计时到 **CC1000**，该数据应该是 NRZ 格式。该数据用曼彻斯特码在 RF 口上调制，译码由 **CC1000** 完成。在该模式下 **CC1000** 的数据传输率可设为 0.3、0.6、1.2、2.4、4.8、9.6、19.2\38.4kbit/s，由于曼彻斯特码关系，38.4kbit/s 传输率相当于 72.8kBaud。在接收模式下 **CC1000** 达到同步，并在 PCLK 提供接收数据时钟，在 DIO 提供数据。
CC1000 译码后在 DIO 上产生 NRZ 数据，该数据应在 PCLK 上升沿读取到接口电路。见图 8。
*异步传输 UART 模式。*发送模式下 DIO 用于数据输入，该数据未经同步时钟或译码在 RF 口上调制。接收模式下来自解调器上的原始数据信号被送入输出口，**CC1000** 内部没有数据同步时钟或对译码时钟，这些应由接口电路去完成。该模式下 DCLK 用于数据输出，传输率范围：0.6～76.8kBaud。见图 9。

曼彻斯特编码和译码

当调制数据时，**CC1000** 在同步曼彻斯特码模式下使用曼彻斯特编码，**CC1000** 也能进行数据译码和同步工作。曼彻斯特码是根据电平变化来编码的，“0”被译成是电平从低到高变化，“1”被译成是电平从高到低变化。见图 10。

CC1000 能检查到曼彻斯特码干扰信号，当在接收信号中检查到这种干扰时，**CC1000** 将设置一个曼彻斯特码干扰标志。曼彻斯特干扰的门限能在 MODEM1 寄存器里设置，可通过管脚 CHP_OUT（LOCK）监视曼彻斯特干扰标志，它是在 LOCK 寄存器里设置的。
曼彻斯特码使信号拥有稳定的直流元件，这对于某些 FSK 解调器是很必要的，使用该编码也能使 CC400/CC900 设计更方便。

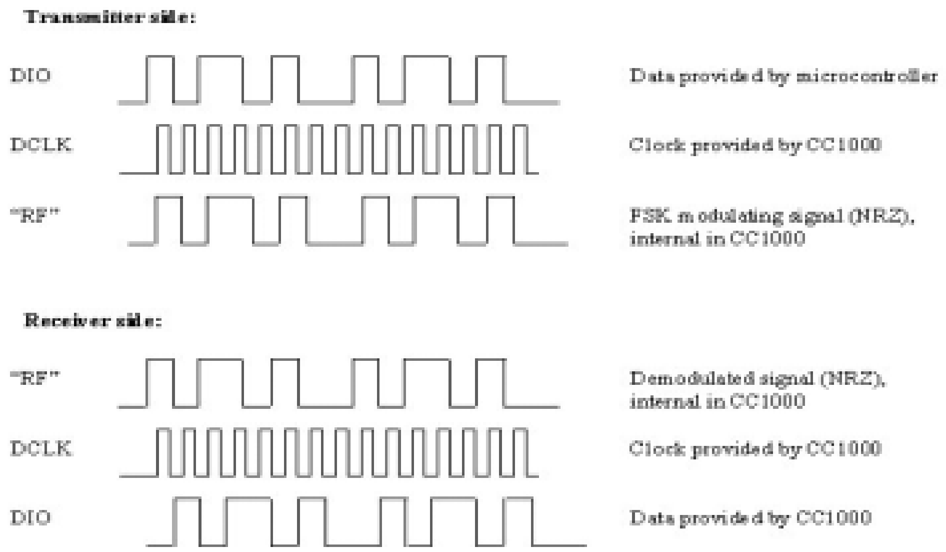


Figure 5. Synchronous NRZ mode

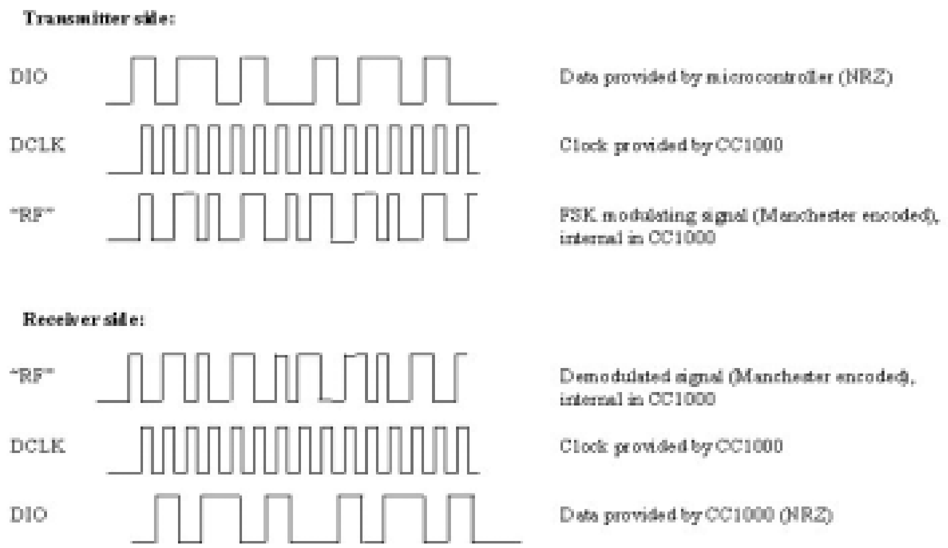


Figure 6. Synchronous Manchester encoded mode

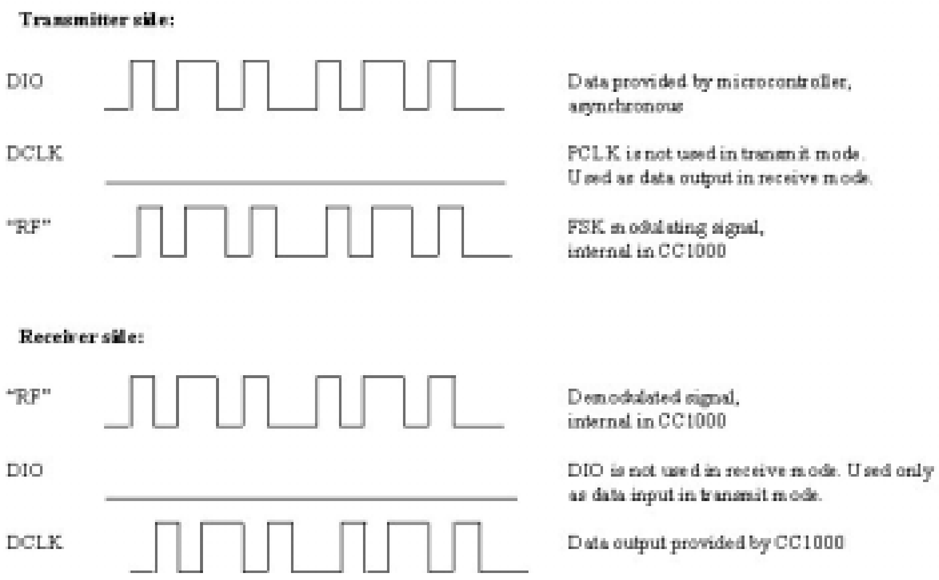


Figure 7. Transparent Asynchronous UART mode

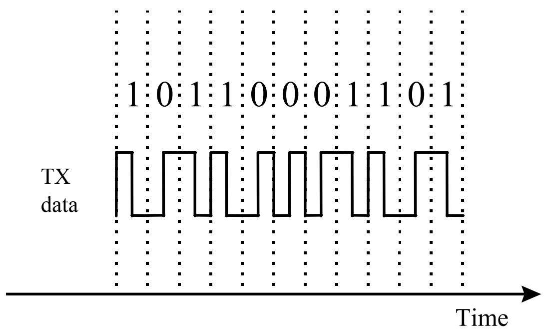


Figure 8. Manchester encoding

位同步装置和优选数据

内置的位同步装置提取出数据传输率并进行优选数据，优选数据是通过采样和对输入信号进行数字滤波来完成的。该方法提高了数据发送的可靠性，使用同步模式显著地简化了译码工作。

为了获取来自平均值滤波器的正确比较电平，所有模式需要一个数字限幅器的直流平衡报头，报头的最小长度取决于所选的获取方式，平均值滤波器的锁定通过设置接口来完成，或者经过一段预定时间后自动完成。（MODEM1 中 LOCK_AVG_MODE）

在查询接收系统中使用自动锁定，如图 11 所示说明。如果接收器连续工作并且在搜索一个报头，只要一检测到报头，就应该手动锁定均值滤波器，如图 12 所示。如果是 Manchester 码则不需要锁定均值滤波器，如图 13 所示。

平衡波特的最小数目由平均值滤波器的设置时间决定，它通过 MODEM1 中的 SETTLING 来设置。表 3 给出了对报头在 NRZ 和 UART 模式下的最小建议波特数。

若使用曼彻斯特码，则不需要锁定平均值滤波器，可使它自由运行（MODEM1 中 LOCK_AVG_MODE），表 4 给出了对报头在曼彻斯码模式下的最小建议波特数。

设置 SETTLING*	手动锁定 NRZ 模式 LOCK_AVG_MODE=1 LOCK_AVG_IN=0—>1**	手动锁定 UART 模式 LOCK_AVG_MODE=1 LOCK_AVG_IN=0—>1**	自动锁定 NRZ 模式 LOCK_AVG_MODE=0 LOCK_AVG_IN=X**	自动锁定 UART 模式 LOCK_AVG_MODE=0 LOCK_AVG_IN=X**
00	14	11	16	16
01	25	22	32	32
10	46	43	64	64
11	89	86	128	128

说明：

＊ 所有配置位都在 MODEM1 寄存器

＊＊ 当 LOCK_AVG_IN 设为 1 时，平均值滤波器锁定

＊＊＊ X=任意值，当 RX 模式在主寄存器中设置时，自动锁定计时开始。

表 3，报头在 NRZ 和 UART 模式下的最小平衡波特数

设置 SETTLING*	自动运行 曼彻斯特码模式 LOCK_AVG_MODE=1 LOCK_AVG_IN=1
00	23
01	34
10	55
11	98

说明：＊ 所有配置在 MODEM1 寄存器
表 4，报头在曼彻斯特码模式下的最小平衡波特数

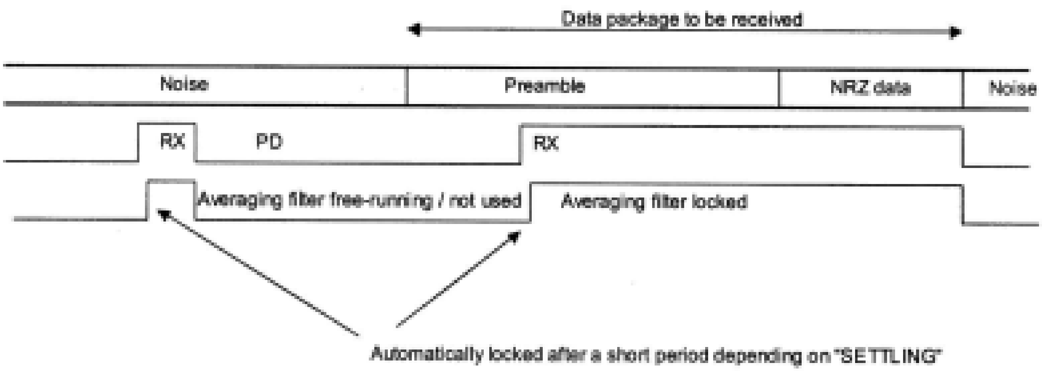


Figure 11. Automatic locking of the averaging filter

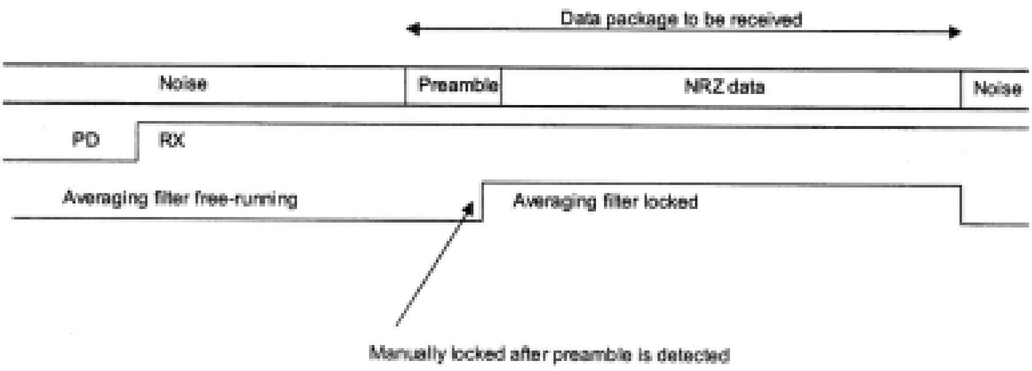


Figure 12. Manual locking of the averaging filter

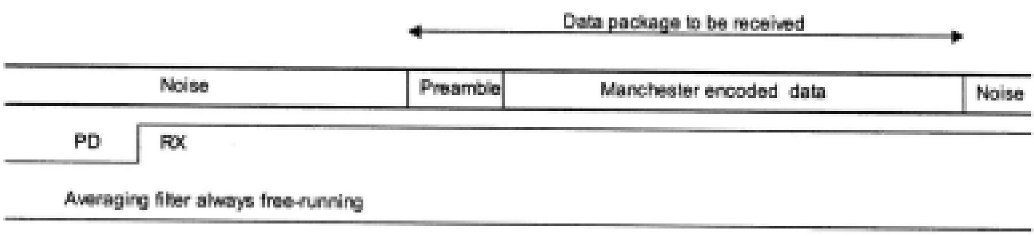


Figure 13. Free-running averaging filter

接收灵敏度与数据传输率和频率间隔之间的关系

接收灵敏度与数据传输率、数据格式、FSK 频率间隔以及 RF 频率有关，接收灵敏度的典型值（BER=10^{-3}）在 64kHz 频率间隔时如表 5 所示，在 20kHz 频率间隔时如表 6 所示。已使用了优化的灵敏度配置，为了达到最佳性能，频率间隔尤其在高传输率时应尽量高。表 7 为低电流设置下的灵敏度，如何对不同电流损耗进行编程，请看 25 页

Data rate [kBaud]	Separation [kHz]	433 MHz			868 MHz		
		NRZ mode	Manchester mode	UART mode	NRZ mode	Manchester mode	UART mode
0.6	64	-113	-114	-113	-110	-111	-110
1.2	64	-111	-112	-111	-108	-109	-108
2.4	64	-109	-110	-109	-106	-107	-106
4.8	64	-107	-108	-107	-104	-105	-104
9.6	64	-105	-106	-105	-102	-103	-102
19.2	64	-103	-104	-103	-100	-101	-100
38.4	64	-102	-103	-102	-98	-99	-98
76.8	64	-100	-101	-100	-97	-98	-97
Average current consumption		9.3 mA			11.8 mA		

Table 5. Receiver sensitivity as a function of data rate at 433 and 868 MHz, BER = 10^{-3}, frequency separation 64 kHz, normal current settings

Data rate [kBaud]	Separation [kHz]	433 MHz			868 MHz		
		NRZ mode	Manchester mode	UART mode	NRZ mode	Manchester mode	UART mode
0.6	20	-109	-111	-109	-106	-108	-106
1.2	20	-108	-110	-108	-104	-106	-104
2.4	20	-106	-108	-106	-103	-105	-103
4.8	20	-104	-106	-104	-101	-103	-101
9.6	20	-103	-104	-103	-100	-101	-100
19.2	20	-102	-103	-102	-99	-100	-99
38.4	20	-98	-100	-98	-98	-99	-98
76.8	20	-94	-98	-94	-94	-96	-94
Average current consumption		9.3 mA			11.8 mA		

Table 6. Receiver sensitivity as a function of data rate at 433 and 868 MHz, BER = 10^{-3}, frequency separation 20 kHz, normal current settings

Data rate [kBaud]	Separation [kHz]	433 MHz			868 MHz		
		NRZ mode	Manchester mode	UART mode	NRZ mode	Manchester mode	UART mode
0.6	64	-111	-113	-111	-107	-109	-107
1.2	64	-110	-111	-110	-106	-107	-106
2.4	64	-108	-109	-108	-104	-105	-104
4.8	64	-106	-107	-106	-102	-103	-102
9.6	64	-104	-105	-104	-100	-101	-100
19.2	64	-102	-103	-102	-98	-99	-98
38.4	64	-101	-102	-101	-96	-97	-96
76.8	64	-99	-100	-99	-95	-96	-95
Average current consumption		7.4 mA			9.6 mA		

Table 7. Receiver sensitivity as a function of data rate at 433 and 868 MHz, BER = 10^{-3}, frequency separation 64 kHz , low current settings

频率编程

工作频率是通过对配置寄存器里的频率字进行编程来设置的，有两个频率字寄存器，分别叫 A 和 B，它们可编程为两种不同的频率。其中一个频率字能用于接收（本振频率），另一个用于发射（发射频率），这是为了能在发送模式和接收模式之间迅速切换。它们也能在两个不同的通道中进行接收（或发送），频率字 A 或 B 由 MAIN 寄存器里的 F_REG 位选定。
频率字 A 和 B 有 24 位（3 字节），分别位于 FREQ2A：FREQ1A：FREQ0A 和 FREQ2B：FREQ1B：FREQ0B。FSK 分频是在 FSEP1：FSEP0 寄存器里（10 位）编程的。
频率字 FREQ 由下式计算：

$$f_{vco}=f_{ref}\cdot\frac{FREQ+8192}{16384}$$

式中参考频率 f_{ref} 由晶振时频除以 REFDIV（PLL 寄存器中的 4 位）得出，数值在 2 和 15 之间：

$$f_{ref}=\frac{f_{XOSC}}{REFDIV}$$

上面等式给出了 VCO 的频率，即 f_{vco}，就是接收模式下的本振频率，发射模式下的 f_0（低于 FSK 频率）。
FSK 频率上限由下式给出：

$$f_1=f_0+f_{sep}$$

其中 f_{sep} 由单独字给出：

$$f_{sep}=f_{ref}\cdot\frac{FSEP}{16384}$$

ISM 频率的建议设置

表 8 是针对工作在流行的 ISM 频带范围内建议的频率合成设置，这些设置确保合成器在接收模式下达到最佳灵敏度所需的优化配置。对于合成器的某些设置（RF 频率和参考频率的组合）接收灵敏度会降低，发射时不受这些设置的影响，但建议的设置里完全包括了发射的设置。FSK 分频设为 64kHz。SmartRF Studio 软件也可用来产生配置信息，对于任何给出优化灵敏度的频率，都可以从 Chipcon 公司的配置资料获得，如应用手册（AN001）和扩展说明书。

requency [MHz]	Actual frequency [MHz]	Crystal Frequency [MHz]	Low-side / high- side LO*	Reference divider REFDIV	Frequency word RX mode FREQ	Frequency word TX mode FREQ	Frequency seperation FREQ
315	315.037200	7.3728	High-side	7	4894720	4891888	995
		11.0592		10	4661248	4658551	948
433.3	433.302000	3.6864	Low-side	3	5767168	5768741	853
		7.3728		6	5767168	5768741	853
		11.0592		9	5767168	5768741	853
433.6	433.616400	3.6864	High-side	3	5775360	5772933	853
		7.3728		6	5775360	5772933	853
		11.0592		9	5775360	5772933	853
433.9	433.916400	3.6864	Low-side	3	5775360	5776933	853
		7.3728		6	5775360	5776933	853
		11.0592		9	5775360	5776933	853
434.2	434.230800	3.6864	High-side	3	5783552	5781125	853
		7.3728		6	5783552	5781125	853
		11.0592		9	5783552	5781125	853
434.5	434.530800	3.6864	Low-side	3	5783552	5785125	853
		7.3728		6	5783552	5785125	853
		11.0592		9	5783552	5785125	853
868.3	868.297200	3.6864	Low-side	2	7708672	7709720	568
		7.3728		4	7708672	7709720	568
		11.0592		5	6422528	6423402	474
868.95	868.918800	3.6864	High-side	2	7716864	7715246	568
		7.3728		4	7716864	7715246	568
		11.0592		6	7716864	7715246	568
869.525	869.525000	3.6864	Low-side	3	11583488	11585061	853
		7.3728		6	11583488	11585061	853
		11.0592		9	11583488	11585061	853

869.85	869.840400	3.6864	High-side	2	7725056	7723438	568
		7.3728		4	7725056	7723438	568
		11.0592		6	7725056	7723438	568
915	914.998800	3.6864	High-side	2	8126464	8124846	568
		7.3728		4	8126464	8124846	568
		11.0592		6	8126464	8124846	568

*Note: When using low-side LO injection the data at DIO will be inverted.

Table 8. Recommended settings for ISM frequencies

VCO

VCO 只需外接一个电感（L101），该电感将决定电路的工作频率范围。为了降低漂移电感，把电感尽量靠近管脚放置是很重要的。为了达到最佳性能，建议使用高 Q 值，低允差的电感。集成的变容二极管一般可调范围是 20～25%。
表 1 给出了不同频率的元器件值，其它频率的元件值可使用 SmartRF Studio 软件找出。

ltem	315MHz	433MHz	868MHz	915MHz
L101	TBD nH,5%,0805	27nH,5%,0805 (Koa KL732ATE27NJ)	4.7nH,5%,0805 (Koa KL732ATE4N7J)	TBD nH,5%,0805

表 1　　VCO 电感元件值

压控器 VCO 和锁相环 PLL 的自校准

为了补偿电源、温度和进程中的变化，VCO 和 PLL 必须被校准。校准自动完成，并设置 VCO 最大微调范围和 PLL 稳定时的最佳充电脉冲电流。在工作频率点完成设置后，可通过设置 CAL_START 位来初始化自校准，校准结果存储在芯片内部，只要不关电源它就有效。若校准以后电源变化太大（超过 0.5V）或温度变化太大（超过 40 度），应进行新的校准。
自校准是通过 CAL 寄存器（见 37 页配置寄存器描述）来控制的，CAL_COMPLETE 位表示全部校准，用户可选择该位或者简单地等待 25ms（当 CAL_WAIT=1 时的校准等待时间）。等待时间与内部 PLL 参考频率成正比，最低允许的参考频率（1MHz）得出 34ms 等待时间，这是最差的情况。
CAL_COMPLETE 位也能在 CHP_OUT（LOCK）管脚监视到（由 LOCK_SELECT3:0 设置），并能当成一个输入到微控器里的中断信号。
校准完成后微控器必须把 CAL-START 位设成 0。
两个频率寄存器有单独的校准值，若这两个频率 A、B 之间相差大于 2MHz，或者使用不同的充电脉冲电流（CURRENT 寄存器里的 VCO_CURRENT），应该单独进行校准。当使用 10.7MHz 外部中频时，本振低于或高于发射频率 10.7MHz，因此必须进行单独校准。CAL 寄存器的 CAL_DUAL 位控制双重或单独校准。
对于接收和发射频率使用单独校准的单个校准算法的说明见图 14。
图 15 所示为两个 RX 频点的双重校准算法，若使用相同的 VCO 电流，它也可用于两个 TX

频点或、者甚至是一个 RX 和一个 TX 频点。

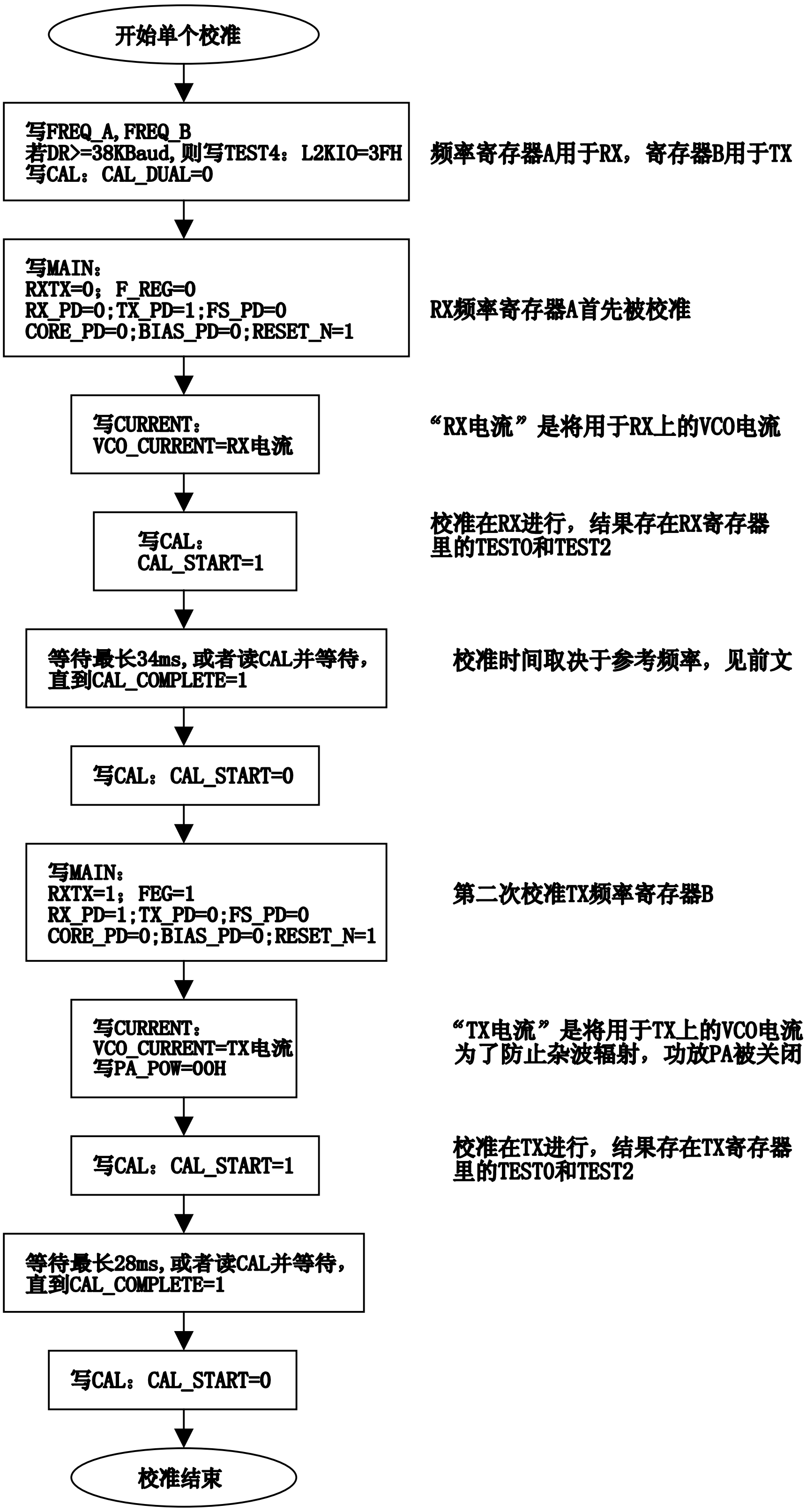


图14. 接收和发射的单个校准算法

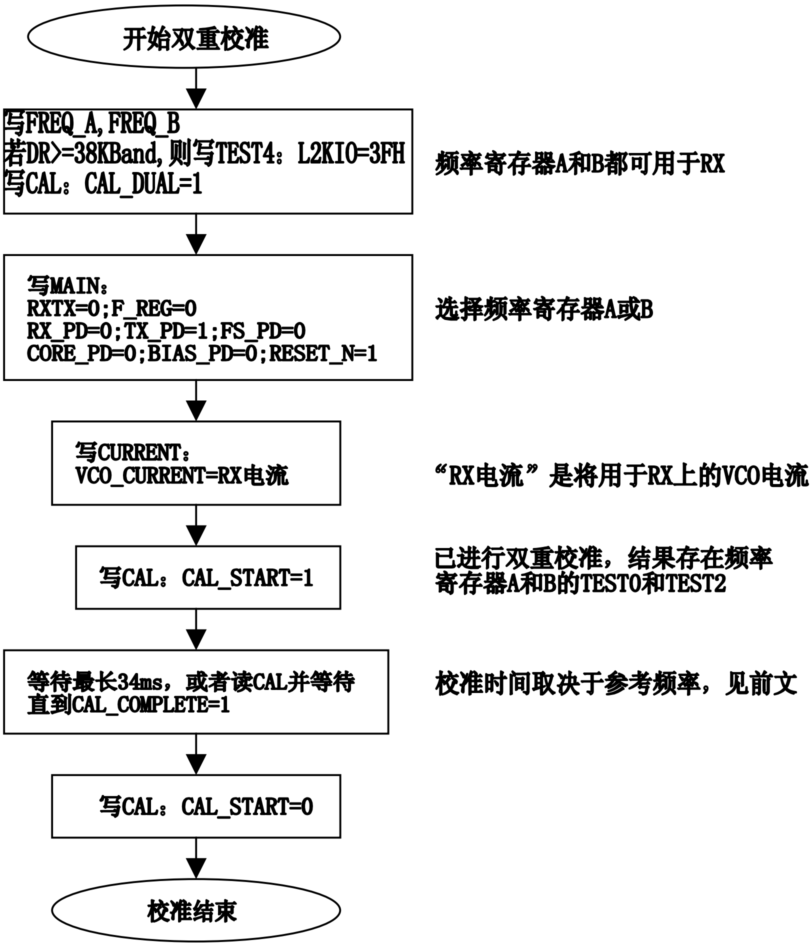


图15，接收模式的双重校准算法

VCO 和 LNA 电流控制

VCO 电流是可编程的，它应该根据 RX/TX 工作频率和输出功率来设置的。CURRENT 寄存器的 VCO-CURRENT 位的建议设置见 39 页的表格。LNA 的偏置电流、LO 和 PA 寄存器也都可以编程，表 9 为对于不同设置（2.4kBaud Manchester 译码）的电流损耗和接收灵敏度。

RF frequency [MHz]	Current consumption [mA]	Sensitivity [dBm]	CURRENT register			FRONT_END register	
			VCO_CURRENT [3:0]	LO_DRIVE [1:0]	PA_DRIVE [1:0]	BUF_CURRENT	LNA_CURRENT[1:0]
433	9.3	-110	0100	01	00	0	10
433	7.4	-109	0100	00	00	0	00
868	11.8	-107	1000	11	00	1	10
868	9.6	-105	1000	10	00	0	00

Note: Current consumption and sensitivity are typical figures at 2.4 kBaud Manchester encoded data, BER 10^{-3}

Table 9. Receiver sensitivity as function of current consumption

电源管理

为了满足电池供电情况下严格的电源损耗要求，**CC1000** 提供了十分方便的电源管理方法。通过 MAIN 寄存器控制低电平模式，有单独的位控制接收部分、发射部分、频率合成以及晶振（见 37 页）。这种独立控制可用来优化在某个应用中最低可能达到的电流损耗。

达到最小电源损耗的一般上电和初始化顺序如图 16 各图 17 所示。

VCO 电流是可编程的，应根据工作频率和输出功率来设定。CURRENT 寄存器的 VCO_CURRENT 位的建议设置如 29 页上的图表所示。

为了防止流过内部上拉电阻的涓电流，在低电平模式下 PALE 应设为三态或者高电平。为了保证最低可能的电流漏损，在低电平模式下 PA_PDW 应设成 00H。

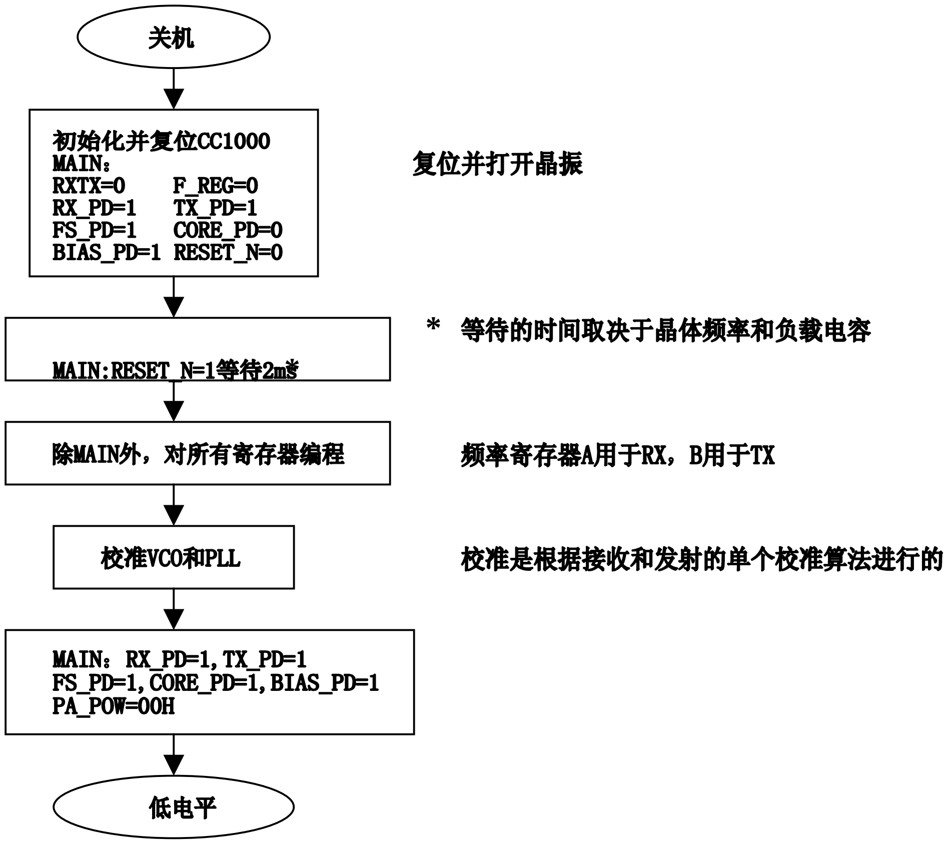

关机
初始化并复位CC1000
MAIN:
RXTX=0 F_REG=0
RX_PD=1 TX_PD=1
FS_PD=1 CORE_PD=0
BIAS_PD=1 RESET_N=0
复位并打开晶振
MAIN:RESET_N=1等待2ms*
* 等待的时间取决于晶体频率和负载电容
除MAIN外，对所有寄存器编程
频率寄存器A用于RX，B用于TX
校准VCO和PLL
校准是根据接收和发射的单个校准算法进行的
MAIN: RX_PD=1, TX_PD=1
FS_PD=1, CORE_PD=1, BIAS_PD=1
PA_POW=00H
低电平

图16，初始化顺序

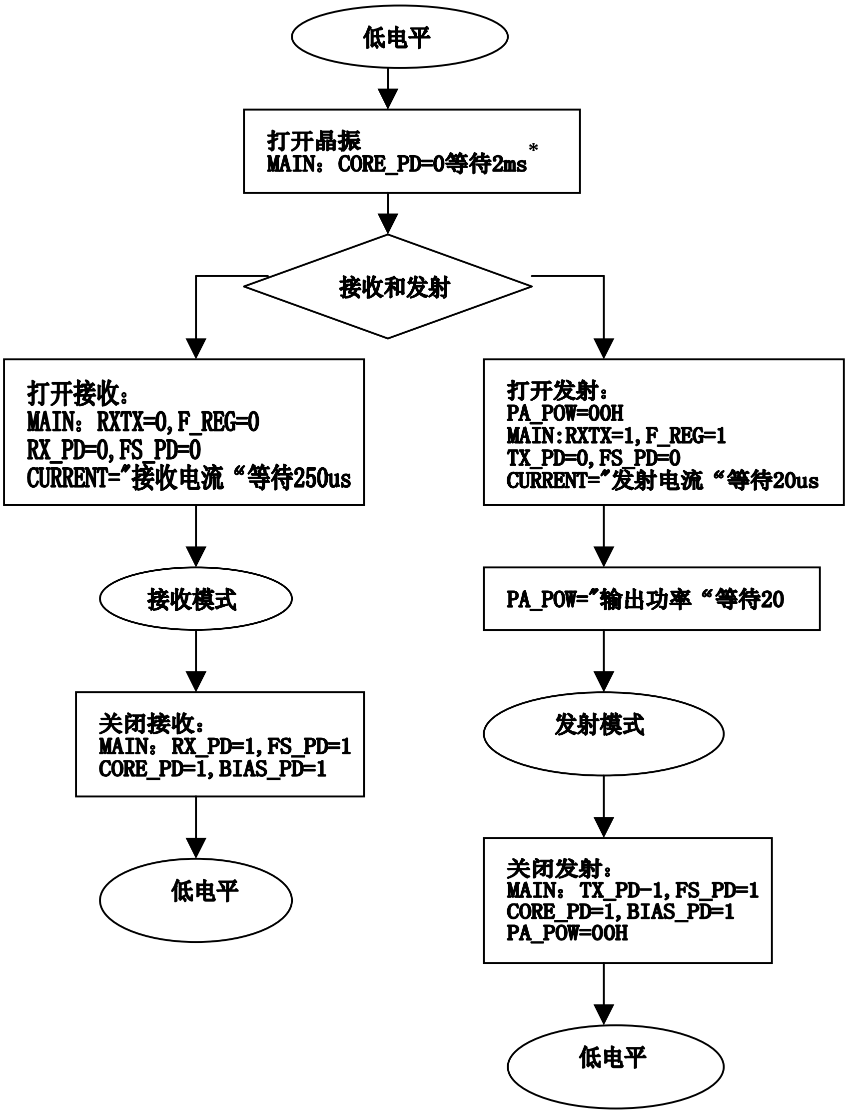


图 17，激活接收或发射模式的顺序

输入/输出匹配电路

一些外围无源元件与内部 T/R 切换开关组成的电路确保在接收和发射模式下都能匹配，匹配电路如图 18 所示，不同频率的元器件值由表 1 给出，其它频率的元器件值可使用配置软件得到。

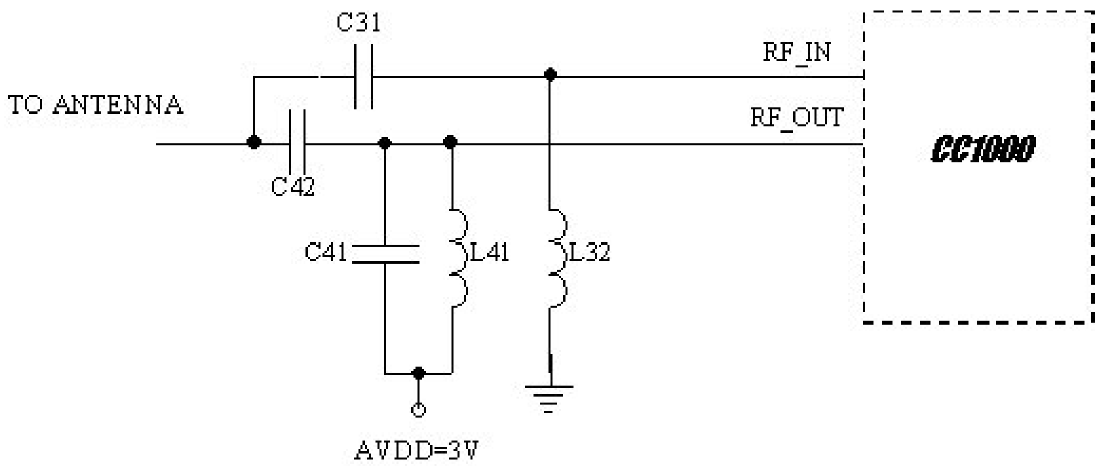


Figure 18. Input/output matching network

输出功率编程

该设备的 RF 输出功率是可编程的，由 PA_POW 寄存器控制，表 10 为输出功率在 1dB 步长下最接近的可编程值，以及典型的电流损耗。
在低电平模式下对于最小电流漏损，PA_POW 应设为 00H。

Output power [dBm]	RF frequency 433 MHz		RF frequency 868 MHz	
	PA_POW [hex]	Current consumption, typ. [mA]	PA_POW [hex]	Current consumption, typ. [mA]
-20	01	5.3	02	8.6
-19	01	6.9	02	8.8
-18	02	7.1	03	9.0
-17	02	7.1	03	9.0
-16	02	7.1	04	9.1
-15	03	7.4	05	9.3
-14	03	7.4	05	9.3
-13	03	7.4	06	9.5
-12	04	7.6	07	9.7
-11	04	7.6	08	9.9
-10	05	7.9	09	10.1
-9	05	7.9	0B	10.4
-8	06	8.2	0C	10.6
-7	07	8.4	0D	10.8
-6	08	8.7	0F	11.1
-5	09	8.9	40	13.8
-4	0A	9.6	50	14.5
-3	0B	9.4	50	14.5
-2	0C	9.7	60	15.1
-1	0E	10.2	70	15.8
0	0F	10.4	80	16.8
1	40	11.8	90	17.2
2	50	12.8	B0	18.5
3	50	12.8	C0	19.2
4	60	13.8	F0	21.3
5	70	14.8	FF	25.4
6	80	15.8		
7	90	16.8		
8	C0	20.0		
9	E0	22.1		
10	FF	26.7		

Table 10. Output power settings and typical current consumption

RSSI 输出电路

CC1000 有一个内置 RSSI（接收信号强度指示），它在 RSSI/IF 管脚上产生一个模拟输出信号。FRONT_END 寄存器中的 IF_RSSI 位能启动 RSSI，当 RSSI 功能可用时，该管脚的输出电流与输入电平信号成反比例。为了把输出电流转换为电压，该输出终端应外接一个电阻，为了低通滤波输出信号可外加一个滤波电容。

当使用一个 27kΩ终端电阻时，RSSI 电压范围为 0～1.2V，产生约 50dB/V。该 RSSI 电压能通过 A/D 转换测量出，注意越高的电压意味着越低的输入信号。

RSSI 能测量出参考 RF_IN 管脚的功率，输入功率能使用下式计算出：

$P = -51.3V_{RSSI} - 49.2$ (dBm)　　（在 433MHz）

$P = -50.0V_{RSSI} - 45.5$ (dBm)　　（在 868MHz）

RSSI 工作的外围电路如图 19 所示，R281=27kΩ，C281=1nF。

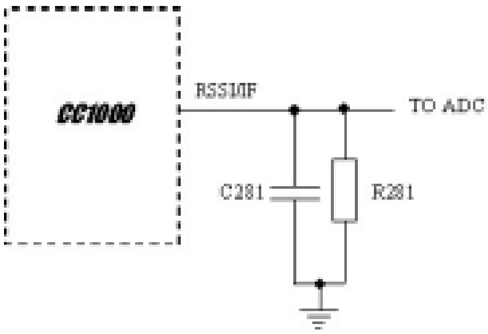


Figure 19. RSSI circuit

RSSI 电压与输入功率的关系图如图 20 所示。

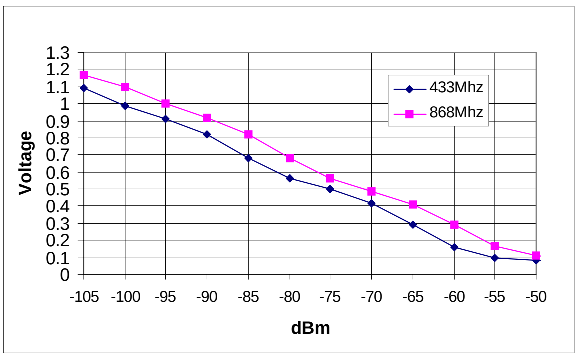


Figure 20. RSSI voltage vs. input power

中频输出电路

CC1000 有一个内置的 10.7MHz 中频输出缓冲器，该缓冲器能用于要求镜像滤波的窄带应用中。该系统由 **CC1000** 及 10.7MHz 陶瓷滤波器和外围 10.7MHz 解调器相连，中频输出的外围电路如图 21 所示，R281=470Ω，C281=3.3nF。外围电路对 10.7MHz 陶瓷滤波器提供 330Ω 阻抗。

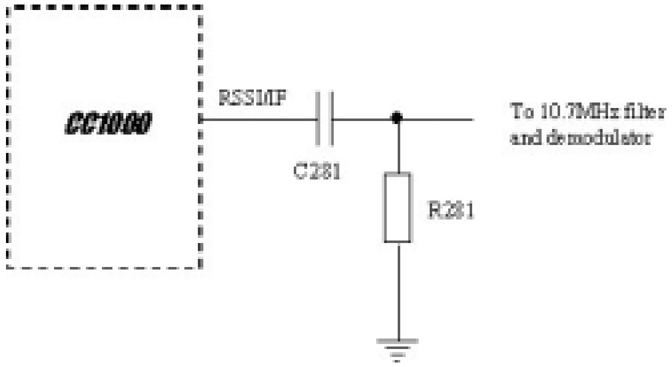


Figure 21. IF Output

晶体振荡器

外部时钟信号或者内部晶振能用于主参考频率，外围时钟信号应与 XOSC_Q1 相连，XOSC_Q2 应开路。当使用外部时钟信号时，CURRENT 寄存器的 XOSC_BYPASS 位应设定。晶体频率范围应在 3～4，6～8 或 9～16MHz 内，由于晶体频率用于参考数据传输率，（以及其它内部功能），建议使用以下频率：3.6864,7.3728,11.0592 或 14.7456MHz。这些频率将给出准确的数据传输率，通过 MODEM0 寄存器的 XOSC_FREQ1：0 来选择晶体频率范围。

工作在数据传输与标准的 1.2,2.4,4.8kBaud 等待不同的同步模式时，晶体频率能够换算出（DR）数传率将与新的晶体频率（f）成正例地变化，新晶体频率计算公式如下：

$$f_{xtal\_new}=f_{xtal}\frac{DR_{new}}{DR}$$

当使用内部晶振时，晶体必须连接在 XOSC_Q2 之间，振荡器针对晶体并行工作模式来设计。该晶体需要额外的负载电容（C171 和 C181），负载电容值由晶体指定的总负载电容 C_L 而定，由于晶体在指定频振荡，从晶体两端看过去的总负载电容应与 C_L 相等。

$$C_L=\frac{1}{\frac{1}{C_{171}}+\frac{1}{C_{181}}}+C_{parasitic}$$

寄生电容由管脚输入电容和 PCB 板漂移电容构成，总的寄生电容一般为 8pF，若有必要初始微调时，微调电容可跨接在 C_{171} 上。

晶振电路如图 22 所示，表 11 给出了针对不同 C_L 值的典型元件值。

为了满足频率精度在某些应用中的需要，应该仔细考虑初始允差、温漂、老化及负载牵引。在 SmartRF Studio 软件中设置好全部所需频率精度和数据传输以及分频后，该软件将计算出总带宽并比较获得的中频带宽。该软件会报告出任何冲突，若需要该软件会建议使用精度更高的晶体。

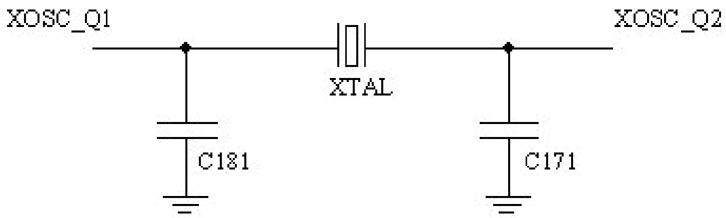


Figure 22. Crystal oscillator circuit

Item	C_L=12pF	C_L=16pF	C_L=22pF
C171	6.8pF	15pF	27pF
C181	6.8pF	15pF	27pF

表 11 晶振元件参数值

频谱重整和抖动

CC1000 的频谱重整和抖动具有唯一可能性，使用 FSK 调制的固有频率突变产生了一个加宽的射频频谱。使用光滑的频率代替能减小频谱加宽，见图 23。这种光滑的频率替换能通过两个 FSK 频率之间的几个中间频率逐步补偿，**CC1000** 使用在 7 个 FSHAPE 寄存器里指定的 16 个中间频率。由于只指定 7 个值来定义 16 个步长，所以频率步长是非对称的，见图 18。使用 FSCTRL 寄存器里的 SHAPE 位时可打开数据重整。
使用频率重整的最大分频是 FSEP=63
FSDELAY 寄存器可进行时间步长编程，该值应与使用的传输率对应。为了等于通过一个波特周期步长的宽度，利用

$$\mathrm{FSDELAY}=\frac{f_{ref}}{16 BaudRate}-1$$

其中参考频率 f_{ref} 等于晶振时频除以 REFDIV，也可使用较短的时间步长。
复位的缺省值与一个上升的余弦频率最大偏移量相对应。
PLL 的抖动能用来减少来自内部参考频率的寄生信号，可通过 FSCTRL 寄存器里的 DITHER1 和 DITHER0 来打开抖动。

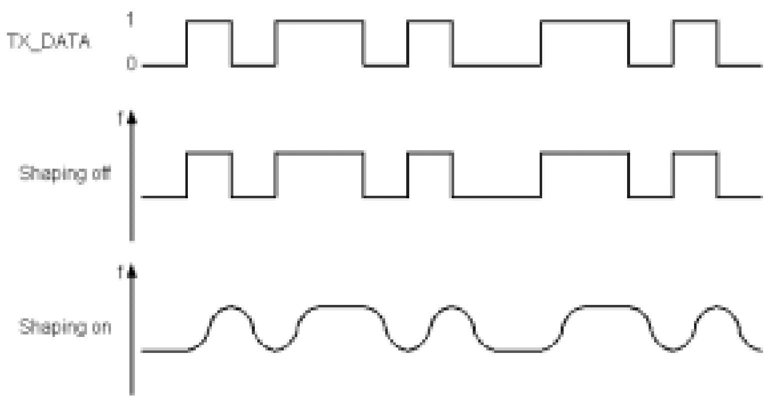


Figure 23. FSK spectrum shaping by smooth frequency transitions

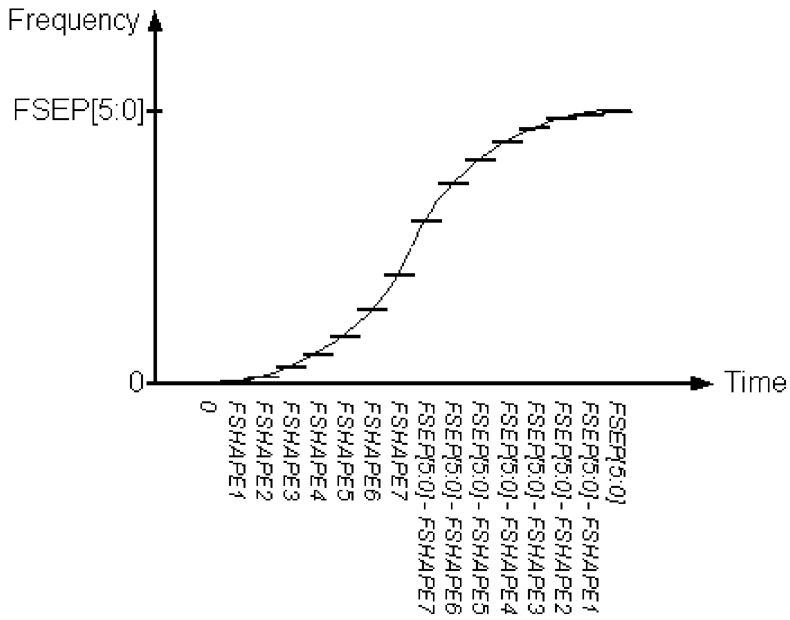


Figure 24. Stepwise frequency shaping

可选的 LC 滤波电路

在某些应用中，可选的 LC 滤波电路能加在天线与 CC1000 匹配电路之间，该滤波电路将会减少发射时的谐波，并能增加接收时的灵敏度。滤波器的拓扑结构如图 25 所示，表 12 给出了元器件值。该滤波器为 50Ω 终端设计，为了补偿布线时产生的寄生干扰，元件值可以微调。

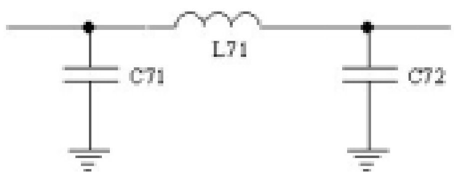


Figure 25. LC filter

Item	315MHz	433MHz	868MHz	915MHz
C71	30pF	20pF	10pF	10pF
C72	30pF	20pF	10pF	10pF
L71	15nH	12nH	5.6nH	4.7nH

表 12

系统优势和指标参数

SRD 规则

国际法规和国家法律规定了无线电波的接收和发送条例，在大多数欧洲国家，工作在 433 和 868～870MHz 带宽允许免费申请 SRD（小范围设备）的许可证。在美国该设备工作在 260～470 和 902～928MHz 频带内，**CC1000** 设计成满足工作在所有这些频带要求。这些规则中最重要方面的总结可以在《免费申请无线电收发许可的 AN001 SRD 规则》应用说明中找出，它可以从 Chipcon 网站上获得。

低成本的系统

低成本对系统是很重要的，**CC1000** 是理想的选择。非常少的外围元件使总成本降到最小值，晶振可选用 50ppm 频率偏差的廉价晶体。

电池工作系统

在低功率应用系统中，当系统没有被激活时应使用低电位工作模式。根据启动时间需要，在低电位模式期间可打开振荡器，关于如何对电源进行有效管理的信息请参阅 19 页。

窄带系统

CC1000 也能用于窄带系统中，但在该系统中为了达到最佳性能最好使用 CC400 和 CC900。CC400/CC900 的相噪要优于 **CC1000**，对于具有 25kHz 通道宽并严格达到 ACP（相邻通道功率）需求的系统来说，低相噪是很重要的。若 **CC1000** 用于窄带接收机，建议外接一个陶瓷滤波器和解调器。

CC1000 有一个独有的特性就是对 250Hz 频率有非常好的分辨力，若温漂曲线已知并且温度传感器包含在系统中，该特性可用来进行温度补偿。甚至初始调节也能通过频率的可编程性进行。这就消除了在某些应用里对昂贵的 TCXO 和微调的需要。在要求较低的应用中，能使用不带进一步补偿的低温漂和低老化的晶体。晶振电路里的微调电容（与 C171 并列）能精确地设置初始频率。

CC1000 为了提高 ACP 甚至达到高传输率，也表现出了一个独特的频谱重整特性。在“理想的”带突变频率替换的 FSK 系统中，频谱会固有地变宽。通过软化频率替换，频谱能显著地变窄，这样在相同的带宽上就能发送更高的数据传输率。

高可靠性系统

把一个声表面波滤波器当成预选器使用，通过降低数据堵塞的可能性将提高恶劣环境下通讯的可靠性。由于滤波器的加入损耗，接收灵敏度和输出功率将会减少。通过仅在 RX 通道加入滤波器，同时加上一个外部 RX/TX 开关，只会降低接收灵敏度，输出功率不变。CHP_OUT(LOCK)管脚能用来控制外部 LNA、RX/TX 开关或者功放，这些可通过 LOCK 寄存器的 LOCK_SELECT 来控制。

跳频扩展频谱系统

由于 PLL 有很快的频率转换特点，**CC1000** 也适用于跳频系统。根据比特率和每次发送期间待发的数据总量，一般使用的跳频率为 1～100hops/s。两个频率寄存器（FREQ_A 和 FREQ_B）依此设置，以便当使用“当前”频率时，能编程“下一个”频率。这两个频率之间的切换是通过 MAIN 寄存器来完成的。

关于 PCB 板布线的建议

强烈建议使用双层 PCB 板，PCB 板的底层应该是“接地层”。
顶层应用来布信号线，空白区域应铺上金属层，该金属层通过几个过孔接地。
接地管脚应使用单独的过孔，尽量靠近封装管脚接地，去耦电容也应尽量靠近电源脚放置，并通过单独的过孔与接地层相连。
外围元件越小越好，最好使用表面固定装置。

天线设计

CC1000 能与各种类型的天线一起使用，在小范围内通讯中最常用的天线是单极天线，螺旋天线和环形天线。
当单极天线是一种谐振天线时，其长度等于电波波长的 1/4（λ/4），它很容易设计，能简单地设计成“一根导线”或者甚至集成在 PCB 板上实现。
非谐振单极天的长度小于λ/4，也可被利用，但只能在一定范围内使用。在尺寸和成本要求很严格的应用中，这种天线可以很好地集成到 PCB 板上。
螺旋天线可看成是单极天线和环形天线的组合，在尺寸受限制的场合，它是一个很好的折中物，但比简单的单极天线更难优化。
环形天线很容易集成到 PCB 板上，但因其很低的辐射电阻，使阻抗很难匹配，所以效果较差。
对于低功率应用场合中，建议使用λ/4 单极天线，因为它的设计简单，而且能提供最佳工作范围。
λ/4 单极天线的长度计算公式如下：

$$L=7125/f$$

其中 f 单位为 MHz，得出的长度单位为 cm。例如：869MHz 天线长度为 8.2cm，434MHz 天线长度为 16.4cm。
天线应尽量靠近 IC 连接，若天线离 IC 输入脚较远，则天线应该与传输线路相匹配（50Ω）。
想进一步了解天线，请参考《AN003 SRD 天线》应用说明，它可以从 Chipcon 公司的网站上获得。

寄存器设置

CC1000 的配置是通过对 29 个 8 位寄存器进行编程来完成的，根据所选系统参数的设置数据很容易通过 SmartRF Studio 软件找出。寄存器的完整描述由下表给出，当复位以后，所有寄存器设为缺省值。复位后 TEST 寄存器也设为缺省值，用户改动不了。

寄存器一览表

地址	字节名称	说明
00h	MAIN	MAIN 寄存器
01h	FREQ_2A	频率寄存器 2A
02h	FREQ_1A	频率寄存器 1A
03h	FREQ_0A	频率寄存器 0A
04h	FREQ_2B	频率寄存器 2B
05h	FREQ_1B	频率寄存器 1B
06h	FREQ_0B	频率寄存器 0B
07h	FSEP1	分频寄存器 1
08h	FSEP0	分频寄存器 0
09h	CURRENT	电流损耗控制寄存器
0Ah	FRONT_END	前端控制寄存器
0Bh	PA_POW	功放输出功率控制寄存器
0Ch	PLL	PLL 控制寄存器
0Dh	LOCK	LOCK 状态寄存器并将信号选择到 CHP_OUT（LOCK）脚
0Eh	CAL	VCO 校准控制和状态寄存器
0Fh	MODEM2	调制解调控制寄存器 2
10h	MODEM1	调制解调控制寄存器 1
11h	MODEM0	调制解调控制寄存器 0
12h	MATCH	接收时的匹配电容阵列控制寄存器和发射时的阻抗匹配
13h	FSCTRL	频率合成控制寄存器
14h	FSHAPE7	频率重整寄存器 7
15h	FSHAPE6	频率重整寄存器 6
16h	FSHAPE5	频率重整寄存器 5
17h	FSHAPE4	频率重整寄存器 4
18h	FSHAPE3	频率重整寄存器 3
19h	FSHAPE2	频率重整寄存器 2
1Ah	FSHAPE1	频率重整寄存器 1
1Bh	FSDELAY	频率重整延时寄存器
1Ch	PRESCALER	预分器和中频部分测试控制寄存器
40h	TEST6	PLL 环路测试寄存器
41h	TEST5	PLL 环路测试寄存器
42h	TEST4	PLL 环路测试寄存器
43h	TEST3	VCO 测试寄存器
44h	TEST2	校准测试寄存器
45h	TEST1	校准测试寄存器
46h	TEST0	校准测试寄存器

MAIN 寄存器（00H）

寄存器	名称	缺省值	激活	说明
MAIN[7]	RXTX	—	—	接收/发射开关，0：接收；1：发送
MAIN[6]	F_REG	—	—	频率寄存器选择，0：寄存器 A；1：寄存器 B
MAIN[5]	RX_PD	—	高电平	LNA 低电位模式，混频器，中频，解调器，信号接口接收部分
MAIN[4]	TX_PD	—	高电平	信号接口发射部分低电位模式，功放
MAIN[3]	FS_PD	—	高电平	频率合成器的低电位模式
MAIN[2]	CORE_PD	—	高电平	晶振核心的低电位模式
MAIN[1]	BIAS_PD	—	高电平	偏置电流（全电流发生器）和晶振缓冲器的低电位模式
MAIN[0]	RESET_N	—	低电平	复位，低电平激活。低电平写 RESET_N 将把缺省值写入除 MAIN 外的所有寄存器里，完成复位后必须设成高电平。

FREQ_2A 寄存器

寄存器（01H）	名称	缺省值	激活	说明
FREQ_2A[7:0]	FREQ_A[23:16]	01110101	—	频率控制字 A 的 8 个最高位

FREQ_1A 寄存器

寄存器（02H）	名称	缺省值	激活	说明
FREQ_1A[7:0]	FREQ_A[15:8]	10100000	—	频率控制字 A 的 15～8 位

FREQ_0A 寄存器

寄存器（03H）	名称	缺省值	激活	说明
FREQ_0A[7:0]	FREQ_A[7:0]	11001011	—	频率控制字 A 的 8 个最低位

FREQ_2B 寄存器

寄存器（04H）	名称	缺省值	激活	说明
FREQ_2B[7:0]	FREQ_B[23:16]	01110101	—	频率控制字 B 的 8 个最高位

FREQ_1B 寄存器

寄存器（05H）	名称	缺省值	激活	说明
FREQ_1B[7:0]	FREQ_B[15:8]	10100101	—	频率控制字 B 的 15～8 位

FREQ_0B 寄存器

寄存器（06H）	名称	缺省值	激活	说明
FREQ_0B[7:0]	FREQ_B[7:0]	01001110	—	频率控制字 B 的 8 个最低位

FSEP1 寄存器

寄存器（07H）	名称	缺省值	激活	说明
FSEP[7:3]	—	—	—	未用
FSEP[2:0]	FSEP_MSB[2:0]	000	—	分频控制的 3 个最高位

FSEP0 寄存器

寄存器（08H）	名称	缺省值	激活	说明
FSEP0[7:0]	FSEP_LSB[7:0]	01011001	—	分频控制的 8 个最低位

CURRENT 寄存器

寄存器（09H）	名称	缺省值	激活	说明
CURRENT[7:4]	VCO_CURRENT[3:0]	1100	—	发送和接收时 VCO 核心的电流控制 0000：150μA 0001：250μA 0010：350μA 0011：450μA 0100：950μA，接收使用，f=400～500MHz 0101：1050μA 0110：1250μA 0111：1350μA 1000：1450μA，接收使用，f>500MHz f<400MHz；发射使用时 f=400～500MHz 1001：1550μA 发射使用，f<400MHz 1010：1650μA 1011：1750μA 1100：2250μA 1101：2350μA 1110：2450μA 1111：2550μA，发射使用,f>500MHz
CURRENT[3:2]	LO_DRIVE[1:0]	10		本振驱动时 VCO 缓冲器的电流控制 00：0.5mA，接收使用，f<500MHz 01：1.0mA 10：1.5mA 11：2.0mA，接收使用，f>500MHz
CURRENT[1:0]	PA_DRIVE[1:0]	10		带功放的 VCO 缓冲器电流控制 00：1mA，发射使用，f<500MHz 01：2mA 10：3mA 11：4mA，发射使用，f>500MHz

FRONT_END 寄存器(0AH)

FRONT_END [7:6]	—	00	—	未用
FRONT_END [5]	BUF_CURRENT	0	—	LNA_FOLLOWER 的电流控制 0：520μA,f<500MHz 使用 1：690μA,f>500MHz 使用
FRONT_END [4:3]	LNA_CURRENT [1:0]	01	—	LNA 电流控制 00：0.8mA,f<500MHz 使用 01：1.4mA 10：1.8mA,f>500MHz 使用 11：2.2mA
FRONT_END [2:1]	IF_RSSI[1:0]	00	—	IF_RSSI 脚控制 00：内部中频和解调器，RSSI 未激活 01：RSSI 激活，RSSI/IF 模拟信号 RSSI 输出 10：外部中频和解调器，RSSI/IF 混频器输出。内部中频在低电位模式。 11：未用
FRONT_END [0]	XOSC_BYPASS	0	—	0：内部 XOSC 使能 1：XOSC 低电位模式，使用外部时钟

PA_PDW 寄存器（0BH）

寄存器	名称	缺省值	激活	说明
PA_PDW [7:4]	PA_HIGHPOWER[3:0]	0000	—	高功率阵列中的输出功率控制，在 PD 模式下应为 0000，详情见 29 页表 10
PA_PDW [3:0]	PA_LOWPOWER[3:0]	1111	—	低功率阵列中的输出功率控制在 PD 模式下应为 0000，详情见 29 页表 10

PLL 寄存器（0CH）

寄存器	名称	缺省值	激活	说明
PLL [7]	EXT_FILTER	0	—	1：外部环路滤波 0：内部环路滤波 当 BREAK_LOOP=1 时（TEST3），1 到 0 发送采样 F_COMP 比较器
PLL [6:3]	REFDIV[3:0]	0010	—	参考除法器 0000：不允许 0001：不允许 0010：被 2 除 0011：被 3 除 ……… 1111：被 15 除
PLL [2]	ALARM_DISABLE	0	高电平	0：报警功能可用 1：报警功能禁用
PLL [1]	ALARM_H	—	—	微调电压超出范围的状态位（很接近 VDD）
PLL [0]	ALARM_L	—	—	微调电压超出范围的状态位（很接近 GND）

LOCK 寄存器（0DH）

寄存器	名称	缺省值	激活	说明
LOCK [7:4]	LOCK_SELECT[3:0]	0000	—	到 CHP_OUT（LOCK）管脚信号的选择 0000：标准，管脚可用作 CHP_OUT 0001：LOCK_CONTINOUS（高电平激活） 0010：LOCK_INSTAT（高电平激活） 0011：ALARM_H（高电平激活） 0100：ALARM_L（高电平激活） 0101：CAL_COMPLETE（高电平激活） 0110：IF_OUT 0111：参考除法器输出 1000：TX_POB（高电平激活，当 RX_PD=0 时激活外部功放） 1001：曼彻斯特误码（高电平激活） 1010：RX_PDB（高电平激活，当 RX_PD=0 时激活外部 LNA） 1011：未定义 1100：未定义 1101：LOCK_AVG_FILTER 1110：N_DIVIDER 输出 1111：F_COMP
LOCK [3]	PLL_LOCK_ACCURACY	0	—	0：设定锁定门限=127，复位锁定门限=111，对应最差情况下的精度为 0.7% 1：设定锁定门限=31，复位锁定门限=15，对应最差情况下的精度为 2.8%
LOCK [2]	PLL_LOCK_LENGTH	0	—	0：标准 PLL 锁定窗口 1：未用
LOCK [1]	LOCK_INSTANT	—	—	来自锁定检测器的状态位
LOCK [0]	LOCK_CONTINOUS	—	—	来自锁定检测器的状态位

CAL 寄存器(0EH)

寄存器	名称	缺省值	激活	说明
CAL[7]	CAL_START	0	↑	↑ 1：开始校准 0：未激活校准
CAL[6]	CAL_DUAL	0	高电平	1：在 A 和 B 都存储校准值 0：在由 MAIN[6]定义的 A 或 B 中存储校准值
CAL[5]	CAL_WAIT	0	高电平	1：两倍标准校准等待时间 0：校准等待时间的一半
CAL[4]	CAL_CURRENT	0	高电平	1：两倍校准电流 0：标准校准电流
CAL[3]	CAL_COMPLETE		高电平	校准完成时的状态位定义

CAL 寄存器(0EH)

寄存器	名称	缺省值	激活	说明
CAL[2:0]	CAL_ITERATE	101	高电平	校准 DAC 的重复开始值 000～101：未用 110：标准开始值 111：未用

MODEM2 寄存器（0FH）

寄存器	名称	缺省值	激活	说明
MODEM2[7]	峰值检测	1	高电平	峰值检测器和清除器的使能 0：峰值检测器和清除器禁用，用于 38.4 和 76.8kBaud 1：峰值检测器和清除器可用
MODEM2[6:0]	峰值电平偏离[6:0]	0010110	—	解调器里峰值清除器的门限电压。与分频相关,见注释

注释：

$$\text{PEAK\_LEVEL\_OFFSET[6:0]}=\frac{F_S}{IF_{low}}-\frac{F_s}{IF_{low}+\Delta f/2}\cdot\frac{5}{8}, \text{其中} F_S=\frac{f_{\_xosc}}{XOSC\_FREQ+1},$$

IF_{low}=150kHz-2f_rf.XTAL_accuracy, Δ f 为分频

MODEM1 寄存器（10H）

寄存器	名称	缺省值	激活	说明
MODEM1[7:5]	MLIMIT	011	—	设置曼彻斯特码干扰标志。 曼彻斯特码值=14 为最佳位， 曼彻斯特码值=0 为恒定电平（一个不平衡的不可靠位） 000：未设置干扰标志 001：曼彻斯特码值<1 时设置干扰标志 010：曼彻斯特码值<2 时设置干扰标志 011：曼彻斯特码值<3 时设置干扰标志 100：曼彻斯特码值<4 时设置干扰标志 101：曼彻斯特码值<5 时设置干扰标志 110：曼彻斯特码值<6 时设置干扰标志 111：曼彻斯特码值<7 时设置干扰标志
MODEM1[4]	LOCK_AVG_IN	0	高电平	平均值滤波器的锁定控制位 0：平均值滤波器自由工作 1：平均值滤波器锁定
MODEM1[3]	LOCK_AVG_MODE	0	—	平均值滤波器的自动锁定 0：平均值滤波器的锁定为自动控制 1：平均值滤波器的锁定由 LOCK_AVG_IN 控制

MODEM1 寄存器(10H)

寄存器	名称	缺省值	激活	说明
MODEM1[2:1]	SETTING[1:0]	11	—	平均值滤波器的设定时间 00：11 个波特设定时间，最差情况下灵敏度 1.2dB 损失 01：22 个波特设定时间，最差情况下灵敏度 1.6dB 损失 10：43 个波特设定时间，最差情况下灵敏度 0.3dB 损失 11：86 个波特设定时间，最差情况下灵敏度 0.15dB 损失

MODEM0 寄存器(11H)

寄存器	名称	缺省值	激活	说明
MODEM[7]	—	—	—	未用
MODEM0[6:4]	BAUDRATE [2:0]	010	—	000：0.6kbuad 001：1.2kbuad 010：2.4kbuad 011：4.8kbuad 100：9.6kbuad 101：19.2，48.4 和 76.8kBuad 110：未用 111：未用
MODEM0[3:2]	DATA_FORMAT[1:0]	01	—	00：NRZ 工作 01：曼彻斯特码工作 10：异步传输 UART 工作 11：未用
MODEM0[1:0]	XOSC_FREQ [1:0]	00	—	晶体频率范围选择 00：3～4MHz，建议 3.6864MHz,也可用于 76.8kBaud,14.7456MHz 01：6～8MHz，建议 7.3728MHz, 也可用于 76.8kBaud,14.7456MHz 10:：9～12MHz，建议 11.0592MHz 11：12～16MHz，建议 14.7456MHz

MATCH 寄存器（12H）

寄存器	名称	缺省值	激活	说明
MATCH[7:4]	RX_MATCH[3:0]	0000	—	接收时选择的匹配电容阵列值，步长 0.4pF
MATCH[3:0]	TX_MATCH[3:0]	0000	—	发送时选择的匹配电容阵列值

FSCTRL 寄存器(13H)

寄存器	名称	缺省值	激活	说明
FSCTRL[7:4]	—	—	—	未用
FSCTRL[3]	DITHER1	0	高电平	当发送“1”时抖动使能
FSCTRL[2]	DITHER0	0	高电平	接收状态发送“0”时抖动使能
FSCTRL[1]	SHAPE	0	高电平	数据重整使能
FSCTRL[0]	FS_RESET_N	1	低电平	重整顺序装置的单独复位

FSHAPE1 寄存器(14H)

寄存器	名称	缺省值	激活	说明
FSHAPE1[7:5]	—	—	—	未用
FSHAPE1[4:0]	FSHAPE1	0001	—	频率重整寄存器 1，当 FSCTRL 里的 SHAPE 激活时可使用

FSHAPE2 寄存器(15H)

寄存器	名称	缺省值	激活	说明
FSHAPE2[7:5]	—	—	—	未用
FSHAPE2[4:0]	FSHAPE2	00011	—	频率重整寄存器 2，当 FSCTRL 里的 SHAPE 激活时可使用

FSHAPE3 寄存器(16H)

寄存器	名称	缺省值	激活	说明
FSHAPE3[7:5]	—	—	—	未用
FSHAPE3[4:0]	FSHAPE3	00110	—	频率重整寄存器 3，当 FSCTRL 里的 SHAPE 激活时可使用

FSHAPE4 寄存器(17H)

寄存器	名称	缺省值	激活	说明
FSHAPE4[7:5]	—	—	—	未用
FSHAPE4[4:0]	FSHAPE4	01010	—	频率重整寄存器 4，当 FSCTRL 里的 SHAPE 激活时可使用

FSHAPE5 寄存器(18H)

寄存器	名称	缺省值	激活	说明
FSHAPE5[7:5]	—	—	—	未用
FSHAPE5[4:0]	FSHAPE5	10000	—	频率重整寄存器 5，当 FSCTRL 里的 SHAPE 激活时可使用

FSHAPE6 寄存器(19H)

寄存器	名称	缺省值	激活	说明
FSHAPE6[7:5]	—	—	—	未用
FSHAPE6[4:0]	FSHAPE6	10110	—	频率重整寄存器 6，当 FSCTRL 里的 SHAPE 激活时可使用

FSHAPE7 寄存器(1AH)

寄存器	名称	缺省值	激活	说明
FSHAPE7[7:5]	—	—	—	未用
FSHAPE7[4:0]	FSHAPE7	11100	—	频率重整寄存器 7，当 FSCTRL 里的 SHAPE 激活时可使用

FSDELAY 寄存器(1BH)

寄存器	名称	缺省值	激活	说明
FSDELAY[7:0]	FSDELAY[7:0]	00101111	—	在频率重整期间设置使用 FSHAPE 寄存器之间时钟周期延时的个数

PRESCALER 寄存器(1CH)

寄存器	名称	缺省值	激活	说明
PRESCALER [7:6]	PRE_SWING [1:0]	00	—	预分器摆动。PRE_CURRENT[1:0] =00 时的分数： 00：1 倍摆动 01：2/3 倍额定摆动 10：7/3 倍额定摆动 11：5/3 倍额定摆动
PRESCALER [5:4]	PRE_SWING [1:0]	00	—	预分器电流比例 00：1 倍额定电流 01：2/3 倍额定电流 10：1/2 倍额定电流 11：2/5 倍额定电流
PRESCALER [3]	IF_INPUT	0	—	0：标称设置 1：RSSI/IF 脚输入中频部分
PRESCALER [2]	IF_FRONT	0	—	0：标称设置 1：IF_Front_amp 输出切入 RSSI/IF 脚
PRESCALER [1:0]	—	00	—	未用

TEST6 寄存器（仅供测试,40H）

寄存器	名称	缺省值	激活	说明
TEST6[7]	LOOPFILTER_TP1	0	—	1：选择 CHP_OUT 的测试点 1 0：CHP_OUT 接地
TEST6[6]	LOOPFILTER_TP2	0	—	1：选择 CHP_OUT 的测试点 2 0：CHP_OUT 接地
TEST6[5]	CHP_OVERRIDE	0	—	1：使用 CHP_CO[4:0]的值 0：使用校准过的值
TEST6[4:0]	CHP_CO[4:0]	10000	—	充电脉冲电流 DAC 过载值

TEST5 寄存器（仅供测试,41H）

寄存器	名称	缺省值	激活	说明
TEST5[7:6]	—	—	—	未用
TEST5[5]	CHP_DISABLE	0	—	1：充电上下脉冲禁用 0：正常工作
TEST5[4]	VCO_OVERRIDE	0	—	1：使用 VCO_AD[2:0]的值 0：使用校准过的值
TEST5[3:0]	VCO_AD[3:0]	1000	—	VCO_ARRAY 过载值

TEST4 寄存器（仅供测试,42H）

寄存器	名称	缺省值	激活	说明
TEST4[7:6]	—	—	—	未用
TEST4[5:0]	L2KIO[5:0]	100101	高电平	设置恒定的充电脉冲电流比例/化整系数，设置 PLL 带宽

TEST3 寄存器（仅供测试,43H）

寄存器	名称	缺省值	激活	说明
TEST3[7:5]	—	—	—	未用
TEST3[4]	BREAK_LOOP	0	—	1：锁相环打开 0：锁相环关闭
TEST3[3:0]	CAL_DAC_OPEN	0100	—	校准 DAC 过载值，当 BREAK_LOOP =1 时激活

TEST2 寄存器（仅供测试,44H）

寄存器	名称	缺省值	激活	说明
TEST2[7:5]	—	—	—	未用
TEST2[4:0]	CHP_CURRENT [4:0]	—	—	用 CHP_CURRENT 值定义状态矢量

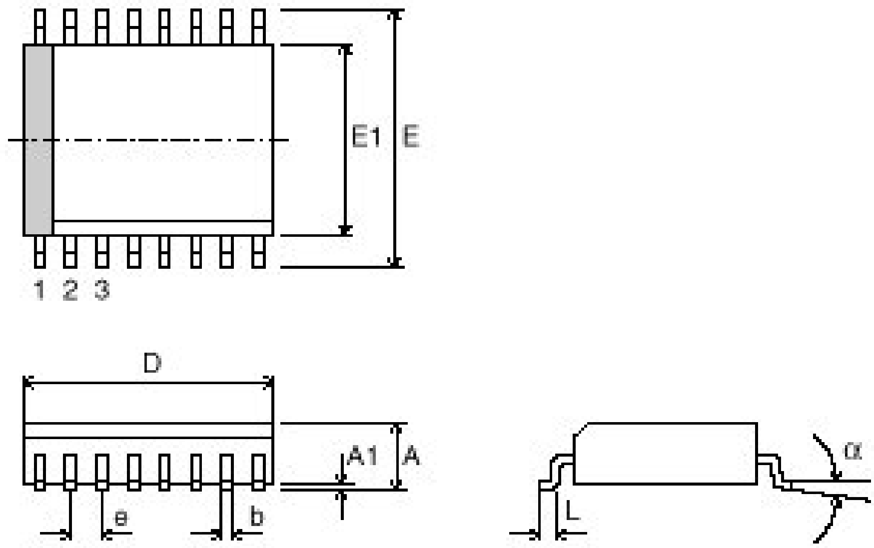
TEST1 寄存器（仅供测试,45）

寄存器	名称	缺省值	激活	说明
TEST1[7:4]	—	—	—	未用
TEST1[3:0]	CAL_DAC[3:0]	—	—	用校准 DAC 值来定义状态矢量

TEST0 寄存器（仅供测试，46H）

寄存器	名称	缺省值	激活	说明
TEST0[7:4]	—	—	—	未用
TEST0[3:0]	VCO_ARRAY[3:0]	—	—	用 VCO_ARRAY 值来定义状态矢量

封装说明（TSSOP-28）



Thin Shrink Small Outline Package (TSSOP)											
		D	E1	E	A	A1	E	B	L	Copl.	α
TOSSOP 28	Min	9.60	4.30			0.05		0.19	0.45		0°
				6.40			0.65				
	Max	9.80	4.50		1.20	0.15		0.30	0.75	0.10	8°
所有尺寸单位：mm											

焊接信息

焊接外观建议依据 CECC00802，版本 3 的标准。

包装盒规格				
封装	盒宽	盒高	盒长	每盒数量
TSSOP28	268mil	80mil	20 "	50

卷带说明

卷带符合 EIA481 规范标准

卷带说明					
封装	卷带宽度	元件间隔	孔间距	卷带直径	每卷数量
TSSOP28	16mm	8mm	4mm	13 "	4500