

高中频(HI-IF)单片宽带调谐器

概述

MAX3570/MAX3571/MAX3573低成本、宽带、两次变频调谐器芯片设计用于数字电视接收机。每款芯片集成了所有必需的射频功能模块，其中包括一个集成的高中频滤波器、全集成VCO、中频VGA。工作频率范围从50MHz至878MHz，同时提供超过60dB的RF及IF可控增益范围。MAX3570/MAX3571具有以44MHz为中心的中频频率，而MAX3573具有以36MHz为中心的中频输出。

这三款芯片都包括了可变增益射频前端，噪声系数仅为8dB。双频合成器产生两个本振(LO)频率，提供优异的相位噪声性能，在10kHz频偏时相位噪声为-86dBc/Hz。集成的高中频(HI-IF)滤波器有55dBc(典型值)的镜像抑制。仅需要一个中频SAW滤波器、无源环路滤波器和晶体振荡器即可构建完整的单芯片调谐器。MAX3570芯片编程和配置由3线串行接口完成，而MAX3571/MAX3573芯片编程和配置由2线串行接口完成。

MAX3570/MAX3571/MAX3573采用48引脚QFN-EP封装，可工作于商业温度范围(0°C至+70°C)。

应用

DVB-C数字电视接收机
ATSC数字电视接收机
有线电视调制解调器
DOCSIS/EURO DOCSIS调制解调器
ITU J.83数字机顶盒

选择指南

PART	SERIAL INTERFACE	IF CENTER FREQUENCY (MHz)
MAX3570	3-Wire	44
MAX3571	2-Wire	44
MAX3573	2-Wire	36

特性

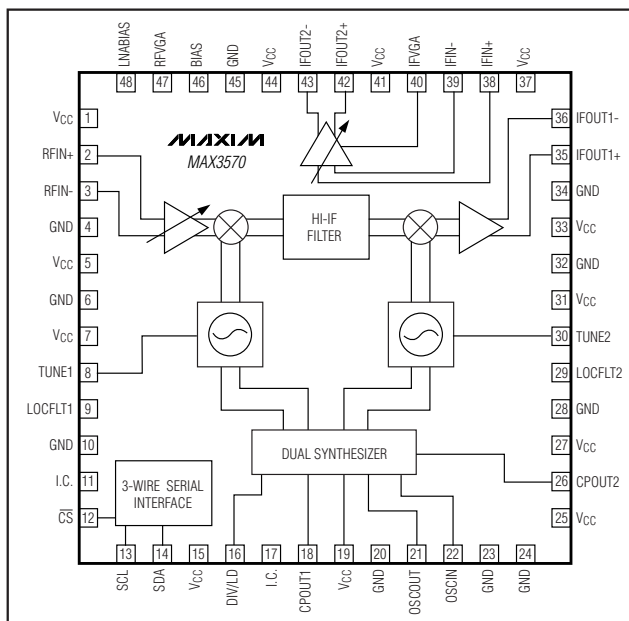
- ◆ 全集成HI-IF滤波器
- ◆ 全集成VCO，无需外部元器件和走线。
- ◆ 8dB低噪声系数
- ◆ 高线性—大于54dBc, CSO, CTB, X-MOD。
- ◆ 业界最小的封装
- ◆ 优异的相位噪声，可用于256-QAM、8-VSB和COFDM。

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX3570CGM	0°C to +70°C	48 QFN-EP*
MAX3571CGM	0°C to +70°C	48 QFN-EP*
MAX3573CGM	0°C to +70°C	48 QFN-EP*

*EP = 裸露焊盘。

引脚排列和功能框图



引脚排列和功能框图(续) 见本数据手册的最后。

高中频(HI-IF)单片宽带调谐器

ABSOLUTE MAXIMUM RATINGS

V_{CC} to GND-0.3V to +5.5V
IFIN_, IFOUT1_, IFOUT2_, RFIN_, TUNE_,
LOCFLT_, CPOUT_, OSCIN, OSCOUT,
IFVGA, RFVGA, BIAS, LNABIAS,
ADDR_, CS, SCL, SDA, DIV/LD.....-0.3V to (V_{CC} + 0.3V)

Continuous Power Dissipation (T_A = +70°C)
48-Pin QFN (derate 27mW/°C above +70°C)2162mW
Operating Temperature Range.....0°C to +70°C
Junction Temperature.....+150°C
Storage Temperature Range.....-65°C to +150°C
Lead Temperature (soldering, 10s).....+300°C



CAUTION! ESD SENSITIVE DEVICE

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(MAX357_ EV kit, V_{CC} = +4.75V to +5.25V, R_{BIAS} = 5.9kΩ ±1%, no AC signal applied, T_A = 0°C to +70°C, unless otherwise noted. Typical values are at V_{CC} = +5.0V, T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY VOLTAGE AND SUPPLY CURRENT					
Supply Voltage		4.75		5.25	V
Supply Current	At T _A = +25°C, V _{RFVGA} = +3.0V	320			mA
	At T _A = +70°C, V _{RFVGA} = +0.5V	385			
RF and IF VGA Input Bias Current	V _{RFVGA} = V _{IFVGA} = +0.5V and +3.0V	-50		+50	μA
RF and IF VGA Control Voltage	Maximum gain	3			V
	Minimum gain	0.5			
LOGIC INTERFACE					
Input-Logic Low (V _{IL})		0.9			V
Input-Logic High (V _{IH})		2.3			V
Input Logic Current		-10		+10	μA
Output-Logic Low	Sink current = 3mA	0.4			V
Output-Logic High	Source current = 3mA	2.8			V

高中频(HI-IF)单片宽带调谐器

MAX3570/MAX3571/MAX3573

AC ELECTRICAL CHARACTERISTICS

(MAX357_ EV kit, $V_{CC} = +4.75V$ to $+5.25V$, $R_{BIAS} = 5.9k\Omega \pm 1\%$, **inputs terminated to 75Ω** , $f_{RFIN} = 50MHz$ to $878MHz$, $f_{IF} = 45.75MHz$ (MAX3570/MAX3571), $f_{IF} = 38.9MHz$ (MAX3573), $f_{COMP1} = 1MHz$, $f_{COMP2} = 62.5kHz$, $T_A = 0^\circ C$ to $+70^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +5.0V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
OVERALL REQUIREMENTS (RF INPUT TO 1st IF OUTPUT)					
Operating Frequency Range	Gain specification met across this frequency band	50		878	MHz
Input Return Loss	Worst case across band, 75Ω , any RFVGA setting		8		dB
Voltage Gain	$Z_{SOURCE} = 75\Omega$, $Z_{LOAD} = 200\Omega$, $V_{RFVGA} = +3.0V$	$T_A = +25^\circ C$ 31.5	38.5	45.0	dB
		$T_A = +70^\circ C$ 30.0	37	43.5	
Gain-Reduction Range	Measured at 50MHz	30			dB
Gain Flatness	$V_{RFVGA} = +3.0V$ at $f_{RFIN} = 878MHz$ vs. 50MHz	-1.5		+1.5	dB
	$V_{RFVGA} = 0.5V$ at $f_{RFIN} = 878MHz$ vs. 50MHz	-2		+2	
Noise Figure	$V_{RFVGA} = +3.0V$		7.9		dB
IIP2	$V_{RFVGA} = +3.0V$, $T_A = +25^\circ C$ to $+70^\circ C$, $V_{CC} = 4.85V$ to $5.15V$, $f_{RF} = 860MHz$		34		dBm
	At 12dB gain reduction, $T_A = +25^\circ C$ to $+70^\circ C$, $V_{CC} = 4.85V$ to $5.15V$, $f_{RF} = 860MHz$		52.5		
IIP3	$V_{RFVGA} = +3.0V$, $T_A = +25^\circ C$ to $+70^\circ C$, $V_{CC} = 4.85V$ to $5.15V$		+8		dBm
	At 12dB gain reduction, $T_A = +25^\circ C$ to $+70^\circ C$, $V_{CC} = 4.85V$ to $5.15V$		+18		
Beats within Output	0dBmV PIX carrier level (Note 2)		-48		dBc
Channel Flatness	From PIX to (PIX + 4) MHz	-0.5	+0.3	+1.0	dB
Isolation	5MHz to 150MHz, RF input to IF output (Note 3)	-63	-68		dBc
Image Rejection	Measured at 91MHz above desired PIX (MAX3570/MAX3571)	50	55		dBc
	Measured at 77.75MHz above desired PIX (MAX3573)	50	55		
Spurious at RF Input (Note 3)	50MHz to 878MHz		-54	-48	dBmV
	Above 878MHz (LO and LO harmonics)			+3	
Single Sideband Phase Noise	$f_{OFFSET} = 1kHz$		-62		dBc/Hz
	$f_{OFFSET} = 10kHz$, $BW_{LOOP} = 2.5kHz$		-86		
	$f_{OFFSET} = 100kHz$, $BW_{LOOP} = 2.5kHz$		-105		
Output Return Loss	Balanced, 50Ω		9		dB

高中频 (HI-IF) 单片宽带调谐器

AC ELECTRICAL CHARACTERISTICS

(MAX357_ EV kit, $V_{CC} = +4.75V$ to $+5.25V$, $R_{BIAS} = 5.9k\Omega \pm 1\%$, **inputs terminated to $1k\Omega$** , $Z_{LOAD} = 300\Omega$, **$f_{IF} = 40MHz$ to $48MHz$** , $T_A = 0^\circ C$ to $+70^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +5.0V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SECOND IF STAGE					
Input Impedance	Balanced		1.7		$k\Omega$
Output Impedance	Balanced (Note 3)			100	Ω
Passband Voltage Gain	$Z_{SOURCE} = 1.1k\Omega$, $Z_{LOAD} = 300\Omega$, $V_{IFVGA} = +3.0V$	50	53	57	dB
	$V_{IFVGA} = +0.5V$		14.5	23	
Passband Flatness	From PIX to (PIX - 4) MHz for 45.75MHz PIX frequency (Note 3)			0.2	dB
Maximum Output Voltage			3.2		V _{P-P}
VGA Gain Slope	$V_{IFVGA} = +3.0V$ to $+0.5V$	10		20	dB/V
-3dB Bandwidth	(Note 3)			180	MHz
Noise Figure	$f_{IF} = 44MHz$, $V_{IFVGA} = +3.0V$		5.1		dB
Noise Figure vs. Attenuation	First 10dB back-off		0.3		dB/dB
IIP3	Gain = 45dB, $V_{OUT} = 1.5V_{P-P}$		-27.5		dBm
	Gain = 27dB, $V_{OUT} = 1.5V_{P-P}$		-11.3		
OIP3	$V_{OUT} = 1.5V_{P-P}$, $V_{IFVGA} = +3.0V$ to $+0.5V$ (Note 3)		25		dBm
PSRR	50mV _{P-P} at 200kHz		-57		dB

高中频(HI-IF)单片宽带调谐器

MAX3570/MAX3571/MAX3573

SYNTHESIZER ELECTRICAL CHARACTERISTICS

(MAX357_ EV kit, $V_{CC} = +4.75V$ to $+5.25V$, $R_{BIAS} = 5.9k\Omega \pm 1\%$, $f_{COMP1} = 1MHz$, $f_{COMP2} = 62.5kHz$, $T_A = 0^\circ C$ to $+70^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +5.0V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
1st LOCAL OSCILLATOR (LO1)					
Tuning Range		1274		2111	MHz
VCO Tuning Gain		40		120	MHz/V
1st LOCAL OSCILLATOR (LO1) DIVIDER					
RF1 N-Divider Ratio		256		8191	
RF1 R-Divider Ratio		1		31	
1st LOCAL OSCILLATOR (LO1) PHASE DETECTOR AND CHARGE PUMP					
Phase-Detector Phase Noise	$f_{OFFSET} = 2kHz$ (Note 3)			-142	dBc
Charge-Pump Source/Sink Matching	Correlate locked vs. unlocked			6	%
Charge-Pump Tri-State Current	RF1	-7		+7	nA
2nd LOCAL OSCILLATOR (LO2)					
Tuning Range		1175		1193	MHz
VCO Tuning Gain		25		70	MHz/V
2nd LOCAL OSCILLATOR (LO2) DIVIDER					
RF2 N-Divider Ratio		512		65,535	
RF2 R-Divider Ratio		2		127	
2nd LOCAL OSCILLATOR (LO2) PHASE DETECTOR AND CHARGE PUMP					
Phase-Detector Phase Noise	$f_{OFFSET} = 2kHz$ (Note 3)			-142	dBc
Charge-Pump Source/Sink Matching	Correlate locked vs. unlocked			6	%
Charge-Pump Tri-State Current	RF2	-7		+7	nA

LOGIC INTERFACE

(MAX357_ EV kit, $V_{CC} = +4.75V$ to $+5.25V$, $R_{BIAS} = 5.9k\Omega \pm 1\%$, $T_A = 0^\circ C$ to $+70^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Clock Frequency		400			kHz

Note 1: These parameters are production tested from $T_A = +25^\circ C$ to $+70^\circ C$, and are guaranteed by design and characterization at $T_A = 0^\circ C$.

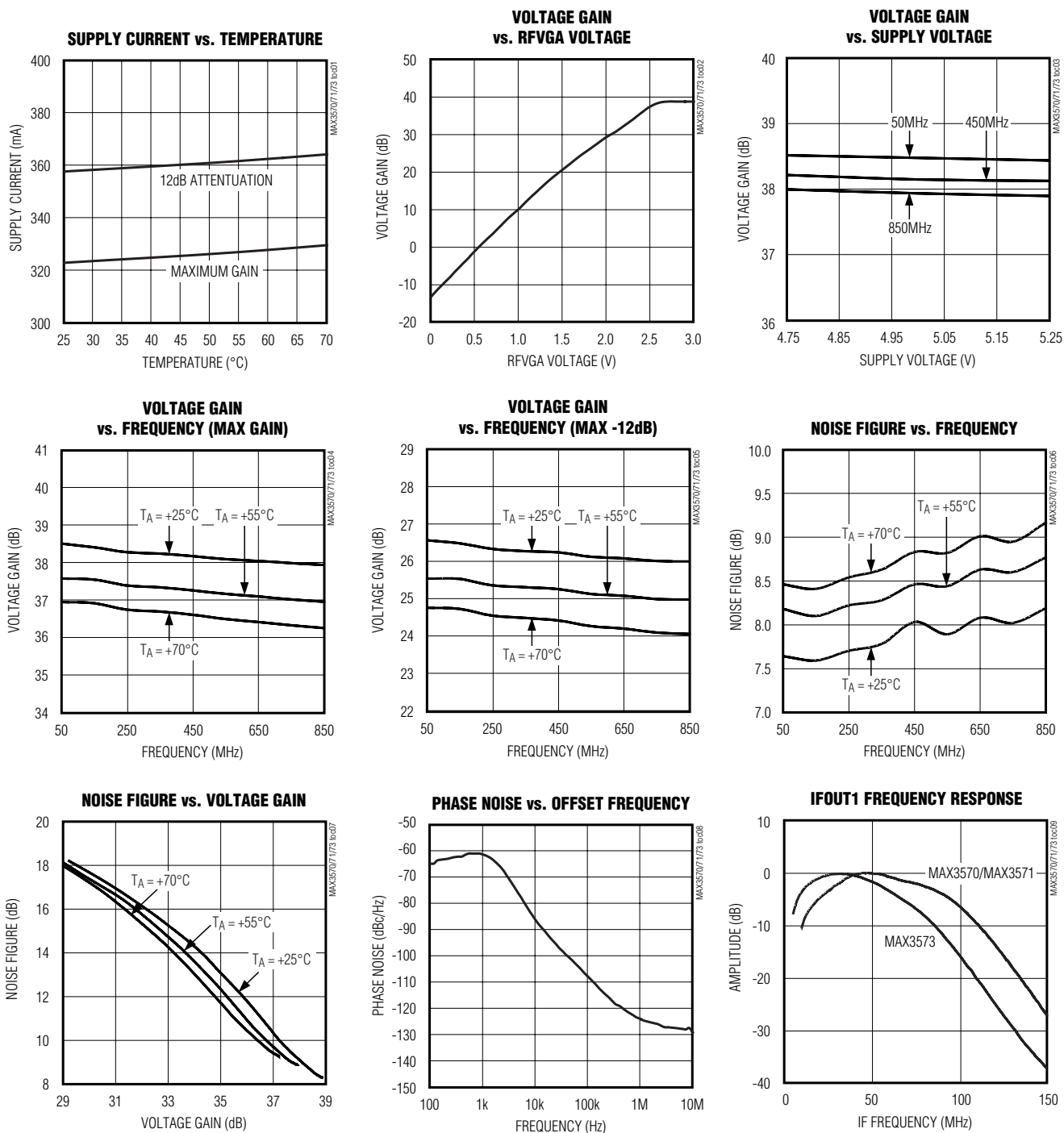
Note 2: When using the tuning table provided in the EV kit documentation.

Note 3: These parameters are guaranteed by design and characterization, and are not production tested.

高中频(HI-IF)单片宽带调谐器

典型工作特性

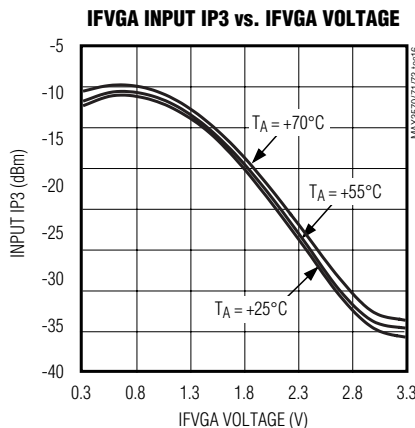
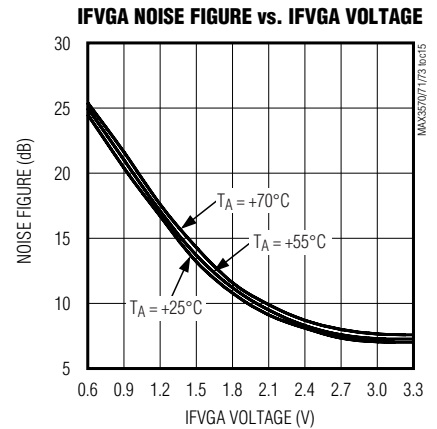
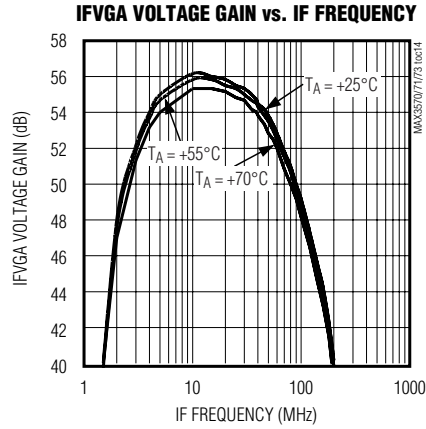
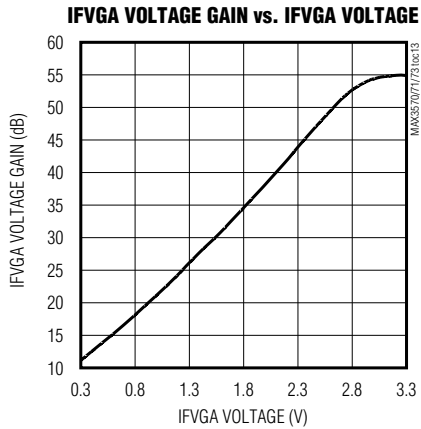
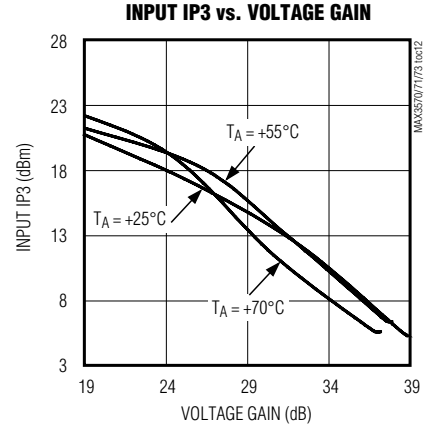
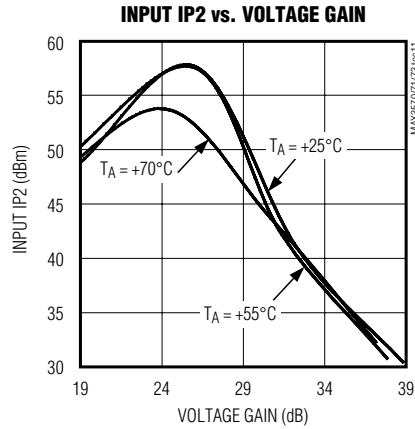
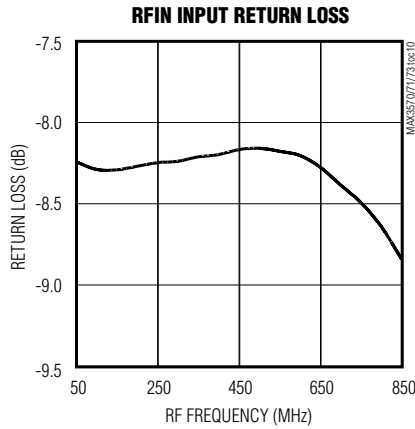
(MAX357_ EV kit, $V_{CC} = +5.0V$, $R_{BIAS} = 5.9k\Omega$, $f_{RF} = 860MHz$, $f_{IF} = 44MHz$ (MAX3570/MAX3571), $36MHz$ (MAX3573), $T_A = +25^\circ C$, unless otherwise noted.)



高中频(HI-IF)单片宽带调谐器

典型工作特性(续)

(MAX3570/71/73 EV kit, $V_{CC} = +5.0V$, $R_{BIAS} = 5.9k\Omega$, $f_{RF} = 860MHz$, $f_{IF} = 44MHz$ (MAX3570/MAX3571), $36MHz$ (MAX3573), $T_A = +25^\circ C$, unless otherwise noted.)



MAX3570/MAX3571/MAX3573

高中频(HI-IF)单片宽带调谐器

引脚说明

引脚	名称	功能
1	V _{CC}	射频可变增益放大器 (VGA) 电源。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
2, 3	RFIN+, RFIN-	差分LNA输入。需要交流耦合，可由差分平衡或者单端驱动。单端驱动时，建议使用引脚3驱动，并将引脚2交流接地，以获得最优的输入IP2性能。
4, 6, 10, 20, 23, 24, 28, 32, 34, 45	GND	地。连接到印刷板地平面。
5	V _{CC}	第一级混频器电源。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
7	V _{CC}	第一级VCO电路电源。需接旁路电容，旁路电容尽可能靠近该引脚。旁路电容地过孔不能与其他支路共用。
8	TUNE1	第一级VCO调谐输入。连接这个输入模拟电压至三阶环路滤波器的输出级。
9	LOCFLT1	第一级LO噪声滤波器电容连接。连接一个电容到地。(参考评估板)
11	I.C.	内部连接。让该引脚悬空 (MAX3570)。
	ADDR2	2线串行接口第二位地址设置引脚 (MAX3571/MAX3573)。
12	CS	3线串行接口使能输入引脚 (SPI™/QSPI™/MICROWIRE™兼容) (MAX3570)。
	ADDR1	2线串行接口第一位地址设置引脚 (MAX3571/MAX3573)。
13	SCL	3线串行接口时钟输入引脚 (SPI/QSPI/MICROWIRE兼容) (MAX3570)。
		2线串行接口时钟输入引脚 (MAX3571/MAX3573)。
14	SDA	3线串行接口数据输入引脚 (SPI/QSPI/MICROWIRE兼容) (MAX3570)。
		2线串行接口数据输入引脚 (MAX3571/MAX3573)。
15	V _{CC}	数字电路电源。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
16	DIV/LD	分频器和锁定检测逻辑输出。
17	I.C.	内部连接。该引脚悬空。
18	CPOUT1	第一级PLL电荷泵输出。连接该高阻抗电流输出至三阶环路滤波器输入。
19	V _{CC}	第一级频率合成器电源。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
21	OSCOUT	参考振荡器缓冲输出
22	OSCIN	参考振荡器输入。通过耦合电容连接外部参考振荡器或者晶体至该模拟输入。
25	V _{CC}	第二级频率合成器电源。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
26	CPOUT2	第二级PLL电荷泵输出。连接该高阻抗电流输出至三阶环路滤波器的输入。

SPI和QSPI 是Motorola, Inc. 的商标。

MICROWIRE是National Semiconductor Corp. 的商标。

高中频(HI-IF)单片宽带调谐器

引脚说明(续)

引脚	名称	功能
27	V _{CC}	第二级电荷泵电源。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
29	LOCFLT2	第二级LO噪声滤波电容连接管脚。连接一个电容到地。(参考评估板)
30	TUNE2	第二级VCO调谐输入。连接这个模拟电压输入至三阶环路滤波器。
31	V _{CC}	第二级VCO电路电源。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
33	V _{CC}	第二级LO发生器。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
35, 36	IFOUT1+, IFOUT1-	第一个差分中频输出。这些输出交流耦合到SAW滤波器输入。
37	V _{CC}	第二级混频器和第一级中频放大器电源。使用尽可能靠近该引脚的电容旁路。旁路电容地过孔不能与其他支路共用。
38, 39	IFIN+, IFIN-	差分中频输入。连接至SAW滤波器输出。
40	IFVGA	中频VGA控制。见典型工作特性。
41	V _{CC}	中频VGA电源。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
42, 43	IFOUT2+, IFOUT2-	中频VGA输出
44	V _{CC}	高中频滤波器电路电源。需接旁路电容，旁路电容尽可能地靠近该引脚。旁路电容地过孔不能与其他支路共用。
46	BIAS	偏置电阻连接。连接5.9k Ω 、精度 $\pm 1\%$ 的电阻到地。电阻值增大可减小工作电流，但是牺牲了线性度。欲获取详细信息，请参考应用笔记：MAX3570/MAX3571/MAX3573 Bias Resistor Setting。
47	RFVGA	射频VGA控制。见典型工作特性。
48	LNABIAS	LNA偏置输入。用电感连接到地。(参考评估板)
EP	GND	裸露地焊盘。芯片的直流和交流地。使用多个过孔连接至印刷板地平面。

MAX3570/MAX3571/MAX3573

高中频(HI-IF)单片宽带调谐器

详细说明

可编程寄存器

MAX3570/MAX3571/MAX3573 包括九个可编程寄存器 (寄存器1-9)，其中有6个分频器寄存器(寄存器1-6)，一个VCO控制寄存器(寄存器7)和一个测试寄存器(寄存器8)。最后一个寄存器(寄存器9)控制HI-IF滤波器频率偏移和DIV/LD输出的MUX状态。大多数寄存器包含一些无关位。这些位可以为“0”或“1”，不影响工作模式(表1)。数据的高有效位MSB先移入寄存器，使用正逻辑。

3线串行接口

MAX3570使用3线SPI/QSPI/MICROWIRE兼容的串行接口。低有效的芯片选择($\overline{CS}$)使能芯片从串行输入(SDA)端接收数据。在串行时钟信号(SCL)上升沿，寄存器地址和数据信息顺序进入。在串行数据移入时，芯片保持原来的配置。在 $\overline{CS}$ 的上升沿将数据锁存到MAX3570内部寄存器后，器件状态改变。图1给出了3线接口地址和数据设置的信息。

图1. 3线串行接口地址和数据配置

MSB				LSB							
4 ADDRESS BITS				8 DATA BITS							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

图2. 2线串行接口寄存器写例子

START	DEVICE ADDRESS	ACK	REGISTER ADDRESS	ACK	DATA	ACK	DATA	ACK	STOP
	8b11000<ADDR2><ADDR1>0		8b0000XXXX		D7-D0		D7-D0		

图3. 2线串行接口寄存器读例子

START	DEVICE ADDRESS	ACK	READ BYTE (8 Bits)	NACK	STOP
	8b11000<ADDR2><ADDR1>1		8bXXXXXXXX		

* 购买 Maxim Integrated Products, Inc. 或其从属授权关联公司的 I²C 产品，即得到了 Philips I²C 的专利许可、将这些产品用于符合 Philips 定义的 I²C 标准规范的系统。

2线串行接口

MAX3571/MAX3573使用2线I²C*兼容串行接口。串行总线不断地监视、等待START条件以及后面的地址信息。地址中5个最高位通过内部设置，而后面两位ADDR2和ADDR1由外部引脚设置。LSB确定是读信号还是写信号。当器件识别出地址后，将SDA线拉低一个时钟周期作为应答；然后准备接收数据第一个字节的寄存器地址。一旦寄存器地址被接收，发送另一个应答(ACK)。器件准备接收数据字节。更多的数据字节可发送到后续地址的寄存器，在每个字节发送完成后发送一个ACK。在最后的ACK发送后，主机发送STOP条件释放总线。图2给出了2线接口结构的细节。

在MAX3571/MAX3573仅有一个回读寄存器。在发送START条件后通过外部的ADDR2和ADDR1引脚设置读地址来访问。在发送ACK之后，主机开始读从设备。在八个字节读完后，主设备产生NACK，然后是STOP条件。

表1. 2线串行接口地址配置 (由ADDR2和ADDR1设置)

ADDRESS (WRITE/READ)	ADDR2	ADDR1
C0/C1hex	Low	Low
C2/C3hex	Low	High
C4/C5hex	High	Low
C6/C7hex	High	High

高中频(HI-IF)单片宽带调谐器

表2. 寄存器配置

REGISTER NUMBER	REGISTER NAME	REGISTER ADDRESS	MSB								LSB
			8 DATA BITS								
			D7	D6	D5	D4	D3	D2	DB1	D0	
1	VCO1_N1	00 _{hex}	X	X	X	1N12	1N11	1N10	1N9	1N8	
2	VCO1_N2	01 _{hex}	1N7	1N6	1N5	1N4	1N3	1N2	1N1	1N0	
3	VCO1_R	02 _{hex}	X	X	X	1R4	1R3	1R2	1R1	1R0	
4	VCO2_N1	03 _{hex}	2N15	2N14	2N13	2N12	2N11	2N10	2N9	2N8	
5	VCO2_N2	04 _{hex}	2N7	2N6	2N5	2N4	2N3	2N2	2N1	2N0	
6	VCO2_R	05 _{hex}	X	2R6	2R5	2R4	2R3	2R2	2R1	2R0	
7	VCO_SET	06 _{hex}	1VCO2	1VCO1	1VCO0	X	1CP1	1CP0	2CP1	2CP0	
8	TEST	07 _{hex}	X	1T4	1T3	1T2	1T1	1T0	ST1	ST0	
9	HI-IF	08 _{hex}	X	X	F1	F0	MUX3	MUX2	MUX1	MUX0	

X = 无关。

表3. 寄存器说明

REGISTER NUMBER	REGISTER NAME	REGISTER ADDRESS	FUNCTION
1	VCO1_N1	00 _{hex}	VCO1 N-divider high
2	VCO1_N2	01 _{hex}	VCO1 N-divider low
3	VCO1_R	02 _{hex}	VCO1 R-divider
4	VCO2_N1	03 _{hex}	VCO2 N-divider high
5	VCO2_N2	04 _{hex}	VCO2 N-divider low
6	VCO2_R	05 _{hex}	VCO2 R-divider
7	VCO_SET	06 _{hex}	VCO select and charge-pump settings
8	TEST	07 _{hex}	Test mode. For test purposes only. Program to 20 _{hex} .
9	HI-IF	08 _{hex}	Mode select, MUX output select

表4. 第一级VCO N分频器高位寄存器 (VCO1_N1)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	X	7, 6, 5	Reserved
1N	1st VCO N-Divider	4-0	1st VCO N-divider MSB bits

表5. 第一级VCO N分频器低位寄存器 (VCO1_N2)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
1N	1st VCO N-Divider	7-0	1st VCO N-divider LSB bits

高中频(HI-IF)单片宽带调谐器

表6. 第一级VCO R分频器高位寄存器 (VCO1_R)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	X	7, 6, 5	Reserved
1R	1st VCO R-Divider	4-0	1st VCO R-divider

表7. 第二级VCO N分频器高位寄存器 (VCO2_N1)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
2N	2nd VCO N-Divider	7-0	2nd VCO N-divider MSB bits

表8. 第二级VCO N分频器低位寄存器 (VCO2_N2)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
2N	2nd VCO N-Divider	7-0	2nd VCO N-divider LSB bits

表9. 第二级VCO R分频器高位寄存器 (VCO2_R)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	X	7	Reserved
2R	2nd VCO R-Divider	6-0	2nd VCO R-divider

表10. VCO谐振回路和电荷泵选择寄存器 (VCO_SET)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
1VCO	1st VCO Tank Select	7, 6, 5	1st VCO Tank Select: • 000 = 1st VCO tank (the lowest frequency oscillator) • 001 = 2nd VCO tank • 010 = 3rd VCO tank • 011 = 4th VCO tank • 100 = 5th VCO tank • 101 = 6th VCO tank • 110 = 7th VCO tank • 111 = 8th VCO tank (the highest frequency oscillator)
X	X	4	Reserved
1CP	1st VCO Charge-Pump Current	3, 2	1st VCO Charge-Pump Current: • 00 = 0.2mA • 01 = 0.4mA • 10 = 0.6mA • 11 = 0.8mA
2CP	2nd VCO Charge-Pump Current	1, 0	2nd VCO Charge-Pump Current: • 00 = 0.2mA • 01 = 0.4mA • 10 = 0.6mA • 11 = 0.8mA

高中频(HI-IF)单片宽带调谐器

MAX3570/MAX3571/MAX3573

表 11. HI-IF 步进控制和MUX输出寄存器 (HI-IF)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	X	7, 6	Reserved
F	HI-IF Filter Control	5, 4	HI-IF Filter Control: • 00 = Step down 5MHz • 01 = Nominal • 11 = Step up 5MHz
MUX	Lock-Detect and MUX Output Control	3–0	Lock-Detect and MUX Output Control: • 0000 = Normal, low-noise operation • 0001 = Lock detect for the 1st VCO • 0010 = Lock detect for the 2nd VCO • 0011 = 1st VCO N-divider • 0100 = 1st VCO R-divider • 0101 = 2nd VCO N-divider • 0110 = 2nd VCO R-divider • 0111 = Reference oscillator • 1000 = AND output of lock detector • 1001 = NAND output of lock detector • 1010 = 1st VCO V_{TUNE} over/under indicator • 1011 = 2nd VCO V_{TUNE} over/under indicator

表 12. 读模式寄存器配置

REGISTER NUMBER	REGISTER NAME	MSB								LSB
		8 DATA BITS								
		D7	D6	D5	D4	D3	D2	DB1	D0	
1	LD_POR	LOCK1	LOCK2	POR	OU1	OU2	X	X	X	

表 13. 读模式寄存器说明

REGISTER NUMBER	REGISTER NAME	FUNCTION
1	LD_POR	Lock detect and power-on reset

表 14. 锁定检测和POR寄存器

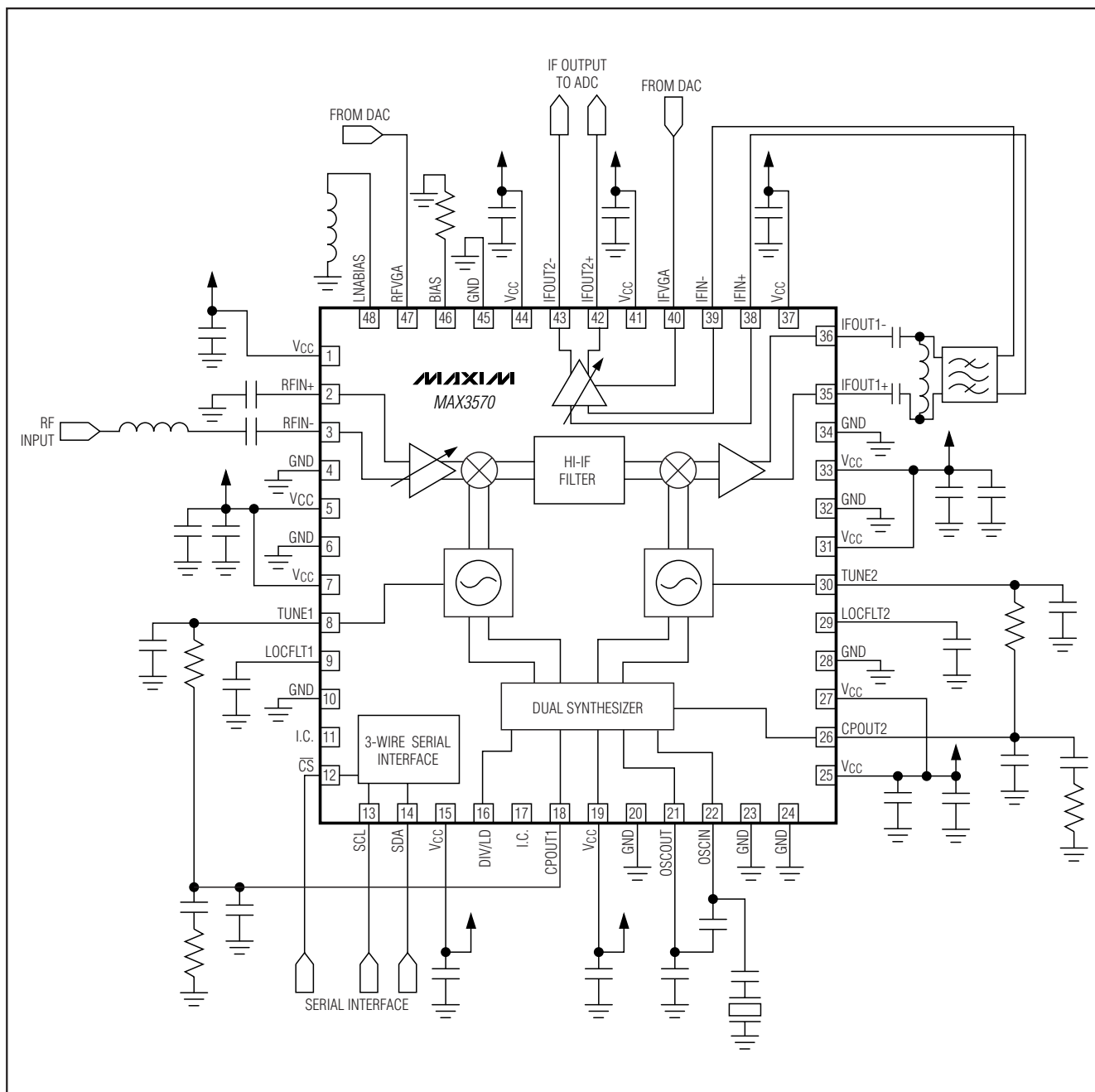
BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
LOCK1	LOCK1	7	Lock indicator for 1st VCO (see Table 15)
LOCK2	LOCK2	6	Lock indicator for 2nd VCO
POR	POR	5	Power-on reset indicator; 1 indicates successful power-on reset
OU1	OU1	4	Over or Under V_{TUNE} indicator for 1st VCO (see Table 15)
OU2	OU2	3	Over or Under V_{TUNE} indicator for 2nd VCO
X	X	2, 1, 0	Reserved

表 15. 第一级VCO真值表

LOCK1	OU1	DESCRIPTION
1	x	1st VCO locked
0	0	(Under) Choose next lower tank
0	1	(Over) Choose next higher tank

高中频(HI-IF)单片宽带调谐器

典型应用电路



高中频(HI-IF)单片宽带调谐器

应用信息

射频输入

LNA提供匹配到75 Ω 的单端宽带输入。在信号上变频之前，射频输入提供30dB线性、连续的增益控制。在射频输入(引脚3)端需要连接串联的16nH电感与1000pF电容，以获得最优的匹配(见典型应用电路)。

HI-IF频率的灵活控制

在两次变频接收机中，杂散频率来源于系统中相关的本振(LO)信号的谐波。在一些情况下，这些杂散频率可能落入中频频段。如果这种情况发生，可能要重新调谐LO，使其稍微偏移HI-IF频率。这样可将杂散频率搬移到IF频带外。MAX3570/MAX3571/MAX3573支持这种功能，允许用户调节HI-IF滤波器的中心频率，跟踪LO频率的偏移，保持最优的镜像抑制和插入损耗性能。HI-IF滤波器频率偏移由HI-IF频率步进控制位控制(F0和F1，寄存器地址8)。(正在申请专利。)

IF输出

第一差分IF输出(IFOUT1+, IFOUT1-), 虽然用于驱动标准的中频SAW滤波器，但可以驱动阻抗低至200 Ω 的负载。第二差分IF输出(IFOUT2+, IFOUT2-) 提供可驱动300 Ω 负载的平衡输出，也可以交流耦合到标准的QAM解调器的ADC。

增益控制

MAX3570/MAX3571/MAX3573具有两个VGA电路，可用于获得最佳的SNR同时减少失真。在低输入信号电平，RFVGA电压应当为3.0V。可以设置LNA增益为最大值。IFVGA 控制电压用于设置所需的输出信号幅度。随着射频输入电平增加，IFVGA电压降低。当IFVGA电压达到用户定义的值(RFVGA触发点)时，IFVGA电压固定，RFVGA电压调整至保持需要的输出电平值。

VCO1选择

VCO1产生第一本振(LO1) 频率用于上变频混频器。包括八个VCO的阵列，每个调谐至特定的频带，以覆盖需要的频率范围。通过串行数据接口(SDI) 选择需要的VCO。

频率合成器比较 频率选择

MAX3570/MAX3571/MAX3573的两个片上合成器支持宽范围的比较频率。第一个LO(LO1)的PLL提供250kHz至4MHz的比较频率范围，此时假设参考晶体频率为4MHz。第二个LO(LO2) PLL支持50kHz至2MHz的比较频率范围，这里也同样假设参考晶体频率为4MHz。

对MAX3570 和MAX3571的LO1 ($R1 = 4$) 和LO2 ($R2 = 16$) 建议分别使用1MHz的比较频率和250kHz的比较频率。对MAX3573，建议使用LO2比较频率为142.8571kHz ($R2 = 28$, 4MHz晶体频率)。这些值保证了最优的分辨率，同时可使环路滤波器抑制杂散信号能量并提供可接受的锁定时间。

频率合成器环路 滤波器

三阶低噪声环路滤波器用于每个本振，以获取低杂散和低的相位噪声。选择环路带宽保证充分的杂散抑制和合理的锁定时间。环路滤波器元件值请参考评估板。

晶体振荡器接口

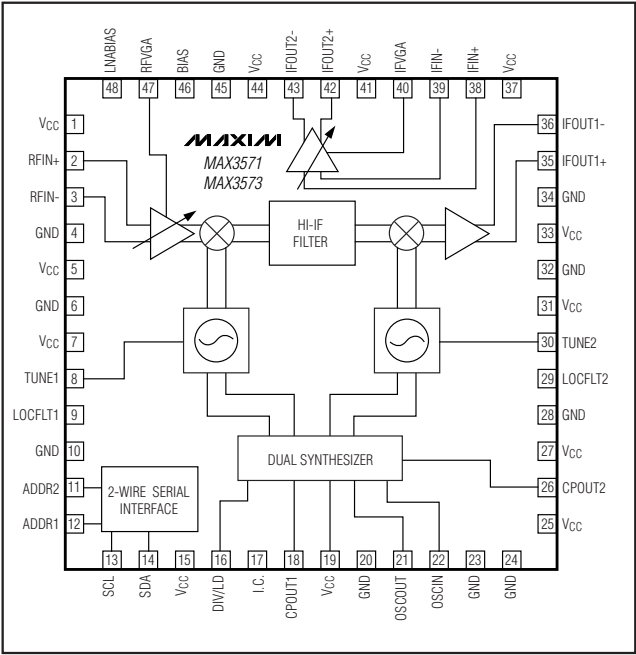
晶体振荡器引脚(OSCIN, OSCOUT) 必须连接到晶体或者外部参考振荡器上。直接连到晶体时，请参考评估板使用元件值。当连接到外部参考振荡器时，用1.5V_{P-P}幅度驱动OSCIN，OSCOUT悬空。

电源布局

为减少芯片不同部分的耦合，理想的电源布局为星型连接，在中心V_{CC}节点处放置大的去耦电容。V_{CC}引线从该节点引出，连接到MAX3570/MAX3571/MAX3573的各个V_{CC}节点。在每个电源线的末端使用连接到地的旁路电容，保证在感兴趣的频率上具有低的阻抗。这样的安排使得在每个V_{CC}的引脚处有本地去耦。在旁路电容处至少使用一个过孔减少接地感抗。

高中频(HI-IF)单片宽带调谐器

引脚排列和
功能框图(续)



匹配网络布局

匹配网络的布局对电路中的寄生成份非常敏感。为减少寄生电感，应保证所有连线尽可能短，元件尽可能靠近芯片。为减少寄生电容，可将匹配网络元件下面的地平面对挖空。请参考评估板推荐的匹配网络。

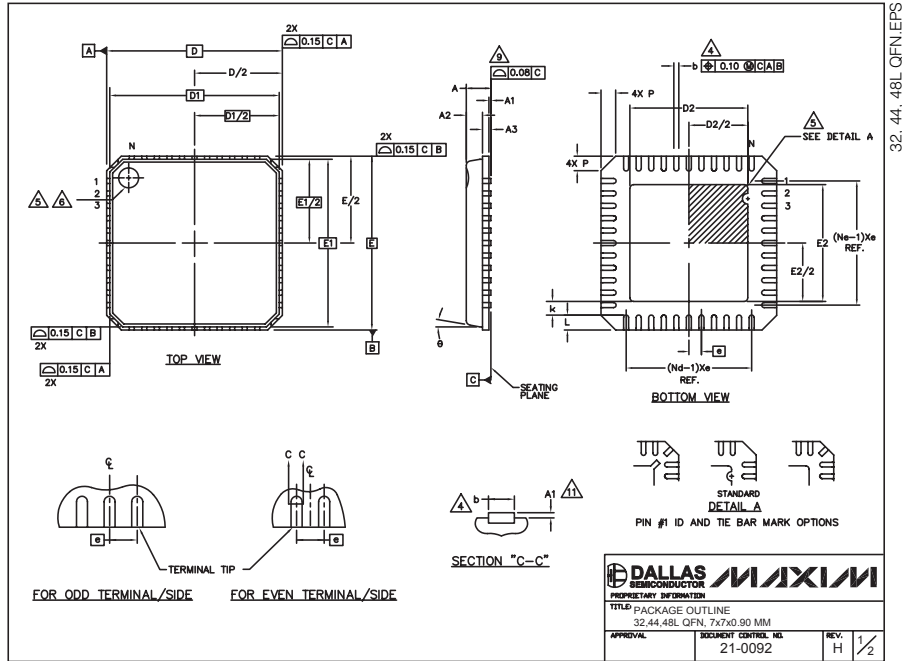
芯片信息

TRANSISTOR COUNT: 18,970
PROCESS: SiGe BiCMOS

高中频(HI-IF)单片宽带调谐器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-integrated.com.cn/packages.)



COMMON DIMENSIONS									
PKG	32L 7x7			44L 7x7			48L 7x7		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.80	0.90	1.00	0.80	0.90	1.00	0.80	0.90	1.00
A1	0.00	0.01	0.05	0.00	0.01	0.05	0.00	0.01	0.05
A2	0.00	0.65	1.00	0.00	0.65	1.00	0.00	0.65	1.00
A3	0.20 REF			0.20 REF			0.20 REF		
b	0.23	0.28	0.35	0.18	0.23	0.30	0.18	0.23	0.30
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
DI	6.75 BSC			6.75 BSC			6.75 BSC		
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
E1	6.75 BSC			6.75 BSC			6.75 BSC		
e	0.65 BSC			0.50 BSC			0.50 BSC		
k	0.25	-	-	0.25	-	-	0.25	-	-
L	0.35	0.55	0.75	0.35	0.55	0.75	0.30	0.40	0.50
N	32			44			48		
Nd	8			11			12		
Ne	8			11			12		
P	0.00	0.42	0.60	0.00	0.42	0.60	0.00	0.42	0.60
U	0"			0"			0"		

NOTES:

- DIE THICKNESS ALLOWABLE IS 0.305mm MAXIMUM (.012 INCHES MAXIMUM).
- DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.
- N IS THE NUMBER OF TERMINALS.
Nd IS THE NUMBER OF TERMINALS IN X-DIRECTION & Ne IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
- △ DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
- △ THE PIN #1 IDENTIFIER MUST EXIST ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR INK/LASER MARKED. DETAILS OF PIN #1 IDENTIFIER IS OPTIONAL, BUT MUST BE LOCATED WITHIN ZONE INDICATED.
- △ EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- PACKAGE WARPAGE MAX 0.08mm.
- △ APPLIED FOR EXPOSED PAD AND TERMINALS.
EXCLUDE EMBEDDED PART OF EXPOSED PAD FROM MEASURING.
- MEETS JEDEC MO220 EXCEPT DIMENSION "b" MINIMUM.
- △ APPLY ONLY FOR TERMINAL.
- THIS PACKAGE OUTLINE APPLIES TO ANVIL SINGULATION(STEPPED SIDES).

EXPOSED PAD VARIATIONS						
PKG CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
G3277-2	4.55	4.70	4.85	4.55	4.70	4.85
G4477-1	3.65	3.80	3.95	3.65	3.80	3.95
G4477-2	4.55	4.70	4.85	4.55	4.70	4.85
G4477-3	3.15	3.30	3.45	3.15	3.30	3.45
G4877-1	4.95	5.10	5.25	4.95	5.10	5.25
G4877-2	5.45	5.60	5.75	5.45	5.60	5.75

DALLAS SEMICONDUCTOR MAXIM

PROPRIETARY INFORMATION

TITLE PACKAGE OUTLINE

32, 44, 48L QFN, 7x7x0.90 MM

APPROVAL

DOCUMENT CONTROL NO.

21-0092

REV.

H

2/2

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 17