

先进的双端 PWM 控制器

ISL6742 是高性能双端(PWM)控制器并具备先进的同步整流控制以及限流临界的特点。它能用于电流以及电压模式控制方法。

ISL6742 为同步整流控制具备互补 PWM 输出端。利用外部控制电压, 这些互补的输出端可以动态地被前置或者延迟。

它的优秀的电流传感电路使用取样及保存的方法提供精确的平均电流信号。适用于平均限流保护, 这种保护方法消除了峰值限流方法的局限, 也适用于均流电路以及平均电流模式控制。

这个先进的 BiCMOS 设计不但兼容了一个可调振荡器其频率高达 2MHz, 内部过温保护, 精确的死区时间控制以及共振延迟控制。另外, 当跳脉冲可能发生的情况下, 多相脉冲抑制能在低工作周期时保证相应的输出脉冲。

订购资料

零件号码	温度范围(°C)	包装	包装图号 #
ISL6742AAZA (See Note)	-40 to 105	16 Ld QSOP (Pb-free)	M16.15A

Add -T suffix to part number for tape and reel packaging.

NOTE: Intersil Pb-free products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which are RoHS compliant and compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.

主要特点

- 延迟/前置可调的同步整流控制输出
- 可调平均电流信号
- 3%峰值限流临界
- 快电流传感延迟
- 可调振荡频率高达 2MHz
- 可调死区时间控制
- 电压或电流模式控制
- RAMP 以及 CS 分开输入益于电压前馈控制或者电流模式控制
- 误差放大器的参考电压具备精确的容差遍及输入、负载和温度范围
- 175µA 启动电流
- 输入电源欠压切断保护
- 可调软启动
- 70ns 上升沿消隐
- 多脉冲抑制
- 内部过温保护
- 不含铅, 以及 EUV, WEEE and RoHS Compliant

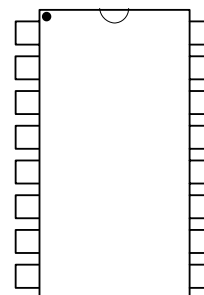
应用

- 半桥, 全桥, 正向交错, 以及推挽转换器
- 电信和信息电源
- 无线基站电源
- 档案服务器电源
- 工业动力系统

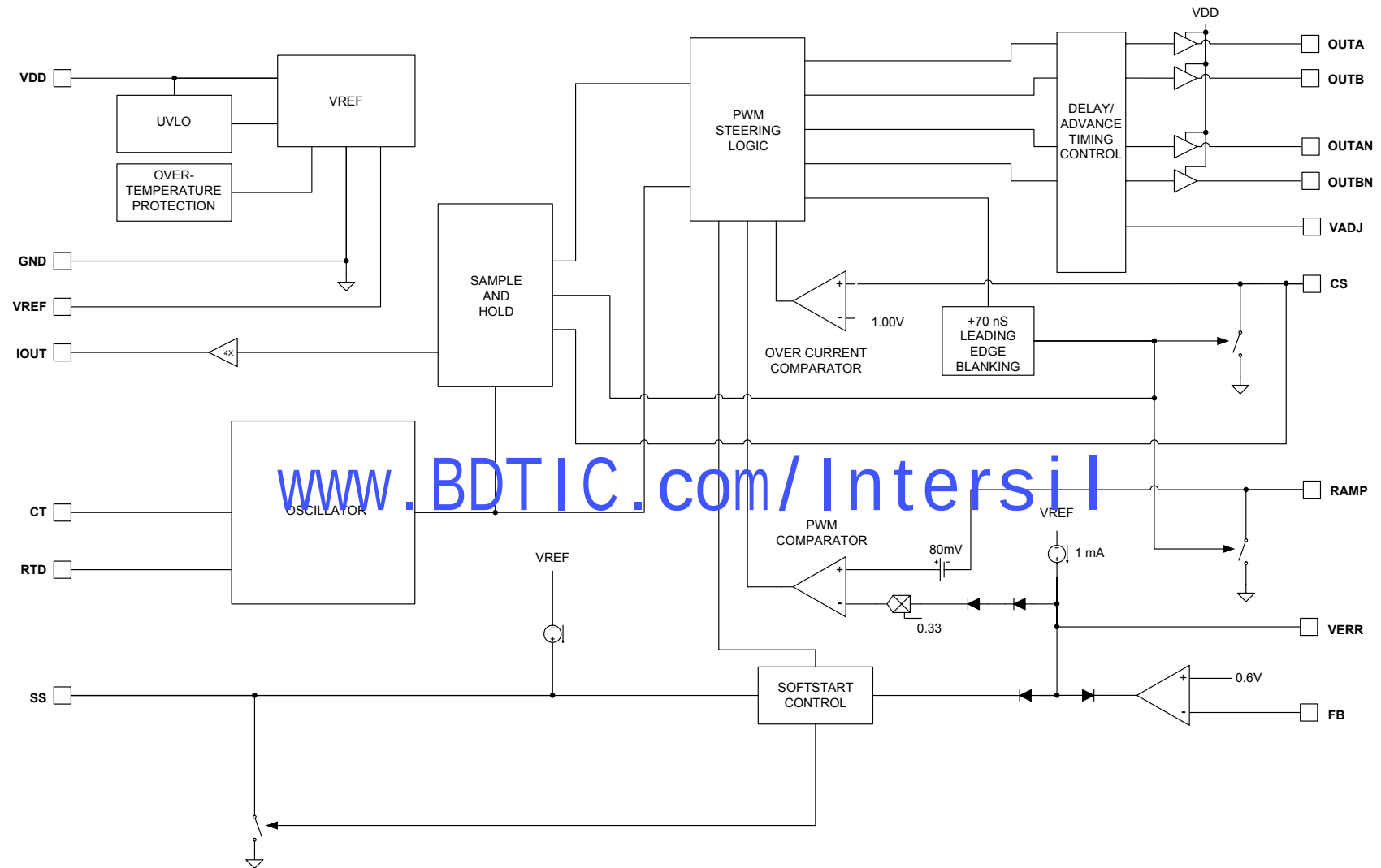
插脚引线

ISL6742 (QSOP)

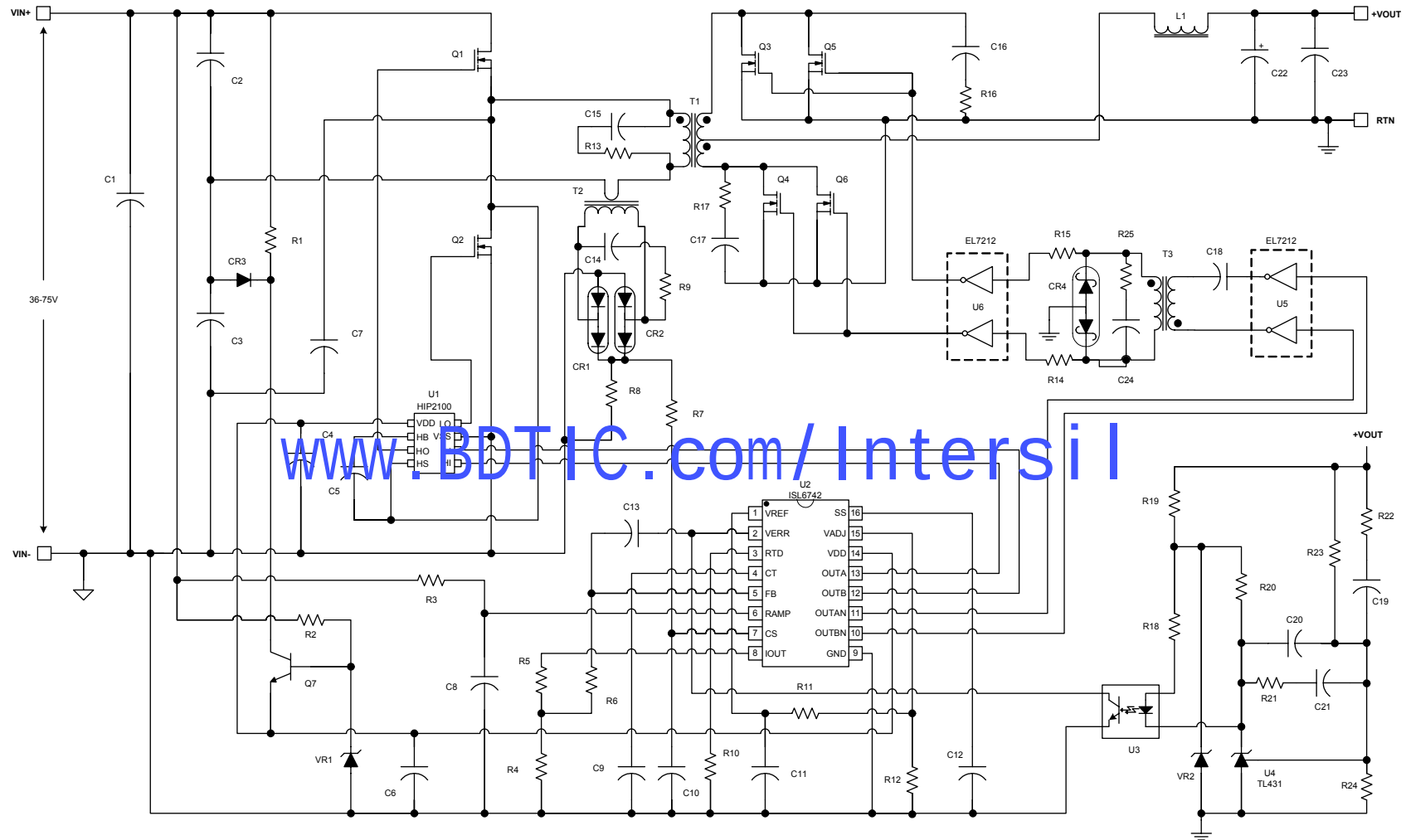
顶视图



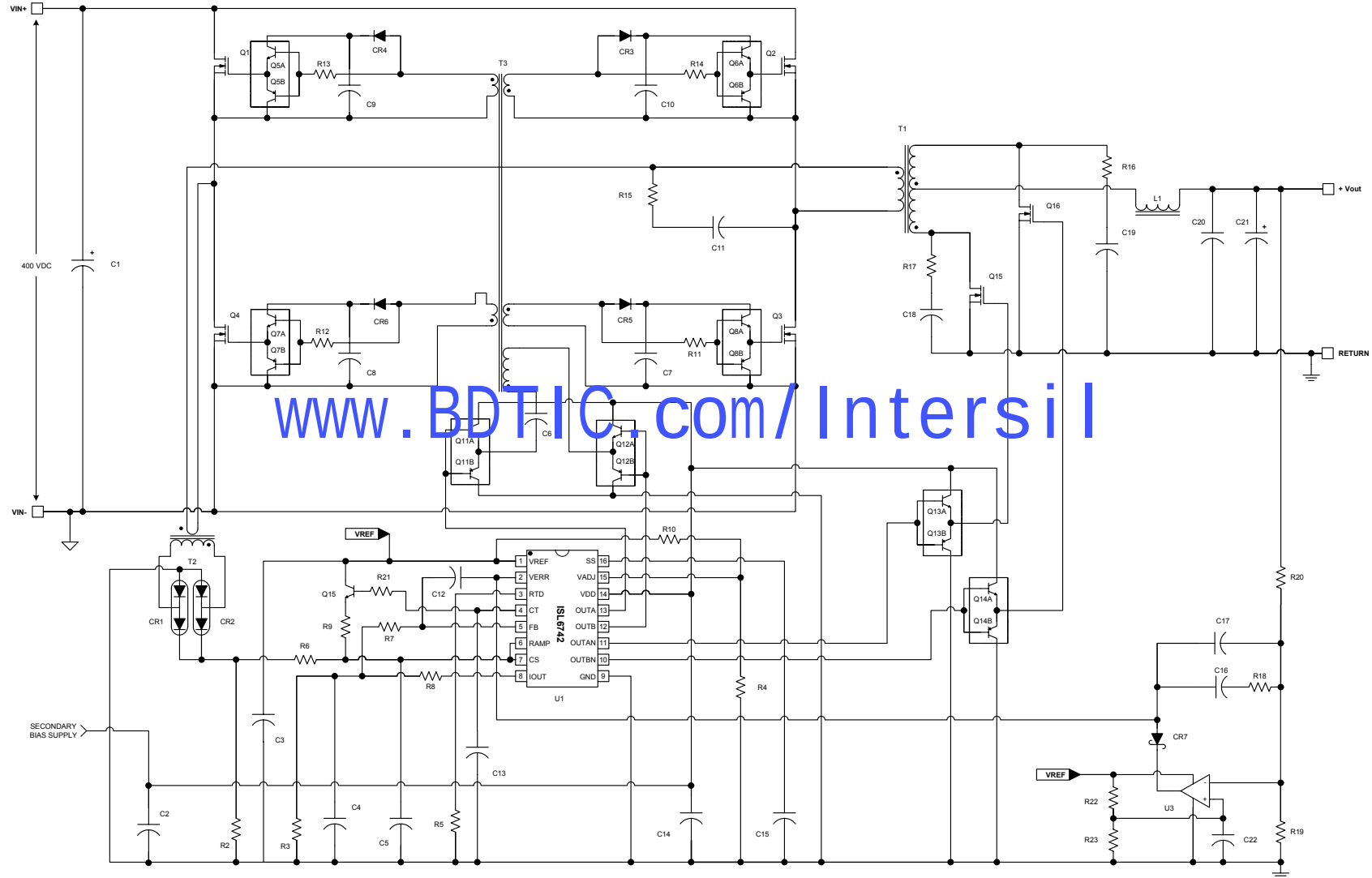
内部电路结构



典型应用电路 – 电信原边半桥式同步整流转换器



典型应用电路 – 高压输入次边控制 ZVS 全桥转换器



ISL6742

额定值

Supply Voltage, VDD ----- GND - 0.3V to +20.0V
 OUTxxx ----- GND - 0.3V to VDD
 Signal Pins ----- GND - 0.3V to V_{REF} +0.3V
 VREF ----- GND - 0.3V to 6.0V
 Peak GATE Current----- 0.1A
 ESD Classification
 Human Body Model (Per MIL-STD-883 Method 3015.7)-----2000V
 Charged Device Model (Per EOS/ESD DS5.3, 4/14/93)-----1000V

运行条件

Supply Voltage Range (Typical)-----9V-16VDC
 Temperature Range
 ISL6742Axx ----- -40°C to 105°C

热性能的资料

Thermal Resistance Junction to Ambient (Typical) θ_{JA} (°C/W)
 16 Lead QSOP (Note 1)-----95
 Maximum Junction Temperature -----55°C to 150°C
 Maximum Storage Temperature Range-----65°C to 150°C
 Maximum Lead Temperature (Soldering 10s)-----300°C
 (QSOP – Lead Tips Only)

CAUTION: Stress above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied.

Notes:

- θ_{JA} is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.
- All voltages are with respect to GND.

电气规范		Electrical Specifications			
Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.					
9V < V _{DD} < 20V, RTD = 10.0kΩ, CT = 470pF, T _A = -40°C to 105°C (Note 3), Typical values are at T _A = 25°C.					
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY VOLTAGE					
Supply Voltage		-	-	20	V
Start-Up Current, I _{DD}	V _{DD} = 1.0V	-	175	400	μA
Operating Current, I _{DD}	R _{LOAD} , C _{OUT} = 0	-	7.5	12	mA
UVLO START Threshold		8	8.75	9	V
UVLO STOP Threshold		6.5	7	7.5	V
Hysteresis		-	1.75	-	V
REFERENCE VOLTAGE					
Overall Accuracy	I _{VREF} = 0 - 10mA	4.85	5	5.15	V
Long Term Stability	TA = 125°C, 1000 hours (Note 4)	-	3	-	mV
Operational Current (source)		-10	-	-	mA
Operational Current (sink)		5	-	-	mA
Current Limit	VREF = 4.85V	-15	-	-100	mA
CURRENT SENSE					
Current Limit Threshold	VERR = VREF	0.97	1	1.03	V
CS to OUT Delay	Excl. LEB (Note 4)	-	35	50	ns
Leading Edge Blanking (LEB) Duration	(Note 4)	50	70	100	ns
CS to OUT Delay + LEB	T _A = 25°C	-	-	130	ns
CS Sink Current Device Impedance	V _{CS} = 1.1V	-	-	20	Ω
Input Bias Current	V _{CS} = 0.3V	-1.0	-	1.0	μA

ISL6742

电气规范		Electrical Specifications			
Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.					
9V < V _{DD} < 20V, RTD = 10.0kΩ, CT = 470pF, T _A = -40°C to 105°C (Note 3), Typical values are at T _A = 25°C. (continued)					
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
IOUT Sample and Hold Buffer Amplifier Gain	T _A = 25°C	4	4.09	4.15	V/V
IOUT Sample and Hold VOH	V _{CS} = 1.00V, I _{LOAD} = -300μA	3.9	-	-	V
IOUT Sample and Hold VOL	V _{CS} = 0.00V, I _{LOAD} = 10μA	-	-	0.3	V
RAMP					
RAMP Sink Current Device Impedance	V _{RAMP} = 1.1V	-	-	20	Ω
RAMP to PWM Comparator Offset	T _A = 25°C	65	80	95	mV
Bias Current	V _{RAMP} = 0.3V	-5	-	-2	μA
Clamp Voltage	(Note 4)	6.5	-	8	V
SOFT-START					
Charging Current	SS = 3V	-60	-70	-80	μA
SS Clamp Voltage		4.41	4.5	4.59	V
SS Discharge Current	SS = 2V	10	-	-	mA
Reset Threshold Voltage	T _A = 25°C	0.23	0.27	0.33	V
ERROR AMPLIFIER					
Input Common Mode (CM) Range	(Note 4)	0	-	VREF	V
GBWP	(Note 4)	5	-	-	MHz
VERR VOL	I _{LOAD} = 2mA	-	-	0.4	V
VERR VOH	I _{LOAD} = 0mA	4.2	-	-	V
VERR Pull-Up Current Source	VERR = 2.50V	0.8	1	1.3	mA
EA Reference	TA = 25°C	0.594	0.6	0.606	V
EA Reference + EA Input Offset Voltage		0.59	0.6	0.612	V
PULSE WIDTH MODULATOR					
Minimum Duty Cycle	VERR < 0.6V	-	-	0	%
Maximum Duty Cycle (per half-cycle)	VERR = 4.20V, V _{RAMP} = 0V, V _{CS} = 0V (Note 5)		94		%
	RTD = 2.00kΩ, CT = 220pF	-	97	-	%
	RTD = 2.00kΩ, CT = 470pF	-	99	-	%
Zero Duty Cycle VERR Voltage		0.85	-	1.2	V
VERR to PWM Comparator Input Offset	T _A = 25°C	0.7	0.8	0.9	V
VERR to PWM Comparator Input Gain		0.31	0.33	0.35	V/V
Common Mode (CM) Input Range	(Note 4)	0	-	4.45	V
OSCILLATOR					
Frequency Accuracy, Overall	(Note 4)	165	183	201	kHz
		-10	-	10	%
Frequency Variation with VDD	T _A = 25°C, (F _{20V} - F _{10V})/F _{10V}	-	0.3	1.7	%
Temperature Stability	VDD = 10V, F _{-40°C} - F _{0°C} /F _{0°C}	-	4.5	-	%
	F _{0°C} - F _{105°C} /F _{25°C} (Note 4)	-	1.5	-	%

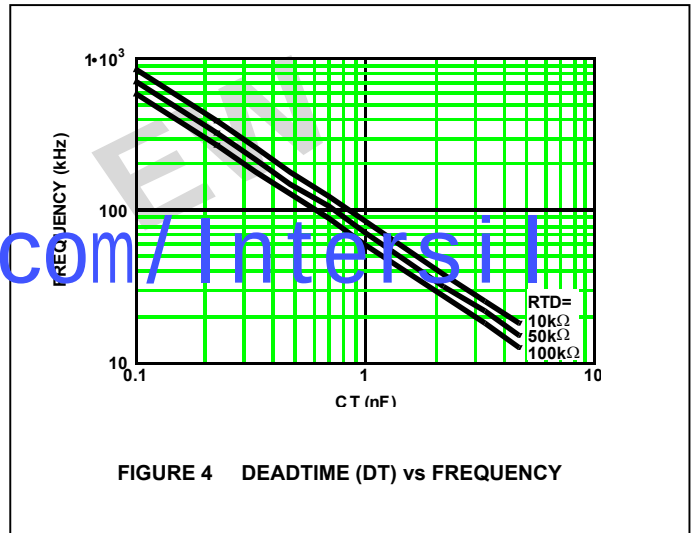
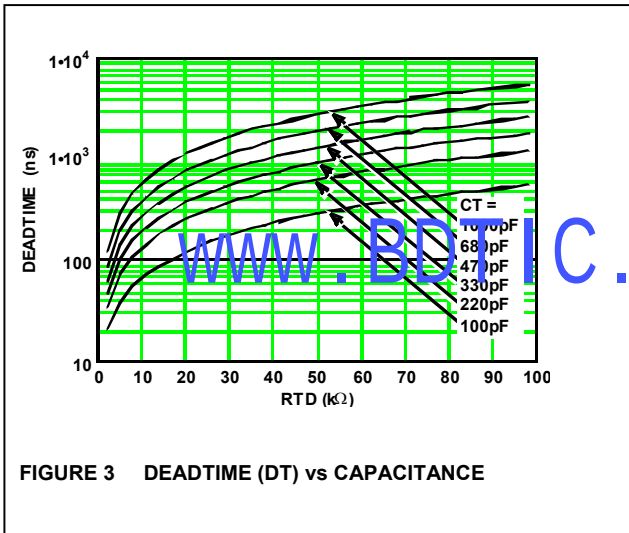
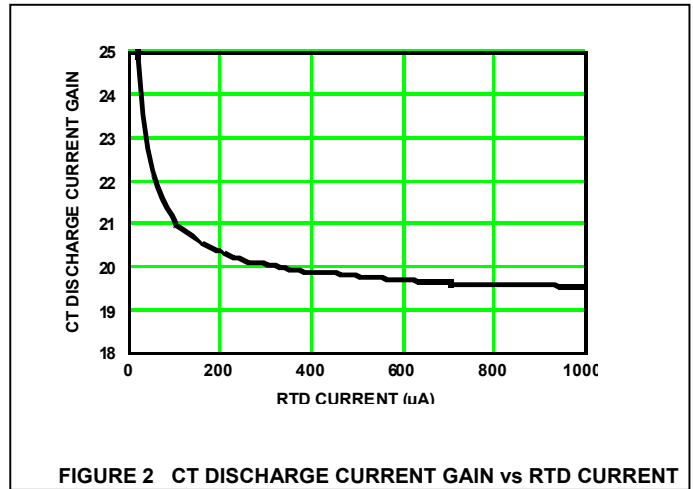
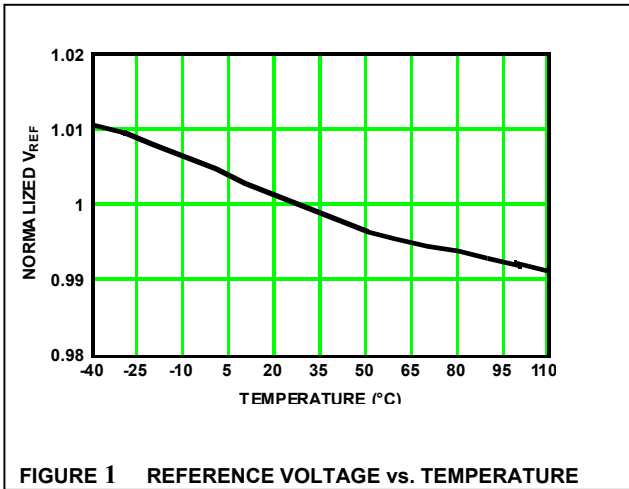
ISL6742

电气规范		Electrical Specifications			
Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.					
9V < V _{DD} < 20V, RTD = 10.0kΩ, CT = 470pF, T _A = -40°C to 105°C (Note 3), Typical values are at T _A = 25°C.					
Charge Current	T _A = 25°C, V _{CS} = 1.8V	-193	-200	-207	μA
Discharge Current Gain		19	21	23	μA/μA
CT Valley Voltage	Static Threshold	0.75	0.8	0.88	V
CT Peak Voltage	Static Threshold	2.75	2.8	2.88	V
CT Pk-Pk Voltage	Static Value	1.92	2	2.05	V
RTD Voltage		1.97	2	2.03	V
OUTPUT					
High Level Output Voltage (VOH)	I _{OUT} = -10mA, VDD - VOH	-	0.5	1	V
Low Level Output Voltage (VOL)	I _{OUT} = 10mA, VOL - GND	-	0.5	1	V
Rise Time	C _{OUT} = 220pF, VDD = 15V (Note 4)	-	110	200	ns
Fall Time	C _{OUT} = 220pF, VDD = 15V (Note 4)	-	90	150	ns
UVLO Output Voltage Clamp	VDD = 7V, I _{LOAD} = 1mA (Note 6)	-	-	1.25	V
Output Delay/Advance Range OUTAN/OUTBN relative to OUTA/OUTB					
	V _{ADJ} = 2.50V (Note 4)	-	-	3	ns
	V _{ADJ} < 2.425V	-40	-	-300	ns
	V _{ADJ} > 2.575V	40	-	300	ns
Delay Control Voltage Range					
OUTAN/OUTBN relative to OUTA/OUTB	OUTxN Delayed	2.575	-	5	V
	OUTx Delayed	0	-	2.425	V
VADJ Delay Time	T _A = 25°C (OUTx Delayed)				
	VADJ = 0	230	300	320	ns
	VADJ = 0.5V	92	105	118	ns
	VADJ = 1.0V	61	70	80	ns
	VADJ = 1.5V	48	55	65	ns
	VADJ = 2.0V	41	50	58	ns
	T _A = 25°C (OUTxN Delayed)				
	VADJ = VREF	280	300	320	ns
	VADJ = VREF - 0.5V	86	100	114	ns
	VADJ = VREF - 1.0V	59	68	77	ns
	VADJ = VREF - 1.5V	47	55	62	ns
	VADJ = VREF - 2.0V	41	48	55	ns
THERMAL PROTECTION					
Thermal Shutdown	(Note 4)	130	140	150	°C
Thermal Shutdown Clear	(Note 4)	115	125	135	°C
Hysteresis, Internal Protection	(Note 4)	-	15	-	°C

NOTES:

- Specifications at -40°C and 105°C are guaranteed by 25°C test with margin limits.
- Guaranteed by design, not 100% tested in production.
- This is the maximum duty cycle achievable using the specified values of RTD and CT. Larger or smaller maximum duty cycles may be obtained using other values for these components. See Equation 1-3.
- Adjust VDD below the UVLO stop threshold prior to setting at 7V.

典型性能曲线图



各管脚简介

VDD

VDD是控制器的电源输入端。要优化抗扰度, 用一个陶瓷电容器尽可能靠近并跨接在VDD和GND引脚。

监测VDD是用来做输入电源欠压保护 (UVLO)。启动和切断的临界会密切跟随以保证固定的磁滞。

GND

器件上所有功能和电源地都以这个引脚为基准。由于高峰值电流以及高频运行, 低阻抗布局是很有必要的。高度推荐使用接地面以及短线迹。

VREF

这是 5.00V 的基准电压输出端, 且有 3% 的容差遍及输入、负载和温度范围。可连接 0.1 μ F 至 2.2 μ F 的低 ESR 电容至 GND 以作滤波这输出所需。

CT

振荡器的定时电容可以跨接在这个引脚和GND之间。这个电容是用200 μ A 的内部电流源来充电, 其放电是通过用户可以调整的RTD设置的电流源。

RTD

这是振荡器的定时电容的放电电流制引脚。跨接在这引脚和GND的电阻的电流决定CT放电电流的大小。CT放电电流通常是电阻电流的20倍。这个PWM的死区时间是由定时电容的放电期间来决定的。在RTD引脚的标称电压是2.00V。最小的可用RTD阻值为2k Ω 。

CS

这是过流比较器以及平均电流取样及保存电路的输入端。过流比较器的标称临界值设置在1.00V。PWM输出的任一端被终止会导致CS引脚与GND引脚短路。

取决于电流取样的内部阻抗, 由于内部时钟与外部电源开关之间的延迟, 可以在输入端串联一个电阻。这个延迟有时会导致CS引脚在电源开关器件关断之前被放电。

OUTA and OUTB

这两个PWM输出端是用来控制FETs交替式运行。

OUTAN and OUTBN

这些输出端与OUTA和OUTB成互补。这些输出端可以用来控制同步整流器。每个输出端与其互补端的相位关系是由VADJ的电压值来控制的。

VADJ

这个引脚从0V到5V的控制电压设置OUTA/OUTB和OUTAN/OUTBN相对延迟或者前置。

相对于OUTA/OUTB, 电压低于2.425V会导致OUTAN/OUTBN相对前置。相对于OUTA/OUTB, 电压高于2.575V会导致OUTAN/OUTBN相对延迟。电压值为2.50 V $\pm$ 75mV会导致零相位差。如果这个输入端悬浮, 从VREF分压50%的内部电压会导致无延迟相位。

相位延迟/前置的范围是0或者是40ns与300ns之间, 随着与2.5V电压差的增加, 相位差也会增大。控制电压与相位差的关系是非线性的。当控制电压接近2.5V时, 电压增益($\Delta t/\Delta V$)是很小的, 并且会随着电压接近控制极限而很快地增大。当选择一个相当短的延迟/前置时, 这个特点为用户提供不断的准确性。

IOUT

这是取样及保存电路的4倍缓冲放大器的输出端。这个电路是用来攫取及平均CS信号。

RAMP

这是PWM比较器的锯齿波的输入端。在PWM信号中断时, 这个引脚会与GND短路。这个输入信号必须是锯齿波型。如果是电流模式控制, 这个引脚必须直接与CS引脚相接, 同时, 电流环路的反馈信号也应与两个输入端相接。如果是电压模式控制, 这个锯齿型振荡波可以被缓冲后用来产生合适的信号, 或者, RAMP引脚可以通过RC网络与输入电压相连以取得正向馈电控制效果; 或者, RAMP引脚也可以通过RC网络与VREF导通来产生所需的锯齿波型。

FB

这是误差信号放大器的反相输入端。这个放大器可以用来作电压反馈的误差信号放大, 也可以用来作平均限流放大器。如果这个放大器没有被使用, FB引脚应与GND短路。

VERR

VERR引脚是误差信号放大器的输出端并且是PWM比较器的反相输入端。反馈补偿的元件可以接在VERR引脚与FB引脚之间。VERR具有额定值为1mA上拉电流源。在VERR信号上作电压钳位可以用来实现软启动。

当VERR电压小于0.6V时, OUTA和OUTB输出端的工作周期减少到0%。与此同时, OUTA和OUTB的互补输出端, OUTAN和OUTBN的工作周期将增加到100%。

SS

在这个引脚与GND之间连接一个软启动时序电容能够控制软启动的时间。这个电容值能够决定在启动时工作周期上升的速度。为了提高无噪声干扰, 建议使用至少100pF的电容, 尽管没有最小电容的要求。

通过一个小晶体管的集电极(漏极)开路方式与GND短路, SS引脚也可以用来禁止输出电压的上升。

功能概述

主要特点

ISL6742最适用于需用精确占空比和死区控制的低成本桥型和推挽型拓扑结构的变换器。它有许多保护和控制的性能, 需要极少外部元件。其性能包括: 电流模式或电压模式控制, 可调软启动, 峰值和平均过流保护, 过热保护, 可调延迟或增加时间的同步整流器输出, 和可调振荡器频率。

振荡器

ISL6742通过改变电阻和电容可调振荡器频率高达2MHz。

开关周期是定时电容充电和放电时间之和。充电时间由 C_T 和内部200 μ A电流源决定, 而放电时间取决于RTD和 C_T 。

$$T_C \approx 11.5 \cdot 10^3 \cdot C_T \quad \text{EQ. 1}$$

$$T_D \approx (0.06 \cdot RTD \cdot C_T) + 50 \cdot 10^{-9} \quad \text{EQ. 2}$$

$$T_{SW} = T_C + T_D = \frac{1}{F_{SW}} \quad \text{EQ. 3}$$

式中: T_C 和 T_D 分别是充电和放电时间, T_{SW} 是振荡器周期; F_{SW} 是振荡器频率。ISL6742是一双端控制器, 一个输出的开关周期等于二个振荡器周期。由于每个传输延迟约为10ns, 因此实际时间比所计算的时间稍微长。这个延迟直接增加到开关时间, 且引起定时电容峰值和谷电压门限过冲, 因而增大了定时电容峰-峰的电压。另外, 如果使用非常低的充电和放电电流, 时间误差将会因 C_T 引脚处的输入阻抗而增加。

最大占空比(D)和死区时间百分比(DT)可用以下公式计算:

$$D = \frac{T_C}{T_{SW}} \quad \text{EQ. 4}$$

$$DT = 1 - D \quad \text{EQ. 5}$$

实现软启动运作

ISL6742使用外部电容和内部电流电源来作软启动。软启动降低启动期间的电压和浪涌电流。

启动时, 软启动电路限制误差电压(VERR)等于软启动电压。输出脉宽随着软启动电容电压增加而增加, 这使软启动期间的占空比可从零增加到调整脉宽。当软启动电压超过误差电压, 软启动完成。软启动开始于启动或因故障而复位时。软启动充电时间可用下式计算:

$$t = 64.3 \cdot C \quad \text{mS} \quad \text{EQ. 6}$$

式中: t 是充电时间, 其单位为mS; C 是软启动电容, 其单位为 μ F。软启动时间通常少于或等于此值, 取决于什么时候反馈环得到控制。软启动电压钳位于4.50V, $\pm 2\%$ 总容差。它适用于电流需保持低于70 μ A充电电流的软启动。

用SS引脚为失效输入端来实现输出截止。把SS拉低于0.25V使所有输出降低。用漏极开路方式联接失效信号于SS引脚。

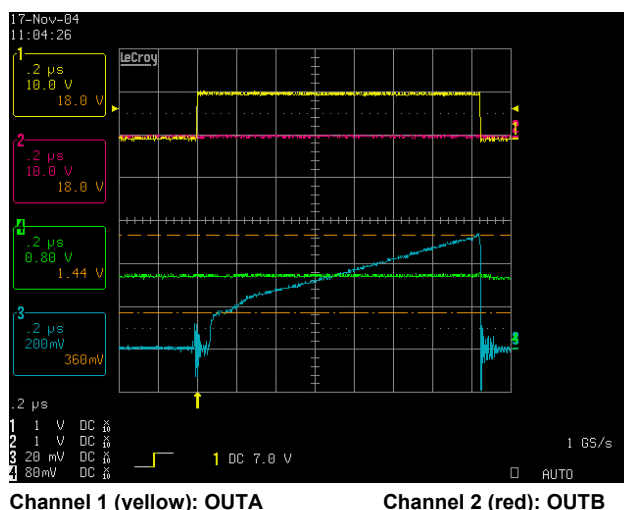
门极驱动器

ISL6742的输出可灌出和吸入10mA电流(在额定的 V_{OH} , V_{OL}), 应连接于高电流的MOSFET门极驱动器或分立式的双极推挽驱动器。典型的输出电阻是50 Ω 。

过流运作

电源供应设计可用两种过流保护方法。第一种方法是反应快的周期式峰值电流保护。第二种方法是一种可产生不变或“砌墙式”电流限制状态的较慢和均衡的方法。如果设计是电压模式控制, 平均过流保护可通过保持占空比对称于1/2周期间而保持变压器磁性流量均衡。

CS引脚的电流感应信号连接于峰值电流比较器和取样及保存均衡电路。在导通期间及上升沿封锁(LEB)延迟70ns后, 电流感应信号被取样, 确定周期的平均电流, 且放大4倍输出于IOUT引脚。若RC滤波器设在CS输入端, 其时间常数应不超过约50ns, 否则IOUT会出现重大误差。



Channel 1 (yellow): OUTA

Channel 2 (red): OUTB

Channel 3 (blue): CS

Channel 4 (green): IOUT

FIGURE 5

CS INPUT vs IOUT

图5显示了在稳定状态下CS信号和IOUT之间的关系。IOUT为4倍的CS平均数。图6显示了外部正弦波调整CS时均流电路的动态。在输出脉冲终止时，IOUT会由取样及保存电路重新调整。

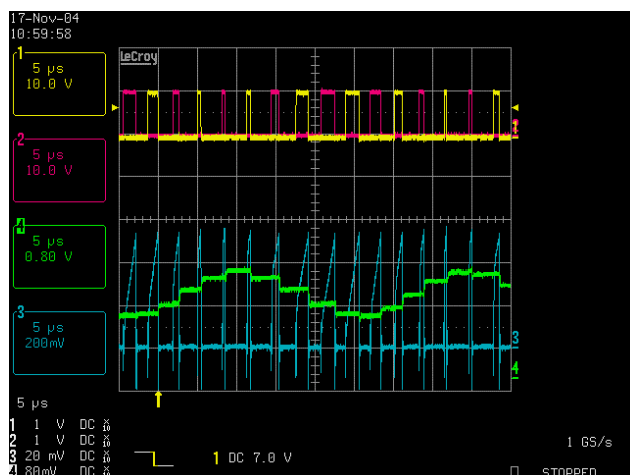


FIGURE 6

DYNAMIC BEHAVIOR OF CS vs IOUT

IOUT 代表精确的平均电流信号只要输出电感电流是连续的 (CCM 运行)。一旦电感电流成为不连续的运行(DCM 运行)，IOUT 输出的是 1/2 峰值电感电流而不再是平均电流。这是因为取样及保存电路只在开导通期间运行。在关断期间电感电流达到零时就无法检测出了。

若需平均过流限制，将IOUT分割至所需的振幅后和过滤于ISL6742的误差放大器。收效信号会输入到电流误差放大器(IEA)。除IEA没有电流源外，它类似大多数PWM控制器的电压误差放大器(EA)，但VERR有内部1mA的上拉电流源。

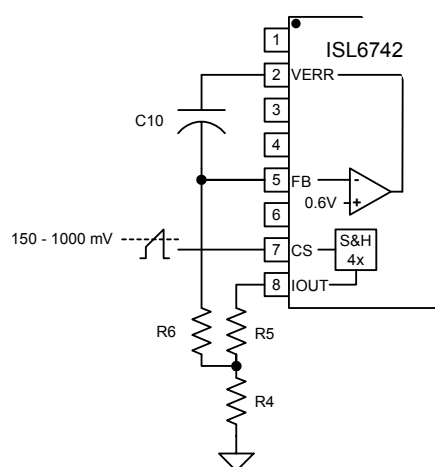


FIGURE 7 AVERAGE OVERCURRENT IMPLEMENTATION

以内部 0.6V 为参考，配置 IEA 作为(型号 I)集成放大器。FB 与 0.6V 之间的误差放大及过滤后产生的收效信号，VERR，将与 RAMP 的锯齿电压比较产生 PWM 信号。如果 FB 比 0.6V 少，IEA 会开环(断开电源)，VERR 则会处于由电压环所决定的电平，且不影响占空比。IOUT 会随输出负载增加而增加，且 FB 的电压也会增加至 0.6V。此时 IEA 会降低 VERR 以保持 0.6V 时的输出电流。当输出电流再次下降低于平均电流门限值时，IEA 又回到开环状态，而占空比会由电压环控制。

在典型的电源中，平均电流控制环除了调控的是电流而不是电压外，其运作如电压控制环一样。

如上所述，ISL6742的有效EA可用电压EA作电压反馈控制环而不用电流EA。电流或电压EA可用一外部操作安培阻止电流流入VERR。外部EA必须只吸入电流，可通过加接一个二极管于其输出端来实现。

4 倍的检验品和举行缓冲增益可产生 150 - 1000mV 的峰值 CS 信号，取决于 IOUT 的电阻分割器。平均电流环的总带宽则由总电流 EA 补偿和 IOUT 的分割器所确定。

假设 $R6 \gg (R4 \parallel R5)$ ，电流 EA 交界频率为

$$f_{CO} = \frac{1}{2\pi \cdot R6 \cdot C10} \text{ Hz}$$

EQ. 7

式中 f_{CO} 是交界频率。可并联一电容于 $R4$ 以作双极过滤。

平均电流环带宽通常设置为少于开关频率，典型地少于5kHz或几百赫兹。尤其适用于大浪涌电流的应用。平均电流环可设置稳定过流门限和比所需瞬变较长的时间。峰值电流限制可设高于所需瞬变，这样就不会受瞬变的干扰，但仍需防止短期的较大故障。实质上可有2个阶段的过流反应。

峰值过流状况类似于大多数PWM控制器。若峰值电流超过 1.0V，输出脉宽会立刻终止。

如果电压模式控制用于桥型拓扑结构，应注意峰值电流限制会导致不稳定操作。电压模式桥型拓扑结构的 DC 锁电容会不平衡，如变压器磁芯的磁流量。平均过流电路通过保持每 1/2 周期的占空比对称来防止这种状况。如果不用平均电流限制电路，建议用外部元件来锁住过流关断的方法。

CS 到输出传播延迟会因上升沿封锁(LEB)的间隔而增加。有效延迟是两个延迟之和，最大值为 130ns。

电压前馈操作

电压前馈是用以调整输出电压因输入电压变化而没有控制环干预的一种技巧。电压前馈常用于电压模式控制环，但是不需用于峰值电流模式控制环。

电压前馈操作是通过调整锯齿斜坡与输入电压的直接比例来实现。举例如图8。

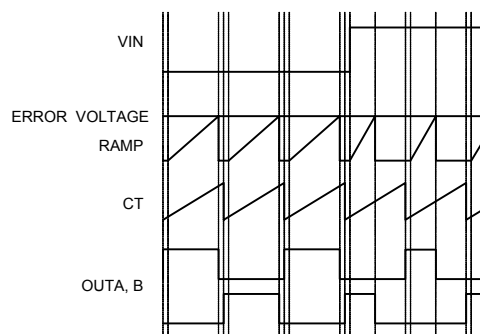


FIGURE 8 VOLTAGE FEED FORWARD BEHAVIOR

输入电压前馈可用RAMP输入来实现。在输入电压和接地之间连接一RC网络，如图9所示，会产生一个与输入电压的振幅成比例的电压斜坡。在输出脉冲的终止时把RAMP释放到接地以产生反复的锯齿波。RAMP锯齿波与VERR电压的比确定占空比。RC元件的选择取决于所需输入电压范围和振荡器的频率。选用适合的RC元件使在半周期内最低输入电压的斜坡振幅达到1.0V。

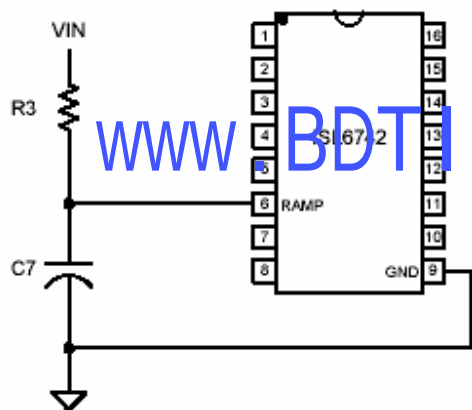


FIGURE 9 VOLTAGE FEED FORWARD CONTROL

参见图9，斜坡电容的充电时间为

$$t = -R3 \cdot C7 \cdot \ln\left(1 - \frac{V_{RAMP(PEAK)}}{V_{IN(MIN)}}\right) \quad \text{S} \quad \text{EQ. 8}$$

要达到最佳效果，电容的最大值应限制在10nF。通过电阻的DC电流应限制为3mA。例如，若振荡器频率是400kHz，最小输入电压是300V，选择4.7nF的斜坡电容，整理公式8可求得电阻值。

$$R3 = \frac{-t}{C7 \cdot \ln\left(1 - \frac{V_{RAMP(PEAK)}}{V_{IN(MIN)}}\right)} = \frac{-2.5 \cdot 10^{-6}}{4.7 \cdot 10^{-9} \cdot \ln\left(1 - \frac{1}{300}\right)} = 159 \quad \text{k}\Omega$$

EQ. 9

式中t等于振荡器时间减去死区时间。如果死区时间少于振荡器时间，可忽略此项计算。

电压前馈实现时会令变压器的volt-sec钳位。最大的占空比由较少的振荡周期或RAMP充电时间所确定，RAMP充电时间随输入电压增加而减少，并相应地限制占空比。

如果不需要前馈操作，可连接RC网络于VREF或一缓冲CT信号，而不是输入电压。恰当的PWM操作需要在RAMP上产生一锯齿波。

实现同步化

与外部时钟信号同步可用如没有分隔的同步输入的PWM控制器的同样方法来实现。加设一短脉冲横跨于与定时电容相连的小电阻，可使振荡器锯齿波提前终止。

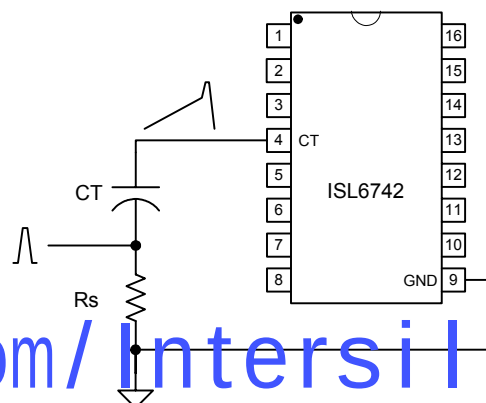


FIGURE 10 SYNCHRONIZATION TO AN EXTERNAL CLOCK

所加的脉宽应少于锯齿波释放时间。

同步整流器输出和控制

ISL6742具有双端PWM输出，OUTA和OUTB；和同步整流器(SR)输出，OUTAN和OUTBN。SR输出是PWM输出的补码。补码输出应连接于PWM输出的反方向，例如，OUTA和OUTBN是一对，OUTB和OUTAN是一对。

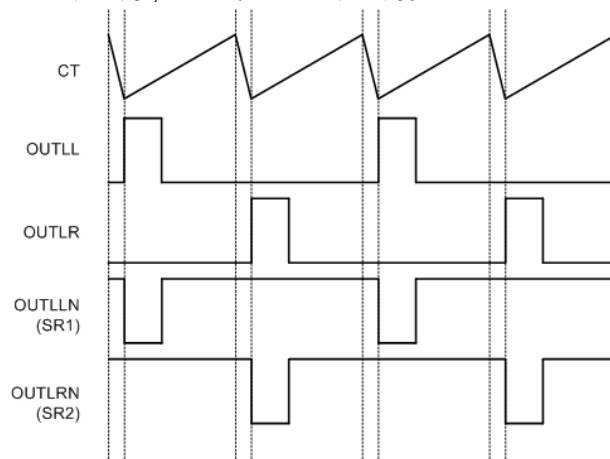


FIGURE 11 BASIC WAVEFORM TIMING

参见图11，SRs交替开通于周期的自由运行期间(OUTA/B关断)，OUTA或OUTB在一个开通时其另一个是关断的。如果OUTA开通，相应地SR必须是导通的，这表示OUTBN的SR控制信号正确。同样地，如果OUTB开通，相应地SR必须是导通的，这表示OUTAN的SR控制信号正确。

ISL6742有一非常用的性能就是可调PWM输出(OUTA,B)和它们的补码(OUTAN,BN)相位关系间隔 $\pm 300\text{ns}$ 。这一性能允许补偿PWM FETs和SR FETs间的信号传播延迟的差异。而供应到VADJ的电压控制相位关系。图12和13显示了这延迟关系。

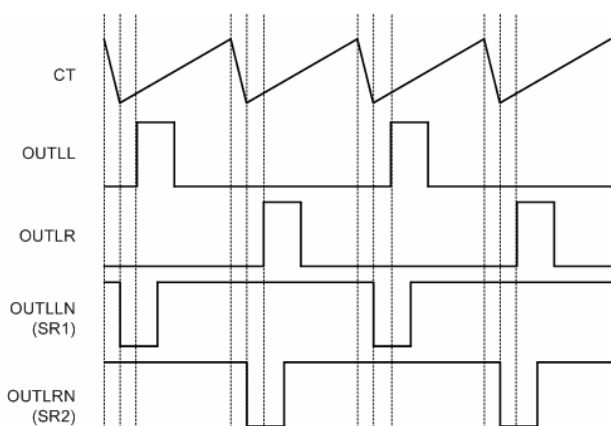


FIGURE 12 WAVEFORM TIMING WITH PWM OUTPUTS DELAYED, $0\text{V} < \text{VADJ} < 1.25\text{V}$

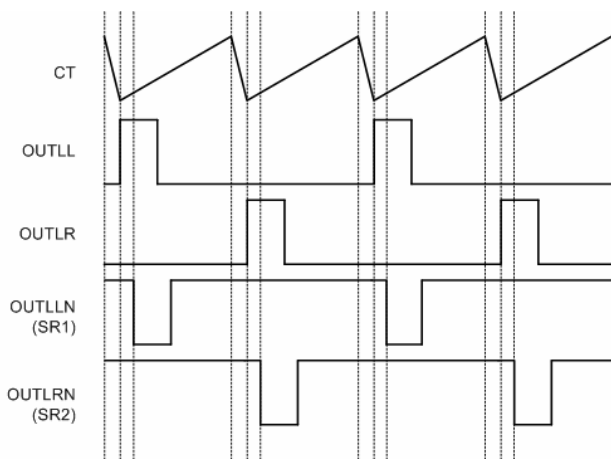


FIGURE 13 WAVEFORM TIMING WITH SR OUTPUTS DELAYED, $2.575\text{V} < \text{VADJ} < 5.00\text{V}$

设 VADJ 为 VREF/2 是没有任何输出延迟。没有延迟电压会有 $\pm 75\text{mV}$ 容差窗口。控制电压低于 VREF/2 零延迟门限会引起 PWM 输出 OUTA/B 延迟。控制电压高于 VREF/2 零延迟门限则会引起 SR 输出 OUTAN/BN 延迟。值得注意的是当 PWM 输出 OUTA/B 延迟，CS 到输出传播延迟会因这延迟的增加而增加。

通常在一组信号横跨原边-副边隔离范围时 PWM 和 SR 输出间的传播延迟会不相符，而这延迟功能就是用以补偿这不相符的传播延迟。根据需要可用外部电阻，电容和二极管来扩张或压缩个别的输出脉冲。

斜率补偿

峰值电流模式控制需要用斜率补偿来改善噪音干扰，在低负载时可阻止电流环的不稳定，特别是占空比高于50%时。可通过加接一外部斜坡到反馈电流信号或在反馈电压误差信号减接一外部斜坡来实现斜率补偿。加接一外部斜坡到反馈电流信号是较为常用的方法。

小信号电流型[1]显示了自然抽样调制器的增益。Fm，无斜率补偿，是

$$F_m = \frac{1}{S_n T_{sw}} \quad \text{EQ. 10}$$

式中：Sn是锯齿信号的斜率。Tsw是半周时间。若加接一外部斜坡，调制器的增益则为

$$F_m = \frac{1}{(S_n + S_e) T_{sw}} = \frac{1}{m_c S_n T_{sw}} \quad \text{EQ. 11}$$

式中：Se是外部斜坡的斜率以及

$$m_c = 1 + \frac{S_e}{S_n} \quad \text{EQ. 12}$$

50%的振荡器频率的双极阻尼系数决定外部斜坡的基准额。若Q系数设置为1，双极会临界阻尼；Q > 1时，过阻尼；Q < 1则会欠阻尼。欠阻尼会引起电流环不稳定。

$$Q = \frac{1}{\pi(m_c(1-D) - 0.5)} \quad \text{EQ. 13}$$

式中：D是半周期时间的占空比。设定Q = 1求得Se为

$$S_e = S_n \left(\left(\frac{1}{\pi} + 0.5 \right) \frac{1}{1-D} - 1 \right) \quad \text{EQ. 14}$$

Sn和Se分别是电流斜坡和外部斜坡导通时的斜率，与导通时间(TON)之积是导通时间(TON)内所产生的电压变化。

$$V_e = V_n \left(\left(\frac{1}{\pi} + 0.5 \right) \frac{1}{1-D} - 1 \right) \quad \text{EQ. 15}$$

式中：Vn是导通时间内反馈电流信号的变化，Ve是加外部斜坡所增加的电压。用输入电压，电流传感器元件和输出电感可求出Vn，代入等式15，可求出Ve。

$$V_e = \frac{T_{sw} \cdot V_o \cdot R_{CS}}{N_{CT} \cdot L_o} \cdot \frac{N_s}{N_p} \left(\frac{1}{\pi} + D - 0.5 \right) V \quad \text{EQ. 16}$$

式中： R_{CS} 是电流感应电阻， N_{CT} 是电流变压器线圈比例， L_O 是输出电感， V_O 是输出电压，而 N_S 和 N_P 分别是副边和原边线圈。

电感电流通过隔离变压器和电流感应变压器的反射而在感应电阻上产生的反馈电流信号为

$$V_{CS} = \frac{N_S \cdot R_{CS}}{N_P \cdot N_{CT}} \left(I_O + \frac{D \cdot T_{SW}}{2L_O} \left(V_{IN} \cdot \frac{N_S}{N_P} - V_O \right) \right) \quad V \quad \text{EQ. 17}$$

式中： V_{CS} 是横跨电流感应电阻的电压， I_O 是输出电流的门限值。

由于峰值电流门限值是1.00V，总反馈电流信号和外部斜坡电压必须加到这个伏数。

$$V_e + V_{CS} = 1 \quad \text{EQ. 18}$$

代入等式16和17到等式18，所得的 R_{CS} 为

$$R_{CS} = \frac{N_P \cdot N_{CT}}{N_S} \cdot \frac{1}{I_O + \frac{V_{OT_{SW}}}{L_O} \left(\frac{1}{\pi} + \frac{D}{2} \right)} \quad \Omega \quad \text{EQ. 19}$$

上述的讨论只用了理想的元件，但在决定外部斜坡所加的数额时必须考虑磁化电感的影响。磁化电感在反馈电流信号设了一斜坡补偿幅度并减低外部斜坡的所需值。磁化电感加上原边电流超出了副边的电感电流。

$$\Delta I_P = \frac{V_{IN} \cdot DT_{SW}}{L_m} \quad A \quad \text{EQ. 20}$$

式中： V_{IN} 是占空比D的输入电压， L_m 是原边磁化电感。电流感应电阻 (R_{CS}) 的磁化电流效果是

$$\Delta V_{CS} = \frac{\Delta I_P \cdot R_{CS}}{N_{CT}} \quad V \quad \text{EQ. 21}$$

若 ΔV_{CS} 大于或等于 V_e ，则不需要额外斜坡补偿，而 R_{CS} 为

$$R_{CS} = \frac{N_{CT}}{\frac{N_S}{N_P} \cdot \left(I_O + \frac{DT_{SW}}{2L_O} \cdot \left(V_{IN} \cdot \frac{N_S}{N_P} - V_O \right) \right) + \frac{V_{IN} \cdot DT_{SW}}{L_m}} \quad \Omega \quad \text{EQ. 22}$$

若 ΔV_{CS} 小于 V_e ，则仍可用等式16计算 R_{CS} 值，但含外部斜坡的斜坡补偿额必须减去 ΔV_{CS} 。

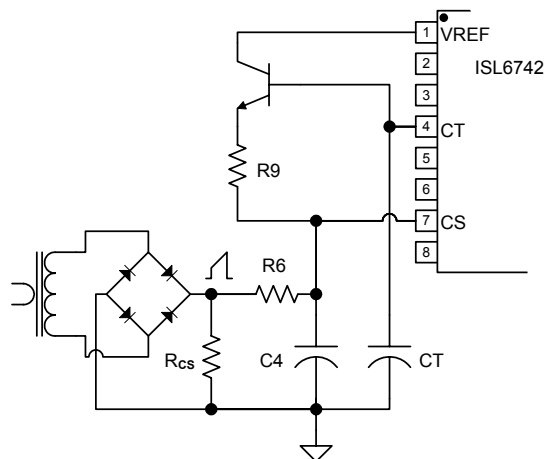


FIGURE 14 ADDING SLOPE COMPENSATION

ISL6742可用外部缓冲和CT信号来实现加斜坡补偿。此缓冲CT信号与电流感应反馈的和外加于CS引脚，如图14所示。

假设设计时选择将RC过滤器(R6和C4)放在CS引脚，加在外部斜坡的R9值可叠加得

$$V_e - \Delta V_{CS} = \frac{2D \cdot R_6}{R_6 + R_9} \quad V \quad \text{EQ. 23}$$

重新整理，求得R9为

$$R_9 = \frac{(2D - V_e + \Delta V_{CS}) \cdot R_6}{V_e - \Delta V_{CS}} \quad \Omega \quad \text{EQ. 24}$$

用等式19计得的 R_{CS} 值必须重新调节，这样CS引脚的电流感应信号可由等式17推算出。这主要是由于R6和R9形成分阻器。

$$R'_{CS} = \frac{R_6 + R_9}{R_9} \cdot R_{CS} \quad \text{EQ. 25}$$

例如：

$V_{IN} = 280V$

$V_O = 12V$

$L_O = 2.0\mu H$

$N_P/N_S = 20$

$L_m = 2mH$

$I_O = 55A$

振荡器频率, $F_{sw} = 400 \text{ kHz}$

占空比, $D = 85.7\%$

$N_{CT} = 50$

$R_6 = 499\Omega$

用等式19求出电流感应电阻， R_{CS}

$R_{CS} = 15.1\Omega$

用等式16确定加在反馈电流信号的电压值， V_e

$V_e = 153mV$

接着，用等式21确定磁化电流的效果

$$\Delta V_{CS} = 91\text{mV}$$

运用等式24求出从CT引脚到CS引脚的总和电阻, R9。

$$R9 = 13.2\text{k}\Omega$$

用等式25确定新的RCS值, R'CS

$$R'_{CS} = 15.7\Omega$$

额外的斜坡补偿可以用作设计余量。上述讨论确定了所需的最小外部斜坡。用在CT增设外部斜坡的缓冲晶体管要有足够高的增益(>200)才可减低所需的基流。但振荡器频率会因所需基流降低流入CT的充电电流而降低。

均衡操作

ISL6742变换器的均衡操作可用平均电流信号IOUT来实现。IOUT提供了非常准确的输出电流且可用许多常用均流技术包括主从电流均流方法和平均电流均流方法来实现均流。

由于IOUT代表平均电感电流(CCM操作),可减少因使用峰值电感电流方法而产生的均流误差。特别是消除因不相符的开关频率而产生的均流误差。

主从电流均流方法说明如下图15。

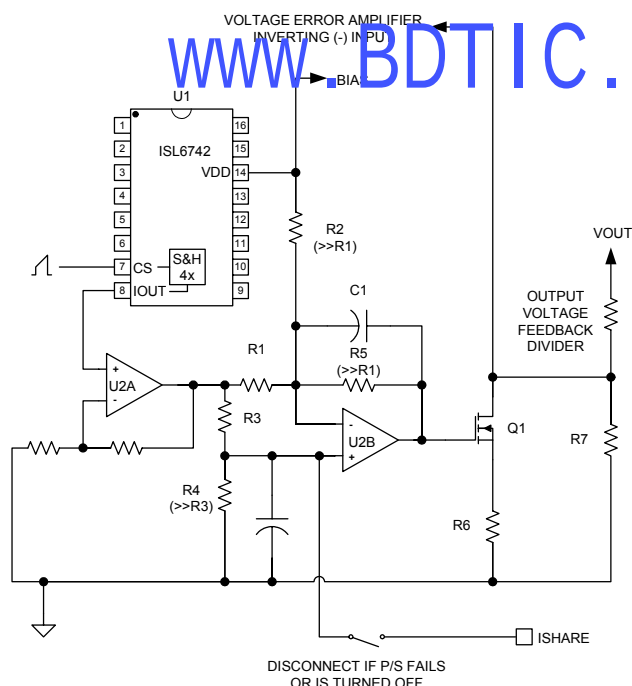


FIGURE 15 MASTER-SLAVE CURRENT SHARING USING AVERAGE CURRENT

在均衡和双重保护的应用中，每个供应电源的 IShare 信号应连接一起，每个供应电源在 IOUT 产生一电压与平均输出电流成比例，且限制电阻 R3 在 IShare。最高 IShare 信号(和最大输出电流)的单元输出电流到 IShare 总线，此单元为主单

元。而较低 IShare 信号的单元不会输出电流到 IShare，即为从单元。每个从单元将主单元的 IShare 信号与其信号相比，足够的差异会导通 Q1 拉低反馈电压。因反馈电压的降低，输出电压会通过增加电压来补偿反馈环和增加输出电流。每个从单元会增加其输出电压直至其输出电流大约等于主单元的。

主单元与从单元的输出电流差异由 R1 和 R2 设置。要防止主单元与从单元产生动摆，需有差异。此差异也可在电源单独操作时阻止均流电路的运作。

从单元输出的最大输出电压是由 R6 和输出电压反馈分割器控制。输出电压增加的最大值一般限制在几个百分比，但必须大于反馈与参考元件的容差和所有单元间的电压下跌。若用隔离感应，调整范围必须包括电源供应输出和隔离感应间电压下跌的差异。电流限制电路必须限制电压变化少于输出过压门限值，否则会引发过压限制。

放大器U2A设置IOUT到IShare的比例系数，和增大IShare的电流供应能力。U2B则是设置相应频率和均流电路增益的低带宽放大器。均流带宽必须大大地低于电压反馈环带宽以确保整体稳定。用R1和R5设置增益，R5和C1设置带宽。

对于不需要故障隔离的动力系统可不用IShare的开关。通常用MOSFET或JFET驱动可实现断开开关。

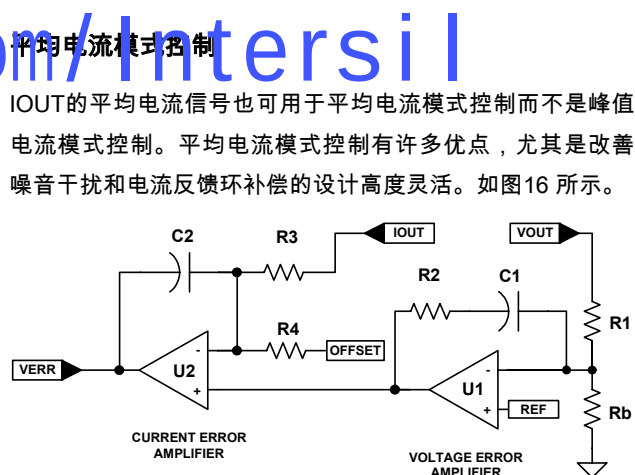


Figure 16 AVERAGE CURRENT MODE CONTROL

相比于峰值电流模式控制配置中的峰值电流感应信号，电压放大器总输出集成平均输出电流。电压环补偿和电流环补偿可单独调整。

电压误差放大器可调整供应的平均输出电流，其最大输出电平决定最大输出电流。无论IOUT或电压EA输出都必须适当地按比例调整以达到所需的电流门限设点。图16所示的偏移电压是用以补偿电流放大器的输入偏移电压以确保可达到零占空比运作。

根据控制环的操作要求可用除上述之外的其他网络补偿。

故障状况

如果VREF或VDD跌落低于其欠压锁定(UVLO)门限值或触发过热保护就会发生故障状况。检测出故障时,软启动电容很快地被放电且输出就会截止。当故障清除后以及软启动电压低于复位临时时,一个软启动周期重新运作。

过流状况是不被认为故障且不会导致关断。

过热保护

ISL6742持有内部的过热保护。内热传感器保护器件芯片结温不超出140°C,而热迟滞约15°C。

接地要求

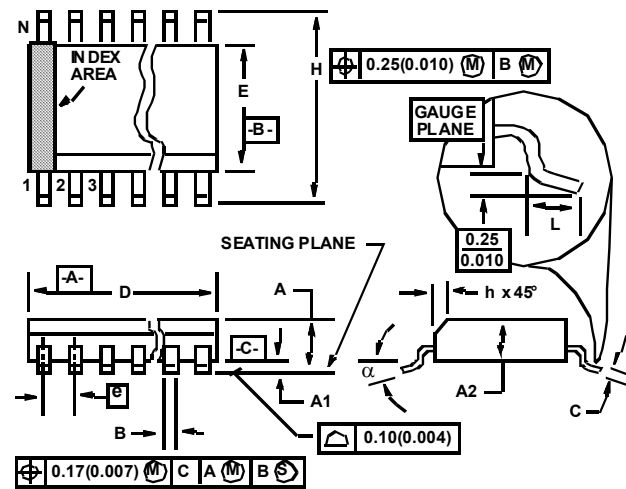
为使这个器件能理想地工作,应该要仔细布局。特别是应用一个好的接地面,VDD和VREF必须以一个好的高频电容直接旁接到地GND。

参考资料

Ridley, R., "A New Continuous-Time Model for Current Mode Control", IEEE Transactions on Power Electronics, Vol. 6, No. 2, April 1991.

www.BDTIC.com/Intersil

Shrink Small Outline Plastic Packages (SSOP)
Quarter Size Outline Plastic Packages (QSOP)



Notes:

1. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication Number 95.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs and are measured at Datum Plane. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25mm (0.010 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. Dimension "B" does not include dambar protrusion. Allowable dambar protrusion shall be 0.10mm (0.004 inch) total in excess of "B" dimension at maximum material condition.
10. Controlling dimension: INCHES. Converted millimeter dimensions are not necessary exact.

M16.15A

16 LEAD SHRINK SMALL OUTLINE PLASTIC PACKAGE
0.150" WIDE BODY

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.061	0.068	1.55	1.73	-
A1	0.004	0.0098	0.102	0.249	-
A2	0.055	0.061	1.40	1.55	-
B	0.008	0.012	0.20	0.31	9
C	0.0075	0.0098	0.191	0.249	-
D	0.189	0.196	4.80	4.98	3
E	0.150	0.157	3.81	3.99	4
e	0.025 BSC		0.635 BSC		-
H	0.230	0.244	5.84	6.20	-
h	0.010	0.016	0.25	0.41	5
L	0.016	0.035	0.41	0.89	6
N	16		16		7
α	0°	8°	0°	8°	-

Rev.2 6/04

All Intersil U.S. products are manufactured, assembled and tested utilizing ISO9000 quality systems.

Intersil Corporation's quality certifications can be viewed at www.intersil.com/design/quality.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design, software and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see www.intersil.com