

特性

输入电压范围：2.95 V至20 V

片上偏置调节器

最低输出电压：0.6 V

0.6 V、 $\pm 1.0\%$ 精度基准电压

支持所有功率级N沟道MOSFET

提供三种频率选择：300 kHz、600 kHz和1.0 MHz

无需电流检测电阻

轻负载条件下可采用省电模式(PSM)工作(仅ADP1871)

可编程电阻设定电流检测增益

热过载保护

短路保护

精密使能输入

集成自举二极管，支持高端驱动

启动进入预充电负载

小型10引脚MSOP封装和LFCSP封装

应用

电信和网络系统

中高端服务器

机顶盒

DSP内核电源

12 V输入负载点电源

概述

ADP1870/ADP1871均为多功能电流模式同步降压型控制器，采用恒定导通时间、伪固定频率及可编程电流限制、电流控制方案，具备出色的瞬态响应、最佳稳定性和限流保护特性。此外，这些器件还采用谷值电流模式控制架构，能在低占空比时实现最佳性能。因此，ADP1870/ADP1871可以驱动所有功率级N沟道MOSFET，以便调节低至0.6 V的输出电压。

ADP1871是ADP1870的省电模式(PSM)版本，能够以脉冲跳跃方式工作，以便在轻负载时维持输出调节，同时实现更高系统效率(更多信息请参阅“省电模式(PSM)版本(ADP1871)”部分)。

ADP1870/ADP1871提供三种频率选项：300 kHz、600 kHz和1.0 MHz，以及PSM选项；因此，非常适合要求2.95 V至20 V单输入电源电压范围的各种应用。低压偏置通过5 V内部LDO提供。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

典型应用电路

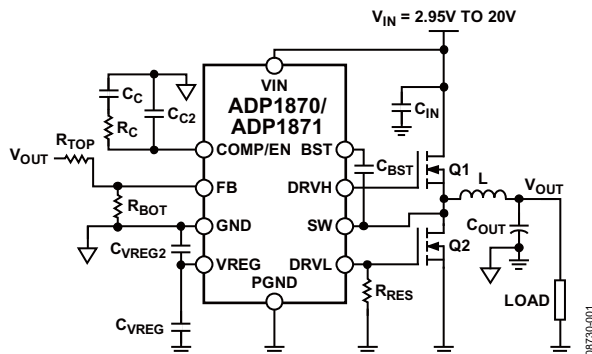


图1.

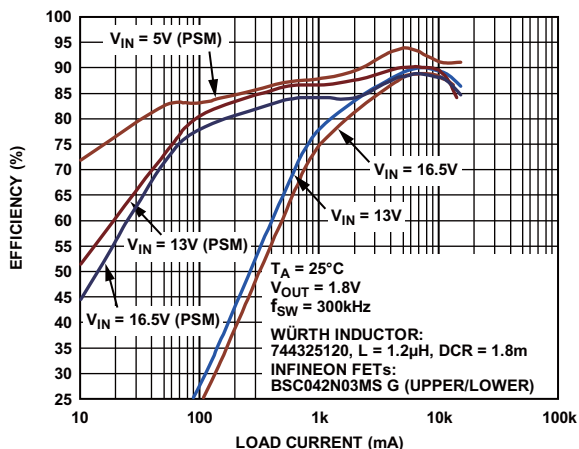


图2. 效率与负载电流的关系($V_{OUT} = 1.8\text{ V}$ 、300kHz)

此外，这些器件具有内部固定软启动周期，可限制启动期间来自输入电源的输入浪涌电流，以及软启动时对预充电输出提供反向电流保护。低端电流检测、电流增益方案、集成升压二极管以及PSM/强制脉冲宽度调制(PWM)选项，可减少外部元件数量并提高效率。

ADP1870/ADP1871在 -40°C 至 $+125^{\circ}\text{C}$ 的结温范围内工作，采用10引脚MSOP封装和LFCSP封装。

目录

特性	1	省电模式(PSM)版本(ADP1871)	22
应用	1	定时器操作	22
概述	1	伪固定频率	23
典型应用电路	1	应用信息	24
修订历史	2	反馈电阻分压器	24
技术规格	3	电感选择	24
绝对最大额定值	5	输出纹波电压(ΔV_{RR})	24
热阻	5	输出电容选择	24
边界条件	5	补偿网络	25
ESD警告	5	效率考量	26
引脚配置和功能描述	6	输入电容选择	27
典型工作特性	7	散热考量	28
ADP1870/ADP1871功能框图	18	设计示例	29
工作原理	19	外部元件推荐	31
启动	19	布局考量	33
软启动	19	IC部分(位于评估板左侧)	37
精密使能电路	19	电源部分	37
欠压闭锁	19	差分检测	38
片上低压差调节器	19	典型应用电路	39
热关断	20	15 A、300 kHz高电流应用电路	39
编程电阻(RES)检测电路	20	5.5 V输入、600 kHz应用电路	39
谷值限流设置	20	300 kHz高电流应用电路	40
短路期间的打嗝模式	21	外形尺寸	41
同步整流器	22	订购指南	42

修订历史

2010年6月—修订版0至修订版A

增加LFCSP封装	通用
更改应用部分	1
更改表1的内部调节器特性参数	3
更改表2和表3	5
更改图3和表4	6
更改图22	10
更改图65	18
更改效率考量部分	26
更改表9	28
增加图84，重新排序	28
增加图96	41
更改订购指南	42

2010年3月—版本0:初始版

技术规格

所有极端温度限值都采用标准统计质量控制通过相关性予以保证。 $V_{REG} = 5\text{ V}$ 、 $V_{BST} - V_{SW} = V_{REG} - V_{RECT_DROP}$ (见图40至图42)。 $V_{IN} = 12\text{ V}$ 。除非另有说明, 最大规格值和最小规格值在 -40°C 至 $+125^{\circ}\text{C}$ 结温范围内有效。

表1.

参数	符号	条件	最小值	典型值	最大值	单位
电源特性						
高输入电压范围	V_{IN}	$C_{IN} = 22\text{ }\mu\text{F}$ 至PGND(在引脚1处) ADP1870ARMZ-0.3/ADP1871ARMZ-0.3 (300 kHz) ADP1870ARMZ-0.6/ADP1871ARMZ-0.6 (600 kHz) ADP1870ARMZ-1.0/ADP1871ARMZ-1.0 (1.0 MHz)	2.95 2.95 3.25	12 12 12	20 20 20	V V V
静态电流	$I_{Q_REG} + I_{Q_BST}$	$V_{FB} = 1.5\text{ V}$, 无切换		1.1		mA
关断电流	$I_{REG_SD} + I_{BST_SD}$	COMP/EN < 285 mV		190	280	μA
欠压闭锁	UVLO	上升 V_{IN} (温度变化见图35)		2.65		V
UVLO迟滞		工作状态的下降 V_{IN}		190		mV
内部调节器特性						
VREG工作输出电压	V_{REG}	VREG不应驱动外部负载, 因为它仅用于偏置内部电路。 $C_{VREG} = 1\text{ }\mu\text{F}$ 至PGND、 $0.22\text{ }\mu\text{F}$ 至GND; $V_{IN} = 2.95\text{ V}$ 至 20 V ADP1870ARMZ-0.3/ADP1871ARMZ-0.3 (300 kHz) ADP1870ARMZ-0.6/ADP1871ARMZ-0.6 (600 kHz) ADP1870ARMZ-1.0/ADP1871ARMZ-1.0 (1.0 MHz)	2.75 2.75 3.05	5 5 5	5.5 5.5 5.5	V V V
VREG输出调节		$V_{IN} = 7\text{ V}$, 100 mA $V_{IN} = 12\text{ V}$, 100 mA	4.8 4.8	4.981 4.982	5.16 5.16	V V
负载调整率		0 mA至100 mA, $V_{IN} = 7\text{ V}$ 0 mA至100 mA, $V_{IN} = 20\text{ V}$		32 33		mV mV
电压调整率		$V_{IN} = 7\text{ V}$ 至 20 V , 20 mA $V_{IN} = 7\text{ V}$ 至 20 V , 100 mA		2.5 2.0		mV mV
V_{IN} 至 V_{REG} 压差		100 mA V_{REG} , $V_{IN} \leq 5\text{ V}$		300	415	mV
将VREG短路至PGND		$V_{IN} = 20\text{ V}$		229	320	mA
软启动						
软启动周期		见图58		3.0		ms
误差放大器						
FB调节电压	V_{FB}	$T_J = +25^{\circ}\text{C}$ $T_J = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$		600 596 594.2		mV mV mV
跨导	G_m		320	496	670	μS
FB输入漏电流	I_{FB_Leak}	$V_{FB} = 0.6\text{ V}$, COMP/EN = 释放		1	50	nA
电流检测放大器增益						
来自DRV1至PGND的编程电阻(RES)值		RES = $47\text{ k}\Omega \pm 1\%$ RES = $22\text{ k}\Omega \pm 1\%$ RES = none RES = $100\text{ k}\Omega \pm 1\%$	2.7 5.5 11 22	3 6 12 24	3.3 6.5 13 26	V/V V/V V/V V/V
开关频率						
ADP1870ARMZ-0.3/ ADP1871ARMZ-0.3 (300 kHz)		典型值的测量条件为50%时间点、 0 nF、DRVH和DRV1; 最大值通过 基准评估保证。 ¹		300		kHz
导通时间		$V_{IN} = 5\text{ V}$, $V_{OUT} = 2\text{ V}$, $T_J = 25^{\circ}\text{C}$	1120	1200	1280	ns
最小导通时间		$V_{IN} = 20\text{ V}$		146	190	ns
最小关断时间		84%占空比(最大值)		340	400	ns

ADP1870/ADP1871

参数	符号	条件	最小值	典型值	最大值	单位
ADP1870ARMZ-0.6/ ADP1871ARMZ-0.6 (600 kHz)				600		kHz
导通时间		$V_{IN} = 5\text{ V}, V_{OUT} = 2\text{ V}, T_J = 25^\circ\text{C}$	500	540	580	ns
最小导通时间		$V_{IN} = 20\text{ V}, V_{OUT} = 0.8\text{ V}$		82	110	ns
最小关断时间		65%占空比(最大值)		340	400	ns
ADP1870ARMZ-1.0/ ADP1871ARMZ-1.0 (1.0 MHz)				1.0		MHz
导通时间		$V_{IN} = 5\text{ V}, V_{OUT} = 2\text{ V}, T_J = 25^\circ\text{C}$	285	312	340	ns
最小导通时间		$V_{IN} = 20\text{ V}$		60	85	ns
最小关断时间		45%占空比(最大值)		340	400	ns
输出驱动器特性						
高端驱动器						
输出源电阻		$I_{SOURCE} = 1.5\text{ A}, 100\text{ ns}$, 正脉冲(0 V至5 V)		2.25	3	Ω
输出灌电阻		$I_{SINK} = 1.5\text{ A}, 100\text{ ns}$, 负脉冲(5 V至0 V)		0.7	1	Ω
上升时间 ²	$t_{r,DRVH}$	$V_{BST} - V_{SW} = 4.4\text{ V}, C_{IN} = 4.3\text{ nF}$ (见图60)		25		ns
下降时间 ²	$t_{f,DRVH}$	$V_{BST} - V_{SW} = 4.4\text{ V}, C_{IN} = 4.3\text{ nF}$ (见图61)		11		ns
低端驱动器						
输出源电阻		$I_{SOURCE} = 1.5\text{ A}, 100\text{ ns}$, 正脉冲(0 V至5 V)		1.6	2.2	Ω
输出灌电阻		$I_{SINK} = 1.5\text{ A}, 100\text{ ns}$, 负脉冲(5 V至0 V)		0.7	1	Ω
上升时间 ²	$t_{r,DRV L}$	$V_{REG} = 5.0\text{ V}, C_{IN} = 4.3\text{ nF}$ (见图61)		18		ns
下降时间 ²	$t_{f,DRV L}$	$V_{REG} = 5.0\text{ V}, C_{IN} = 4.3\text{ nF}$ (见图60)		16		ns
传播延迟						
DRV L下降至DRV H上升 ²	$t_{pdh,DRVH}$	$V_{BST} - V_{SW} = 4.4\text{ V}$ (见图60)		15.4		ns
DRV H下降至DRV L上升 ²	$t_{pdh,DRV L}$	$V_{BST} - V_{SW} = 4.4\text{ V}$ (见图61)		18		ns
SW漏电流	I_{SWLEAK}	$V_{BST} = 25\text{ V}, V_{SW} = 20\text{ V}, V_{REG} = 5\text{ V}$			110	μA
集成整流器						
通道阻抗		$I_{SINK} = 10\text{ mA}$		22		Ω
精密使能阈值						
逻辑高电平		$V_{IN} = 2.9\text{ V至}20\text{ V}, V_{REG} = 2.75\text{ V至}5.5\text{ V}$	245	285	330	mV
使能迟滞		$V_{IN} = 2.9\text{ V至}20\text{ V}, V_{REG} = 2.75\text{ V至}5.5\text{ V}$		37		mV
比较器电压						
比较器箝位低电压	$V_{COMP(low)}$	在禁用状态下, 释放COMP/EN引脚使能器件 ($2.75\text{ V} \leq V_{REG} \leq 5.5\text{ V}$)	0.47			V
比较器箝位高电压	$V_{COMP(high)}$	($2.75\text{ V} \leq V_{REG} \leq 5.5\text{ V}$)			2.55	V
比较器零电流阈值	V_{COMP_ZCT}	($2.75\text{ V} \leq V_{REG} \leq 5.5\text{ V}$)		1.07		V
热关断	T_{TMSD}					
热关断阈值		上升温度		155		$^\circ\text{C}$
热关断迟滞				15		$^\circ\text{C}$
打嗝限流时序				6		ms

¹ 最大指定值的测试条件为: 在闭环控制下, 时间点为10%至90%(见图60和图61), $C_{GATE} = 4.3\text{ nF}$, 高、低端MOSFET的型号均为Infineon BSC042N03MSG。

² 未经自动测试设备(ATE)测试。

绝对最大额定值

表2.

参数	额定值
VREG至PGND, GND	−0.3 V至+6 V
VIN至PGND	−0.3 V至+28 V
FB, COMP/EN至GND	−0.3 V至(V _{REG} + 0.3 V)
DRVL至PGND	−0.3 V至(V _{REG} + 0.3 V)
SW至PGND	−2.0 V至+28 V
BST至SW	−0.6 V至(V _{REG} + 0.3 V)
BST至PGND	−0.3 V至28 V
DRVH至SW	−0.3 V至V _{REG}
PGND至GND	±0.3 V
θ_{JA} (10引脚MSOP)	
两层板	213.1°C/W
四层板	171.7°C/W
θ_{JA} (10引脚LFCSP)	
四层板	40°C/W
工作结温范围	−40°C至+125°C
存储温度范围	−65°C至+150°C
焊接条件	JEDEC J-STD-020
最高引脚焊接温度(10秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不涉及器件在这些或任何其它条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

绝对最大额定值仅适合单独应用，但不适合组合使用。除非另有规定，所有其它电压均以PGND为参考。

热阻

θ_{JA} 针对最差条件，即：将器件焊接在电路板上以实现表贴封装。

表3. 热阻

封装类型	θ_{JA} ¹	单位
θ_{JA} (10引脚MSOP)		
两层板	213.1	°C/W
四层板	171.7	°C/W
θ_{JA} (10引脚LFCSP)		
四层板	40	°C/W

¹ θ_{JA} 针对最差条件，即：将器件焊接在电路板上以实现表贴封装。

边界条件

在确定表2和表3中给定的数值时，自然对流可将热量传递至四层评估板。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADP1870/ADP1871

引脚配置和功能描述

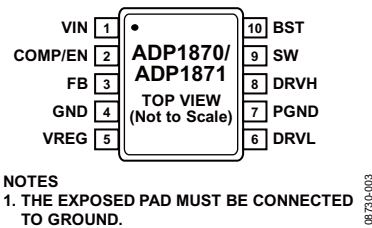
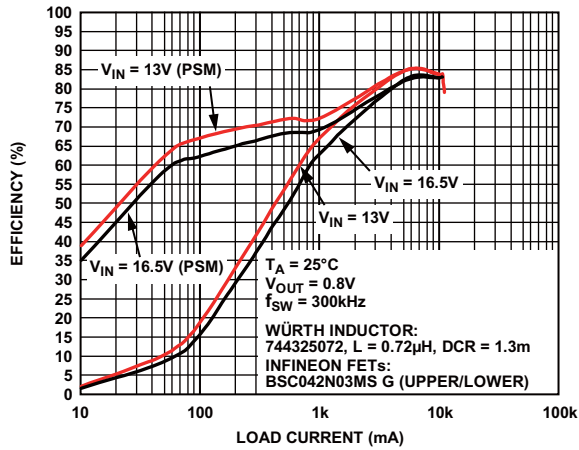
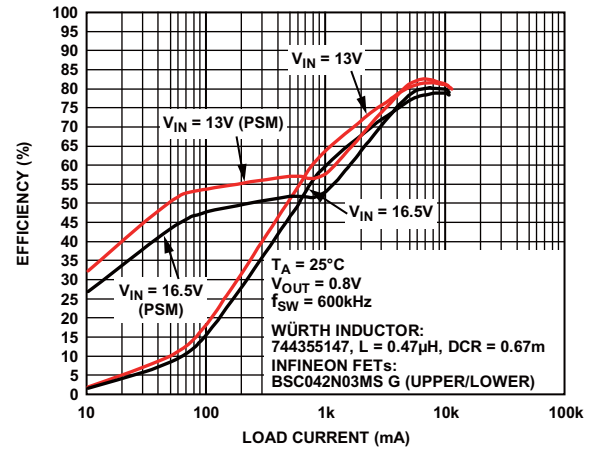
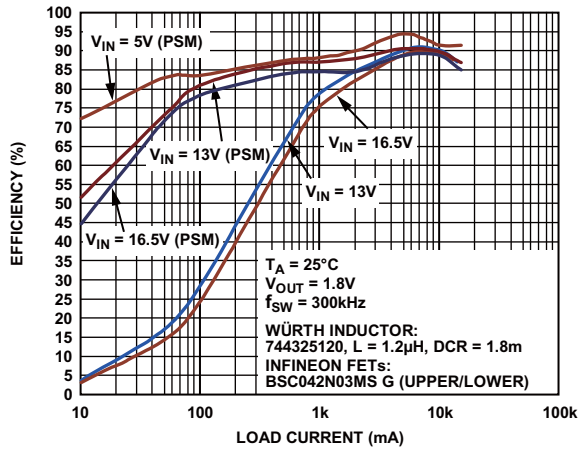
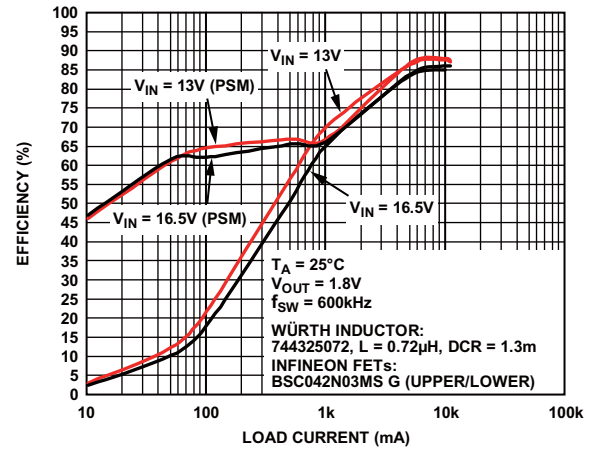
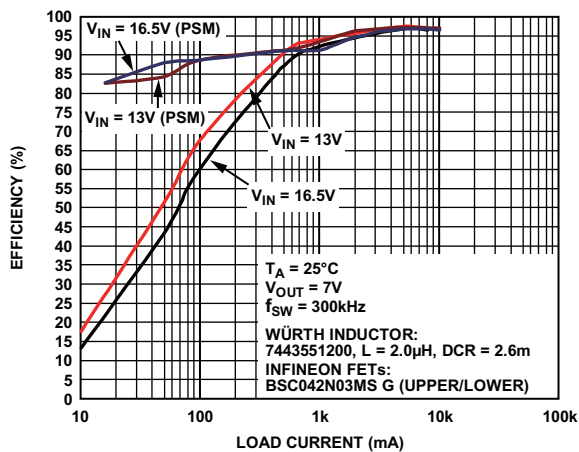
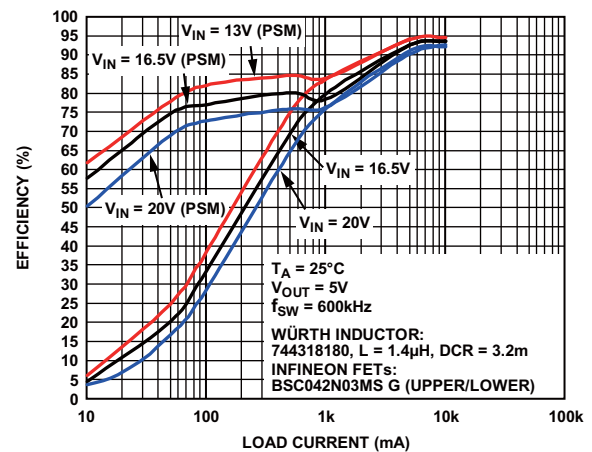


图3. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	描述
1	VIN	高输入电压引脚。将VIN连接至高端MOSFET的漏极。
2	COMP/EN	内部误差放大器/IC的输出使能引脚。当该引脚的功能为EN，向该引脚施加一个0V电压，可禁用IC。
3	FB	内部误差放大器的同相输入。反馈电阻连接至该节点。
4	GND	IC的模拟地基准电压引脚。应将所有敏感的模拟元件与这一接地层相连(见“布局考量”部分)。
5	VREG	ADP1870/ADP1871控制器(包括输出栅极驱动器)的内部调节器电源偏置电压引脚。 建议用户在该引脚与PGND之间连接一个1 μ F旁路电容，在VREG和GND之间连接一个0.1 μ F电容。 VREG不应驱动外部负载，因为它仅用于偏置内部电路。
6	DRVL	外部低端N沟道MOSFET的驱动输出引脚。此外，该引脚还可以用作电流检测增益设置引脚(见图69)。
7	PGND	电源GND引脚。低端栅极驱动器和低端N沟道MOSFET的接地引脚。
8	DRVH	外部高端N沟道MOSFET的驱动输出引脚。
9	SW	开关节点连接引脚。
10	BST	高端MOSFET栅极驱动电路的自举引脚。在VREG和BST之间连接一个内部启动整流器(二极管)。 在BST和SW之间需要连接一个电容。为提高栅极驱动性能，还可以在VREG和BST之间连接一个外部肖特基二极管。

典型工作特性

图4. 300 kHz, $V_{OUT} = 0.8$ V时的效率图7. 600 kHz, $V_{OUT} = 0.8$ V时的效率图5. 300 kHz, $V_{OUT} = 1.8$ V时的效率图8. 600 kHz, $V_{OUT} = 1.8$ V时的效率图6. 300 kHz, $V_{OUT} = 7$ V时的效率图9. 600 kHz, $V_{OUT} = 5$ V时的效率

ADP1870/ADP1871

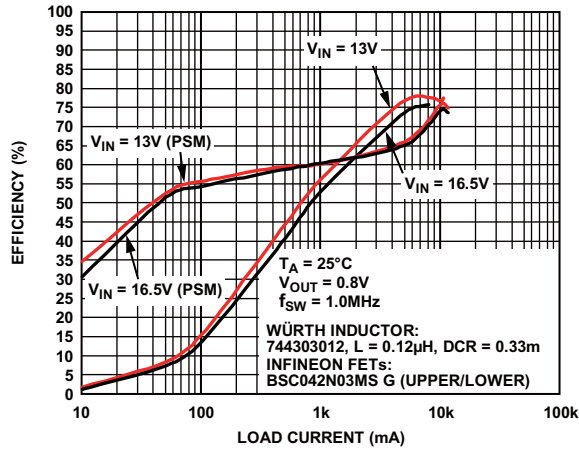


图10. 1.0 MHz、 $V_{OUT}=0.8$ V时的效率

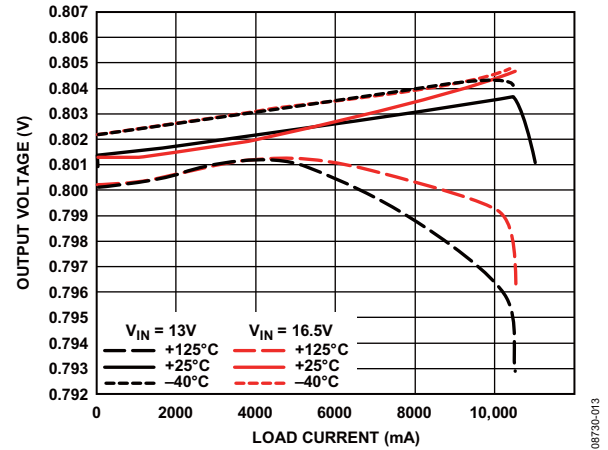


图13. 300 kHz、 $V_{OUT}=0.8$ V时的输出电压精度

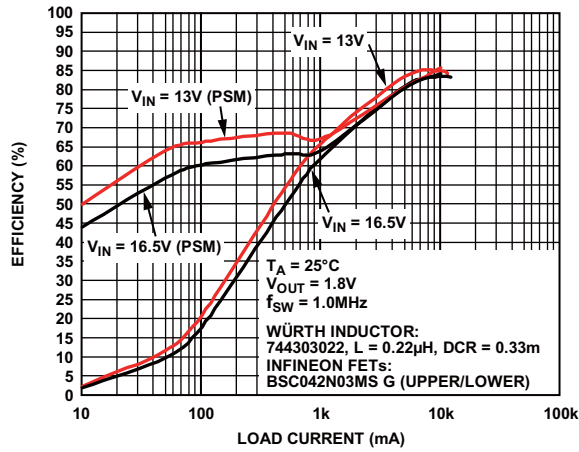


图11. 1.0 MHz、 $V_{OUT}=1.8$ V时的效率

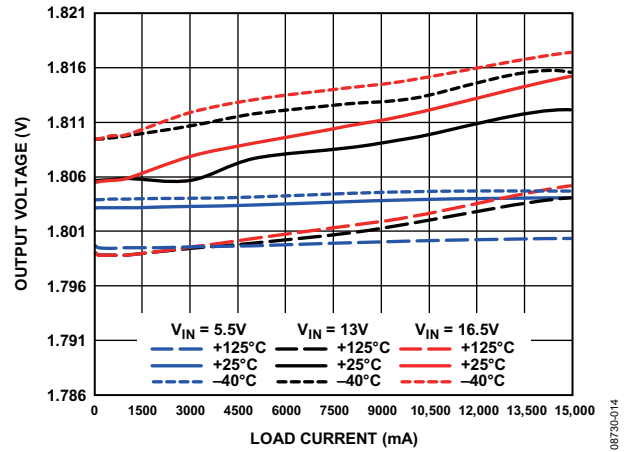


图14. 300 kHz、 $V_{OUT}=1.8$ V时的输出电压精度

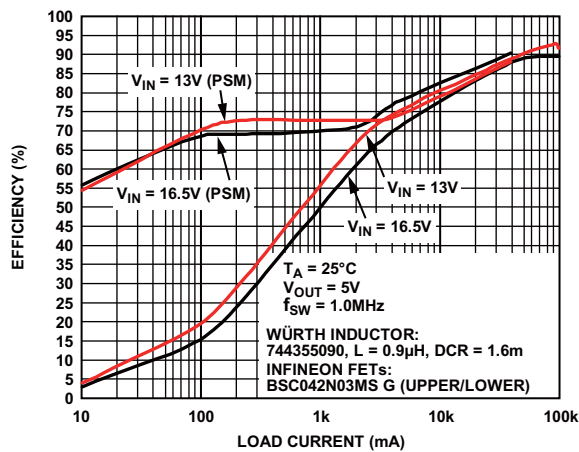


图12. 1.0 MHz、 $V_{OUT}=5$ V时的效率

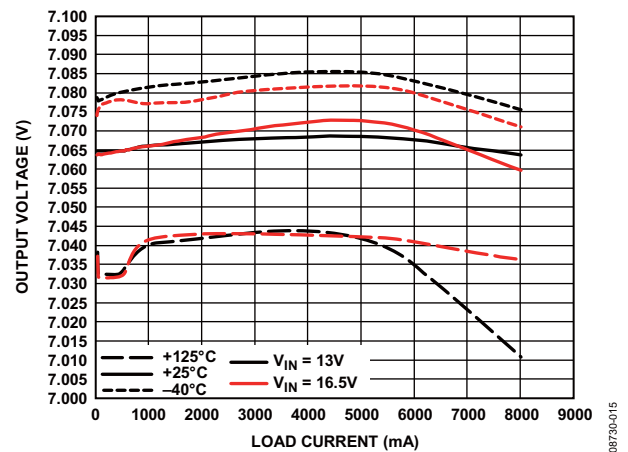


图15. 300 kHz、 $V_{OUT}=7$ V时的输出电压精度

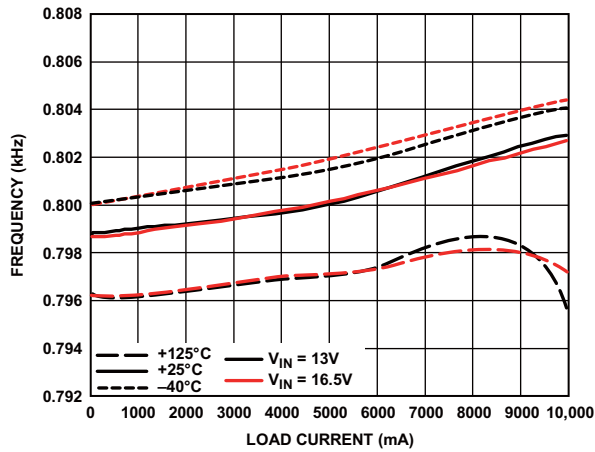


图16. 600 kHz、 $V_{OUT} = 0.8$ V时的输出电压精度

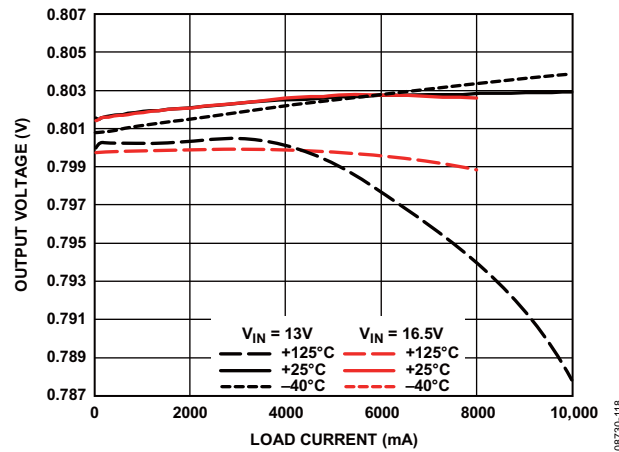


图19. 1.0 MHz、 $V_{OUT} = 0.8$ V时的输出电压精度

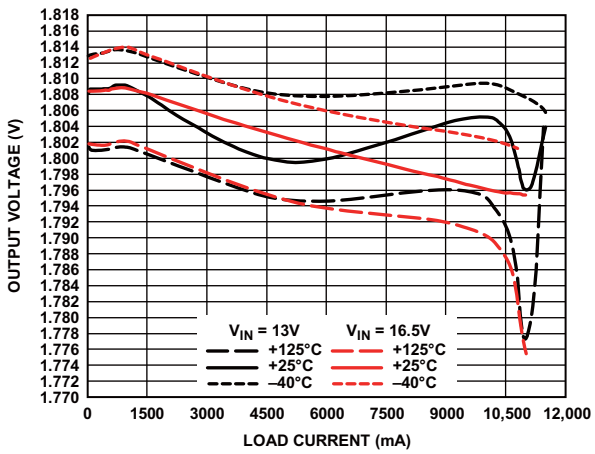


图17. 600 kHz、 $V_{OUT} = 1.8$ V时的输出电压精度

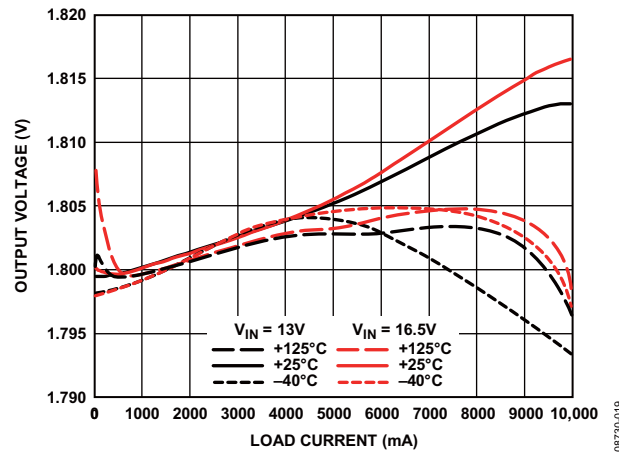


图20. 1.0 MHz、 $V_{OUT} = 1.8$ V时的输出电压精度

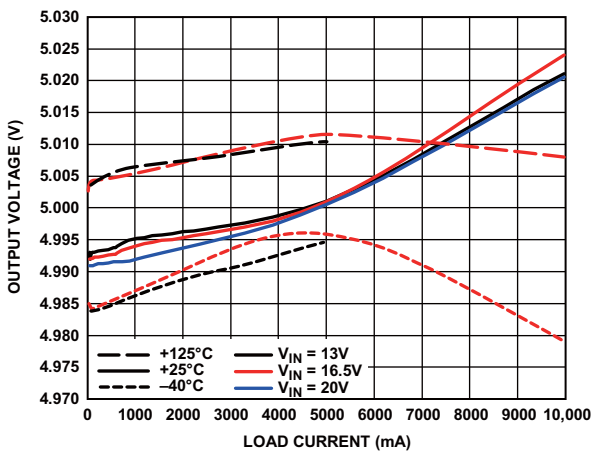


图18. 600 kHz、 $V_{OUT} = 5$ V时的输出电压精度

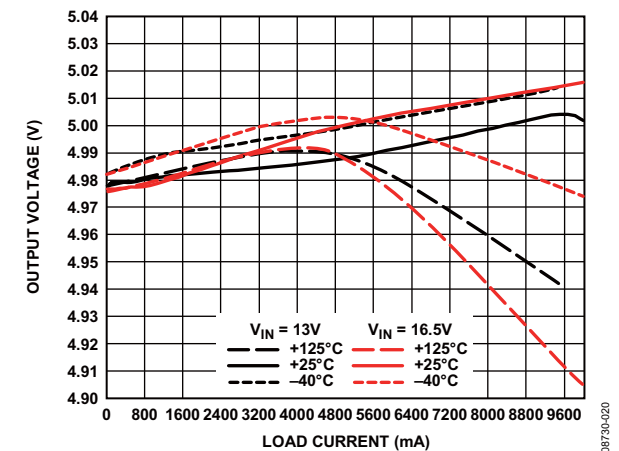


图21. 1.0 MHz、 $V_{OUT} = 5$ V时的输出电压精度

ADP1870/ADP1871

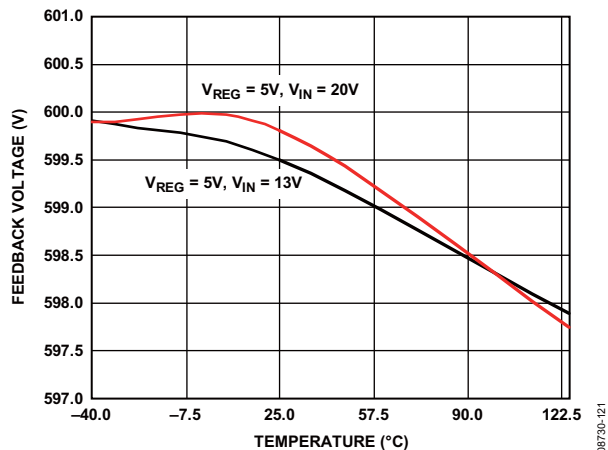


图22. 反馈电压与温度的关系

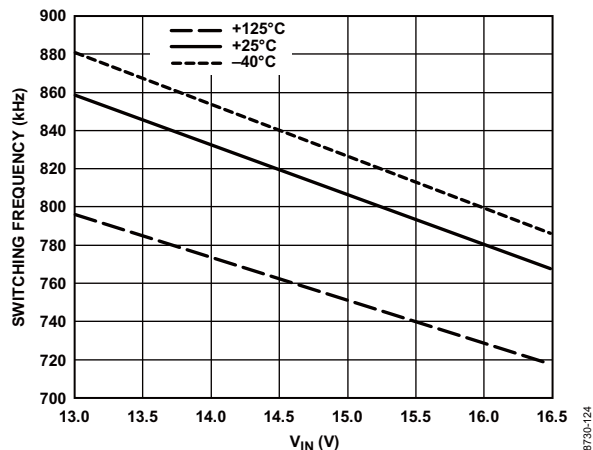


图25. 开关频率与高输入电压的关系($f_{SW} = 1.0 \text{ MHz}$, V_{IN} 范围为 13 V 至 16.5 V)

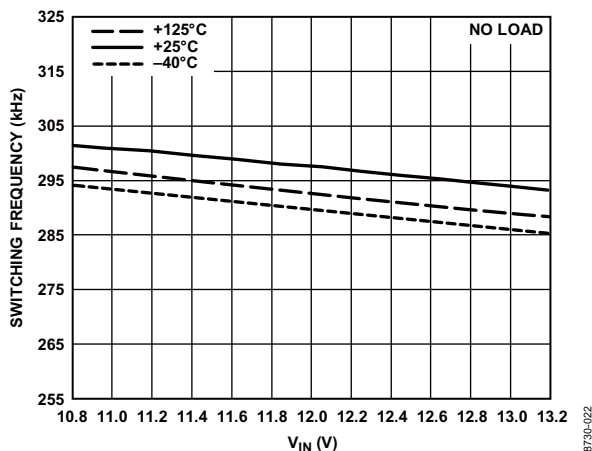


图23. 开关频率与高输入电压的关系($f_{SW} = 300 \text{ kHz}$, 输入电压为 $12 \text{ V} \pm 10\%$)

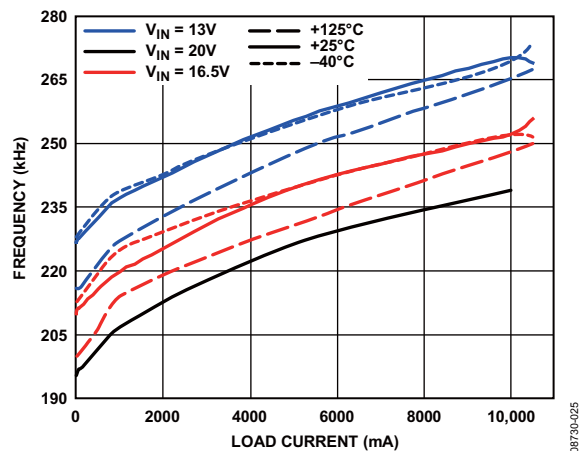


图26. 频率与负载电流的关系(300 kHz, $V_{OUT} = 0.8 \text{ V}$)

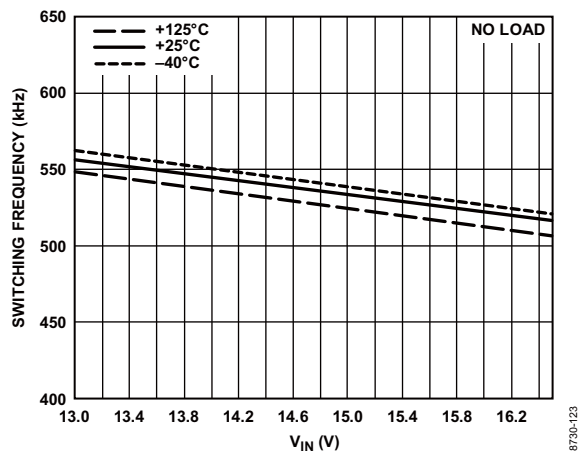


图24. 开关频率与高输入电压的关系($f_{SW} = 600 \text{ kHz}$, $V_{OUT} = 1.8 \text{ V}$, V_{IN} 范围为 13 V 至 16.5 V)

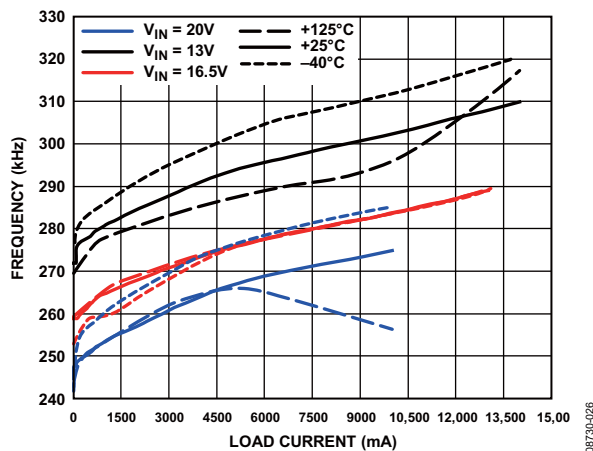


图27. 频率与负载电流的关系(300 kHz, $V_{OUT} = 1.8 \text{ V}$)

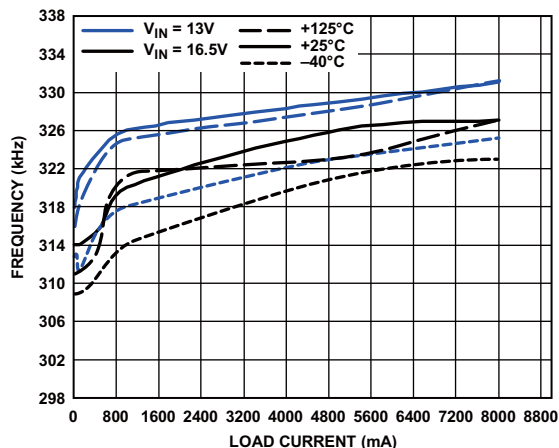


图28. 频率与负载电流的关系(300 kHz, $V_{OUT} = 7\text{ V}$)

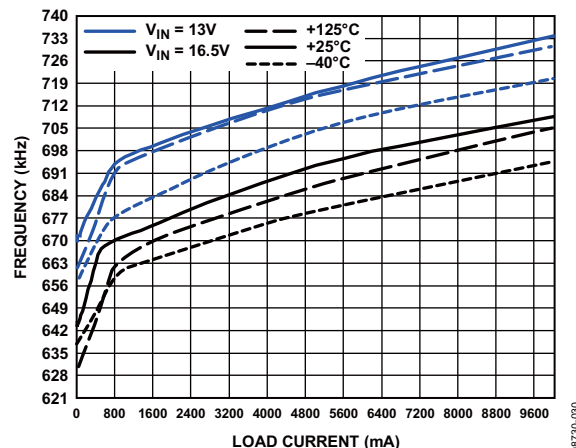


图31. 频率与负载电流的关系(600 kHz, $V_{OUT} = 5\text{ V}$)

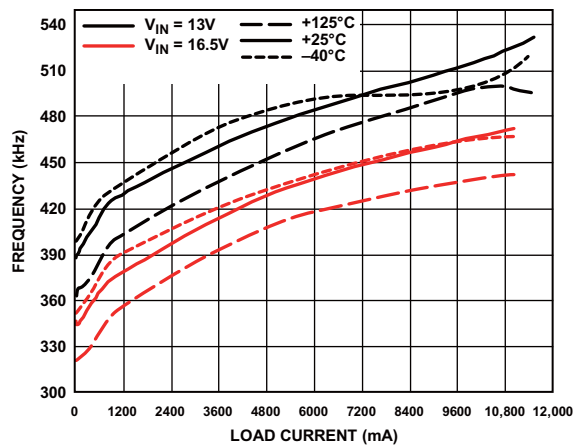


图29. 频率与负载电流的关系(600 kHz, $V_{OUT} = 0.8\text{ V}$)

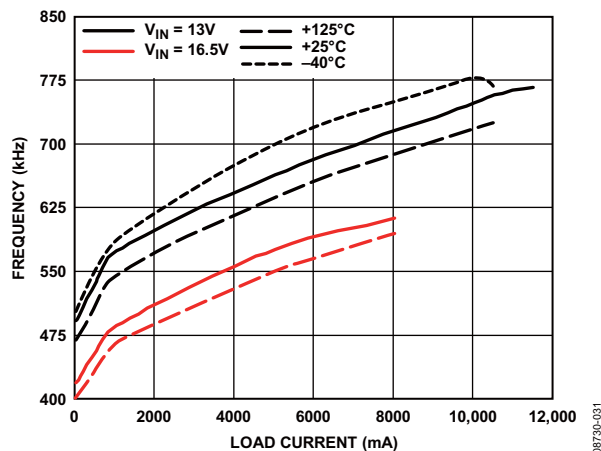


图32. 频率与负载电流的关系(1.0 MHz, $V_{OUT} = 0.8\text{ V}$)

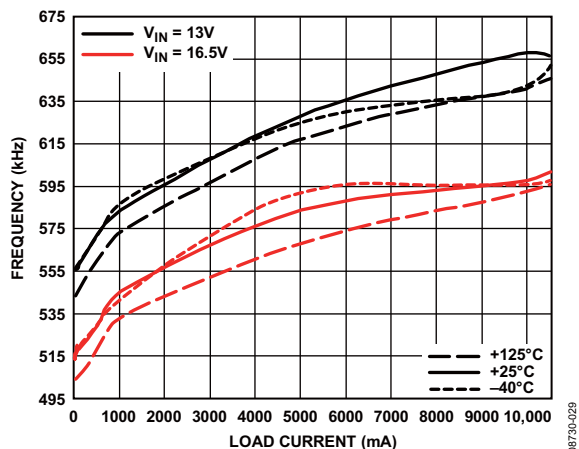


图30. 频率与负载电流的关系(600 kHz, $V_{OUT} = 1.8\text{ V}$)

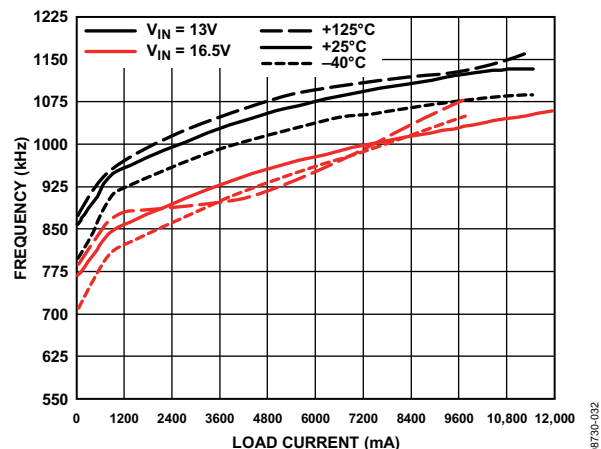


图33. 频率与负载电流的关系(1.0 MHz, $V_{OUT} = 1.8\text{ V}$)

ADP1870/ADP1871

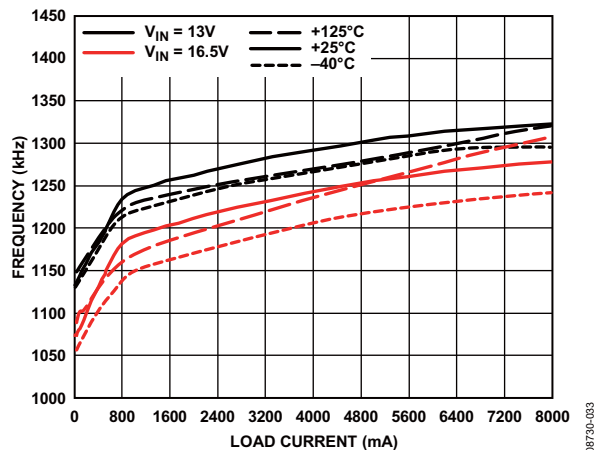


图34. 频率与负载电流的关系(1.0 MHz, $V_{OUT} = 5\text{ V}$)

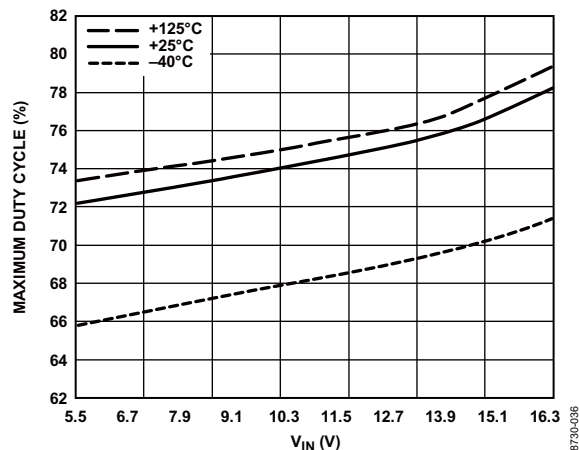


图37. 最大占空比与高压输入(V_{IN})的关系

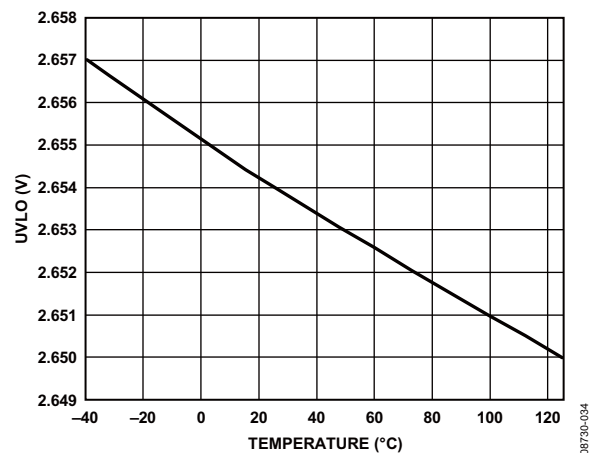


图35. UVLO与温度的关系

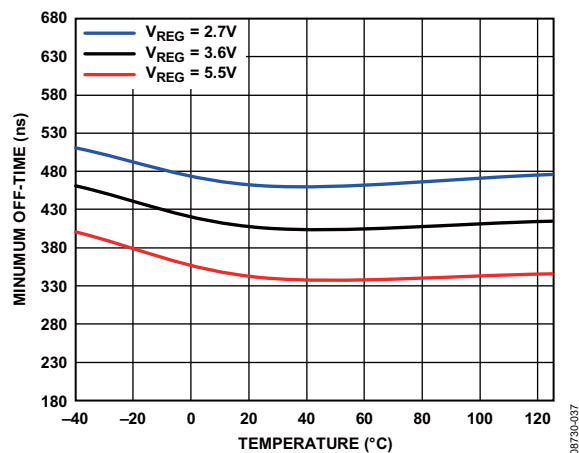


图38. 最小关断时间与温度的关系

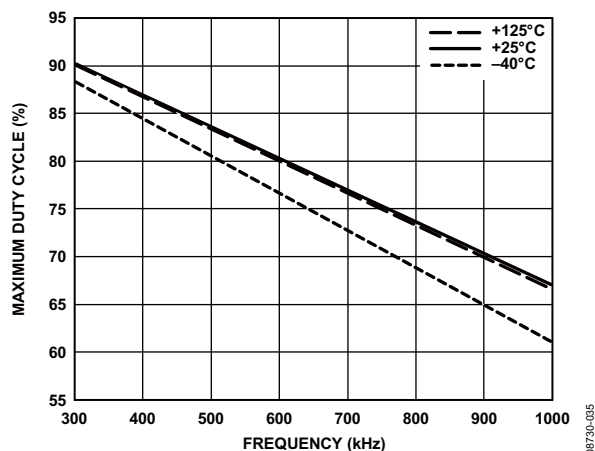


图36. 最大占空比与频率的关系

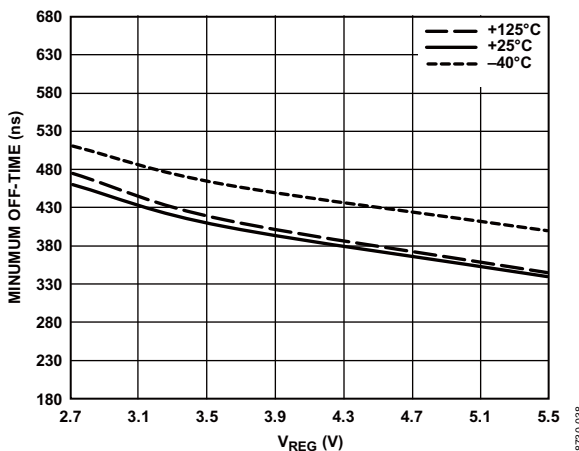


图39. 最小关断时间与 V_{REG} (低输入电压)的关系

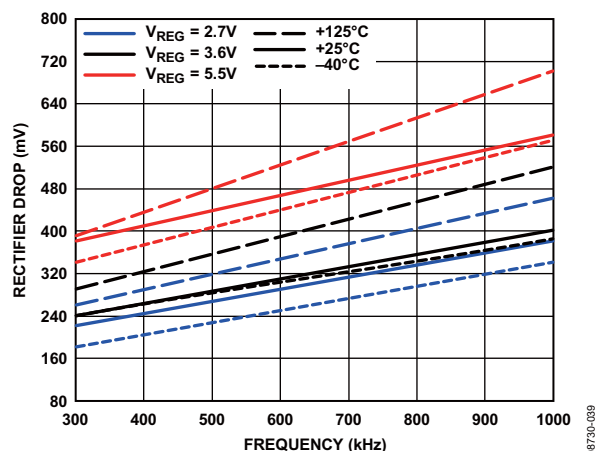


图40. 内部整流器压降与频率的关系

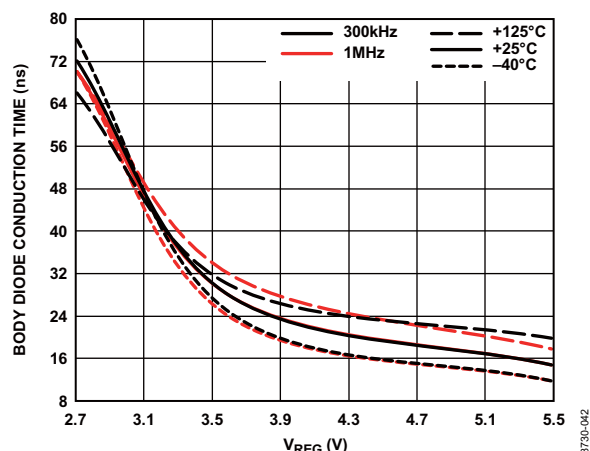


图43. 低端MOSFET体二极管导通时间与 V_{REG} 的关系

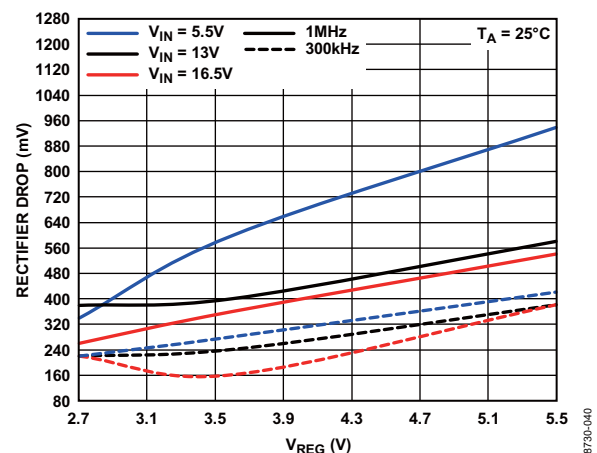


图41. 内部升压型整流器的压降与 V_{REG} (低输入电压) 随 V_{IN} 变化的关系

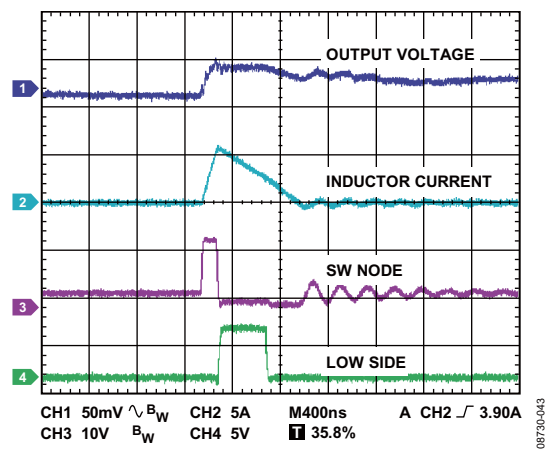


图44. 省电模式(PSM)工作波形(100 mA)

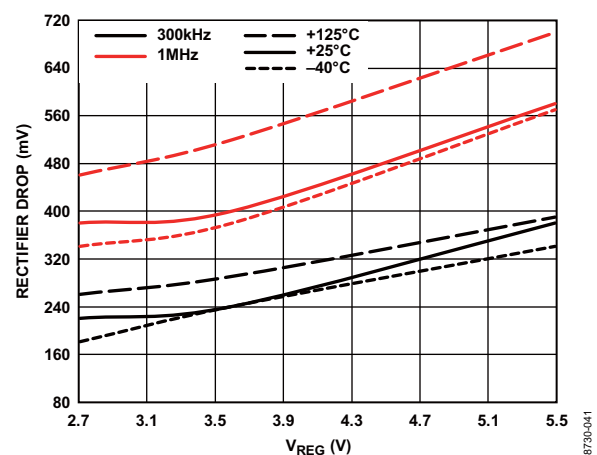


图42. 内部升压型整流器的压降与 V_{REG} 的关系

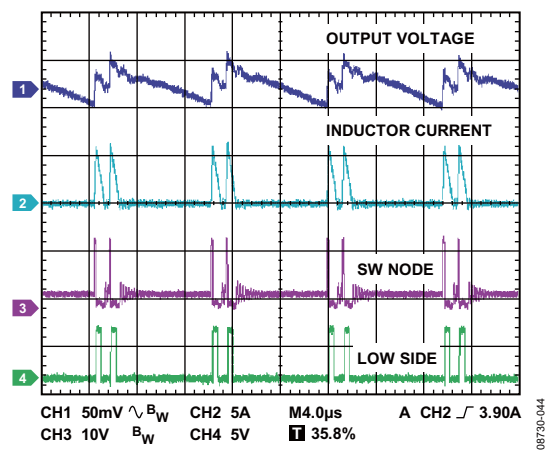


图45. 轻负载下的PSM波形(500 mA)

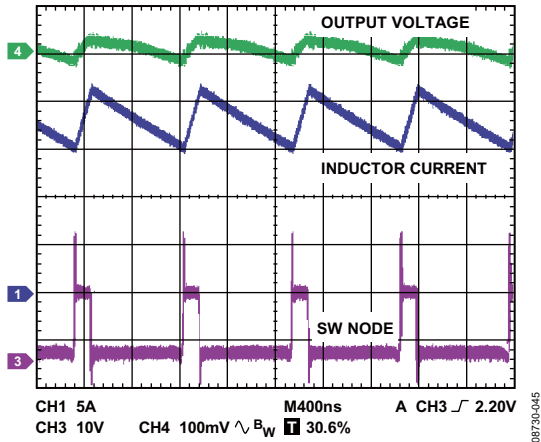


图46. CCM在重负载(12 A)条件下工作
(见图94中的应用电路)

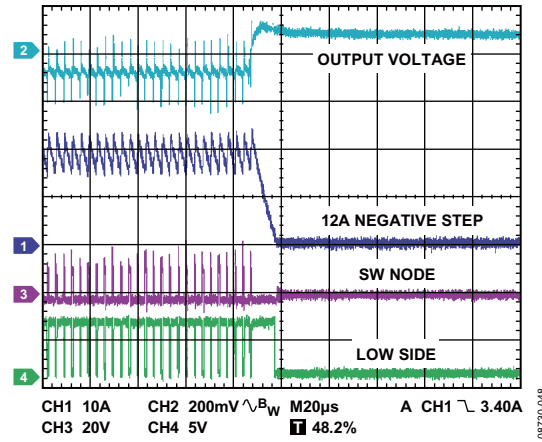


图49. 重负载瞬态的负阶跃—PSM使能、12 A
(见图94中的应用电路)

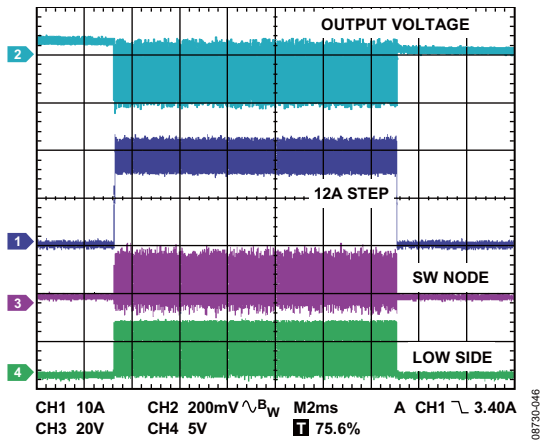


图47. 负载瞬态阶跃—PSM使能、12 A
(见图94中的应用电路)

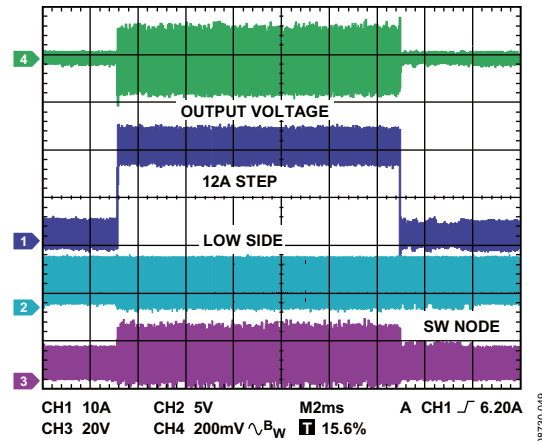


图50. 负载瞬态阶跃—在轻负载下强制PWM、12 A
(见图94中的应用电路)

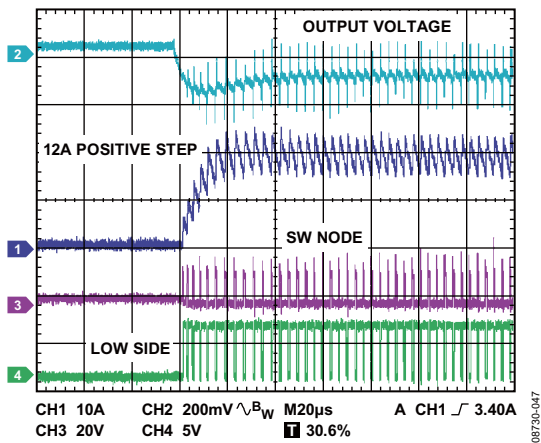


图48. 重负载瞬态的正阶跃—PSM使能、12 A、 $V_{OUT} = 1.8 V$
(见图94中的应用电路)

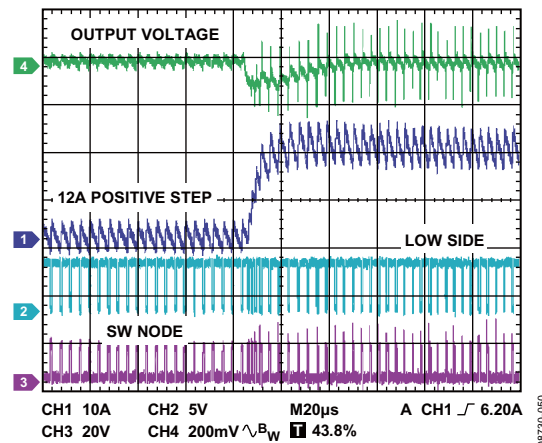


图51. 重负载瞬态的正阶跃—在轻负载下强制PWM、
12 A、 $V_{OUT} = 1.8 V$ (见图94中的应用电路)

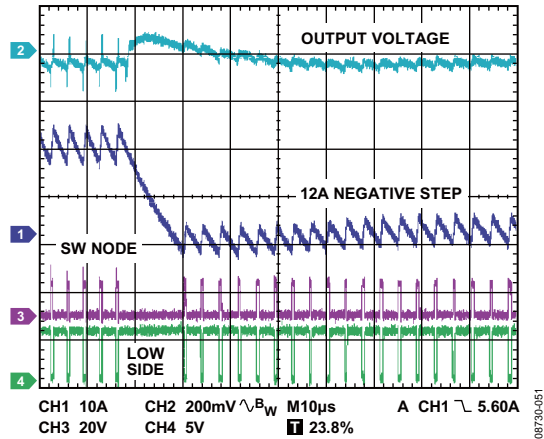


图52. 重负载瞬态的负阶跃—在轻负载下强制PWM、12 A (见图94中的应用电路)

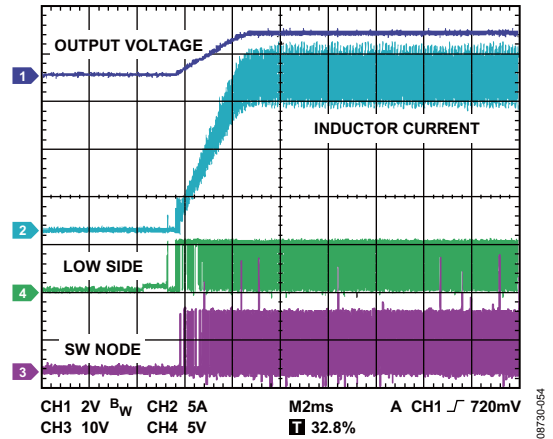


图55. 重负载(12 A 300 kHz)条件下的启动 (见图94中的应用电路)

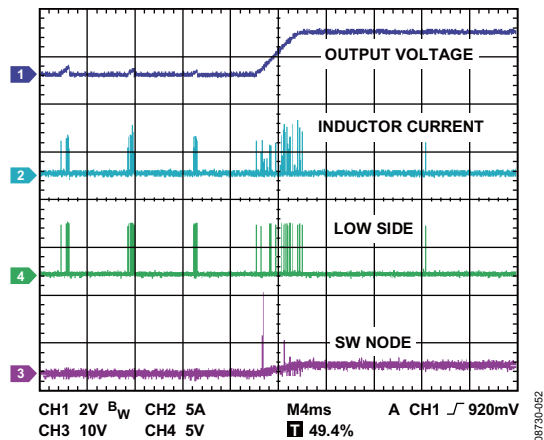


图53. 导致器件进入打嗝模式的输出短路

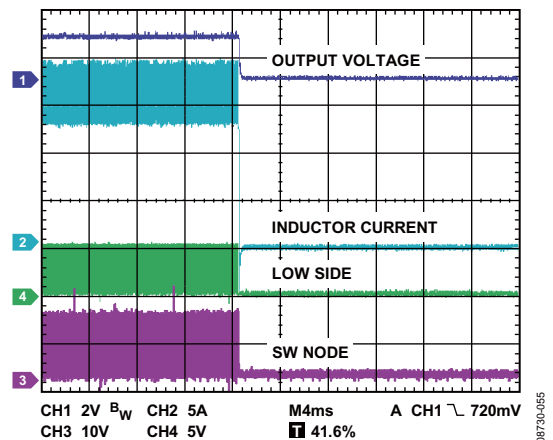


图56. 重负载下的省电波形

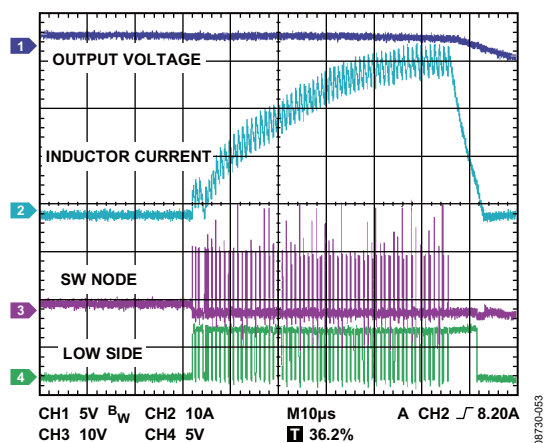


图54. 打嗝模式波形放大图

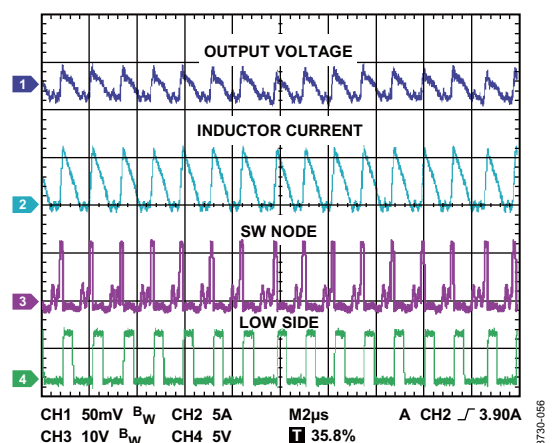


图57. 轻负载(2A)的条件下PSM工作时的输出电压纹波波形

ADP1870/ADP1871

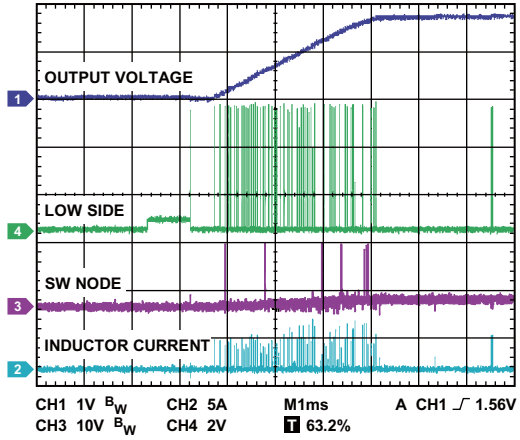


图58. 软启动与RES检测波形

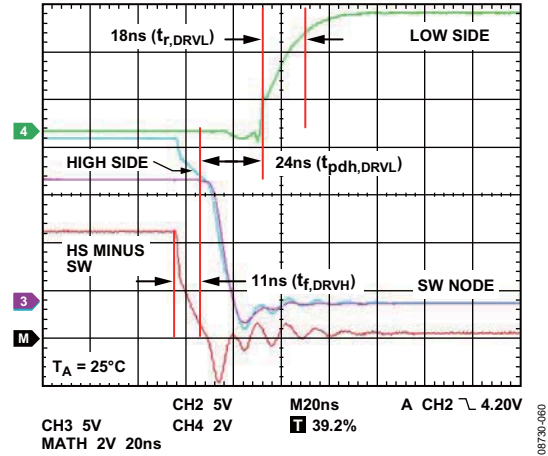


图61. 高端驱动器下降沿与低端上升沿波形
($C_{IN} = 4.3 \text{ nF}$ (高/低端MOSFET), $Q_{TOTAL} = 27 \text{ nC}$
($V_{GS} = 4.4 \text{ V}$ (Q1), $V_{GS} = 5 \text{ V}$ (Q3))

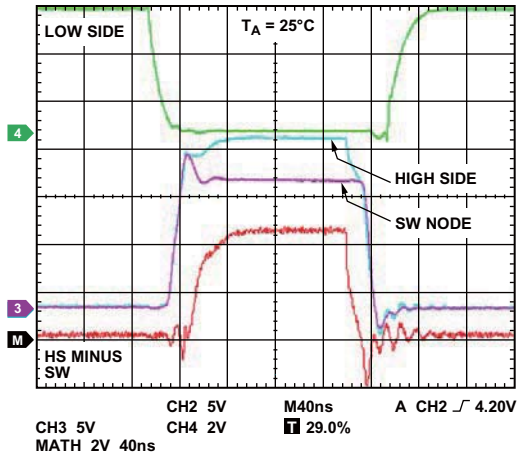


图59. 输出驱动器与SW节点波形

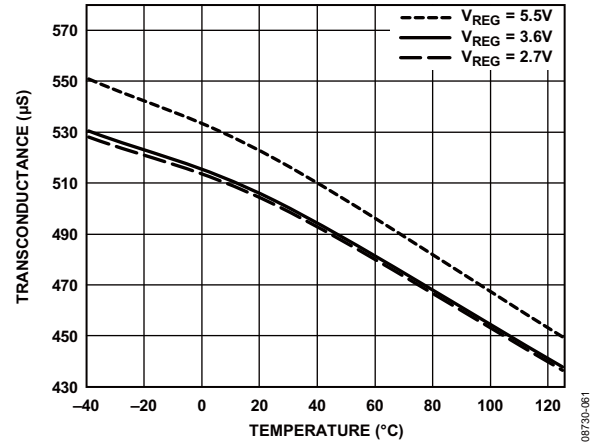


图62. 跨导(G_m)与温度的关系

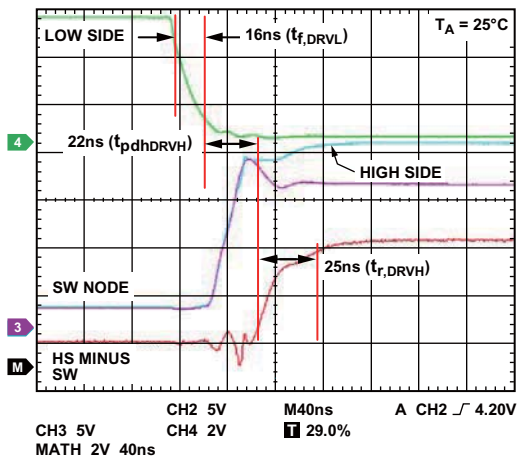


图60. 高端驱动器上升沿与低端下降沿波形
($C_{IN} = 4.3 \text{ nF}$ (高/低端MOSFET), $Q_{TOTAL} = 27 \text{ nC}$
($V_{GS} = 4.4 \text{ V}$ (Q1), $V_{GS} = 5 \text{ V}$ (Q3))

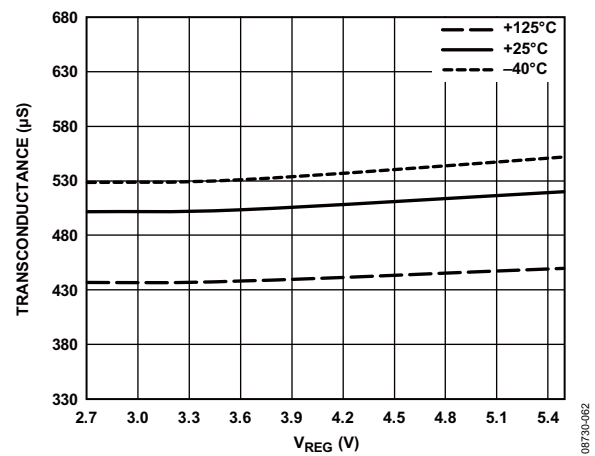


图63. 跨导(G_m)与 V_{REG} 的关系

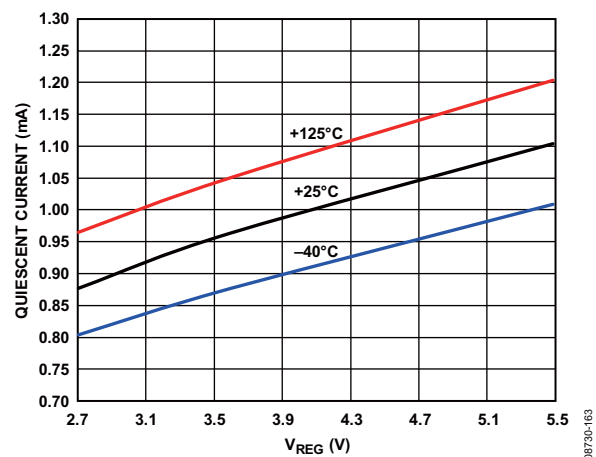


图64. 静态电流与 V_{REG} 的关系

工作原理

ADP1870/ADP1871均为多功能电流模式同步降压型控制器，采用恒定导通时间、伪固定频率及可编程电流检测增益、电流控制方案，具备出色的瞬态响应、最佳稳定性和限流保护特性。此外，这些器件还采用谷值电流模式控制架构，能在低占空比时实现最佳性能。因此，ADP1870/ADP1871可以驱动所有功率级N沟道MOSFET，以便调节低至0.6 V的输出电压。

启动

ADP1870/ADP1871内置一个调节器(VREG)，可为集成的MOSFET驱动器提供电源和偏置电压。在VREG(引脚5)和PGND(引脚7)之间应连接一个旁路电容。上电序列包括：电流检测放大器偏置、电流检测增益电路偏置(见“编程电阻(RES)检测电路”部分)、软启动电路偏置和误差放大器偏置。

电流检测模块不但能够提供谷值电流信息(见“编程电阻(RES)检测电路”部分)，还可以作为回路稳定性补偿方程的一个变量(见“补偿网络”部分)。在DRV1输出与PGND引脚之间施加一个0.4 V的电压，可得到谷值电流信息；这样一来，在RES检测电路检测的过程中，可根据DRV1引脚和PGND引脚之间的电阻的大小产生电流。流经电阻的电流用于设置电流检测放大器的增益。这一过程大约需要800 μ s，接下来，在DRV1引脚和DRVH引脚上将同时出现驱动信号脉冲，输出电压在软启动序列的控制下开始升高。

输出电压的上升时间由软启动模块和误差放大器模块决定(见“软启动”部分)。软启动开始时，误差放大器对外部补偿电容充电，使COMP/EN引脚的电压高于其使能阈值(285 mV)，从而使能ADP1870/ADP1871。

软启动

ADP1870/ADP1871内置数字软启动电路，该电路内有一个可启动电流递增功能的计数器；借助一个内部固定电容，电流每周期增加1 μ A。输出端通过为高端MOSFET生成PWM输出脉冲来追踪斜升电压。其目的是限制来自高电压输入电源(V_{IN})的浪涌电流输出至输出端(V_{OUT})。

精密使能电路

ADP1870/ADP1871内置精密使能电路。当迟滞电压为35 mV时，典型的使能阈值为285 mV。当COMP/EN引脚被释放后，误差放大器的输出电压不断升高；当该电压高于使能阈值时，器件被使能(见图66)。将该引脚接地，可禁用ADP1870/ADP1871，器件的供电电流降至约140 μ A。更多信息请参考图67：

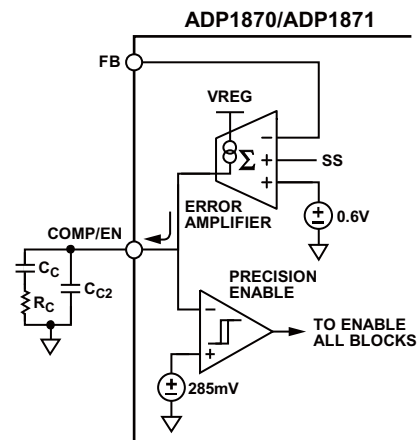


图66. 释放COMP/EN引脚，以使能ADP1870/ADP1871

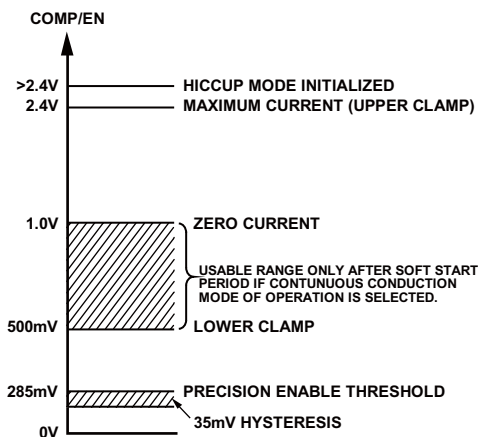


图67. COMP/EN电压范围

欠压闭锁

欠压闭锁(UVLO)特性可防止高、低端MOSFET在极低或未定义的输入电压(V_{IN})条件下工作。在未定义的偏置电压条件下工作可能导致向高端电源开关传输错误的信号。这样，反过来将导致无效的输出现象；这些输出可以破坏输出器件，最终将毁坏连接至输出端的器件。UVLO电平设置为2.65 V(标称值)。

片上低压差调节器

ADP1870利用片上LDO对内部数字和模拟电路进行偏置。将适当的旁路电容连接至VREG引脚(内部LDO的输出引脚)后，该引脚还可以为内部MOSFET驱动器供电。当VIN高于5.5V时，建议用户将VREG引脚悬空。VREG的最低偏置电压为2.75V。

在VIN从VREG去耦的应用中，VIN引脚的最低电压必须为2.9V。当VIN引脚的电压为2.75V供电轨时，建议用户将VIN与VREG连接在一起。

ADP1870/ADP1871

表5电源输入与LDO输出配置

VIN	VREG	注释
>5.5 V	悬空	必须使用LDO
<5.5 V	连接至VIN	LDO压差未实现 (即: 如果 $V_{IN} = 2.75\text{ V}$, 则 $V_{REG} = 2.75\text{ V}$)
<5.5 V	悬空	LDO压差已实现
高于和低于5.5 V	悬空	LDO压差已实现, 推荐的 V_{IN} 最小值 为2.95 V。

热关断

热关断是器件的一种自我保护特性,可以防止IC在非常高的结温下工作而造成损坏。当器件的结温高于155°C时,器件进入热关断状态。进入这一状态后,器件立即关闭高、低端MOSFET,禁用整个控制器,从而降低IC的功耗。结温降至低于140°C后,器件恢复正常工作状态。

编程电阻(RES)检测电路

编程电阻(RES)检测电路是器件启动后最先激活的功能模块之一。该模块在软启动开始之前上电。它在DRV1输出引脚上强加一个0.4 V的基准电压(见图68);该模块可被编程用于辨识四个可能的电阻值:47 kΩ、22 kΩ、开路 and 100 kΩ。

RES检测电路可将DRV1(引脚6)的电阻值数字化。内部ADC输出一个2位数字码,通过编程,可将这2位码设置为电流检测放大器的四个增益(见图69)。四种配置分别对应于3 V/V、6 V/V、12 V/V和24 V/V电流检测增益(A_{CS})(见表6和表7)。该变量可用于谷值限流设置,谷值限流设置不但能够为特定应用设置恰当的电流检测增益,还可以设置补偿,以便能实现稳定的回路(见“谷值限流设置”部分和“补偿网络”部分)。

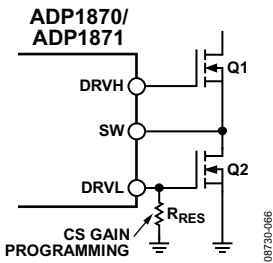


图68. 编程电阻位置

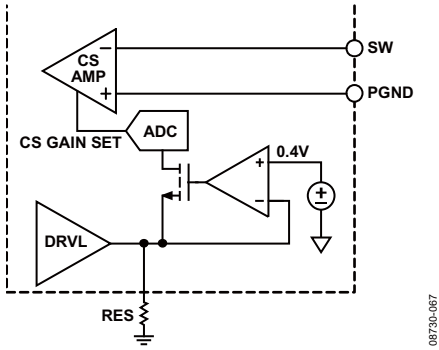


图69. 用于电流检测增益编程的RES检测电路

表6. 电流检测增益编程

电阻	A_{CS}
47 kΩ	3 V/V
22 kΩ	6 V/V
开路	12 V/V
100 kΩ	24 V/V

谷值限流设置

ADP1870/ADP1871采用一种基于谷值电流模式控制的架构。限流由以下三个因素决定:低端MOSFET的导通电阻(R_{ON})、误差放大器输出电压摆幅(COMP)和电流检测增益。COMP的范围在内部固定为1.4 V。通过DRV1引脚上的一个外部电阻,可编程设置电流检测增益(见“编程电阻(RES)检测电路”部分)。低端MOSFET的 R_{ON} 能够随温度的变化而改变;通常,有一个正值 T_c 与之对应(这意味着它随温度的升高而增大);因此,建议用户基于温度在125°C时MOSFET的额定 R_{ON} ,编程设置电流检测增益电阻。

由于ADP1870/ADP1871采用一种基于谷值电流模式控制的架构,因此, I_{CLIM} 与 I_{LOAD} 的关系为:

$$I_{CLIM} = I_{LOAD} \times \left(1 - \frac{K_I}{2}\right)$$

其中:

K_I 为电感纹波电流与预期平均负载电流之比(见图70)。

I_{CLIM} 为预期谷值电流限值。

I_{LOAD} 为电流负载。

确立 K_I 可确定电感值(见“电感选择”部分);在大多数情况下, $K_I = 0.33$ 。

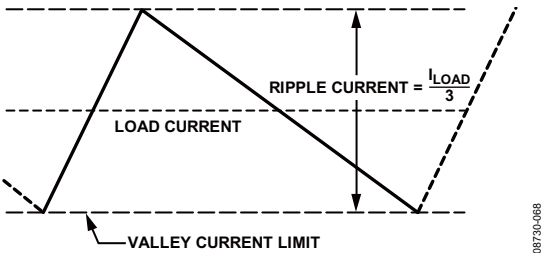


图70. 谷值电流限值与平均电流的关系

当确定预期谷值电流限值(I_{CLIM})后, 用户即可利用下述公式计算出电流检测增益:

$$I_{CLIM} = \frac{1.4V}{A_{CS} \times R_{ON}}$$

其中:

R_{ON} 为低端MOSFET的通道阻抗。

A_{CS} 为电流检测增益倍数(见表6和表7)。

尽管在ADP1870/ADP1871中每个特定的 R_{ON} 变量仅有四个分立的电流检测增益设置, 但表7和图71给出了基于各种 R_{ON} 值的多个谷值电流设置点选项。

表7. 谷值电流限值编程¹

R_{ON} (m Ω)	谷值电流水平			
	47 k Ω $A_{CS} = 3$ V/V	22 k Ω $A_{CS} = 6$ V/V	开路 $A_{CS} = 12$ V/V	100 k Ω $A_{CS} = 24$ V/V
1.5				38.9
2				29.2
2.5				23.3
3			39.0	19.5
3.5			33.4	16.7
4.5			26.0	13
5			23.4	11.7
5.5			21.25	10.6
10		23.3	11.7	5.83
15	31.0	15.5	7.75	7.5
18	26.0	13.0	6.5	3.25

¹ 如需了解更多信息及图形化表示, 请参考图71。

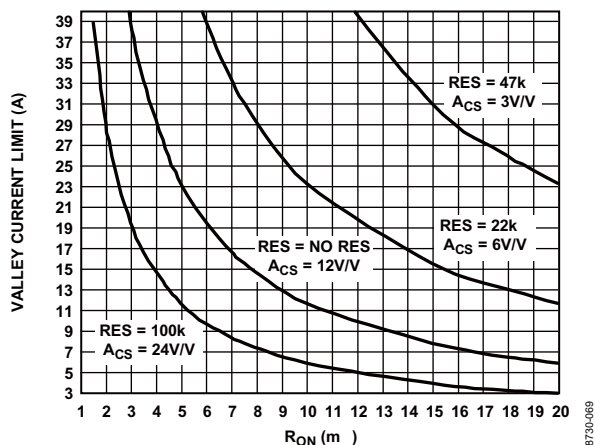


图71. 谷值限流与每个编程电阻(RES)的低端MOSFET的 R_{ON} 的关系

通过编程设置的谷值电流限值见表7和图71。所选电感必须能满足处理峰值电流的要求(见“电感选择”部分), 峰值电流为表7中所列的谷值电流与峰峰间电感纹波电流之和。另外, 电流峰值必须用于计算MOSFET的最差情况功耗(见图72)。

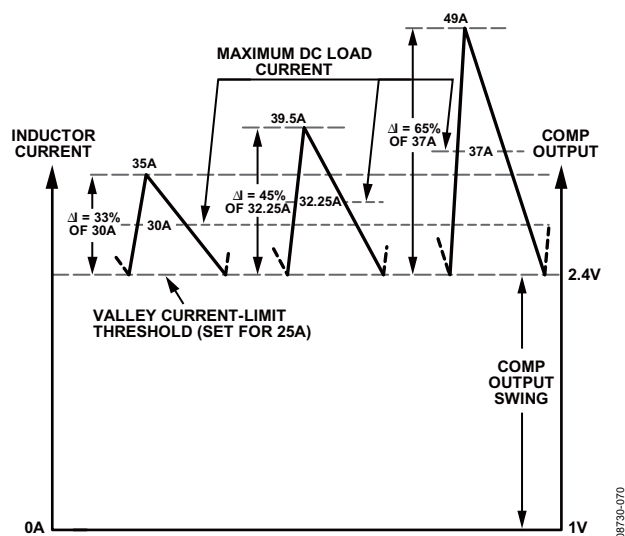


图72. 谷值限流与电感纹波电流的关系

短路期间的打嗝模式

当低端MOSFET的源极至漏极间的电流高于限流设置点时, 发生限流。检测到32次限流冲突后, 控制器进入空闲模式, 关闭MOSFET并使之维持关闭状态6 ms, 从而冷却转换器。接下来, 控制器重新软启动, 使得输出电压再次上升(见图73)。当输出电压升高时, 器件对COMP进行监测, 以确定是否依然存在冲突。如还存在, 再次进入空闲模式, 接着整个芯片关断。这一过程持续到过流不存在为止。当过流消失之后, 转换器开始正常开关、继续调节。

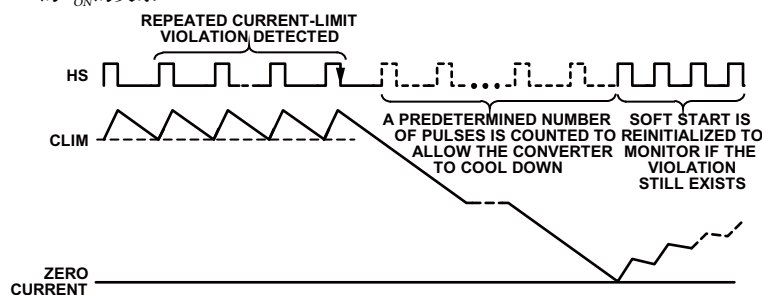


图73. 因限流冲突造成的空闲模式入口时序

ADP1870/ADP1871

同步整流器

ADP1870/ADP1871内置一个低端MOSFET驱动器，用来驱动外部高、低端MOSFET。同步整流器不但能够提高整体导通效率，还能够确保为位于高端驱动器输入端的自举电容正确地充电。这一点对启动过程非常重要，能够为外部高端MOSFET提供足够的驱动信号并实现快速导通响应，从而能有效地降低开关损耗。集成的高、低端MOSFET驱动器与内置防直通电路配合使用，可防止贯通电流破坏MOSFET或因过大功耗导致效率降低。

省电模式(PSM)版本(ADP1871)

ADP1871是ADP1870的省电模式(PSM)版本。ADP1871在断续模式(DCM)下以脉冲跳跃方式工作，支持轻负载至中负载电流。它能够输出脉冲，以维持输出调节。与连续导通模式(CCM)不同，DCM可防止产生负电流，从而能够在轻负载的条件下提高系统的效率。然而，流经这一通路的反向电流产生功耗并降低系统的效率。

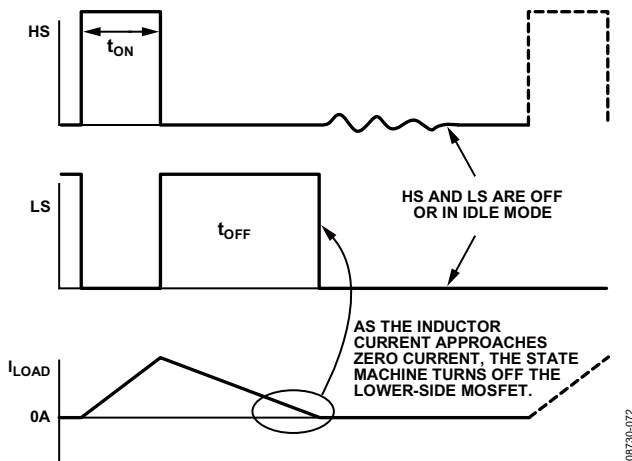


图74. 断续模式(DCM)

为尽量减少产生负电感电流产生的机会，当电感电流接近零电流线时，片上过零比较器应关闭所有高、低端开关，从而允许系统进入空闲模式；在空闲模式下，高、低端MOSFET处于关闭状态。为确保系统进入空闲模式，在SW节点上串联了一个10 mV偏置电压源(见图75)。

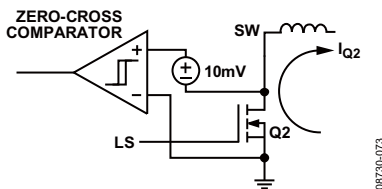


图75. 带有10 mV偏置电压的过零比较器

当流经低端MOSFET的正向电流降至

$$10 \text{ mV} = I_{Q2} \times R_{ON(Q2)}$$

时，过零比较器(或 I_{REV} 比较器)将发出信号，关闭低端MOSFET。从该点开始，电感电流斜降的斜率变得更陡(见图76)；其原因是低端MOSFET的体二极管开始传导电流，直至电感内的电能耗尽时才停止传导电流。

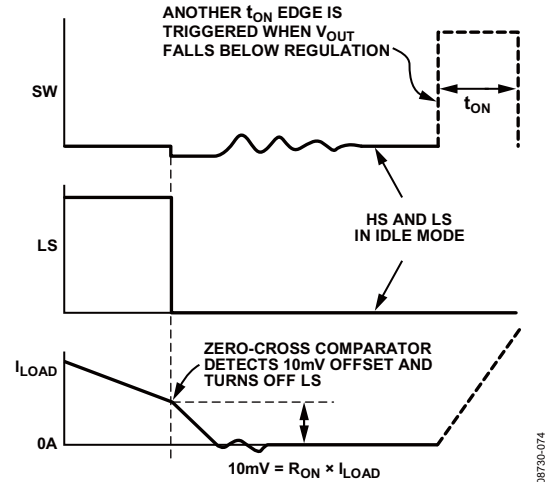


图76. 10 mV偏置以防止产生负传导电流

在输出电压降至设计规范的限值前，系统一直处于空闲状态。接下来，产生PWM脉冲，导通高端MOSFET，以维持系统调节。ADP1871无内部时钟，因此，它的开关与本节所述的滞环控制器保持一致。

定时器操作

ADP1870/ADP1871采用恒定导通时间架构，可提供诸多益处；例如：与可比较回路设计中的恒定(固定)频率电流模式控制回路相比，具有较好的负载和线性瞬态响应性能。恒定导通时间定时器(即 t_{ON} 定时器)可根据SW波形信息检测高输入电压(V_{IN})和输出电压(V_{OUT})，以生成可调整单稳态PWM脉冲，从而改变高端MOSFET的导通时间，以应对输入电压、输出电压和负载电流条件的动态变化，从而维持调整。随后，它生成与 V_{IN} 呈反比例变化的导通时间(t_{ON})脉冲。

$$t_{ON} = K \times \frac{V_{OUT}}{V_{IN}}$$

其中：

K 为常量，由RC定时器在300 kHz/600 kHz/1.0 MHz频率下的比例系数调整。

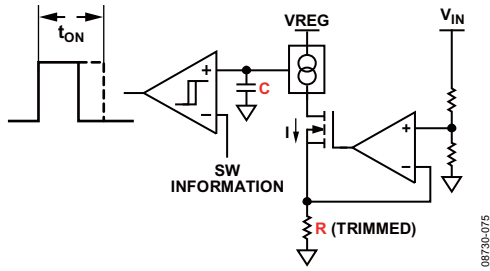


图77. 恒定导通时间

恒定导通时间(t_{ON})并非严格意义上的“恒定”，它可以随 V_{IN} 和 V_{OUT} 的变化而改变。当保持开关频率不受 V_{IN} 和 V_{OUT} 的影响时，导通时间是恒定的。

t_{ON} 定时器利用应用于恒定导通时间控制回路上的前馈技术，形成一阶伪固定频率。二阶效应(例如：外部功率MOSFET的直流损耗(见“效率考量”部分))可改变频率与负载电流和电源电压之间的关系。这些影响见图23至图34。与未采用前馈技术相比，频率变化明显降低。

采用前馈技术的频率计算公式如下：

$$f_{SW} = \frac{1}{K}$$

其中， f_{SW} 为控制器开关频率(300 kHz、600 kHz和1.0 MHz)。

t_{ON} 定时器用于检测 V_{IN} 和 V_{OUT} ，从而最大程度地降低如前所述频率。这可以提供伪固定频率(见“伪固定频率”部分)。 V_{IN} 和 V_{OUT} 检测的裕量值满足如下表达式：

$$V_{REG} \geq V_{IN}/8 + 1.5$$

$$V_{REG} \geq V_{OUT}/4$$

在 $V_{REG} = 5\text{ V}$ 的典型应用中，可以不考虑上述等式；但在较低 V_{REG} 输入的应用中，则必须考虑上述等式。

伪固定频率

ADP1870/ADP1871采用恒定导通控制方案。在稳态下工作时，开关频率保持相对恒定，即伪固定。这是由于在包括输入电压、输出电压和负载电流在内的外部条件均处于稳态的前提下，单稳态 t_{ON} 定时器以“固定的”时间间隔产生高端PWM脉冲。在负载瞬态期间，频率可根据瞬态事件的时间间隔的变化而改变。因此，与频率为固定值或保持不变的情况相比，输出能够更快的回到调整值。当瞬态结束后，频率恢复为一阶伪固定频率值。

为将这一特性描述得更清楚，本节将详细介绍一个这样的负载瞬态事件-正负载阶跃。在负载瞬态事件过程中，高端驱动器输出脉冲宽度在各个周期内基本相同；但关断时间(DRVL导通时间)可根据上述外部条件的瞬时变化而进行动态调整。

当出现正负载阶跃时，误差放大器(与输出反相， V_{OUT})在其输出端(COMP)生成新的电压信息。此外，在这个正负载瞬态事件发生后，电流检测放大器将检测新的电感电流信息。误差放大器的输出电压反应与新电感电流信息(确定下一个开关周期何时启动)进行比较。因电流信息来自谷值电流检测，因此，在电感电流斜坡下降处检测电流；而电压回路信息检测发生在误差放大器输出端(COMP)的s上升期间。

其结果是两种信号接合(见图78)；这样，在发生正负载瞬态事件时允许开关频率瞬间提高。综上所述，一次正负载阶跃可使 V_{OUT} 瞬时下降，使得COMP瞬时上升，从而缩短关断时间。这样，在正负载瞬态期间，可以提高频率，从而迅速将 V_{OUT} 提升至符合规格要求的电压范围内。

同样，负向负载阶跃可响应 V_{OUT} 的上升而延长关断时间。这样能有效提高电感的退磁效果，从而将 V_{OUT} 提升至符合规格要求的电压范围内。在这种情况下，开关频率降低或折返，有利于恢复输出电压。

由于ADP1870/ADP1871能对负载的突变做出快速反应，输出电压建立返回其初始稳态工作点所占的恢复周期明显短于固定频率下的周期。因此，与采用固定频率相比，采用伪固定频率可以获得较好的负载瞬态性能。

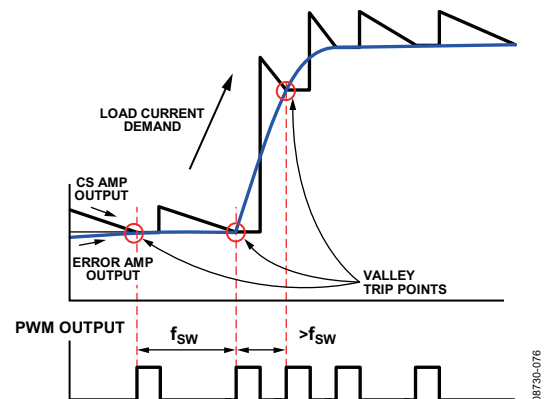


图78. 负载瞬态响应工作原理

应用信息

反馈电阻分压器

内部基准电压(V_{REF})固定值为0.6V；因此，可根据给定的 V_{OUT} 值确定所需电阻分压器网络。选择 R_T 和 R_B 的值，可以确定转换器的最小输出负载电流。因此，对于给定 R_B 值，可根据下述表达式计算 R_T 的值：

$$R_T = R_B \times \frac{(V_{OUT} - 0.6V)}{0.6V}$$

电感选择

电感值与电感纹波电流成反比。峰峰值纹波电流的计算公式如下：

$$\Delta I_L = K_I \times I_{LOAD} \approx \frac{I_{LOAD}}{3}$$

其中， K_I 的典型值为0.33。

电感值的计算公式如下：

$$L = \frac{(V_{IN} - V_{OUT})}{\Delta I_L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN}}$$

其中：

V_{IN} 为高电压输入。

V_{OUT} 为所需的输出电压。

f_{SW} 为控制器的开关频率(300 kHz、600 kHz或1.0 MHz)。

选择电感时，需保证电感的饱和电流大于工作时的峰值电流；然后，计算电感电流纹波(见“谷值限流设置”部分和图79)。

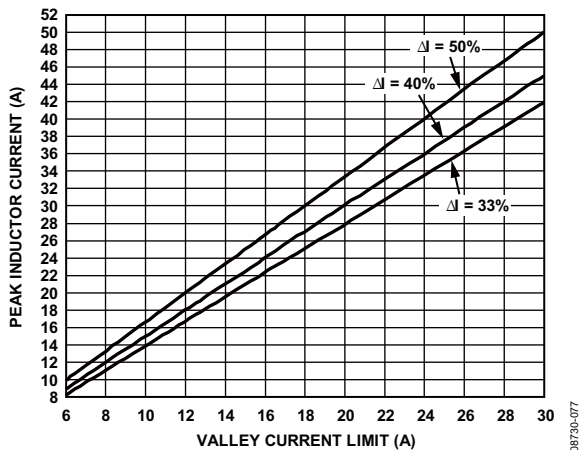


图79. 峰值电感电流与谷值电流限值的关系
(电感纹波电流的33%、40%和50%)

表8. 推荐电感

L (μH)	DCR (mΩ)	ISAT (A)	尺寸(mm)	制造厂商	型号
0.12	0.33	55	10.2 × 7	Würth Elek.	744303012
0.22	0.33	30	10.2 × 7	Würth Elek.	744303022
0.47	0.67	50	13.2 × 12.8	Würth Elek.	744355147
0.72	1.3	35	10.5 × 10.2	Würth Elek.	744325072
0.9	1.6	28	13 × 12.8	Würth Elek.	744355090
1.2	1.8	25	10.5 × 10.2	Würth Elek.	744325120
1.0	3.3	20	10.5 × 10.2	Würth Elek.	7443552100
1.4	3.2	24	14 × 12.8	Würth Elek.	744318180
2.0	2.6	22	13.2 × 12.8	Würth Elek.	7443551200
0.8	2.5	16.5	12.5 × 12.5	AIC Technology	CEP125U-R80

输出纹波电压(ΔV_{RR})

输出纹波电压为在稳态下的直流输出电压的交流分量。如纹波误差为1.0%，可根据如下公式计算出为达到此容差所需的输出电容值。(注意：精度1.0%仅能在稳态条件下实现；在负载瞬态条件下，无法达到该精度。)

$$\Delta V_{RR} = (0.01) \times V_{OUT}$$

输出电容选择

输出电容的主要作用为降低输出电压纹波；然而，当出现负载瞬态事件时，输出电容又有助于恢复输出电压。在给定的负载电流阶跃条件下，在阶跃发生的过程中产生的输出电压纹波与所选输出电容值成反比。在输出电压恢复期间，输出电压建立速度取决于穿越频率(回路带宽)的设置。穿越频率则取决于输出电容、电容的等效串联电阻(ESR)和补偿网络。

稳态工作点的小信号电压纹波(输出纹波电压)的计算公式如下：

$$C_{OUT} = \Delta I_L \times \left(\frac{1}{8 \times f_{SW} \times [\Delta V_{RIPPLE} - (\Delta I_L \times ESR)]} \right)$$

其中， ESR 为输出电容的等效串联电阻。

输出负载阶跃的计算公式如下：

$$C_{OUT} = 2 \times \frac{\Delta I_{LOAD}}{f_{SW} \times (\Delta V_{DROOP} - (\Delta I_{LOAD} \times ESR))}$$

其中， ΔV_{DROOP} 为与正向负载电流阶跃值(ΔI_{LOAD})对应的 V_{OUT} 偏差量。

陶瓷电容具有低ESR的特性。然而，使用X5R系列时需要权衡，由于电容上的电压不断增加，电容量可能会损失高达80%(见图80)。虽然也可以利用X7R系列电容，但这一系列电容的最大可用电容量仅为22 μF 。

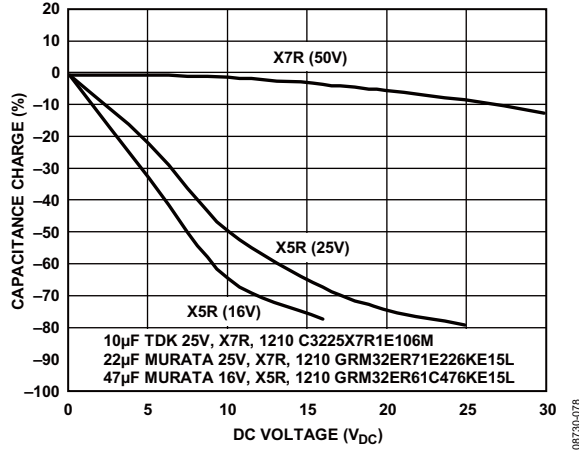


图80. 陶瓷电容电容量与直流电压特性的关系

电解电容可满足大多数高电流应用中对大电容的需求。由于电解电容的ESR明显高于陶瓷电容的ESR，因此，在使用电解电容时，可将多个MLCC并联，以降低总体串联电阻。

补偿网络

ADP1870/ADP1871的电流模式架构决定了它们需要II型补偿。为确定需要补偿的元件值(电容值与电阻值)，必须首先确定当 $H = 1 \text{ V/V}$ 时，在单位增益频率($f_{\text{sw}}/10$)下的转换器整体回路增益(H)：

$$H = 1\text{V/V} = G_M \times G_{CS} \times \frac{V_{\text{OUT}}}{V_{\text{REF}}} \times Z_{\text{COMP}} \times Z_{\text{FILT}}$$

确定高频条件下单位增益传递函数的各个变量，以便计算元件值 R_{COMP} 和 C_{COMP} 。

输出滤波器阻抗(Z_{FILT})

高频条件下的滤波器传递函数简化为

$$Z_{\text{FILT}} = \frac{1}{s C_{\text{OUT}}}$$

前提：在穿越频率下($s = 2\pi f_{\text{CROSS}}$)。

误差放大器输出阻抗(Z_{COMP})

假设 C_{C2} 明显小于 C_{COMP} ，则在计算误差放大器的输出阻抗时，可以将 C_{C2} 忽略不计。传递函数简化为

$$Z_{\text{COMP}} = \frac{R_{\text{COMP}}(f_{\text{CROSS}} + f_{\text{ZERO}})}{f_{\text{CROSS}}}$$

且

$$f_{\text{CROSS}} = \frac{1}{12} \times f_{\text{SW}}$$

其中，ADP1870的零频(f_{ZERO})为穿越频率的1/4。

误差放大器增益(G_M)

误差放大器增益(跨导)为

$$G_M = 500 \mu\text{A/V}$$

电流检测回路增益(G_{CS})

电流检测回路的增益为：

$$G_{CS} = \frac{1}{A_{CS} \times R_{\text{ON}}} (\text{A/V})$$

其中：

可通过编程将 A_{CS} (V/V)设置为3 V/V、6 V/V、12 V/V和24 V/V(参见“编程电阻(RES)检测电路”和“谷值限流设置”部分)。

R_{ON} 为低端MOSFET的通道阻抗。

穿越频率

穿越频率指整个回路(系统)的增益为0 dB ($H = 1 \text{ V/V}$)时的频率。对于像ADP1870这样的电流模式转换器来说，建议用户将穿越频率设置为开关频率的1/10至1/15。

$$f_{\text{CROSS}} = \frac{1}{12} f_{\text{SW}}$$

C_{COMP} 与 f_{ZERO} (零频)之间的关系如下：

$$f_{\text{ZERO}} = \frac{1}{2\pi \times R_{\text{COMP}} \times C_{\text{COMP}}})$$

零频为穿越频率的1/4。

根据以上参数，可得：

$$R_{\text{COMP}} = \frac{f_{\text{CROSS}}}{f_{\text{CROSS}} + f_{\text{ZERO}}} \times \frac{2\pi f_{\text{CROSS}} C_{\text{OUT}}}{G_M G_{CS}} \times \frac{V_{\text{OUT}}}{V_{\text{REF}}}$$

$$C_{\text{COMP}} = \frac{1}{2 \times \pi \times R_{\text{COMP}} \times f_{\text{ZERO}}}$$

效率考量

在构建一个DC-DC转换器时，需要考虑的重要原则之一是效率。根据定义可知，效率是输出功率与输入功率之比。在负载电流高达20A的高功率应用中，下列重要MOSFET参数有助于进行选择：

- $V_{GS(TH)}$ ：栅极与源极之间的MOSFET阈值电压。
- $R_{DS(ON)}$ ：沟道导通期间的MOSFET导通电阻。
- Q_G ：总栅极电荷量。
- C_{N1} ：高端开关的输入电容。
- C_{N2} ：低端开关的输入电容。

外部元件在正常开关期间产生的损耗如下：

- 高、低端MOSFET的沟道导通损耗
- MOSFET驱动器损耗
- MOSFET开关损耗
- 体二极管导通损耗(低端MOSFET)
- 电感损耗(铜损和铁损)

沟道导通损耗

在正常工作模式下，大部分效率上的损耗都是由于MOSFET沟道导通产生的功耗所致。高端MOSFET引起的功率损耗与每个开关周期的占空比(D)成正比；低端MOSFET引起的功率损耗与每个开关周期的1-D成正比。MOSFET的选择取决于转换器所需传输的最大直流负载电流。典型的高电流应用中的占空比不高于50%；所以，低端MOSFET的选择完全取决于最大负载电流。因此，在绝大多数开关周期内，低端MOSFET都处于导通状态。

$$P_{N1,N2(CL)} = [D \times R_{N1(ON)} + (1-D) \times R_{N2(ON)}] \times I_{LOAD}^2$$

MOSFET驱动器损耗

其余功耗元件为MOSFET驱动器。在器件工作期间流经驱动器的直流电流和外部MOSFET的QGATE参数是导致损耗的主要因素。

$$P_{DR(LOSS)} = [V_{DR} \times (f_{SW} C_{upperFET} V_{DR} + I_{BIAS})] + [V_{REG} \times (f_{SW} C_{lowerFET} V_{REG} + I_{BIAS})]$$

其中：

$C_{upperFET}$ 为高端MOSFET的输入栅极电容。

$C_{lowerFET}$ 为低端MOSFET的输入栅极电容。

I_{BIAS} 为流入高、低端驱动器的直流电流。

V_{DR} 为驱动器偏置电压，即低输入电压(V_{REG})与整流器压降之差(见图81)。

V_{OUT} 为输出偏置电压。

f_{SW} 为控制器开关频率(300 kHz、600 kHz和1.0 MHz)。

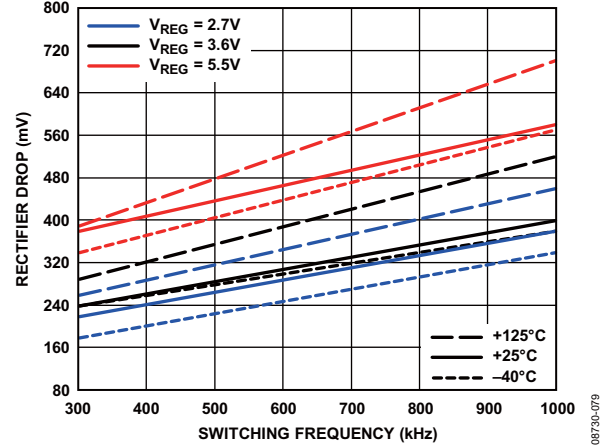


图81. 内部整流器压降与开关频率的关系

开关损耗

由于高/低端MOSFET的开关，SW节点会产生跳变。因而，导致MOSFET的栅极氧化层不断放电和充电，同时，还导致与栅极氧化层边缘叠层相关的寄生电容以及源极和漏极的放电和充电。转移期间进入和退出这些电荷通道的电流会带来额外的损耗。利用如下计算公式可以将这一损耗量化，计算结果代表电荷进入和退出这些容性区域所需的时间。

$$t_{SW-TRANS} = R_{GATE} \times C_{TOTAL}$$

其中：

C_{TOTAL} 为外部MOSFET的 C_{GD} 与 C_{GS} 之和。

R_{GATE} 为外部MOSFET栅极输入电阻。

这一时间常量与开关周期的比值可作为下述公式的乘数：

$$P_{SW(LOSS)} = \frac{t_{SW-TRANS}}{t_{SW}} \times I_{LOAD} \times V_{IN} \times 2$$

或者

$$P_{SW(LOSS)} = f_{SW} \times R_{GATE} \times C_{TOTAL} \times I_{LOAD} \times V_{IN} \times 2$$

二极管传导损耗

ADP1870/ADP1871内置一防交叉传导电路，用来防止高端MOSFET和低端MOSFET同时传导电流。这一重叠控制功能非常有用，它能够防止产生大电流，从而避免对功率级的外部元件造成不可修复的损害。然而，这一屏蔽期会从MOSFET发生改变并造成二极管传导损耗开始，一直持续到器件进入空闲状态为止。在抗重叠状态下，低端MOSFET的体二极管造成的损耗可由下述公式计算得出：

$$P_{BODY(LOSS)} = \frac{t_{BODY(LOSS)}}{t_{SW}} \times I_{LOAD} \times V_F \times 2$$

其中：

$t_{BODY(LOSS)}$ 为体传导时间(死区周期见图82)。

t_{SW} 为每个开关周期的时长。

V_F 为在传导期间产生的体二极管正向压降。(如需了解更多关于 V_F 参数的信息，请参阅所选外部MOSFET的数据手册。)

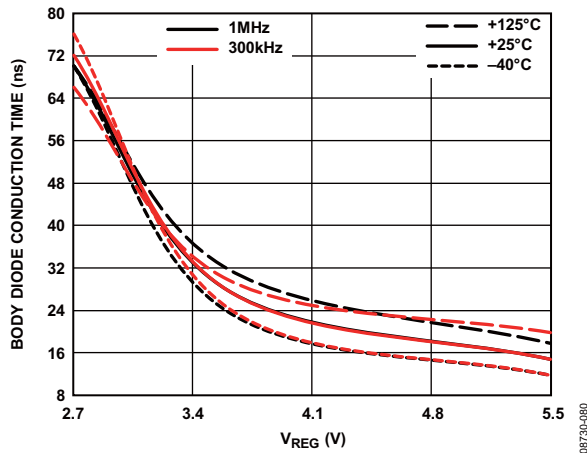


图82. 体二极管传导时间与低电压输入(V_{REG})的关系

电感损耗

由于电感线圈具有直流电阻(DCR)，因此，在正常传导模式下，电流流经电感线圈也会产生功耗。通常，电感体积越大，DCR值越小。

电感的磁芯材料内的涡流会引起电感的铁损。电流流经电感线圈，产生了变化的磁通量，从而导致涡流的产生。电感铁损的大小取决于磁芯材料、磁通变化、频率及磁芯的体积。铁氧体电感的铁损最低，而粉末铁芯电感的铁损较高。如在高电流DC-DC变换的应用中采用ADP1870/ADP1871，建议用户使用屏蔽铁氧体磁芯电感。

最大程度地降低损耗并忽略电磁干扰(EMI)。

$$P_{DCR(LOSS)} = DCR \times I_{LOAD}^2 + Core Loss$$

输入电容选择

选择输入电容的目的为减少输入电压纹波或将其降至最低并降低高频源阻抗，这对于达到预期的回路稳定性和瞬态性能来说非常关键。

大容量的电容除了物理体积较大，带来的问题还包括它们本身具有较大的等效串联电阻(ESR)和等效串联电感(ESL)。铝电解电容的ESR非常高，因此，引起输入电压纹波幅度且通常在高开关频率下不起作用。

如果需要使用大容量电容，建议将几个多层陶瓷电容(MLCC，其ESR较低)并联使用。在高端MOSFET的漏极和低端MOSFET的源极之间并联数个MLCC(见“布局考量”部分)，能够大幅降低输入电压纹波幅度。如果错误地放置和安装这些MLCC，可能会因为杂散电感和走线阻抗增加导致电容无效。

$$I_{CIN,rms} = I_{LOAD,max} \times \frac{\sqrt{V_{OUT} \times (V_{IN} - V_{OUT})}}{V_{OUT}}$$

当高端MOSFET处于关闭状态时，在1-D周期结束时，将产生最大输入电压纹波和最大输入电容均方根电流。输入电容均方根电流在时间点D达到最大值。当已知输入电容的ESR时，可根据下述公式计算最大输入电压纹波：

$$V_{RIPPLE,max} = V_{RIPP} + (I_{LOAD,max} \times ESR)$$

其中：

V_{RIPP} 通常为最小电压输入的1%。

$I_{LOAD,max}$ 为最大负载电流。

ESR为输入电容的等效串联电阻额定值。

将 $V_{RIPPLE,max}$ 的值代入如下电荷平衡方程，计算最小输入电容。

$$C_{IN,min} = \frac{I_{LOAD,max}}{V_{RIPPLE,max}} \times \frac{D(1-D)}{f_{SW}}$$

或者

$$C_{IN,min} = \frac{I_{LOAD,max}}{4f_{SW}V_{RIPPLE,max}}$$

其中，D = 50%。

ADP1870/ADP1871

散热考量

ADP1870/ADP1871可用在DC-DC降压高电流应用场合，在该应用方案中，需要用到一个片上控制器、一个片上LDO和多个片上MOSFET驱动器。由于在应用中可能需要高达20 A的负载电流传递或者器件遇到的环境温度较高，因此在选择MOSFET(高端/低端)时，需考虑到器件散热性能，以保证结温不超过125°C。为避免对器件造成永久性的或不可修复的损害，当结温达到或超过155°C时，器件将进入热关断状态，从而关闭两个外部MOSFET，且在结温降至140°C前，不允许使能外部MOSFET(见“片上低压差线性调节器”部分)。

此外，还要考虑封装的热阻。ADP1870/ADP1871配有一个片上LDO，内部驱动器为驱动外部MOSFET所消耗的交流电流(fxCxV)增加了内部LDO的功耗。等式3显示出当使用集成的驱动器和内部LDO时的功耗。

表9列出了当ADP1870/ADP1871采用10引脚MSOP封装和10引脚LFCSP封装时的热阻。

表9. 10引脚MSOP的热阻

参数	热阻
10引脚MSOP θ_{JA}	
两层板	213.1°C/W
四层板	171.7°C/W
10引脚LFCSP θ_{JA}	
四层板	40°C/W

图83显示出ADP1870/ADP1871 IC在特定高输入电压(V_{IN})条件下所支持的最高容许环境温度。图83显示出在10引脚MSOP封装和10引脚LFCSP封装中，针对低、典型、高输出开关频率设定值的降温条件。各种降温标准均基于IC的最高结温(125°C)。

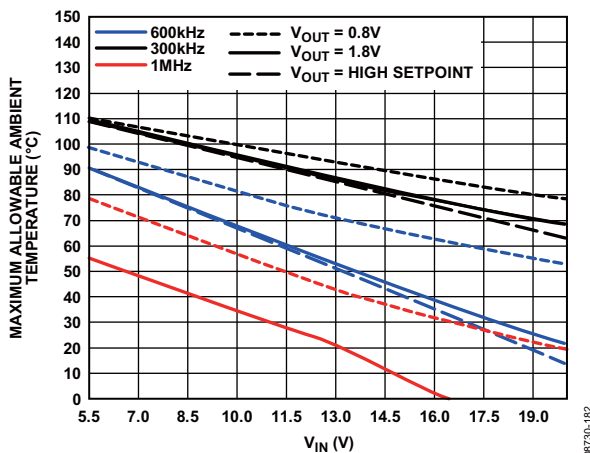


图83. 环境温度与 V_{IN} 的关系(10引脚MSOP (171°C/W)、四层评估板、 $C_{IN} = 4.3$ nF(高端/低端MOSFET))

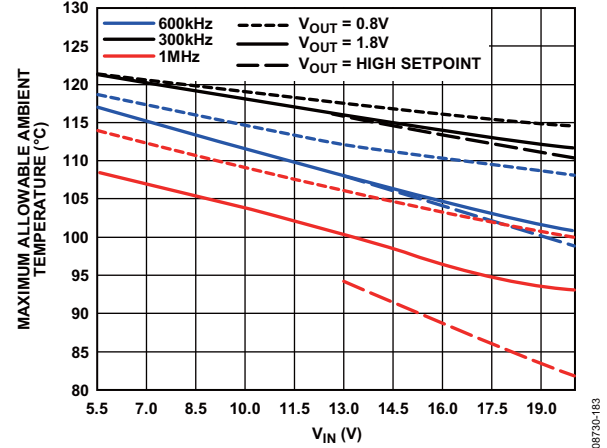


图84. 环境温度与 V_{IN} 的关系(10引脚LFCSP (40°C/W)、四层评估板、 $C_{IN} = 4.3$ nF(高端/低端MOSFET))

ADP1870/ADP1871支持的最高结温为125°C。这意味着环境温度(T_A)与由于封装的热阻和内部功耗引起的封装温度温升(T_R)之和不得高于125°C；其表达式如下：

$$T_J = T_A + T_R \quad (1)$$

其中：

T_A 为环境温度。

T_J 为最高结温。

T_R 为由于内部功耗引起的封装温升。

封装温升与封装的热阻特性参数呈正比。二者的比例关系表示如下：

$$T_R = \theta_{JA} \times P_{DR(LOSS)} \quad (2)$$

其中：

θ_{JA} 为封装的结到芯片外表面(接触空气)之间的热阻。

$P_{DR(LOSS)}$ 为IC的总功耗。

其中大部分功耗是由于外部MOSFET栅极电容和流经片上LDO的电流而产生的。MOSFET驱动器及内部低压差调节器(见“效率考量”部分中对MOSFET驱动器损耗部分的说明)所产生的内部功耗的计算公式如下：

$$P_{DR(LOSS)} = [V_{DR} \times (f_{SW} C_{upperFET} V_{DR} + I_{BIAS})] + [V_{REG} \times (f_{SW} C_{lowerFET} V_{REG} + I_{BIAS})] \quad (3)$$

其中：

$C_{upperFET}$ 为高端MOSFET的输入栅极电容。

$C_{lowerFET}$ 为低端MOSFET的输入栅极电容。

I_{BIAS} 为流入高端驱动器和低端驱动器的直流电流(2 mA)。

V_{DR} 为驱动器偏置电压(低输入电压(VREG)与整流器压降之差，见图81)。

V_{REG} 为LDO输出/偏置电压。

$$P_{DISS(LDO)} = P_{DR(LOSS)} + (V_{IN} - V_{REG}) \times (f_{SW} \times C_{total} \times V_{REG} + I_{BIAS}) \quad (4)$$

其中：

$P_{DISS(LDO)}$ 为VIN和VREG间的LDO模块的PASS装置产生的功耗。

C_{total} 为外部MOSFET的 C_{GD} 与 C_{GS} 之和

V_{REG} 为LDO输出电压和偏置电压。

V_{IN} 为高电压输入。IBIAS为直流输入偏置电流。

$P_{DR(LOSS)}$ 为MOSFET驱动器损耗。

例如，如外部MOSFET的特性为： θ_{JA} (10引脚MSOP) = 171.2°C/W、 $f_{SW} = 300$ kHz、 $I_{BIAS} = 2$ mA、 $C_{upperFET} = 3.3$ nF、 $C_{lowerFET} = 3.3$ nF、 $V_{DR} = 4.62$ V和 $V_{REG} = 5.0$ V，那么，功率损耗为：

$$\begin{aligned} P_{DR(LOSS)} &= [V_{DR} \times (f_{SW} C_{upperFET} V_{DR} + I_{BIAS})] \\ &+ [V_{REG} \times (f_{SW} C_{lowerFET} V_{REG} + I_{BIAS})] \\ &= (4.62 \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 4.62 + 0.002)) \\ &+ (5.0 \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 5.0 + 0.002)) \\ &= 57.12 \text{ mW} \\ P_{DISS(LDO)} &= (V_{IN} - V_{REG}) \times (f_{SW} \times C_{total} \times V_{REG} + I_{BIAS}) \\ &= (13\text{V} - 5\text{V}) \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 5 + 0.002) \\ &= 55.6 \text{ mW} \\ P_{DISS(TOTAL)} &= P_{DISS(LDO)} + P_{DR(LOSS)} \\ &= 77.13 \text{ mW} + 55.6 \text{ mW} \\ &= 132.73 \text{ mW} \end{aligned}$$

10引脚MSOP封装温升为：

$$\begin{aligned} T_R &= \theta_{JA} \times P_{DR(LOSS)} \\ &= 171.2^\circ\text{C} \times 132.05 \text{ mW} \\ &= 22.7^\circ\text{C} \end{aligned}$$

假设环境温度的最高值为85°C，

$$T_J = T_R + T_A = ^\circ\text{C} + 85^\circ\text{C} = 107.72^\circ\text{C}$$

这一温度低于最高结温（125°C）。

设计示例

ADP1870/ADP1871易于使用，仅需要满足极少数设计标准。例如，设计本部分所示范例仅需满足4项设计标准：

$V_{OUT} = 1.8$ V、 $I_{LOAD} = 15$ A(脉冲)、 $V_{IN} = 12$ V(典型值)以及 $f_{SW} = 300$ kHz。

输入电容

最大输入电压纹波通常为最小输入电压的1%，即11.8 V × 0.01 = 120 mV。

$$\begin{aligned} V_{RIPP} &= 120 \text{ mV} \\ V_{MAX,RIPPLE} &= V_{RIPP} - (I_{LOAD,MAX} \times ESR) \\ &= 120 \text{ mV} - (15 \text{ A} \times 0.001) = 45 \text{ mV} \end{aligned}$$

$$\begin{aligned} C_{IN,min} &= \frac{I_{LOAD,MAX}}{4 f_{SW} V_{MAX,RIPPLE}} = \frac{15 \text{ A}}{4 \times 300 \times 10^3 \times 105 \text{ mV}} \\ &= 120 \text{ }\mu\text{F} \end{aligned}$$

选择5个22 μF 陶瓷电容，这5个22 μF 陶瓷电容的总ESR小于1 m Ω 。

$$\begin{aligned} I_{RMS} &= I_{LOAD}/2 = 7.5 \text{ A} \\ P_{CIN} &= (I_{RMS})^2 \times ESR = (7.5 \text{ A})^2 \times 1 \text{ m}\Omega = 56.25 \text{ mW} \end{aligned}$$

电感

电感纹波电流幅度的计算公式如下：

$$\Delta I_L \approx \frac{I_{LOAD}}{3} = 5 \text{ A}$$

因此，电感值的计算公式如下：

$$\begin{aligned} L &= \frac{(V_{IN,MAX} - V_{OUT})}{\Delta I_L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN,MAX}} \\ &= \frac{(13.2 \text{ V} - 1.8 \text{ V})}{5 \text{ V} \times 300 \times 10^3} \times \frac{1.8 \text{ V}}{13.2 \text{ V}} \\ &= 1.03 \text{ }\mu\text{H} \end{aligned}$$

电感峰值电流约为：

$$15 \text{ A} + (5 \text{ A} \times 0.5) = 17.5 \text{ A}$$

因此，应选择表8中的峰值电流为20 A、DCR = 3.3 m Ω (Würth Elektronik 7443552100)的1.0 μH 电感。

$$\begin{aligned} P_{DCR(LOSS)} &= DCR \times I^2 L \\ &= 0.003 \times (15 \text{ A})^2 = 675 \text{ mW} \end{aligned}$$

限流编程

谷值电流值约为：

$$15 \text{ A} - (5 \text{ A} \times 0.5) = 12.5 \text{ A}$$

假设一个低端MOSFET RON的阻值为4.5 m Ω ，表7和图71中的谷值限流为13 A，与24 V/V ACS对应的编程电阻(RES)的阻值为100 k Ω 。

当电流检测增益为24 V/V时，应选择100 k Ω 可编程电阻 R_{RES} 。

输出电容

假设输出端的负载阶跃值为15 A、偏离稳态工作点的输出容差不大于5%。这种情况下，ADP1870的优势在于，由于转换器在伪固定频率下工作，转换器能够对开关频率的瞬时提高做出快速的响应。

$$\Delta V_{DROOP} = 0.05 \times 1.8 \text{ V} = 90 \text{ mV}$$

假设输出电容的总ESR范围为5 m Ω 至10 m Ω ，这时，

$$\begin{aligned} C_{OUT} &= 2 \times \frac{\Delta I_{LOAD}}{f_{SW} \times (\Delta V_{DROOP})} \\ &= 2 \times \frac{15 \text{ A}}{300 \times 10^3 \times (90 \text{ mV})} \\ &= 1.11 \text{ mF} \end{aligned}$$

ADP1870/ADP1871

因此，应选择5个270 μF 聚合物电容(总体ESR为3.5 m Ω)。

假设过冲电压为45 mV，可利用下述公式确定已计算出的输出电容是否足够：

$$C_{OUT} = \frac{(L \times I_{LOAD}^2)}{(V_{OUT} - \Delta V_{OVSHT})^2 - (V_{OUT})^2}$$

$$= \frac{1 \times 10^{-6} \times (1.5 \text{ A})^2}{(1.8 - 45 \text{ mV})^2 - (1.8)^2}$$

$$= 1.4 \text{ mF}$$

选择5个270 μF 聚合物电容。

通过输出电容的均方根电流的值为：

$$I_{RMS} = \frac{1}{2} \times \frac{1}{\sqrt{3}} \times \frac{(V_{IN,MAX} - V_{OUT})}{L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN,MAX}}$$

$$= \frac{1}{2} \times \frac{1}{\sqrt{3}} \times \frac{(13.2 \text{ V} - 1.8 \text{ V})}{1 \mu\text{F} \times 300 \times 10^3} \times \frac{1.8 \text{ V}}{13.2 \text{ V}} = 1.49 \text{ A}$$

输出电容的ESR的功耗为：

$$P_{COUT} = (I_{RMS})^2 \times ESR = (1.5 \text{ A})^2 \times 1.4 \text{ m}\Omega = 3.15 \text{ mW}$$

反馈电阻网络的设置

推荐的 R_B 值为15 k Ω 。根据如下公式计算RT：

$$R_T = 15 \text{ k}\Omega \times \frac{(1.8 \text{ V} - 0.6 \text{ V})}{0.6 \text{ V}} = 30 \text{ k}\Omega$$

补偿网络

在计算 R_{COMP} 、 C_{COMP} 和 C_{PAR} 时，需要用到跨导参数和电流检测增益变量。跨导参数(G_M)为500 $\mu\text{A/V}$ ，电流测试环路增益为：

$$G_{CS} = \frac{1}{A_{CS} R_{ON}} = \frac{1}{24 \times 0.005} = 8.33 \text{ A/V}$$

其中，ACS和RON由电流限值决定(参见“编程电阻(RES)检测电路”及“谷值限流设置”部分)。

穿越频率为开关频率的1/12th：

$$300 \text{ kHz}/12 = 25 \text{ kHz}$$

零频率为穿越频率的1/4：

$$25 \text{ kHz}/4 = 6.25 \text{ kHz}$$

$$R_{COMP} = \frac{f_{CROSS}}{f_{CROSS} + f_{ZERO}} \times \frac{2\pi f_{CROSS} C_{OUT}}{G_M G_{CS}} \times \frac{V_{OUT}}{V_{REF}}$$

$$= \frac{20 \times 10^3}{25 \times 10^3 + 6.25 \times 10^3} \times \frac{2 \times 3.141 \times 25 \times 10^3 \times 1.11 \times 10^{-3}}{500 \times 10^{-6} \times 8.3} \times \frac{1.8}{0.6}$$

$$= 100 \text{ k}\Omega$$

$$C_{COMP} = \frac{1}{2\pi R_{COMP} f_{ZERO}}$$

$$= \frac{1}{2 \times 3.14 \times 100 \times 10^3 \times 6.25 \times 10^3}$$

$$= 250 \text{ pF}$$

计算损耗

占空比 = 1.8/12 V = 0.15

$R_{ON(N2)} = 5.4 \text{ m}\Omega$

$t_{BODY(LOSS)} = 20 \text{ ns}$ (体传导时间)

$V_F = 0.84 \text{ V}$ (MOSFET正向电压)

$C_{IN} = 3.3 \text{ nF}$ (MOSFET栅极输入电容)

$Q_{N1,N2} = 17 \text{ nC}$ (总MOSFET栅极电荷量)

$R_{GATE} = 1.5 \text{ }\Omega$ (MOSFET栅极输入电阻)

$$P_{N1,N2(CL)} = [D \times R_{N1(ON)} + (1 - D) \times R_{N2(ON)}] \times I_{LOAD}^2$$

$$= (0.15 \times 0.0054 + 0.85 \times 0.0054) \times (15 \text{ A})^2$$

$$= 1.215 \text{ W}$$

$$P_{BODY(LOSS)} = \frac{t_{BODY(LOSS)}}{t_{SW}} \times I_{LOAD} \times V_F \times 2$$

$$= 20 \text{ ns} \times 300 \times 10^3 \times 15 \text{ A} \times 0.84 \times 2$$

$$= 151.2 \text{ mW}$$

$$P_{SW(LOSS)} = f_{SW} \times R_{GATE} \times C_{TOTAL} \times I_{LOAD} \times V_{IN} \times 2$$

$$= 300 \times 10^3 \times 1.5 \text{ }\Omega \times 3.3 \times 10^{-9} \times 15 \text{ A} \times 12 \times 2$$

$$= 534.6 \text{ mW}$$

$$P_{DR(LOSS)} = [V_{DR} \times (f_{SW} C_{upperFET} V_{DR} + I_{BIAS})]$$

$$+ [V_{REG} \times (f_{SW} C_{lowerFET} V_{REG} + I_{BIAS})]$$

$$= (4.62 \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 4.62 + 0.002))$$

$$+ (5.0 \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 5.0 + 0.002))$$

$$= 57.12 \text{ mW}$$

$$P_{DISS(LDO)} = (V_{IN} - V_{REG}) \times (f_{SW} \times C_{total} \times V_{REG} + I_{BIAS})$$

$$= (13 \text{ V} - 5 \text{ V}) \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 5 + 0.002)$$

$$= 55.6 \text{ mW}$$

$$P_{COUT} = (I_{RMS})^2 \times ESR = (1.5 \text{ A})^2 \times 1.4 \text{ m}\Omega = 3.15 \text{ mW}$$

$$P_{DCR(LOSS)} = DCR \times I_{LOAD}^2 = 0.003 \times (15 \text{ A})^2 = 675 \text{ mW}$$

$$P_{CIN} = (I_{RMS})^2 \times ESR = (7.5 \text{ A})^2 \times 1 \text{ m}\Omega = 56.25 \text{ mW}$$

$$P_{LOSS} = P_{N1,N2} + P_{BODY(LOSS)} + P_{SW} + P_{DCR} + P_{DR} + P_{DISS(LDO)}$$

$$+ P_{COUT} + P_{CIN}$$

$$= 1.215 \text{ W} + 151.2 \text{ mW} + 534.6 \text{ mW} + 57.12 \text{ mW} + 55.6 \text{ mW} + 3.15 \text{ mW} + 675 \text{ mW} + 56.25 \text{ mW}$$

$$= 2.655 \text{ W}$$

外部元件推荐

表10所列的配置如下： $f_{\text{CROSS}} = 1/12 \times f_{\text{SW}}$ 、 $f_{\text{ZERO}} = 1/4 \times f_{\text{CROSS}}$ 、 $R_{\text{RES}} = 100 \text{ k}\Omega$ 、 $R_{\text{BOT}} = 15 \text{ k}\Omega$ 、 $R_{\text{ON}} = 5.4 \text{ m}\Omega$ (BSC042N03MS G)、 $V_{\text{REG}} = 5 \text{ V}$ (float)、最大负载电流为14 A。

表10所列ADP1871型号为器件的PSM版。

表10. 外部元件值

SAP型号	标识码		V_{OUT} (V)	V_{IN} (V)	C_{IN} (μF)	C_{OUT} (μF)	L^1 (μH)	R_{C} ($\text{k}\Omega$)	C_{COMP} (pF)	C_{PAR} (pF)	R_{TOP} ($\text{k}\Omega$)
	ADP1870	ADP1871									
ADP1870ARMZ-0.3-R7/ ADP1871ARMZ-0.3-R7	LDW	LDG	0.8	13	5×22^2	5×560^3	0.72	47	740	74	5.0
	LDW	LDG	1.2	13	5×22^2	4×560^3	1.0	47	740	74	15.0
	LDW	LDG	1.8	13	4×22^2	4×270^4	1.0	47	571	57	30.0
	LDW	LDG	2.5	13	4×22^2	3×270^4	1.53	47	571	57	47.5
	LDW	LDG	3.3	13	5×22^2	2×330^5	2.0	47	571	57	67.5
	LDW	LDG	5	13	4×22^2	330^5	3.27	34	800	80	110.0
	LDW	LDG	7	13	4×22^2	$22^2 + (4 \times 47^6)$	3.44	34	800	80	160.0
	LDW	LDG	1.2	16.5	4×22^2	4×560^3	1.0	47	740	74	15.0
	LDW	LDG	1.8	16.5	3×22^2	4×270^4	1.0	47	592	59	30.0
	LDW	LDG	2.5	16.5	3×22^2	4×270^4	1.67	47	592	59	47.5
	LDW	LDG	3.3	16.5	3×22^2	2×330^5	2.00	47	592	59	67.5
	LDW	LDG	5	16.5	3×22^2	2×150^7	3.84	34	829	83	110.0
	LDW	LDG	7	16.5	3×22^2	$22^2 + 4 \times 47^6$	4.44	34	829	83	160.0
	LDW	LDG	7	16.5	3×22^2	$22^2 + 4 \times 47^6$	4.44	34	829	83	160.0
ADP1870ARMZ-0.6-R7/ ADP1871ARMZ-0.6-R7	LDX	LDM	0.8	5.5	5×22^2	4×560^3	0.22	47	339	34	5.0
	LDX	LDM	1.2	5.5	5×22^2	4×270^4	0.47	47	326	33	15.0
	LDX	LDM	1.8	5.5	5×22^2	3×270^4	0.47	47	271	27	30.0
	LDX	LDM	2.5	5.5	5×22^2	3×180^8	0.47	47	271	27	47.5
	LDX	LDM	1.2	13	3×22^2	5×270^4	0.47	47	407	41	15.0
	LDX	LDM	1.8	13	5×10^9	3×330^5	0.47	47	307	31	30.0
	LDX	LDM	2.5	13	5×10^9	3×270^4	0.90	47	307	31	47.5
	LDX	LDM	3.3	13	5×10^9	2×270^4	1.00	47	307	31	67.5
	LDX	LDM	5	13	5×10^9	150^7	1.76	34	430	43	110.0
	LDX	LDM	1.2	16.5	3×10^9	4×270^4	0.47	47	362	36	15.0
	LDX	LDM	1.8	16.5	4×10^9	2×330^5	0.72	47	326	33	30.0
	LDX	LDM	2.5	16.5	4×10^9	3×270^4	0.90	47	326	33	47.5
	LDX	LDM	3.3	16.5	4×10^9	330^5	1.0	47	296	30	67.5
	LDX	LDM	5	16.5	4×10^9	4×47^6	2.0	34	415	41	110.0
	LDX	LDM	7	16.5	4×10^9	3×47^6	2.0	34	380	38	160.0
ADP1870ARMZ-1.0-R7/ ADP1871ARMZ-1.0-R7	LDY	LDN	0.8	5.5	5×22^2	4×270^4	0.22	47	223	22	5.0
	LDY	LDN	1.2	5.5	5×22^2	2×330^5	0.22	47	223	22	15.0
	LDY	LDN	1.8	5.5	3×22^2	3×180^8	0.22	47	163	16	30.0
	LDY	LDN	2.5	5.5	3×22^2	270^4	0.22	47	163	16	47.5
	LDY	LDN	1.2	13	3×10^9	3×330^5	0.22	47	233	23	15.0
	LDY	LDN	1.8	13	4×10^9	3×270^4	0.47	47	210	21	30.0
	LDY	LDN	2.5	13	4×10^9	270^4	0.47	47	210	21	47.5
	LDY	LDN	3.3	13	5×10^9	270^4	0.72	47	210	21	67.5
	LDY	LDN	5	13	4×10^9	3×47^6	1.0	34	268	27	110.0
	LDY	LDN	1.2	16.5	3×10^9	4×270^4	0.47	47	326	33	15.0
	LDY	LDN	1.8	16.5	3×10^9	3×270^4	0.47	47	261	26	30.0
	LDY	LDN	2.5	16.5	4×10^9	3×180^8	0.72	47	233	23	47.5
	LDY	LDN	3.3	16.5	4×10^9	270^4	0.72	47	217	22	67.5

ADP1870/ADP1871

SAP型号	标识码		V _{OUT} (V)	V _{IN} (V)	C _{IN} (μF)	C _{OUT} (μF)	L ¹ (μH)	R _C (kΩ)	C _{COMP} (pF)	C _{PAR} (pF)	R _{TOP} (kΩ)
	ADP1870	ADP1871									
	LDY	LDN	5	16.5	3 × 10 ⁹	3 × 47 ⁶	1.0	34	268	27	110.0
	LDY	LDN	7	16.5	3 × 10 ⁹	22 ² + 47 ⁶	1.0	34	228	23	160.0

¹ 请参阅“电感选择”部分及表11。
² 22 μF Murata 25 V、X7R、1210 GRM32ER71E226KE15L (3.2 mm × 2.5 mm × 2.5 mm)。
³ 560 μF Panasonic (SP系列)2 V、7 mΩ、3.7 A EEFUE0D561LR (4.3 mm × 7.3 mm × 4.2 mm)。
⁴ 270 μF Panasonic (SP系列)4 V、7 mΩ、3.7 A EEFUE0G271LR (4.3 mm × 7.3 mm × 4.2 mm)。
⁵ 330 μF Panasonic (SP系列)4 V、12 mΩ、3.3 A EEFUE0G331R (4.3 mm × 7.3 mm × 4.2 mm)。
⁶ 47 μF Murata 16 V、X5R、1210 GRM32ER61C476KE15L (3.2 mm × 2.5 mm × 2.5 mm)。
⁷ 150 μF Panasonic (SP系列)6.3 V、10 mΩ、3.5 A EEFUE0J151XR (4.3 mm × 7.3 mm × 4.2 mm)。
⁸ 180 μF Panasonic (SP系列)4 V、10 mΩ、3.5 A EEFUE0G181XR (4.3 mm × 7.3 mm × 4.2 mm)。
⁹ 10 μF TDK 25 V、X7R、1210 C3225X7R1E106M。

表11. 推荐电感

L (μH)	DCR (mΩ)	I _{SAT} (A)	尺寸(mm)	制造厂商	型号
0.12	0.33	55	10.2 × 7	Würth Elektronik	744303012
0.22	0.33	30	10.2 × 7	Würth Elektronik	744303022
0.47	0.67	50	13.2 × 12.8	Würth Elektronik	744355147
0.72	1.3	35	10.5 × 10.2	Würth Elektronik	744325072
0.9	1.6	28	13 × 12.8	Würth Elektronik	744355090
1.2	1.8	25	10.5 × 10.2	Würth Elektronik	744325120
1.0	3.3	20	10.5 × 10.2	Würth Elektronik	7443552100
1.4	3.2	24	14 × 12.8	Würth Elektronik	744318180
2.0	2.6	22	13.2 × 10.8	Würth Elektronik	7443551200
0.8	2.5	16.5	12.5 × 12.5	AIC Technology	CEP125U-R80

表12. 推荐的MOSFET

V _{GS} = 4.5 V	R _{ON} (mΩ)	I _D (A)	V _{DS} (V)	C _{IN} (nF)	Q _{TOTAL} (nC)	封装	制造厂商	型号
Upper-Side MOSFET (Q1/Q2)	5.4	47	30	3.2	20	PG-TDSON8	Infineon	BSC042N03MS G
	10.2	53	30	1.6	10	PG-TDSON8	Infineon	BSC080N03MS G
	6.0	19	30		35	SO-8	Vishay	Si4842DY
	9	14	30	2.4	25	SO-8	International Rectifier	IRF7811
Lower-Side MOSFET (Q3/Q4)	5.4	47	30	3.2	20	PG-TDSON8	Infineon	BSC042N03MS G
	10.2	82	30	1.6	10	PG-TDSON8	Infineon	BSC080N03MS G
	6.0	19	30		35	SO-8	Vishay	Si4842DY

布局考量

DC-DC转换器的性能在很大程度上取决于印刷电路板(PCB)上的电压和电流的路径。优化敏感模拟和电源元件的布局，可以降低输出纹波、维持严格的产品规格并降低PWM抖动和电磁干扰。

图85为典型的ADP1870/ADP1871高电流应用示意图。蓝色走线代表高电流通路。VIN、PGND和V_{OUT}走线必须较宽，并能够重复布局，且向下进入多个层。应采用过孔，主要位于输入和输出电容的正端和负端周围，Q1/Q2的源极、Q3/Q4的漏极及电感边的位置。

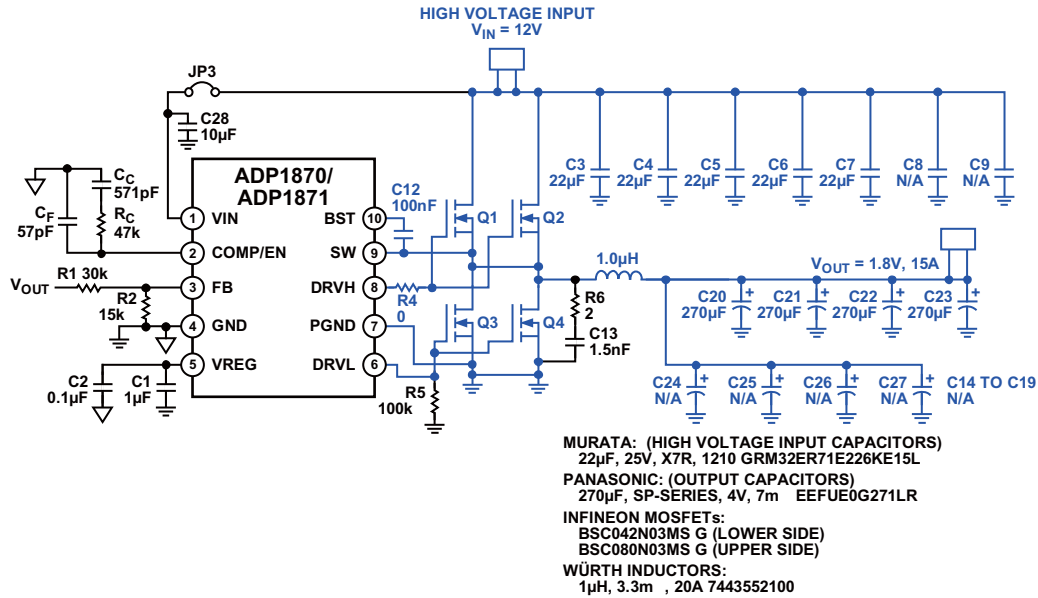


图85. ADP1870高电流评估板示意图(蓝色走线表示高电流通路)

08730-081

ADP1870/ADP1871

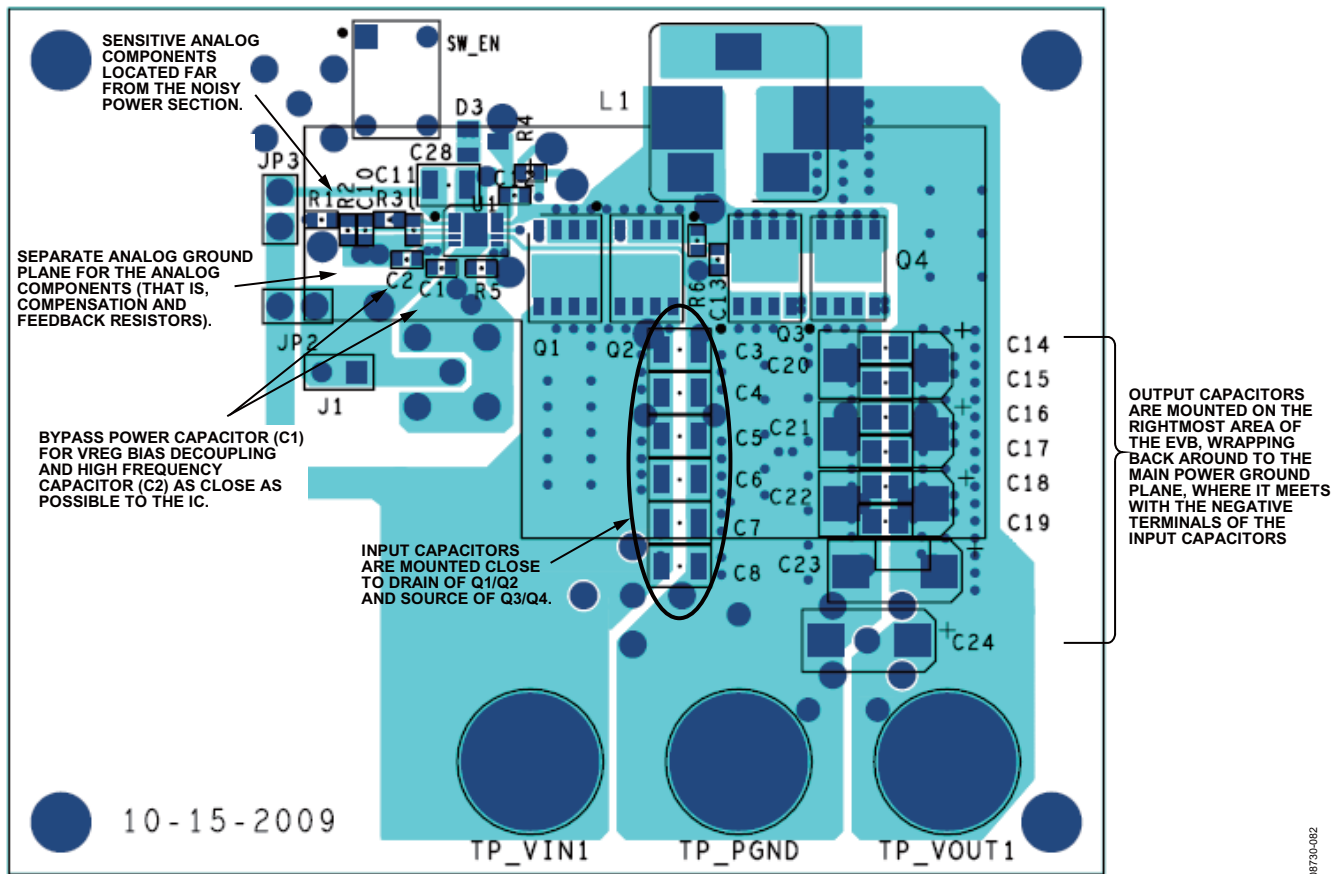


图86. ADP1870高电流评估板的整体布局

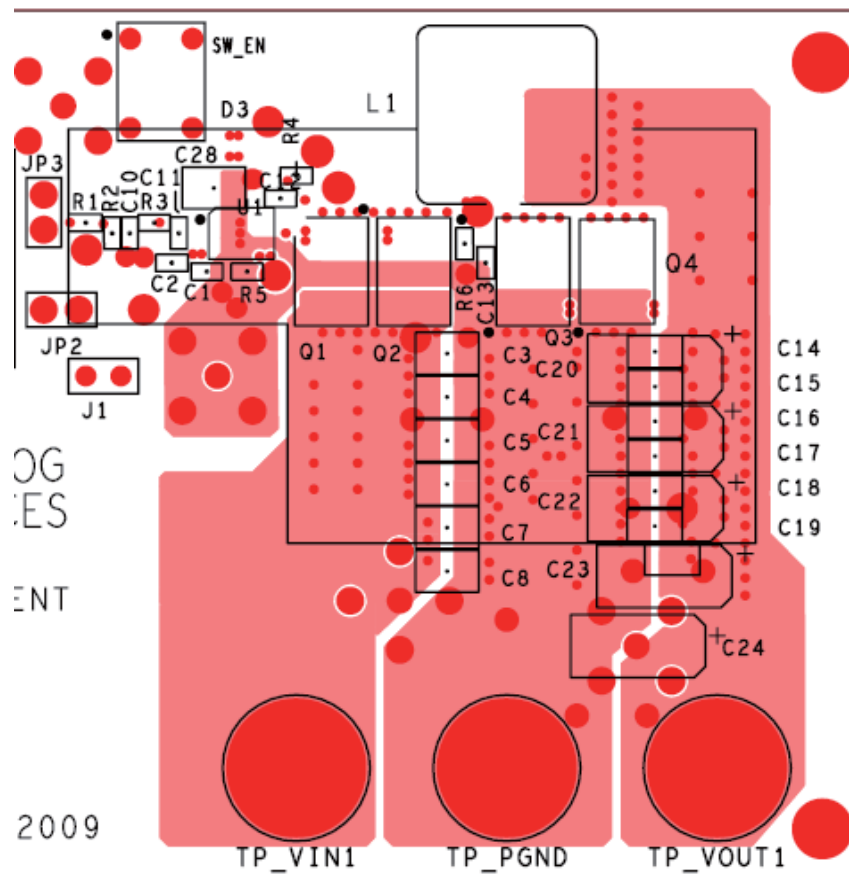


图87. 评估板的第2层

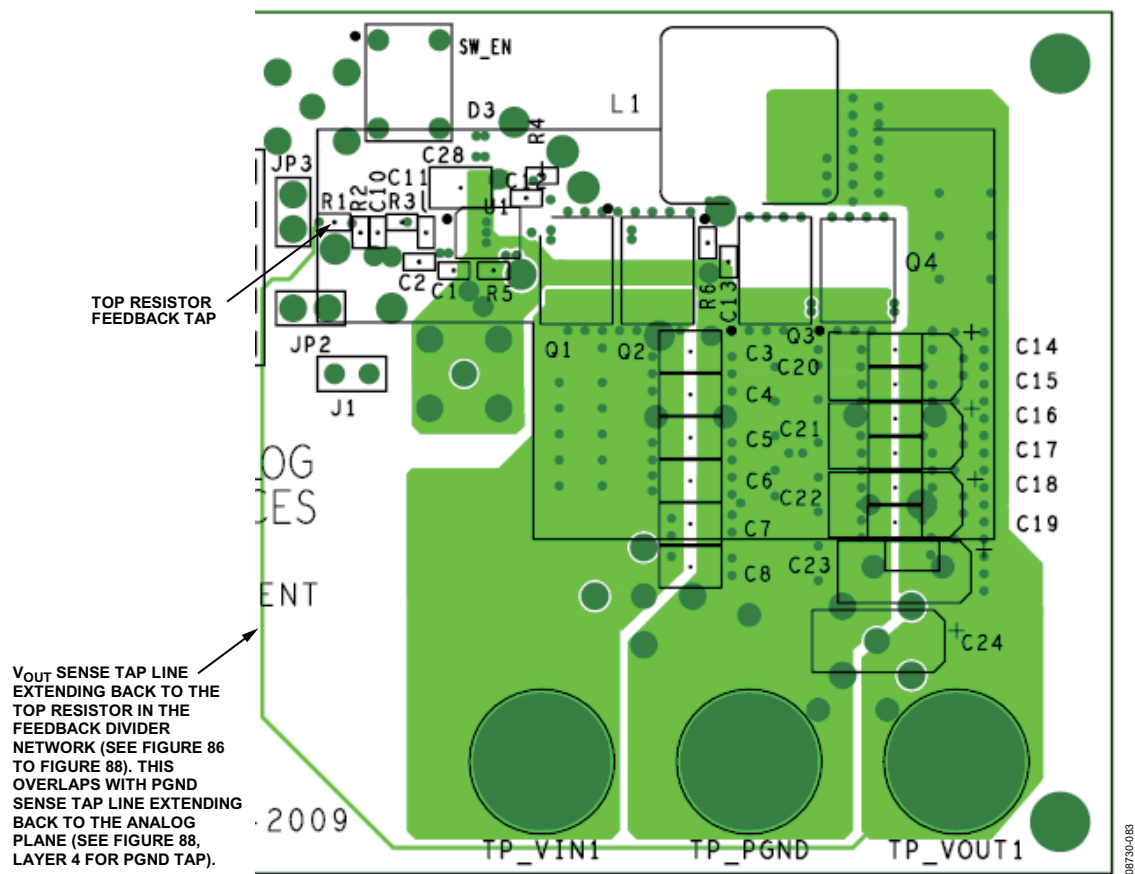


图88. 评估板的第3层

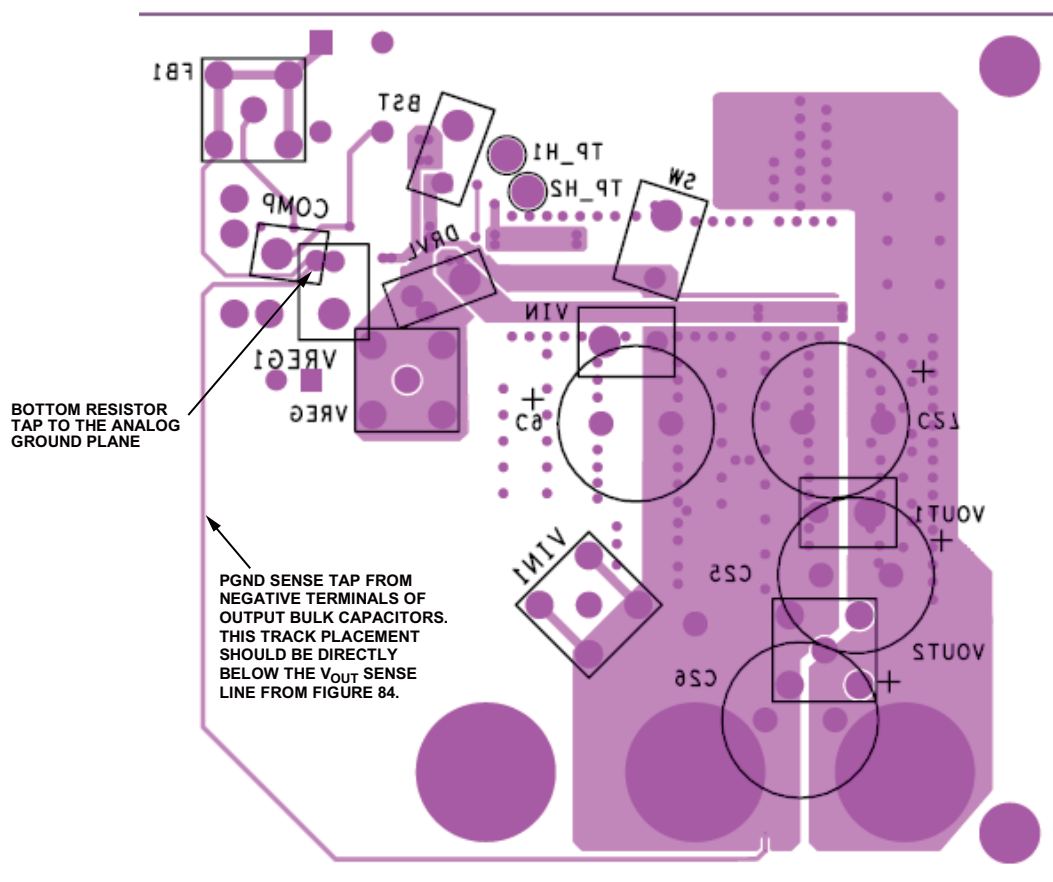


图89. 评估板的第4层(底层)

IC部分(位于评估板左侧)

专用模拟接地层(GND)应与主电源接地层(PGND)分离。模拟接地层与GND引脚(引脚4)之间的路径应尽可能地短。该层必须位于评估板的顶层。为避免串扰,应避免在第2/3/4层的GND的正下方布局任何电流/电压通路。所有敏感模拟元件的负端应与模拟接地层相连。敏感模拟元件包括电阻分压网络的底部电阻、起偏置作用的高频旁路电容(0.1 μF)、补偿网络等。

用户可直接在VREG引脚(引脚5)和PGND引脚(引脚7)之间放置一个1 μF 旁路电容。此外,应将一个0.1 μF 电容置于VREG引脚(引脚5)和GND引脚(引脚4)之间。

电源部分

为能够实现将高电压输入引脚(V_{IN})的大电流传输至输出引脚(V_{OUT}),再返回至接地层,最佳布局方案是将 V_{IN} 层置于左侧,将输出层置于右侧,将主电源接地层置于二者的中间(见图86)。在导通状态下,电流从输入电容流经Q1/Q2,到达输入电容(见图90)。当Q1/Q2关闭且Q3/Q4导通后,电流方向(如黄色箭头所示)保持不变。Q3/Q4导通

后,电流方向继续保持不变(如红色箭头所示),电荷从大容量电容的电源接地端经Q3/Q4流至输出电容。以这种方式布局电源层,能够将因电流经Q1/Q2突然停止导致的磁通变化的面积降至最低。磁通的突变通常发生在Q1/Q2的源极和Q3/Q4的漏极,可在SW节点处产生较大 dV/dt 。

SW节点靠近评估板的顶端。由于这一区域最容易发生磁通密度突变,因此,应尽可能缩减SW节点的面积并将节点远离敏感的模拟电路和元件。如可能,应在第2、3层重复布局该焊盘以便于散热,且应避免在SW节点层下面直接布局其它电压/电流通路。采用带过孔的SW节点层,尤其在电感端的裸露焊盘、Q1/Q2的源极和Q3/Q4的漏极周围。输出电压电源层(V_{OUT})位于评估板的最右端。在评估板的多个层之间可重复布局输出电压电源层,电感端和输出大电容的正端周围具有过孔。如前所述,输出电容的负端须靠近主电源接地层(PGND)。所有这些点形成一个紧凑的环路(由元件的几何形状决定),当在D和1-D间切换时,能够尽可能地缩小磁通变化区域的面积。

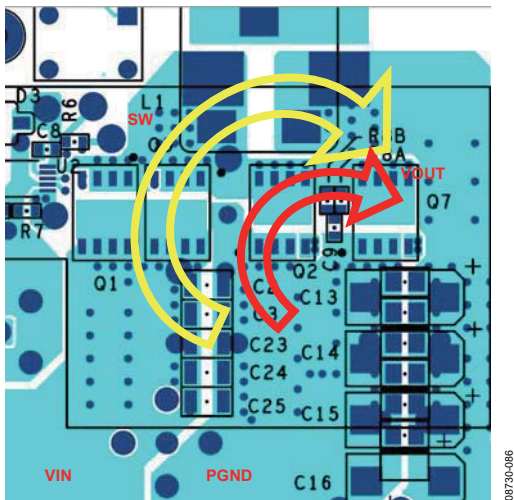


图90. 高端MOSFET处于导通状态时的主要电流通路(左箭头)及低端MOSFET处于导通状态时的主要电流通路(右箭头)

差分检测

由于ADP1870/ADP1871可在谷值电流模式控制下工作，因此，在低端MOSFET的漏极和源极间存在差分电压。低端MOSFET的漏极应尽量靠近IC的SW引脚(引脚9)。同样，源极应尽量靠近IC的PGND引脚(引脚7)。走线的宽度应尽量窄，且走线应尽量远离任何有源器件或电压/电流路径。

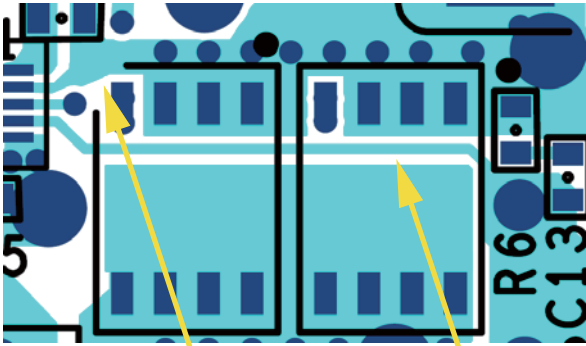


图91. 低端MOSFET的漏极/源极迹线，用于CS放大器差分检测(第2层的黄色检测线)

应在最外层输出电容和反馈电阻分压器之间进行差分检测(见图88和图89)。输出电容的正端与顶部电阻(R_T)相连。输出电容的负端与底部电阻的负端相连，底部电阻与模拟接地层相连。如前所述，这两根走线的宽度应比较窄，且应远离有源器件或电压/电流路径。

典型应用电路

15 A、300 kHz大电流应用电路

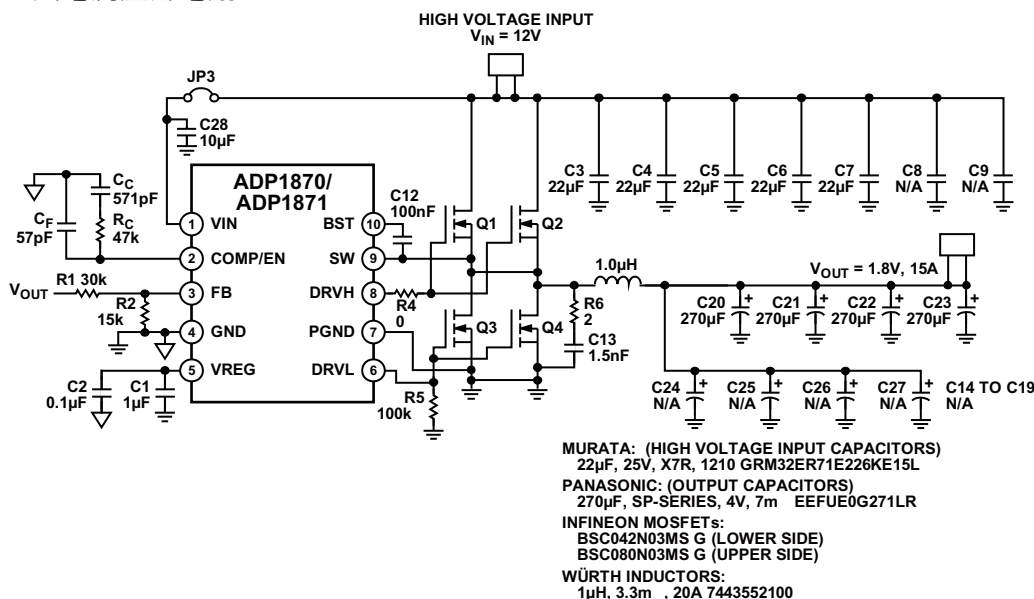


图92. 输入电压为12 V、输出电压为1.8 V、电流为15A、频率为300 kHz(Q2/Q4未连接)的应用电路

5.5 V输入、600 kHz应用电路

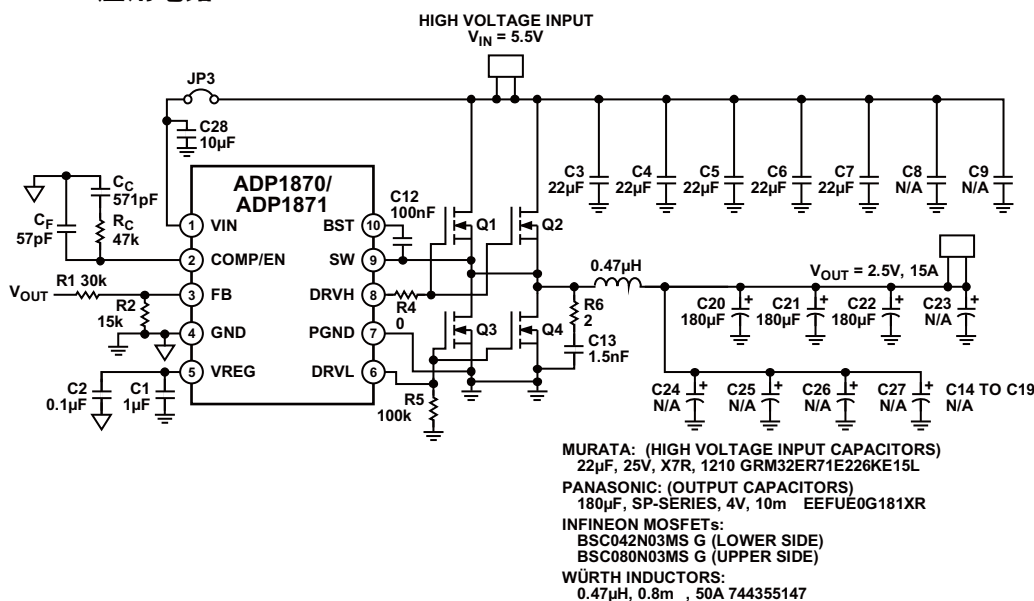


图93. 输入电压为5.5 V、输出电压为2.5 V、电流为15A、频率为600 kHz(Q2/Q4未连接)的应用电路

ADP1870/ADP1871

300 kHz大电流应用电路

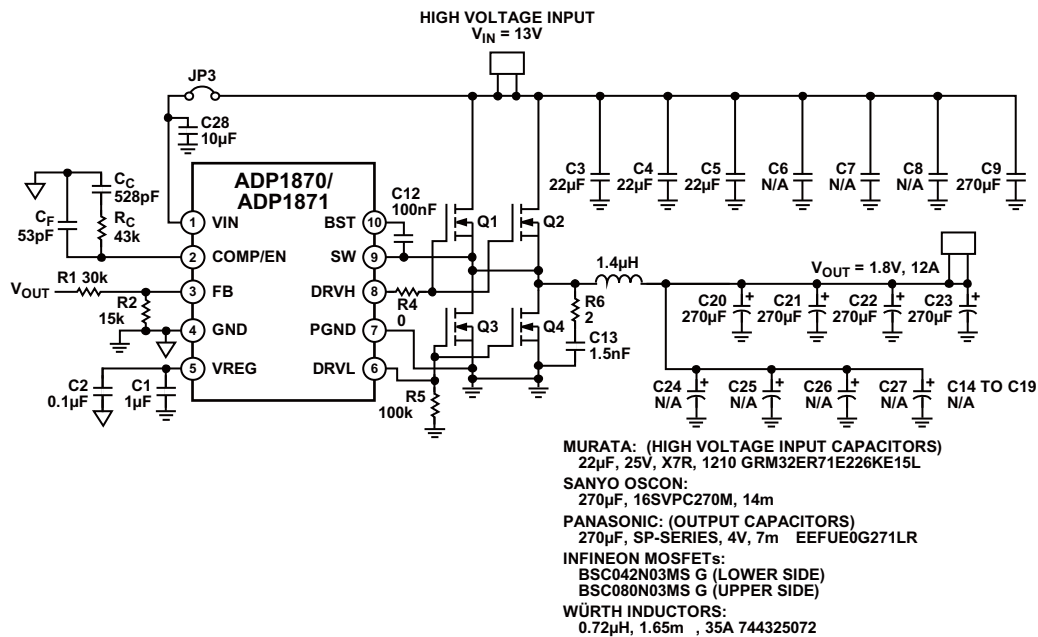
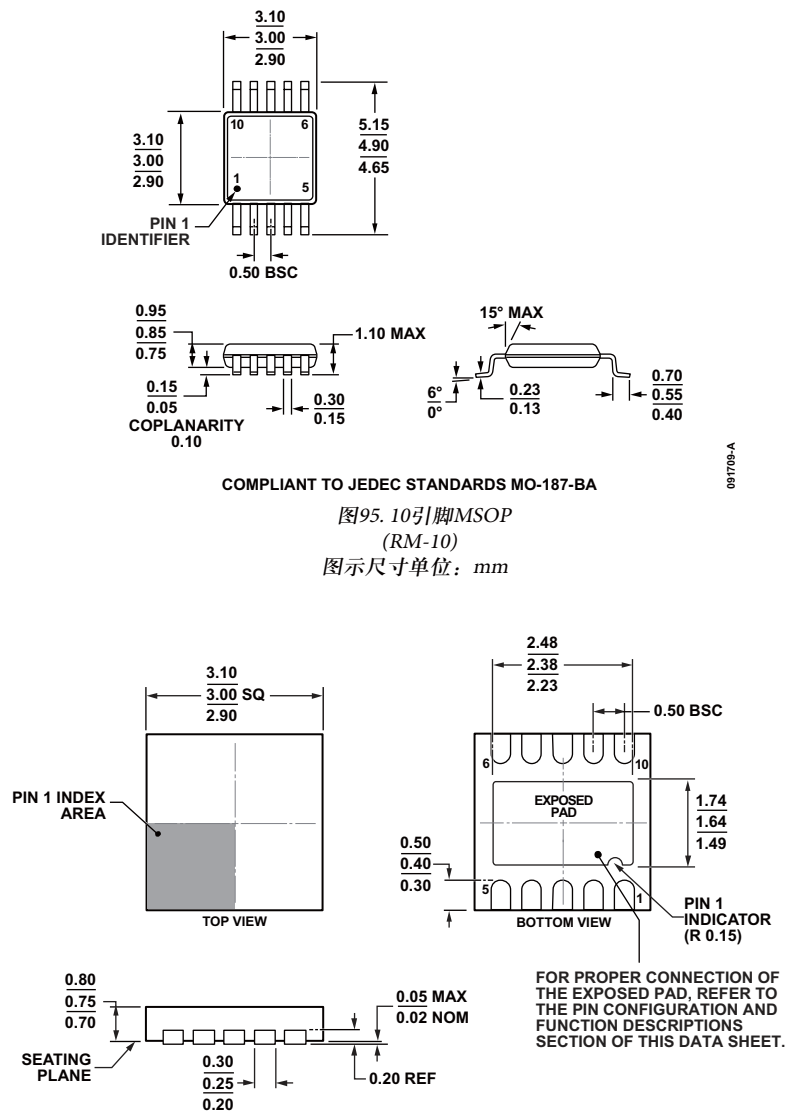


图94. 输入电压为13 V、输出电压为1.8 V、电流为12 A、频率为300 kHz(Q2/Q4未连接)的应用电路

08730-090

外形尺寸



ADP1870/ADP1871

订购指南

型号 ¹	温度范围	封装描述	封装选项	标识
ADP1870ARMZ-0.3-R7	−40°C至+125°C	10引脚MSOP	RM-10	LDW
ADP1870ARMZ-0.6-R7	−40°C至+125°C	10引脚MSOP	RM-10	LDX
ADP1870ARMZ-1.0-R7	−40°C至+125°C	10引脚MSOP	RM-10	LDY
ADP1871ARMZ-0.3-R7	−40°C至+125°C	10引脚MSOP	RM-10	LDG
ADP1871ARMZ-0.6-R7	−40°C至+125°C	10引脚MSOP	RM-10	LDM
ADP1871ARMZ-1.0-R7	−40°C至+125°C	10引脚MSOP	RM-10	LDN
ADP1870ACPZ-0.3-R7	−40°C至+125°C	10引脚LFCSP_WD	CP-10-9	LDW
ADP1870ACPZ-0.6-R7	−40°C至+125°C	10引脚LFCSP_WD	CP-10-9	LDX
ADP1870ACPZ-1.0-R7	−40°C至+125°C	10引脚LFCSP_WD	CP-10-9	LDY
ADP1871ACPZ-0.3-R7	−40°C至+125°C	10引脚LFCSP_WD	CP-10-9	LDG
ADP1871ACPZ-0.6-R7	−40°C至+125°C	10引脚LFCSP_WD	CP-10-9	LDM
ADP1871ACPZ-1.0-R7	−40°C至+125°C	10引脚LFCSP_WD	CP-10-9	LDN
ADP1870-0.3-EVALZ		评估板		
ADP1870-0.6-EVALZ		评估板		
ADP1870-1.0-EVALZ		评估板		
ADP1871-0.3-EVALZ		评估板		
ADP1871-0.6-EVALZ		评估板		
ADP1871-1.0-EVALZ		评估板		

¹ Z = 符合RoHS标准的兼容器件

注释

注释