

東芝 CMOS デジタル集積回路 シリコン モノリシック

TC94A39FAG, TC94A39FB

コントローラ内蔵 1 チップ CD プロセッサ (CD-DX)

TC94A39FAG/FB は、4 ビットマイクロコントローラを内蔵したデジタルサーボ対応の 1 チップ CD プロセッサです。

コントローラは、LCD ドライバ、4 チャンネル 6 ビット AD コンバータ、1 系統・2 チャンネルの 2 線式・3 線式および UART 対応シリアルインタフェース、ブザー、20 ビット汎用カウンタ機能、割り込み機能、8 ビットタイマカウンタを備えています。また、CPU は、4 種類 (16.9344 MHz/75 kHz/32.768 kHz の水晶発振器、CR 発振器) の動作クロックが選択でき、CD プロセッサとのインタフェースが容易です。

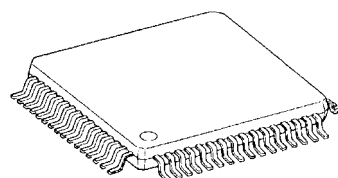
CD プロセッサは、CD システムにおける同期分離保護と内挿、EFM 復調、エラー訂正と補正、サーボ用デジタルイコライザおよびサーボコントロール回路を内蔵しています。さらに、1 ビット DA コンバータを内蔵し、デジタルサーボ用ヘッドアンプ TA2157F/FN との組み合わせで、完全無調整でかつ非常に簡単に CD プレーヤシステムを構成できます。

このため、カー用・ラジオカセット用の CD システムに適しています。

特 長

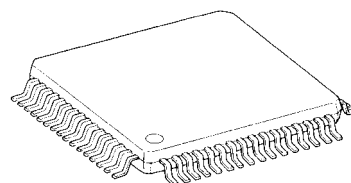
- CMOS 構造 LCD ドライバ・4 ビットマイクロコントローラ内蔵の 1 チップ CD プロセッサ
- 動作電源電圧 CD 動作時: $V_{DD} = 3.0 \sim 3.6$ V (標準 3.3 V)
CD オフ時: $V_{DD} = 1.8 \sim 3.6$ V (CPU のみ動作時)
- 消費電流 CD 動作時: $I_{DD} = 30$ mA (標準)
CD オフ時: $I_{DD} = 1.5$ mA (CD スタンバイモード時、水晶 16.9344 MHz 動作、CPU 動作)
CD オフ時: $I_{DD} = 50$ μ A (CD スタンバイモード時、75 kHz 水晶発振動作、CPU 動作)
- 動作温度範囲 $T_a = -40 \sim 85^\circ\text{C}$
- 外囲器 LQFP/QFP-64 (0.5/0.65 mm ピッチ、1.4 mm 厚)
- E²PROM TC94AE29FAG/FB

TC94A39FAG



LQFP64-P-1010-0.50

TC94A39FB



QFP64-P-1212-0.65

質量

LQFP64-P-1010-0.50	: 0.32 g (標準)
QFP64-P-1212-0.65	: 0.45 g (標準)

4 ビットマイクロコントローラ部

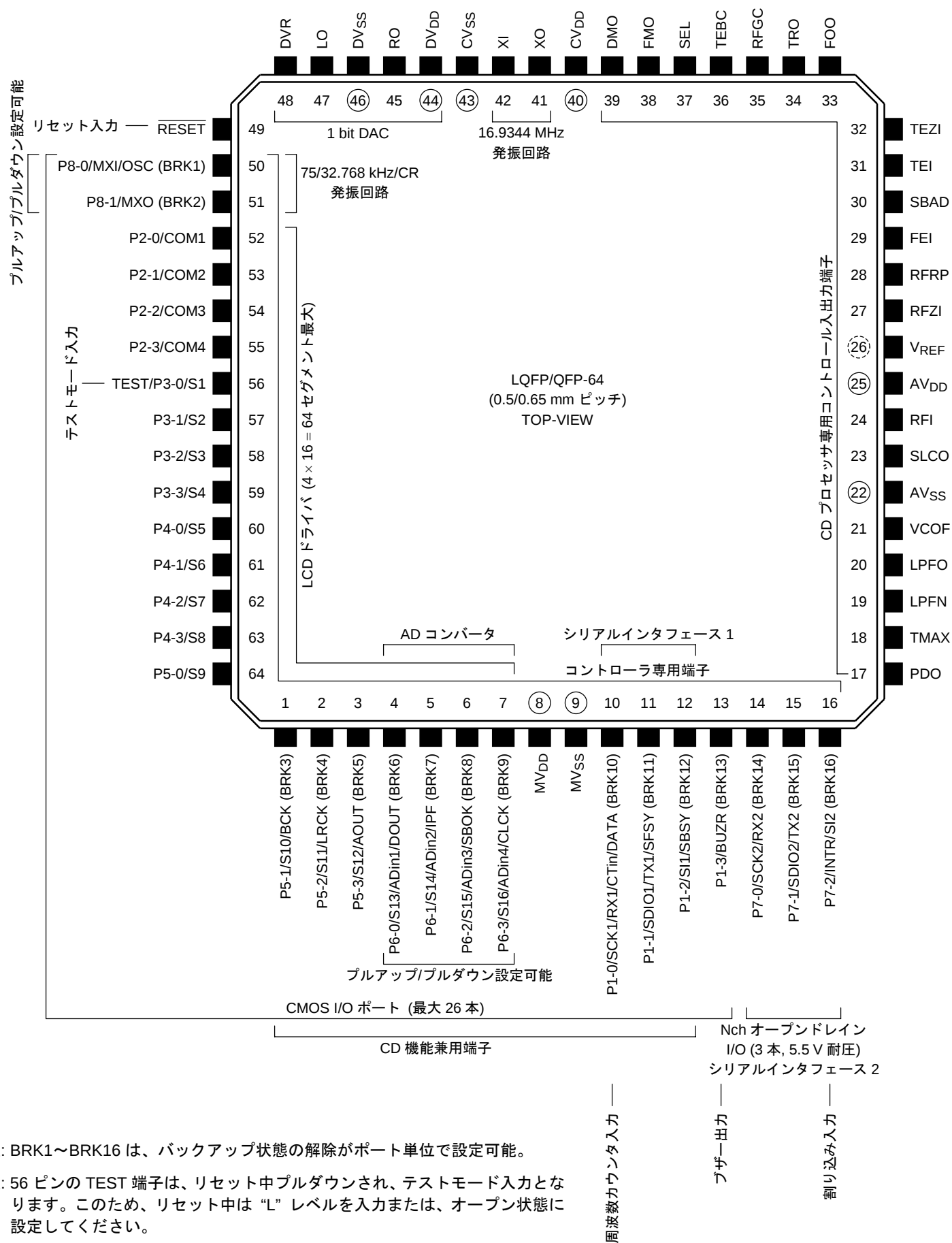
- プログラムメモリ (ROM) : 16 ビット × 8 k ステップ
- データメモリ (RAM) : 4 ビット × 512 ワード
- 命令実行時間 : 1.42 μ s, 40 μ s, 91.6 μ s, $T_{osc} \times 3$ (すべて一語命令)
- 水晶発振周波数 : 16.9344 MHz, 75 kHz, 32.768 kHz, CR 発振周波数
- スタックレベル : 16 レベル
- AD コンバータ : 6 ビット、4 チャンネル
- LCD ドライバ : 1/4 デューティ・1/2 バイアス方式または 1/3 バイアス方式、最大 64 セグメント
- I/O ポート : CMOS I/O ポート: 最大 26 本,
Nch オープンドレイン I/O ポート: 最大 3 本 (5.5 V 耐圧)
- タイマカウンタ : 8 ビット (タイマモード、パルス幅検出・測定機能)
- 汎用カウンタ : 20 ビット, 入力アンプ内蔵, 0.1~20 MHz, $V_{in} = 0.2 V_{pp}$ 最小
- シリアルインタフェース : 1 系統・2 チャンネルの 3 線式と 2 線式および UART に対応
- ブザー : 0.75, 1, 1.5, 3 kHz (4 種類)、連続・単発・10 Hz 断続・10 Hz 断続 1 Hz 間隔の 4 モード
- 割り込み : 外部 1、内部 3 (CD サブシンク同期、シリアルインタフェース、8 ビットタイマ)
- バックアップモード : 4 種類のバックアップモード
CD スタンバイ (CD プロセッサ停止)、クロックストップ (発振停止)、
ハードウエイト (水晶発振のみ動作)、ソフトウエイト (CPU 間欠動作)
- リセット機能 : パワーオンリセット回路、電源検出回路内蔵 (検出電圧 = 1.5 V 標準)

CD プロセッサ部

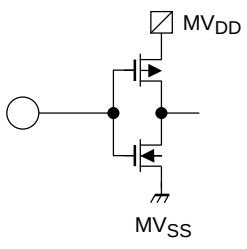
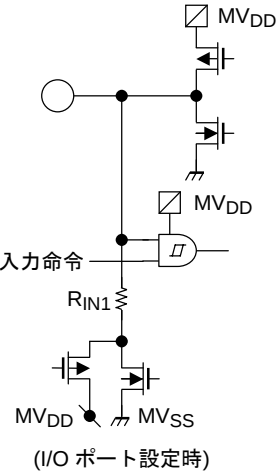
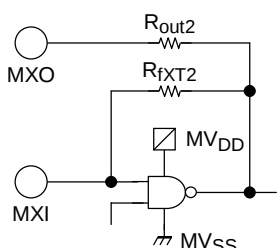
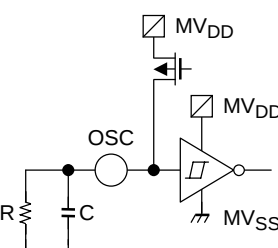
- 同期パターン検出、同期信号保護および内挿動作が確実です。
- EFM 復調回路、サブコード復調回路を内蔵しています。
- CIRC 訂正理論式を用い、高訂正能力を持っています。C1 訂正: 2 重、C2 訂正: 4 重
- ジッタ吸収能力は ± 6 フレームです。
- 16 KB RAM を内蔵しています。
- デジタルアウト回路を内蔵しています。
- L/R 独立デジタルアッテネート回路を内蔵しています。
- オーディオ出力はバイリンガルに対応しています。
- オーディオ出力は 32f_s, 48f_s, 64f_s 切り替え可能です。
- サブコード Q データはリードタイミングフリーです。また、オーディオデータとの同期出力も可能です。
- データスライス回路、アナログ PLL (無調整 VCO 採用) 回路を内蔵しています。
- フォーカスサーボ、トラッキングサーボにおけるループゲイン、オフセット、バランスの自動調整が可能です。
- RF ゲイン自動調整回路を内蔵しています。
- 位相補償用デジタルイコライザを内蔵しています。
- デジタルイコライザ用係数 RAM を内蔵しており、各種ピックアップへの対応が可能です。
- フォーカス、トラッキングサーボコントロール回路を内蔵しています。
- サーチコントロールは、あらゆるモードに対応し高速かつ安定したサーチを実現できます。
- レンズキック、フィードキックは速度制御方式を採用しています。
- ディスクモータの CLV サーボ用 AFC 回路および APC 回路を内蔵しています。
- ディフュクト、ショック対策回路を内蔵しています。
- 8 倍オーバーサンプリング・デジタルフィルタと 1 ビット DA コンバータを内蔵しています。
- 1 ビット DA コンバータ用アナログフィルタを内蔵しています。
- 0 データ検出出力回路を内蔵しています。
- 2 倍速動作に対応しています。

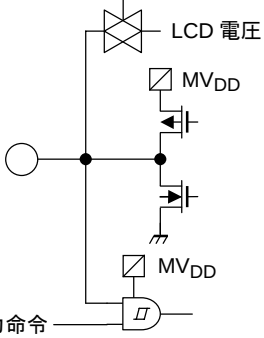
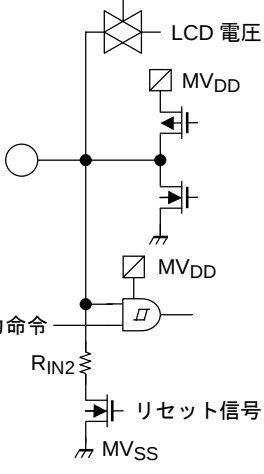
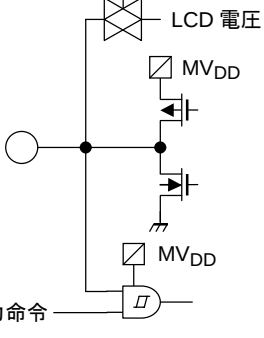
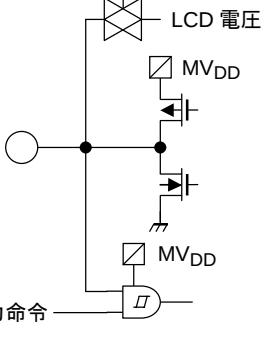
注: CD プロセッサのサブコード Q データおよびオーディオデータの出力などはコントローラ専用端子と兼用しています。プログラムにより 1 端子ごとに機能端子の切り替えが可能です。

端子接続図



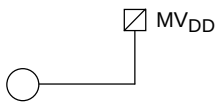
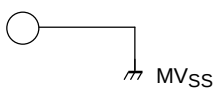
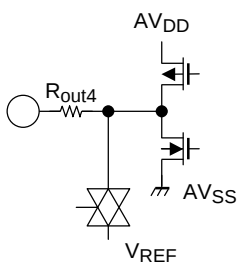
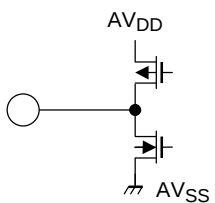
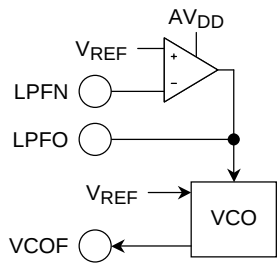
端子説明

端子番号	記号	端子名	機能・動作説明	備考
49	$\overline{\text{RESET}}$	リセット入力	デバイスのシステムリセット信号入力端子です。 $\overline{\text{RESET}}$ が “L” レベルの間リセットがかかり、“H” レベルになると 16.9344 MHz 水晶発振器 (XI, XO) が動作し、この水晶発振クロックを計算し、約 50 ms のスタンバイ時間経過後にコントローラのプログラムは 0 番地からスタートします。このとき、CD 部はスタンバイ状態となります。 通常は MV_{DD} に 0 V → 1.8 V 以上の電圧が供給されるとシステムリセットがかかりますので (パワーオンリセット)、この端子は “H” レベルに固定して使用します。	
50	P8-0 /MXI /OSC (BRK1)	I/O ポート 8-0 /水晶発振器 /CR 発振器	2 ビット CMOS I/O ポートです。 1 ビットごとに入力/出力の設定ができます。I/O ポートの入力を設定したとき、1 端子ごとに入力をプルアップまたはプルダウン状態に設定することができます。さらに、クロックストップモードおよびウェイトモードのバックアップ解除許可に設定すると、その入力の変化でバックアップ解除を行うことができます。 これらの端子は、プログラムにより 75 kHz または 32.768 kHz 専用水晶発振器に、P8-0 端子は CR 発振器としても使用できます。これらのクロックは、コントローラ動作および周辺機器のクロックに使用されます。システムリセット後は、コントローラ動作および周辺機器のクロックは 16.9344MHz 水晶発振器 (XI, XO) のクロックが選択され、プログラムにより、発振器設定・コントローラクロックへ切り替えます。発振器設定時、CKSTP 命令実行中は発振を停止します。	 (I/O ポート設定時)
51	P8-1 /MXO (BRK2)	I/O ポート 8-1 /水晶発振器	(注) CR 発振器設定時、P8-1 端子は I/O ポートとして使用できます。 (注) バックアップ解除設定は、2 端子が同時に設定されます。 (注) 水晶発振器は起動特性の良いものを使用してください。 (注) システムリセット後は I/O ポートの入力状態に設定されます。 (注) コントローラクロックへの切り替えは、発振器設定し、動作が安定した後に行ってください。	 (水晶発振器設定時)
				 (P8-0 CR 発振器設定時)

端子番号	記 号	端 子 名	機 能 ・ 動 作 説 明	備 考
52 53 54 55	P2-0/COM1 P2-1/COM2 P2-2/COM3 P2-3/COM4	I/O ポート 2 /LCD コモン出力	24 ビット CMOS I/O ポートと 3 ビットの N チャネルオープンドレイン I/O ポートです。 1 ビットごとに入力/出力の設定ができます。I/O ポートの入力を設定したとき、P6-0~P6-3 端子は 1 端子ごとに入力をプルアップまたはプルダウン状態に設定することができます。また、P5-1 (BRK3)~P7-2 (BRK16) 端子は I/O ポートの入力状態およびバックアップ解除許可状態 (ポート単位で設定) に設定するとその入力の変化でクロックストップモードおよびウエイトモードのバックアップ状態を解除することができます。さらに、P7-0~P7-2 端子は、N チャネルオープンドレイン構造の I/O ポートで、5.5 V までの印加が可能です。	
56	TEST /P3-0/S1	テスト入力 /I/O ポート 3-0 /LCD セグメント出力	I/O ポート 2~6 は、プログラムにより LCD ドライバ出力端子に切り替えることができます。COM1~COM4 端子が LCD パネルへのコモン信号出力、S1~S16 端子がセグメント信号出力です。COM1~COM4 と S1~S16 とのマトリクスで最大 64 セグメントの表示ができます。 LCDoff ビットに "0" を設定すると、これら COM1~COM3 および S1~S4 の 8 本の端子はすべて LCD 出力端子となります。S5~S16 は 1 端子ごとに I/O ポートとセグメント出力に切り替えることができます。 駆動方式は 1/4 デューティ・1/2 バイアス方式 (フレーム周波数 62.5 Hz) と 1/4 デューティ・1/3 バイアス方式 (フレーム周波数 125 Hz) の 2 種類が選択できます。 1/2 バイアス方式設定時は、コモン出力は MV_{DD}, $1/2MV_{DD}$, GND の三値レベルが、セグメント出力は MV_{DD}, GND の二値レベルが出力されます。また、1/3 バイアス方式設定時には、コモン出力およびセグメント出力は、MV_{DD}, $1/3MV_{DD}$, $2/3MV_{DD}$, GND の四値レベルで出力されます。	
57 58 59	P3-1/S2 P3-2/S3 P3-3/S4	I/O ポート 3 /LCD セグメント出力	システムリセットおよびクロックストップ実行解除後は非選択波形 (バイアス電圧) が出力され、DISP OFF ビットに "0" をセット後コモン信号が出力されます。	
60 61 62 63	P4-0/S5 P4-1/S6 P4-2/S7 P4-3/S8	I/O ポート 4 /LCD セグメント出力	TEST/P3-0/S1 端子は、システムリセット中 (RESET = "L") はプルダウンされ、テストモード入力となります。このため、リセット中、この端子はオープンまたは "L" レベルを入力してください。 P5-1~P6-3, P1-0~P1-2 端子は、1 端子ごとに CD プロセッサ専用端子に切り替えることができます。CD プロセッサ機能は次のとおりです。 (次ページにつづく)	

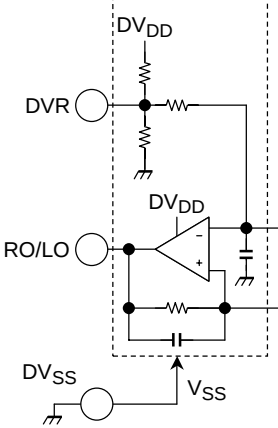
端子番号	記号	端子名	機能・動作説明	備考
64	P5-0/S9	I/O ポート 5-0 /LCD セグメント出力	●BCK: ビットクロック出力端子です。 32/48/64 f_S を CD コマンドにより選択可能です。 1 倍速時: 32 $f_S = 1.4112$ MHz ●LRCK: LR チャネルクロック出力端子です。L チャネルの時 “L”、R チャネルのとき “H” が出力されます。出力極性は CD コマンドにより反転可能です。 1 倍速時: 44.1 kHz ●AOUT: オーディオデータ出力端子です。MSB/LSB ファーストは CD コマンドにより選択可能です。 ●DOUT: デジタルアウト出力端子です。2 倍速まで出力可能です。(CP-1201 準拠)	入力命令
1 2 3	P5-1/S10 /BCK (BRK3) P5-2/S11 /LRCK (BRK4) P5-3/S12 /AOUT (BRK5)	I/O ポート 5 /LCD セグメント出力 /CD プロセッサ機能	●IPF: 補正フラグ出力端子です。AOUT 出力が C2 訂正出力において訂正不能シンボルのとき “H” が出力されます。(別称 “C2PO”) ●SBOK: サブコード Q データの CRCC 判定結果出力端子です。判定結果 OK のとき、“H” が出力されます。 ●CLKK: サブコード P-W データ読み取り用クロック入出力端子です。入出力極性は CD コマンドにより選択可能です。 ●DATA: サブコード P-W データ出力端子です。 ●SFSY: 再生系フレームシンク信号出力端子です。 ●SBSY: サブコードブロックシンク出力端子です。サブコードシンクが検出されたとき、S1 の位置で “H” が出力されます。コントローラ側で CD 割込みが許可され、SBSY 信号の立ち下がりで割込みが発生し、プログラムは 2 番地にジャンプします。 (注) CD プロセッサ部の動作が不定状態で割込み許可をしないでください。	入力命令 解除許可
4 5 6 7	P6-0/S13 /ADin1 /DOUT (BRK6) P6-1/S14 /ADin2 /IPF (BRK7) P6-2/S15 /ADin3 /SBOK (BRK8) P6-3/S16 /ADin4 /CLKK (BRK9)	I/O ポート 6 /LCD セグメント出力 /CD プロセッサ機能	P6-0~P6-3 端子は内蔵 6 ビット 4 チャンネル AD コンバータアナログ入力を兼用しています。 内蔵の AD コンバータは、逐次比較方式で変換時間は 16.9344 MHz 水晶クロック使用時は 242 μs、75 kHz 水晶使用時は 7 命令サイクル (280 μs) です。プログラムにより必要な端子を 1 ビット単位で AD アナログ入力に設定できます。基準電圧には内部電源 (MVDD) を使用します。 また、P6-0~P6-3 端子は I/O ポートの入力を設定したとき、1 端子ごとに入力をプルアップまたはプルダウン状態に設定することができます。 (次ページにつづく)	AD 入力 入力命令 解除許可 RIN1 MVDD MVSS

端子番号	記号	端子名	機能・動作説明	備考
10	P1-0/SCK1 /RX1 /CTin /DATA (BRK10)	I/O ポート 1-0 /シリアルクロック 入出力 1 /シリアル受信 データ 1 /カウンタクロック 入力 /CD プロセッサ機能	P1-0 端子は汎用カウンタ入力を兼用しています。入力周波数は、0.1~20 MHz で入力アンプを内蔵し、C 結合小振幅で動作します。汎用カウンタは 20 ビットのカウンタで 1、4、16、64 ms (75 kHz 水晶使用時) のゲート時間を選択でき、20 ビットのデータをそのままメモリに取り込むことができます。さらに、マニュアルモードを使用して命令によるゲートのオン/オフが可能です。	(I/O ポート設定時)
11	P1-1/SDIO1 /TX1 /SFSY (BRK11)	I/O ポート 1-1 /シリアルデータ 入出力 1 /シリアル送信 データ 1 /CD プロセッサ機能	P1-0~P1-2 端子および P7-0~P7-2 端子はシリアルインタフェース回路 (SIO) の入力/出力端子を兼用しています。	
12	P1-2/SI1 /SBSY (BRK12)	I/O ポート 1-2 /シリアルデータ 入力 1 /CD プロセッサ機能	SIO は 2 線式と 3 線式および UART に対応したシリアルインタフェース回路です。シリアルインタフェース回路は 1 系統で、CMOS 構造の I/O 入出力端子 (SCK1/RX1, SDIO1/TX1, SI1) と N チャネルオープンドレイン構造 (5.5 V までの印加が可能) の I/O 入出力端子 (SCK2/RX2, SDIO2/TX2, SI2) を選択することができます。	
13	P1-3/BUZR (BRK13)	I/O ポート 1-3 /ブザー出力	シリアルインタフェース回路は、クロックエッジ選択、シリアルクロック入出力選択、クロック周波数選択機能などを備えているため、さまざまな LSI のコントロールおよびコントローラ間の通信が容易にできます。また、SIO の割り込みを許可すると、シリアル動作の終了後割り込みが発生し、プログラムは 4 番地にジャンプします。	(P1-0 汎用カウンタ入力時)
14	P7-0/SCK2 /RX2 (BRK14)	I/O ポート 7-0 /シリアルクロック 入出力 2 /シリアル受信 データ 2	P1-3 端子はブザー出力を兼用しています。ブザー出力は、0.75、1、1.5、3 kHz (75 kHz クロック使用時) の周波数 4 種類が選択でき、その周波数を連続・単発・10 Hz 断続・10 Hz 断続 1 Hz 間隔の 4 モードで出力させることができます。	
15	P7-1/SDIO2 /TX2 (BRK15)	I/O ポート 7-1 /シリアルデータ 入出力 2 /シリアル送信 データ 2	P7-2 端子は外部割り込み入力を兼用しています。割り込み機能が許可され、この入力に 1.65~4.96 μ s 以上 (75 kHz クロック使用時 13.3~40 μ s) のパルスが入力されると割り込みが発生し、プログラムは 1 番地にジャンプします。入力割り込みは入力の論理および立ち上がり/立ち下がりエッジが選択できます。また、この入力には内部 8 ビットタイマカウンタのクロックゲート信号入力として使用でき、入力パルス幅の測定・検出が可能です。	
16	P7-2/INTR /SI2 (BRK16)	I/O ポート 7-1 /割り込み入力 /シリアルデータ 入力 2	(注) バックアップ解除設定は、ポート単位で許可・禁止が設定されます。 (注) システムリセット後は I/O ポートの入力状態に設定されます。 (注) 水晶 32.768 kHz または CR 発振器使用時、汎用カウンタはタイマとして使用します。	入力命令解除許可

端子番号	記号	端子名	機能・動作説明	備考
8	MV _{DD}	コントローラ部 電源供給端子	コントローラ部の電源供給端子です。 通常、V_{DD} = 3.0~3.6 V の電圧を供給します。 CPU のみ動作時 (75 kHz/32.768 kHz 発振器使用時) には、V_{DD} = 1.8~3.6 V の範囲で動作可能です。 バックアップ状態 (CKSTP 命令実行時) では低消費電流 (10 μA 以下) となり、電源電圧を 1.0 V まで下げることができます。	
9	MV _{SS}		この端子に 0 V $\rightarrow$ 1.8 V 以上の電圧がかかるとデバイスにはシステムリセットがかかり、プログラムは 0 番地からスタートします。(パワーオンリセット) (注) パワーオンリセット動作のために、デバイスの電源電圧の立ち上がり時間は 1~50 ms の間でご使用ください。 (注) バックアップ電流は、CV_{DD}/MV_{DD}/DV_{DD} のトータル電流値です。	
17	PDO	CD プロセッサ 制御入出力	EFM 信号と PLCK 信号との位相誤差信号を出力する端子です。 4 値出力: AV_{DD}/ハイインピーダンス/V_{REF}/AV_{SS}	
18	TMAX		TMAX 検出結果出力端子です。 所定周期より長い…“H” レベル (AV_{DD}) 所定周期より短い…“L” レベル (AV_{SS}) 所定周期内…ハイインピーダンス	
19	LPFN		PLL 系のローパスフィルタ用アンプの反転入力端子です。	
20	LPFO		PLL 系のローパスフィルタ用アンプの出力端子です。	
21	VCOF		VCO フィルタ端子です。	
22	AV _{SS}		アナログ系のグラウンド端子です。	—

端子番号	記号	端子名	機能・動作説明	備考
23	SLCO	CD プロセッサ 制御入出力	データスライスレベル生成用 DAC 出力端子です。	
24	RFI		RF 信号入力端子です。Zin1 は CD コマンドにより選択が可能です。	
25	AVDD		アナログ系の電源供給端子です。通常、 $V_{DD} = 3.0\sim 3.6\text{ V}$ の電圧を供給します。CD スタンバイ時にはこの電源はオフ状態にしてください。	—
26	VREF		アナログ基準電源端子です。通常、 AV_{DD} の 1/2 ($V_{DD} = 3.3\text{ V}$ 時、 $V_{REF} = 1.65\text{ V}$) の電圧を供給します。	—
27	RFZI		RFRP 信号ゼロクロス入力端子です。	
28	RFRP		RF リップル信号入力端子です。	
29	FEI		フォーカスエラー信号入力端子です。	
30	SBAD		サブビーム加算信号入力端子です。	
31	TEI		トラッキングエラー入力端子です。トラッキングサーボオン時に取り込まれます。	
32	TEZI		トラッキングエラー・ゼロクロス入力端子です。	
33	FOO		フォーカスイコライザ出力端子です。	
34	TRO		トラッキングイコライザ出力端子です。	

端子番号	記号	端子名	機能・動作説明	備考
35	RFGC	CD プロセッサ 制御入出力	RF 振幅調整制御信号出力端子です。3 値の PWM 信号を出力します。(PWM キャリア = 88.2 kHz)	
36	TEBC		トラッキングバランス制御信号出力端子です。3 値の PWM 信号を出力します。(PWM キャリア = 88.2 kHz)	
37	SEL		APC 回路オン/オフ信号出力端子です。レーザオン時、ハインピーダンスとなります。	
38	FMO		フィードコライズ出力端子です。3 値の PWM 信号を出力します。(PWM キャリア = 88.2 kHz)	
39	DMO		ディスクコライズ出力端子です。3 値の PWM 信号を出力します。(PWM キャリア = 88.2 kHz)	
40	CVDD	電源供給端子	CD プロセッサ部のロジックおよび、16.9344 MHz 専用水晶発振器の電源供給端子です。通常、MVDD・MVSS 端子と共通に接続します。CD スタンバイ時には低消費電流となります。	
43	CVSS			
41	XO	水晶発振器端子	CD プロセッサ専用水晶発振器の入出力端子です。16.9344 MHz を接続します。このクロックは CD プロセッサおよびコントローラのシステムクロックとして使用します。システムリセット後、コントローラ側のシステムクロックにはこのクロックが供給され CPU が起動します。 プログラムにより水晶発振器を停止させることができます。通常、コントローラ用クロックに 75/32.768 kHz または CR 発振器を選択したとき、CD プロセッサのオフ時にはプログラムによりこの発振器を停止させます。 (注) コントローラシステムクロックをコントローラ用クロックから CD 用水晶発振へ切り替える場合、CD 用水晶発振器が十分安定した状態で切り替えてください。	
42	XI			

端子番号	記号	端子名	機能・動作説明	備考
44	DVDD	オーディオ DAC 出力	DA コンバータ用電源端子です。CD スタンバイ時には低消費電流となります。	
45	RO		R チャネルデータ正転出力端子です。	
46	DVSS		DA コンバータ用グラウンド端子です。	
47	LO		L チャネルデータ正転出力端子です。	
48	DVR		リファレンス電圧端子です。	

最大定格 (Ta = 25°C, CVDD = DVDD = AVDD = MVDD)

項 目		記 号	定 格	単位
電 源 電 圧		VDD	-0.3~4.0	V
入 力 電 圧 (注 1)	CVDD 端 子	VIN1	-0.3~CVDD + 0.3	V
	AVDD 端 子	VIN2	-0.3~AVDD + 0.3	
	DVDD 端 子	VIN3	-0.3~DVDD + 0.3	
	MVDD 端 子	VIN4	-0.3~MVDD + 0.3	
		VIN5	-0.3~6.0	
許 容 損 失	TC94A39FAG	PD	400	mW
	TC94A39FB		500	
動 作 温 度		Topr	-40~85	°C
保 存 温 度		Tstg	-65~150	°C

注 1: VIN1; 41, 42 端子
VIN2; 17~39 端子 (ただし、電源印加端子は除く)
VIN3; 45, 47, 48 端子
VIN4; 1~13, 49~64 端子 (ただし、電源印加端子は除く)
VIN5; 14, 15, 16 端子

電氣的特性

(特に指定がない場合, $T_a = 25^\circ\text{C}$, $CV_{DD} = MV_{DD} = DV_{DD} = AV_{DD} = 3.3\text{ V}$, $V_{REF} = 1.65\text{ V}$)

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
動作電源電圧範囲	V_{DD1}	—	CPU, CD 動作時, ただし, $MV_{DD} = CV_{DD} \geq DV_{DD} = AV_{DD}$ (注 4)	3.0	~	3.6	V
	V_{DD2}		CPU 動作時 (CD スタンバイ, 16.9344 MHz 水晶発振器/CR 発振器使用時) (注 4)	3.0	~	3.6	
	V_{DD3}		CPU のみ動作時 (CD スタンバイ, 75 kHz/32.768 kHz 水晶使用時) (注 5)	1.8	~	3.6	
メモリ保持電圧範囲	MV_{HD}	—	水晶発振停止 (CKSTP 命令実行時) (注 4)	1.0	~	3.6	V
動作電源電流 (注 2)	I_{DD1}	—	CPU, CD 動作 ($XI = 16.9344\text{ MHz}$ 水晶使用時)	—	30	50	mA
	I_{DD2}		CPU のみ動作 ($XI = 16.9344\text{ MHz}$ 水晶使用時)	—	1.5	—	
	I_{DD3}		CPU 動作 ($MXI = 75\text{ kHz}$ 水晶接続時)	—	50	100	μA
	I_{DD4}		CPU 動作 (OSC = 0.5 MHz 発振時)	—	2.0	—	mA
	I_{DD5}		スタンバイモード (水晶のみ発振, $MXI = 75\text{ kHz}$)	—	40	80	μA
メモリ保持電流	MI_{HD}	—	($CV_{DD}/MV_{DD}/AV_{DD}/DV_{DD}$) 水晶発振停止 (CKSTP 命令実行時)	—	0.1	10	μA
発振周波数	f_{MXT}	—	(MXI-MXO) 水晶設定時 (注 3) (注 5)	30	~	100	kHz
	f_{XT}		(XI-XO) (注 4)	—	16.9344	—	
	f_{OSC}		(OSC) CR 発振器設定時	0.01	~	0.75	
発振周波数誤差	Δf_{OSC}	—	(OSC) CR 発振器設定時	—	—	15	%
水晶発振開始時間	t_{st}	—	(MXI-MXO) 水晶発振 $f_{mxt} = 75\text{ kHz}/32.768\text{ kHz}$	—	—	1.0	s
水晶発振器アンプ帰還抵抗	R_{fXT1}	—	(XI-XO)	0.5	1.0	2.0	$M\Omega$
	R_{fXT2}		(MXI-MXO)	—	16	—	
水晶発振器出力抵抗	R_{out1}	—	(XO)	0.25	0.5	1.0	$k\Omega$
	R_{out2}		(MXO)	50	100	200	
減電圧検出電圧	V_{DET}	—	(MV _{DD}) 減電圧回路許可時	1.4	1.5	1.6	V
減電圧検出回路動作電流	I_{DD-V_D}	—		—	100	—	μA

注 2: 動作電源電流は、 $CV_{DD}/MV_{DD}/DV_{DD}/AV_{DD}$ 電源端子のトータル電流値です。

注 3: 接続する水晶発振子に合わせて定数など設計・検討願います。

注 4: この項目は、 $CV_{DD} = MV_{DD} = DV_{DD} = AV_{DD} = 3.0\sim 3.6\text{ V}$ 、 $T_a = -40\sim 85^\circ\text{C}$ にて保証。注 5: この項目は、 $CV_{DD} = MV_{DD} = DV_{DD} = AV_{DD} = 1.8\sim 3.6\text{ V}$ 、 $T_a = -30\sim 75^\circ\text{C}$ にて保証。

汎用カウンタ (CTin)

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
周波数範囲	f_{CT}	—	$V_{IN} = 0.2 V_{P-P}$ (注 4)	0.1	—	20	MHz
入力振幅範囲	V_{CT}	—	(注 4)	0.2	—	2.0	V_{P-P}
動作電源電流	I_{DD-CT}	—	汎用カウンタ動作電流, $f_{in} = 20\text{ MHz}$	—	0.7	—	mA
入力アンプ帰還抵抗	R_{fIN}	—	(CTin)	200	350	1000	$k\Omega$

注 4: この項目は、 $CV_{DD} = MV_{DD} = DV_{DD} = AV_{DD} = 3.0\sim 3.6\text{ V}$ 、 $T_a = -40\sim 85^\circ\text{C}$ にて保証。

LCD コモン出力/セグメント出力 (COM1~COM4, S1~S16)

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
出 力 電 流	“H”レベル	I _{OH1}	—	V _{OH} = 2.9 V (LCD 出力時)		—	μA
	“L”レベル	I _{OL1}		V _{OL} = 0.4 V (LCD 出力時)		—	
バ イ ア ス 電 圧	1/2 レベル	V _{BS2}	—	無負荷 (コモン出力, 1/2 バイアス方式設定時)		2.3	V
	1/3 レベル	V _{BS1}		無負荷 (LCD 出力, 1/3 バイアス方式設定時)		1.47	
	2/3 レベル	V _{BS3}				3.13	
L C D 動 作 電 源 電 流	I _{DD} -LCD	—	LCD ドライバ動作電流	—	50	—	μA

I/O ポート (P1-0~P6-3, P8-0, P8-1, P7-0~P7-3)

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
出 力 電 流	“H”レベル	I _{OH2}	—	V _{OH} = 2.9 V (P1-0~P6-3, P8-0, P8-1)		—	mA
	“L”レベル	I _{OL2}		V _{OL} = 0.4 V (P1-0~P6-3, P8-0, P8-1)		—	
		I _{OL3}		V _{OL} = 0.4 V (P7-0~P7-3)		—	
入 カ リ ー ク 電 流		I _{LI}	—	V _{IH} = 3.3 V, V _{IL} = 0 V (P1-0~P6-3, P8-0, P8-1)		±1.0	μA
				V _{IH} = 5.5 V, V _{IL} = 0 V (P7-0~P7-3)		±1.0	
入 力 電 圧	“H”レベル	V _{IH}	—	—		V _{DD} × 0.8	V
	“L”レベル	V _{IL}		—		0	
入力プルアップダウン抵抗		R _{IN1}	—	(P6-0~P6-3, P8-0, P8-1) プルダウン, プルアップ設定時		25	kΩ
		R _{IN2}		(P3-0) テスト入力プルダウン時		10	

AD コンバータ (ADin1~ADin4)

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
ア ナ ロ グ 入 力 電 圧 範 囲	V _{AD}	—	ADin1~ADin4	0	~	MV _{DD}	V
分 解 能	V _{RES}	—	—	—	6	—	bit
変 換 総 合 誤 差	—	—	MV _{DD} = 1.8~3.6 V, Ta = -30~75°C (注 6)	—	—	±2.0	LSB
			MV _{DD} = 2.0~3.6 V, Ta = -40~85°C (注 6)	—	—	±1.0	
ア ナ ロ グ 入 カ リ ー ク 電 流	I _{LI}	—	V _{IH} = 3.3 V, V _{IL} = 0 V (ADin1~ADin4)	—	—	±1.0	μA

注 6: この項目は、CV_{DD} = DV_{DD} = AV_{DD} = 3.0~3.6 V にて保証。

PDO, TMAX, RFGC, TEBC, FMO, DMO, TRO, FOO, SEL 出力

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
出 力 電 流	“H”レベル	I _{OH6}	—	V _{OH} = 2.9 V (SEL, TMAX)		—	mA
	“L”レベル	I _{OL4}		V _{OL} = 0.4 V (SEL, TMAX)		—	
出 力 抵 抗	R _{out3}	—	(RFGC, TEBC, FMO, DMO, TRO, FOO)	—	3.0	—	kΩ
	R _{out4}		(PDO)	—	5.0	—	
V _{REF} 出 力 オ ン 抵 抗	R _{on}	—	(RFGC, TEBC, FMO, DMO, PDO)	—	—	500	Ω

伝達遅延時間 (BCK, LRCK, AOUT, DOUT, IPF, SBOK, CLCK, DATA, SFSY, SBSY)

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
伝 達 遅 延 時 間	“H”レベル	t_{pLH}	—	—	10	—	ns
	“L”レベル	t_{pHL}	—	—	10	—	

CD プロセッサ AD 変換部 (FEI, TEI, RFRP, SBAD)

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
分 解 能	—	—	(FEI, TEI, RFRP, SBAD)	—	8	—	bit
サ ン プ リ ン グ 周 波 数	—	—	(FEI, TEI, RFRP)	—	176.4	—	kHz
			(SBAD)	—	88.2	—	
変 換 入 カ レ ン ジ	—	—	$AV_{DD} = 3.3\text{ V}$ (FEI, TEI, RFRP, SBAD)	$0.15 \times AV_{DD}$	—	$0.85 \times AV_{DD}$	V

CD プロセッサ DA 変換部 (フォーカストラッキング系)

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
ビ ッ ト 数	—	—	(FOO, TRO)	—	5	—	bit
サ ン プ リ ン グ 周 波 数	—	—	(FOO, TRO)	—	2.8	—	MHz
変 換 出 カ レ ン ジ	—	—	$AV_{DD} = 3.3\text{ V}$ (FOO, TRO)	AV_{SS}	—	AV_{DD}	V

CD プロセッサ PLL/VCO 部

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
入 出 力 信 号 レ ン ジ	—	—	(LPFN, LPFO)	AV_{SS}	—	AV_{DD}	V
周 波 数 特 性	—	—	(LPFN-LPFO) -3dB ポイント (Gain = 1)	—	8	—	MHz
発 振 セ ン タ 周 波 数	—	—	$LPFO = V_{REF}$	—	34	—	MHz
周 波 数 可 変 レ ン ジ	—	—	[VCOGSL] bit = “L”	-30	—	+30	%
			[VCOGSL] bit = “H”	-40	—	+40	

CD プロセッサ コンパレータ (TEZI, RFZI)

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
入 カ レ ン ジ	—	—	(TEZI, RFZI)	AV_{SS}	—	AV_{DD}	V
ヒ ス テ リ シ ス 電 圧	—	—	(TEZI, RFZI) V_{REF} 基準	-50	—	+50	mV
入 カ 抵 抗	Z_{in2}	—	(TEZI, RFZI)	—	10	—	k Ω

CD プロセッサ データスライス回路 (RFI/SLCO)

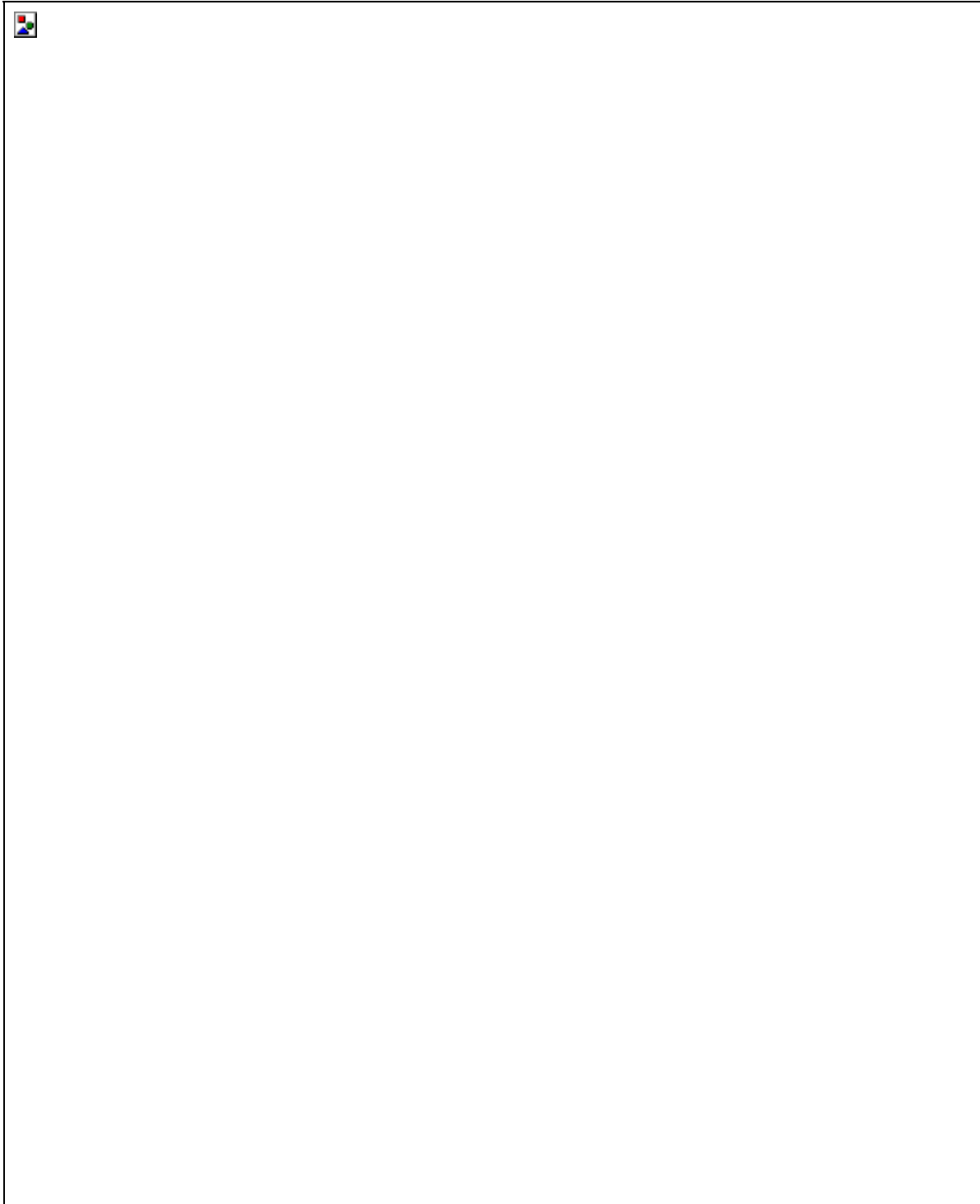
項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
入 カ 振 幅	—	—	(RFI) V_{REF} 基準	0.6	1.2	2.0	V_{P-P}
入 カ 抵 抗	Z_{in1}	—	(RFI) CD コマンドにより抵抗設定	—	20	—	k Ω
				—	10	—	
D A C 分 解 能	—	—	(SLCO) R-2R DAC	—	6	—	bit
D A C 出 力 変 換 レ ン ジ	—	—	(SLCO) R-2R DAC	$0.75 \times V_{REF}$	—	$1.25 \times V_{REF}$	V
DAC 出カインピーダンス	—	—	(SLCO) R-2R DAC	—	2.5	—	k Ω

1 ビット DA コンバータ

項 目	記 号	測定回路	測 定 条 件	最小	標準	最大	単位
雑 音 歪 率	THD + N	—	1 kHz 正弦波、フルスケール入力	—	−85	−77	dB
S / N 比	S/N (1)	—	内部ゼロ検出: OFF	85	91	—	dB
	S/N (2)		内部ゼロ検出: ON	95	100	—	
ダイナミックレンジ	DR	—	1 kHz 正弦波、−60dB 入力換算	83	90	—	dB
クロストーク	CT	—	1 kHz 正弦波、フルスケール入力	—	−90	−83	dB
アナログ出力レベル	DACout	—	1 kHz 正弦波、フルスケール入力	790	825	860	mVrms

外形図

質量: 0.32 g (標準)

外形図

質量: 0.45 g (標準)

当社半導体製品取り扱い上のお願い

000629TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。