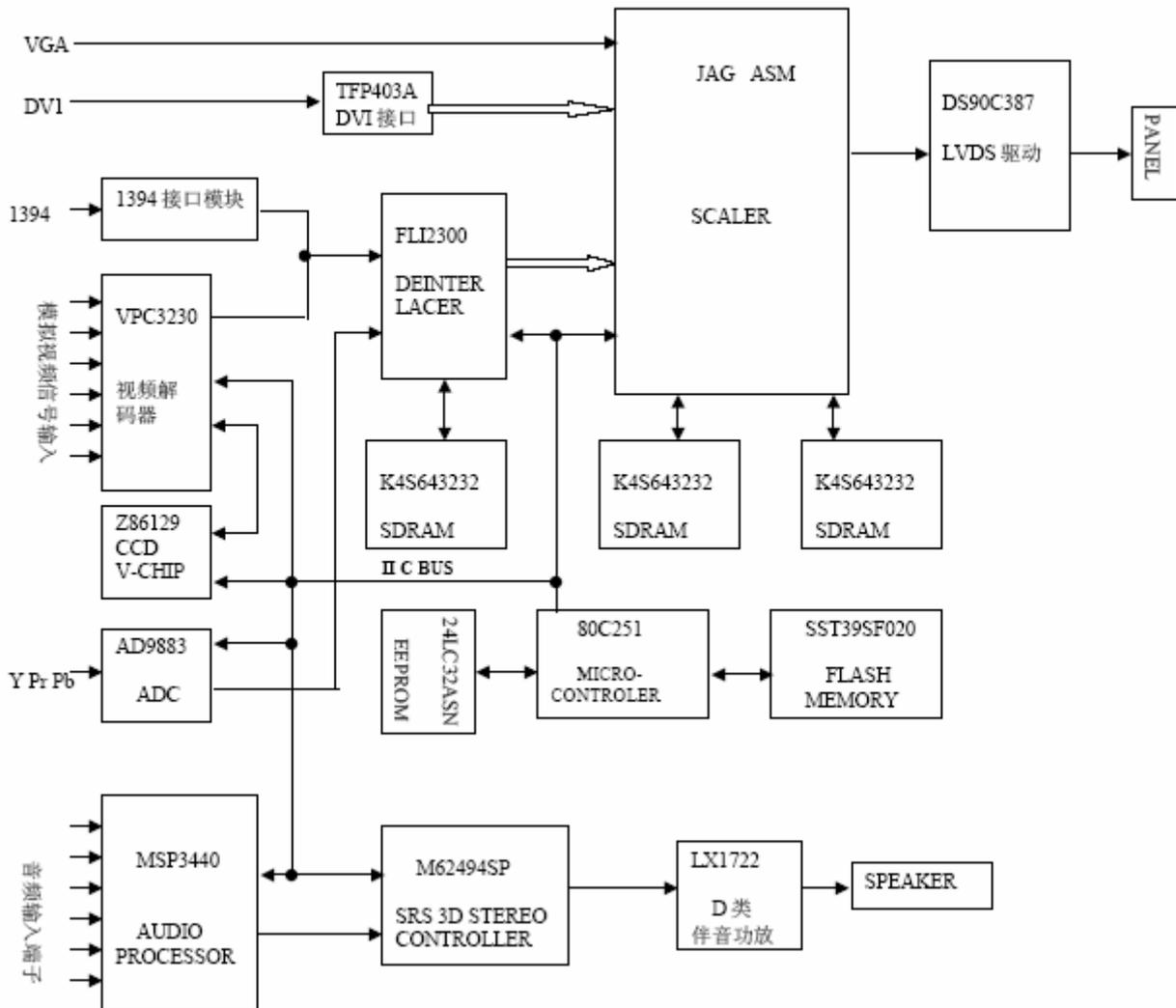


LC-32K5 维修手册

- 整机方框图 P2
- 方案电路图详细说明 P2-13
- 整机拆卸方法 P13-15
- 电路图（附表 1）
- BOM 单（附表 2）

一、整机方框图

GENESIS LCD TV 系统方框图



注：上方框图中，①. 1394 接口模块在内销以及不上网的机器中，被没有被采用；TFP403 没包含 HDCPKEY 功能，北美应是 TFP501 的 IC。

二、电路原理图详解

电路图 2/18 页

本页包括 CPU、I/O 扩展、控制信号扩展、复位电路四个部分

I、CPU——80C251

1、地址线和数据线——地址扩展

- 由于 80C251 的引脚不够，所以地址线是扩展生成的，MCAD0~MCAD7 输入到 U1—SN74AHC373 (8 位 D 型锁存器 (带三态输出))，在 CPU-33# (MCALE) 变低电平时，使 MCAD0~MCAD7 锁存在 U1 中，产生 MCA0~MCA7 地址线，与 CPU 引脚的 MCA8~MCA17 共同组成 MCA0~MCA17 地址线

2、I/O 扩展

MCAD[7—0]去第 3 页，进行 I/O 扩展

3、去第 9 页的 MCAD[7—0]与 MCA[17—0]对 JAG—ASM 中的 CPU memory 进行操作。

4、CPU—Flash memory (U4) AT49F020NT，存放程序

- MCA0~MCA17——地址线
- MCAD0~MCAD17——数据线
- \overline{OE} ——PSEN[#]的反相——输出使能，由CPU—32[#]产生
- \overline{WE} ——MCWR[#]的反相—写入使能，由CPU—18[#]产生
- \overline{CE} ——PROMCS[#]的反相—片选

当逻辑： $MCA14+MCA15+MCA16+MCA17=1$ 时，PROMCS[#]为低电平，即此时Flash才选中

5、CPU 的控制信号输出

- SCL——
I²C总线
- SDA——
- RXD }
通用异步通讯线
- TXD }
- REDLED }
去第 3 页点遥控板指示灯
- GREENLED }
- MCCLK——去第 10 页 ASM—SDRAM，主时钟
- MCALE ——去第 9 页 ASM—cpu memory，锁存使能
- MCWR[#]——去第 3 页的I/O扩展作控制信号

6、CPU 控制信号输出组成的控制信号

- 74VHC139MTC，2 组二—四译码器
- 在 $MCA14+MCA15+MCA16+MCA17=0$ 时，MCA12，MCA13 都为 1 时，Y3 输出低电平ADDRESS2[#]，送第 3 页控制I/O扩展。
- 在 $MCA14+MCA15+MCA16+MCA17=0$ 时，MCA13=0，MCA14=1 时，Y1 输出低电平JAGUAR[#]，送U5a G。 —
- 当JAGUAR[#]为低电平时，
- MCER[#]=1，PSEN[#]=0，使JAGRD[#]为低电平，送第 9 页进行ASM—CPU—memory读出。
- MCWR[#]=0，PSEN[#]=1，使JAGWR[#]为低电平，送第 9 页进行ASM—CPU—memory写入。

7、CPU 控制信号输入

- SCDT：来自第 8 页 DVI 接收器输出—同步检测信号，高电平：有效链接；低电平：无效链接。
- PWRDWSW：来自第 3 页的 Key board 信号：Seand By
- IRINT：来自第 3 页的遥控信号输入
- RESET：本页的复位信号
- JAGINTR：来自第 9 页的 ASM—cpu memory 中断信号
- INT1—VCH1P[#]：来自第 9 页的ASM—cpu memory中断信号

8、RESET 电路 (U8)

MAW12 产生复位信号RESET，送CPU—10[#]

9、E²PROM 24LC16 (U3)

CPU的E²PROM

电路图 3/18 页

本页功能较简单:

II、 I/O扩展(U9)——产生去模拟板和DVI接收器的控制信号,将来自第 2 页的 80C51 的 MCAD (7=0) 输入 8 位D型触发器U9,当 11[#]有一个正跳变时,即将MCAD (7=0) 的状态存入U9 中, D型触发器的八位输出为:

1、 DVIRXPD

去第 8 页的 DVI 接收器 (功能详见第 8 页)

- DVIRXOE[#]
- A_RESET 对各主要芯片进行复位。
- MUTE 送第 1 页控制 N04, N05 功放。
- SCL、SDA I²C总线
- A_SW0 和 A_SW1 到第 16 页控制 Ypbpr 与 DVI 的两路伴音选一路开关。
- SRS—MONO, SRS—STE 送第一页对 N02 控制。
- U9 的 11[#]是U9 的CLOK端,正跳变有效。当CPU的MCA12, MCA13 都为高电平,且MCA14~ MCA17 中有一个高电平时, U6D—12[#]为低,这时若MCWR[#]有个正跳变,则U9 中的Di锁入Qi。

III、 键盘接口

IV、 Keyboard 信号由 P2 插座输入,送到第 9 页 ASM 的 port C,进行 Key 信息的识别,控制。信号标识为 JAGPCI0(7=0)。另, PWRDWSW(实际上是 Key board 上的 standby 键)去第 14 页 U24 电源管理 IC。

V、 遥控指示灯插座 P39

- IRINT 是遥控信号,去第 2 页的 CPU
 - REDLED
 - BLUELED
- 来自第 2 页的 CPU,高电平有效。
- 当 Standby 时,红灯亮
正常工作时,兰灯亮

VI、 SN74AHC374

是 8 位边缘触发的 D 型触发器 (带三态输出)

- 11[#] (CLK) 的正跳变,使Qi 设置到Di 的逻辑电平。
- 1[#] (OE) 是输出使能端,低有效。高电平是三态输出。
- 1[#] (OE) 不影响内部的触发器工作,在输出为三态时,旧数据可保留,新数据也可进入。

电路图 4/18 页

本功能 VGA 信号输入接口

- VGA 输入的信号,经接口转换为 REDP, REDN, GREENP, GREENN, BLUEP, BLUEN, 3 对信号,直接进入 JAG—ASM 的 ADC 部分 (第 5 页), (它不通过 FLT2310 进行逐行处理)。
- VGA 的 HSYNC, VSYNC 经 74VHC14MTC 整形后以 PBHS1—VGAHS, PBVS—VGAVS 送 ASM (第 9 页)。
- VAG 连接线插入时, VGACBL 信号为低电平,否则为高电平,它给 ASM 一个是否连接上的鉴别信号。
- VGA的即插即用E²PROM U10—24LCS21A。
它是一个即插即用存储器 (出厂时已烧好数据),内部存放有关厂家出厂日期、系列号、

显示格式等，供电脑读取（即 DDC）。

电路图 5/18 页

本页仅仅是 ASM 的一部分图

VGA 的 R、G、B 信号对，REDN、REDP、GREENN、GREENP、BLUEN、BLUEP 进入 JAG—ASM 的模拟口，进入 ADC 转换，然后再进行 scaler 处理。

电路图 6/18 页

本页中 FLT2310+13.5MHZ 晶体+SDRAM（第 7 页）形成较完整的 de-interlacer 电路。

只有 VPC3230 的输出（Video 数字信息）和 AD9883A 的输出（YPBPR—HD 数字信息），才进入 FLT2310 进行逐行处理。

I、 FLT2310 的输入信号

1、来自 15/18 页的 VPC3230D:

- S23P2D (7=0) — ITU—R656 格式
- S23P2CLK—DECCLK—双输出脉冲
- S23P2FLD—DECFLD—双输出脉冲
- S23P2VS—DECVS—垂直同步
- S23P2HS—DECHS—水平同步

2、来自 16/18 页的 AD9883A

- S23P1U (7=0)
- S23P1Y (7=0) 数字化后的 YPBPR 信号
- S23P1Y (7=0)
- S23P1HS1——水平同步
- S23P1VS1——垂直同步
- S23P1CLK1——时钟
- S23P1HS2—DE——显示使能

II、 FLT2310D 的输出信号

1、去 JAG—ASM 数字输入口 port B 的信号：（去第 9 页）

- PAG (7=0)
- PAR (7=0)
- PAB (7=)
- PCCLK1—S23CLK——时钟
- PACLK—S3CLK——时钟
- PADE—S23DE ——输出使能
- PAVS—S23VS ——垂直同步
- PAHS—S23HS ——水平同步

2、去 FLT2310—SDRAM 的信号——去第 7 页

- 23SDA (10:0) ——地址总线
 - 23SDD (31:0) ——数据总线
 - 23SDCLK——时钟，由 111[#]产生
 - 23SDDQM——数据输入/输出屏蔽
 - 23SDCS[#]——片选
 - 23SDBA0
 - 23SDBA1
 - 23SDCAS[#]——“行”地址选通
- > 存储区选择地址

- 23SDRAS[#]——“列”地址选通
- 23SDWE[#]——写入使能
- 23SDCLK1——跟踪延迟的时钟，输入到 114[#]。

3、去第 12 页的时钟

- PNLCLK—23SCLK——源自 125[#]—去 scaler

III、其他信号

- 3V3RESET[#] 47[#]RESET—N复位信号
- SDA\SCL IIC 总线
- DEVADDR1—去 43[#]——四件地址设置 1
- DEVADDR0—去 44[#]——四件地址设置 0
- 23000E[#]—去 156[#]——输出数据使能（数字化Video输出）
- DAC—GOUT—17[#]
- DAC—BOUT[#] 经D/A转换的模拟R. B. G
- DAC—ROUT[#]

电路图 7/18 页

本页为 FLT2310 的 SDRAM 图 MT48LC2M32B2=K4S643232C 地址线、数据线、控制线都来自第 6 页的 LTT2310，SDRM 主要存放逐行处理变换数据。

- 23SDD (31: 0) ——数据总线
- 23SDA (10: 0) ——地址总线
- 23SDBA0—BA0
- 23SDBA1—BA1
- 23SDCA[#]— CS₊ 片选
- 23SDCLK— CLK: 系统时钟
- 23SD RAS[#]—RAS: “行” (ROW) 地址选通
- 23SDCAS[#]—CAS: “列 (COLUMN) 地址选通
- 23SDWE[#]— WE: 写入使能
- 23SDDQM—DQM0—3: 数据输入/输出屏蔽
- 23SDCLK1——去 FLT2310 的跟踪延迟时钟输入端

存储区选择地址

MT48LC2M32B2

是 67, 108, 864 6it 的同步高数据速率的动态 RAM，配置

K4S643232C

为 4*524, 288*32bit。采用 SAMSUNG 高性能 CMDS 工艺制造。“同步设计”技术使用系统时钟来进行精确的周期控制。I/O 处理 (transaction) 可按每个时钟周期进行操作。宽的工作频率范围，可编程的“burst length” (脉冲串长度)，可编程的“latencies” (执行时间) 允许该器件系列用于种高带宽、高性能的存储器系统。

MT48LC2M32B2

的主要特点

K4S643232C

- 3.3V 供电
- LVTTL 兼容，带多元 (multiplexed) 地址
- 4 个存储区 (Bank) 操作
- 所有输入数据在系统时钟的正冲边缘被读取。
- MRS (模式寄存器设置) 周期。
- Burst read Single-bit Write Operation
- DQM for masking

- 自动和自身刷新

引脚说明

- CLK (68[#]): 系统时钟
- \overline{CS} (20[#]): 电选信号
- CKE (67[#]): 时钟使能
- A0—A10: 地址总线
- BA0 (22[#])
- BA1 (23[#])  : 存储区选择地址
- \overline{RAS} (19[#]): “行”地址选通
- \overline{CAS} (18[#]): “列”地址选通
- \overline{WE} (17[#]): 写使能
- DQM0—3: 数据输入/输出 mask 使输出呈高阻抗, 并使输出屏蔽, 当 DQM 激活时, 阻止数据输入。

电路图 8/17

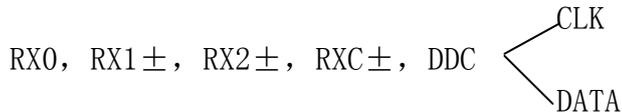
本页是 DVI 接口电路

I、DVI 插座—30pinD 型连接口, 它含有:

- 一组模拟信号—本机未用
(8[#]: AVSYNC, 28[#]: AHSYNC, 25[#]: ARED, 26[#]: AGREEN, 27[#]: ABLUE, 29[#]: AGND1, 30[#]: AGND2)

- 二组数字信号

即典型的 TMDS 信号为五对: 例如本机用:



其余 +5V, GND 及 16[#]HPD (热插拔识别)。

- 每个 DVI 座也与 VGA 插座相似, 都有一个即插即用的 E²PROM。DVI 接收器—U15, TFP403AZT, 功能是收 TMDS 信号转换为 R、G、B 数字信号后, 送入 JAG—ASM 做 Scaler 处理。
- 输入信号: DVI 插座来的五对信号:
 - 1、DVIRXCP, DVIRXCN
 - 2、DVIRXOP, DVIRXON
 - 3、DVIRX1P, DVIRX1N
 - 4、DVIRX2P, DVIRX2N
 - 5、DDC—CLK, DDC—DAT
- 输出信号: 去第 9 页 JAG—ASM Scalet
 - PBR (7=0), PBG (7=0), PBB (7=0) 去第 9 页 port A
 - PCHS—DVIHS, PCVS—DVIVS, PBHS2—DV1DE, PBCLK—DV1CLK
- 控制信号:
 - 输入控制信号
 - DVIRXOE[#], 来自第 3 页 I/O 扩展口, 送 9[#]PD0, 实际上应

标 $\overline{PD0}$, 高电平: 正常操作/输出驱动器 ON

低电平: 输出驱动 power down。

- DVIRXP0, 来自第 3 页 I/O 扩展口, 送 2[#]PD, 实际上应为 PD。这是个 power down 信号, 一个有效的低电平将控制 TFP501 power down 状态。在 power

down期间，所有的输出缓冲器切到高阻状态。所有模拟电路被power down，所有输入失效（除为PD外）。如果PD不连接，内部拉电阻默认TFP501 为正常操作。

高电平：正常操作

低电平：power down

- U11 为 HDCPKEY 的密钥存储器。
- 输出控制信号
 - SCDT: 8#输出，去第 2 页的 80C251。同步检测信号输出，当链接 (Link) 有效/无效时，输出一个信号。
 - 高电平：有效链接
 - 低电平：无效链接。

TFP501 监视 DE 的状态，以判断链接是否有效。

SCDT 可由外部连到 $\overline{P\overline{D0}}$ ，使得链接无效时，将输出驱动器 power down。

- SDA
 - SCL
- } I²C总线。

电路图 9/18 页

本页为 JAG-ASM 信号输入接口。本页不是一张完整的图，只画出 ASM 的四个端口，portA, portB, portC 和 ASM 中的 CPU-memory，所以，信号几乎都是输入信号（主要是 DVI 接收器的输出信号，FLT2310 逐行处理后的输出信号）

I、输入信号：

- 1、DVI 接收器（第八页）来的输入信号一去 portA
- 2、FLT2310 逐行处理器（第 6 页）来的输入信号一去 portB
- 3、Key board（第 3 页）输入一去 portC
 - ° JAGPCIO (7=0)
- 4、MCU (80C251) (第 2 页) 来的输入信号
 - ° MCAD[7--0]: MCU 数据总线
 - ° MCA[17--0]: MCU 地址总线
- 5、其他
 - D2-° JAGINTR: 去 MCU (80C251): interrupt to HOST(第 2 页)
 - ° VGACBL: 来自第 4 页的信号，VGA (D-15 座) 插入时，为地
 - D6-° PBHS1-VGAHS } 来自第 4 页同步缓冲后的输出
-portB raw HSYNC or PortB display enable
 - P3-° PBVS-VGAVS } - portB 场同步

电路图 10/18 页

第 10 页如果和第 11 页合一页，实现 ASM 和 SSM SDRAM 连在一起更好看懂。

本页为 ASM SDRAM 的接口

输入信号：

- MCCLK—由第 2 页 51 核 CPU 晶振输出

输出信号：

- TSA (10=0) —地址总线

- SD (63=0) —数据总线
- TSDQM—数据输入/输出屏蔽
- TSBA0—
- TSBA1—
- TSCS#—CS: 片选
- TSRAS#—RAS: 行地址选通
- TSWE#—WE: 写入使能
- TSCAS#—CAS: 列地址选通
- TSCKE#—CKE: 时钟使能
- TSCLK—CLK: 系统时钟

所有输出信号都去第 11 页 SDRAM

电路图 11/18 页

本页描述 JAG—ASM 所用的 SDRAM 缓冲器 K4S643232C

JAGUAR—SDRAM 接口 (第 10 页) 连接。

K4S643232C 是 67, 108, 864bit 的同步高数据速率的动态 RAM, 配置为 4X524, 288X32bit。采用 SAMSUNG 高性能 CMOS 工艺制造。“同步设计”技术使用系统时钟来进行精确的周期控制。I/O 处理 transaction) 可按每个时钟周期进行操作。宽的工作频率范围, 可编程的“burst length” (脉冲串长度), 可编程的“atencyes” (执行时间) 允许该器件系列用于各种高带宽、高性能的存储器系统。

电路图 12/18 页

本页由画出 JAG—ASM 的一部分, JAG—ASM panel 接口。

除了由第 6 页 FLT2310—125# 的 CLK 输出, PNLCLK—S23CLK 进入 AF—12 (PNLCLK) 外, 其余都是输出信号。

输出信号:

- 去第 18 页 LVDS 发送器
 1. DBRED (0=7), DBGRN (0=7), DBBLV (0=7) —单点屏不用
 2. DARED (0=7), DAGRN (0=7), DABLU (0=7)
 3. DVS, DHS, DEN, PKCLK
- 去第 13 页的信号
 - PWM—
 - ENBKL—
 - ENVDD—产生 VDDSAFE 输出 (+5V 电源), ENVDD 高有效, 去第 18 页的 LVDS—32# (PWDN 省电模式), ENVDD 低时, LVDS 发送器 power dwon, LVDS 输出为高阻。

电路图 13/18 页

本页为显示屏提供电源和背光板控制

I、 显示屏电源

在第 12 页 ASM 产生的控制信号 ENVDD 控制下, 使双 P 沟道的 MDS 管导通 (ENVDD 高有效), VDDSAFE 输出 +5V 送第 18 页的 panel 插座。

II、 背光板控制

- a) 背光板供电 24V
- b) 背光灯 ON/OFF, 4# H: ON, L: OFF

4# 由第 12 页 JAG—ASM 产生的 ENBKL 信号
- 背光亮暗控制 7#, L: 最亮 H: 最暗

也可以由第 12 页 JAG—ASM 产生的 PWM 控制,

7#：占 比 30%最暗 占 比 100%最亮。

电路图 14/18 页

本页功能是稳压电源，较简单，把电源板送来的 12V 电压转换为 5V、3.3V、1.8V 等。

电路图 15/18 页

本页功能：

- 1、Video 信号经 VPC3230D 进行解码和 ADC，然后将数字化的信息送入 FLT2310。
- 2、通过 Z8612912SS 生成 V-chip CCD 信息。

I、VPC3230D 输入

- 从模拟板 X202 来的 Video 信号（含 TC-IN1，TV-IN2，AV1 (Y/C)，AV2）进入 VPC3230D，进行 4H 状滤波器 Y/C 分离我，彩色解码，A/D 转换，输出。
- YcrCb 信号从 VPC3230D 的 4#，5#，6# 输入。
- Z8612912SS 生成的 V-Chip，CCD 信号从 VPC3230D 的 1#，2#，3# 输出。

II、VPC3230D 输出信号：去第 6 页的 FLT2310

- ITU-R656 格式的视频信息 S23P2D (7=0)
- S23PLCLK-DECCLK：双输出时钟 (double output clock)
- S23PLVS-DECVS-垂直同步
- S23PLHS-DECHS-水平同步，同时去本页的 Z86129-5#
- S23PLFLD-DECFLD-隔行输出：0：第一场，1：第二场

III、V-chip 解码器 Z8612912SSC

- 输入信号：
 - 3V3RESET-复位，来自第 2 页
 - AVOUT2 (7#)-VPC3230D-70# 输出的 Videl 信号（含有 V-CHIP 信息）
 - S23PLHS-DECHS 进入 5# (HIN)，水平同步
 - SCL
- SDA
- 输出信号
 - 解出的 V-chip 的信息输出到 VPC3230D
 - GRN (2#) -
 - BLU (3#) - 兰
 - RED (18#) - 红
 - BDX (17#) - 快速消隐信号
 - INTI-VCHIP# - 去 CPU (第二页) 的中断信号。

I²C 总线

Z86229 (U32) 功能说明

特点：

- 完全独立的 (Stand-Alone) line21 解码器，用于隐字幕和扩展的数据服务。(XDS)
- 预编码：为扩展的数据服务提供完全符合于 EIA-608 规格，专用的 XDS (扩展数据服务) 软件包。如 “time of day”，” local Time Eont” 和 “Program Blocking” (V-chip) 都可自动采集，串行输出。
- 最小通讯和 “control overhead” 使 “暴力阻断”，隐含字幕，自动时钟设置的相解过程简化。
- I²C 串行数据和控制通讯。

- 用于可编程的水平显示位置（易于置中心和调整）
- 支持 2 个可选的 I²C 地址。

电路图 16/18 页

本页功能：YPBPR1 和 YPBPR2 经 P15V330 二选一，进入 AD9883A 进行 AD 转换，输出到 FLT2310 进行逐行处理。YPBPR1 和 YPBPR2 相应的伴音 HD1-AL, HD1-AR; HD2-AL, HD2-AR; DVI 的伴音 DVI-AL, DVI-AR 三组信号，通过 P15V331 三选一后，送到 P37

一、P15V331 是四组二选一开关，控制端 1#（A-SW0 来自第 3 页 I/O 扩展）控制切换。

真值表

$\overline{\text{EN}}$	IN	ON Switch
0		S1A, S1B, S1C, S1D
0		S2A, S2B, S2C, S2D
1	X	不起作用

选中的 Y、PB、PR 分别进入 AD9883 的 G1N、B1N、R1N。

P15V33D（PERICOM 产品）的特点：

- 高性能/低 的 Video 开关
- 带宽 200MHZ
- 低导通电阻：3Ω
- 低高拢
- 快速开关 10NS
- 高输出电流 100MA
- 四组二选一

IV、图形 ADC 和 PLL 说明 AD9883A

AD9883A 是一个全 8 位的，140MSPS 单片 接口，用于捕捉 RGB 图形信号，并将它们转换为数字化数据输出。

AD9883A 含有三路 ADC，ADC 内部带有 125V 参数电片，含有一个这 PLL，具有可编程的增益控制，偏移控制和 位控制。

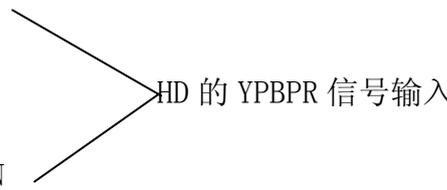
AD9883 中的 PLL 靠 HSYNC 和 COAST 输入来产生一个像素时钟，像素时钟输出频率范围可从 12MHZ 至 140MHZ。在 140MSPS 的场合时，PLL 时钟的抖动是 500PS P-P。内部提供采样相位调整功能，以使数据，HSYNC 和时钟的输出相位保持不变。此外，当 COAST 信号有效时，PLL 在 HSYNC 输入的情况下，仍可接原有的频率输出。

AD9883A 可以对“复合同步”和“SYNC-ON-GREEN”应用进行全同步处理。

AD9883A 内部可以产生位信号，或用户通过 CLAMP 输入端提供 位信号线串行接口进行全编程。

本页功能：HD 的 YPBPR 信号经 AD9883A 箝位，增益调节和 AD 转化，生成数字化的 Y、U、N 信号，送入第 6 页的 FLT2310。

输入信号：

- RA1N
 - GA1N
 - BA1N
 - SOG1N
 - SOGIN-SOGIN 为“同步嵌在 G 信号”输入。
- 
- HD 的 YPBPR 信号输入

控制信号：

- SDA-I²C 总线
- SCL-I²C 总线
- Q10, Q10 为 I²C 总线信号电平转移

- 38#—CLAMP 经 10K 接地，表示为内部箝位
- 29#—COAST 经 10K 接地，表示无 COAST 功能
- 33#—为内部 PLL 的外接滤波器。

输出信号：

- S23P1V (7=0)
- S23P1Y (7=0)
- S23P1U (7=0)
- S23P1HS1
- S23P1HS2—DE
- S23P1VS1

这些信号都是去第 6 页的 FLT2310，进行逐行处理

V、 伴音切换—PI5V331

切换开关为 PI5V331，它是二组四选一开关，本机只用三选一。控制信号 A—SW0，A—SW1 由第 3 页的 I/O 扩展产生。

真值表： \overline{ENA} (1#)， \overline{ENB} (15#) 低电平为效

IN1	IN2	ON SWITCH
0	0	S1A—DA, S1B—DB
0	1	S2A—DA, S2B—DB
0	0	S3A—DA, S3B—DB
0	1	S4A—DA, S4B—DB

选中的该组 L、R 由 7#、9# 输出，汇到 P37，然后送到模拟板 X201 进行放大。

PI5V331 (PeR1COM Semiconductor) 特点：

- 高性能低价的切换开关
- 宽带：150MHZ
- 低导通电阻：3Ω
- 在 10MHZ 的高扰：-58DB
- 快速切换：10NS
- 高输出电流：100MA

电路图 17/18 页

本页功能：由 JAG—ASM 的显示器产生的显示信号，送入 LVDS 发送器 DSC90C383，转换为 LVDS 信号送入显示屏插座 P4。

32" 是单点屏，采用一个 DSC90C383。

输入信号：

1. DARED[7--0]
2. DAGRN[7--0]
3. DABLU[7--0]
4. DHS、DVS、DEN、PDCLK

来自第 12 页的 JAG—ASM 显示端口输出

控制信号：

- ENVDD—由第 12 页的 JAG—ASM 产生，它是省电模式控制，当为低电平时，LVDS 发送器为三态输出。

TV 板（模拟板）电路说明 P1/18：

本机采用一体化高频头，高频头输出为 TV—VIDEO，SIF，AUDIO。

TUNER R201 为普通 N 制高频头，

I、VIDEO 信号输出，通过 X202 连到数码板第 15 页 P32 插座

- TV__IN1——— 高频头 1 生成

- TV__IN2——— 高频头 2 生成
- YC__YIN (VIDEO1) ~~AV1/S-VIDEO~~ 生成
- YC__CIN
- VIDEO 2——— AV2 生成

另, X202 的 VIDEO-OUT 连到 AV-OUT 插座。

II、 MSP3420 (3440)

● 输入信号:

- 来自数码板第 16 页 P37, 连到 X201, 共有四路
 - VGA-AUDIO-L, R。
 - L4-IN- (含有 YPBPR1, YPBPR2, DVI 的 AUDIO-L)
 - R4-IN- (含有 YPBPR1, YPBPR2, DVI 的 AUDIO-R)
- AV1-L, R
- AV2-L, R
- 高频头生成的 SIF 信号。
(共七路 L, R 信号)

● 输出信号

- 耳机输出 L, R (24#, 25#)
- AV OUT -L, R (37#, 36#)
- 主路 L, R (28#, 27#) 连到 SRSIC M62494—2#, 1#, 由 8#, 5#输出经 SRS 处理的 L, R 七 D 类功放放大。

*D 类功放见 40" LCD 的 moniter 说明。

● 信号

数码板第 3 页 P11 座连到 X203, 产生

- MS—RESET—复位
- SCL
- SDA
- AUDIO—SW0
- AUDIO—SW1
- SRS—MONO
- SRS—STEREO

} 控制 M62494

10# MUTE	MUTE SW	11# SRS mono	SRS Mono SW	12# SRS STEREO	SRS STETEO SW
ON	H	ON	H	ON	H
OFF	L	OFF	L	OFF	L

● SP34X0G 简介

MSP34X0G 是单片多制式伴音处理器, 复盖全球模拟 TV 制式的伴音处理, 以及美国立体声/德国立体声/NICAM 数字立体声制式。从模拟的伴音 SIF 信号输入, 到处理后的 TV 板(模拟板) 电路说明 (续 2)

音频输出, 全部 TV 伴音处理都在这一单片中执行。MSP34X0G 内部还含有多路 AUDIO 开关, 省去了外部多路开关。

三、整机维修拆装过程介绍

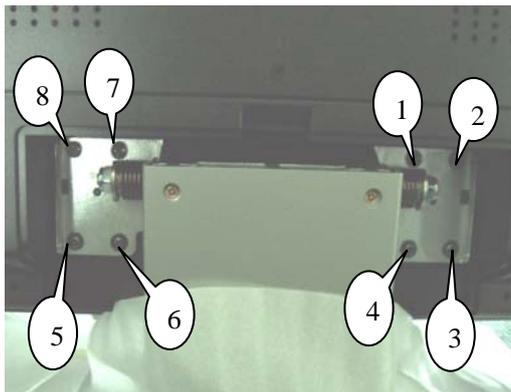
1. 拆盖板: 先按下“按钮”, 再取下“左右盖板”; 然后取下转轴盖板。



图1

2. 取下底座

I、如图所示，按 1 到 8 的顺序把 8 个螺钉取下后，再取下底座。注意对底座面板的保护，以防划伤等。



2. 取下壁挂支架

I、如图 2 所示，取下后机壳盖板的 10 个螺钉后取下盖板。

II、如图 3 所示，取下壁挂中支架。

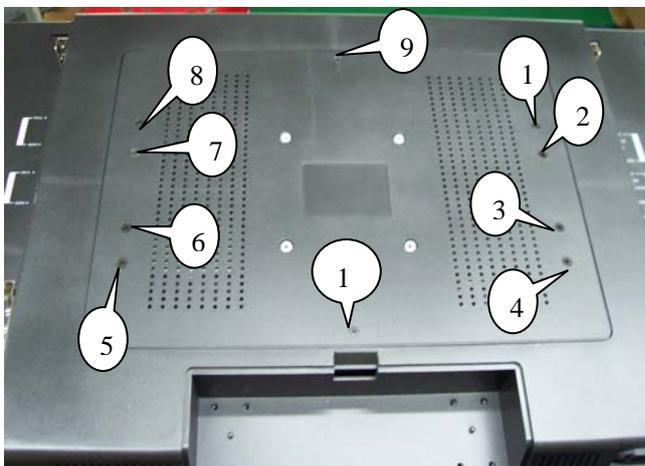


图2

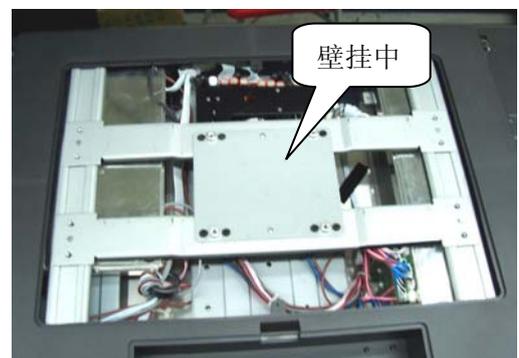


图3

3. 拨线取音频视频板

I、 如图 4 所示， 拨除音频视频板上的插线。

II、 如图 5、 图 6 所示， 按 1-2 的顺序取下两个螺钉后， 再在后机壳音频板下面垫张平整的纸， 后把音频视频板拔出。



图 4



图 5

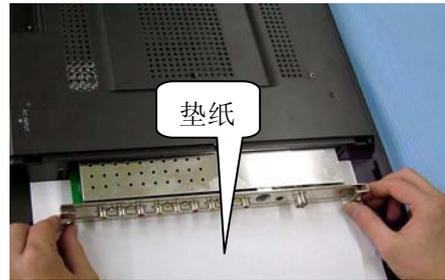


图 6

4. 取下 CPU 挡板

I、 如图 7 所示， 按 1-5 的顺序把螺钉取下后， 再取下两块挡板。

II、 把 CPU 板往图 7 箭头所示的方向， 往里推约 30mm 后， 再拨除 5 芯及 8 芯线。

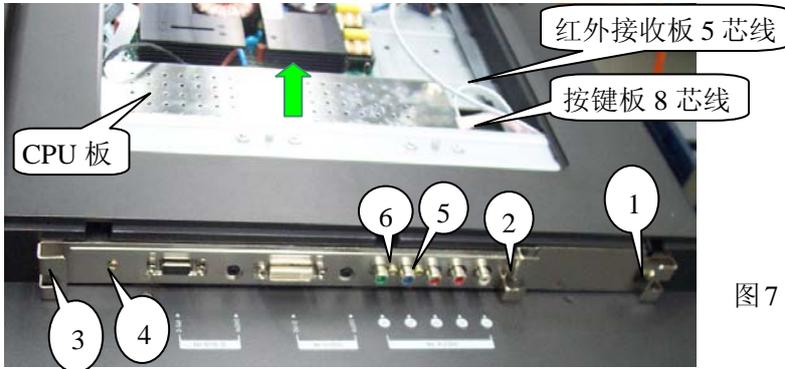


图 7

5. 取下后机壳

I、 如图 8 所示， 按 1-17 的顺序取下后机壳 17 个螺钉后取下后壳。

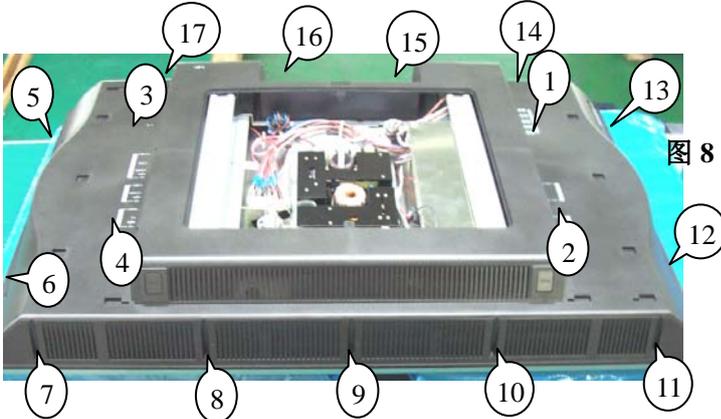


图 8

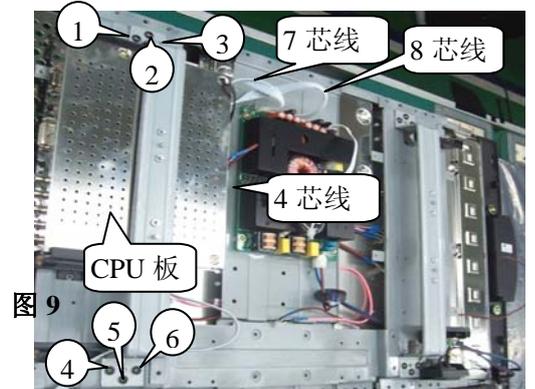


图 9

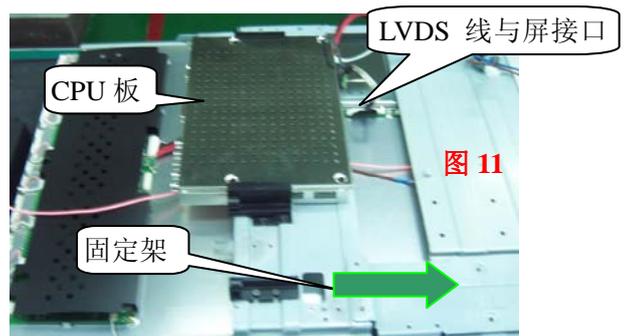
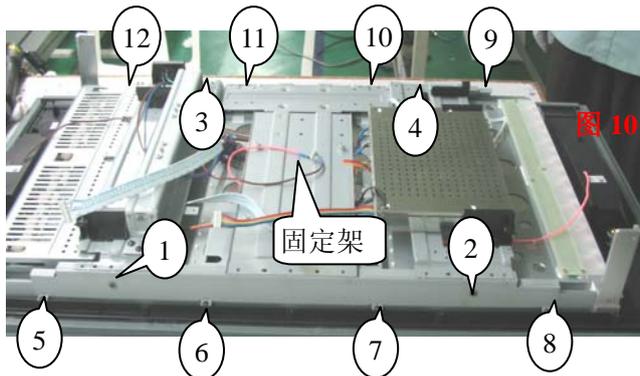
6. 取壁挂竖及拨 CPU 板上的线材

I、如图 9 所示，按 1-6 的顺序把壁挂竖上的 6 个螺钉取下后，再把壁挂竖取下。

II、如图 9 所示，拨除由电源板与 CPU 板相连的 7 芯线材及屏与 CPU 板相连的 4 芯线材，再取下屏与电源板相连的 8 芯线材。

7. 取下前机壳与固定架的螺钉

I、如图 10 所示，按 1-12 的顺序取下 12 个螺钉，其中 1-4 是固定架与屏，5-12 是固定架与前壳固定的螺钉。



8. 取下 CPU 板

I、如图 11 所示，把固定架往图示方向推移，直到能看到“LVDS 线与屏接口”为止。

II、在 LVDS 线与屏接口的位置上的点胶处点上适量的“酒精”后，过 20 秒后，再拨除 LVDS 线。

III、把 CPU 板从导轨中拨除，取下。

9. 取屏

I、取下屏固定架后的样子如图 12 所示。

