TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900/L1 シリーズ

TMP91C016

株式会社 東芝 セミコンダクター社

はじめに

この度は弊社 16 ビットマイクロコントローラ TLCS-900/L1 シリーズ、TMP91C016 をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホルト状態からの解除に関する注意事項

通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間（f_{FPH} 約 5 クロックの間）に、HALT モードを解除可能な割り込み ($\overline{NMI}$, INT0~INT3, INTRTC, INTALM0~INTALM4, INTKEY, INTVLD0~INTVLD2) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

低電圧/低消費電力

CMOS 16 ビット マイクロコントローラ

TMP91C016F/JTMP91C016S

1. 概要と特長

TMP91C016 は、低電圧/低消費電力動作が可能な高速・高機能 16 ビットマイクロコントローラです。

TMP91C016F は、100 ピンミニフラットパッケージ製品です。JTMP91C016S は、100 パッドチップ製品です。特長は次のとおりです。

(1) オリジナル 16 ビット CPU (900/L1_CPU 使用)
- TLCS-90 と命令ニモニックで上位互換
- 16 M バイトのリニアアドレス空間
- 汎用レジスタ&レジスタバンク方式
- 16 ビット乗除算命令、ビット転送/演算命令
- マイクロ DMA: 4 チャネル (592 ns/2 バイト@ 27 MHz)

(2) 最小命令実行時間: 148 ns @ 27 MHz

(3) 内蔵 RAM: なし
内蔵 ROM: なし

(4) 外部メモリ拡張
- 105 M バイト (プログラム, データ) まで拡張可能
- 外部データバス 8/16 ビット幅共存可能
…ダイナミックデータバスサイジング
- セパレートバスシステム

(5) 8 ビットタイマ: 4 チャネル

(6) 汎用シリアルインタフェース: 2 チャネル

チャネル 0
- UART 対応
- IrDA ver1.0 (115.2 kbps) 対応モード選択可能

チャネル 1
- UART 対応
- 同期式モード対応

030519TBP1

- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命･身体･財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質･信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 “特定用途” という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

(7) LCD コントローラ

- シフトレジスタ型、RAM 内蔵型の両 LCD ドライバに対応

(8) RTC (リアルタイムクロック)

- TC8521A を基本とした仕様

(9) キーオンウェイクアップ (キー入力割り込み)

(10) ウォッチドッグタイマ

(11) メロディ/アラームジェネレータ

- メロディ: 4~5461 Hz のクロックを出力
- アラーム: 8 種類のアラームパターンを出力
- 5 種類のインタバル割り込みを出力

(12) チップセレクト/ウェイトコントローラ: 4 チャネル

(13) MMU

- 4 ローカルエリア/8 バンク方式により 105 M バイトまで拡張可能

(14) 表示データ縦横変換回路 (8 × 8)

(15) 割り込み機能: 40 本

- CPU 9 本 .....ソフトウエア割り込み命令、未定義命令実行違反
- 内部 25 本 .....7 レベルの優先順位の設定が可能
- 外部 9 本 .....7 レベルの優先順位の設定が可能
  (4 本はエッジの極性選択可能)

(16) 入出力ポート: 31 端子 (外部 16 ビットデータバスメモリ接続時)

- スタンバイ機能
  3 種類の HALT モード (プログラマブル IDLE2, IDLE1, STOP)

(17) DRAM コントローラ内蔵: 1 チャネル

- $\overline{2CAS}$ 方式

(18) 入力電圧値比較用コンパレータ内蔵: 3 チャネル

(19) トリプルクロック制御機能

- クロック逓倍回路 (DFM) 内蔵
- クロックギア機能: 高周波クロック fc ~ fc/16 まで切り替え可能
- 低速クロック機能 (fs = 32.768 kHz)

(20) 動作電圧

- Vcc = 2.7~3.6 V (fc max = 27 MHz)
- Vcc = 1.8~3.6 V (fc max = 10 MHz)

(21) パッケージ: P-LQFP100-1414-0.50F、またはチップ供給
詳細は当社営業窓口までお問い合わせください。

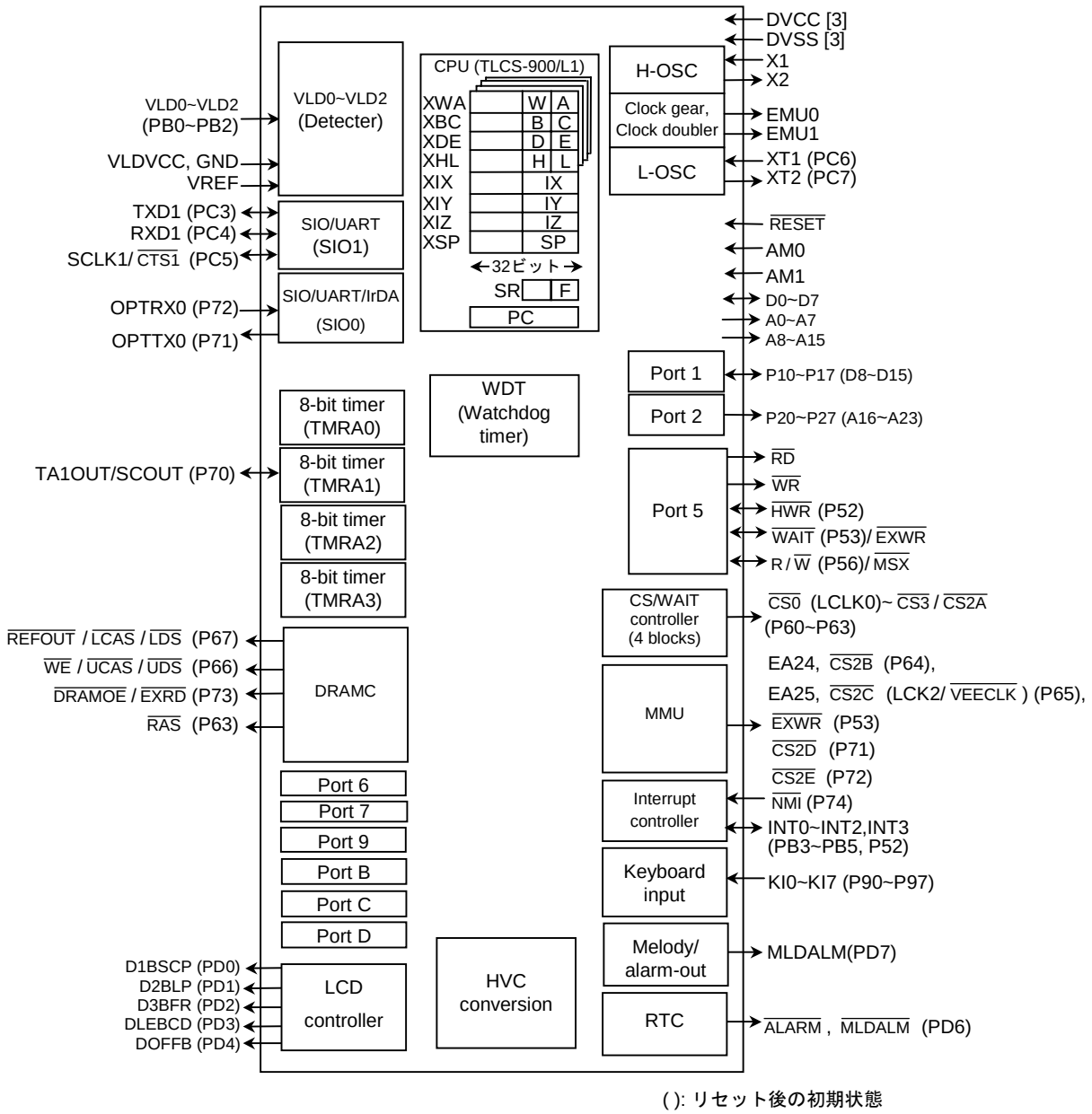


図 1.1 TMP91C016 ブロック図

2. ピン配置とピン機能

TMP91C016 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP91C016F ピン配置図は、図 2.1.1のとおりです。

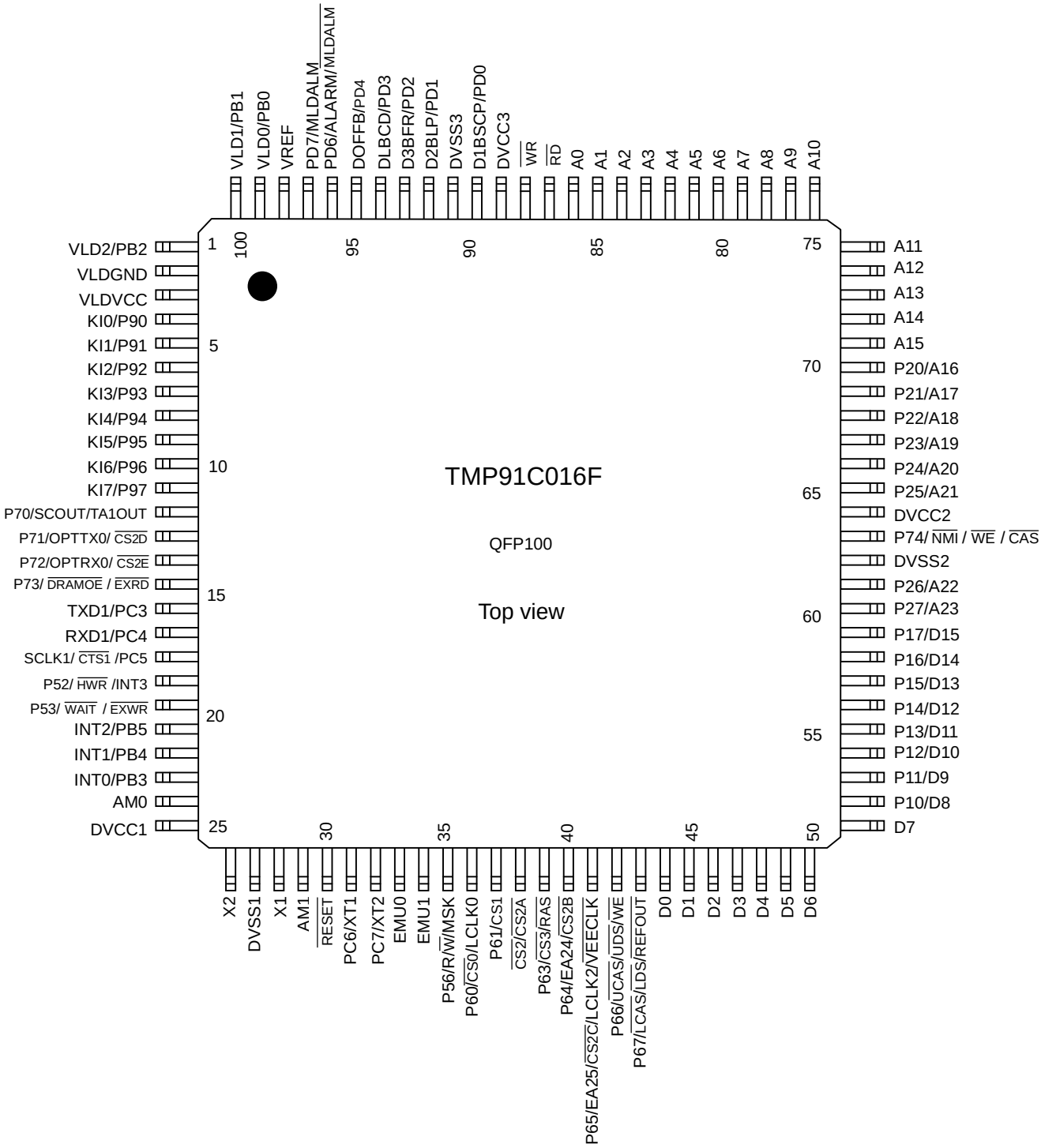


図 2.1.1 ピン配置図 (100 ピン LQFP)

2.1.1 PAD 座標値

表 2.1.1 PAD 座標値

(チップサイズ 4.38 mm × 4.43 mm) 単位 (μm)

ピン No.	名称	X 座標	Y 座標	ピン No.	名称	X 座標	Y 座標	ピン No.	名称	X 座標	Y 座標
1	PB2	−2057	1531	35	P56	−239	−2082	69	P21	2053	850
2	VLDGND	−2057	1417	36	P60	−125	−2082	70	P20	2053	964
3	VLDVCC	−2057	1303	37	P61	−11	−2082	71	A15	2053	1078
4	P90	−2057	990	38	P62	103	−2082	72	A14	2053	1192
5	P91	−2057	876	39	P63	217	−2082	73	A13	2053	1306
6	P92	−2057	762	40	P64	331	−2082	74	A12	2053	1420
7	P93	−2057	648	41	P65	479	−2082	75	A11	2053	1534
8	P94	−2057	534	42	P66	593	−2082	76	A10	1503	2082
9	P95	−2057	420	43	P67	707	−2082	77	A9	1389	2082
10	P96	−2057	306	44	D0	821	−2082	78	A8	1275	2082
11	P97	−2057	192	45	D1	935	−2082	79	A7	1160	2082
12	P70	−2057	55	46	D2	1049	−2082	80	A6	1046	2082
13	P71	−2057	−59	47	D3	1163	−2082	81	A5	932	2082
14	P72	−2057	−174	48	D4	1277	−2082	82	A4	818	2082
15	P73	−2057	−290	49	D5	1391	−2082	83	A3	704	2082
16	PC3	−2057	−404	50	D6	1505	−2082	84	A2	590	2082
17	PC4	−2057	−521	51	D7	2053	−1534	85	A1	476	2082
18	PC5	−2057	−638	52	P10	2053	−1420	86	A0	362	2082
19	P52	−2057	−755	53	P11	2053	−1306	87	$\overline{RD}$	248	2082
20	P53	−2057	−870	54	P12	2053	−1192	88	$\overline{WR}$	134	2082
21	PB5	−2057	−991	55	P13	2053	−1078	89	DVCC3	20	2082
22	PB4	−2057	−1105	56	P14	2053	−964	90	PD0	−180	2082
23	PB3	−2057	−1219	57	P15	2053	−850	91	DVSS3	−294	2082
24	AM0	−2057	−1333	58	P16	2053	−736	92	PD1	−408	2082
25	DVCC1	−2057	−1447	59	P17	2053	−606	93	PD2	−522	2082
26	X2	−1507	−2082	60	P27	2053	−450	94	PD3	−638	2082
27	DVSS1	−1342	−2082	61	P26	2053	−295	95	PD4	−752	2082
28	X1	−1176	−2082	62	DVSS2	2053	−140	96	PD6	−866	2082
29	AM1	−1060	−2082	63	P74	2053	17	97	PD7	−980	2082
30	$\overline{RESET}$	−946	−2082	64	DVCC2	2053	171	98	VREF	−1274	2082
31	PC6	−831	−2082	65	P25	2053	326	99	PB0	−1388	2082
32	PC7	−583	−2082	66	P24	2053	482	100	PB1	−1506	2082
33	EMU0	−467	−2082	67	P23	2053	622				
34	EMU1	−353	−2082	68	P22	2053	736				

2.2 ピン名称と機能

入出力ピンの名称と機能は、表 2.2.1~表 2.2.3のとおりです。

表 2.2.1 ピン名称と機能 (1/3)

ピン名称	ピン数	入出力	機能
D0~D7	8	入出力	データ (下位): データバス 0~7
P10~P17 D8~D15	8	入出力 入出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート 外部 8 ビットバスで使用する際に使用できます。 データ (上位): データバス 8~15
P20~P27 A16~A23	8	出力 出力	ポート 2: 出力ポート アドレス: アドレスバス 16~23
A8~A15	8	出力	アドレス: アドレスバス 8~15
A0~A7	8	出力	アドレス: アドレスバス 0~7
$\overline{RD}$	1	出力	リード: 外部メモリをリードするためのストローブ信号 P5 <RDE > = 0 にすることによって、内部エリアをリードしたときも RD が出ます。
$\overline{WR}$	1	出力	ライト: D0~D7 端子のデータをライトするためのストローブ信号
P52 $\overline{HWR}$ INT3	1	入出力 出力 入力	ポート 52: 入出力ポート (シュミット入力、プルアップ/プルダウン付き) 上位ライト: D8~D15 端子のデータをライトするためのストローブ信号 割り込み要求端子 3: 立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
P53 $\overline{WAIT}$ $\overline{EXWR}$	1	入出力 入力 出力	ポート 53: 入出力ポート (プルアップ付き) ウェイト: CPU へのバスウェイト要求端子です。((1 + N) WAIT モード) RAM 用ライト信号。
P56 R / $\overline{W}$ $\overline{MSK}$	1	入出力 出力 入力	ポート 56: 入出力ポート (プルアップ付き) リード、ライト: “1”でリードサイクルまたはダミーサイクルを “0” でライトサイクルを示します。 外部 LCD ドライバ用昇圧クロック (VEECLK)出力要求
P60 $\overline{CS0}$ LCLK0	1	入出力 出力 出力	ポート 60: 入出力ポート (プルアップ付き) チップセレクト 0: アドレスが指定したアドレス領域内なら “0” を出力 S/R TYPE LCDD のコマンド制御用 CS 信号
P61 $\overline{CS1}$	1	入出力 出力	ポート 61: 入出力ポート (プルアップ付き) チップセレクト 1: アドレスが指定したアドレス領域内なら “0” を出力
$\overline{CS2}$ $\overline{CS2A}$	1	出力 出力	チップセレクト 2: アドレスが指定したアドレス領域内なら “0” を出力 拡張チップセレクト 2A: アドレスが特定のアドレス領域内なら “0” を出力
P63 $\overline{CS3}$ $\overline{RAS}$	1	入出力 出力 出力	ポート 63: 入出力ポート (プルアップ付き) チップセレクト 3: アドレスが指定したアドレス領域内なら “0” を出力 ローアドレスストローブ: アドレスが指定したアドレス領域内なら、DRAM 用 $\overline{RAS}$ ストローブを出力
P64 EA24 $\overline{CS2B}$	1	入出力 出力 出力	ポート 64: 入出力ポート (プルアップ付き) 拡張アドレス 24: データエリアを拡張する際に使用するアドレスバス 拡張チップセレクト 2B: アドレスが特定のアドレス領域内なら “0” を出力
P65 EA25 $\overline{CS2C}$ LCLK2 $\overline{VEECLK}$	1	入出力 出力 出力 出力 出力	ポート 65: 入出力ポート (プルアップ付き) 拡張アドレス 25: データエリアを拡張する際に使用するアドレスバス 拡張チップセレクト 2C: アドレスが特定のアドレス領域内なら “0” を出力 S/R TYPE LCDD のコマンド制御用 CS 信号 外部 LCD ドライバ用昇圧クロック出力
P66 $\overline{UCAS}$ $\overline{UDS}$ $\overline{WE}$	1	入出力 出力 出力 出力	ポート 66: 入出力ポート (プルアップ付き) 上位カラムアドレスストローブ: アドレスが指定したアドレス領域内で、DRAM 用上位側/CAS ストローブを出力 ($\overline{2CAS}$ モード) RAM 用上位側バイトイネーブル信号 DRAM 用ライト信号 (8 ビットバスモード)

表 2.2.2 ピン名称と機能 (2/3)

ピン名称	ピン数	入出力	機能
P67 $\overline{LCAS}$ $\overline{LDS}$ $\overline{REFOUT}$	1	入出力 出力 出力 出力	ポート 67: 入出力ポート (プルアップ付き) 下位カラムアドレスストローブ: アドレスが指定したアドレス領域内で、DRAM 用下位側/CAS ストローブを出力 ($\overline{2CAS}$ モード) RAM 用下位側バイトイネーブル信号 リフレッシュアウト信号: “0” でリフレッシュサイクルが発生していることを示します。(8 ビットバスモード)
P70 SCOUT TA1OUT	1	入出力 出力 出力	ポート 70: 入出力ポート (プルアップ付き) システムクロック出力: f_{FPH} または fs を出力 8 ビットタイマ 1 出力: タイマ 0 またはタイマ 1 出力
P71 OPTTX0 $\overline{CS2D}$	1	入出力 出力 出力	ポート 71: 入出力ポート (プルアップ付き) シリアル 0 送信データ 拡張チップセレクト 2D: アドレスが特定のアドレス領域内なら “0” を出力
P72 OPTRX0 $\overline{CS2E}$	1	入出力 入力 出力	ポート 72: 入出力ポート (シュミット入力、プルアップ/プルダウン付き) シリアル 0 受信データ 拡張チップセレクト 2E: アドレスが特定のアドレス領域内なら “0” を出力
P73 $\overline{DRAMOE}$ $\overline{EXRD}$	1	入出力 出力 出力	ポート 73: 入出力ポート (プルアップ付き) DRAM 用リード信号 RAM 用リード信号
P74 $\overline{NMI}$ $\overline{WE}$ $\overline{CAS}$	1	入出力 入力 出力 出力	ポート 74: 入出力ポート (シュミット入力、プルアップ付き) ノンマスカブル割り込み要求端子: 立ち下がりエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも割り込み要求可能となります。 DRAM 用ライト信号 ($\overline{2CAS}$ のみ) カラムアドレスストローブ: アドレスが指定したアドレス領域内で、DRAM 用 $\overline{RAS}$ ストローブを出力 (8 ビットアクセスのみ)
P90~P97 KI0~KI7	8	入力 入力	ポート 90~97: 入力専用ポート (シュミット入力、プルアップ付き) キー入力 0~7:キーオンウェイクアップ端子 0~7
PB0 VLD0	1	入出力 入力	ポート B0: 入出力ポート (プルアップ付き) メイン電源電圧監視用入力端子です。電圧が設定電圧以下になったときにレベル割り込み要求されます。
PB1 VLD1	1	入出力 入力	ポート B1: 入出力ポート (プルアップ付き) バックアップ電源電圧監視用入力端子です。電圧が設定電圧以下になったときに、エッジ割り込み要求されます。
PB2 VLD2	1	入出力 入力	ポート B2: 入出力ポート (プルアップ付き) マイコン電源電圧監視用入力端子です。電圧が設定電圧以下になったときに、エッジ割り込み要求されます。
PB3 INT0	1	入出力 入力	ポート B3: 入出力ポート (シュミット入力、プルアップ付き) 割り込み要求端子 0: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子です。
PB4, PB5 INT1, INT2	2	入出力 入力	ポート B4, B5: 入出力ポート (シュミット入力、プルアップ/プルダウン付き) 割り込み要求端子 1, 2: 立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子です。
PC3 TXD1	1	入出力 出力	ポート C0: 入出力ポート (プルアップ付き) シリアル 1 送信データ プログラムによりオープンドレイン出力端子となります。
PC4 RXD1	1	入出力 入力	ポート C1: 入出力ポート (シュミット入力、プルアップ/プルダウン付き) シリアル 1 受信データ
PC5 SCLK1 $\overline{CTS1}$	1	入出力 入出力 入力	ポート C2: 入出力ポート (シュミット入力、プルアップ/プルダウン付き) シリアル 1 クロック入出力 シリアル 1 データ送信可能 (Clear to send)
PC6 XT1	1	入出力 入力	ポート C6: 入出力ポート (オープンドレイン出力端子) 低周波発振器接続端子です。
PC7 XT2	1	入出力 出力	ポート C7: 入出力ポート (オープンドレイン出力端子) 低周波発振器接続端子です。
PD0 D1BSCP	1	入出力 出力	ポート D0: 入出力ポート (プルアップ付き) LCD ドライバ用出力端子です。

表 2.2.3 ピン名称と機能 (3/3)

ピン名称	ピン数	入出力	機能
PD1 D2BLP	1	入出力 出力	ポート D1: 入出力ポート (プルアップ付き) LCD ドライバ用出力端子です。
PD2 D3BFR	1	入出力 出力	ポート D2: 入出力ポート (プルアップ付き) LCD ドライバ用出力端子です。
PD3 DLEBCD	1	入出力 出力	ポート D3: 入 出力ポート (プルアップ付き) LCD ドライバ用出力端子です。
PD4 DOFFB	1	入出力 出力	ポート D4: 入出力ポート (プルアップ付き) LCD ドライバ用出力端子です。
PD6 $\overline{\text{ALARM}}$ $\overline{\text{MLDALM}}$	1	入出力 出力 出力	ポート D6: 入出力ポート (プルアップ付き) RTC アラーム出力端子です。 メロディ/アラーム用出力の論理反転出力端子です。
PD7 MLDALM	1	入出力 出力	ポート D7: 入出力ポート (プルアップ付き) メロディ/アラーム用出力端子です。
AM0~AM1	2	入力	動作モード: (外部 16 ビットバス固定、もしくは外部 8/16 ビットバス混在時) AM1 = “0”, AM0 = “1” に固定してください。 (外部 8 ビットバス固定時) AM1 = “0”, AM0 = “0” に固定してください。
EMU0	1	出力	“開放” してください。
EMU1	1	出力	“開放” してください。
$\overline{\text{RESET}}$	1	入力	リセット: LSI を初期化します。(シュミット入力、プルアップ付き)
VREF	1	入力	低速発振器電源、RTC 電源、低電圧検出器基準電源として使用します。
VLDVCC	1		低電圧検出器電源端子
VLDGND	1		低電圧検出器 GND 端子 (0 V)
X1/X2	2	入出力	発振子接続端子
DVCC	3		電源端子 (全 DVCC 端子を電源に接続してください。)
DVSS	3		GND 端子 (全 DVSS 端子を GND (0 V) に接続してください。)

3. 動作説明

ここでは、TMP91C016 の機能および基本動作について、ブロックごとに説明します。

なお、本章の最後に 6.「使用上の注意、制限事項」としてブロック別の注意、制限事項などを掲載していますのでご確認ください。

3.1 CPU

TMP91C016 には、高性能な 16 ビット CPU（900/L1-CPU）が内蔵されています。CPU の動作については、前章の “TLCS-900/L1 CPU” を参照してください。

ここでは、“TLCS-900/L1 CPU” にて説明されていない TMP91C016 独自の CPU 機能について説明します。

3.1.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、少なくとも 10 システムクロック間 (4 MHz クロック発振時で 80 μs)、$\overline{\text{RESET}}$ 入力を Low レベルにしてください。また、電源投入時は $\overline{\text{RESET}}$ 入力が Low レベルで、電源電圧が動作範囲内になり、かつ、内部高周波発振器の発振が安定した状態で、少なくとも 10 システムクロック間、$\overline{\text{RESET}}$ 入力の Low レベルを保持してください。

なお、リセット動作にてクロックギアは 1/16 モードに初期化されるので、システムクロック f_{SYS} は、fc/32 (= fc/16 × 1/2) となります。

リセットが受け付けられると、CPU は、

- プログラムカウンタ PC をアドレス FFFF00H~FFFF02H に格納されているリセットベクタに従いセット

  PC<7:0> ← アドレス FFFF00H の値

  PC<15:8> ← アドレス FFFF01H の値

  PC<23:16> ← アドレス FFFF02H の値
- スタックポインタ XSP を 100H にセット
- ステータスレジスタ SR の IFF2~IFF0 ビットを “111” にセット (割り込みレベルのマスクレジスタをレベル 7 にセット)
- ステータスレジスタ SR の MAX ビットを “1” にセット (マキシマムモードにセット)
- ステータスレジスタ SR の RFP2~RFP0 ビットを “000” にクリア (レジスタバンクを 0 にセット)

を行い、リセットが解除されると、セットされた PC に従い命令の実行を開始します。なお、上記以外の CPU 内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵 I/O およびポート, その他の端子は、下記のとおりとなります。

- 内蔵 I/O のレジスタを初期化
- ポート端子 (内蔵 I/O 用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセット

注) リセット動作により、CPU レジスタの PC, SR, XSP 以外のレジスタのデータは変化しません。

図 3.1.1に TMP91C016 のリセットタイミングチャートを示します。

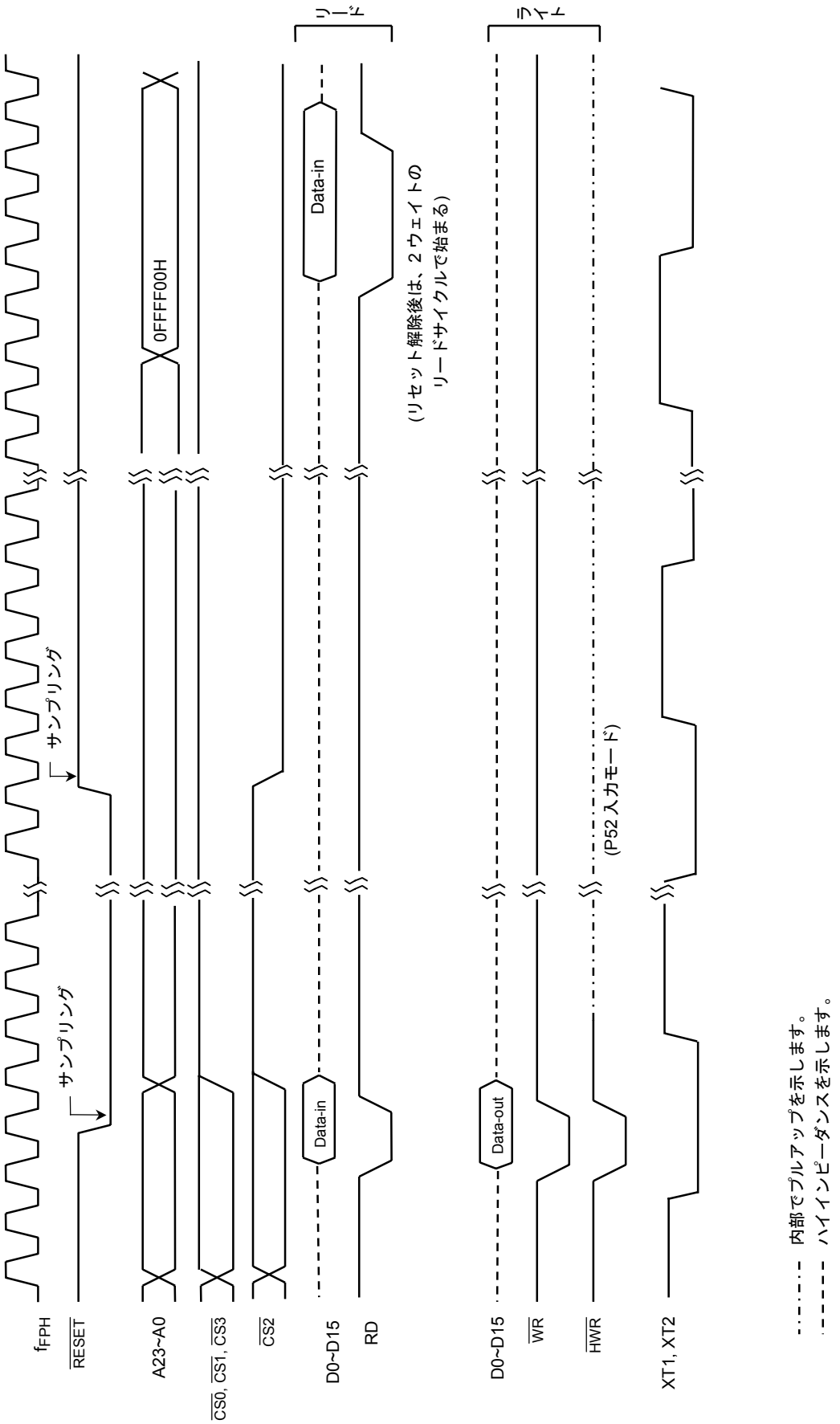
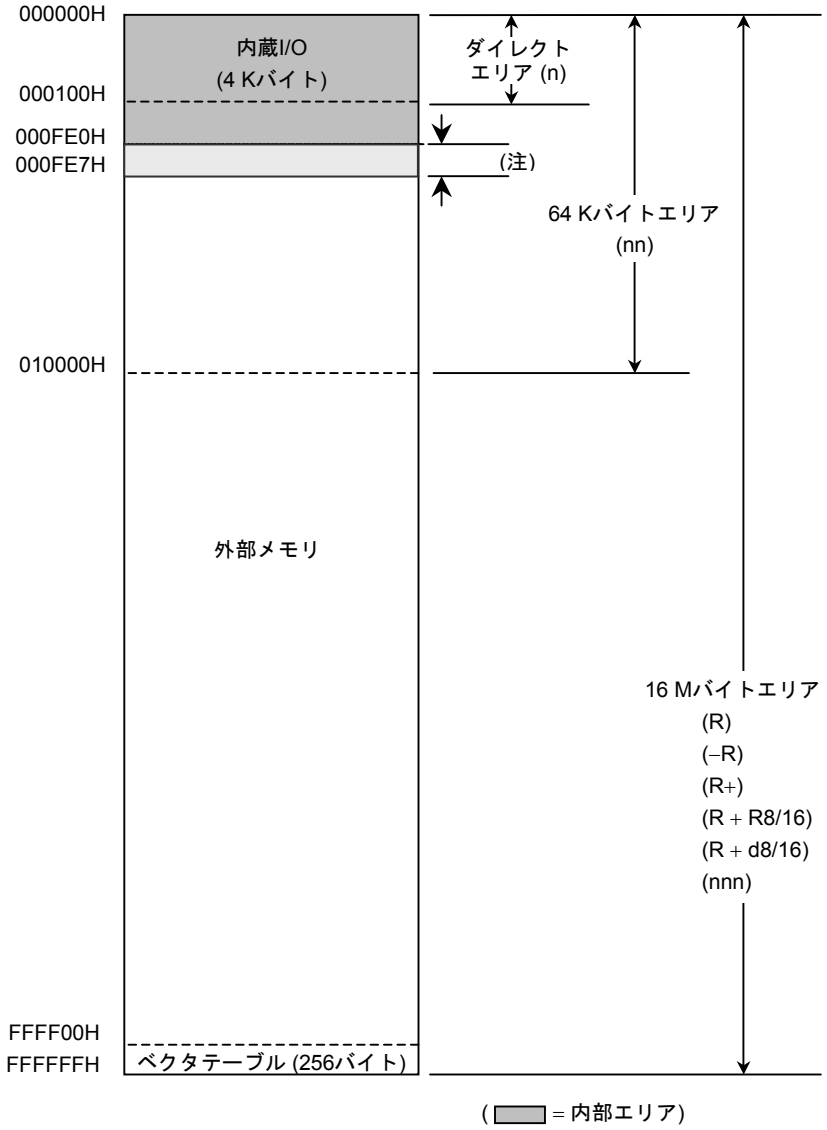


図 3.1.1 TMP91C016 リセットタイミングチャート

3.2 メモリマップ

TMP91C016 のメモリマップを、図 3.2.1に示しています。



注) アドレス 000FE0H~00FE7H のエリアは RAM 内蔵 LCD ドライバ用にアサインしているため外部エリアとなります。

図 3.2.1 メモリマップ

3.3 トリプルクロック/スタンバイ制御、ノイズ低減機能

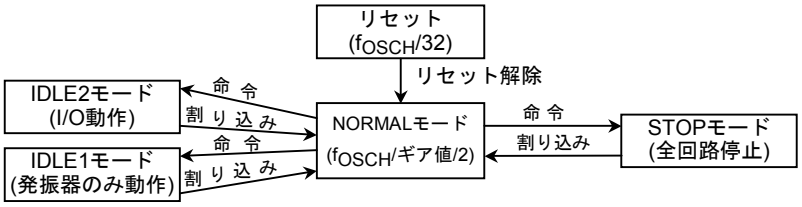
低消費電力、低ノイズ化のためにクロックギア、クロック逓倍回路 (DFM)、スタンバイ制御回路、ノイズ低減回路などを内蔵しています。

この章は下記のような構成になっています。

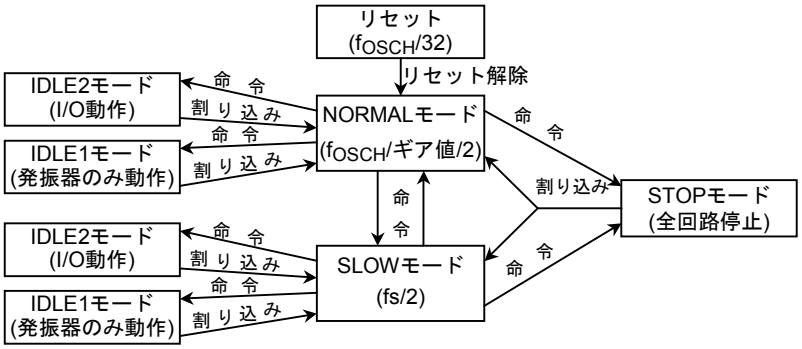
3.3.1 クロック系統ブロック図
3.3.2 SFR 説明
3.3.3 システムクロック制御部
3.3.4 プリスケーラクロック制御部
3.3.5 クロック逓倍回路 (DFM)
3.3.6 ノイズ低減回路
3.3.7 スタンバイ制御部

クロックの動作モードとしては、シングルクロックモード (X1, X2 端子のみ) とデュアルクロックモード (X1, X2 と XT1, XT2 端子) とトリプルクロックモード (X1, X2 と XT1, XT2 端子と DFM) の 3 モードがあります。

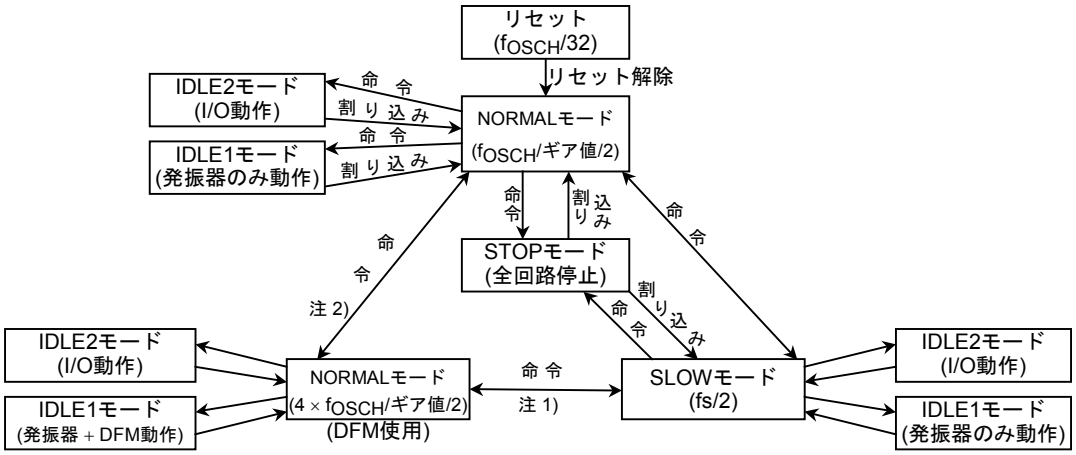
図 3.3.1 に動作モード別状態遷移図を示します。



(a) シングルクロックモード状態遷移図



(b) デュアルクロックモード状態遷移図



(c) トリプルクロックモード状態遷移図

注 1) SLOW モードから DFM 使用 NORMAL モードへの移行時に、SLOW モードからの DFM 制御はできません。(DFM 起動･停止･内部クロック切り替え: DFMCR0<ACT1:0> レジスタへの書き込み)

注 2) DFM 使用 NORMAL モードから NORMAL モードへの移行時には CPU クロック切り替え → DFM 回路停止の順序で 2 回に分けて命令を行ってください。

注 3) DFM 使用 NORMAL モードから直接 STOP モードへは移行できません。必ず、一度 NORMAL モードを経由してから STOP モードへ移行してください。(高周波発振停止は DFM を停止した後に行ってください。)

図 3.3.1 動作モード別状態遷移図

X1, X2 端子より入力されるクロック周波数を f_{OSCH}、XT1, XT2 端子より入力されるクロック周波数を fs、SYSCR1<SYSCK> で選択されたクロックを f_{FPH}、f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

3.3.1 クロック系統ブロック図

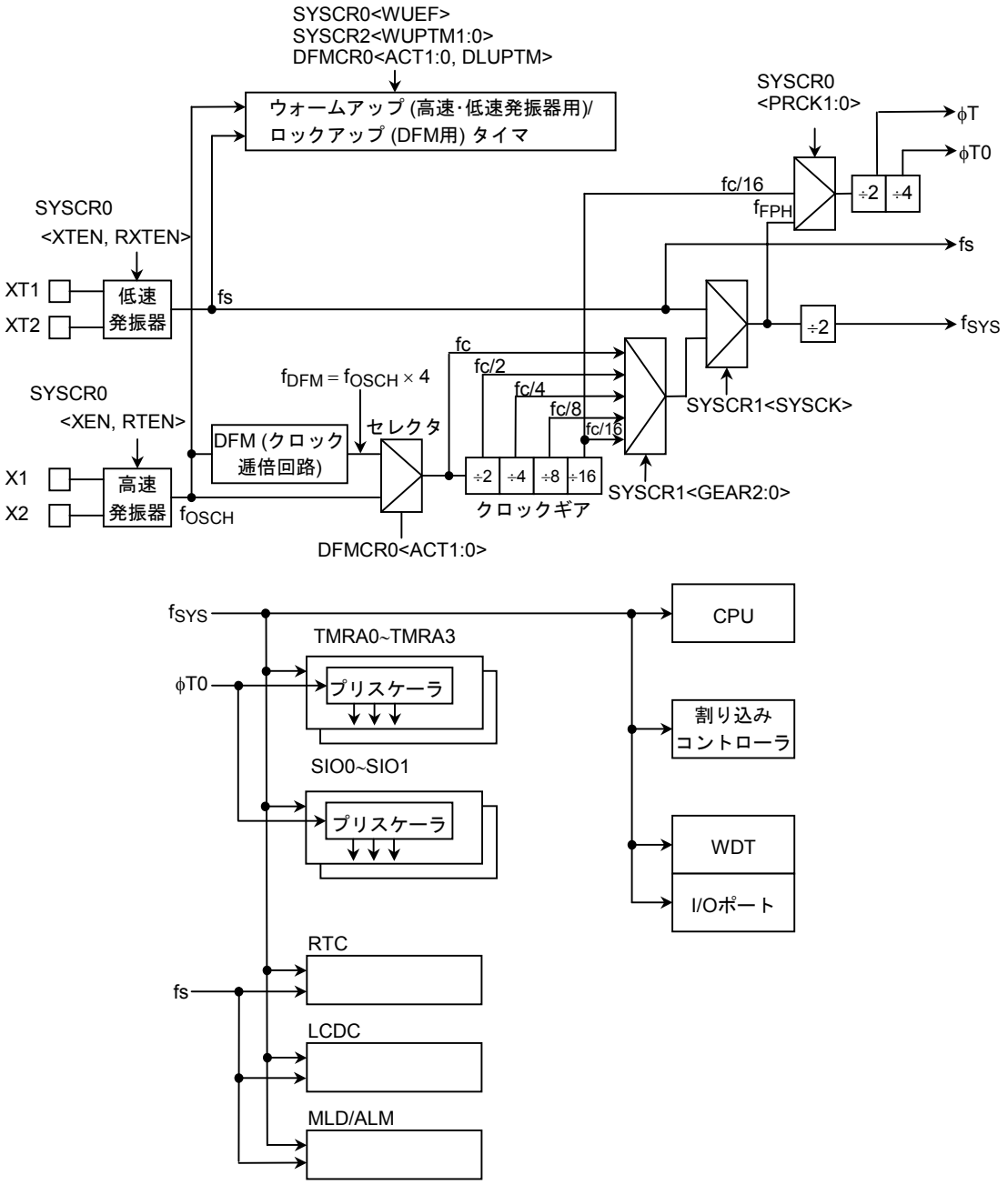


図 3.3.2 デュアルクロック、スタンバイ関連のブロック図

3.3.2 SFR 説明

		7	6	5	4	3	2	1	0
SYSCR0 (00E0H)	Bit symbol	XEN	XTEN	RXEN	RXTEN	RSYSCK	WUEF	PRCK1	PRCK0
	Read/Write	R/W							
	リセット後	1	1	1	0	0	0	0	0
	機　能	高速 発振器 0: 停止 1: 発振	低速 発振器 0: 停止 1: 発振	STOP モード 解除後の 高速 発振器 0: 停止 1: 発振	STOP モード 解除後の 低速 発振器 0: 停止 1: 発振	STOP モード 解除後の クロック 選択 0: 高速 1: 低速	発振器用 ウォームア ップタイマ (WUP)制御 0 ライト: Don't care 1 ライト: WUP スタート 0 リード: WUP 終了 1 リード WUP 中	プリスケーラクロック選択 00: f_{FPH} 01: Reserved 10: fc/16 11: Reserved	
SYSCR1 (00E1H)	Bit symbol					SYSCK	GEAR2	GEAR1	GEAR0
	Read/Write					R/W			
	リセット後					0	1	0	0
	機　能					システム クロック 選択 0: 高速(fc) 1: 低速(fs)	高速クロックのギア選択 000: 高速クロック 001: 高速クロック/2 010: 高速クロック/4 011: 高速クロック/8 100: 高速クロック/16 101: 110: } Reserved 111:		
SYSCR2 (00E2H)	Bit symbol		SCOSEL	WUPTM1	WUPTM0	HALTM1	HALTM0	SELDRV	DRVE
	Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後		0	1	0	1	1	0	0
	機　能		0: fs 1: f_{FPH}	発振器用 WUP 時間選択 00: Reserved 01: 2^8/入力周波数 10:2^{14}/入力周波数 11:2^{16}/入力周波数		HALT モード選択 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		<DRVE> 使用モード 選択 0: STOP 1: IDLE1	1: STOP IDLE1 モードで端 子をドライ ブします。
VLDCTL (0449H)	Bit symbol					XT1VSEL	VLD2USE	VLD1USE	VLD0USE
	Read/Write					W	R/W	R/W	R/W
	リセット後					0	0	0	0
	機　能					0: Vcc駆動 1: Vref駆動	0: VLD未使用 1: VLD使用	0: VLD未使用 1: VLD使用	0: VLD未使用 1: VLD使用

注 1) SYSCR1<Bit7:4>, SYSCR2<Bit7> は、リードすると不定値が読み出されます。

注 2) 低速発振器はリセットにより発振許可となります。

図 3.3.3 クロック関係 SFR

記号	名称	アドレス	7	6	5	4	3	2	1	0
DFMCR0	DFM control register 0	E8H	ACT1	ACT0	DLUPFG	DLUPTM				
			R/W	R/W	R	R/W				
			0	0	0	0				
			DFM / LUP / f_{FPH} 選択		ロックアップ(LUP)フラグ 0: LUP 終了 1: LUP 中	ロックアップ時間選択 0: $2^{12}/f_{OSCH}$ 1: $2^{10}/f_{OSCH}$				
			00 停止 停止 f_{OSCH} 01 動作 動作 f_{OSCH} 10 動作 停止 f_{DFM} 11 動作 停止 f_{OSCH}							
DFMCR1	DFM control register 1	E9H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	1	0	0	1	1
			DFM 補正 入力周波数 4~6.75 MHz (@ 2.7 V~3.6 V) では 0BH をライトしてください。 入力周波数 2~2.5 MHz (@ 2 V ± 10%) では 1BH をライトしてください。							

図 3.3.4 DFM 関係 SFR

DFM 使用に関する制約

(1) DFM の起動・停止などの制御は SLOW モード (fs) では行わないでください (DFMCR0<ACT1:0>レジスタへの書き込み)。この制御は NORMAL モードから行う必要があります。

(2) DFM を使用している状態 (DFMCR0<ACT1:0> = "10") から DFM 動作を停止する場合は、$f_{DFM} \rightarrow f_{OSCH}$ 切り替えと DFM 停止を同時に行わず 2 回に分けた手順にて行ってください。

```
LD      (DFMCR0), C0H     ;  fDFM → fOSCH 切り替え
LD      (DFMCR0), 00H     ;  DFM 停止
```

(3) DFM を使用している状態 (DFMCR0<ACT1:0> = "10") から高周波発振器を停止する場合は、DFM を停止してから高周波発振器を停止してください。

詳細は 3.3.5「クロック逓倍回路 (DFM)」を参照してください。

		7	6	5	4	3	2	1	0
EMCCR0 (00E3H)	Bit symbol	PROTECT	–	–	–	–	EXTIN	DRVOSCH	DRVOSCL
	Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	1	0	0	0	1	1
	機　能	プロテクトフラグ 0: OFF 1: ON	“0” をライトしてください。	“1” をライトしてください。	“0” をライトしてください。	“0” をライトしてください。	1: fc 外部クロック	fc 発振器ドライブ能力 1: NORMAL 0: WEAK	fs 発振器ドライブ能力 1: NORMAL 0: WEAK
EMCCR1 (00E4H)	Bit symbol	下記 1st-KEY, 2nd-KEY の書き込みによりプロテクト ON/OFF 切り替わり 1st-KEY: EMCCR1 = 5AH,EMCCR2 = A5H を連続ライト 2nd-KEY: EMCCR1 = A5H,EMCCR2 = 5AH を連続ライト							
	Read/Write								
	リセット後								
	機　能								
EMCCR2 (00E5H)	Bit symbol								
	Read/Write								
	リセット後								
	機　能								
EMCCR3 (00E6H)	Bit symbol		ENFROM	ENDROM	ENPROM		FFLAG	DFLAG	PFLAG
	Read/Write		R/W	R/W	R/W		R/W	R/W	R/W
	リセット後		0	0	0		0	0	0
	機　能		CS1A エリア検出許可 0: 禁止 1: 許可	CS2B-2G エリア検出許可 0: 禁止 1: 許可	CS2A エリア検出許可 0: 禁止 1: 許可		CS1A ライト動作フラグ “0” 読み出し: ライトなし “1” 読み出し: ライトあり	CS2B-2G ライト動作フラグ “0” 読み出し: ライトなし “1” 読み出し: ライトあり	CS2A ライト動作フラグ “0” 読み出し: ライトなし “1” 読み出し: ライトあり
EMCCR4 (00E7H)	Bit symbol							TA3MLDE3	TA3LCDE
	Read/Write							R/W	R/W
	リセット後							0	0
	機　能							MLD 回路クロック切り替え 0: 32 kHz 1: タイマ 3	LCD 回路クロック切り替え 0: 32 kHz 1: タイマ 3

注) Vcc = 2 V ± 10%では EMCCR0<DRVOSCH>は “1” 固定に設定してください。

図 3.3.5 ノイズ関係 SFR

3.3.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{SYS}) を生成する回路です。高速/低速の 2 つの発振回路と、DFM (クロック逓倍回路) から出力される fc, fs クロックを入力として、SYSCR1<SYSCK> レジスタにて高速/低速の切り替え、SYSCR0<XEN>, <XTEN> でそれぞれ高速，低速発振器の発振制御、さらに SYSCR1<GEAR2:0> で高速クロックのギアを 1, 2, 4, 8, 16 段 (fc, fc/2, fc/4, fc/8, fc/16) に切り替え、消費電力の低減を図ることができます。

リセットによりデュアルクロックモードになり、<XEN> = "1" , <XTEN> = "1", <SYSCK> = "0", <GEAR2:0> = "100" に初期化されますので、システムクロック f_{SYS} は fc/32 (= fc/16 × 1/2) となります。例えば、X1, X2 端子に 16 MHz の発振子を接続していると、リセットにより f_{SYS} は 0.5 MHz となります。

また、TMP91C016 では VREF 端子に別電源を追加することで低周波クロックの消費電流を低減させることができます。VLDCTL<XTVSEL> にて制御します。

(1) NORMAL ↔ SLOW モードの切り替え

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認してから切り替えるためにウォームアップタイマがあります。ウォームアップ時間は発振子の特性に合わせて SYSCR2<WUPTM1:0> により選択できます。このスタート，終了確認は SYSCR0<WUEF> を使用し、ソフト (命令) により下記設定例 1, 2 のように行ってください。

表 3.3.1 に切り替え時のウォームアップ時間を示します。

注 1) 切り替えようとするクロックが発振器などを使用しており、発振安定している場合はウォームアップさせる必要はありません。

注 2) ウォームアップタイマは、発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って、ウォームアップ時間は概略時間としてとらえる必要があります。

表 3.3.1 ウォームアップ時間 (クロック切り替え時)

ウォームアップタイム選択 SYSCR2<WUPTM1:0>	NORMAL へ切り替え時 (fc)	SLOW へ切り替え時 (fs)
01 (2^8/発振周波数)	16 [μs]	7.8 [ms]
10 (2^{14}/発振周波数)	1.024 [ms]	500 [ms]
11 (2^{16}/発振周波数)	4.096 [ms]	2000 [ms]

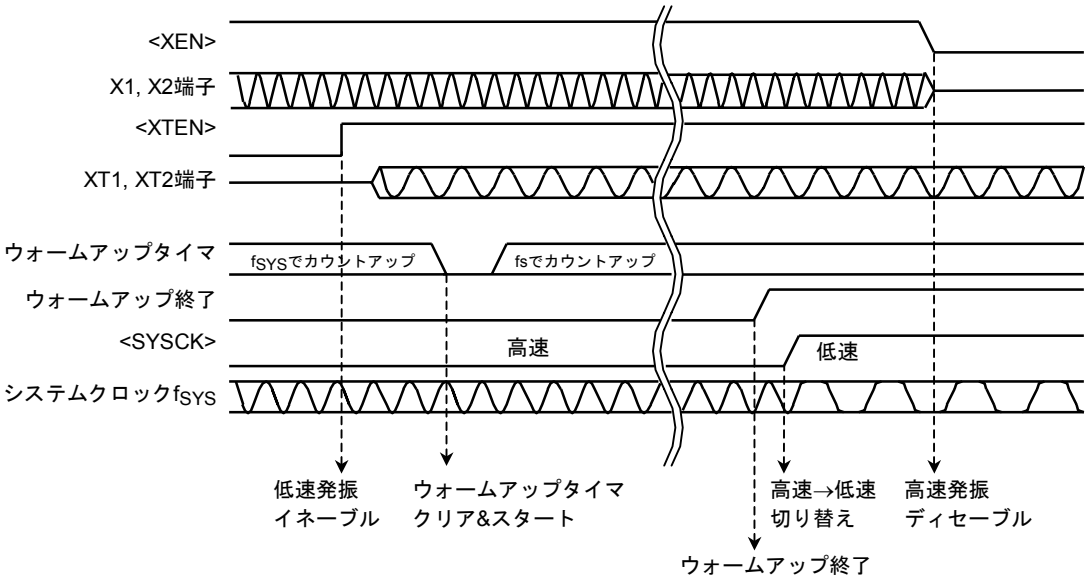
計算値は f_{OCSH} = 16 MHz, fs = 32.768 kHz の場合です。

設定例 1

高速クロック (fc) から低速クロック (fs) へ切り替える場合

```
SYSCR0   EQU   00E0H
SYSCR1   EQU   00E1H
SYSCR2   EQU   00E2H
         LD    (SYSCR2), X–11– –X–B   ;  ウォームアップ時間を 2^16/fs に設定
         SET   6, (SYSCR0)            ;  低速発振イネーブル
         SET   2, (SYSCR0)            ;  ウォームアップタイマ クリア&スタート
WUP:     BIT   2, (SYSCR0)            ;  ウォームアップ終了検出
         JR    NZ, WUP                ;
         SET   3, (SYSCR1)            ;  高速 → 低速へ切り替え
         RES   7, (SYSCR0)            ;  高速発振ディセーブル
```

X: Don't care、–: No change

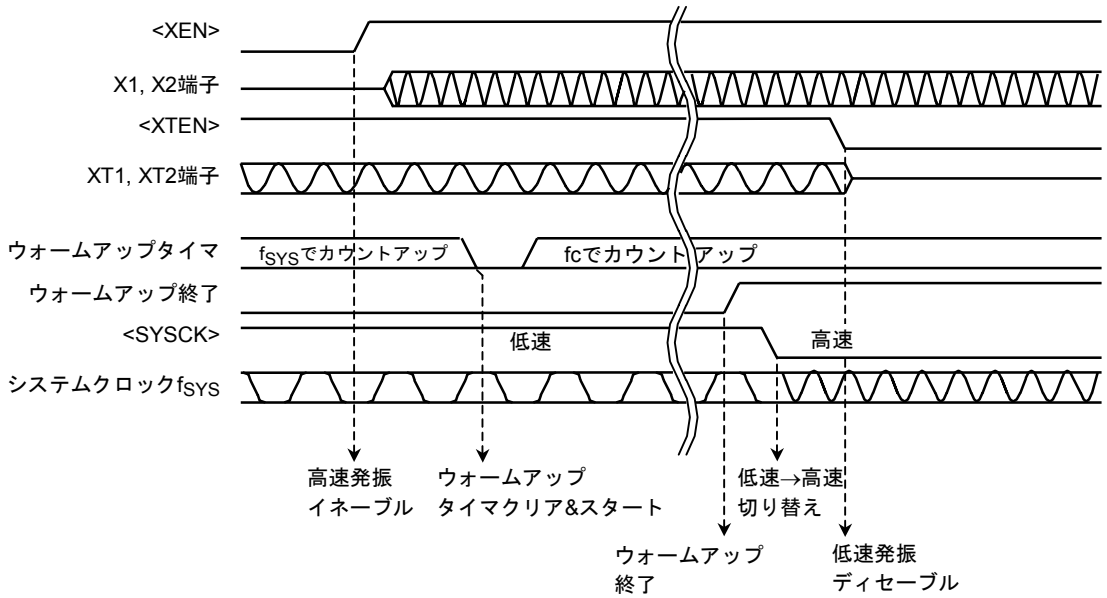


設定例 2

低速クロック (fs) から高速クロック (fc) へ切り替える場合

```
SYSCR0   EQU   00E0H
SYSCR1   EQU   00E1H
SYSCR2   EQU   00E2H
         LD    (SYSCR2), X–10– –X–B   ;  ウォームアップ時間を 2^14/fc に設定
         SET   7, (SYSCR0)            ;  高速発振イネーブル
         SET   2, (SYSCR0)            ;  ウォームアップタイマ クリア&スタート
WUP:     BIT   2, (SYSCR0)            ;  ウォームアップ終了検出
         JR    NZ, WUP                ;
         RES   3, (SYSCR1)            ;  低速 → 高速へ切り替え
         RES   6, (SYSCR0)            ;  低速発振ディセーブル
```

X: Don’t care、–: No change



(2) クロックギア切り替え

SYSCR1<SYSCK> = “0” にて高速クロック fc を選択した場合、クロックギア選択レジスタ SYSCR1<GEAR2:0> により f_{FPH} を fc, fc/2, fc/4, fc/8, fc/16 のいずれかに設定できます。クロックギアを使用して f_{FPH} を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

設定例

高速クロックのギア切り替え

```
SYSCR1    EQU    00E1H

          LD     (SYSCR1), XXXX0000B    ;    システムクロック fSYS を fc/2 へ切り替え
```

X: Don’t care

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0> レジスタへ値を書き込むことにより実行されますが、書き込んだ後、すぐには切り替らず数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令（ライトサイクルが実行される命令）を挿入してください。

例:

```
SYSCR1    EQU    00E1H
          LD     (SYSCR1), XXXX0001B    ;    fSYS を fc/4 へ切り替え
          LD     (DUMMY), 00H           ;    ダミー命令
                 切り替え後のクロックギアで
                 実行すべき命令
```

(3) 内部クロックの端子出力機能

内部クロック f_{FPH} または f_s を P70 (TA1OUT, SCOUT) 端子から出力できます。

ポート 7 関係のレジスタ P7CR<P70F> = “1”, P7FC<P70F> = “0”, P7FC2<P70F2> = “1” に設定することにより P70 端子は SCOUT 出力端子になります。出力クロックの選択は SYSCR2<SCOSEL> によって設定します。

表 3.3.2 HALT モード別 SCOUT 出力状態

HALT モード / SCOUT 選択	NORMAL モード, SLOW モード	HALT モード		
		IDLE2 モード	IDLE1 モード	STOP モード
<SCOSEL> = “0”	fs クロックを出力します。			
<SCOSEL> = “1”	f_{FPH} クロックを出力します。		“0” または “1” に固定されます。	

3.3.4 プリスケーラ クロック制御部

内蔵 I/O (TMRA01~TMRA23, SIO0~SIO1) には、それぞれにクロックを分周するプリスケーラがあります。

これらのプリスケーラへ入力するクロック ϕT0 は、f_{FPH}, fc/16 の 2 種類から SYSCR0<PRCK1:0> で選択されたクロックを 4 分周したクロックです。

3.3.5 クロック逓倍回路 (DFM)

高速発振器の出力クロック f_{OSCH} を 4 逓倍した f_{DFM} クロックを出力する回路です。これにより、発振器の周波数は低く内部クロックは高速にすることが可能です。

リセットにより DFM は停止状態となりますので、DFM を使用する場合は DFMCR0 レジスタへの設定が必要です。

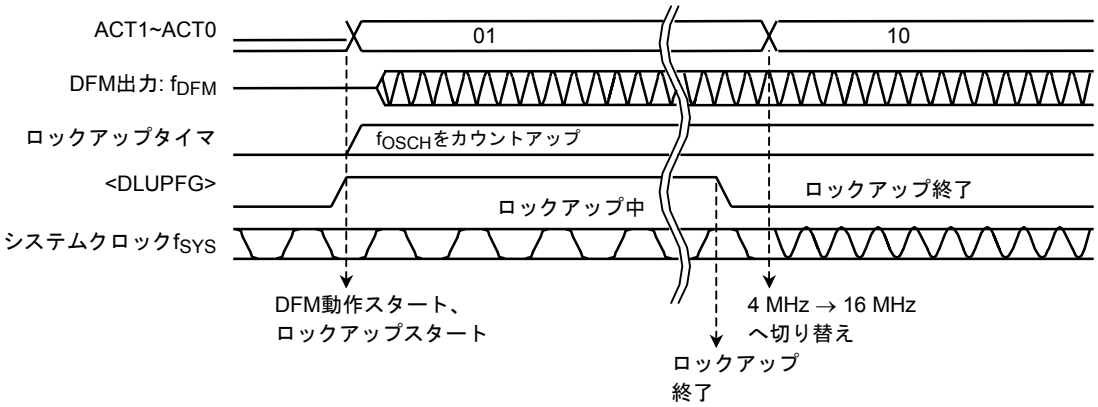
この DFM はアナログ回路で構成されるため、動作許可後に発振器と同じように安定時間 (ロックアップタイム) が必要となります。また、使用条件によって補正が必要です (注)。

下記に DFM を使用し、fc を 4 逓倍したクロックに切り替える場合の設定例を示します。

設定例: f_{OSCH} = 4 MHz で fc を 4 MHz から 16 MHz へ切り替える場合

```
DFMCR0   EQU   00E8H
DFMCR1   EQU   00E9H
         LD    (DFMCR1), 00001011B    ;  DFM パラメータ設定
         LD    (DFMCR0), 01X0XXXXB    ;  ロックアップ時間を 2^12/4 MHz にし、
                                          DFM 動作許可、ロックアップスタート
LUP:     BIT   5, (DFMCR0)            ;  ロックアップ終了検出
         JR    NZ, LUP                ;
         LD    (DFMCR0), 10X0XXXXB    ;  fc を 4 MHz → 16 MHz へ切り替え
                                          (fSYS を 2 MHz → 8 MHz へ切り替え)
```

X: Don't care



注) DFM への入力周波数制限

DFM への入力周波数 (高速発振器の周波数) は下記の範囲内で使用してください。

・f_{OSCH} = 4 MHz~6.75 MHz (VCC = 2.7 V~3.6 V): DFMCR1 に 0BH を書き込み

・f_{OSCH} = 2 MHz~2.5 MHz (VCC = 2 V ± 10%): DFMCR1 に 1BH を書き込み

DFM 使用に関する制約

1. DFM の起動･停止などのコマンドは SLOW モード (f_S) では行わないでください。
   (DFMCR0<ACT1:0> レジスタへの書き込み)
   この制御は NORMAL モードから行う必要があります。

2. DFM を使用している状態 (DFMCR0<ACT1:0> = “10”) から DFM 動作を停止する場合は、$f_{DFM} \rightarrow f_{OSCH}$ 切り替えと DFM 停止を同時に行わず 2 回に分けた手順にて行ってください。

```
LD      (DFMCR0), C0H     ;  fDFM → fOSCH 切り替え
LD      (DFMCR0), 00H     ;  DFM 停止
```

3. DFM を使用している状態 (DFMCR0<ACT1:0> = “10”) から高周波発振器を停止する場合は、DFM を停止してから高周波発振器を停止してください。

設定例を下記に示します。

(1) 起動モード/切り替え制御

(OK) 低周波発振動作モード (fs) (高周波発振停止) → 高周波発振起動
→ 高周波発振動作モード (f_{OSCH}) → DFM 起動 → DFM 使用モード(f_{DFM})

```
      LD    (SYSCR0),     1 1 - - - 1 - - B  ;  高周波発振起動/ウォームアップスタート
WUP:  BIT   2, (SYSCR0)                      ;
      JR    NZ, WUP                          ;  ウォームアップ終了フラグチェック
      LD    (SYSCR1),     - - - - 0 - - - B  ;  システムクロックを fs から fOSCH へ切り替え
      LD    (DFMCR0),     0 1 - 0 - - - - B  ;  DFM 起動/ロックアップスタート
LUP:  BIT   5, (DFMCR0)                      ;
      JR    NZ, LUP                          ;  ロックアップフラグ終了チェック
      LD    (DFMCR0),     1 0 - 0 - - - - B  ;  システムクロックを fOSCH から fDFM へ切り替え
```

(OK) 低周波発振動作モード (fs) (高周波発振動作) → 高周波発振動作モード (f_{OSCH})
→ DFM 起動 → DFM 使用モード (f_{DFM})

```
      LD    (SYSCR1),     - - - - 0 - - - B  ;  システムクロックを fS から fOSCH へ切り替え
      LD    (DFMCR0),     0 1 - 0 - - - - B     DFM 起動/ロックアップスタート
LUP:  BIT   5, (DFMCR0)                      ;
      JR    NZ, LUP                          ;  ロックアップフラグ終了チェック
      LD    (DFMCR0),     1 0 - 0 - - - - B  ;  システムクロックを fOSCH から fDFM へ切り替え
```

(Error) 低周波発振動作モード (fs) (高周波発振停止) → 高周波発振起動 → DFM 起動
→ DFM 使用モード (f_{DFM})

```
      LD    (SYSCR0),     1 1 - - - 1 - - B  ;  高周波発振起動/ウォームアップスタート
WUP:  BIT   2, (SYSCR0)                      ;
      JR    NZ, WUP                          ;  ウォームアップ終了フラグチェック
      LD    (DFMCR0),     0 1 - 0 - - - - B  ;  DFM 起動/ロックアップスタート
LUP:  BIT   5, (DFMCR0)                      ;
      JR    NZ, LUP                          ;  ロックアップフラグ終了チェック
      LD    (DFMCR0),     1 0 - 0 - - - - B  ;  内部クロックを fOSCH から fDFM へ切り替え
      LD    (SYSCR1),     - - - - 0 - - - B  ;  システムクロックを fs から fDFM へ切り替え
```

(2) 停止/モード切り替え制御

(OK) DFM 使用モード (f_{DFM}) → 高周波発振動作モード (f_{OSCH}) → DFM 停止
→ 低周波発振動作モード (fs) → 高周波発振器停止

```
LD      (DFMCR0),    1 1 - - - - - - - B  ;  システムクロックを fDFM から fOSCH へ切り替え
LD      (DFMCR0),    0 0 - - - - - - - B  ;  DFM 停止
LD      (SYSCR1),    - - - - 1 - - - B    ;  システムクロックを fOSCH から fs へ切り替え
LD      (SYSCR0),    0 - - - - - - - - B  ;  高周波発振器停止
```

(Error) DFM 使用モード (f_{DFM}) → 低周波発振動作モード (fs) → DFM 停止
→ 高周波発振器停止

```
LD      (SYSCR1),    - - - - 1 - - - B    ;  システムクロックを fDFM から fs へ切り替え
LD      (DFMCR0),    1 1 - - - - - - - B  ;  内部クロック (fC) を fDFM から fOSCH へ切り替え
LD      (DFMCR0),    0 0 - - - - - - - B  ;  DFM 停止
LD      (SYSCR0),    0 - - - - - - - - B  ;  高周波発振器停止
```

(OK) DFM 使用モード (f_{DFM}) → STOP モード設定 → 高周波発振動作モード (f_{OSCH})
→ DFM 停止 → HALT (高周波発振器停止)

```
LD      (SYSCR2),    - - - - 0 1 - - B    ;  STOP モード設定
                                             (設定順番は DFM 使用以前でも OK)
LD      (DFMCR0),    1 1 - - - - - - - B  ;  fDFM から fOSCH へ切り替え
LD      (DFMCR0),    0 0 - - - - - - - B  ;  DFM 停止
HALT                                      ;  STOP モードへ移行
```

(Error) DFM 使用モード (f_{DFM}) → STOP モード設定 → HALT (高周波発振器停止)

```
LD      (SYSCR2),    - - - - 0 1 - - B    ;  STOP モード設定
                                             (設定順番は DFM 使用以前でも OK)
HALT                                      ;  STOP モードへ移行
```

3.3.6 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

(1) 高速発振器のドライブ能力低減

(2) 低速発振器のドライブ能力低減

(3) 高速発振器のシングルドライブ化

(4) SFR プロテクトレジスタによる暴走対策

(5) ROM プロテクトレジスタによる暴走対策

(1)~(5) は、EMCCR0~EMCCR3 レジスタによる設定が必要です。

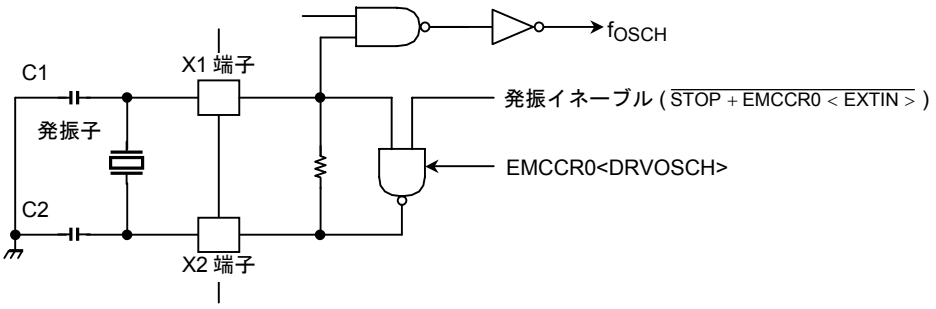
以下に(1)~(5)について説明します。

(1) 高速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化のため

(ブロック図)



(設定方法)

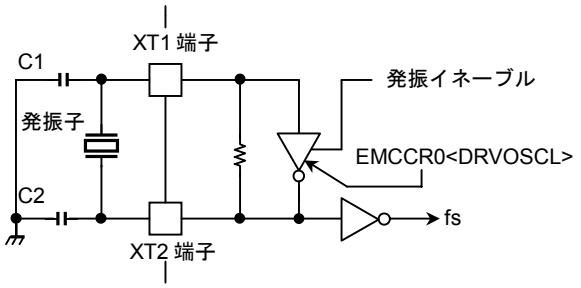
EMCCR0<DRVOSCH> に “0” をライトすることにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCH> は “1” に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。Vcc = 2.0 V ± 10%では <DRVOSCH> を “0” に設定しないでください。

(2) 低速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化のため

(ブロック図)



(設定方法)

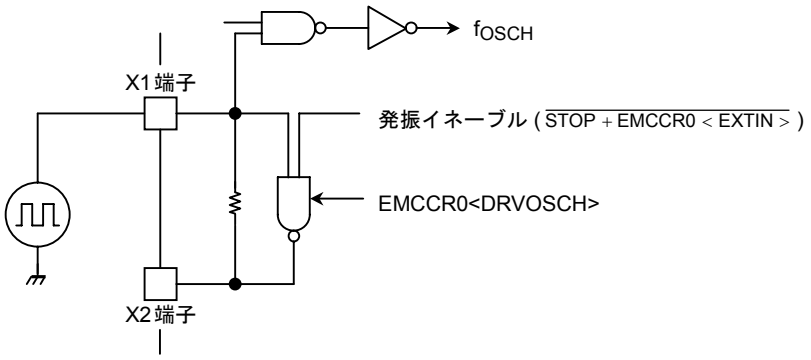
EMCCR0<DRVOSCL> に “0” をライトすることにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCL> は “1” に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

(3) 高速発振器のシングルドライブ化

(目的)

外部に発振器を接続する場合に、ツインドライブの不要化、X2 端子解放時にノイズ混入による誤動作防止のため

(ブロック図)



(設定方法)

EMCCR0<EXTIN> に “1” をライトすることにより、発振回路は発振禁止となり、バッファとして機能を開始します。X2 端子は “1” を出力状態となります。
リセットにより、<EXTIN> は “0” に初期化されます。

(4) SFR プロテクトレジスタによる暴走対策

(目的)

ノイズ混入などによるプログラムの暴走時の対策

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ（CS/WAIT コントローラ, MMU）の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

また、INTP0 割り込みにより暴走時のエラー処理を容易にします。

特定の SFR 一覧

1. CS/WAIT コントローラ
   B0CS, B1CS, B2CS, B3CS, BEXCS, MSAR0, MSAR1, MSAR2, MSAR3, MAMR0, MAMR1, MAMR2, MAMR3
2. MMU
   LOCAL0, LOCAL1, LOCAL2, LOCAL3
3. クロックギア (EMCCR1, EMCCR2 のみライト可能です)
   SYSCR0, SYSCR1, SYSCR2, EMCCR0, EMCCR3
4. DFM
   DFMCR0, DFMCR1
5. PORT
   P2FC, P5CR, P5FC, P5FC2, P6CR, P6FC, P6FC2, P7CR, P7FC, P7FC2, PDCR, PDFC
6. DRAMC
   DMEMCR, DREFCR

(動作説明)

EMCCR1 と EMCCR2 レジスタに二重の鍵を設定することによりプロテクト（特定の SFR へのライト動作）の実行･解除が可能となります。

(二重の鍵)

1st-KEY: EMCCR1 に 5AH, EMCCR2 に A5H を連続ライト

2nd-KEY: EMCCR1 に A5H, EMCCR2 に 5AH を連続ライト

プロテクトの状態は、EMCCR0<PROTECT> をリードすることにより確認できます。

リセットにより、プロテクト OFF 状態となります。

また、プロテクト ON 状態にて特定の SFR へのライト動作が実行された場合に INTP0 割り込みを出力します。これにより暴走時のエラー処理を容易にします。

(5) ROM プロテクトレジスタによる暴走対策

(目的)

ノイズ混入などによるプログラムの暴走時の対策

(動作説明)

プログラムの暴走により外部 3 種類の ROM に対しライト動作が実行された場合、INTP1 割り込みを発生して暴走したことを CPU に知らせることが可能です。

3 種類の ROM は、Flash-ROM (Option-program ROM), Data-ROM, Program-ROM で論理アドレスメモリマップ上で下記のように固定しています。

1. Flash-ROM: アドレス 400000H~7FFFFFH
2. Data-ROM: アドレス 800000H~BFFFFFH
3. Program-ROM: アドレス C00000H~FFFFFFH

これらのアドレスに対し、ライト動作検出の許可/禁止の設定は EMCCR3<ENFROM, ENDROM, ENPROM> で設定します。また、INTP1 割り込みが発生した際にどの ROM で発生したかは EMCCR3<FFLAG, DFLAG, PFLAG> でそれぞれモニタできます。このフラグは "0" をライトするとクリアされます。

(6) <EMCCR4>レジスタの説明

EMCCR4 レジスタ (00E7H) のビット 0 に TA3LCDE、ビット 1 に TA3MLDE という特殊なビットを割り付けていますが、このビットは低周波クロック (XT: 32 kHz) を使用しない、または停止した状態で、LCDC や、MLD/ALARM を使用したい場合に使う機能です。通常 (リセット後)、TA3LCDE, TA3MLDE は両方とも "0" となり、それぞれの回路 (LCDC, MLD/ALARM) には低周波クロックが供給されています。"1" を書き込むことでタイマ 3 で作成されたクロックをそれぞれの回路へ供給することができます。このとき、タイマ 3 にて作成するクロックは 32 kHz になるように設定してください。32 kHz 以外の周波数を供給した場合、LCDC および MLD/ALARM 回路の動作は本来の機能と異なった動きをするばかりではなく、動作しないこともありますので注意してください。詳細は電気的特性を参照してください。

3.3.7 スタンバイ制御部

(1) HALT モード

HALT 命令を実行すると、SYSCR2<HALTM1:0> の設定により、IDLE2, IDLE1, STOP のいずれかの HALT モードになります。

IDLE2, IDLE1, STOP モードの特長は、次のとおりです。

a. IDLE2: CPU のみ停止するモードです。

内蔵 I/O は、SFR の中に IDLE2 モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE2 モードでの動作設定が可能です。

表 3.3.3に IDLE2 設定レジスタの表を示します。

表 3.3.3 IDLE2 モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
SIO0	SC0MOD1<I2S0>
SIO1	SC1MOD1<I2S1>
WDT	WDMOD<I2WDT>

b. IDLE1: 内部発振器と RTC, MLD, DRAMC のみ動作します。

c. STOP: すべての内部回路が停止します。

ホルト状態での各ブロックの動作を表 3.3.4 に示します。

表 3.3.4 ホルト状態での各ブロックの動作

<table>
<tr><th colspan="2">HALT モード</th><th>IDLE2</th><th>IDLE1</th><th>STOP</th></tr>
<tr><th colspan="2">SYSCR2<HALTM1:0></th><th>11</th><th>10</th><th>01</th></tr>
<tr><td rowspan="8">動作ブロック</td><td>CPU</td><td colspan="3">停止</td></tr>
<tr><td>I/O ポート</td><td>HALT 命令実行時の状態を保持</td><td colspan="2">表 3.3.7, 表 3.3.8 参照</td></tr>
<tr><td>TMRA</td><td rowspan="4">動作するブロックをプログラマブルに選択可</td><td colspan="2" rowspan="2">停止</td></tr>
<tr><td>SIO</td></tr>
<tr><td>DRAMC</td><td colspan="2">(注) 動作可</td></tr>
<tr><td>WDT</td><td colspan="2" rowspan="3"></td></tr>
<tr><td>LCDC, 割り込みコントローラ</td><td rowspan="2">動作</td></tr>
<tr><td>RTC, MLD</td><td>動作可</td></tr>
</table>

注) セルフリフレッシュのみサポートします。メモリアクセスおよびインターバルリフレッシュは動作不可です。

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、CPU のステータスレジスタ SR に割り付けられている割り込みマスクレジスタ<IFF2:0> の状態と、HALT モードの組み合わせにより決まります。詳細を表 3.3.5に示します。

- 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホルト解除を行いません (ノンマスカブル割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います)。

ただし、INT0~INT3, INTKEY, INTRTC, INTALM0~INTALM4 割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず HALT 命令の次の命令から処理をスタートします (割り込み要求フラグは “1” を保持します)。

注) 通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{FPH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み ($\overline{NMI}$, INT0~INT3, INTKEY, INTRTC, INTALM0~INTALM4, INTVLD0~INTVLD2) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。
HALT モードへ完全に移行された後に再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

- リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOP モードの解除では、発振器動作が安定するための十分なリセット時間 (表 3.3.6参照) が必要です。

表 3.3.5 ホルト解除ソースとホルト解除の動作

割り込み受け付け状態			割り込み許可 (割り込みレベル) ≧ (割り込みマスク)			割り込み禁止 (割り込みレベル) < (割り込みマスク)		
HALT モード			プログラマブル IDLE2	IDLE1	STOP	プログラマブル IDLE2	IDLE1	STOP
ホルト解除ソース	割り込み	NMI	♦	♦	♦ *1	–	–	–
		INTWDT	♦	×	×	–	–	–
		INT0~INT3 (注)	♦	♦	♦ *1	○	○	○ *1
		INTALM0~INTALM4	♦	♦	×	○	○	×
		INTTA0~INTTA3	♦	×	×	×	×	×
		INTRX0~INTRX1, TX0~TX1	♦	×	×	×	×	×
		INTKEY	♦	♦	♦ *1	○	○	○ *1
		INTRTC	♦	♦	×	○	○	×
		INTLCD	♦	×	×	×	×	×
		INTVLD0~INTVLD2 *2	♦	♦	♦ *1	–	–	–
	RESET		LSI を初期化します。					

♦: ホルト解除後、割り込み処理を開始します。

○: ホルト解除後、HALT 命令の次のアドレスから処理を開始します (割り込み処理は行いません)。

×: ホルト解除に使用できません。

–: ノンマスカブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の “7” に固定されているため、この組み合わせはありません。

*1: ウォームアップ時間経過後にホルト解除を行います。

*2: 割り込み回路での INTVLD0~INTVLD2 は、ノンマスカブル割り込み (割り込み要求レベルは “7”、“EI”, “DI” などの命令でのマスクは不可能) に分類･設定されていますが、割り込みソースレベルではマスクすることができるマスカブル割り込みです。

注) 割り込み許可状態において、レベルモードの INT0 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで “H” レベルを保持してください。それ以前で “L” レベルにした場合は、正しい割り込み処理を開始できません。

(ホルト状態からの解除例)

IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合

```
アドレス
8203H    LD    (IIMC), 00H        ;  INT0 割り込み立ち上がりエッジを選択
8206H    LD    (INTE0), 06H       ;  INT0 割り込みレベルを “6” に設定
8209H    EI    5                  ;  CPU 割り込みレベルを “5” に設定
820BH    LD    (SYSCR2), 28H      ;  IDLE1 モードに設定
820EH    HALT                     ;  CPU 停止
INT0                                INT0 割り込み処理
                                    RETI
820FH    LD    XX, XX
```

(3) 各モードの動作

a. IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホルト解除のタイミング例を図 3.3.6に示します。

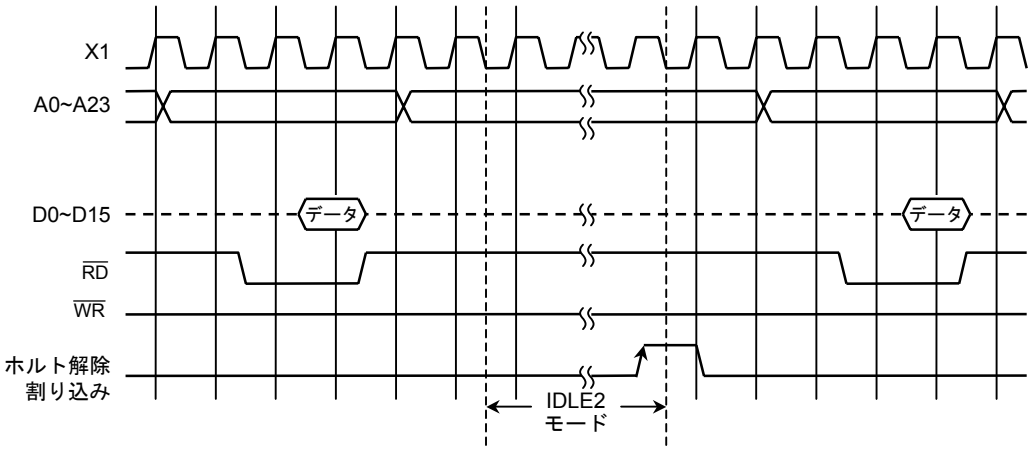


図 3.3.6 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

b. IDLE1 モード

IDLE1 モードでは、内部発振器と RTC, MLD のみ動作し、システムクロックは停止します。また、IDLE1 モード時の端子状態は、SYSCR2<SELDRV, DRVE> の設定により異なります。IDLE1 モード時の端子状態を表 3.3.7, 表 3.3.8 に示します。

ホルト状態での割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を図 3.3.7に示します。

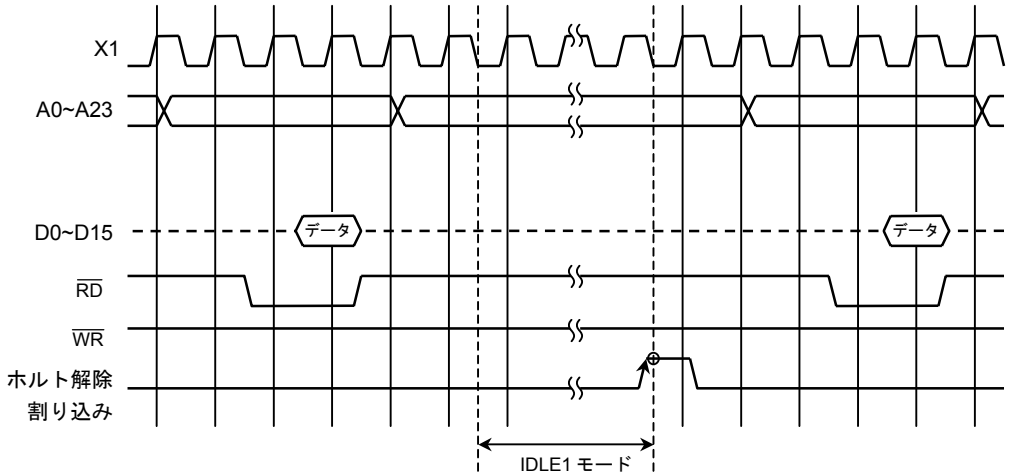


図 3.3.7 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

c. STOP モード

STOP モードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOP モード時の端子状態は、SYSCR2<SELDRV, DRVE> の設定により異なります。STOP モード時の端子状態を表 3.3.7, 表 3.3.8 に示します。

STOP モードを解除する場合は、内部発振器の安定化のため、ウォームアップ用カウンタによるウォームアップ時間経過後に、システムクロックの出力を開始します。STOP モード解除後は、SYSCR0<RXEN, RXTEN, RSYSCK> の設定に従い動作を開始します（ホルト解除後の動作モード（NORMAL/SLOW）を選択できます)。この設定はHALT命令実行前に行う必要があります。このウォームアップ時間の設定は、SYSCR2<WUPTM1:0> で行います。表 3.3.6に設定例を示します。

STOP モードの割り込みによるホルト解除のタイミング例を図 3.3.8に示します。

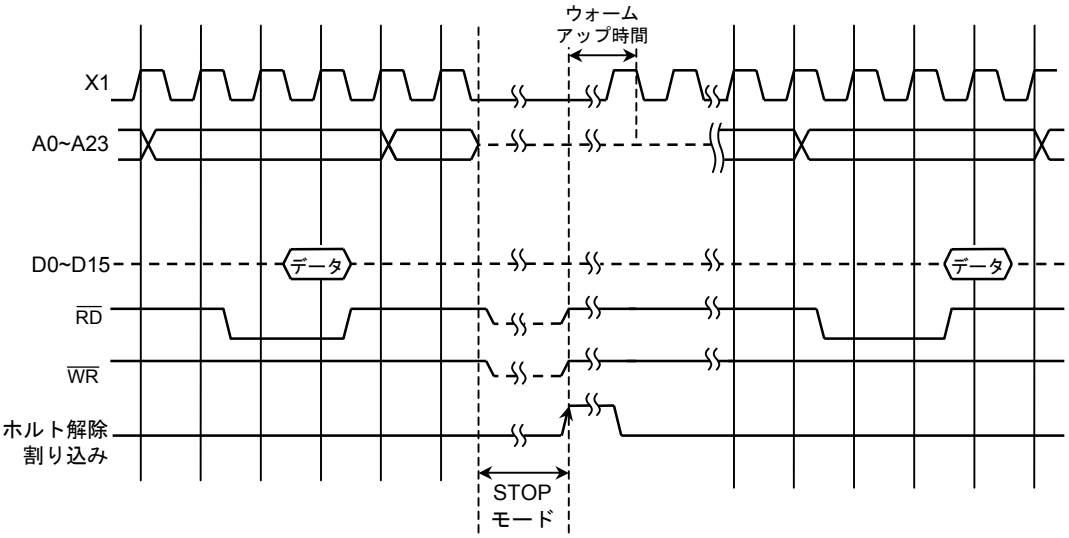


図 3.3.8 割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.3.6 ウォームアップ時間の設定例 (STOP モード解除時)

@ f_{OSCH} = 16 MHz, fs = 32.768 kHz

SYSCR0 <RSYSCK>	SYSCR2<WUPTM1:0>		
	01 (2^8)	10 (2^{14})	11 (2^{16})
0 (fc)	16 μs	1.024 ms	4.096 ms
1 (fs)	7.8 ms	500 ms	2000 ms

(設定例) 低速クロックで動作している状態でSTOPモードに入り、NMI割り込みによる解除後、高速クロックで動作させる場合

```
アドレス
            SYSCR0  EQU     00E0H
            SYSCR1  EQU     00E1H
            SYSCR2  EQU     00E2H
8FFDH               LD      (SYSCR1), 08H   0 8 H                ;  fSYS = fs/2
9000H               LD      (SYSCR2),       X – 1 0 0 1 X 1 B   ;  ウォームアップ時間 2^14/fOSCH
9002H               LD      (SYSCR0),       0 1 1 0 0 0 – – B   ;  解除後、高速クロック
9005H               HALT
            NMI 端子入力
                                                                   ウォームアップタイマ
                                                                     クリア&スタート
                                                                     (高速クロック)
                                                                       ↓
                                                                      終了
                                                                       ↓
                                                                   NMI 割り込み処理
                                                                       ⋮
9006H               LD                  X X X X                     RETI
                    ⋮
```

注) 上記のように、STOP モードの前後で異なる動作モードを使用する場合、HALT 命令を実行中 (6ステート期間) にホルト解除割り込みが受け付けられると、動作モードの変更が行われないままホルト解除を行うことがあります。HALT 命令実行中に割り込みが入力されるようなシステムでは、STOP モードの前後で同じ動作モードを設定してください。

表 3.3.7 入力バッファ状態表

<table>
<tr><th rowspan="3">ポート名</th><th rowspan="3" colspan="2">入力機能名</th><th colspan="10">入力バッファ状態</th></tr>
<tr><th rowspan="2">リセット中</th><th colspan="2">CPU 動作中</th><th colspan="2">HALT 中 (IDLE2)</th><th colspan="6">HALT 中 (IDLE1/STOP)</th></tr>
<tr><th colspan="4">条件 A 設定時 (注)</th><th colspan="2">条件 B 設定時 (注)</th></tr>
<tr><th></th><th></th><th>機能設定時</th><th>入力ポート設定時</th><th>機能設定時</th><th>入力ポート設定時</th><th>機能設定時</th><th>入力ポート設定時</th><th>機能設定時</th><th>入力ポート設定時</th></tr>
<tr><td>D0~D7</td><td colspan="2">–</td><td rowspan="3">OFF</td><td rowspan="2">外部リードで ON</td><td>–</td><td rowspan="2">OFF</td><td>–</td><td rowspan="2">OFF</td><td>–</td><td rowspan="2">OFF</td><td>–</td></tr>
<tr><td>P10~P17</td><td colspan="2">D8~D15</td><td rowspan="9">ON</td><td rowspan="2">OFF</td><td rowspan="8">OFF</td><td rowspan="2">OFF</td></tr>
<tr><td>P52 (*1)</td><td colspan="2">INT3</td><td rowspan="3">ON</td><td rowspan="3">ON</td><td>ON</td><td rowspan="3">ON</td></tr>
<tr><td>P53 (*1)</td><td colspan="2">$\overline{\text{WAIT}}$</td><td rowspan="2">ON</td><td rowspan="2">ON</td><td rowspan="2">OFF</td><td rowspan="2">ON</td></tr>
<tr><td>P56 (*1)</td><td colspan="2">$\overline{\text{MSK}}$</td></tr>
<tr><td>P60~P67 (*1)</td><td colspan="2">–</td><td rowspan="2">OFF</td><td rowspan="2">–</td><td rowspan="2">–</td><td rowspan="2">OFF</td><td rowspan="2">–</td><td rowspan="2">–</td><td rowspan="2">OFF</td></tr>
<tr><td>P70~P71 (*1)</td><td colspan="2">–</td></tr>
<tr><td>P72 (*1)</td><td colspan="2">OPTRX0</td><td>ON</td><td>ON</td><td>ON</td><td>ON</td><td>OFF</td><td>ON</td><td>ON</td></tr>
<tr><td>P73 (*1)</td><td colspan="2">–</td><td rowspan="2">OFF</td><td>–</td><td>–</td><td rowspan="2">OFF</td><td rowspan="2">–</td><td>–</td><td rowspan="2">OFF</td></tr>
<tr><td>P74 (*1)</td><td colspan="2">$\overline{\text{NMI}}$</td><td rowspan="2">ON</td><td rowspan="2">ON</td><td rowspan="2">ON</td><td rowspan="2">ON</td></tr>
<tr><td>P90~P97 (*1)</td><td colspan="2">KI0~KI7</td><td>ON</td><td>ON</td><td>ON</td><td>ON</td><td>ON</td></tr>
<tr><td>PB0~PB2 (*1) (*2)</td><td colspan="2">–</td><td rowspan="3">OFF</td><td>–</td><td>–</td><td rowspan="3">OFF</td><td>–</td><td rowspan="7">OFF</td><td>–</td><td rowspan="3">OFF</td></tr>
<tr><td>PB3~PB5 (*1)</td><td colspan="2">INT0~INT2</td><td>ON</td><td>ON</td><td>ON</td><td>ON</td></tr>
<tr><td>PC3 (*1)</td><td colspan="2">–</td><td>–</td><td>–</td><td>–</td><td>–</td></tr>
<tr><td>PC4 (*1)</td><td colspan="2">RXD1</td><td rowspan="2">ON</td><td rowspan="2">ON</td><td rowspan="3">ON</td><td rowspan="2">ON</td><td rowspan="3">OFF</td><td rowspan="2">ON</td><td rowspan="2">ON</td></tr>
<tr><td>PC5 (*1)</td><td colspan="2">SCLK1/ $\overline{\text{CTS1}}$</td></tr>
<tr><td rowspan="2">PC6</td><td rowspan="2">XT1</td><td>発振器用</td><td rowspan="2">OFF</td><td>OFF</td><td rowspan="2">OFF</td><td rowspan="2">OFF</td><td rowspan="2">OFF</td></tr>
<tr><td>ポート用</td><td rowspan="3">OFF</td><td>OFF</td><td rowspan="4">ON</td><td>OFF</td><td rowspan="2">ON</td><td rowspan="2">ON</td></tr>
<tr><td>PC7</td><td colspan="2">–</td><td>–</td><td>–</td><td>–</td><td>–</td></tr>
<tr><td>PD0~PD4, PD6~PD7 (*1)</td><td colspan="2">–</td><td>–</td><td>–</td><td>OFF</td><td>–</td><td>–</td><td>OFF</td></tr>
<tr><td>$\overline{\text{RESET}}$</td><td colspan="2">–</td><td rowspan="2">ON</td><td rowspan="2">ON</td><td>–</td><td rowspan="2">ON</td><td>–</td><td rowspan="2">ON</td><td>–</td><td rowspan="2">ON</td><td>–</td></tr>
<tr><td>AM0, AM1</td><td colspan="2">–</td><td>–</td><td>–</td><td>–</td><td>–</td></tr>
<tr><td>X1</td><td colspan="2">–</td><td>ON</td><td>ON</td><td>–</td><td>ON</td><td>–</td><td colspan="4">IDLE1 で ON, STOP で OFF</td></tr>
</table>

ON: 常時バッファが ON しているため、入力端子がドライブされていないと入力バッファに貫通電流が流れます。

OFF: 常時バッファが OFF しています。

–: 対象なし。

*1: プルアップ/プルダウン抵抗付きポートです。

*2: VLD 入力では貫通電流が流れません。

注) 条件 A/B の設定を示します。

<table>
<tr><th colspan="2">SYSCR2 レジスタ設定</th><th colspan="2">HALT モード</th></tr>
<tr><th><DRVE></th><th><SELDRV></th><th>IDLE1</th><th>STOP</th></tr>
<tr><td>0</td><td>0</td><td>条件 B</td><td rowspan="2">条件 A</td></tr>
<tr><td>0</td><td>1</td><td>条件 A</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">条件 B</td><td rowspan="2">条件 B</td></tr>
<tr><td>1</td><td>1</td></tr>
</table>

表 3.3.8 出力バッファ状態表

ポート名	出力機能名	出力バッファ状態								
		リセット中	CPU 動作中		HALT 中 (IDLE2)		HALT 中(IDLE1/STOP)			
							条件 A 設定時 (注)		条件 B 設定時 (注)	
			機能設定時	出力ポート設定時	機能設定時	出力ポート設定時	機能設定時	出力ポート設定時	機能設定時	出力ポート設定時
D0~D7	–	OFF	外部ライトで ON	–	OFF	–	OFF	–	OFF	–
P10~P17	D8~D15			ON		ON		OFF		ON
P20~P27	A16~A23	ON	ON		ON				ON	
A0~A15	–			–		–		–		–
$\overline{RD}$	–									
$\overline{WR}$	–									
P52 (*1)	$\overline{HWR}$	OFF		ON		ON	OFF	OFF		ON
P53 (*1)	$\overline{EXWR}$									
P56 (*1)	R/W									
P60 (*1)	$\overline{CS0}$, LSLK0									
P61 (*1)	$\overline{CS1}$									
$\overline{CS2}$, $\overline{CS2A}$	–	ON		–		–		–		–
P63 (*1)	$\overline{CS3}$, $\overline{RAS}$	OFF		ON		ON		OFF		ON
P64 (*1)	EA24, $\overline{CS2B}$									
P65 (*1)	EA25, $\overline{CS2C}$, LCLK, $\overline{VEECLK}$									
P66 (*1)	$\overline{UCAS}$, $\overline{UDS}$, $\overline{WE}$									
P67 (*1)	$\overline{LCAS}$, $\overline{LDS}$, REFOUT									
P70 (*1)	SCOUT, TA1OUT									
P71 (*1)	OPTTX0, $\overline{CS2D}$									
P72 (*1)	$\overline{CS2E}$									
P73 (*1)	$\overline{DRAMOE}$, $\overline{EXRD}$									
P74 (*1)	$\overline{WE}$, $\overline{CAS}$									
PB0~PB2 (*1) (*2)	–	OFF	–	ON	–	ON	–	OFF	–	ON
PB3~PB5 (*1)	–		–		–		–		–	
PC3 (*1)	TXD1		ON		ON		OFF		ON	
PC4 (*1)	–		–		–		–		–	
PC5 (*1)	SCLK1		ON		ON		OFF		ON	
PC6	–		–		–		–		–	
PC7	XT2 発振器用	ON	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF
	XT2 ポート用	OFF	OFF	ON	OFF	ON				ON
PD0 (*1)	D1BSCP		ON		ON				ON	
PD1 (*1)	D2BLP									
PD2 (*1)	D3BFR									
PD3 (*1)	DLEBCD									
PD4 (*1)	DOFFB									
PD6 (*1)	MLDALM, ALARM									
PD7 (*1)	MLDALM									
X2	–	ON	ON	–	ON	–	IDLE1 で ON, STOP で “H” レベル出力			

ON: 常時バッファが ON しています。ただし、バス開放時は特定の端子の出力バッファは OFF します。

OFF: 常時バッファが OFF しています。

–: 対象なし。

*1: プルアップ/プルダウン抵抗付きポートです。

*2: VLD0~VLD2 のうち一つでも VLD の機能を使用する場合、残りの端子はポート機能に設定しても出力ポートとしては使用できません。

注) 条件 A/B の設定を示します。

SYSCR2 レジスタ設定		HALT モード	
<DRVE>	<SELDRV>	IDLE1	STOP
0	0	条件 B	条件 A
0	1	条件 A	
1	0	条件 B	条件 B
1	1		

3.4 割り込み

割り込みは、CPU の割り込みマスクレジスタ SR<IFF2:0> と、内蔵の割り込みコントローラによって制御されます。

割り込み要因には、下記に示す合計 40 本があります。

- CPU からの割り込み.....9 本
  (ソフトウエア割り込み、未定義命令実行違反)
- 外部端子 ($\overline{\text{NMI}}$, INT0~INT3, INTKEY).....6 本
- 内蔵 I/O からの割り込み ....25 本

各割り込み要因ごとに、個別の割り込みベクタ番号 (固定) が割り当てられており、マスカブル割り込みのそれぞれに、6 レベルの優先順位 (可変) を割り付けることができます。ノンマスカブル割り込みの優先順位は、最優先の "7" に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位値を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値 (最高はノンマスカブル割り込みの "7") を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ<IFF2:0> の値を比較し、送られてきた優先順位値が割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。<IFF2:0> の値は EI 命令 (EI num/IFF<2:0> の内容が num) を使用して、書き替えることができます。例えば、"EI 3" とプログラムすると、割り込みコントローラに設定された優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI 命令 (<IFF2:0> が 7) は動作的には "EI 7" と同じですが、マスカブル割り込みの優先順位値が 0~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後、直ちに有効となります。

上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送 (1/2/4 バイト) を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を高速に行うことができます。

さらに、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトで要求をかける "ソフトスタート機能" があります。

図 3.4.1に割り込み処理全体のフローを示します。

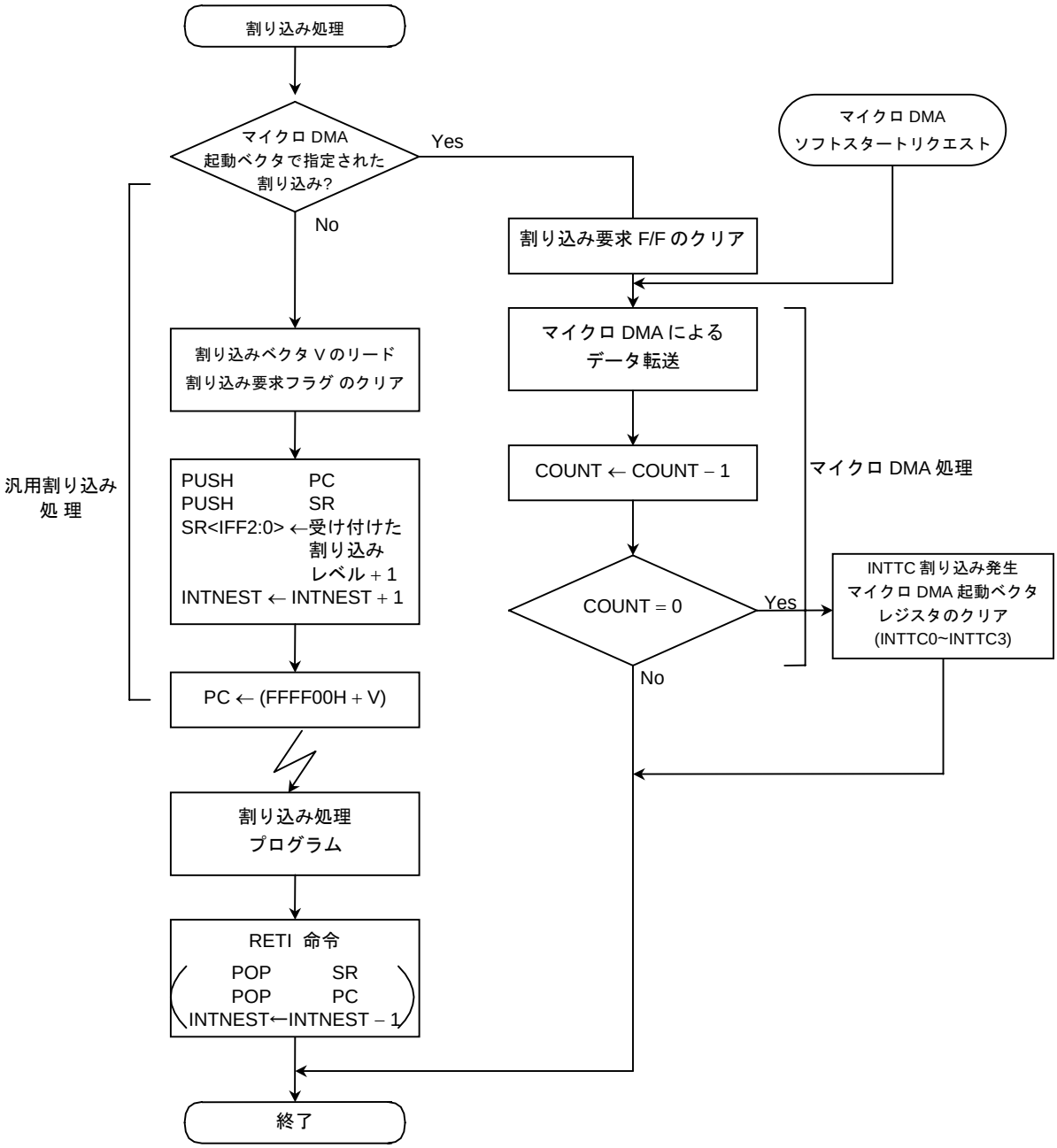


図 3.4.1 割り込み処理全体のフロー

3.4.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。なお、この動作は TLCS-900/L, TLCS-900/H と同様です。

(1) CPU は割り込みコントローラから、割り込みベクタをリードします。
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルト･プライオリティ（固定: ベクタ値が小さいほど優先順位が高い）に従って割り込みベクタを発生し、その割り込み要求をクリアします。

(2) CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域（XSP が示す領域）へ PUSH します。

(3) CPU の割り込みマスクレジスタ <IFF2:0> の値を、受け付けた割り込みレベルより “1” だけ高い値にセットします。ただし、値が “7” のときは、インクリメントせず “7” をセットします。

(4) 割り込みネスティングカウンタ INTNEST を+1 します。

(5) CPU は、アドレス「FFFF00H + 割り込みベクタ」のデータで示されるアドレスへジャンプし、割り込み処理ルーチンを開始します。

上記の処理時間は、ベストケース（メモリ 16 ビットデータバス幅, 0 ウェイト）の場合、18 ステート（2.25 μs @ 16 MHz）です。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容を復帰し、割り込みネスティングカウンタ INTNEST を–1 します。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。ただし、INTVLD0~INTVLD2 のみ割り込みソースにてマスクが可能です。マスカブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定することができます。CPU が持つ<IFF2:0> の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。次に CPU の <IFF2:0> に、受け付けた優先順位に “1” を加えた値を、セットします。従って、割り込み処理中に現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 (1)~(5) までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスカブル割り込みのネスティングを禁止することができます。

リセット後、CPU の<IFF2:0> は、“7” に初期化されているため、マスカブル割り込み禁止状態になっています。

アドレス FFFF00H~FFFFFFH（256 バイト）が、割り込みベクタ領域に割り当てられています。表 3.4.1に割り込みテーブルを示します。

(6) INTVLD0~INTVLD2 は割り込み回路ではノンマスカブル割り込みとして処理されますが、ソースレベルでのマスクは可能です。

表 3.4.1 TMP91C016 の割り込みテーブル

デフォルト プライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA 起動 ベクタ
1	ノン マスカブル	“リセット” または「SWI 0」命令	0000H	FFFF00H	–
2		「SWI 1」命令	0004H	FFFF04H	–
3		INTUNDEF: 未定義命令実行違反、または「SWI 2」命令	0008H	FFFF08H	–
4		「SWI 3」命令	000CH	FFFF0CH	–
5		「SWI 4」命令	0010H	FFFF10H	–
6		「SWI 5」命令	0014H	FFFF14H	–
7		「SWI 6」命令	0018H	FFFF18H	–
8		「SWI 7」命令	001CH	FFFF1CH	–
9		$\overline{\text{NMI}}$ 端子	0020H	FFFF20H	–
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	–
11	*ノンマスカブル (ただしソースは マスク可能)	INTVLD0: VLD 割り込み (チャネル 0)	0098H	FFFF98H	–
12		INTVLD1: VLD 割り込み (チャネル 1)	009CH	FFFF9CH	–
13		INTVLD2: VLD 割り込み (チャネル 2)	00A0H	FFFFA0H	–
–	マスカブル	(マイクロ DMA)	–	–	–
14		INT0 端子	0028H	FFFF28H	0AH
15		INT1 端子	002CH	FFFF2CH	0BH
16		INT2 端子	0030H	FFFF30H	0CH
17		INT3 端子	0034H	FFFF34H	0DH
18		INTALM0: ALM0 (8 kHz)	0038H	FFFF38H	0EH
19		INTALM1: ALM1 (512 Hz)	003CH	FFFF3CH	0FH
20		INTALM2: ALM2 (64 Hz)	0040H	FFFF40H	10H
21		INTALM3: ALM3 (2 Hz)	0044H	FFFF44H	11H
22		INTALM4: ALM4 (1 Hz)	0048H	FFFF48H	12H
23		INTTA0: 8 ビットタイマ 0	004CH	FFFF4CH	13H
24		INTTA1: 8 ビットタイマ 1	0050H	FFFF50H	14H
25		INTTA2: 8 ビットタイマ 2	0054H	FFFF54H	15H
26		INTTA3: 8 ビットタイマ 3	0058H	FFFF58H	16H
27		INTRX0: シリアル受信 (チャネル 0)	005CH	FFFF5CH	17H
28		INTTX0: シリアル送信 (チャネル 0)	0060H	FFFF60H	18H
29		INTRX1: シリアル受信 (チャネル 1)	0064H	FFFF64H	19H
30		INTTX1: シリアル送信 (チャネル 1)	0068H	FFFF68H	1AH
31		INTKEY: キーウェイクアップ	0070H	FFFF70H	1CH
32		INTRTC: RTC (アラーム割り込み)	0074H	FFFF74H	1DH
33		INTLCD: LCDC/LP 端子	007CH	FFFF7CH	1FH
34		INTP0: プロテクト 0 (特定 SFR へのライト)	0080H	FFFF80H	20H
35		INTP1: プロテクト 1 (ROM へのライト)	0084H	FFFF84H	21H
36		INTTC0: マイクロ DMA 終了 (チャネル 0)	0088H	FFFF88H	–
37		INTTC1: マイクロ DMA 終了 (チャネル 1)	008CH	FFFF8CH	–
38		INTTC2: マイクロ DMA 終了 (チャネル 2)	0090H	FFFF90H	–
39		INTTC3: マイクロ DMA 終了 (チャネル 3)	0094H	FFFF94H	–
		(Reserved) : (Reserved)	00A4H : 00FCH	FFFFA4H : FFFFFCH	– : –

* INTVLD0~INTVLD2 の割り込みは VLDCRx にて制御します。

3.4.2 マイクロ DMA

汎用割り込み処理に加えて、マイクロ DMA 機能があります。マイクロ DMA に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベルで処理を行います。

マイクロ DMA は 4 チャネル用意されており、バースト指定により連続転送が可能です。

なお、マイクロ DMA 機能は CPU の協調動作によって実現されているため、CPU が HALT 命令を実行しスタンバイ状態になると、マイクロ DMA の要求は無視 (保留) されます。

(1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。<IFF2:0> = “7” のときは、マイクロ DMA の要求は受け付けられません。

マイクロ DMA は 4 チャネル用意されており、同時に 4 種類までの割り込み要因に対して、マイクロ DMA を設定することができます。

マイクロ DMA が受け付けられると、そのチャネルに割り当られている割り込み要求フラグをクリアし、コントロールレジスタに設定された転送元アドレスから転送先アドレスに、データ転送が一回 (1/2/4 バイト) 行われ、転送数カウンタをデクリメントします。デクリメントした結果が “0” ならば、CPU はマイクロ DMA 転送終了を割り込みコントローラに伝え、割り込みコントローラは、マイクロ DMA 転送終了割り込み (INTTCn) を発生させ、かつ、マイクロ DMA 起動ベクタレジスタ DMAnV の値を “0” にクリアして、次のマイクロ DMA 起動を禁止し、マイクロ DMA 処理を終了します。デクリメントした結果が “0” でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み (INTTCn) は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを “0” にしておく必要があります。これは、マイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。割り込み要因をマイクロ DMA と汎用割り込みの起動で兼用する場合は、その割り込み要因の割り込みレベルを、ほかのすべての割り込み要因の割り込みレベルより低くする必要があります。なお、その割り込み要因は、エッジ割り込みに限られます。

マイクロ DMA 転送終了割り込みは、ほかのマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャネルのマイクロ DMA 要求が同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャネル番号の若い方が高くなります (チャネル 0 (高) → チャネル 3 (低))。

転送元/転送先アドレスを設定するレジスタは 32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は 16 M バイトとなります。

転送モードは1/2/4バイト転送の3種類があり、それぞれの転送モードに対して転送後、転送元/転送先アドレスをインクリメント, デクリメント, 固定するモードを用意しています。このモードにより、メモリからメモリ, I/O からメモリ, メモリから I/O, I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、(4)「転送モードレジスタ」を参照してください。

転送数カウンタは 16 ビット幅で構成されているため、一つの割り込み要因に対して、最大 65536 回 (転送カウンタの初期値が 0000H のとき最大) の、マイクロ DMA 処理を行うことができます。

マイクロ DMA 処理を行うことのできる割り込み要因は、表 3.4.1でマイクロ DMA 起動ベクタのある 24 種類の割り込みと、ソフトスタートによる計 25 種類です。

転送先アドレス INC モード 2 バイト転送 (カウンタモード以外は同様) のマイクロ DMA サイクルを図 3.4.2に示します。(全アドレスエリア 16 ビットバス, 0 ウェイト, ソース/デスティネーションアドレスとも偶数の場合)

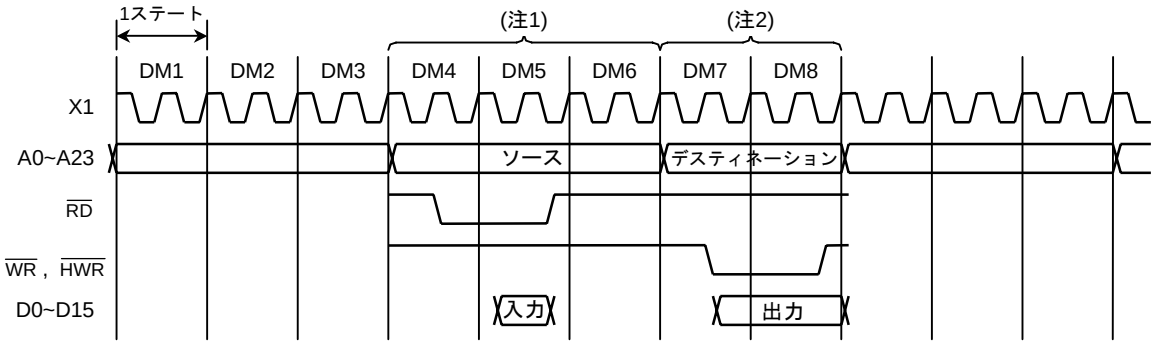


図 3.4.2 マイクロ DMA サイクル図

第 1~3 ステート: 命令フェッチサイクル (次の命令コードを先取りします。)
命令キューバッファに 3 バイト以上の命令コードが入ると、
このサイクルは、ダミーサイクルになります。

第 4~5 ステート: マイクロ DMA リードサイクル

第 6 ステート: ダミーサイクル (アドレスバスは第 5 ステート状態のままです。)

第 7~8 ステート: マイクロ DMA ライトサイクル

注 1) ソースアドレスエリアが 8 ビットバスの場合、+2 ステートされます。
また、ソースアドレスエリアが 16 ビットバスで奇数アドレスから始まる場合も、+2 ステートされます。

注 2) デスティネーションアドレスエリアが 8 ビットバスの場合、+2 ステートされます。
また、デスティネーションアドレスエリアが 16 ビットバスで奇数アドレスから始まる場合も、+2 ステートされます。

(2) ソフトスタート機能

割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへの書き込みサイクルが発生したことにより、マイクロ DMA を起動する “マイクロ DMA ソフトスタート機能” があります。

DMAR レジスタの各ビットに “1” を書き込むことにより、マイクロ DMA を一回起動することができます。転送が終了すると、終了したチャネルに対応する DMAR レジスタのビットが、自動的に “0” にクリアされます。なお、仕様上の制限として一度に 1 チャネルしか起動できません (複数のビットに “1” を書き込まないでください。)。

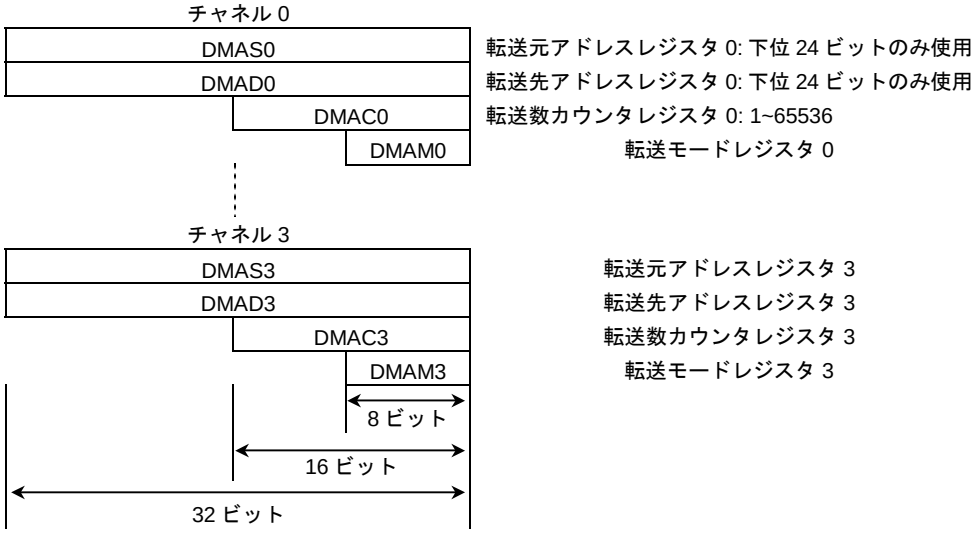
また再度 DMAR レジスタに “1” を書き込む場合は、そのビットが “0” であることを確認してから行ってください。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが “0” になるまで、連続的にデータ転送されます。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA request register	89H					DMA 要求			
							DMAR3	DMAR2	DMAR1	DMAR0
							R/W			
							0	0	0	0

(3) 転送制御レジスタ

転送元アドレス, 転送先アドレスは、下記の CPU 内レジスタで設定します。これらのレジスタは、「LDC cr, r」命令を使用して、データの設定を行います。



(4) 転送モードレジスタ: DMAM0~DMAM3

(DMAM0~DMAM3)

0	0	0	モード

注) このレジスタに値を設定するときは
上位 3 ビットを “0” にしてください。

ZZ: 0 = バイト転送、1 = ワード転送、2 = 4 バイト転送、3 = Reserved

						実行時間
0	0	0	Z	Z	転送先アドレス INC モード .....I/O → メモリ用 (DMADn+) ← (DMASn) DMACn ← DMACn – 1 DMACn = 0 のとき INTTC 発生	8 ステート(1000 ns) @ バイト/ワード転送 12 ステート(1500 ns) @ 4 バイト転送
0	0	1	Z	Z	転送先アドレス DEC モード.....I/O → メモリ用 (DMADn–) ← (DMASn) DMACn ← DMACn – 1 DMACn = 0 のとき INTTC 発生	8 ステート(1000 ns) @ バイト/ワード転送 12 ステート(1500 ns) @ 4 バイト転送
0	1	0	Z	Z	転送元アドレス INC モード ..... メモリ → I/O 用 (DMADn) ← (DMASn+) DMACn ← DMACn – 1 DMACn = 0 のとき INTTC 発生	8 ステート(1000 ns) @ バイト/ワード転送 12 ステート(1500 ns) @ 4 バイト転送
0	1	1	Z	Z	転送元アドレス DEC モード..... メモリ → I/O 用 (DMADn) ← (DMASn–) DMACn ← DMACn – 1 DMACn = 0 のとき INTTC 発生	8 ステート(1000 ns) @ バイト/ワード転送 12 ステート(1500 ns) @ 4 バイト転送
1	0	0	Z	Z	アドレス固定モード ..... I/O to I/O 用 (DMADn) ← (DMASn) DMACn ← DMACn – 1 DMACn = 0 のとき INTTC 発生	8 ステート(1000 ns) @ バイト/ワード転送 12 ステート(1500 ns) @ 4 バイト転送
1	0	1	0	0	カウンタモード ..... 割り込み発生回数カウント用 DMASn ← DMASn + 1 DMACn ← DMACn – 1 DMACn = 0 のとき INTTC 発生	5 ステート (625 ns)

注 1) n: 対応するマイクロ DMA チャネル 0~3
DMADn+/DMASn+: ポストインクリメント (転送後レジスタの値をインクリメント)
DMADn–/DMASn–: ポストデクリメント (転送後レジスタの値をデクリメント)
表中の I/O とは固定されたアドレス、メモリとは INC, DEC されるアドレスを意味します。

注 2) 実行時間: 転送元/転送先アドレス空間が 16 ビットバス幅, 0 ウェイトに設定されている場合を示します。
クロック条件は fc = 16 MHz、高速クロックギア: 1 倍 (fc) です。

注 3) 転送モードレジスタへは上記以外のコードを設定しないでください。

3.4.3 割り込みコントローラの制御

図 3.4.3に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分は CPU の割り込み要求信号回路と、ホルト解除回路を示しています。

割り込みコントローラは各割り込みチャネルごと (合計 36 チャネル) に、割り込み要求フラグ, 割り込みレベルレジスタ, マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは周辺からの割り込み要求をラッチするためのものです。

このフラグは、以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタをリード
- 割り込みをクリアする命令の実行 (INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA を受け付けたとき
- その割り込みでのマイクロ DMA バースト転送が終了したとき

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込みレベルレジスタ (INTE12 など) にそれぞれのレベルを設定できます。設定できる割り込みレベルは 1 から 6 までの 6 レベルです。レベルを “0” (または “7”)にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスカブル割り込み ($\overline{\text{NMI}}$ 端子, ウォッチドッグタイマ, 電圧比較器) のレベルは “7” に固定されています。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティに従い、割り込みを受け付けます。なお、割り込みレベルレジスタのビット 3, ビット 7 を読むと、割り込み要求フラグの状態が読み出され、各チャネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で最も優先順位の高い割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU はステータスレジスタ (SR) に割り付けられている割り込みマスクレジスタ<IFF2:0> と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、SR<IFF2:0> に、受け付けた割り込みレベル+1 の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了 (RETI 命令の実行) により、SR<IFF2:0> には、スタックに退避されていた割り込み発生以前の割り込みマスクレジスタの値がリストアされます。

割り込みコントローラには、マイクロ DMA の起動ベクタを格納するレジスタ (4 チャネル) が用意されています。このレジスタに起動ベクタ (表 3.4.1参照) を書き込むことにより、該当する割り込み要求が発生することによってマイクロ DMA が起動されます。なお、このマイクロ DMA 処理の前に、マイクロ DMA パラメータ用レジスタ (DMAS, DMAD など) に値を設定しておく必要があります。

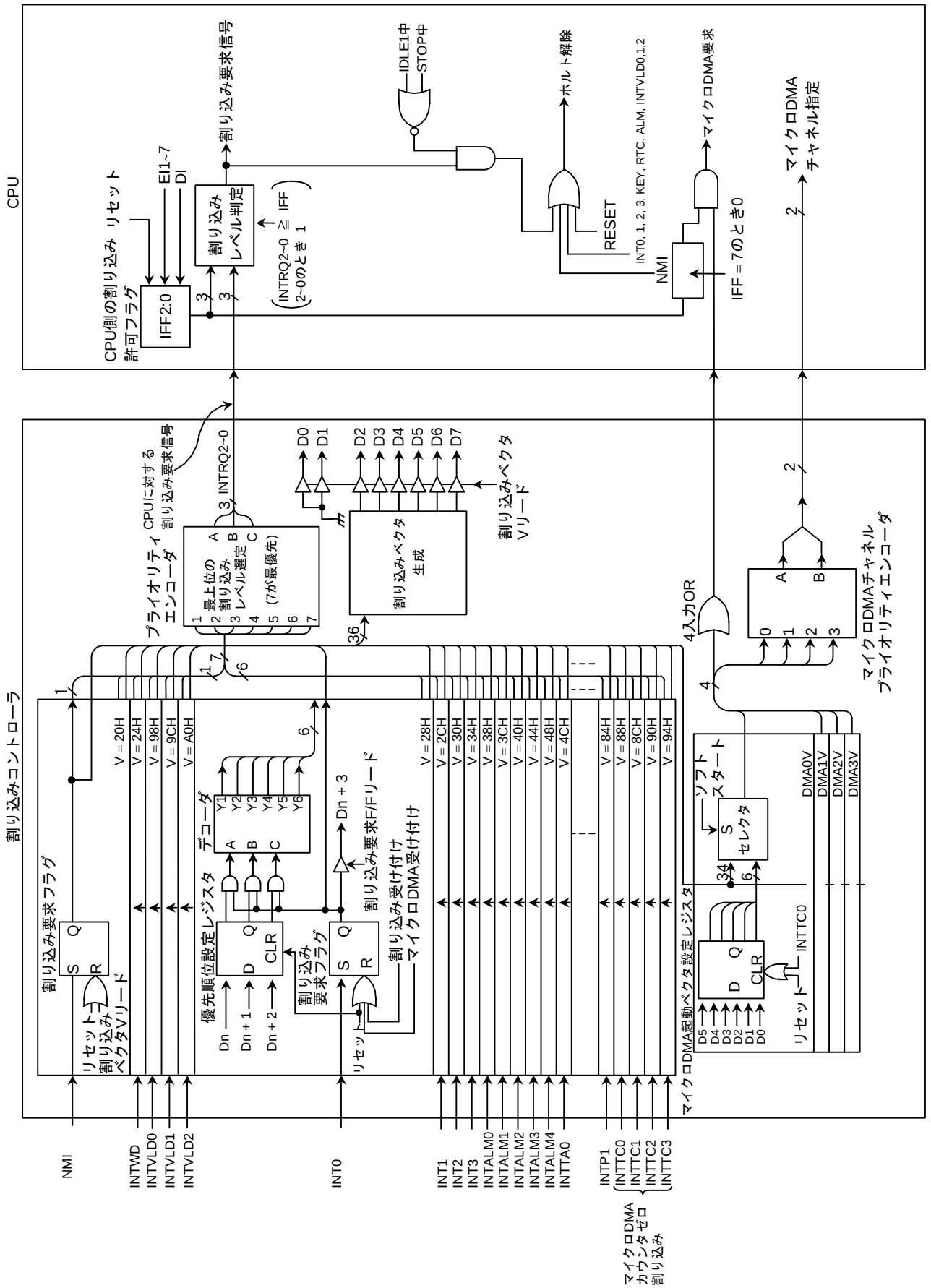


図 3.4.3 割り込みコントローラブロック図

割り込みレベル設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0	INT0 enable	90H					INT0			
							I0C	I0M2	I0M1	I0M0
							R		R/W	
							0	0	0	0
INTE12	INT1 & INT2 enable	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTE3ALM4	INT3 & INTALM4 enable	92H	INTALM4				INT3			
			IA4C	IA4M2	IA4M1	IA4M0	I3C	I3M2	I3M1	I3M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTEALM01	INTALM0 & INTALM1 enable	93H	INTALM1				INTALM0			
			IA1C	IA1M2	IA1M1	IA1M0	IA0C	IA0M2	IA0M1	IA0M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTEALM23	INTALM2 & INTALM3 enable	94H	INTALM3				INTALM2			
			IA3C	IA3M2	IA3M1	IA3M0	IA2C	IA2M2	IA2M1	IA2M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTETA01	INTTA0 & INTTA1 enable	95H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTETA23	INTTA2 & INTTA3 enable	96H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTERTCKEY	INTRTC & INTKEY enable	97H	INTKEY				INTRTC			
			IKC	IKM2	IKM1	IKM0	IRC	IRM2	IRM1	IRM0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0

割り込み要求フラグ

IxxM2	IxxM1	IxxM0	機能 (書き込み時)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを “1” に設定
0	1	0	割り込みレベルを “2” に設定
0	1	1	割り込みレベルを “3” に設定
1	0	0	割り込みレベルを “4” に設定
1	0	1	割り込みレベルを “5” に設定
1	1	0	割り込みレベルを “6” に設定
1	1	1	割り込み要求を禁止に設定

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTES0	Interrupt enable serial 0	98H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTES1	INTRX1 & INTTX1 enable	99H	INTTX1				INTRX1			
			ITXT1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTELCD	INTLCD enable	9AH	INTLCD							
			ILCD1C	ILCDM2	ILCDM1	ILCDM0				
			R		R/W					
			0	0	0	0				
INTETC01	INTTC0 & INTTC1 enable	9BH	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTETC23	INTTC2 & INTTC3 enable	9CH	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0
INTEP01	INTP0 & INTP1 enable	9DH	INTP1				INTP0			
			IP1C	IP1M2	IP1M1	IP1M0	IP0C	IP0M2	IP0M1	IP0M0
			R		R/W		R		R/W	
			0	0	0	0	0	0	0	0

割り込み要求フラグ

IxxM2	IxxM1	IxxM0	機能 (書き込み時)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを “1” に設定
0	1	0	割り込みレベルを “2” に設定
0	1	1	割り込みレベルを “3” に設定
1	0	0	割り込みレベルを “4” に設定
1	0	1	割り込みレベルを “5” に設定
1	1	0	割り込みレベルを “6” に設定
1	1	1	割り込み要求を禁止に設定

(2) 外部割り込みの制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
IIMC	Interrupt input mode control	8CH (RMW 禁)	–	–	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	NMIREE
			W							
			0	0	0	0	0	0	0	0
			"0" をライトしてください。	"0" をライトしてください。	INT3 エッジ 0: 立ち上がり 1: 立ち下がり	INT2 エッジ 0: 立ち上がり 1: 立ち下がり	INT1 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0: エッジ 1: レベル	1: $\overline{\text{NMI}}$ 立ち上がりでも動作

INT0 レベル許可

0	エッジ検知割り込み
1	"H" レベル割り込み

$\overline{\text{NMI}}$ 立ち上がりエッジ許可

0	立ち下がりエッジで割り込み要求発生
1	立ち上がり/立ち下がりエッジで割り込み要求発生

(3) 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLR レジスタに表 3.4.1のマイクロ DMA 起動ベクタを書くことで行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AHINT0 割込み要求フラグのクリア

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTCLR	Interrupt clear control	88H (RMW 禁)			CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
					W					
					0	0	0	0	0	0
					割り込みベクタ					

(4) マイクロ DMA 起動ベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが "0" になると、割り込みコントローラにそのチャネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャネル番号の小さい方が優先されます。

従って、2 チャネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャネル番号の小さいチャネルがマイクロ DMA 転送終了になるまで実行され、そのチャネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャネル番号の大きいチャネルに移行します (マイクロ DMA のチェーン)。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 start vector	80H			DMA0 起動ベクタ					
					DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
DMA1V	DMA1 start vector	81H			DMA1 起動ベクタ					
					DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
DMA2V	DMA2 start vector	82H			DMA2 起動ベクタ					
					DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
DMA3V	DMA3 start vector	83H			DMA3 起動ベクタ					
					DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0

(5) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行うことにより、1 回のマイクロ DMA 起動で、転送カウンタレジスタが “0” になるまで連続転送を行うことが可能です。DMAB レジスタのマイクロ DMA チャネルに対応するビットを “1” にすることで、バースト指定できます。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA software request register	89H					DMAR3	DMAR2	DMAR1	DMAR0
							R/W	R/W	R/W	R/W
							0	0	0	0
							1: DMA のソフトウエア要求			
DMAB	DMA burst register	8AH					DMAB3	DMAB2	DMAB1	DMAB0
							R/W			
							0	0	0	0
							1: DMA のバースト要求			

(6) 注意事項

CPU は、命令実行ユニットとバスインタフェースユニットが分かれています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令(注)を実行するということがあり得ます。この場合、CPU は要因消滅ベクタ "0008H" を読み込み、アドレス FFFF08H の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令を書き込むようにしてください。クリアする命令を実行した後、再び EI 命令で割り込みをイネーブルにするときは、クリア命令後必ず 1 命令以上間を置いてから EI 命令を実行してください。クリア命令後すぐに EI 命令を行うと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR 命令により割り込みマスクレベル (ステータスレジスタ SR の<IFF2:0>) を書き替えるときは、必ず DI 命令により割り込みを禁止した後に POP SR 命令を実行してください。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0 のレベルモード	エッジタイプの割り込みではないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更 (エッジ → レベル) を行った場合、以前の割り込み要求フラグは自動的にクリアされます。
	INT0 を "0" から "1" にすることによって CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INT0 を "1" のままにしておく必要があります。また、INT0 のレベルモードをホルトの解除に使用する場合も、一度 "0" から "1" にして、ホルトが解除されるまで必ず "1" に保持しておく必要があります。(ノイズによって途中で "0" が入ることのないようにしてください。) レベルモードからエッジモードへ切り替えたとき、レベルモードのときに受け付けた割り込み要求フラグはクリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。 DI LD (IIMC), 00H: レベルからエッジへ切り替える LD (INTCLR), 0AH: INT0 割り込み要求フラグをクリア NOP: EI の実行待ち EI
INTRX	割り込み要求用フリップフロップをクリアするには、リセット動作またはシリアルチャネルの受信バッファをリードする必要があります。命令によるクリアはできません。

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令
レベルモードでの割り込み要求発生後の端子入力変化 ("H" → "L")

INTRX: 受信バッファをリードする命令

3.5 ポート機能

合計 57 ビットの入出力ポートがあります。

また、これらのポート端子は汎用入出力ポート機能だけでなく、内部の CPU や内蔵 I/O の入出力機能と兼用になっています。表 3.5.1に各ポート端子の機能を、表 3.5.2に各端子の設定方法を示します。表 3.5.2での設定にはプルアップ/プルダウンの設定は表現されていません。

表 3.5.1 ポート機能

(R: PU/D = プログラマブルプルアップ/プルダウン抵抗付き,
PU = プログラマブルプルアップ抵抗付き,
PD = プログラマブルプルダウン抵抗付き)

ポート名	ピン名称	ピン数	方向	R	方向設定単位	内蔵機能用ピン名称
ポート 1	P10~P17	8	入出力	–	ビット	D8~D15
ポート 2	P20~P27	8	出力	–	(固定)	A16~A23
ポート 5	P52	1	入出力	PU/D	ビット	$\overline{HWR}$, INT3
	P53	1	入出力	PU	ビット	$\overline{WAIT}$, $\overline{EXWR}$
	P56	1	入出力	PU	ビット	R/$\overline{W}$, MSK
ポート 6	P60	1	入出力	PU	ビット	$\overline{CS0}$, LCLK0
	P61	1	入出力	PU	ビット	$\overline{CS1}$,
	P63	1	入出力	PU	ビット	$\overline{CS3}$, $\overline{RAS}$
	P64	1	入出力	PU	ビット	EA24, $\overline{CS2B}$
	P65	1	入出力	PU	ビット	EA25, $\overline{CS2C}$, LCLK2, VEECLK
	P66	1	入出力	PU	ビット	$\overline{UCAS}$, $\overline{UDS}$, $\overline{WE}$
	P67	1	入出力	PU	ビット	$\overline{LCAS}$, $\overline{LDS}$, $\overline{REFOUT}$
ポート 7	P70	1	入出力	PU	ビット	SCOUT, TA1OUT
	P71	1	入出力	PU	ビット	OPTTX0, $\overline{CS2D}$
	P72	1	入出力	PU/D	ビット	OPTRX0, $\overline{CS2E}$
	P73	1	入出力	PU	ビット	$\overline{DRAMOE}$, $\overline{EXRD}$
	P74	1	入出力	PU	ビット	$\overline{WE}$, $\overline{NMI}$, $\overline{CAS}$
ポート 9	P90~P97	8	入 力	PU	(固定)	KI0~KI7
ポート B	PB0	1	入出力	PU	ビット	VLD0
	PB1	1	入出力	PU	ビット	VLD1
	PB2	1	入出力	PU	ビット	VLD2
	PB3	1	入出力	PU	ビット	INT0
	PB4	1	入出力	PU/D	ビット	INT1
	PB5	1	入出力	PU/D	ビット	INT2
ポート C	PC3	1	入出力	PU	ビット	TXD1
	PC4	1	入出力	PU/D	ビット	RXD1
	PC5	1	入出力	PU/D	ビット	SCLK1, $\overline{CTS1}$
	PC6	1	入出力	–	ビット	XT1
	PC7	1	入出力	–	ビット	XT2
ポート D	PD0	1	入出力	PU	ビット	D1BSCP
	PD1	1	入出力	PU	ビット	D2BLP
	PD2	1	入出力	PU	ビット	D3BFR
	PD3	1	入出力	PU	ビット	DLEBCD
	PD4	1	入出力	PD	ビット	DOFFB
	PD6	1	入出力	PU	ビット	$\overline{MLDALM}$, $\overline{ALARM}$
	PD7	1	入出力	PU	ビット	MLDALM

表 3.5.2 I/O ポート設定一覧表 (1/2)

ポート	端子名	仕様	I/O レジスタ設定値				
			Pn	PnCR	PnFC	PnFC2	PnFC3
ポート 1 (注 1)	P10~P17	入力ポート	X	0	–	–	–
		出力ポート	X	1	–	–	–
		D8~D15 バス	X	X	–	–	–
ポート 2	P20~P27	出力ポート	X	–	0	–	–
		A16~A23 出力	X	–	1	–	–
ポート 5	P52, P53, P56	入力ポート	X	0	0	X	–
		出力ポート	X	1	0	X	–
	P52	$\overline{\text{HWR}}$ 出力	X	1	1	0	–
		INT3 入力	X	0	X	1	–
	P53	$\overline{\text{WAIT}}$ 入力 (注 2)	–	–	–	–	–
		$\overline{\text{EXWR}}$ 出力	X	1	1	–	–
	P56	R/$\overline{\text{W}}$ 出力	X	1	1	–	–
		MSK 入力 (注 3)	X	X	X	論理選択	–
ポート 6	P60, P61, P63~P67	入力ポート	X	0	0	0	0
		出力ポート	X	1	0	0	0
	P60	$\overline{\text{CS0}}$ 出力 (注 10)	X	1	1	–	0
		LCLK0 出力 (注 10)	X	1	1	–	1
	P61	$\overline{\text{CS1}}$ 出力	X	1	1	0	0
		$\overline{\text{CS2}}$ 出力	X	1	0	–	–
		$\overline{\text{CS2A}}$ 出力	X	1	1	–	–
	P63	$\overline{\text{CS3}}$ 出力 (注 14)	X	1	1	0	–
		$\overline{\text{RAS}}$ 出力 (注 14)	X	1	1	0	–
	P64	EA24 出力	X	1	1	0	–
		$\overline{\text{CS2B}}$ 出力	X	1	X	1	–
	P65	EA25 出力	X	1	1	0	0
		$\overline{\text{CS2C}}$ 出力 (注 5), (注 11)	X	1	X	1	0
		VEECLK 出力 (注 5)	X	1	X	X	0
		LCLK2 出力 (注 11)	X	1	X	1	1
	P66	$\overline{\text{UCAS}}$ 出力 (注 6)	X	1	1	0	–
		$\overline{\text{UDS}}$ 出力	X	1	X	1	–
		$\overline{\text{WE}}$ 出力 (注 6)	X	1	1	0	–
	P67	$\overline{\text{LCAS}}$ 出力 (注 7)	X	1	1	0	–
		$\overline{\text{LDS}}$ 出力	X	1	X	1	–
		$\overline{\text{REFOUT}}$ 出力 (注 7)	X	1	1	0	–
ポート 7	P70~P74	入力ポート	X	0	0	0	–
		出力ポート	X	1	0	0	–
	P70	SCOUT 出力	X	1	X	1	–
		TA1OUT 出力	X	1	1	0	–
	P71	OPTTX0 出力 (注 4)	X	1	X	1	–
		$\overline{\text{CS2D}}$ 出力	X	1	1	0	–
	P72	OPTRX0 入力 (注 4)	X	0	0	–	–
		$\overline{\text{CS2E}}$ 出力	X	1	1	–	–
	P73	$\overline{\text{DRAMOE}}$ 出力	X	1	X	1	–
		$\overline{\text{EXRD}}$ 出力	X	1	1	0	–
	P74	$\overline{\text{WE}}$ 出力 (注 8)	X	1	X	1	–
		$\overline{\text{NMI}}$ 入力	X	0	1	X	–
		$\overline{\text{CAS}}$ 出力 (注 8)	X	1	X	1	–

X: Don't care

表 3.5.3 I/O ポート設定一覧表 (2/2)

ポート	端子名	仕様	I/O レジスタ設定値				
			Pn	PnCR	PnFC	PnFC2	PnFC3
ポート 9	P90~P97	入力ポート	X	–	0	–	–
		KI0~KI7 入力	X	–	1	–	–
ポート B	PB0~PB5	入力ポート	X	0	0	–	–
		出力ポート	X	1	0	–	–
	PB0	VLD0 入力 (注 12)	X	0	–	–	–
	PB1	VLD1 入力 (注 12)	X	0	–	–	–
	PB2	VLD2 入力 (注 12)	X	0	–	–	–
	PB3	INT0 入力	X	0	1	–	–
	PB4	INT1 入力	X	0	1	–	–
	PB5	INT2 入力	X	0	1	–	–
ポート C	PC3~PC5	入力ポート	X	0	0	–	–
	PC6, PC7	出力ポート	X	1	0	–	–
	PC3	TXD1 出力 (注 4)	X	1	1	–	–
	PC4	RXD1 入力 (注 4)	X	0	–	–	–
	PC5	SCLK1 入力 (注 4), (注 13)	X	0	0	–	–
		SCLK1 出力 (注 4), (注 13)	X	1	1	–	–
		$\overline{\text{CTS1}}$ 入力 (注 4), (注 13)	X	0	0	–	–
	PC6	XT1 入力 (注 9)	X	X	X	–	–
	PC7	XT2 出力 (注 9)	X	X	X	–	–
ポート D	PD0~PD7	入力ポート	X	–	0	–	–
		出力ポート	X	0	0	–	–
	PD0	D1BSCP 出力	X	1	1	–	–
	PD1	D2BLP 出力	X	1	1	–	–
	PD2	D3BFR 出力	X	1	1	–	–
	PD3	DLEBCD 出力	X	1	1	–	–
	PD4	DOFFB 出力	X	1	1	–	–
	PD6	$\overline{\text{MLDALM}}$ 出力	1	1	1	–	–
		$\overline{\text{ALARM}}$ 出力	0	1	1	–	–
	PD7	MLDALM 出力	X	1	1	–	–

X: Don't care

注 1) ポート 1 は、AM1, AM0 端子の設定によりポートかデータバスのどちらかのみしか使用できません。

注 2) WAIT 入力として使用する場合は、BxCS にて (1 + N) ウェイトの設定が必要です。

注 3) P56/MSK を MSK 入力として使用する場合、P5FC2<P56F2> にて論理選択できます。

注 4) SIO0, SIO1 の入出力端子: OPTRX0, OPTTX0, TXD1, RXD1, SCLK1, $\overline{\text{CTS1}}$ は、出力データまたは入力データの論理選択を各ポートの出力ラッチレジスタ Pn で設定できます。

注 5) P65F2D と P65F2 を同時に書き込んだ場合は P65F2D (VEECLK) が優先されます。

注 6) $\overline{\text{UCAS}}$ と $\overline{\text{WE}}$ の切り替えは CS/WAIT 制御で 8, 16 ビットの切り替えにて自動的に設定されます。

注 7) $\overline{\text{LCAS}}$ と $\overline{\text{REFOUT}}$ の切り替えは CS/WAIT 制御で 8, 16 ビットの切り替えにて自動的に設定されます。

注 8) $\overline{\text{WE}}$ と $\overline{\text{CAS}}$ の切り替えは CS/WAIT 制御で 8, 16 ビットの切り替えにて自動的に設定されます。

注 9) XT1 と XT2 の発振端子への制御は SYSCR0 の XTEN のビットにて制御され、このビットの制御が優先されます。
PC6~PC7 を出力ポートとして使用する場合、オープンドレイン出力バッファとなります。

注 10) $\overline{\text{CS0}}$ と LCLK の切り替えは CS/WAIT 制御の P6FC3<P60F3> にて設定します。

注 11) $\overline{\text{CS2C}}$ と LCLK への切り替えは P6FC3<P65F3> にて設定します。

注 12) VLD0~VLD2 は 3 端子のうち、1 端子でも VLD として使用した場合、残りの端子は出力機能はできません。VLD 入力として使用するか、汎用入力端子としてしか使用できません。また、この VLD の設定は VLD 制御の VLDCTL<VLD*USE> にて切り替えます。

注 13) SCLK と $\overline{\text{CTS}}$ の切り替えは SC1MOD0<CTSE> にて設定します。

注 14) $\overline{\text{CS3}}$ と $\overline{\text{RAS}}$ の切り替えは CS/WAIT 制御で DRAM/ROM 選択にて自動的に設定されます。

3.5.1 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P1CR によって行います。リセット動作により、P1CR の全ビットは “0” にリセットされ、ポート 1 は、入力モードになります。

汎用入出力ポート機能以外に、データバス (D8~D15) 機能があります。

なお、AM1 端子が “0”、AM0 端子が “1” の場合 (外部 16 ビットデータバス)、P1CR の設定値に関係なく常に (D8~D15) として機能します。

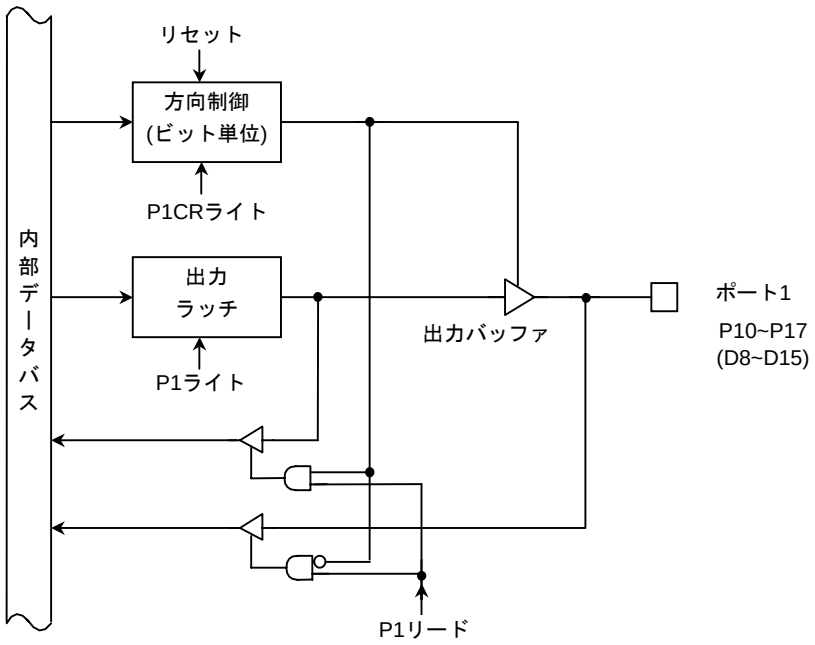


図 3.5.1 ポート 1

3.5.2 ポート 2 (P20~P27)

ポート 2 は、8 ビットの出力ポートです。

出力ポート機能以外に、アドレスバス (A16~A23) 機能があります。この指定は、P2FC レジスタによって行います。ビット単位で出力ポートとアドレスバス出力の選択が可能です。

リセット動作により、P2FC の全ビットは “1” にセットされアドレスバス (A16~A23) として機能します。

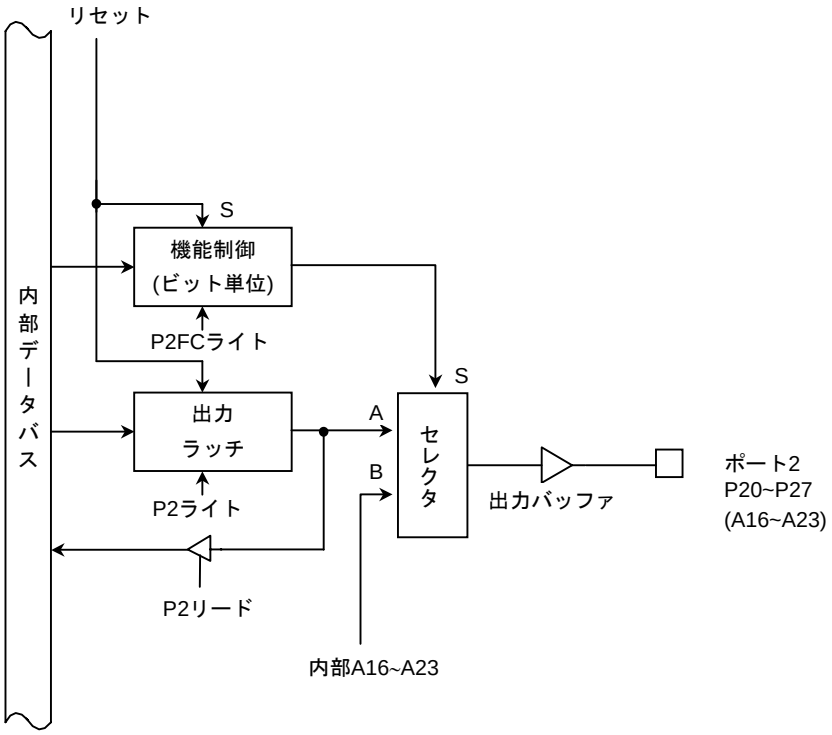


図 3.5.2 ポート 2

ポート 1 レジスタ

P1 (0001H)

	7	6	5	4	3	2	1	0
Bit symbol	P17	P16	P15	P14	P13	P12	P11	P10
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは “0” にクリアされます。)							

ポート 1 コントロールレジスタ

P1CR (0004H)

	7	6	5	4	3	2	1	0
Bit symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
Read/Write	W							
リセット後	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
機　能	0: 入力 1: 出力							

ポート 1 の入力/出力設定

0	入力
1	出力

ポート 2 レジスタ

P2 (0006H)

	7	6	5	4	3	2	1	0
Bit symbol	P27	P26	P25	P24	P23	P22	P21	P20
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

ポート 2 ファンクションレジスタ

P2FC (0009H)

	7	6	5	4	3	2	1	0
Bit symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
Read/Write	W							
リセット後	1	1	1	1	1	1	1	1
機　能	0: ポート 1: アドレスバス(A23~A16)							

注)　P1CR, P2FC はリードモディファイライトできません。

図 3.5.3 ポート 1, 2 関係のレジスタ

3.5.3 ポート 5 (P52, P53, P56)

ポート 5 は、ビット単位で入出力の設定ができる 3 ビットの汎用入出力ポートです。

入出力切り替えおよび抵抗の指定は、P5CR, P5FC, P5FC2, P5UDE によって行います。

ポート機能以外に、P52 に $\overline{\text{HWR}}$ 出力と INT3 入力, P53 に $\overline{\text{WAIT}}$ 入力と $\overline{\text{EXWR}}$ 出力, P56 に R/$\overline{\text{W}}$ 出力と MSK 入力機能がそれぞれあります。

リセット動作により、出力ラッチ P5 の全ビット、および P5UDE のビット 3, 5 が “1” にセットされ、P5CR, P5FC, P5FC2 の全ビット、および P5UDE のビット 0, 1 は “0” にリセットされます。よって P52, P53, P56 はプルアップ抵抗付きの入力モードになります。

ポート P52 の INT3 外部割り込み入力は、外部割り込みのエッジ選択を割り込みコントローラ部にある IIMC レジスタにて設定します。

汎用入出力ポート以外に、CPU のコントロール/ステータス信号の入出力機能があります。

なお、$\overline{\text{RD}}$ 端子の $\overline{\text{RD}}$ ストローブは、P5<RDE> レジスタを “0” にクリアすると内部アドレスエリアをアクセスするときでも出力され (擬似スタティック RAM 用)、“1” にセットされたままだと、外部アドレスエリアをアクセスしたときのみ $\overline{\text{RD}}$ ストローブは出力されます。

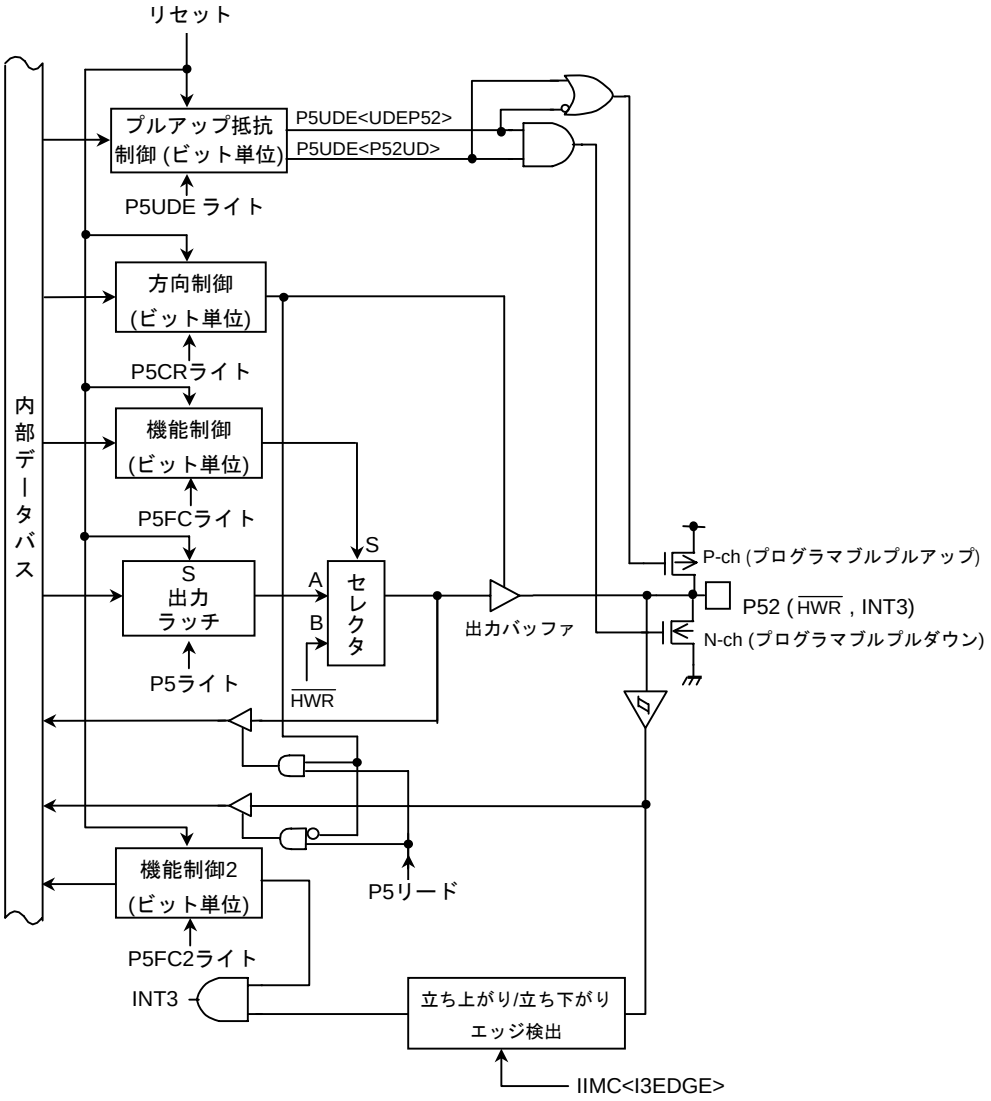
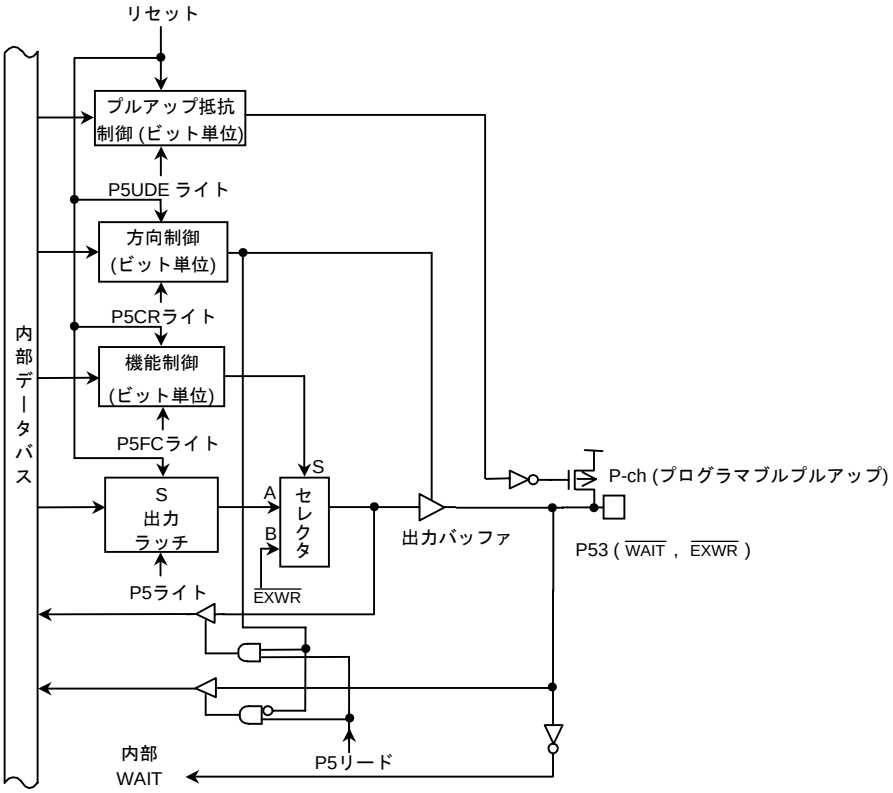


図 3.5.4 ポート 5 (P52)



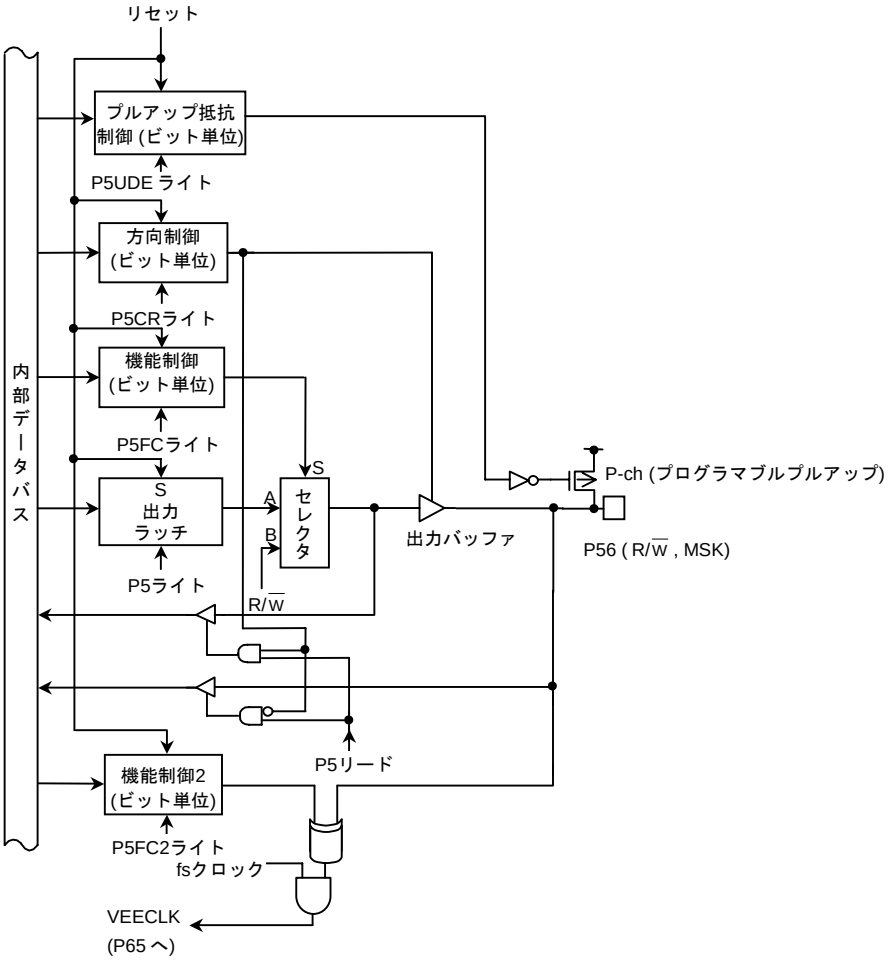


図 3.5.5 ポート 5 (P53, P56)

ポート 5 レジスタ

P5 (000DH)

	7	6	5	4	3	2	1	0
Bit symbol		P56			P53	P52		RDE
Read/Write		R/W			R/W			R/W
リセット後		外部端子データ (出力ラッチレジスタは “1” にセットされます。)			外部端子データ (出力ラッチレジスタは “1” にセットされます。)			外部端子データ (出力ラッチレジスタは “1” にセットされます。)

ポート 5 コントロールレジスタ

P5CR (000AH)

	7	6	5	4	3	2	1	0
Bit symbol		P56C			P53C	P52C		
Read/Write		W			W			
リセット後		0			0	0		
機　能		0: 入力 1: 出力			0: 入力 1: 出力			

入力/出力設定

0	入力
1	出力

ポート 5 ファンクションレジスタ

P5FC (000BH)

	7	6	5	4	3	2	1	0
Bit symbol		P56F			P53F	P52F		
Read/Write		W			W			
リセット後		0			0	0		
機　能		0: ポート 1: R/$\overline{W}$			0: ポート 1: $\overline{EXWR}$	0: ポート 1: $\overline{HWR}$		

ポート 5 ファンクションレジスタ 2

P5FC2 (000CH)

	7	6	5	4	3	2	1	0
Bit symbol		P56F2				P52F2		
Read/Write		W				W		
リセット後		0				0		
機　能		MSK 論理選択 0: “1” で CLK 1: “0” で CLK				0: <P52F> 1: INT3		

プルアップ抵抗制御レジスタ

P5UDE (000EH)

	7	6	5	4	3	2	1	0
Bit symbol		P56U			P53U	UDEP52	P52UD	
Read/Write		W			W			
リセット後		1			1	1	0	
機　能		プルアップ抵抗 0: 禁止 1: 許可			プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	0: プルアップ 1: プルダウン	

注 1) P5CR, P5FC, P5FC2, P5UDE はリードモディファイライトできません。

注 2) P53, $\overline{WAIT}$ 端子を $\overline{WAIT}$ 端子として使用する場合は、P5CR<P53C> を “0” に、チップセレクト/ウェイトコントロールレジスタの<BnW2:0> を “010” に設定する必要があります。

図 3.5.6 ポート 5 関係のレジスタ

3.5.4 ポート 6 (P60、P61、P63~P67)

ポート 6 は、7 ビットの入出力ポートです。入出力ポート機能以外に、標準チップセレクト信号出力機能 ($\overline{CS0}$, $\overline{CS1}$, $\overline{CS3}$)、拡張アドレス出力機能 (EA24, EA25)、拡張チップセレクト信号出力機能 ($\overline{CS2B}$, $\overline{CS2C}$)、LCD ドライバ用昇圧クロック (VEECLK) 出力、SRLCD ドライバのコマンド (表示濃度などを制御する特殊な信号: LCLK) チップセレクト信号出力機能、DRAM アクセス($\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$, $\overline{LCAS}$, $\overline{UCAS}$, $\overline{REFOUT}$)出力機能、および外部 RAM ($\overline{LDS}$, $\overline{UDS}$) 選択出力機能があります。これらの設定は P6FC, P6FC2 によって行います。リセット動作により、P6CR, P6FC, P6FC2 および P6UE のビット 3, 6, 7 が "0" にリセットされ、P6UE のビット 0, 1, 4, 5 が "1" にセットされます。よって、P63, P66, P67 が抵抗なしの入力モードになり、P60, P61, P64, P65 がプルアップ抵抗付きの入力モードになります。

なお、$\overline{CS2}$ 出力と $\overline{CS2A}$ 出力の切り替えは P6FC<P62F> にて行います。(この端子には、プルアップ抵抗およびポート機能はありません。)

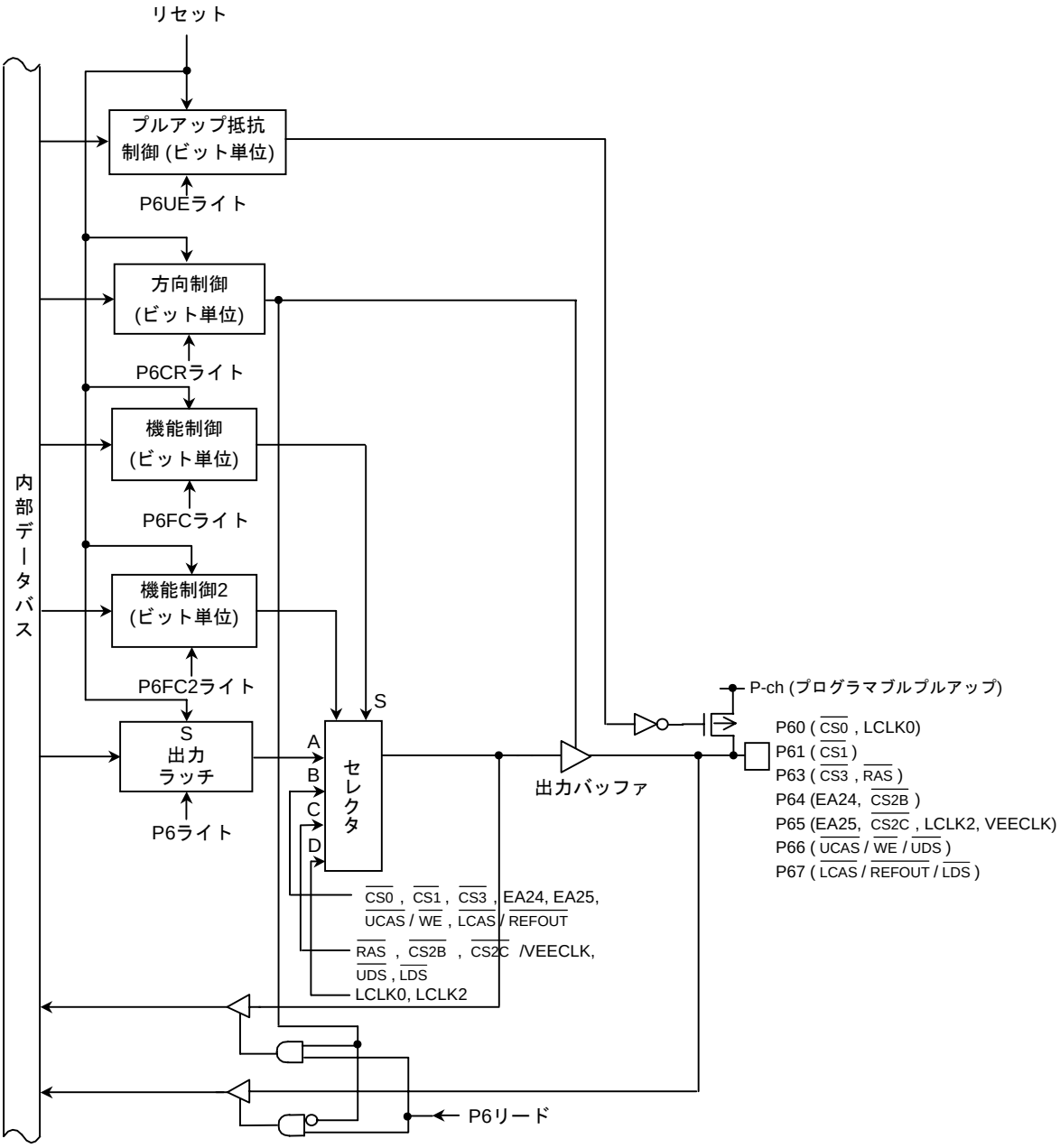


図 3.5.7 ポート 6

ポート 6 レジスタ

P6 (0012H)

	7	6	5	4	3	2	1	0
Bit symbol	P67	P66	P65	P64	P63		P61	P60
Read/Write	R/W						R/W	
リセット後	外部端子データ (出力ラッチレジスタは “1” にセットされます。)						外部端子データ (出力ラッチレジスタは “1” にセットされます。)	

ポート 6 コントロールレジスタ

P6CR (0014H)

	7	6	5	4	3	2	1	0
Bit symbol	P67C	P66C	P65C	P64C	P63C		P61C	P60C
Read/Write	W						W	
リセット後	0	0	0	0	0		0	0
機　能	0: 入力　1: 出力						0: 入力　1: 出力	

ポート 6 ファンクションレジスタ

P6FC (0015H)

	7	6	5	4	3	2	1	0
Bit symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	0: ポート 1: $\overline{LCAS}$ または $\overline{REFOUT}$	0: ポート 1: $\overline{UCAS}$ または $\overline{WE}$	0: ポート 1: EA25	0: ポート 1: EA24	0: ポート 1: $\overline{CS3}$ または $\overline{RAS}$	0: $\overline{CS2}$ 1: $\overline{CS2A}$	0: ポート 1: $\overline{CS1}$	0: ポート 1: $\overline{CS0}$

ポート 6 ファンクションレジスタ 2

P6FC2 (001BH)

	7	6	5	4	3	2	1	0
Bit symbol	P67F2	P66F2	P65F2	P64F2	–	P65F2D		
Read/Write	W							
リセット後	0	0	0	0	0	0		
機　能	0: <P67F> 1: $\overline{LDS}$	0: <P66F> 1: $\overline{UDS}$	0: <P65F> 1: $\overline{CS2C}$	0: <P64F> 1: $\overline{CS2B}$	“0” をライトしてください。	0: <P65F2> 1: VEECLK		

ポート 6 ファンクションレジスタ 2

P6UE (0018H)

	7	6	5	4	3	2	1	0
Bit symbol	P67U	P66U	P65U	P64U	P63U		P61U	P60U
Read/Write	W						W	
リセット後	0	0	1	1	0		1	1
機　能	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可		プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可

ポート 6 ファンクションレジスタ 3

P6FC3 (0010H)

	7	6	5	4	3	2	1	0
Bit symbol			P65F3				–	P60F3
Read/Write			W				W	W
リセット後			0				0	0
機　能			0: ノーマル 1: $\overline{CS2C}$ と $\overline{WR}$ の OR 信号 (LCLK2)				“0” をライトしてください。	0: ノーマル 1: $\overline{CS0}$ と $\overline{WR}$ の OR 信号 (LCLK0)

注 1)　P6CR, P6FC, P6FC2, P6FC3, P6UE はリードモディファイライトできません

注 2)　P63 の $\overline{CS3}$ と $\overline{RAS}$ 機能の切り替えは、チップセレクト, ウェイトコントロールレジスタ B3CS<B3OM1:0> の設定を DRAM 用に設定することで切り替わります。

図 3.5.8 ポート 6 関係のレジスタ

3.5.5 ポート 7 (P70~P74)

ポート 70~74 はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。リセット動作により、入力ポートとなります。

また、出力ラッチレジスタの全ビットは “1” へセットされます。

入出力ポート以外に

1. 8 ビットタイマ出力機能 (TA1OUT)
2. 内部クロック出力端子機能 (SCOUT)
3. IrDA 専用端子機能 (OPTRX0, OPTTX0)
4. 拡張チップセレクト出力機能 ($\overline{\text{CS2E}}$, $\overline{\text{CS2D}}$)
5. DRAM コントロール出力機能 ($\overline{\text{WE}}$, $\overline{\text{CAS}}$, $\overline{\text{DRAMOE}}$)
6. 拡張リード信号出力 ($\overline{\text{EXRD}}$)
7. ノンマスカブル割り込み要求端子 ($\overline{\text{NMI}}$)

があります。

これらの機能はポート 7 ファンクションレジスタ P7FC, P7FC2 の該当ビットへ “1” を書き込むことにより各ファンクションが可能となります。

リセット動作により、P7CR, P7FC, P7FC2 の値は “0” にリセットされ、全ビットが入力ポートとなります。

(1) ポート 70 (TA1OUT, SCOUT)

ポート 70 は入出力ポート以外に 8 ビットタイマ出力端子 TA1OUT、内部クロックを出力する SCOUT 出力端子としての機能を持っています。P7FC<P70F> に “1” を書き込むことにより TA1OUT 端子に、P7FC2<P70F2> に “0” を書き込むことにより SCOUT 端子に設定されます。

また、P7UDE<P70U> に “1” を書き込むことによりプルアップ抵抗が付加されます。リセット動作により P70 はプルアップ抵抗なしの入力モードになります。

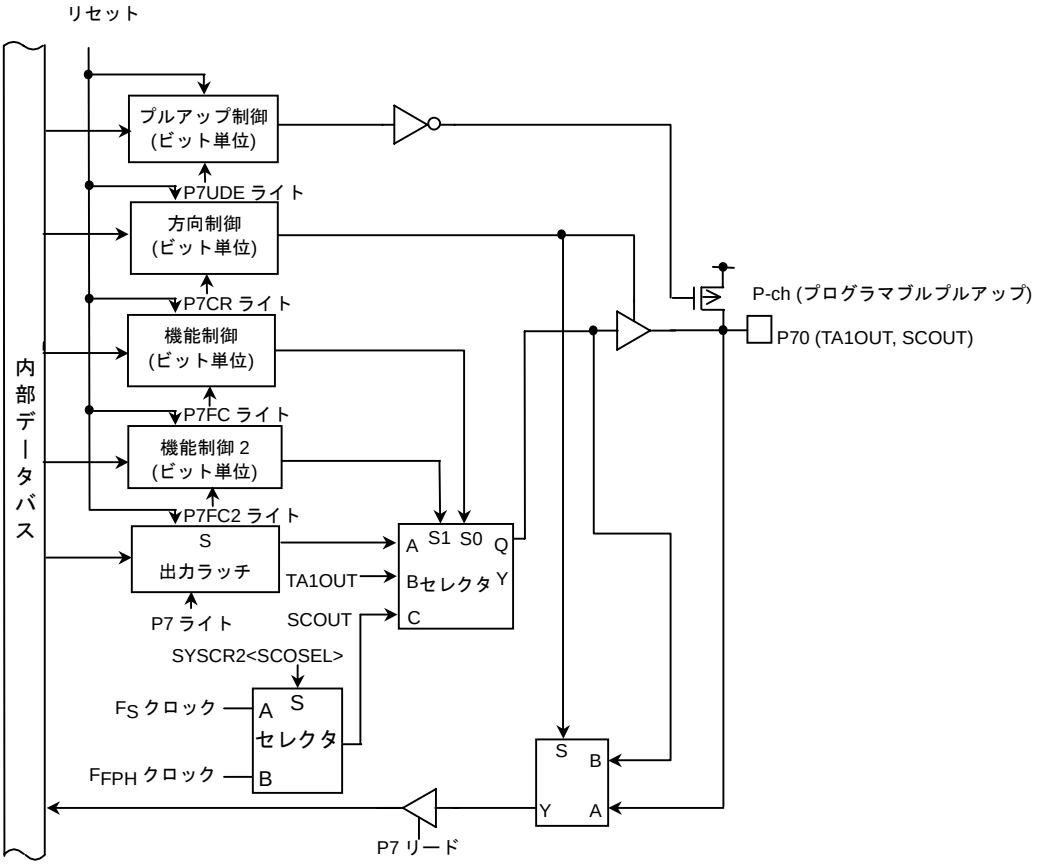


図 3.5.9 ポート 70

(2) ポート 71 ($\overline{CS2D}$,OPTTX0)

ポート 71 は入出力ポート以外に、拡張チップセレクト信号出力機能（$\overline{CS2D}$）があります。また SIO0 を IrDA モードで使用した際の OPTTX0 送信端子の機能を持ちます。OPTTX0 端子として使用する際には、P7<P71> により論理反転出力可能です。

P7UDE<P71U> に “1” を書き込むことにより、プルアップ抵抗が付加されます。リセット動作により P71 はプルアップ抵抗なしの入力モードになります。

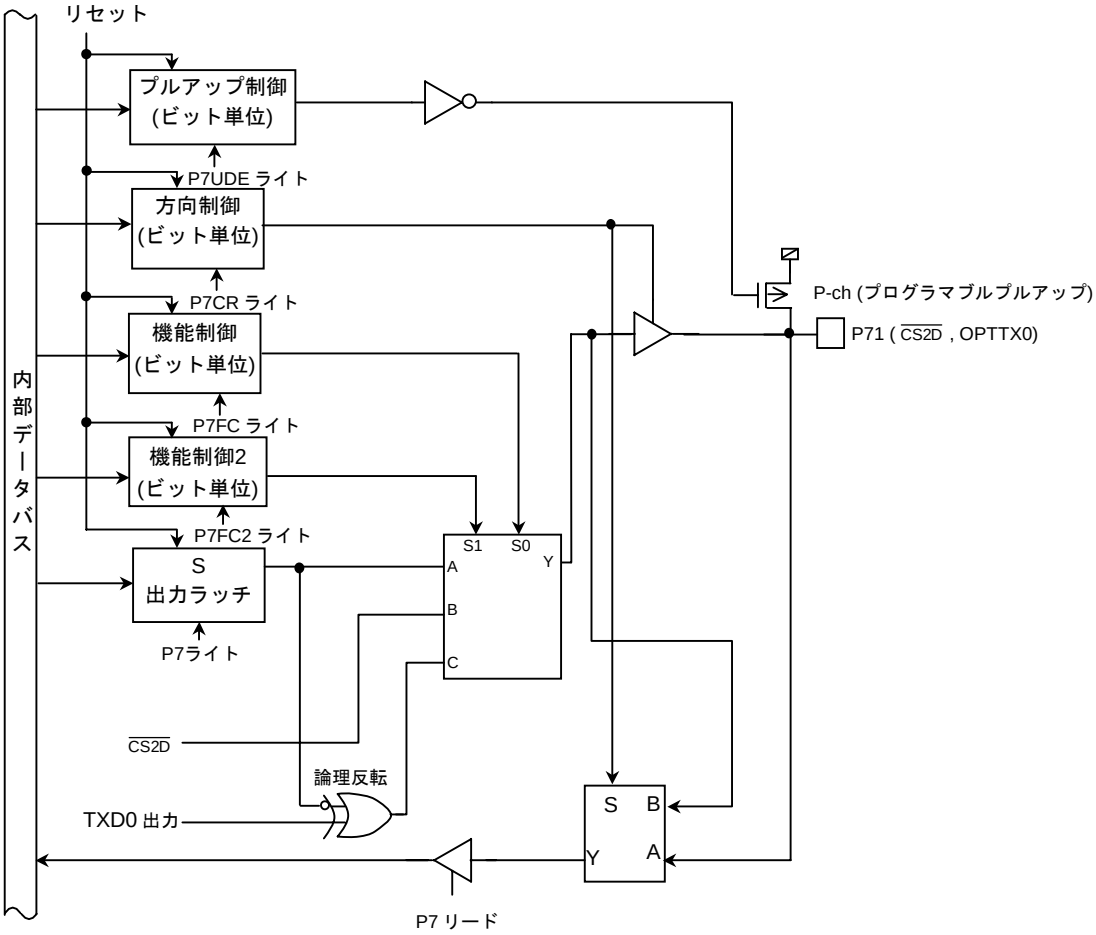


図 3.5.10 ポート 71

(3) ポート 72 ($\overline{CS2E}$,OPTRX0)

ポート 72 は入出力ポート以外に拡張チップセレクト信号出力機能 ($\overline{CS2E}$) があります。また、SIO0 を IrDA モードで使用した際の OPTRX0 受信端子の機能を持ちます。OPTRX0 端子として使用する際には、P7<P72> により論理反転入力が可能です。

P72 にはプルアップ抵抗もしくはプルダウン抵抗の接続が可能です。P7UDE<UDEP72> に "1" を書き込むことにより抵抗の接続がイネーブルとなり、P7UDE<P72UD> によりプルアップ抵抗とプルダウン抵抗の選択を設定します。リセット動作により P72 はプルアップ抵抗、プルダウン抵抗なしの入力モードになります。

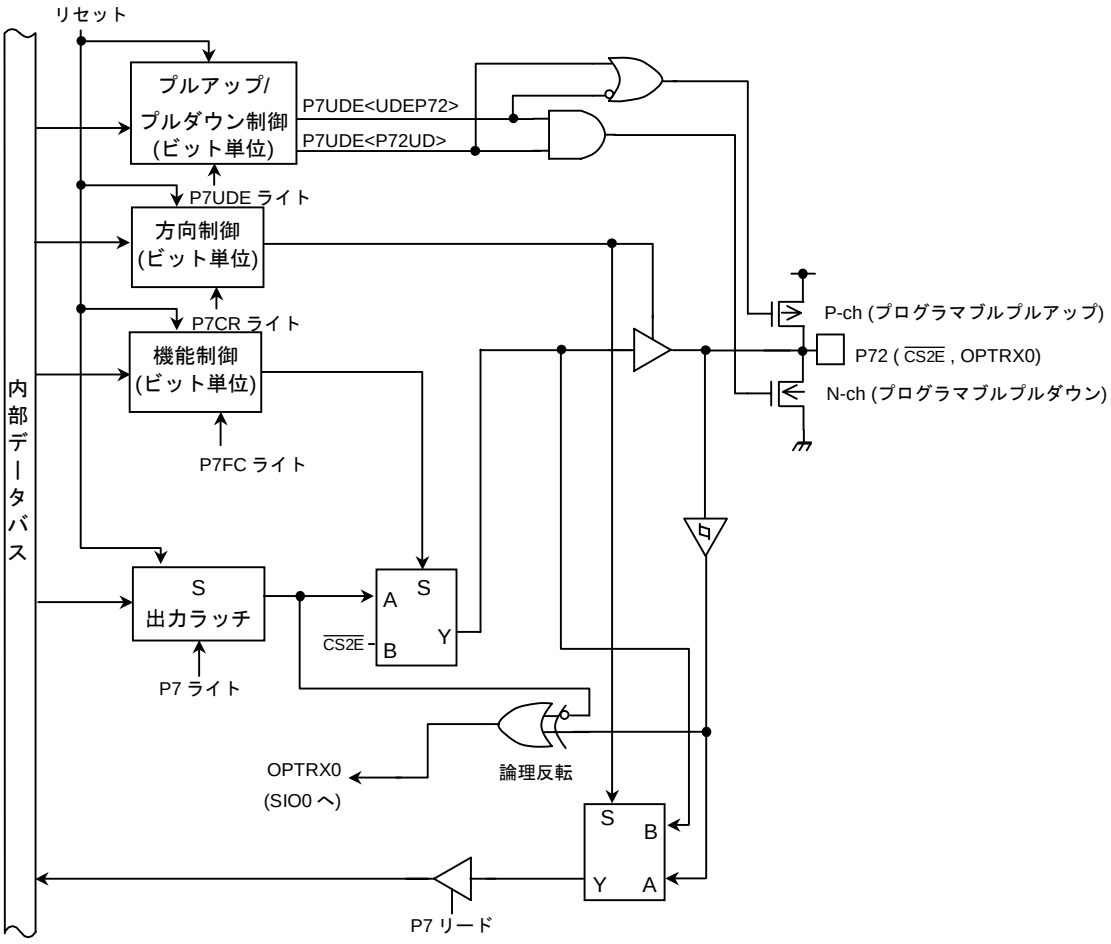


図 3.5.11 ポート 72

(4) ポート 73（$\overline{\text{EXRD}}$, $\overline{\text{DRAMOE}}$）

ポート 73 は入出力ポート以外に DRAM コントロール信号出力（$\overline{\text{DRAMOE}}$）と拡張リード信号出力（$\overline{\text{EXRD}}$）機能があります。拡張リード信号出力 $\overline{\text{EXRD}}$ は、$\overline{\text{RD}}$ 出力信号と同一のタイミングで出力されます。

また、P7UDE<P73U> に “1” を書き込むことにより、プルアップ抵抗を接続することが可能です。リセット動作により P73 はプルアップ抵抗付きの入力モードとなります。

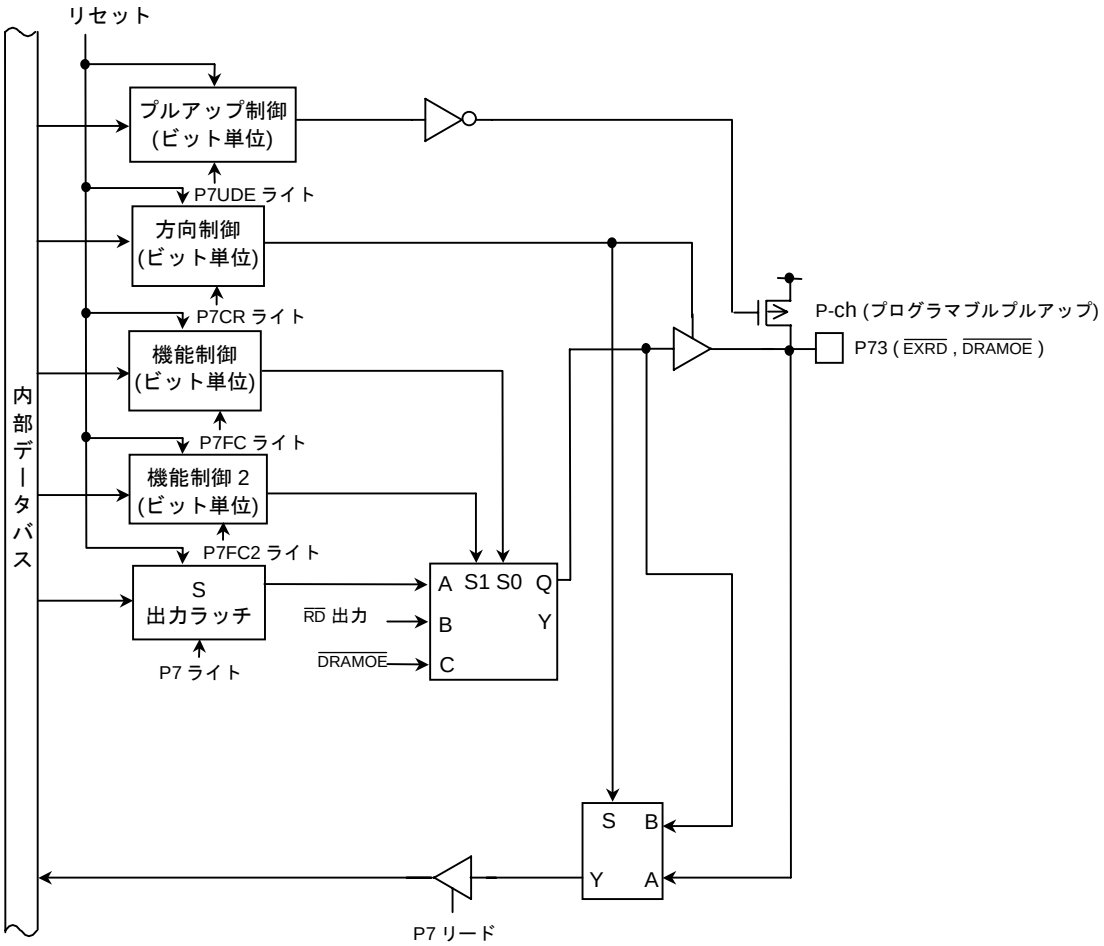


図 3.5.12 ポート 74

(5) ポート 74 ($\overline{NMI}$, $\overline{WE}$, $\overline{CAS}$)

ポート 74 は入出力ポート以外に、$\overline{NMI}$ 入力端子、DRAM コントロール信号出力 ($\overline{WE}$, $\overline{CAS}$) 機能があります。$\overline{NMI}$ 端子の設定は、P7FC<P74F> にて行います。<P74F> に "1" を書き込むことにより $\overline{NMI}$ 入力端子になります。このビットはコントロールレジスタ (P7CR<P74C>) の値よりも優先されます。また、$\overline{NMI}$ 端子の設定は 1 回のみですので、一度 $\overline{NMI}$ 端子に設定した後、汎用ポートへの切り替えはできません。

また、P7UDE<P74U> に "1" を書き込むことによりプルアップ抵抗が接続されます。リセット動作により、P74 はプルアップ抵抗付きの入力モードとなります。

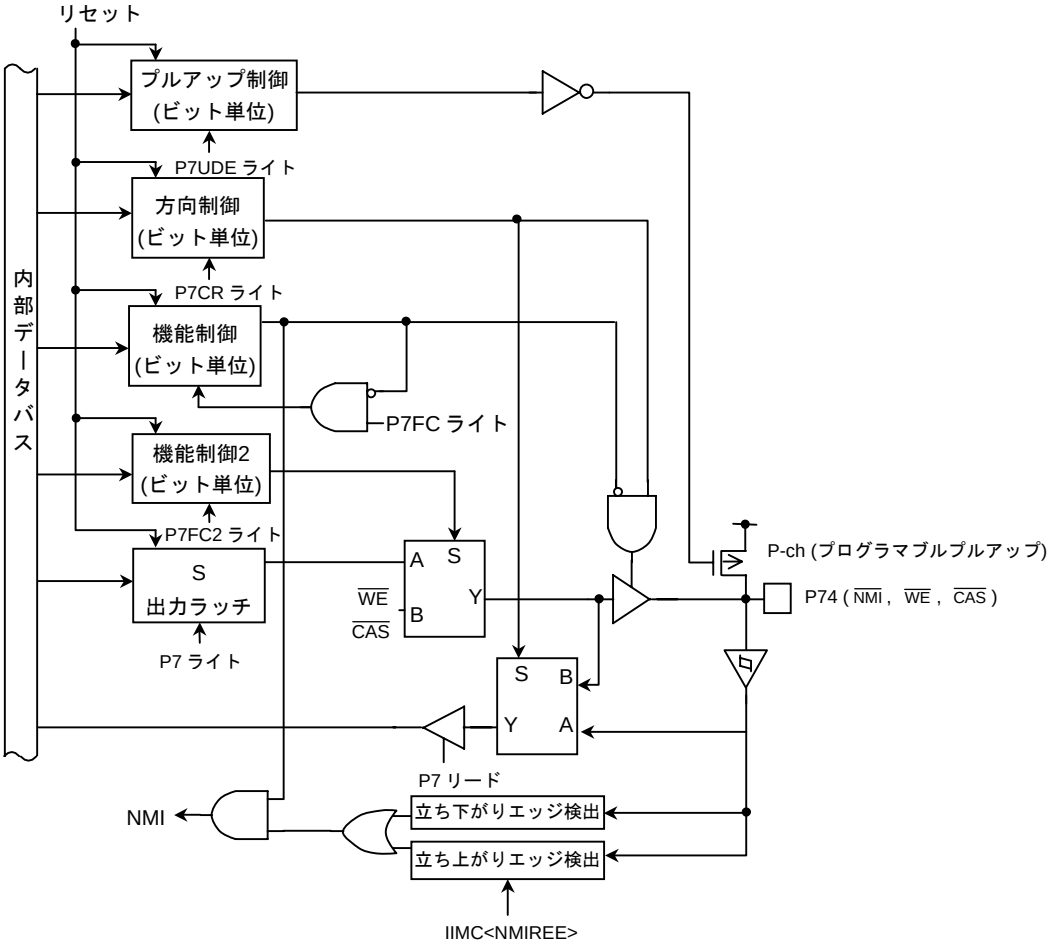


図 3.5.13 ポート 74

ポート 7 レジスタ

P7 (0013H)

	7	6	5	4	3	2	1	0
Bit symbol				P74	P73	P72	P71	P70
Read/Write				R/W				
リセット後				外部端子データ (出力ラッチレジスタは “1” にセットされます。)				

ポート 7 コントロールレジスタ

P7CR (0016H)

	7	6	5	4	3	2	1	0
Bit symbol				P74C	P73C	P72C	P71C	P70C
Read/Write				W				
リセット後				0	0	0	0	0
機　能				0: 入力　1: 出力				

ポート 7 ファンクションレジスタ

P7FC (0017H)

	7	6	5	4	3	2	1	0
Bit symbol				P74F	P73F	P72F	P71F	P70F
Read/Write				W				
リセット後				0	0	0	0	0
機　能				0: ポート 1: $\overline{NMI}$	0: ポート 1: $\overline{EXRD}$ 出力	0: ポート 1: $\overline{CS2E}$ 出力	0: ポート 1: $\overline{CS2D}$ 出力	0: ポート 1: TA1OUT 出力

ポート 7 ファンクションレジスタ 2

P7FC2 (001CH)

	7	6	5	4	3	2	1	0
Bit symbol				P74F2	P73F2		P71F2	P70F2
Read/Write				W	W		W	W
リセット後				0	0		0	0
機　能				0:<P74F> 1: $\overline{WE}$, $\overline{CAS}$ 出力	0: <P73F> 1: $\overline{DRAMOE}$		0: <P71F> 1: OPTTX0 出力	0: <P70F> 1: SCOUT 出力

ポート 7 プルアップ抵抗/プルダウン抵抗制御レジスタ

P7UDE (001FH)

	7	6	5	4	3	2	1	0
Bit symbol			P72UD	P74U	P73U	UDEP72	P71U	P70U
Read/Write			W					
リセット後			0	1	1	0	0	0
機　能			0: プルアップ 1: プルダウン	プルアップ抵抗 0: 禁止 1: 許可		0: 抵抗なし 1: 抵抗付加	プルアップ抵抗 0: 禁止 1: 許可	

注)　P7CR, P7FC, P7FC2, P7UDOE はリードモディファイライトできません。

図 3.5.14 ポート 7 関係のレジスタ

3.5.6 ポート 9 (P90~P97)

ポート 90~97 は 8 ビットの入力ポートです。プルアップ抵抗は P9UE で制御します。

入力ポート以外にキーボードインタフェース端子としてキーオンウェイクアップ機能があります。この機能は P9FC の該当ビットへ “1” を書き込むことにより可能となります。

リセット動作により、P9FC の値は “0” にリセットされ、P9UE が “1” にセットされます。よって、全ビットがプルアップ抵抗付き入力ポートとなります。

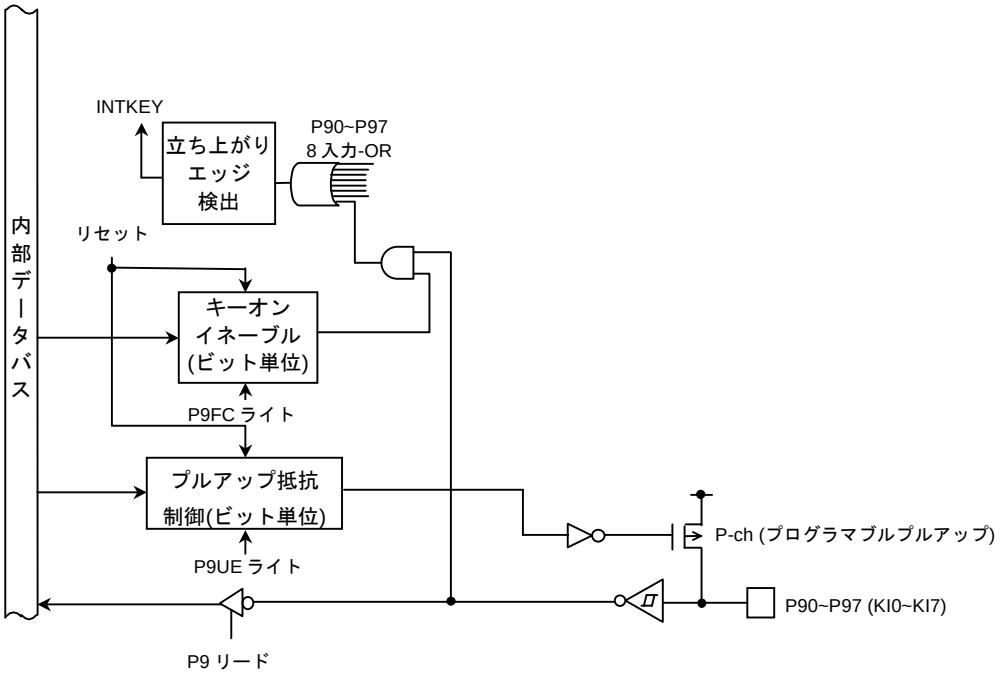


図 3.5.15 ポート 9

P9FC = “1” のときに、KI0~KI7 端子のいずれかの端子の状態が立ち下がると、そのエッジを検出して INTKEY 割り込みを発生します。INTKEY 割り込みは、すべての HALT モード状態も解除可能です。

ポート 9 レジスタ

P9 (0019H)	7	6	5	4	3	2	1	0
Bit symbol	P97	P96	P95	P94	P93	P92	P91	P90
Read/Write	R							
リセット後	外部端子データ							

ポート 9 ファンクションレジスタ

P9FC (001DH)	7	6	5	4	3	2	1	0
Bit symbol	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	0: キー入力禁止　　1: キー入力許可							

ポート 9 のキー入力

0	禁止
1	許可

ポート 9 プルアップ抵抗制御レジスタ

P9UE (001EH)	7	6	5	4	3	2	1	0
Bit symbol	P97U	P96U	P95U	P94U	P93U	P92U	P91U	P90U
Read/Write	W							
リセット後	1	1	1	1	1	1	1	1
機　能	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可

注)　P9FC はリードモディファイライトできません。

図 3.5.16 ポート 9 関係のレジスタ

3.5.7 ポート B (PB0~PB5)

ポート B0~B5 はビット単位で入出力指定ができる 6 ビットの汎用入出力ポートです。入出力ポート機能以外にポート B0~B2 はそれぞれ電圧検出器の入力端子 VLD0~VLD2 の機能を持っています。また、ポート B3~B5 はそれぞれ INT0~INT2 の外部割り込み入力機能があります。外部割り込みのエッジ選択は、割り込みコントローラ部にある IIMC レジスタにて設定します。

外部割り込み入力機能は PBFC の該当ビットへ “1” を書き込むことにより可能となります。また、ポート B0~B3 にはプルアップ抵抗が、ポート B4, B5 にはプルアップ抵抗もしくはプルダウン抵抗の接続が可能です。プルアップ抵抗, プルダウン抵抗は、PBUDE レジスタの該当ビットへ “1” を書き込むことにより可能となります。

リセット動作により、ポート B0~B2, B4, B5 は PBCR, PBFC, PBUDE の値が “0” にリセットされ、プルアップ抵抗, プルダウン抵抗なしの入力ポートとなります。ポート B3 はリセット動作によりプルアップ抵抗付きの入力モードになります。

(1) ポート B0~ポート B2 (VLD0~VLD2)

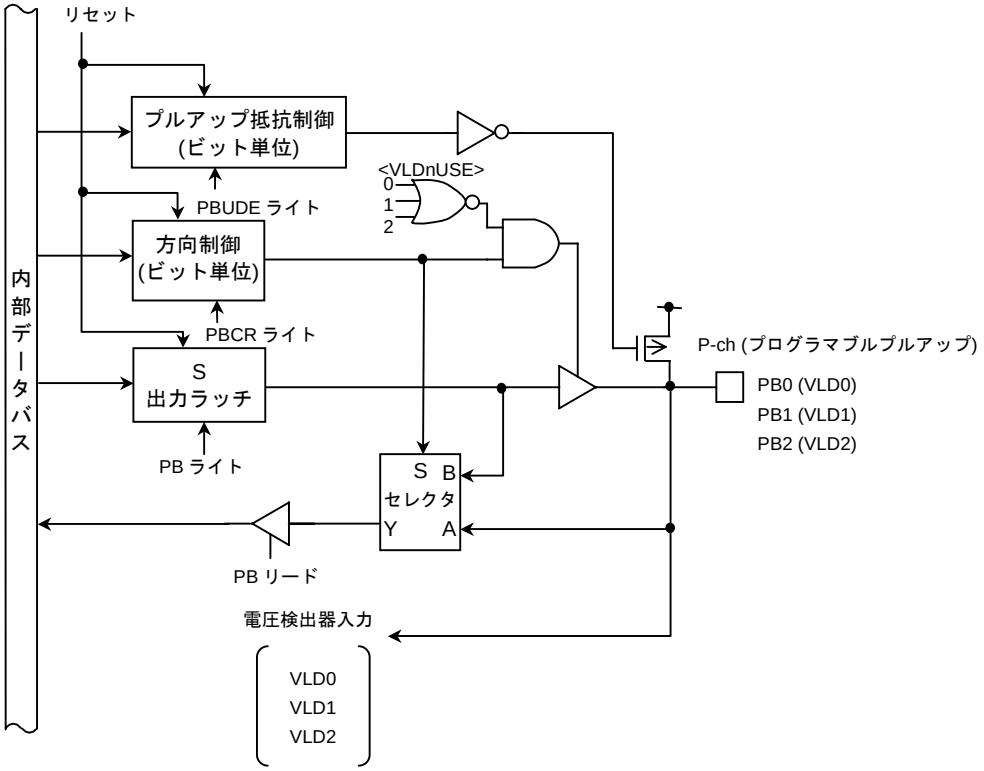


図 3.5.17 ポート B0~B2

(2) ポート B3 (INT0)

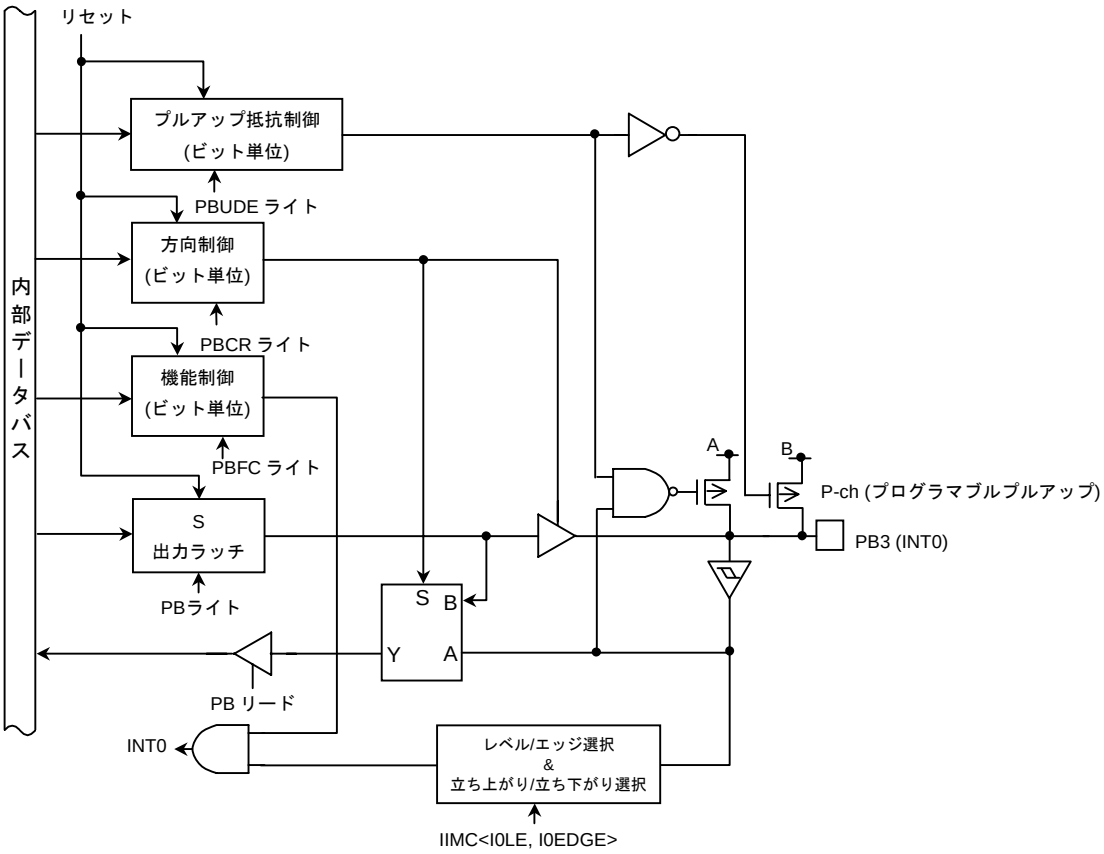


図 3.5.18 ポート B3

(3) ポート B4 (INT1), ポート B5 (INT2)

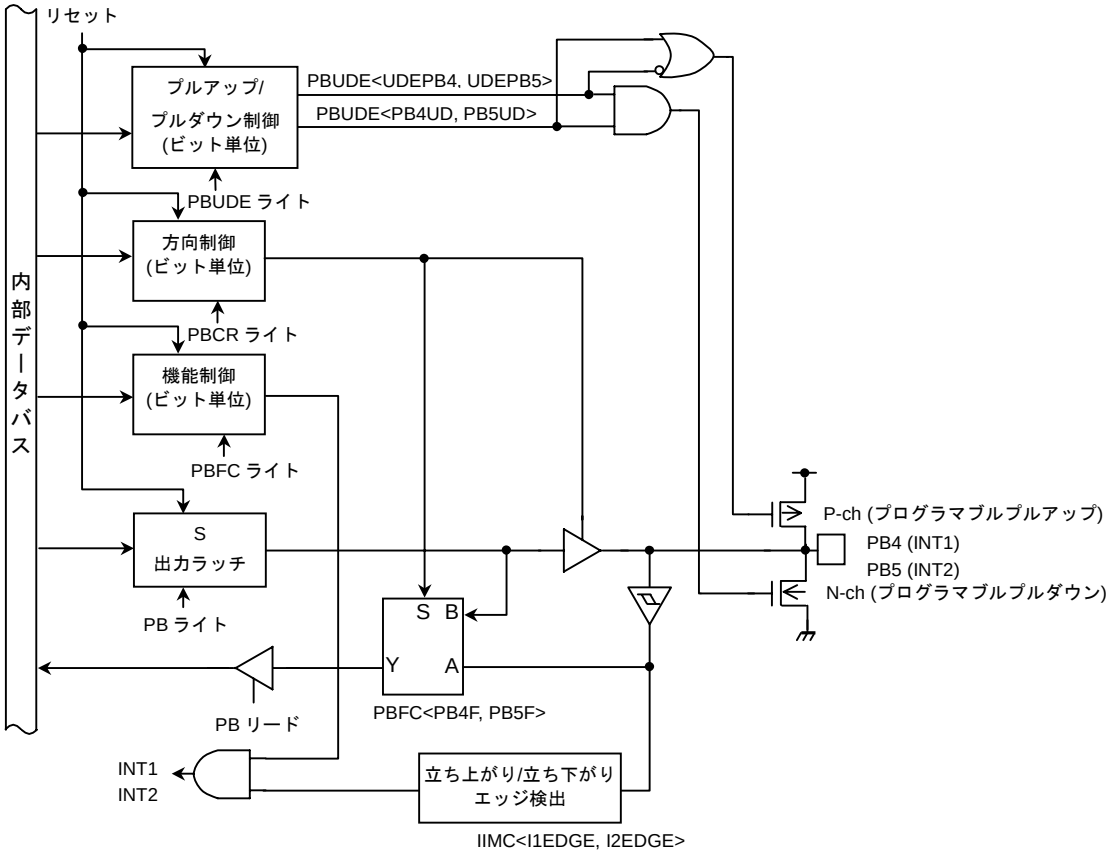


図 3.5.19 ポート B4~B5

ポート B レジスタ

PB (0022H)

	7	6	5	4	3	2	1	0
Bit symbol			PB5	PB4	PB3	PB2	PB1	PB0
Read/Write			R/W					
リセット後			外部端子データ (出力ラッチレジスタは “1” にセットされます。)					

ポート B コントロールレジスタ

PBCR (0024H)

	7	6	5	4	3	2	1	0
Bit symbol			PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
Read/Write			W					
リセット後			0	0	0	0	0	0
機　能			0: 入力　1: 出力					

ポート B ファンクションレジスタ

PBFC (0025H)

	7	6	5	4	3	2	1	0
Bit symbol			PB5F	PB4F	PB3F			
Read/Write			W					
リセット後			0	0	0			
機　能			0: ポート 1: INT2	0: ポート 1: INT1	0: ポート 1: INT0			

ポート B プルアップ抵抗/プルダウン抵抗制御レジスタ

PBUDE (0020H)

	7	6	5	4	3	2	1	0
Bit symbol	PB5UD	PB4UD	UDEPB5	UDEPB4	PB3U	PB2U	PB1U	PB0U
Read/Write	W							
リセット後	0	0	0	0	1	0	0	0
機　能	0: プルアップ抵抗 1: プルダウン抵抗		0: 抵抗なし 1: 抵抗付加		プルアップ抵抗 0: 禁止 1: 許可			

注 1)　PBCR, PBFC, PBUDE はリードモディファイライトできません。

注 2)　PB0/VLD0 端子, PB1/VLD1 端子および PB2/VLD2 端子は、ポート/ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でも電圧検出器へ入力されます。

図 3.5.20 ポート B 関係のレジスタ

3.5.8 ポート C (PC3~PC5, PC6, PC7)

ポート C3~C5, C6, C7 はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。リセット動作により、入力ポートとなります。

また、出力ラッチレジスタの全ビットは “1” へセットされます。

入出力ポート以外にシリアルチャネル 0, 1 の入出力機能があります。この機能は PCFC の該当ビットへ “1” を書き込むことにより各ファンクションが可能となります。リセット動作により、PCCR, PCFC の値は “0” にリセットされ、全ビットが入力ポートとなります。

(1) ポート C3 (TXD1)

ポート C3 は入出力ポート以外にシリアルチャネルの TXD1 出力端子としての機能を持ちます。TXD1 端子として使用する際には PC<PC3> レジスタの設定により論理反転出力可能です。

また、出力バッファはプログラマブルオープンドレイン機能を持っており、PCUDOE<ODEPC3> レジスタにより設定します。

ポートＣ3 は PCUDOE<PC3U> レジスタに “1” を書き込むことにより、プルアップ抵抗の接続が可能です。リセット動作によりポート C は、プルアップ抵抗なしの入力モードになります。

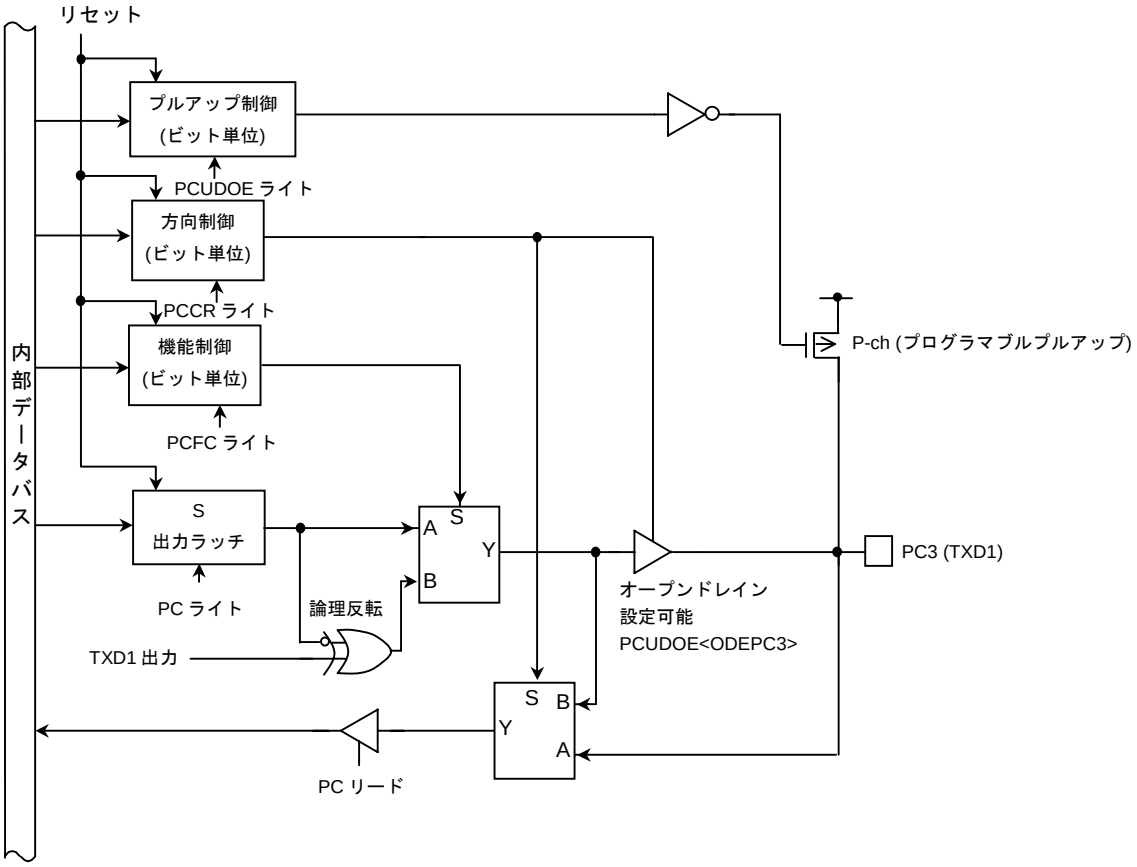


図 3.5.21 ポート C3

(2) ポート C4 (RXD1)

ポート C4 は入出力ポート以外に、シリアルチャネルの RXD1 入力端子としての機能を持っています。RXD1 端子として使用する際には PC<PC4> レジスタの設定により論理反転入力可能です。

ポート C4 は PCUDOE<UDEPC4> レジスタに “1” を書き込むことによりプルアップ抵抗、もしくはプルダウン抵抗の接続が可能です。プルアップ抵抗･プルダウン抵抗の選択は PCUDOE<PC4UD> レジスタにより設定します。

リセット動作によりポート C4 は、プルアップ抵抗･プルダウン抵抗なしの入力モードになります。

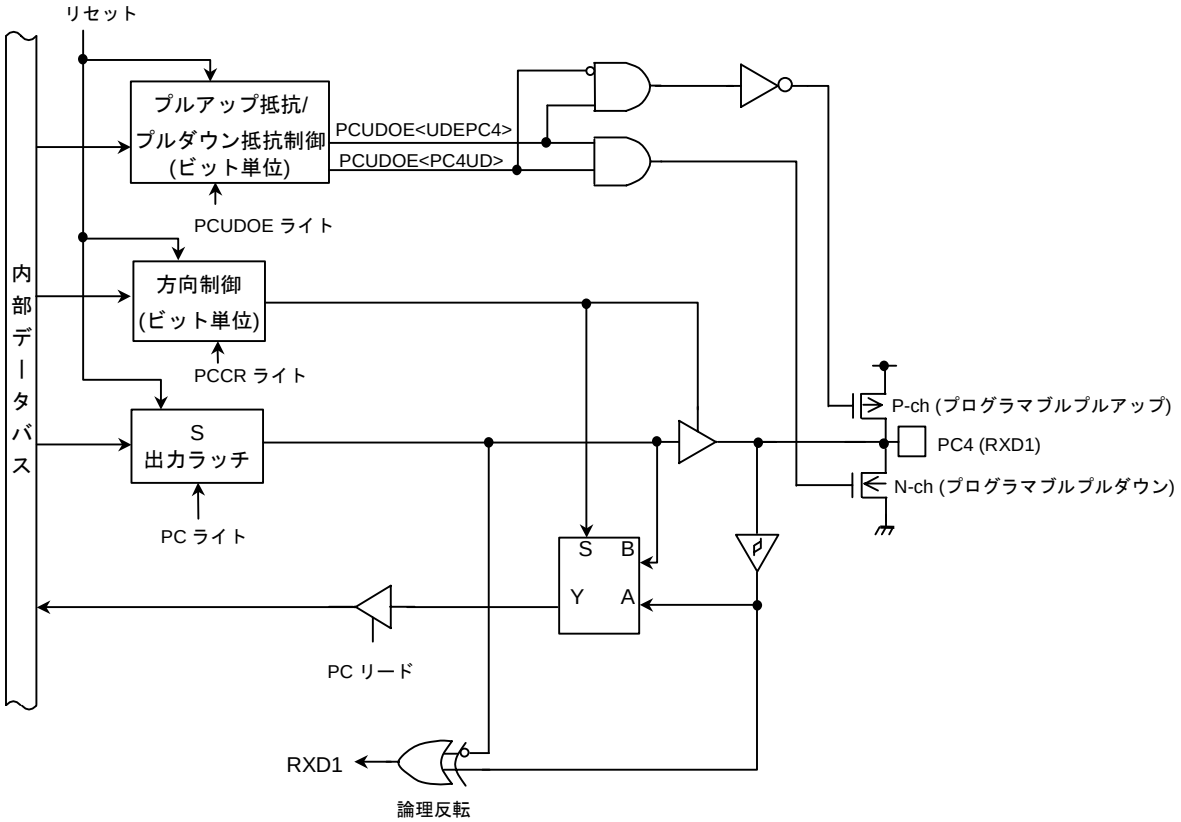


図 3.5.22 ポート C4

(3) ポート C5 ($\overline{CTS1}$, SCLK1)

ポート C5 は入出力ポート以外にシリアルチャネルの $\overline{CTS1}$ 入力端子または SCLK1 入出力端子としての機能を持っています。シリアルチャネル用端子として使用する際には PC<PC5> レジスタの設定により論理反転入出力可能です。

ポート C5 は PCUDOE<UDEPC5> レジスタに "1" を書き込むことによりプルアップ抵抗もしくはプルダウン抵抗の接続が可能です。

プルアップ抵抗, プルダウン抵抗の選択は、PCUDOE<PC5UD> レジスタにより設定します。リセット動作により PC5 はプルアップ抵抗、プルダウン抵抗なしの入力モードになります。

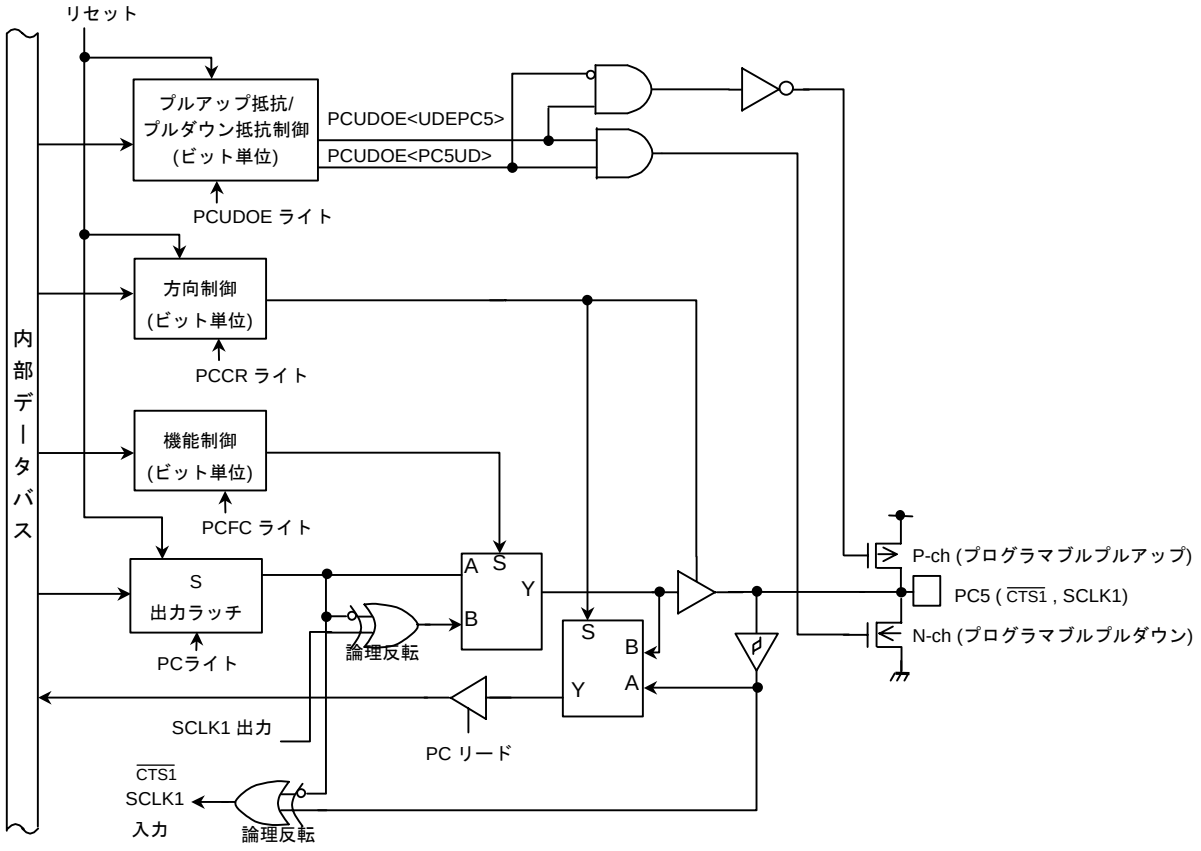


図 3.5.23 ポート C5

(4) ポート C6 (XT1), C7 (XT2)

ポート C6, C7 は、入出力ポート以外に、低周波発振子接続端子の機能を持っています。

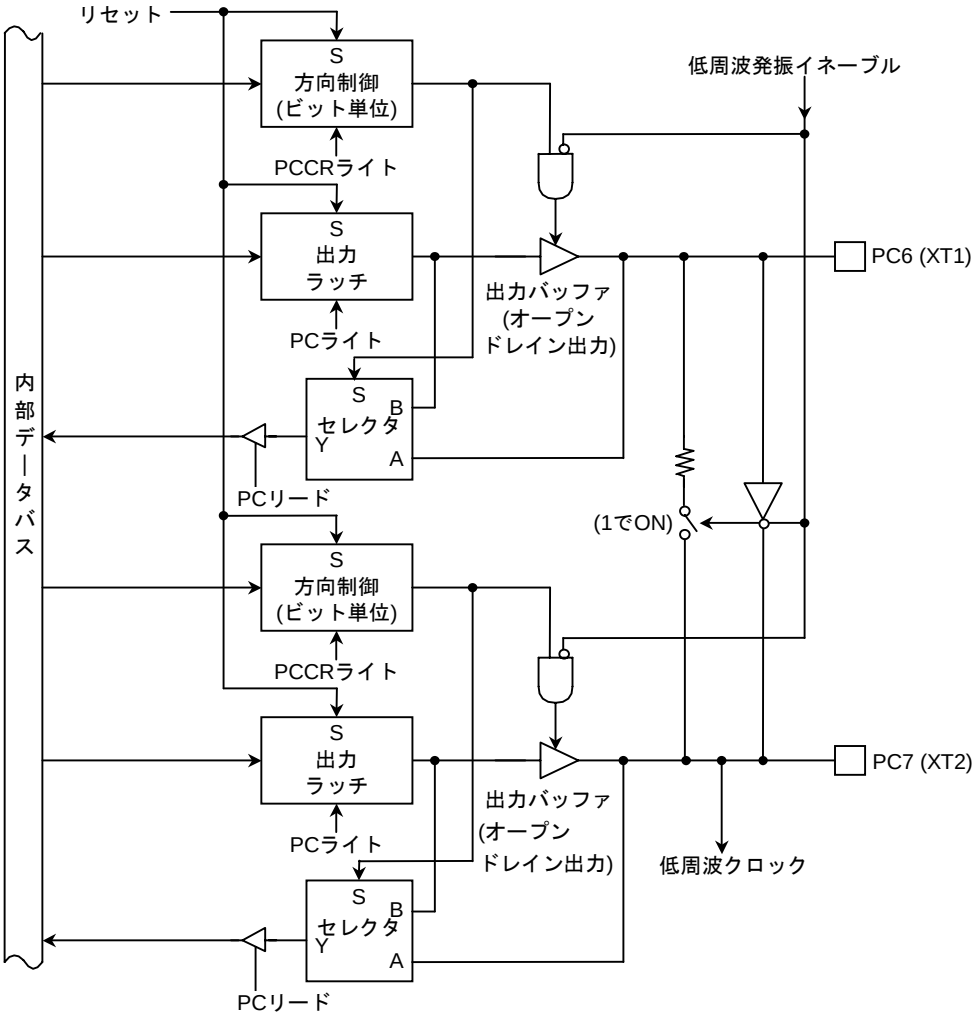


図 3.5.24 ポート C6, C7

ポート C レジスタ

PC (0023H)	7	6	5	4	3	2	1	0
Bit symbol	PC7	PC6	PC5	PC4	PC3			
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは “1” にセットされます。)							

ポート C コントロールレジスタ

PCCR (0026H)	7	6	5	4	3	2	1	0
Bit symbol	PC7C	PC6C	PC5C	PC4C	PC3C			
Read/Write	W	W	W					
リセット後	1	1	0	0	0			
機　能	0: 入力	1: 出力	0: 入力	1: 出力				

ポート C ファンクションレジスタ

PCFC (0027H)	7	6	5	4	3	2	1	0
Bit symbol			PC5F		PC3F			
Read/Write			W		W			
リセット後			0		0			
機　能			0: ポート 1: SCLK1 出力		0: ポート 1: TXD1			

ポート C プルアップ/プルダウン抵抗，オープンドレイン制御レジスタ

PCUDOE (0028H)	7	6	5	4	3	2	1	0
Bit symbol			ODEPC3	PC5UD	PC4UD	UDEPC5	UDEPC4	PC3U
Read/Write			W					
リセット後			0	0	0	0	0	0
機　能			0: 3 ステート 1: オープンドレイン	0: プルアップ抵抗 1: プルダウン抵抗		0: 抵抗なし 1: 抵抗あり		プルアップ抵抗 0: 禁止 1: 許可

注 1)　PCCR, PCFC, PCUDOE はリードモディファイライトできません。

注 2)　PC4/RXD1 端子は、ポート･ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもシリアル受信データとして SIO へ入力されます。

図 3.5.25 ポート C 関係のレジスタ

3.5.9 ポート D (PD0~PD4, PD6~PD7)

ポート D0~D4, D6~D7 はビット単位で入出力指定ができる 7 ビットの汎用入出力ポートです。また、ポート D0~D4, D6, D7 は、PDUDE レジスタの該当するビットに “1” を書き込むことによりプルアップ抵抗を接続できます。ポート D0~D3 はリセット動作により、プルアップ抵抗付きの入力モードに、ポート D4 はプルダウン抵抗付きの入力モードに、ポート D6, D7 はプルアップ抵抗なしの入力モードにそれぞれなります。

リセット動作により、ポート D 出力ラッチは “1” にセットされます。

入出力ポート機能以外に、LCD コントローラ用出力端子 (DIBSCP, D2BLP, D3BFR, DLEBCD, DOFFB), RTC アラーム出力端子 ($\overline{\text{ALARM}}$), MLD 出力端子 (MLDALM, $\overline{\text{MLDALM}}$ (MLDALM の論理反転信号)) があります。

これらの設定は PDFC レジスタによって行います。ポート D6 のみ 2 つの機能出力 ($\overline{\text{ALARM}}$, $\overline{\text{MLDALM}}$) をマルチプレクスしており、この選択は PD<PD6> レジスタにより行います。

(1) ポート D0 (D1BSCP), PD1 (D2BLP), PD2 (D3BFR), PD3 (DLEBCD), PD7 (MLDALM)

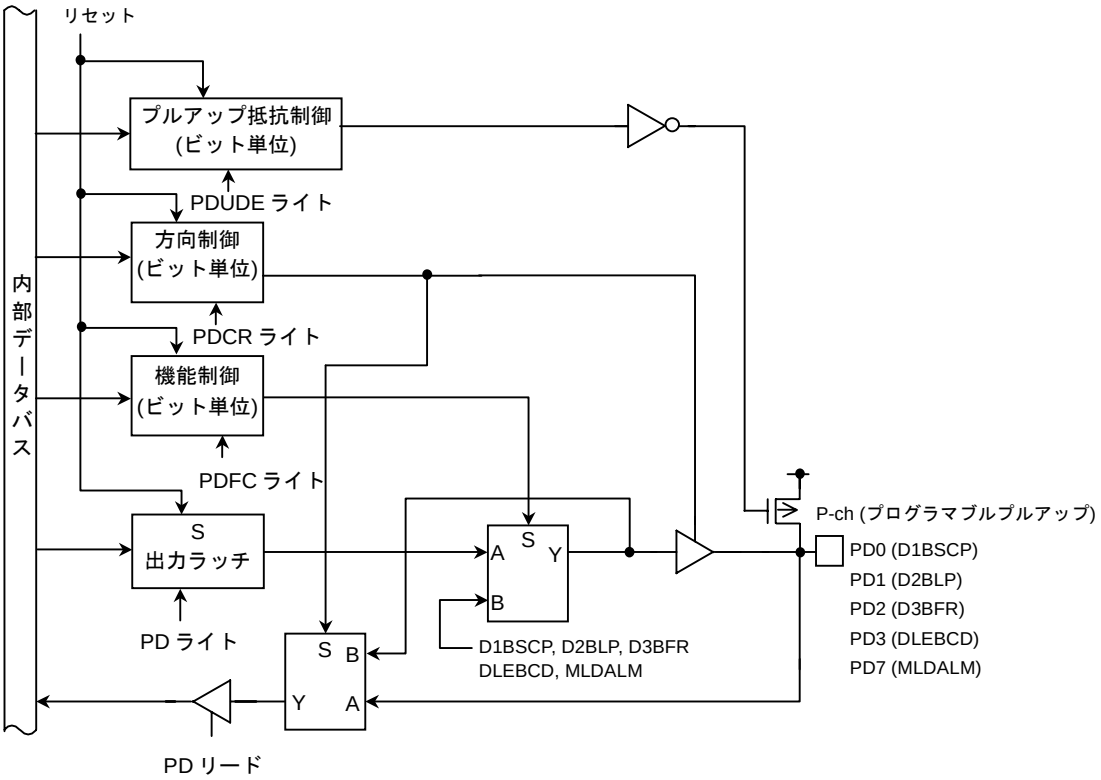


図 3.5.26 ポート D0~D3, D7

(2) ポート D4 (DOFFB)

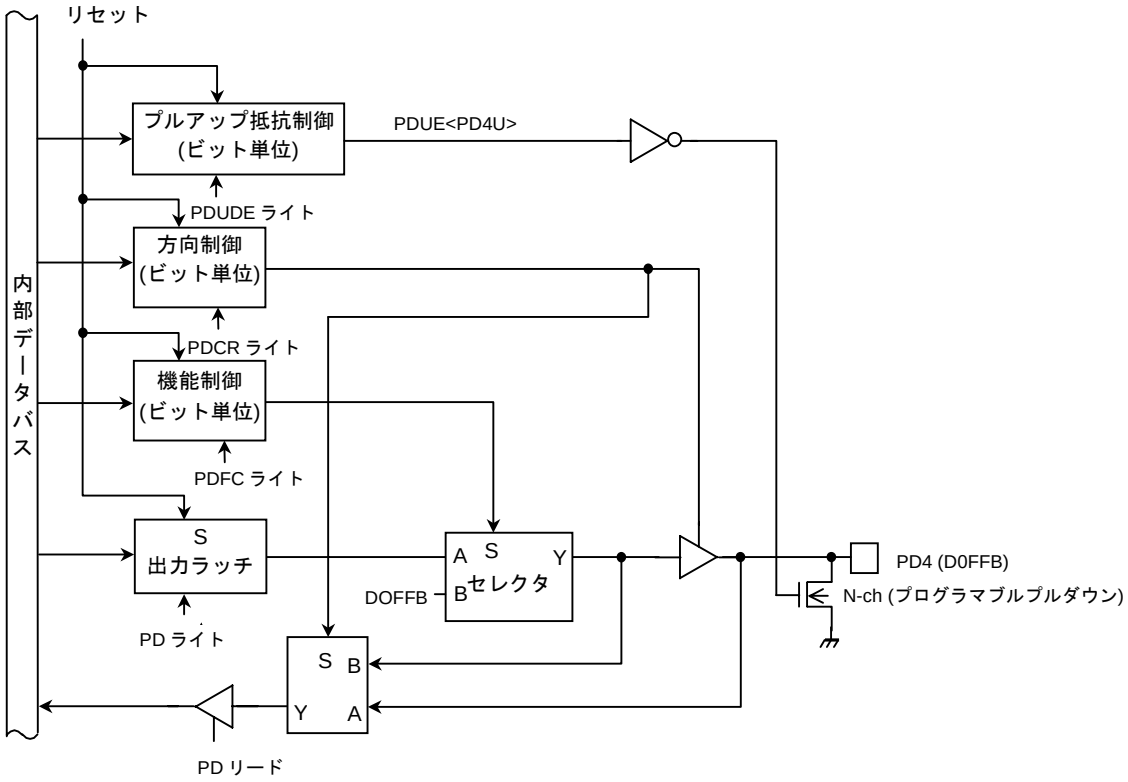


図 3.5.27 ポート D4

(3) ポート D6 ($\overline{\text{MLDALM}}$, $\overline{\text{ALARM}}$)

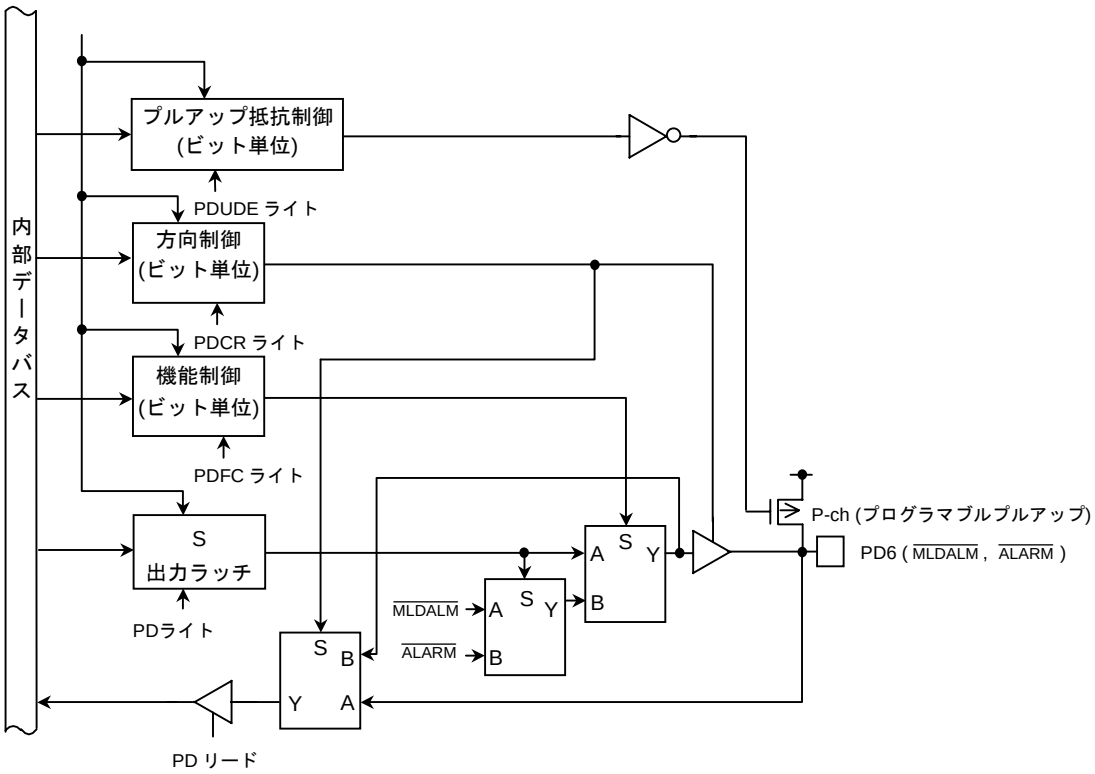


図 3.5.28 ポート D6

ポート D レジスタ

PD (0029H)

	7	6	5	4	3	2	1	0
Bit symbol	PD7	PD6		PD4	PD3	PD2	PD1	PD0
Read/Write	R/W			R/W				
リセット後	外部端子データ (出力ラッチレジスタは “1” にセットされます。)			外部端子データ (出力ラッチレジスタは “1” にセットされます。)				

ポート D コントロールレジスタ

PDCR (002BH)

	7	6	5	4	3	2	1	0
Bit symbol	PD7C	PD6C		PD4C	PD3C	PD2C	PD1C	PD0C
Read/Write	W			W				
リセット後	0	0		0	0	0	0	0
機　能	0: 入力　1: 出力			0: 入力　1: 出力				

ポート D ファンクションレジスタ

PDFC (002AH)

	7	6	5	4	3	2	1	0
Bit symbol	PD7F	PD6F		PD4F	PD3F	PD2F	PD1F	PD0F
Read/Write	W			W				
リセット後	0	0		0	0	0	0	0
機　能	0: ポート 1: MLDALM	0: ポート 1: $\overline{\text{ALARM}}$ @ <PD6> = 1 1: $\overline{\text{MLDALM}}$ @ <PD6> = 0		0: ポート 1: DOFFB	0: ポート 1: DLEBCD	0: ポート 1: D3BFR	0: ポート 1: D2BLP	0: ポート 1: D1BSCP

ポート D プルアップ/プルダウン抵抗制御レジスタ

PDUDE (002CH)

	7	6	5	4	3	2	1	0
Bit symbol	PD7U	PD6U	–	PD4U	PD3U	PD2U	PD1U	PD0U
Read/Write	W		W	W	W			
リセット後	0	0	0	1	1	1	1	1
機　能	プルアップ抵抗 0: 禁止 1: 許可		“0” をライトしてください。	プルダウン抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可			

注)　PDCR, PDFC, PDUDE はリードモディファイライトできません。

図 3.5.29 ポート D 関係のレジスタ

3.6 チップセレクト/ウェイトコントローラ

任意の 4 ブロックのアドレス空間 (CS0~CS3 空間) を設定し、各アドレス空間 (CS0~CS3 空間と、それ以外のアドレス空間) に対して、データバス幅およびウェイト数を指定することができます。

$\overline{CS0}$ ~ $\overline{CS3}$ (P60~P63 と兼用) は、CS0~CS3 空間に対応した出力端子です。この端子は、CPU 動作により CS0~CS3 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号 (ROM/SRAM 用) を出力します。ただし、チップセレクト信号を出力するためには、ポート 6 ファンクションレジスタ P6FC による設定が必要です。

$\overline{CS0}$ ~ $\overline{CS3}$ 以外の $\overline{CS}$ 端子: $\overline{CS2A}$ ~ $\overline{CS2E}$ は、MMU 部が作成します。これらの端子は CS/WAIT コントローラの設定に関係なく空間, BANK 値が固定の $\overline{CS}$ 端子です。

CS0~CS3 空間の指定は、メモリスタートアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル, データバス幅, ウェイト数は、チップセレクト/ウェイトコントロールレジスタ B0CS~B3CS, BEXCS で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子 ($\overline{WAIT}$) があります。

3.6.1 アドレス空間指定

CS0~CS3 空間の指定は、スタートアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 により行います。

バスサイクルごとに、バス上のアドレスを CS0~CS3 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定された CS 空間がアクセスされたと判断して $\overline{CS0}$ ~ $\overline{CS3}$ 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ B0CS~B3CS で設定した動作を実行します (3.6.2「チップセレクト/ウェイトコントロールレジスタ」を参照してください)。

(1) メモリスタートアドレスレジスタ

図 3.6.1に、メモリスタートアドレスレジスタを示します。メモリスタートアドレスレジスタ MSAR0~MSAR3 は、CS0~CS3 空間のスタートアドレスを設定するレジスタです。<S23:16>には、スタートアドレスの上位 8 ビット (A23~A16) を設定します。また、スタートアドレスの下位 16 ビット (A15~A0) には、常に "0" が設定されています。従って、スタートアドレスは、000000H から 64 K バイトごとの値になります。図 3.6.2 に、スタートアドレスとスタートアドレスレジスタ値の関係を示します。

メモリスタートアドレスレジスタ (CS0~CS3 空間)

		7	6	5	4	3	2	1	0
MSAR0 (00C8H) / MSAR1 (00CAH)	Bit symbol	S23	S22	S21	S20	S19	S18	S17	S16
	Read/Write	R/W							
MSAR2 (00CCH) / MSAR3 (00CEH)	リセット後	1	1	1	1	1	1	1	1
	機　能	スタートアドレス A23~A16 設定							

CS0~CS3 空間のスタートアドレス設定

図 3.6.1 メモリスタートアドレスレジスタ

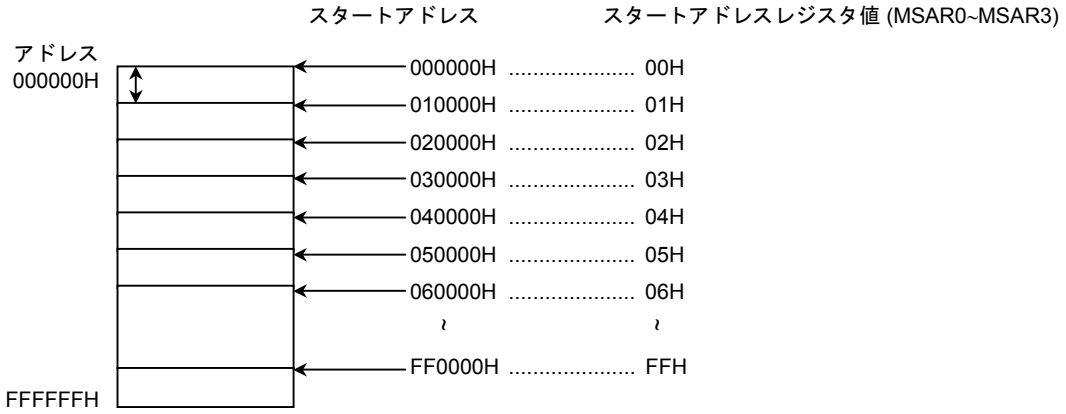


図 3.6.2 スタートアドレスとスタートアドレスレジスタ値の関係

(2) メモリアドレスマスクレジスタ

図 3.6.3に、メモリアドレスマスクレジスタを示します。メモリアドレスマスクレジスタ MAMR0~MAMR3 は、メモリスタートアドレスレジスタ MSAR0~MSAR3 で設定したスタートアドレスの各ビットに対しマスク指定を行うことで、CS0~CS3 空間サイズを設定しています。“0” をライトしたビットに対応するバス上のアドレスが、CS0~CS3 空間の領域かどうかの比較対照となります。

また、CS0~CS3 空間は、それぞれ MAMR0~MAMR3 によってマスクできるアドレスビットが異なります。従って、設定できる空間サイズも異なります。

メモリアドレスマスクレジスタ (CS0 空間)

		7	6	5	4	3	2	1	0
MAMR0 (00C9H)	Bit symbol	V20	V19	V18	V17	V16	V15	V14~V9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機　能	CS0 空間サイズ設定　0: アドレス比較対照							

CS0 空間は、最小 256 バイトエリアから、最大 2 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS1 空間)

		7	6	5	4	3	2	1	0
MAMR1 (00CBH)	Bit symbol	V21	V20	V19	V18	V17	V16	V15~V9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機　能	CS1 空間サイズ設定　0: アドレス比較対照							

CS1 空間は、最小 256 バイトエリアから、最大 4 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS2, CS3 空間)

		7	6	5	4	3	2	1	0
MAMR2 (00CDH) / MAMR3 (00CFH)	Bit symbol	V22	V21	V20	V19	V18	V17	V16	V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機　能	CS2、CS3 空間サイズ設定　0: アドレス比較対照							

CS2 および CS3 空間は、最小 32 K バイトから、最大 8 M バイトエリアを設定できます。

図 3.6.3 メモリアドレスマスクレジスタ

(3) メモリスタートアドレス、アドレス空間の設定方法

図 3.6.4に、CS0 空間を用いて、010000H から始まる 64 K バイトの空間を指定する場合を例として説明します。

メモリスタートアドレスレジスタ MSAR0<S23:16> に、スタートアドレスの上位 8 ビットに相当する “01H” を設定します。次に、終了アドレス (01FFFFH) と、スタートアドレスとの差を計算により求めます。この結果のビット 20~8 は、CS0 空間を指定する際のマスク値に相当します。この値をメモリアドレスマスクレジスタ MAMR0<V20:8> に設定することで、空間サイズを設定できます。

この例では、MAMR0 に “07H” を設定し、64 K バイト空間を指定しています。

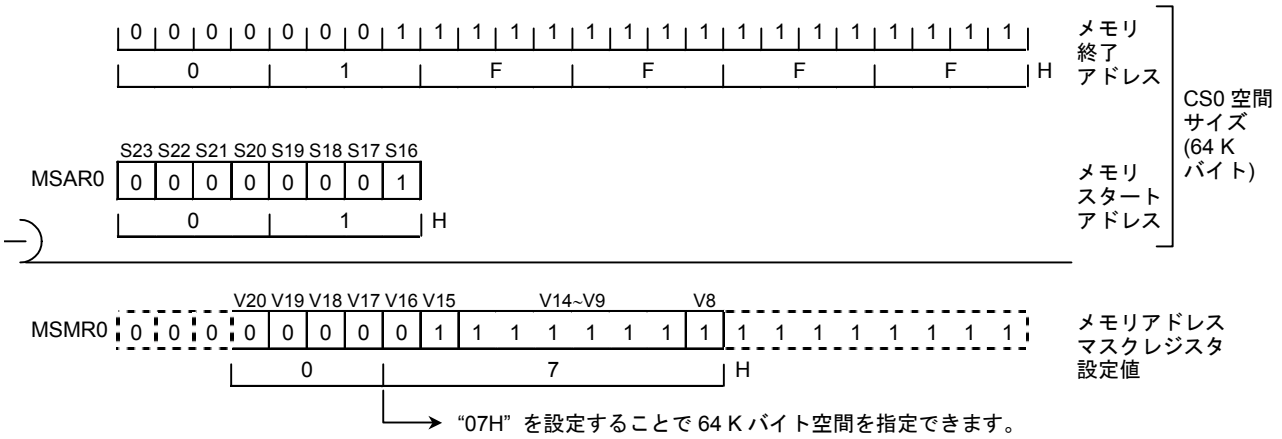


図 3.6.4 CS0 空間の設定例

なお、リセット後、MSAR0~MSAR3、および MAMR0~MAMR3 は、“FFH” にセットされます。一方、B0CS<B0E>, B1CS<B1E>, B3CS<B3E> は “0” にリセットされるため、CS0, CS1, CS3 空間は、ディセーブルになります。ただし、B2CS<B2M> は “0”にリセットされ、B2CS<B2E> は “1” にセットされるため、CS2 空間は、TMP91C016 では 000FE0H~000FFFH,001000H~FFFFFFH の空間でイネーブルになります。また、指定された CS0~CS3 空間以外のアドレスでは、BEXCS で指定されたデータバス幅、およびウェイト数により動作します (3.6.2「チップセレクト/ウェイトコントロールレジスタ」を参照してください)。

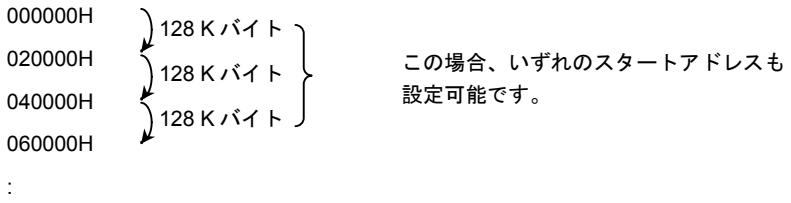
(4) アドレス空間サイズ指定

表 3.6.1に、CS 空間と空間サイズの関係を示します。Δは、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを意味します。Δで示す組み合わせを用いて空間サイズを設定する場合、000000H から希望のサイズステップで、スタートアドレスを設定してください。

なお、CS2 空間を 16 M バイト空間に設定、または 2 つ以上のアドレス空間を重ねて設定した場合には、CS 空間番号の小さい方が優先的に選択されます。

例: CS0 空間を 128 K バイトエリアに設定する場合

a. 設定できるスタートアドレス



b. 設定できないスタートアドレス

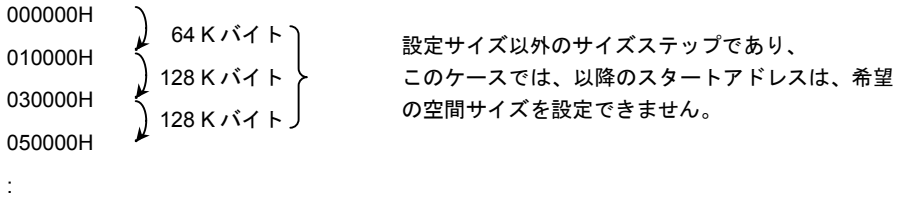


表 3.6.1 CS 空間と空間サイズ

サイズ(バイト) / CS 空間	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	Δ	Δ	Δ	Δ	Δ		
CS1	○	○		○	Δ	Δ	Δ	Δ	Δ	Δ	
CS2			○	○	Δ	Δ	Δ	Δ	Δ	Δ	Δ
CS3			○	○	Δ	Δ	Δ	Δ	Δ	Δ	Δ

注) Δは、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを示しています。

3.6.2 チップセレクト/ウェイトコントロールレジスタ

図 3.6.5に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間(CS0~CS3 空間と、それ以外のアドレス空間) は、それぞれのチップセレクト/ウェイトコントロールレジスタ B0CS~B3CS、BEXCS により、マスタイネーブル/ディセーブル, チップセレクト出力波形選択, データバス幅選択, ウェイト数設定を行うことができます。

チップセレクト/ウェイトコントロールレジスタ

		7	6	5	4	3	2	1	0
B0CS (00C0H) リードモディファイライトはできません。	Bit Symbol	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
	機　能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: Don't care 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B1CS (00C1H) リードモディファイライトはできません。	Bit Symbol	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
	機　能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: Don't care 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B2CS (00C2H) リードモディファイライトはできません。	Bit Symbol	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
	Read/Write	W							
	リセット後	1	0	0	0	0	0	0	0
	機　能	0: 禁止 1: 許可	CS2 空間選択 0: 16M バイト空間 1: CS 空間	チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: Don't care 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B3CS (00C3H) リードモディファイライトはできません。	Bit Symbol	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
	機　能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: Don't care 10: DRAMC 対応 11: Don't care		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
BEXCS (00C7H) リードモディファイライトはできません。	Bit Symbol					BEXBUS	BEXW2	BEXW1	BEXW0
	Read/Write					W			
	リセット後					0	0	0	0
	機　能					データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	

マスタイネーブルビット

0	ディセーブル
1	イネーブル

CS2 空間選択

0	16M バイト空間
1	アドレス指定空間

チップセレクト出力波形選択

00	ROM/SRAM 用
01 10 11	Don't care

注) CS3 のみ DRAM に対応した信号を設定できます。

アドレス空間ウェイト数設定
(3.6.2 (3)「ウェイトコントロール」参照)

データバス幅選択

0	16 ビットデータバス
1	8 ビットデータバス

図 3.6.5 チップセレクト/ウェイトコントロールレジスタ

(1) マスタイネーブルビット

チップセレクト/ウェイトコントロールレジスタのビット 7 (<B0E>, <B1E>, <B2E>, <B3E>) は、各アドレス空間に対する設定のイネーブル/ディセーブルを指定するマスタビットです。このビットに “1” を書き込むと、イネーブルになります。リセットにより、<B0E>, <B1E>, <B3E> はディセーブル “0”、<B2E> はイネーブル “1” になります (リセット動作により、CS2 空間のみイネーブルになります)。

(2) データバス幅選択

チップセレクト/ウェイトコントロールレジスタのビット 3 (<B0BUS>, <B1BUS>, <B2BUS>, <B3BUS>, <BEXBUS>) は、データバス幅を指定するビットです。このビットを “0” にすると、16 ビットのデータバス幅でメモリをアクセスします。“1” にすると、8 ビットのデータバス幅でメモリをアクセスします。

このように、アクセスするアドレスに応じてデータバス幅を変えることを “ダイナミックバスサイジング” と呼びます。このバス動作の詳細を、表 3.6.2に示します。

表 3.6.2 ダイナミックバスサイジング

オペランドデータバス幅	オペランドスタートアドレス	メモリ側データバス幅	CPU アドレス	CPU データ	
				D15~D8	D7~D0
8 ビット	2n + 0 (偶数)	8 ビット	2n + 0	xxxxx	b7~b0
		16 ビット	2n + 0	xxxxx	b7~b0
	2n + 1 (奇数)	8 ビット	2n + 1	xxxxx	b7~b0
		16 ビット	2n + 1	b7~b0	xxxxx
16 ビット	2n + 0 (偶数)	8 ビット	2n + 0	xxxxx	b7~b0
			2n + 1	xxxxx	b15~b8
		16 ビット	2n + 0	b15~b8	b7~b0
	2n + 1 (奇数)	8 ビット	2n + 1	xxxxx	b7~b0
			2n + 2	xxxxx	b15~b8
		16 ビット	2n + 1	b7~b0	xxxxx
			2n + 2	xxxxx	b15~b8
32 ビット	2n + 0 (偶数)	8 ビット	2n + 0	xxxxx	b7~b0
			2n + 1	xxxxx	b15~b8
			2n + 2	xxxxx	b23~b16
			2n + 3	xxxxx	b31~b24
		16 ビット	2n + 0	b15~b8	b7~b0
			2n + 2	b31~b24	b23~b16
	2n + 1 (奇数)	8 ビット	2n + 1	xxxxx	b7~b0
			2n + 2	xxxxx	b15~b8
			2n + 3	xxxxx	b23~b16
			2n + 4	xxxxx	b31~b24
		16 ビット	2n + 1	b7~b0	xxxxx
			2n + 2	b23~b16	b15~b8
			2n + 4	xxxxx	b31~b24

xxxxx: リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストローブ信号はノンアクティブのままであることを示します。

(3) ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタのビット 2~0 (<B0W2:0>, <B1W2:0>, <B2W2:0>, <B3W2:0>, <BEXW2:0>)は、ウェイト数を指定するビットです。これらのビットの組み合わせにより、次のようなウェイト動作を実行します。ただし、下記の組み合わせ以外は、設定しないでください。

表 3.6.3 ウェイト動作の設定

<BxW2:0>	ウェイト数	ウェイト動作
000	2 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、2 ステート分のウェイトが挿入されます。
001	1 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、1 ステート分のウェイトが挿入されます。
010	(1 + N) ウェイト	1 ステート分のウェイトを挿入した後、$\overline{\text{WAIT}}$ 端子の状態をサンプリングし、端子が "L" レベルならウェイトを挿入し続け、端子が "H" レベルになるまでそのバスサイクルを引き延ばします。
011	0 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、ウェイトなしで、そのバスサイクルを完了します。
100	Reserved	設定しないでください。
101	3 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、3 ステート分のウェイトが挿入されます。
110	4 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、4 ステート分のウェイトが挿入されます。
111	8 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、8 ステート分のウェイトが挿入されます。

リセットにより、これらのビットは "000" (2 ウェイト) になります。

(4) CS0~CS3 空間外 バス幅ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタ BEXCS は、任意の 4 ブロックアドレス空間 (CS0~CS3 空間) 外のアドレス空間がアクセスされたときの、データバス幅選択とウェイト数を設定するレジスタです。このレジスタの設定は CS0~CS3 空間外のエリアに対して、常にイネーブルです。

(5) 16 M バイト空間/アドレス設定空間選択

チップセレクト/ウェイトコントロールレジスタ B2CS<B2M> を "0" にすることにより、16 M バイト空間 (000FE0H~000FFFH,003000H~FFFFFFH) で、CS2 空間が選択されます。B2CS<B2M> を "1" にすると、CS0, CS1, CS3 空間と同様に、スタートアドレスレジスタ MSAR2 およびアドレスマスクレジスタ MAMR2 の設定エリアに従い、CS2 空間が選択されます。リセットによりこのビットは "0" にクリアされ、16 M バイト空間が選択されます。

(6) チップセレクト/ウェイトコントローラ設定手順

チップセレクト/ウェイトコントロール機能を使用する場合は、以下の手順でレジスタの設定を行ってください。

1. メモリスタートアドレスレジスタ MSAR0~MSAR3 の設定
   CS0~CS3 空間のスタートアドレスを設定します。
2. メモリアドレスマスクレジスタ MAMR0~MAMR3 の設定
   CS0~CS3 空間のサイズを設定します。
3. コントロールレジスタ B0CS~B3CS の設定
   CS0~CS3 空間のチップセレクト出力波形, データバス幅, ウェイト数, マスタイネーブル/ディセーブルを設定します。

   $\overline{CS0}$ ~ $\overline{CS3}$ 端子は、P60~P63 端子と兼用になっています。チップセレクト信号をこれらの端子から出力するには、ポート 6 ファンクションレジスタ P6FC の該当するビットを、“1” に設定する必要があります。

   なお、CS0~CS3 空間として設定したアドレスが、内蔵の I/O、RAM エリアを指定した場合、$\overline{CS0}$ ~ $\overline{CS3}$ 端子はチップセレクト信号を出力せず、CPU は内部エリアをアクセスします。

(設定例)

CS0 空間を、010000H~01FFFFH (64 K バイト空間), 16 ビットデータバス, 0 ウェイトに設定する場合

MSAR0 = 01H	スタートアドレス 010000H
MAMR0 = 07H	アドレス空間 64 K バイト
B0CS = 83H	ROM/SRAM16 ビットデータバス, 0 ウェイト, CS0 空間設定イネーブル

3.6.3 使用例

図 3.6.6は、TMP91C016 による外部メモリの接続例です。この例では ROM を 16 ビット幅で接続し、RAM と I/O を 8 ビット幅で接続しています。

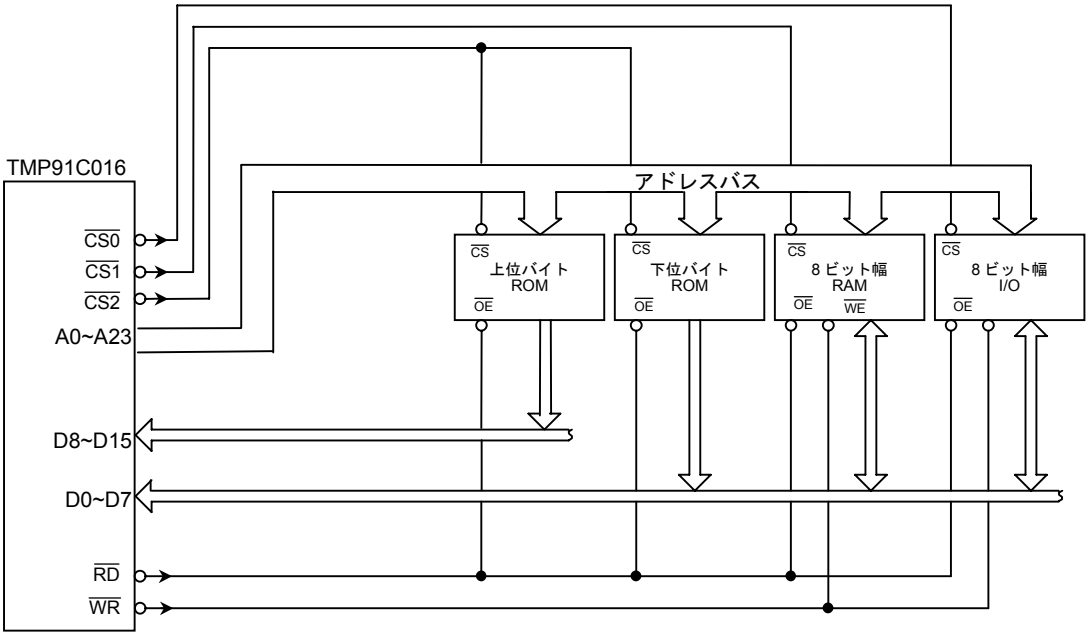


図 3.6.6 外部メモリ接続例 (ROM = 16 ビット幅, RAM & I/O = 8 ビット幅)

TMP91C016 ではリセット後、ポート 6 ファンクションレジスタ P6FC は “0” にクリアされているため、CS 信号出力はディセーブルとなっています。CS 信号を出力する場合、P6FC の必要なビットに “1” をセットしてください。

3.7 8 ビットタイマ (TMRA)

8 ビットタイマを 4 チャネル (TMRA0~TMRA3) 内蔵しています。

TMRA は 2 チャネルを 1 モジュールとし、2 モジュールで構成され、それぞれ TMRA01, TMRA23 と呼びます。各モジュールは次の 4 種類のモードを持っています。

- 8 ビットインタバルタイマモード
- 16 ビットインタバルタイマモード
- 8 ビットプログラマブル矩形波 (PPG: 可変周期で可変デューティ) 出力モード
- 8 ビット PWM (パルス幅変調: 固定周期で可変デューティ) 出力モード

図 3.7.1 と図 3.7.2 に TMRA01, TMRA23 のブロック図を示します。

各チャネルは主に 8 ビットアップカウンタ, 8 ビットコンパレータ, および 8 ビットタイマレジスタで構成され、2 チャネルに 1 つのプリスケーラとタイマフリップフロップで構成されています。

タイマの動作モードやタイマフリップフロップは 5 バイトのレジスタ(SFR) で制御されます。

2 つの各モジュール (TMRA01, TMRA23) は、それぞれ独立に動作します。いずれのモジュールも表 3.7.1 に示される仕様相違点を除いて同一の動作をしますので、TMRA01 の場合についてのみ説明します。

また、本章は下記のような構成になっています。

3.7.1 モジュール別のブロック図
3.7.2 回路別の動作説明
3.7.3 SFR 説明
3.7.4 モード別動作説明
(1) 8 ビットタイマモード
(2) 16 ビットタイマモード
(3) 8 ビット PPG (プログラマブル矩形波) 出力モード
(4) 8 ビット PWM 出力モード
(5) 動作モード設定一覧
(6) LCD コントローラおよびメロディ･アラーム回路接続モード

表 3.7.1 TMRA のモジュール別仕様相違点

仕様 ＼ モジュール		TMRA01	TMRA23
外部端子	外部クロック入力端子	なし	なし
	タイマフリップフロップ出力端子	TA1OUT (P70 と兼用)	TA3 外部端子なし。ただし LCD, MLD に接続可能
SFR 名 (アドレス)	タイマ RUN レジスタ	TA01RUN (0100H)	TA23RUN (0108H)
	タイマレジスタ	TA0REG (0102H) TA1REG (0103H)	TA2REG (010AH) TA3REG (010BH)
	タイマモードレジスタ	TA01MOD (0104H)	TA23MOD (010CH)
	タイマフリップフロップコントロールレジスタ	TA1FFCR (0105H)	TA3FFCR (010DH)

3.7.1 モジュール別のブロック図

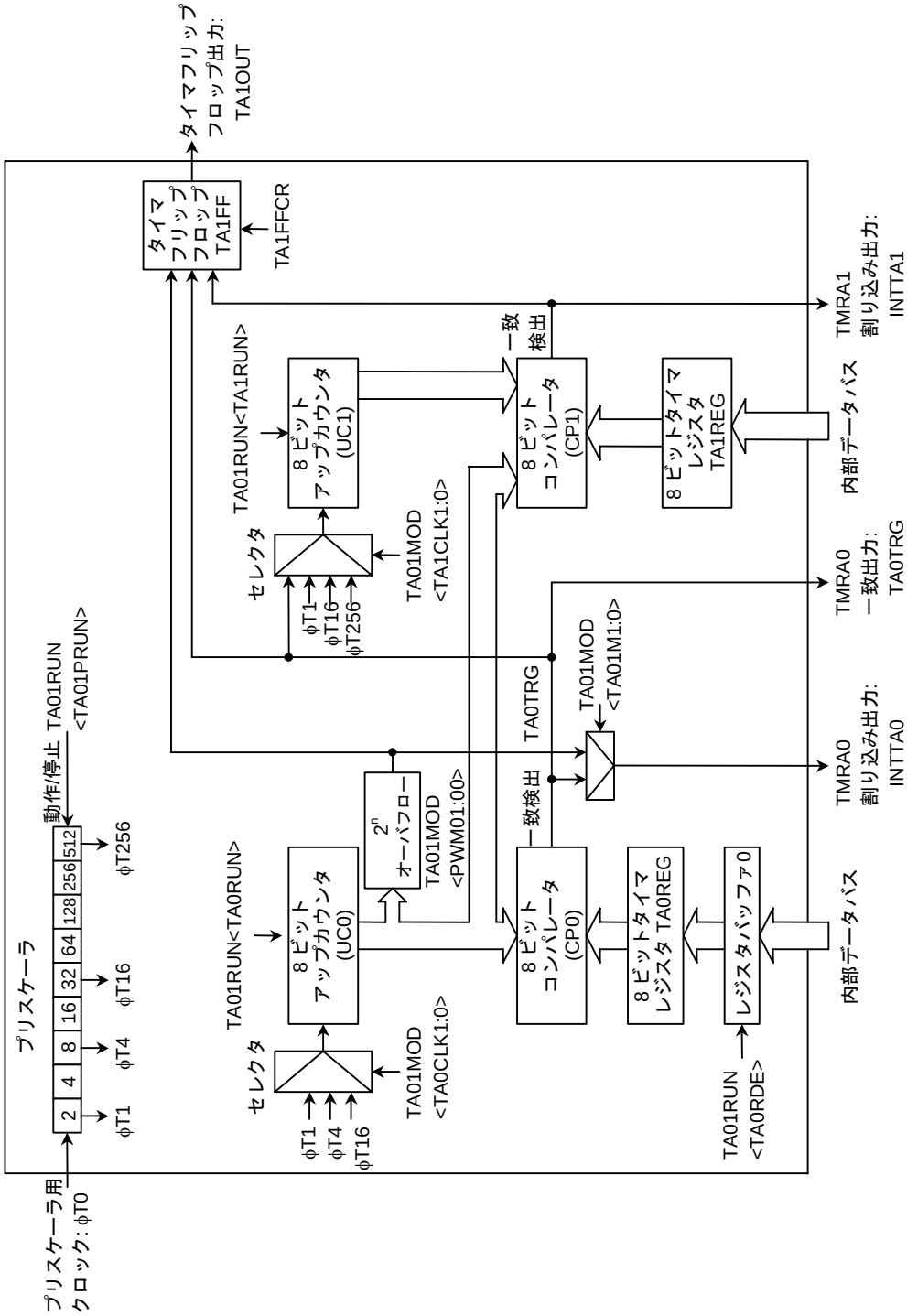


図 3.7.1 TMRA01 ブロック図

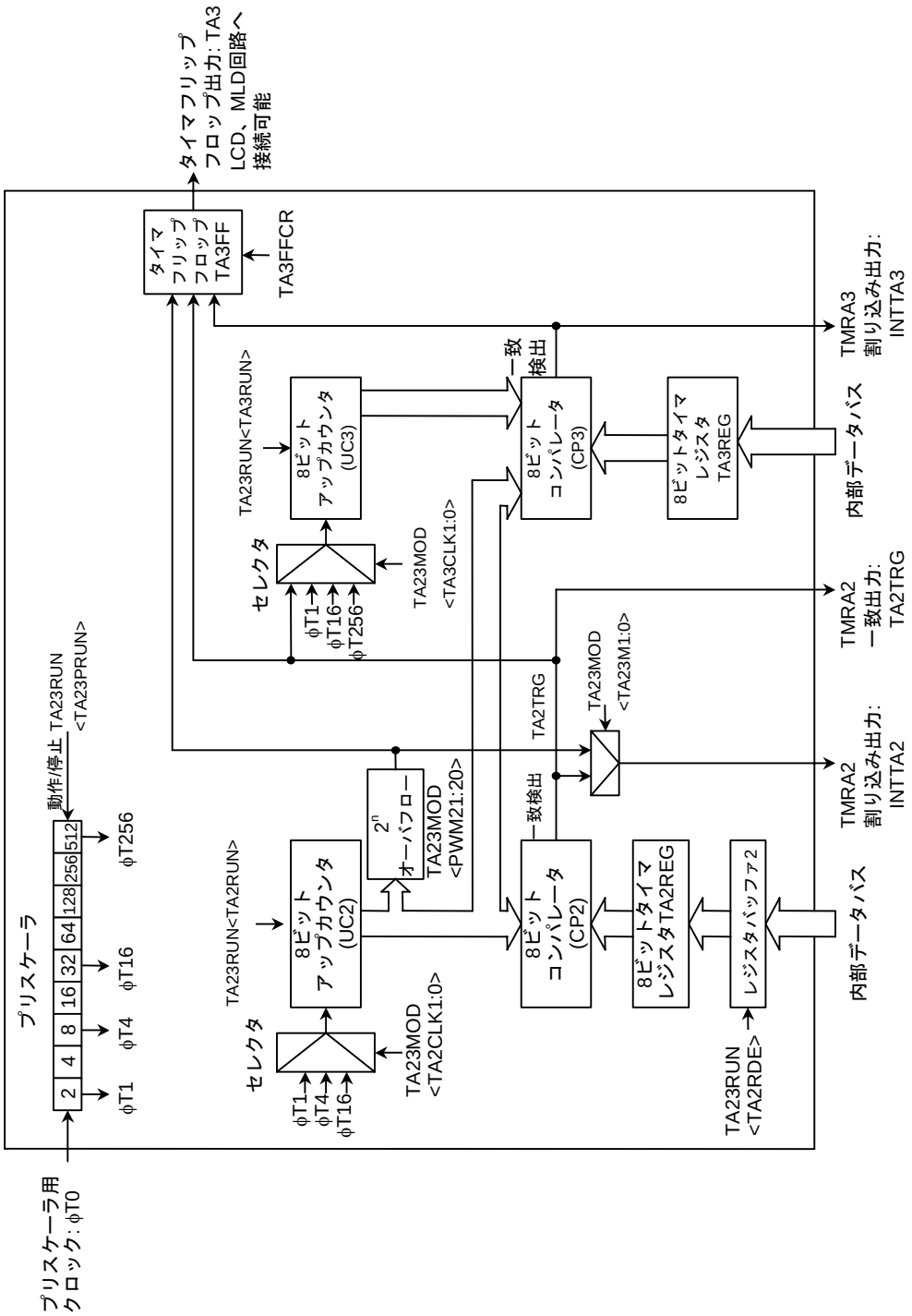


図 3.7.2 TMRA23 ブロック図

3.7.2 回路別の動作説明

(1) プリスケーラ

TMRA01 のクロックソースを得るため、9 ビットプリスケーラがあります。プリスケーラの入力クロックφT0 は、クロックギア部の SYSCR0<PRCK1:0> にて選択したクロックを 4 分周したクロックです。

プリスケーラは TA01RUN<TA0PRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し、“0” をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.7.2に示します。

表 3.7.2 プリスケーラ出力クロック分解能

@ fc = 16 MHz, fs = 32.768 kHz

システムクロック選択 <SYSCK>	プリスケーラ用クロック選択 <PRCK1:0>	クロックギア値 <GEAR2:0>	プリスケーラ出力クロック分解能			
			φT1	φT4	φT16	φT256
1 (fs)	00 (f_{FPH})	XXX	$fs/2^3$ (244 μs)	$fs/2^5$ (977 μs)	$fs/2^7$ (3.9 ms)	$fs/2^{11}$ (62.5 ms)
0 (fc)		000 (fc)	$fc/2^3$ (0.5 μs)	$fc/2^5$ (2.0 μs)	$fc/2^7$ (8.0 μs)	$fc/2^{11}$ (128 μs)
		001 (fc/2)	$fc/2^4$ (1.0 μs)	$fc/2^6$ (4.0 μs)	$fc/2^8$ (16 μs)	$fc/2^{12}$ (256 μs)
		010 (fc/4)	$fc/2^5$ (2.0 μs)	$fc/2^7$ (8.0 μs)	$fc/2^9$ (32 μs)	$fc/2^{13}$ (512 μs)
		011 (fc/8)	$fc/2^6$ (4.0 μs)	$fc/2^8$ (16 μs)	$fc/2^{10}$ (64 μs)	$fc/2^{14}$ (1024 μs)
		100 (fc/16)	$fc/2^7$ (8.0 μs)	$fc/2^9$ (32 μs)	$fc/2^{11}$(128 μs)	$fc/2^{15}$ (2048 μs)
	10 (fc/16 クロック)	XXX	$fc/2^7$ (8.0 μs)	$fc/2^9$ (32 μs)	$fc/2^{11}$(128 μs)	$fc/2^{15}$ (2048 μs)

xxx : Don't care

(2) アップカウンタ (UC0, UC1)

タイマモードレジスタ TA01MOD で指定された入力クロックによってカウントアップする、8 ビットのバイナリカウンタです。

UC0 の入力クロックは TA0IN 端子からの外部クロックと、3 種類のプリスケーラ出力クロックφT1, φT4, φT16 から、TA01MOD<TA0CLK1:0> の設定値に応じて選択されます。

UC1 の入力クロックは動作モードによって異なります。16 ビットタイマモードに設定した場合は、アップカウンタ UC0 のオーバフロー出力が入力クロックとなり、16 ビットタイマモード以外の設定の場合は、TA01MOD<TA1CLK1:0> の設定によりプリスケーラ出力クロックφT1, φT16, φT256 と、TMRA0 のコンパレータ出力 (一致検出) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>, <TA1RUN> によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。

(3) タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する 8 ビットのレジスタです。このタイマレジスタへの設定値とアップカウンタ値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を 00H にした場合は、アップカウンタのオーバフロー時に一致信号がアクティブになります。

TA0REG はダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファの制御は、TA01RUN<TA0RDE> の設定により行います。<TA0RDE> = "0" のときはディセーブル、<TA0RDE> = "1" のときはイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、PWM モードの 2^n オーバフロー、または PPG モードの周期のコンペア一致時です。従って、タイマモード時にダブルバッファを使用することはできません。

リセット時は <TA0RDE> = "0" に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタに設定値を書き込み、<TA0RDE> = "1" に設定した後、次の設定値を書き込んでください。

図 3.7.3に TA0REG の構成を示します。

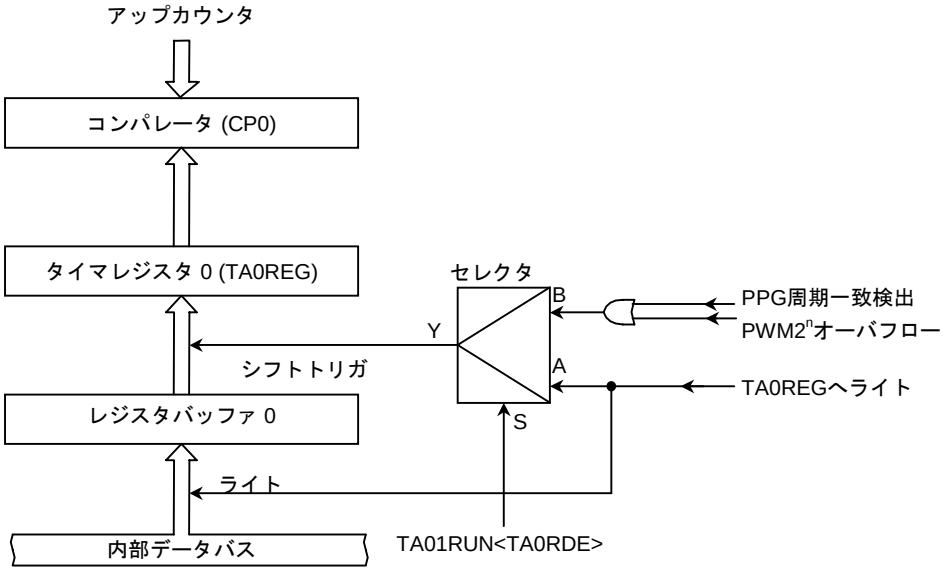


図 3.7.3 タイマレジスタ 0 (TA0REG) の構成

注) TA0REG にデータをライト時、タイマレジスタとレジスタバッファは同じアドレスに割り付けられています。
<TA0RDE> = "0" のときは、レジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、<TA0RDE> = "1" のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのアドレスは次のとおりです。

TA0REG: 000102H　　TA1REG: 000103H

TA2REG: 00010AH　　TA3REG: 00010BH

各レジスタとも書き込み専用のレジスタで、リードできません。

(4) コンパレータ (CP0)

アップカウンタの値とタイマレジスタの値とを比較し、一致すると、アップカウンタを 0 にクリアするとともに、割り込み INTTA0, INTTA1 を発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

(5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ TA1FF は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、TA1FFCR<TA1FFIE> により設定できます。

リセットにより、TA1FF1 は “0” になります。TA1FFCR<TA1FFC1:0> に “01”、または “10” を書き込むことで、TA1FF の値を “1” または “0” に設定することができます。また、このビットに “00” を書き込むことにより、TA1FF の値を 反転させることができます (ソフト反転)。

TA1FF の値は、タイマフリップフロップ出力端子 TA1OUT (P70 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート B 関連レジスタ PBCR, PBFC により設定を行う必要があります。

3.7.3 SFR 説明

TMRA01RUN レジスタ

TA01RUN (0100H)

	7	6	5	4	3	2	1	0
Bit symbol	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機　能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	8 ビットタイマ動作/停止制御 0: 停止&クリア 1: 動作 (カウントアップ)		

TA0REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止&クリア
1	カウントアップ

I2TA01: IDLE2 モード時の動作
TA01PRUN: プリスケーラの動作
TA1RUN: TMRA1 の動作
TA0RUN: TMRA0 の動作

注)　TA01RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

TMRA23RUN レジスタ

TA23RUN (0108H)

	7	6	5	4	3	2	1	0
Bit symbol	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機　能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	8 ビットタイマ動作/停止制御 0: 停止& クリア 1: 動作 (カウントアップ)		

TA2REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止&クリア
1	カウントアップ

I2TA23: IDLE2 モード時の動作
TA23PRUN: プリスケーラの動作
TA3RUN: TMRA3 の動作
TA2RUN: TMRA2 の動作

注)　TA23RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

図 3.7.4 TMRA 関係のレジスタ

TMRA01RUN レジスタ

TA01MOD (0104H)

	7	6	5	4	3	2	1	0
Bit symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA1 ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	

TMRA0 の入力クロック

00	設定しないでください。
01	φT1　(プリスケーラ)
10	φT4　(プリスケーラ)
11	φT16 (プリスケーラ)

TMRA1 の入力クロック

	TA01MOD<TA01M1:0>≠01	TA01MOD<TA01M1:0>=01
00	TMRA0 の一致出力	TMRA0 の オーバフロー出力
01	φT1	
10	φT16	
11	φT256	

8 ビット PWM モード時の周期選択

00	Reserved
01	2^6 × クロックソース
10	2^7 × クロックソース
11	2^8 × クロックソース

TMRA01 の動作モード選択

00	8 ビットタイマ 2 本
01	16 ビットタイマ
10	8 ビットプログラム矩形波出力
11	8 ビット PWM (TMRA0), 8 ビットタイマ (TMRA1)

図 3.7.5 TMRA 関係のレジスタ

TMRA23 モードレジスタ

TA23MOD (010CH)

	7	6	5	4	3	2	1	0
Bit symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA3 ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256		TMRA2 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	

TMRA2 の入力クロック

00	設定しないでください。
01	φT1　(プリスケーラ)
10	φT4　(プリスケーラ)
11	φT16 (プリスケーラ)

TMRA3 の入力クロック

	TA23MOD<TA23M1:0>≠01	TA23MOD<TA23M1:0>=01
00	TMRA2 の一致出力	TMRA2 の オーバフロー出力
01	φT1	
10	φT16	
11	φT256	

8 ビット PWM モード時の周期選択

00	Reserved
01	2^6 × クロックソース
10	2^7 × クロックソース
11	2^8 × クロックソース

TMRA23 の動作モード選択

00	8 ビットタイマ 2 本
01	16 ビットタイマ
10	8 ビットプログラム矩形波出力
11	8 ビット PWM (TMRA2), 8 ビットタイマ (TMRA3)

図 3.7.6 TMRA 関係のレジスタ

TMRA1 フリップフロップコントロールレジスタ

TA1FFCR (0105H)	7	6	5	4	3	2	1	0
Bit symbol					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
Read/Write					R/W		R/W	
リセット後					1	1	0	0
機　能					00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転信号セレクト 0: TMRA0 1: TMRA1

リードモディファイライトはできません。

タイマフリップフロップ 1 (TA1FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

0	TMRA0 による反転
1	TMRA1 による反転

TA1FF の反転制御

0	反転禁止
1	反転許可

TA1FF の制御

00	TA1FF の値を反転 (ソフト反転)
01	TA1FF を "1" にセット
10	TA1FF を "0" にクリア
11	Don't care

図 3.7.7 TMRA 関係のレジスタ

TMRA3 フリップフロップコントロールレジスタ

TA3FFCR (010DH)	7	6	5	4	3	2	1	0
Bit symbol					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
Read/Write					R/W		R/W	
リセット後					1	1	0	0
機　能					00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転信号セレクト 0: TMRA2 1: TMRA3

リードモディファイライトはできません。

タイマフリップフロップ 3 (TA3FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

0	TMRA2 による反転
1	TMRA3 による反転

TA3FF の反転制御

0	反転禁止
1	反転許可

TA3FF の制御

00	TA3FF の値を反転 (ソフト反転)
01	TA3FF を "1" にセット
10	TA3FF を "0" にクリア
11	Don't care

図 3.7.8 8 ビットタイマ関係のレジスタ

3.7.4 モード別動作説明

(1) 8 ビットタイマモード

TMRA0, TMRA1 は、それぞれ独立に 8 ビットインタバルタイマとして使用できます。機能、およびカウントデータの設定を行う場合は、TMRA0, TMRA1 を停止させた状態で行ってください。

a. 一定周期の割り込みを発生させる場合

ここでは TMRA1 を使用した例を示します。TMRA1 を用いて、一定周期ごとに TMRA1 割り込み INTTA1 を発生させる場合、まず TMRA1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD, TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、TMRA1 をカウントさせます。

例: fc = 16 MHz で 20 μs ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

* クロック条件 システムクロック: 高速 (fc)
プリスケーラクロック: f_{FPH}

		MSB 7	6	5	4	3	2	1	LSB 0	
TA01RUN	←	–	–	X	X	–	–	0	–	TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	1	0	X	X	8 ビットタイマモードにし、入力クロックを φT1 (0.5 μs 分解能, @ fc = 16 MHz) に設定します。
TA1REG	←	0	0	1	0	1	0	0	0	TA1REG に 20 μs ÷ φT1 = 40 (28H) を書き込みます。
INTETA01	←	X	1	0	1	–	–	–	–	INTTA1 をイネーブル、割り込みレベル 5 に設定します。
TA01RUN	←	–	X	X	X	–	1	1	–	TMRA1 をカウントさせます。

X: Don't Care、–: No change

入力クロックの選択は表 3.7.2 を参考にしてください。

注) TMRA0 と TMRA1 の入力クロックは下記のように異なります。
TMRA0: TA0IN 端子入力, φT1, φT4, φT16
TMRA1: TMRA0 の一致検出信号, φT1, φT16, φT256

b. デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ TA1FF の値を反転させ、この値をタイマフリップフロップ出力端子 TA1OUT へ出力します。

例: fc = 16 MHz で周期 3.0 μs の矩形波を TA1OUT 端子から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を用いますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

* クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: f_{FPH}

		7	6	5	4	3	2	1	0	
TA01RUN	←	–	X	X	X	–	–	0	–	TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	0	1	–	–	8 ビットタイマモードにし、入力クロックを φT1 (0.5 μs 分解能, @ fc = 16 MHz) に設定します。
TA1REG	←	0	0	0	0	0	0	1	1	TA1REG に 3.0 μs ÷ φT1 ÷ 2 = 3 をセットします。
TA1FFCR	←	X	X	X	X	1	0	1	1	TA1FF を “0” にクリアし、TMRA1 からの一致検出信号で反転するように設定します。
P7CR	←	X	X	X	X	–	–	–	1	P70 を TA1OUT 出力端子に設定します。
P7FC	←	–	–	–	–	–	–	–	1	
TA01RUN	←	–	X	X	X	–	1	1	–	TMRA1 のカウントを開始させます。

X: Don’t Care、–: No change

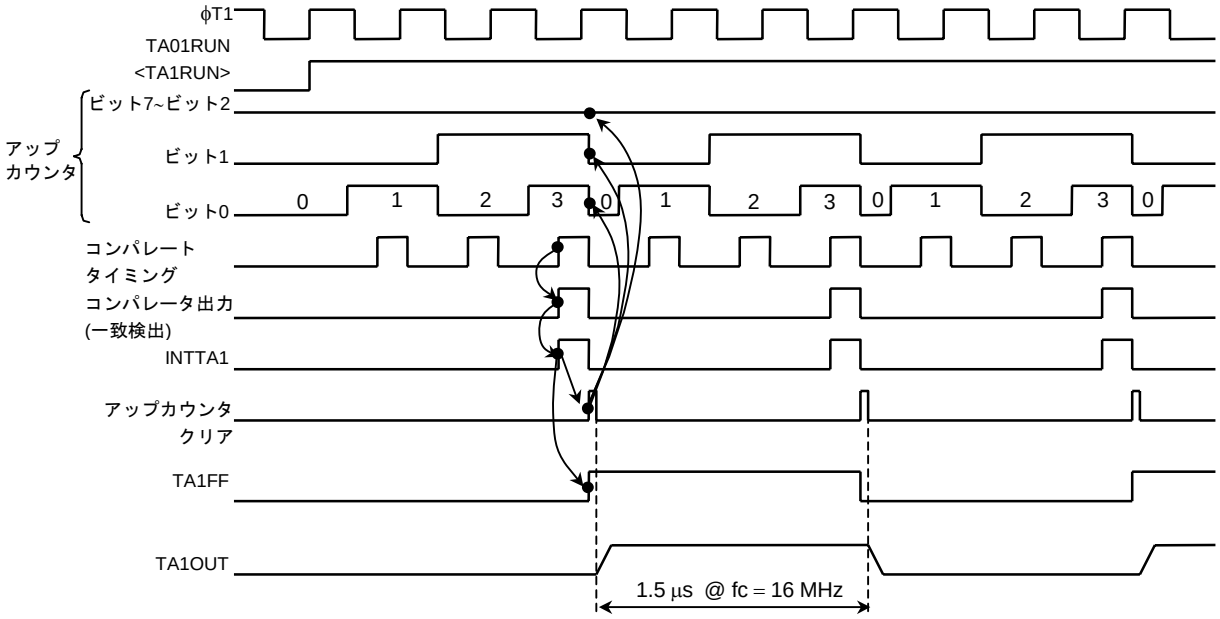


図 3.7.9 矩形波 (デューティ 50%) 出力のタイミングチャート

c. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

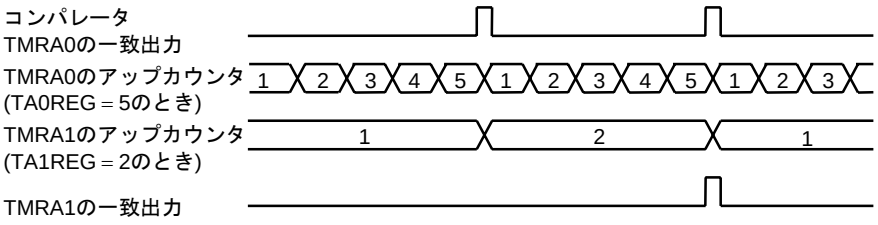


図 3.7.10 TMRA0 による TMRA1 のカウントアップ

(2) 16 ビットタイマモード

TMRA0 と TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。

TA01MOD<TA01M1:0> を “01” に設定することで 16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0> の設定値にかかわらず、TMRA1 の入力クロックは TMRA0 のオーバフロー出力になります。TMRA0 の入力クロックの選択は表 3.7.2を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG に上位 8 ビットを設定します。この場合、必ず TA0REG から先に設定してください (TA0REG にデータを書き込むとコンペアが一時禁止され、TA1REG へのデータ書き込みでコンペアが開始されるためです)。

例: fc = 16 MHz で 0.5 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG, TA1REG には次の値を設定します。

* クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: f_{FPH}

φT16 (= 8.0 μs @ 16 MHz) を入力クロックとしてカウントすると

0.5 s ÷ 8.0 μs = 62500 = F424H

従って、TA1REG = F4H, TA0REG = 24H を設定します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。また、このとき INTTA0 は発生しません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG とが一致すると、コンパレートタイミング時、毎回一致検出信号が出力されます。TMRA0, TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0, UC1 が 0 にクリアされ、割り込み INTTA1 が発生します。また、反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例: TA1REG = 04H, TA0REG = 80H の場合

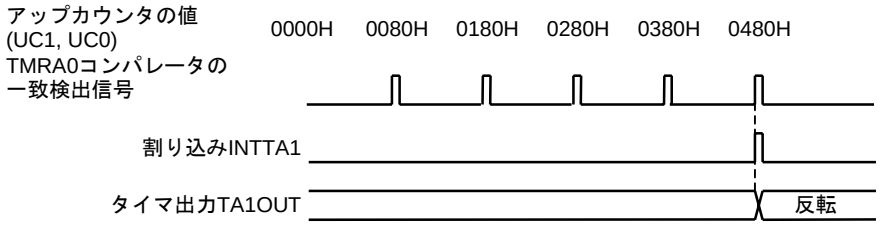


図 3.7.11 16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数, 任意デューティの矩形波を出力することができます。出力パルスは Low アクティブ, High アクティブどちらの設定も可能です。

このモードに設定した場合 TMRA1 は使用できません。

矩形波は TA1OUT へ出力されます。

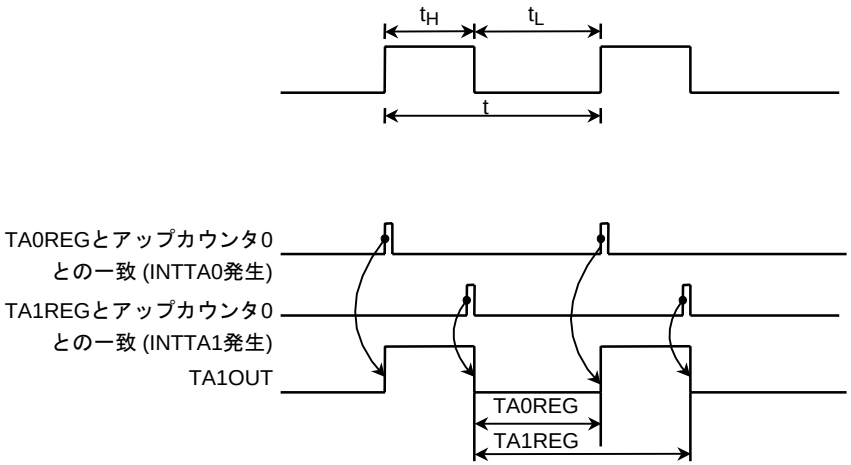


図 3.7.12 8 ビット PPG 出力波形

このモードは、8 ビットアップカウンタ UC0 がタイマレジスタ TA0REG および TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN<TA1RUN> = 1 に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと図 3.7.13のようになります。

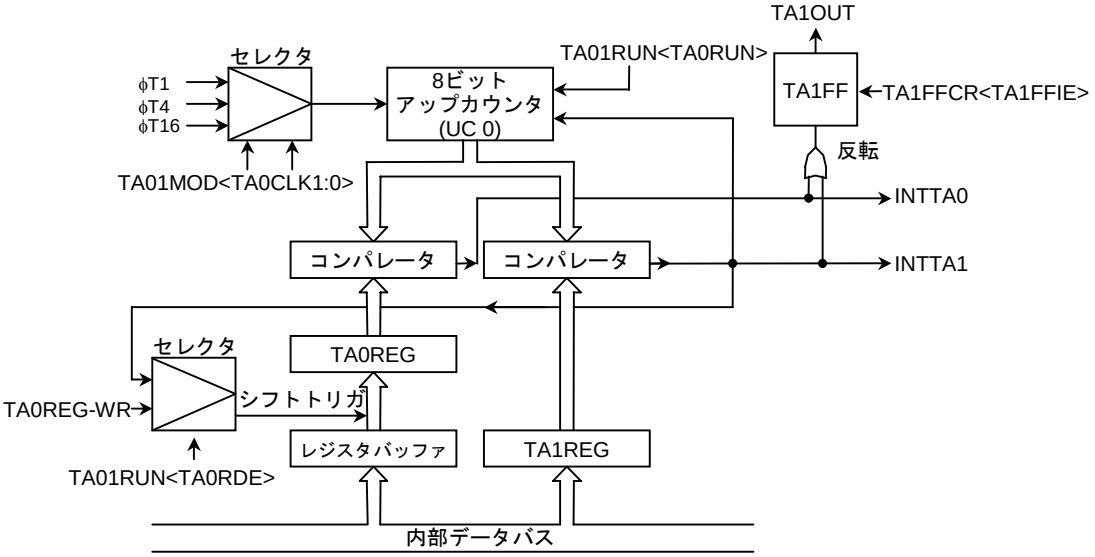


図 3.7.13 8 ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

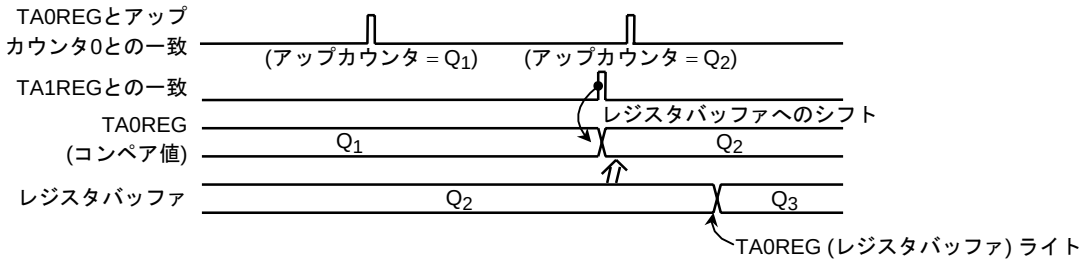
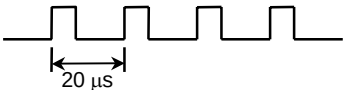


図 3.7.14 レジスタバッファの動作

例: デューティ 1/4 の 50 kHz のパルスを出力する場合(fc = 16 MHz)



* クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: f_{FPH}

タイマレジスタへの設定値を求めます。
周波数を 50 kHz にするには、周期 t = 1/50 kHz = 20 μs の波形をつくります。
φT1 = 0.5 μs (@ fc = 16 MHz) を用いると、

20 μs ÷ 0.5 μs = 40
従って、TA1REG を、TA1REG = 40 = 28H
次にデューティを 1/4 にするには、t × 1/4 = 20 μs × 1/4 = 5 μs

5 μs ÷ 0.5 μs = 10
従って、TA0REG = 10 = 0AH に設定します。

		7	6	5	4	3	2	1	0	
TA01RUN	←	0	X	X	X	–	0	0	0	TMRA0, TMRA1 を停止し、0 にクリアします。
TA01MOD	←	1	0	X	X	X	X	0	1	8 ビット PPG モードにし、入力クロックをφT1 にします。
TA0REG	←	0	0	0	0	1	0	1	0	0AH を書き込みます。
TA1REG	←	0	0	1	0	1	0	0	0	28H を書き込みます。
TA1FFCR	←	X	X	X	X	0	1	1	X	TA1FF をセットし、反転イネーブルにします。
										"10" にすると負論理の出力波形が得られます。
P7CR	←	X	X	X	X	–	–	–	1	P70 を TA1OUT 端子に設定します。
P7FC	←	–	–	–	–	–	–	–	1	
TA01RUN	←	1	X	X	X	–	1	1	1	TMRA0, TMRA1 のカウントを開始します。

X: Don't Care、–: No change

(4) 8 ビット PWM 出力モード

TMRA0 にのみ可能なモードで、分解能 8 ビットまでの PWM を出力することができます。PWM 出力は TA1OUT 端子へ出力されます。

このモードでは、TMRA1 は 8 ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタ UC0 がタイマレジスタ TA0REG の設定値と一致したときと、2^n (n = 6, 7, 8 のいずれかを TA01MOD<PWM01:00> で指定) カウンタオーバフロー発生時に起こります。また、UC0 は 2^n カウンタのオーバフローによってクリアされます。

なお、この PWM モードを使用する場合、次の条件を満たさなければなりません。

(TA0REG の設定値) < (2^n カウンタのオーバフロー設定値)

(TA0REG の設定値) ≠ 0

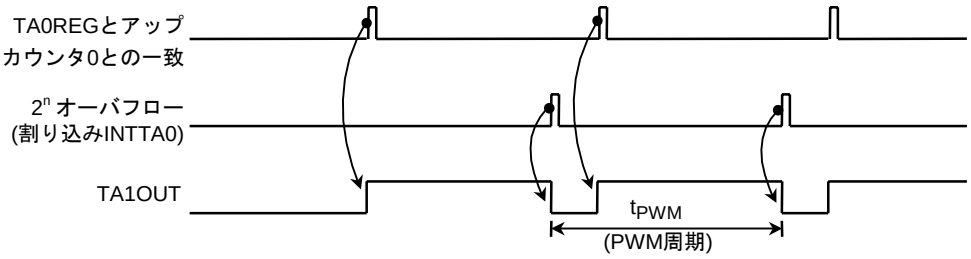


図 3.7.15 8 ビット PWM 出力波形

このモードをブロック図で示すと図 3.7.16のようになります。

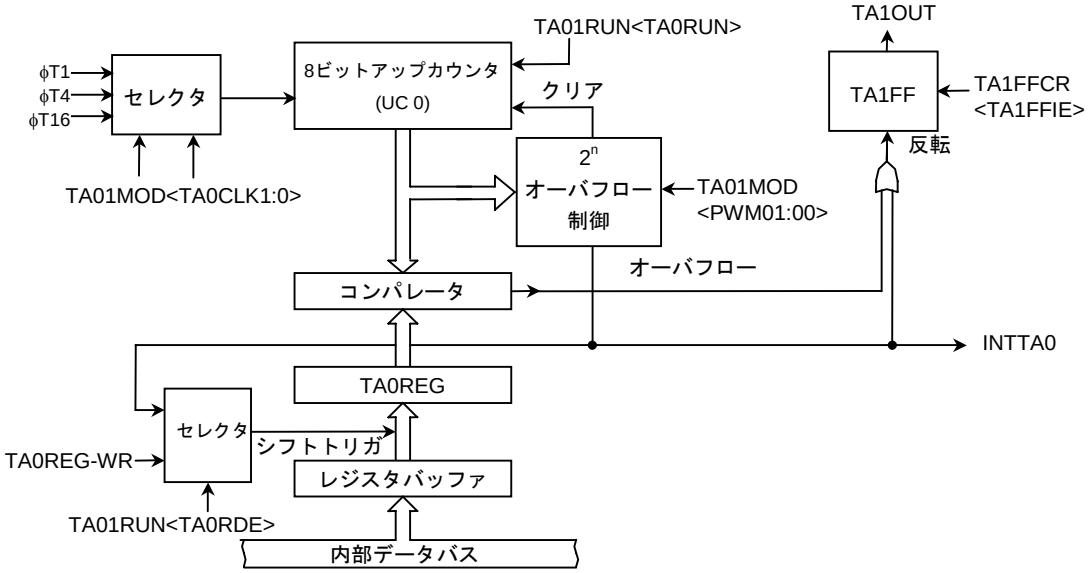


図 3.7.16 8 ビット PWM 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、2^n オーバフロー検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

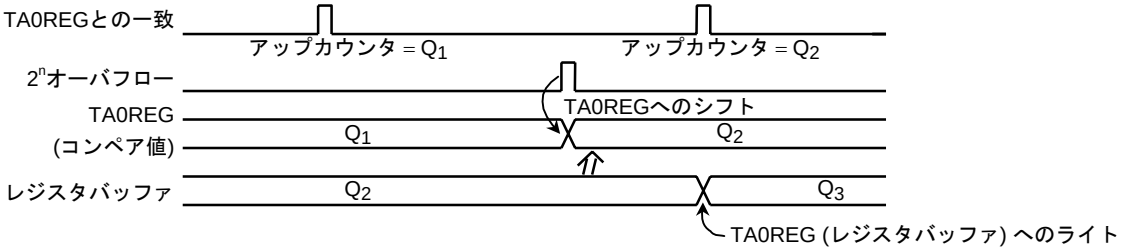
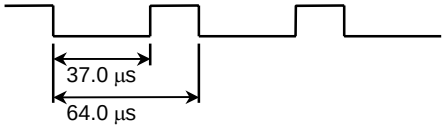


図 3.7.17 レジスタバッファの動作

例: fc = 16 MHz 時、TMRA0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合



* クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: f_{FPH}

PWM 周期 64.0 μs を、φT1 = 0.5 μs (@ fc = 16 MHz) で実現する場合

64.0 μs ÷ 0.5 μs = 128 = 2^n

従って n = 7 に設定します。

"L" レベルの期間は 37.0 μs ですからφT1 = 0.5 μs では、

37.0 μs ÷ 0.5 μs = 74 = 4AH

を TA0REG に設定します。

		MSB 7	6	5	4	3	2	1	LSB 0	
TA01RUN	←	–	X	X	X	–	–	–	0	TMRA0 を停止し、0 にクリアします。
TA01MOD	←	1	1	1	0	–	–	0	1	8 ビット PWM モード (周期 = 2^7) にし、入力クロックをφT1 にします。
TA0REG	←	0	1	0	0	1	0	1	0	4AH を書き込みます。
TA1FFCR	←	X	X	X	X	1	0	1	X	TA1FF をクリアし、反転イネーブルにします。
P7CR	←	X	X	X	X	–	–	–	1	P70 を TA1OUT 端子に設定します。
P7FC	←	–	–	–	–	–	–	–	1	
TA01RUN	←	1	X	X	X	–	1	–	1	TMRA0 のカウントを開始します。

X: Don't Care、–: No change

表 3.7.3 PWM 周期

@ fc = 16 MHz, fs = 32.768 kHz

システムクロック選択 <SYSCK>	プリスケーラ用クロック選択 <PRCK1:0>	クロックギア値 <GEAR2:0>	PWM 周期								
			2^6			2^7			2^8		
			φT1	φT4	φT16	φT1	φT4	φT16	φT1	φT4	φT16
1 (fs)	00 (f_{FPH})	XXX	15.6 ms	62.5 ms	250 ms	31.3 ms	125 ms	500 ms	62.5 ms	250 ms	1000 ms
0 (fc)		000 (fc)	32.0 μs	128 μs	512 μs	64.0 μs	256 μs	1024 μs	128 μs	512 μs	2048 μs
		001 (fc/2)	64.0 μs	256 μs	1024 μs	128 μs	512 μs	2048 μs	256 μs	1024 μs	4096 μs
		010 (fc/4)	128 μs	512 μs	2048 μs	256 μs	1024 μs	4096 μs	512 μs	2048 μs	8192 μs
		011 (fc/8)	256 μs	1024 μs	4096 μs	512 μs	2048 μs	8192 μs	1024 μs	4096 μs	16.384 ms
		100 (fc/16)	512 μs	2048 μs	8192 μs	1024 μs	4096 μs	16.384 ms	2048 μs	8192 μs	32.768 ms
	10 (fc/16 クロック)	XXX	512 μs	2048 μs	8192 μs	1024 μs	4096 μs	16.384 ms	2048 μs	8192 μs	32.768 ms

XXX: Don't care

(5) 動作モード設定一覧

TMRA01 の各モードをまとめると表 3.7.4のような設定になります。

表 3.7.4 各タイマモードの設定レジスタ

レジスタ名	TA01MOD				TA1FFCR
<レジスタ中の機能名>	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	TA1FFIS
機能	タイマモード	PWM 周期	上位タイマ入力クロック	下位タイマ入力クロック	タイマ F/F 反転信号セレクト
8 ビットタイマ × 2 チャネル	00	–	下位タイマ一致 φT1, φT16, φT256 (00, 01, 10, 11)	外部, φT1, φT4, φT16 (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16 ビットタイマモード	01	–	–	外部, φT1, φT4, φT16 (00, 01, 10, 11)	–
8 ビット PPG × 1 チャネル	10	–	–	外部, φT1, φT4, φT16 (00, 01, 10, 11)	–
8 ビット PWM × 1 チャネル	11	2^6, 2^7, 2^8 (01, 10, 11)	–	外部, φT1, φT4, φT16 (00, 01, 10, 11)	–
8 ビット PWM × 1 チャネル	11	–	φT1, φT16 , φT256 (01, 10, 11)	–	出力不可

–: Don't care

(6) LCD コントローラおよびメロディ･アラーム回路接続モード

TMRA3 にのみ可能なモードです。TMRA3 にて生成された (PPG モード, PWM モードなど) TA3 クロックを LCD コントローラ、およびメロディ･アラーム回路のソースクロックとして使用することができます。

動作時

1. タイマにてクロックを生成
2. クロックを接続 (EMCCR4<TA3LCDE> = “1” または<TA3MLDE> = “1”)
3. セットアップ時間ウェイト
4. 各回路駆動開始

停止時

5. 各回路駆動停止
6. クロックを切断 (EMCCR4<TA3LCDE> = “0”または <TA3MLDE> = “0”)

設定レジスタ

EMCCR4 (00E7H)	7	6	5	4	3	2	1	0
Bit Symbol							TA3MLDE3	TA3LCDE
Read/Write							R/W	R/W
リセット後							0	0
機　能							MLD 回路 クロック切替 0: 32 kHz 1: TMRA3	LCD 回路 クロック切替 0: 32 kHz 1: TMRA3

3.8 外部メモリ拡張機能 (MMU)

プログラム/データエリアに 4 個のローカルエリアを持たせることにより最大 105 M バイトまで拡張可能な MMU 機能です。

外部メモリへのアドレス情報の接続端子は、TLCS-900 ファミリー共通であるアドレスバス 24 端子 (A0~A23), CS/WAIT コントローラより出力されるチップセレクト 4 端子 ($\overline{CS0}$ ~ $\overline{CS3}$) に加えて MMU が作成する拡張アドレスバス EA24, EA25 端子および $\overline{CS2A}$ ~ $\overline{CS2E}$ の 7 端子を出力可能です。

下記に特長および 2 種類の推奨設定方法を示します。なお、表中の AH はアドレス 23~16 を 16 進数表示した値です。

用途	項目	(A) 標準拡張メモリ対応 (DRAM 未使用の場合)	(B) 多種類拡張メモリ対応
プログラム ROM	最大メモリサイズ	2 M バイト: COMMON2 + 14 M バイト: BANK (16 M バイト × 1pcs)	
	使用 LOCAL エリア, BANK 数	LOCAL2 (AH = C0~DF: 2 M バイト × 7 BANK)	
	CS/WAIT 設定	AH = C0~FF を CS2 へ設定	AH = 80~FF を CS2 へ設定
	使用 $\overline{CS}$ 端子	$\overline{CS2}$	$\overline{CS2A}$
データ ROM	最大メモリサイズ	64 M バイト (64 M バイト × 1pcs)	64 M バイト (16 M バイト × 4pcs)
	使用 LOCAL エリア, BANK 数	LOCAL3 (AH = 80~BF: 4M バイト × 16 BANK)	LOCAL3 (AH = 80~BF: 4M バイト × 16 BANK)
	CS/WAIT 設定	AH = 80~BF を CS3 へ設定	AH = 80~FF を CS2 へ設定
	使用 $\overline{CS}$ 端子	$\overline{CS3}$, EA24, EA25	$\overline{CS2B}$, $\overline{CS2C}$, $\overline{CS2D}$, $\overline{CS2E}$
プログラム拡張 ROM	最大メモリサイズ	2 M バイト: COMMON1 + 14 M バイト: BANK (16 M バイト × 1pcs)	
	使用 LOCAL エリア, BANK 数	LOCAL1 (AH = 40~5F: 2 M バイト × 7 BANK)	
	CS/WAIT 設定	AH = 40~7F を CS1 へ設定	
	使用 $\overline{CS}$ 端子	$\overline{CS1}$	
データ RAM	最大メモリサイズ	1 M バイト: COMMON1 + 7 M バイト: BANK (8 M バイト × 1pcs)	
	使用 LOCAL エリア, BANK 数	LOCAL0 (AH = 10~1F: 1 M バイト × 7 BANK)	
	CS/WAIT 設定	AH = 00~1F を CS0 へ設定	AH = 00~1F を CS3 へ設定
	使用 $\overline{CS}$ 端子	$\overline{CS0}$ (DRAM は対応不可)	$\overline{CS3}$ (DRAM 対応可能)
拡張メモリ 1	最大メモリサイズ		1 M バイト (1 M バイト × 1pcs)
	使用 LOCAL エリア, BANK 数		なし
	CS/WAIT 設定		AH = 20~2F を CS0 へ設定
	使用 $\overline{CS}$ 端子		$\overline{CS0}$
拡張メモリ 2 (アドレス直接指定 RAM 内蔵型 LCD ドライバ)	最大メモリサイズ	256 K バイト (64 K バイト × 4 pcs)	
	使用 LOCAL エリア, BANK 数	なし	
	CS/WAIT 設定	–	
	使用 $\overline{CS}$ 端子	D1BSCP, D2BLP, D3BFR, DLEBCD	
拡張メモリ 3	最大メモリサイズ	1 M バイト + 768 K バイト	768 K バイト
	使用 LOCAL エリア, BANK 数	なし	
	CS/WAIT 設定	–	
	使用 $\overline{CS}$ 端子	なし	

3.8.1 推奨メモリマップ

多種類拡張メモリ対応時の推奨論理アドレスメモリマップを図 3.8.1 に、物理アドレスマップを図 3.8.2 に示します。

使用するメモリが 16 M バイト以内のシステムでメモリを拡張しない場合は特に制限はなく、使用方法は CS/WAIT コントローラの章を参照してください。MMU に内蔵するレジスタの設定は不要です。

アドレス 100000H~1FFFFFH などのバンク設定可能領域をローカルエリアと呼び、各ローカルエリアごとに割り当てられたエリアをコモンエリアと呼びます。ローカルエリアのアドレスは固定で変更できません。

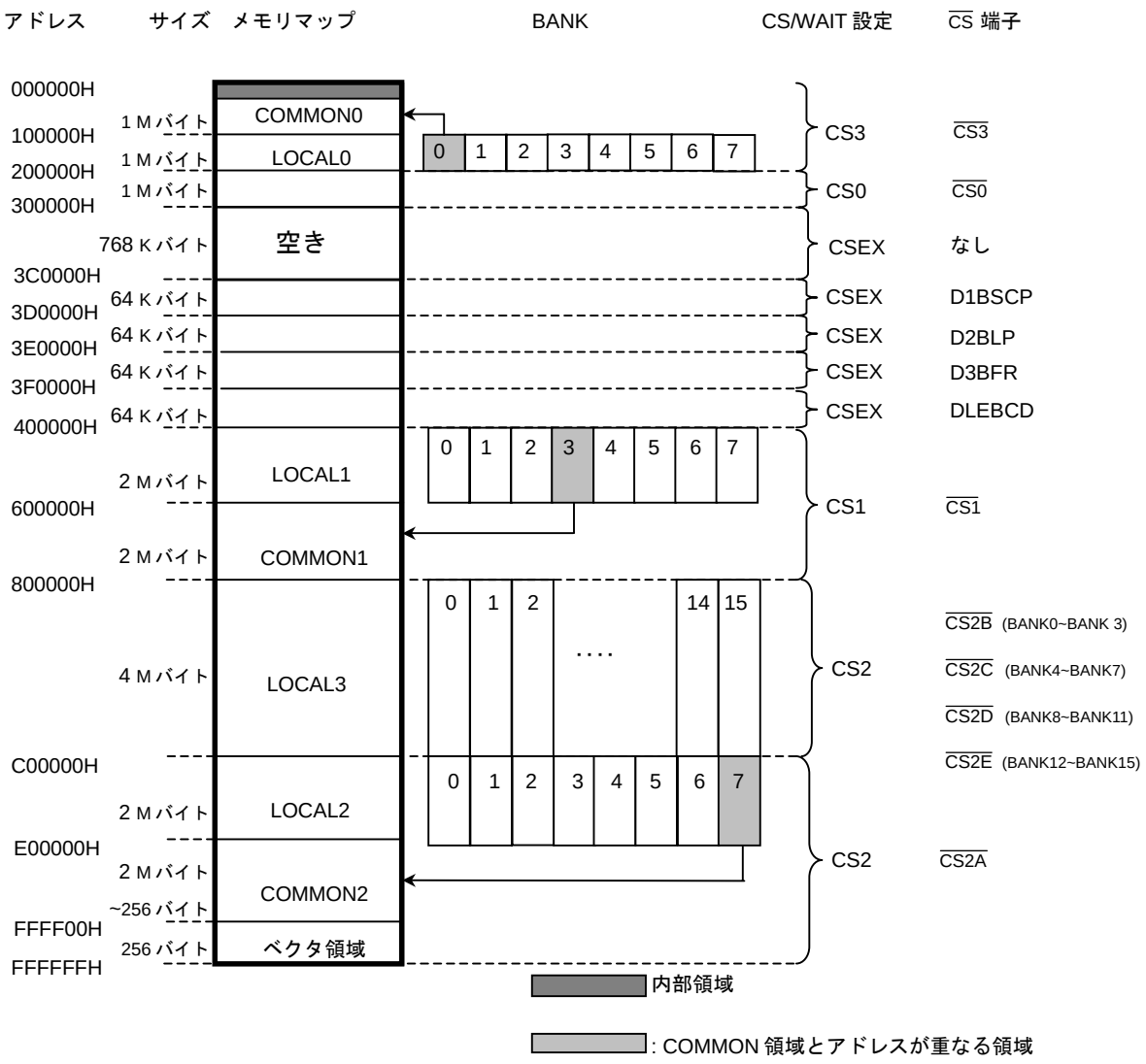


図 3.8.1 論理アドレスメモリマップ

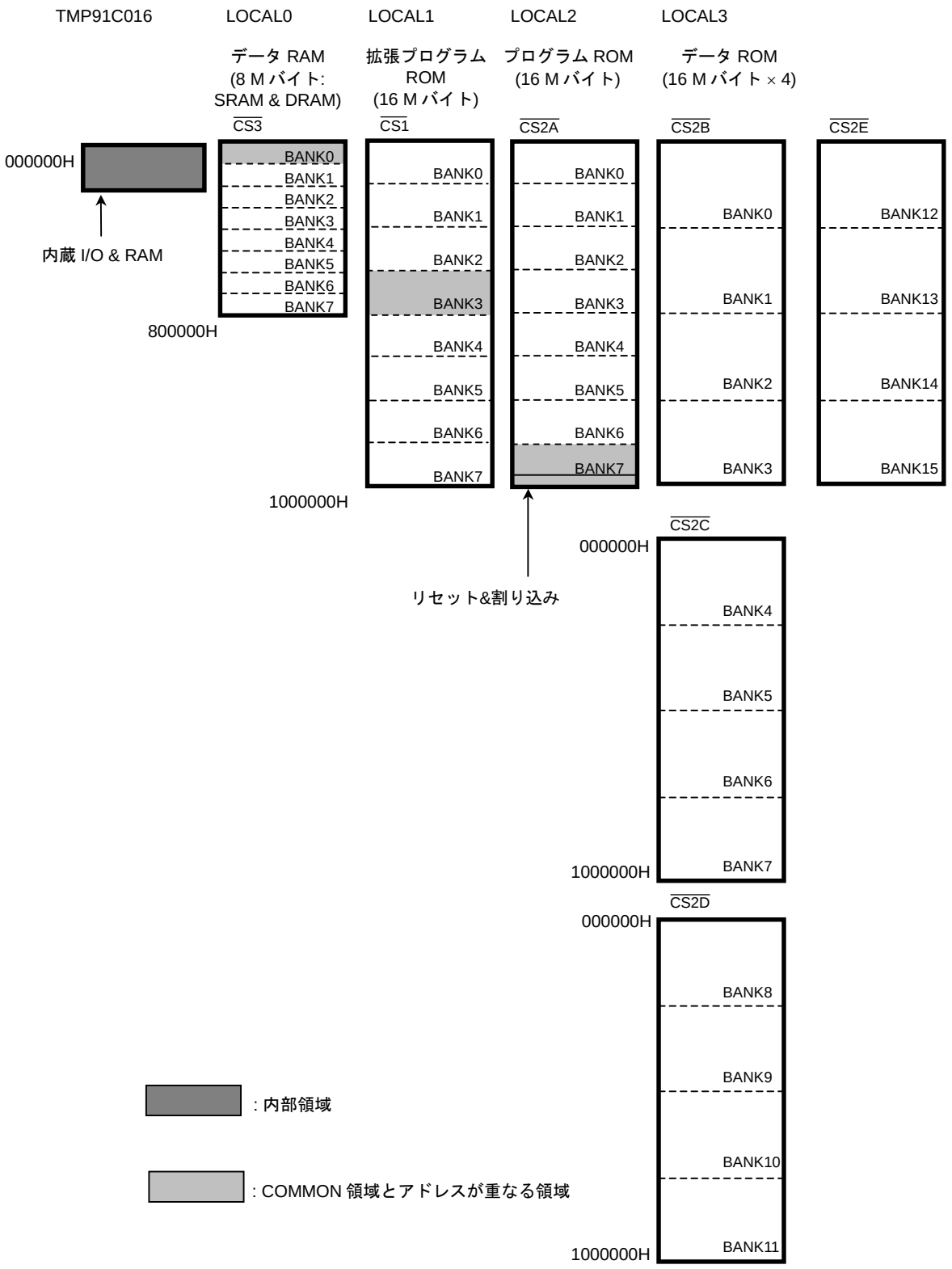


図 3.8.2 物理アドレスメモリマップ

3.8.2 ブロック図

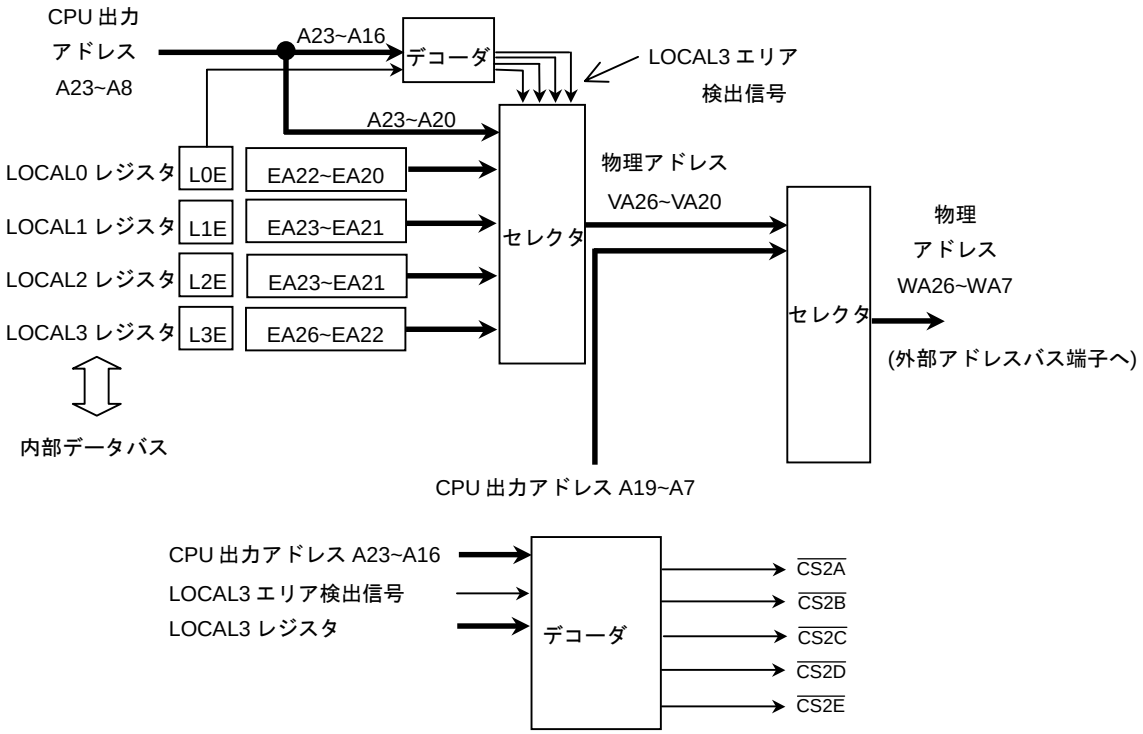


図 3.8.3 MMU ブロック図

3.8.3 MMU 動作説明

あらかじめ、コモンエリアにて LOCAL レジスタのローカルエリアのバンク設定レジスタバンク値, バンク許可を設定します。また、その際のピンの仕様 (兼用ピンの設定) と、CS/WAIT コントローラでマッピングの設定をします。CPU がそのローカルエリアの論理アドレスを出力すると、MMU はバンク設定レジスタの値に従って、外部アドレスバス端子へ物理アドレスとを出力します。これにより外部メモリのアクセスが可能となります。

各ローカルエリアごとに設けられたコモンエリアは、バンク間の往来時に経由しなければいけないエリアです。例えば、LOCAL2 の BANK0 から BANK6 へプログラムが分岐する場合、BANK0 から一度 COMMON2 へ分岐し、そこから BANK6 へ分岐します。

このコモンエリアは、物理マップ上ローカルエリアのバンクのいずれかに重なりますので、重なるメモリエリアはコモンエリアとして使用し、バンクエリアとしては使用しないでください。

LOCAL0 レジスタ

		7	6	5	4	3	2	1	0
LOCAL0 (0350H)	Bit symbol	L0E					L0EA22	L0EA21	L0EA20
	Read/Write	R/W					R/W		
	リセット後	0					0	0	0
	機　能	LOCAL0 BANK 使用 0: 禁止 1: 許可					LOCAL0 エリア BANK 設定		

LOCAL1 レジスタ

		7	6	5	4	3	2	1	0
LOCAL1 (0351H)	Bit symbol	L1E					L1EA23	L1EA22	L1EA21
	Read/Write	R/W					R/W		
	リセット後	0					0	0	0
	機　能	LOCAL1 BANK 使用 0: 禁止 1: 許可					LOCAL1 エリア BANK 設定		

LOCAL2 レジスタ

		7	6	5	4	3	2	1	0
LOCAL2 (0352H)	Bit symbol	L2E					L2EA23	L2EA22	L2EA21
	Read/Write	R/W					R/W		
	リセット後	0					0	0	0
	機　能	LOCAL2 BANK 使用 0: 禁止 1: 許可					LOCAL2 エリア BANK 設定		

LOCAL3 レジスタ

		7	6	5	4	3	2	1	0
LOCAL3 (0353H)	Bit symbol	L3E			L3EA26	L3EA25	L3EA24	L3EA23	L3EA22
	Read/Write	R/W					R/W		
	リセット後	0			0	0	0	0	0
	機　能	LOCAL3 BANK 使用 0: 禁止 1: 許可			01000~01011: $\overline{CS2D}$ 00000~00011: $\overline{CS2B}$ 00100~00111: $\overline{CS2C}$		01100~01111: $\overline{CS2E}$ 10000~11111: 設定禁止		

図 3.8.4 MMU 制御レジスタ

次ページ以降にバンクの使用方法として簡単な例を示します。

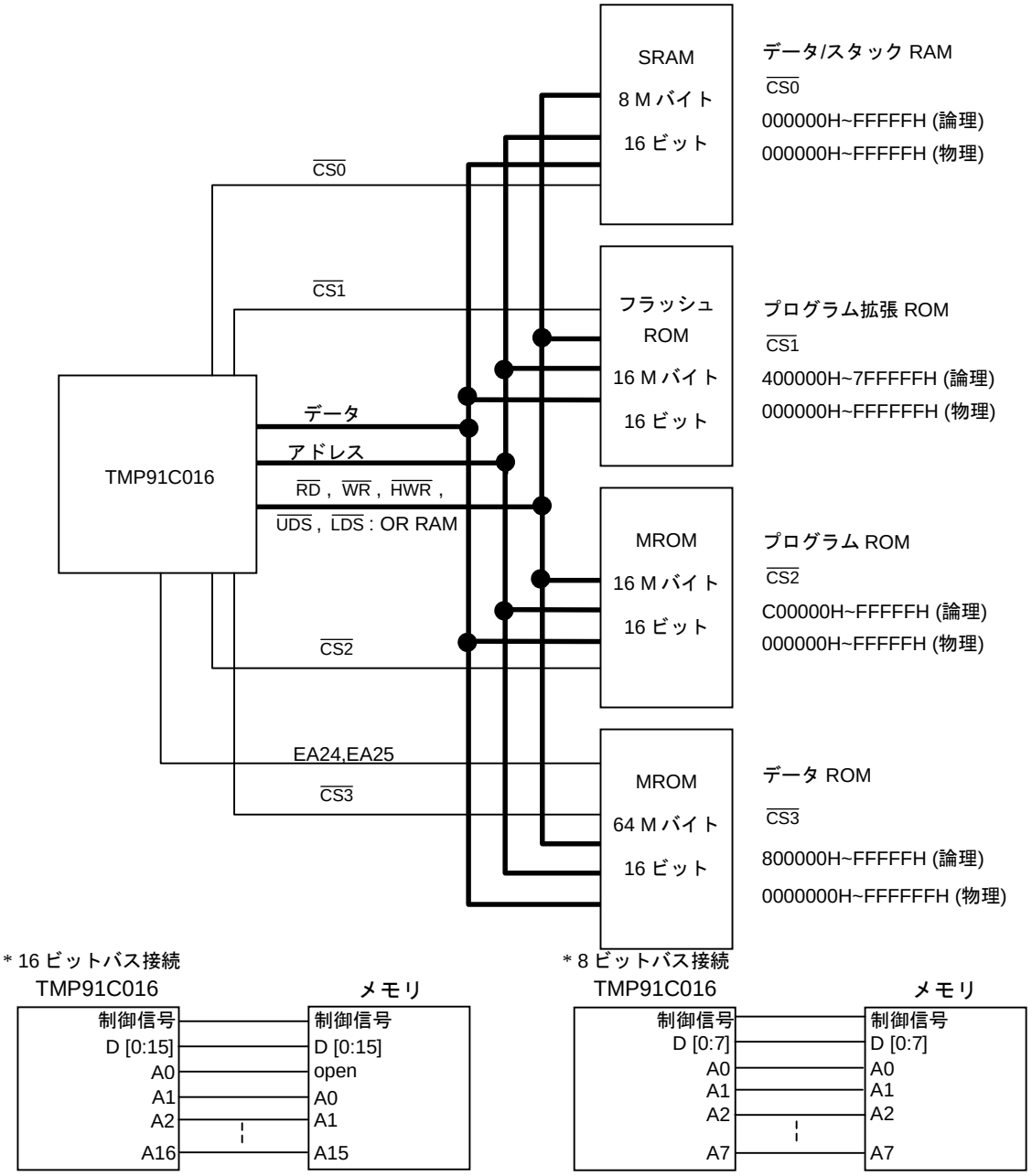


図 3.8.5 H/W 設定例

図 3.8.5 にTMP91C016にプログラム ROM (MROM:16 M バイト) と、データ ROM (MROM: 64 M バイト) と、RAM (SRAM: 8 M バイト) と、プログラム拡張 ROM (フラッシュ: 16 M バイト) を接続した場合の例を示します。本例ではすべて 16 ビットバスのメモリを接続していますが、もし 8 ビットと 16 ビットのメモリが混在した場合は、16 ビットバスのメモリには TMP91C016 から出力されるアドレスを 1 つシフトして接続し、8 ビットバスのメモリにはそのまま接続します。

ソフトウエア上で管理するいわゆる論理アドレスと実際に出力される物理アドレスを示しています。それぞれ SRAM を $\overline{CS0}$, フラッシュ ROM を $\overline{CS1}$, プログラム MROM を $\overline{CS2}$, データ MROM を $\overline{CS3}$ に割り当てます。ここでは、データ MROM を 64M バイトにて使用するため、オプションアドレスの EA24 と EA25 を接続します。

リセット後の初期状態では $\overline{CS2}$ からアクセスされるためプログラム ROM を $\overline{CS2}$ に割り当てるのが普通です。また、本例では DRAM を使用していません。DRAM を使用する場合は $\overline{CS3}$ (RAS) を割り当てる必要がありますので、図 3.8.1「論理アドレスメモリマップ」の例に従ってメモリマッピングすることが必要です。

それ以外の割り当ては、メモリサイズ, 用途に合わせて設定は自由です。

```
;Initial Setting
  ;CS0
    LD      (MSAR0), 00H     ; Logical address area: 000000H~FFFFFH
    LD      (MAMR0), 7FH     ; Logical address size: 1 Mbyte
    LD      (B0CS), 81H      ; Condition: 16 bits, 1 wait (8 Mbytes, SRAM)
  ;CS1
    LD      (MSAR1), 40H     ; Logical address area: 400000H~FFFFFH
    LD      (MAMR1), FFH     ; Logical address size: 4 Mbytes
    LD      (B1CS), 80H      ; Condition: 16 bits, 2 waits (16 Mbytes, Flash ROM)
  ;CS2
    LD      (MSAR2), C0H     ; Logical address area: C00000H~FFFFFH
    LD      (MAMR2), 7FH     ; Logical address size: 4 Mbytes
    LD      (B2CS), C3H      ; Condition: 16 bits, 0 waits (16 Mbytes, MROM)
  ;CS3
    LD      (MSAR3), 80H     ; Logical address area: 800000H~FFFFFH
    LD      (MAMR3), 7FH     ; Logical address size: 4 Mbytes
    LD      (B3CS), 83H      ; Condition: 16 bits, 0 waits (64 Mbytes, MRAM)
  ;CSX
    LD      (BEXCS), 00H     ; Other : 16 bits, 2 waits (Don't care)
  ;Port
    LD      (P6FC), 3FH      ; CS0 ~ CS3, EA24, EA25 : Port 6 setting
    LD      (P6FC2), C0H     ; LDS, UDS : Port 6 setting
  ~
```

図 3.8.6 BANK 動作 S/W 例 1

次に、図 3.8.6に初期設定の例を示します。

$\overline{CS0}$ には 16 ビットバス, 8 M バイトの RAM が接続されるため、CS/WAIT コントローラにて、16 ビットバス, 1_WAIT に設定します。同様に $\overline{CS1}$ は 16 ビットバス, 2_WAIT に、$\overline{CS2}$ は 16 ビットバス, 0_WAIT に、$\overline{CS3}$ は 16 ビットバス, 0_WAIT に設定します。

各チップセレクトに指定するメモリサイズの設定方法は接続するメモリの最大サイズを指定するのではなく、それぞれのローカルエリアおよびコモンエリアのサイズに合わせて、論理アドレスのサイズを設定します。物理アドレスは各エリアのバンクレジスタの設定によって制御します。

CSEX は上記 CS0~CS3 のチップセレクトで選択されなかった論理アドレスの設定になります。このプログラム例では使用していません。

次にピンの設定を行います。ポート 60~65 をそれぞれ $\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$, EA24, EA25 に設定します。

また、SRAM 用に $\overline{UDS}$, $\overline{LDS}$ を設定します。詳細には入出力設定やプルアップ･プルダウンの制御など必要ですが、本例では省略します。

```
;BANK Operation
;***** CS2 *****
ORG   000000H                ; Program ROM: Start address at BANK0 of LOCAL2
ORG   200000H                ; Program ROM: Start address at BANK1 of LOCAL2
ORG   400000H                ; Program ROM: Start address at BANK2 of LOCAL2
ORG   600000H                ; Program ROM: Start address at BANK3 of LOCAL2
ORG   800000H                ; Program ROM: Start address at BANK4 of LOCAL2
ORG   a00000H                ; Program ROM: Start address at BANK5 of LOCAL2
ORG   c00000H                ; Program ROM: Start address at BANK6 of LOCAL2

ORG   E00000H                ; Program ROM: Start address at BANK7 (= COMMON2) of LOCAL2
                             ; Logical address E00000H~FFFFFFH
                             ; Physical address 0E00000H~0FFFFFFH
      LD    (LOCAL3), 85H    ; LOCAL 3 BANK5 set 14xxxxH
      LDW   HL, (800000H)    ; Load data (5555H) form BANK 5 (140000H: Physical address)
                                                                  of LOCAL3 (CS3)
      LD    (LOCAL3), 88H    ; LOCAL 3 BANK8 set 20xxxxH
      LD    WBC, (800000H)   ; Load data (AAAAH) form BANK 8 (200000H: Physical address)
                                                                  of LOCAL3 (CS3)
~
ORG   FFFFFFH                ; Program ROM: End address at BANK7(= COMMON2) of LOCAL2

;***** CS3 *****
ORG   0000000H               ; Data ROM: Start address at BANK0 of LOCAL3
ORG   0400000H               ; Data ROM: Start address at BANK1 of LOCAL3
ORG   0800000H               ; Data ROM: Start address at BANK2 of LOCAL3
ORG   0C00000H               ; Data ROM: Start address at BANK3 of LOCAL3
ORG   1000000H               ; Data ROM: Start address at BANK4 of LOCAL3
ORG   1400000H               ; Data ROM: Start address at BANK5 of LOCAL3
      dw    5555H
~
ORG   1800000H               ; Data ROM: Start address at BANK6 of LOCAL3
ORG   1C00000H               ; Data ROM: Start address at BANK7 of LOCAL3
ORG   2000000H               ; Data ROM: Start address at BANK8 of LOCAL3
      dw    AAAAH
~
ORG   2400000H               ; Data ROM: Start address at BANK9 of LOCAL3
ORG   2800000H               ; Data ROM: Start address at BANK10 of LOCAL3
ORG   2C00000H               ; Data ROM: Start address at BANK11 of LOCAL3
ORG   3000000H               ; Data ROM: Start address at BANK12 of LOCAL3
ORG   3400000H               ; Data ROM: Start address at BANK13 of LOCAL3
ORG   3800000H               ; Data ROM: Start address at BANK14 of LOCAL3
ORG   3C00000H               ; Data ROM: Start address at BANK15 of LOCAL3
ORG   3FFFFFFH               ; Data ROM: End address at BANK15 of LOCAL3
```

図 3.8.7 BANK 動作 S/W 例 2

ここでは、バンクをまたいでデータのやり取りを行う例を示します。

図 3.8.7にソフトウエアの例を載せます。点線で囲ったものがそれぞれのメモリであり、$\overline{CS2}$に割り当てたプログラム ROM と $\overline{CS3}$に割り当てたデータ ROM をそれぞれ示しています。プログラムはアドレス E00000H から動き始め、まず LOCAL3 エリアのバンクレジスタに、アクセスしたいアドレスの上位 5 ビットを書き込みます。

このとき、本例では最上位アドレスは EA25 のため、最上位ビットは無意味なビットになり、上位 5 ビット中、4 ビットが 16 個の BANK を意味します。BANK5 を指定して、$\overline{CS3}$のローカルエリアである論理アドレス 800000H~BFFFFFH をアクセスすると、物理アドレスは 1400000H~1700000H となってデータ ROM をアクセスします。

```
;BANK Operation
;***** CS2 *****
ORG   000000H              ; Program ROM: Start address at BANK0 of LOCAL2
ORG   200000H              ; Program ROM: Start address at BANK1 of LOCAL2
      NOP                  ; Operation at BANK1 of LOCAL2
~
      JP  E00100H          ; Jump to BANK7 (= COMMON2) of LOCAL2
ORG   400000H              ; Program ROM: Start address at BANK2 of LOCAL2
ORG   600000H              ; Program ROM: Start address at BANK3 of LOCAL2
      NOP                  ; Operation at BANK3 of LOCAL2
~
      JP  E00200H          ; Jump to BANK7 (= COMMON2) of LOCAL2
ORG   800000H              ; Program ROM: Start address at BANK4 of LOCAL2
ORG   a00000H              ; Program ROM: Start address at BANK5 of LOCAL2
ORG   c00000H              ; Program ROM: Start address at BANK6 of LOCAL2

!!!! Program Start !!!!
ORG   E00000H              ; Program ROM: Start address at BANK7 (= COMMON2)
                                                                of LOCAL2
                           ; Logical address E00000H~FFFFFFH
                           ; Physical address 0E00000H~0FFFFFFH
      LD    (LOCAL2), 81H  ; LOCAL2 BANK1 set 20xxxxH
      JP    C00000H        ; Jump to BANK1 (200000H: Physical address) of LOCAL2
~
ORG   E00100H
      LD    (LOCAL2), 83H  ; LOCAL2 BANK3 set 60xxxxH
      JP    C00000H        ; Jump to BANK3 (600000H: Physical address) of LOCAL2
~
ORG   E00200H
      LD    (LOCAL1), 84H  ; LOCAL1 BANK4 set 80xxxxH
      JP    400000H        ; Jump to BANK4 (800000H: Physical address) of LOCAL1
ORG   FFFFFFH              ; Program ROM: End address at BANK7(= COMMON2) of LOCAL2
```

```
;***** CS1 *****
ORG   000000H              ; Program ROM: Start address at BANK0 of LOCAL1
ORG   200000H              ; Program ROM: Start address at BANK1 of LOCAL1
ORG   400000H              ; Program ROM: Start address at BANK2 of LOCAL1
ORG   600000H              ; Program ROM: Start address at BANK3(= COMMON1) of LOCAL1
      LD    (LOCAL1), 87H  ; LOCAL 1 BANK7 set E0xxxxH
      JP    400000H        ; Jump to BANK7 (E00000H: Physical address) of LOCAL1
ORG   800000H              ; Program ROM: Start address at BANK4 of LOCAL1
      NOP                  ; Operation at BANK4 of LOCAL1
~
      JP    600000H        ; Jump to BANK3(= COMMON1) of LOCAL1
ORG   a00000H              ; Program ROM: Start address at BANK5 of LOCAL1
ORG   c00000H              ; Program ROM: Start address at BANK6 of LOCAL1
ORG   E00000H              ; Program ROM: Start address at BANK7 of LOCAL1
      LD    (LOCAL1), 80H  ; LOCAL1 BANK0 set 00xxxxH
      JP    400000H        ; Jump to BANK0 (000000H: Physical address) of LOCAL1
```

プログラムの暴走の恐れがあるため、COMMON エリア以外で
バンクの設定をしないでください。

```
ORG   FFFFFFH              ; Program ROM: End address at BANK7 of LOCAL1
```

図 3.8.8 BANK 動作 S/W 例 3

次に、図 3.8.8ではプログラムがジャンプする場合の例を示します。

前例と同様に点線で囲ったものがそれぞれのメモリであり、$\overline{CS2}$に割り当てたプログラム ROM と$\overline{CS1}$に割り当てたプログラム拡張 ROM をそれぞれ示しています。プログラムは、コモンエリアであるアドレス E00000H から動き始め、まず LOCAL2 エリアのバンクレジスタに分岐したいアドレスの上位 3 ビットを書き込みます。

BANK1 を指定して、$\overline{CS2}$のローカルエリアである論理アドレス C00000H~DFFFFFH へジャンプすると、物理アドレスは 200000H~3FFFFFH となってジャンプします。元のコモンエリアへ戻る場合は、LOCAL2 エリアのバンクレジスタへの書き込みは不要で、直接コモンエリアのアドレス E00000H~FFFFFFH にジャンプすれば戻ることができます。

バンクレジスタの設定の仕方によっては、バンクアドレスとコモンアドレスが重なる設定も可能となってしまいます。コモンエリアを示す論理アドレスが 2 種類以上存在すると、バンクの管理が混乱する恐れがありますので、バンクアドレスとコモンアドレスが重なる場合のバンクは使用しないことをお勧めします。

$\overline{CS}$ をまたいでジャンプする際も同様に設定します。ジャンプしたい LOCAL1 エリアのバンクレジスタに、飛び先アドレスの上位 3 ビットを書き込みます。

バンク 4 を指定して、$\overline{CS1}$のローカルエリアである論理アドレス 400000H~5FFFFFH へジャンプすると、物理アドレスは 800000H~9FFFFFH となってジャンプします。

ここで注意する点ですが、バンクからバンクへ移動するときは、必ずコモンエリアを経由することが必要です。つまり、バンクレジスタへのバンク書き込みはコモンエリアのみで行い、バンクエリア内では行わないということです。バンクエリア内でバンク情報を書き替えると、書き替えた直後にバンクが切り替わろうとしてしまうため、プログラムは暴走してしまいます。

3.9 シリアルチャネル (SIO)

シリアル入出力を 2 チャネル内蔵しています。それぞれ SIO0, SIO1 と呼びます。SIO0 チャネルは、UART (非同期通信) モードおよび IrDA (赤外線通信) モードを選択でき、SIO1 チャネルは、UART (非同期通信) モードおよび I/O インタフェース (同期通信) モードを選択できます。

下記に、SIO1 チャネルの持つ機能である UART モードおよび I/O インタフェースモードを説明します。

- I/O インタフェースモード ── モード 0: I/O を拡張するための I/O データの送受信と、その同期信号 (SCLK) の送受信を行うモード
- UART (非同期通信) モード
  - モード 1: 送受信データ長 7 ビット
  - モード 2: 送受信データ長 8 ビット
  - モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク（マルチコントローラシステム）でスレーブコントローラを起動させるためのウェイクアップ機能を持っています。

図 3.9.2 ~図 3.9.3 に、SIO0, SIO1 のブロック図を示します。

各チャネルは主に、プリスケーラ, シリアルクロック生成回路, 受信バッファとその制御回路, 送信バッファとその制御回路で構成されています。

各チャネルは、それぞれ独立に動作します。いずれのチャネルも、下記に示す表 3.9.1の仕様相違点を除いて同一の動作をしますので、SIO1 の場合についてのみ説明します。

表 3.9.1 SIO のチャネル別仕様相違点

	SIO0	SIO1
対応端子	OPTTX0 (P71) OPTRX0 (P72)	TXD1 (PC3) RXD1 (PC4) $\overline{CTS1}$, SCLK1 (PC5)
I/O インタフェースモード	なし	あり
IrDA モード	あり	なし

本章は、下記のような構成になっています。

3.9.1 チャネル別のブロック図

3.9.2 回路別の動作説明

3.9.3 SFR 説明

3.9.4 モード別動作説明

3.9.5 IrDA のサポート

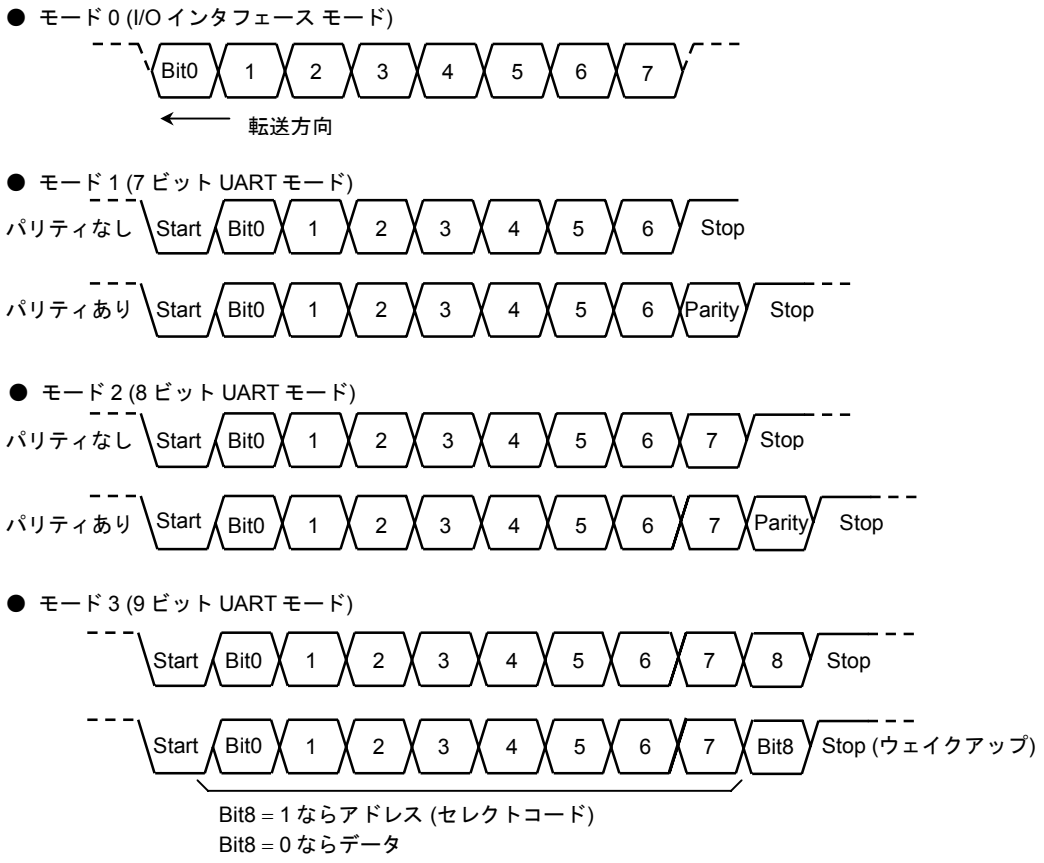


図 3.9.1 データフォーマット

3.9.1 チャネル別のブロック図

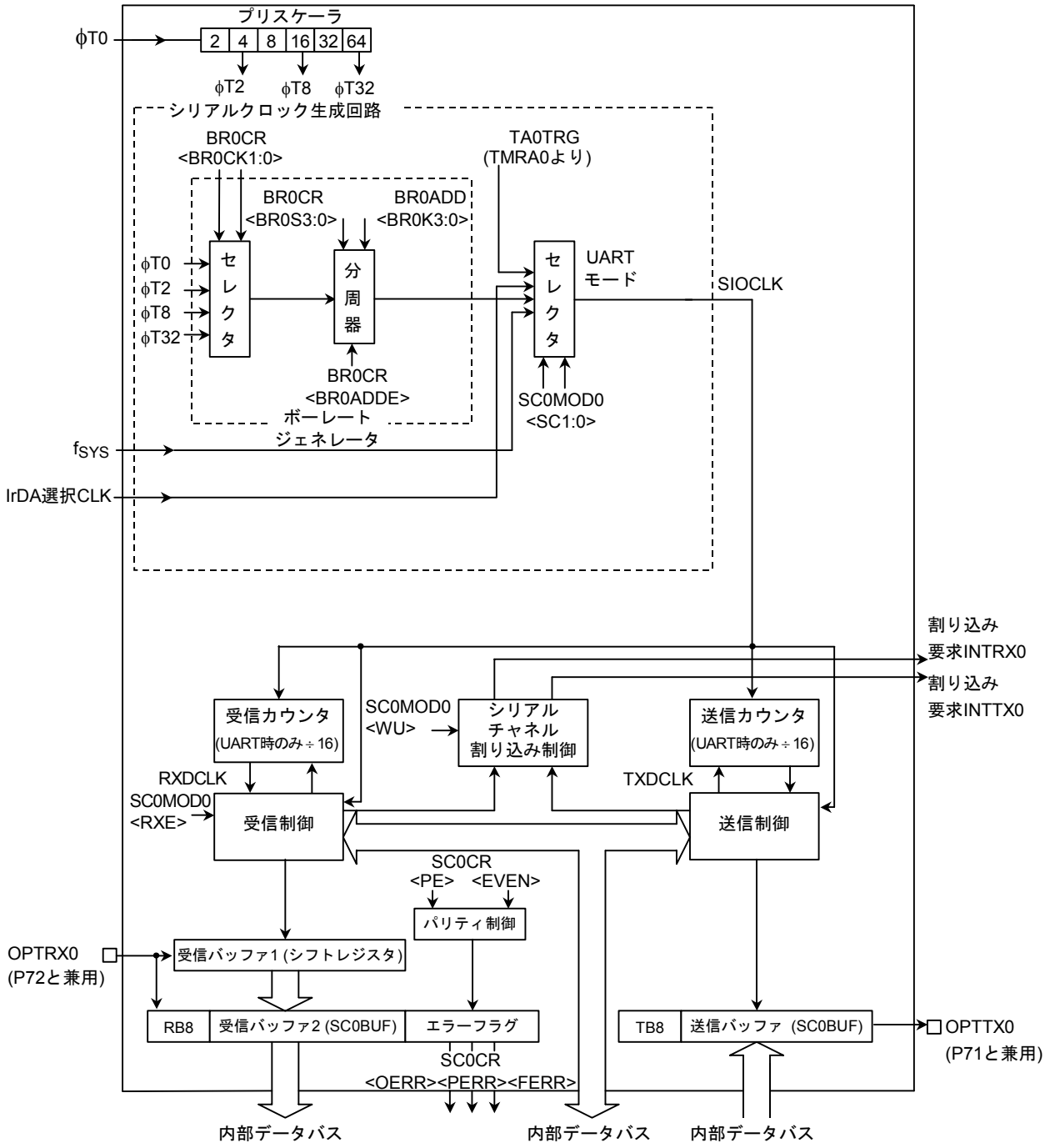


図 3.9.2 SIO0 ブロック図

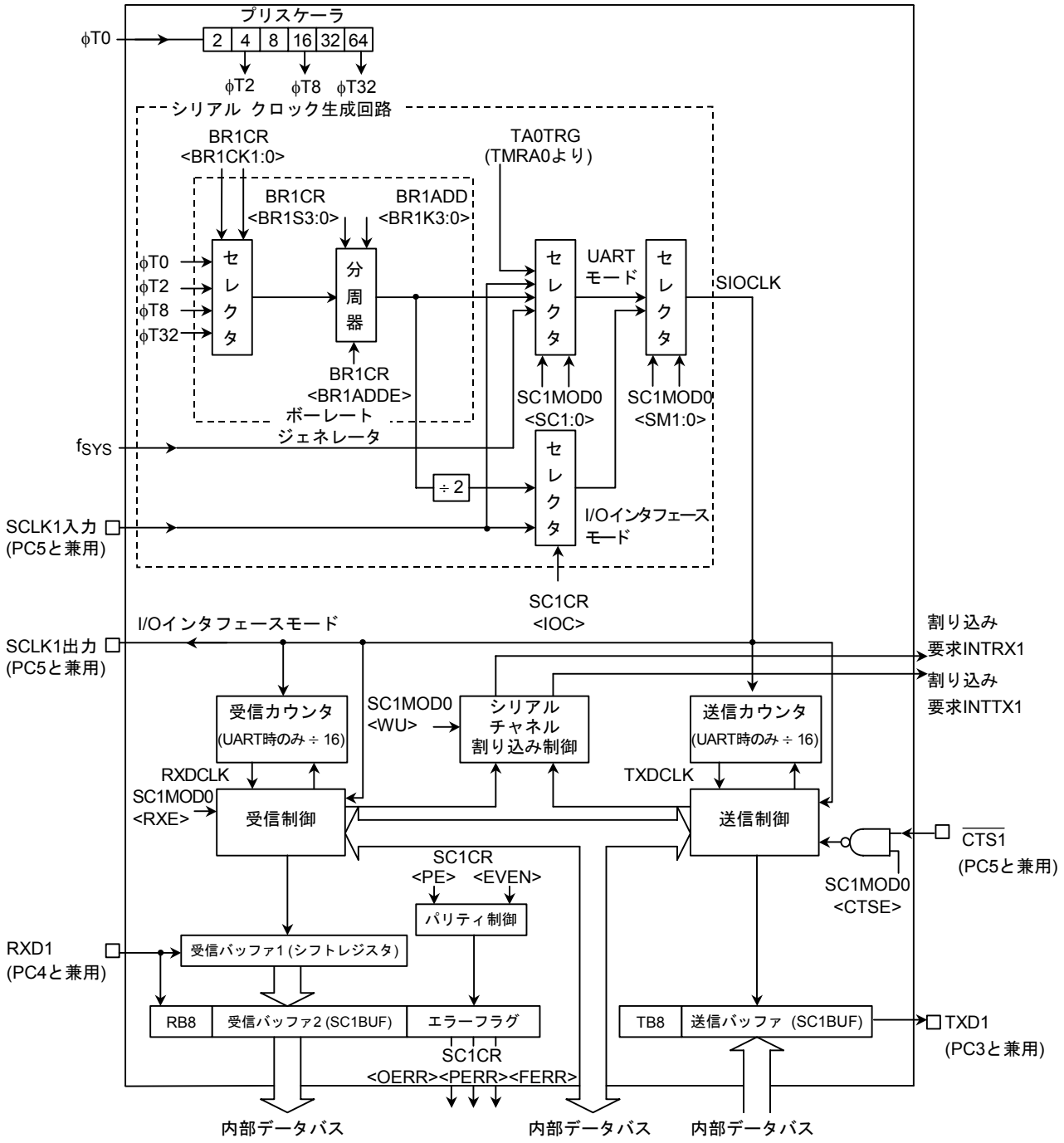


図 3.9.3 SIO1 ブロック図

3.9.2 回路別の動作説明

(1) プリスケーラ

SIO の動作クロックを生成するために、6 ビットプリスケーラがあります。プリスケーラの入力クロックφT0 は、クロックギア部の SYSCR<PRCK1:0> にて選択したクロックを 4 分周したクロックです。

プリスケーラは、シリアル転送クロックにボーレートジェネレータを選択した場合にのみ動作します。プリスケーラ出力クロックの分解能を表 3.9.2に示します。

表 3.9.2 ボーレートジェネレータへの入力クロック分解能

システムクロック選択 <SYSCK>	プリスケーラ用クロック選択 <PRCK1:0>	クロックギア値 <GEAR2:0>	入力クロック分解能			
			φT0	φT2	φT8	φT32
1 (fs)	00 (f_{FPH})	XXX	$fs/2^2$	$fs/2^4$	$fs/2^6$	$fs/2^8$
0 (fc)		000 (fc)	$fc/2^2$	$fc/2^4$	$fc/2^6$	$fc/2^8$
		001 (fc/2)	$fc/2^3$	$fc/2^5$	$fc/2^7$	$fc/2^9$
		010 (fc/4)	$fc/2^4$	$fc/2^6$	$fc/2^8$	$fc/2^{10}$
		011 (fc/8)	$fc/2^5$	$fc/2^7$	$fc/2^9$	$fc/2^{11}$
		100 (fc/16)	$fc/2^6$	$fc/2^8$	$fc/2^{10}$	$fc/2^{12}$
	10 (fc/16 クロック)	XXX	–	$fc/2^8$	$fc/2^{10}$	$fc/2^{12}$

XXX: Don't care、–: 使用不可

シリアルインタフェースボーレートジェネレータには、プリスケーラ出力クロックよりφT0, φT2, φT8, φT32 の 4 種類のクロックが用いられます。

(2) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは、6 ビットプリスケーラよりφT0, φT2, φT8, φT32 を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BR1CR<BR1CK1:0> で設定します。

ボーレートジェネレータは、1, N + (16 − K)/16, 16 分周が可能な分周器を内蔵しており、BR1CR<BR1ADDE><BR1S3:0>, BR1ADD<BR1K3:0> の設定に従って分周を行い、転送速度を決定します。

- UART モードの場合

(1) BR1CR<BR1ADDE> = 0 の場合

BR1ADD<BR1K3:0> の設定は無視され、BR1CR<BR1S3:0> に設定された値 "N" に従い N 分周を行います。(N = 1, 2, 3 ... 16)

(2) BR1CR<BR1ADDE> = 1 の場合

N + (16 − K)/16 分周機能がイネーブルになり、BR1CR<BR1S3:0> に設定された値 "N" (N = 2, 3 ... 15), BR1ADD<BR1K3:0> に設定された値 "K" (K = 1, 2, 3 ... 15) に従い N + (16 − K)/16 分周を行います。

注) N = 1 および 16 のときは N + (16 − K)/16 分周機能は禁止となりますので、必ず BR1CR<BR1ADDE> = "0" に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は N + (16 − K)/16 分周機能は使用できません。必ず BR1CR<BR1ADDE> = "0" に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

- 整数分周 (N 分周) の場合

  fc = 12.288 MHz で入力クロックϕT2、分周値 “N” (BR1CR<BR1S3:0>) = 5、BR1CR<BR1ADDE> = “0” の場合の UART モードのボーレートは、

  * クロック条件
  - システムクロック: 高速 (fc)
  - 高速クロックギア: 1 倍 (fc)
  - プリスケーラクロック: f_{FPH}

  $$\text{ボーレート} = \frac{fc/16}{5} \div 16$$

  $= 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600$ (bps)となります。

  注) N + (16 − K)/16 分周機能は禁止に設定されるため、BR1ADD<BR1K3:0> の設定は無視されます。

- N + (16 − K)/16 分周 (UART モードのみ) の場合

  また、fc = 4.8 MHz で入力クロックϕT0、分周値 “N” (BR1CR<BR1S3:0>) = 7、“K” (BR1ADD<BR1K3:0>) = 3、BR1CR<BR1ADDE> = 1 の場合のボーレートは、

  * クロック条件
  - システムクロック: 高速 (fc)
  - 高速クロックギア: 1 倍 (fc)
  - プリスケーラクロック: f_{FPH}

  $$\text{ボーレート} = \frac{fc/4}{7 + \frac{(16-3)}{16}} \div 16$$

  $$= 4.8 \times 10^6 \div 4 \div \left(7 + \frac{13}{16}\right) \div 16 = 9600 \text{ (bps)}$$ となります。

  表 3.9.3~表 3.9.4に UART モードのボーレートの例を示します。

  また、外部クロック入力をシリアルクロックに使用することもできます (シリアルチャネル 0~1)。この場合のボーレートの算出方法を示します。

- UART モード

  ボーレート = 外部クロック入力 ÷ 16

  ただし、(外部クロック入力周期) ≧ 4/fc を満たす必要があります。

- I/O インタフェースモード

  ボーレート = 外部クロック入力

  ただし、(外部クロック入力周期) ≧ 16/fc を満たす必要があります。

表 3.9.3 UART ボーレートの選択
(ボーレートジェネレータ使用、BR1CR<BR1ADDE> = 0 の場合)

単位 (kbps)

fc [MHz]	入力クロック / 分周値 N (BR1CR<BR1S3:0>に設定)	φT0	φT2	φT8	φT32
9.830400	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	0	9.600	2.400	0.600	0.150
12.288000	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.745600	2	115.200			
↑	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300

注 1) I/O インタフェースモード時の転送レートは、本表の値の 8 倍になります。

注 2) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケーラ用クロックとして f_{FPH} を選択した場合の値です。

表 3.9.4 UART ボーレートの選択
(タイマ TMRA0 のトリガ出力使用, タイマ TMRA0 の入力クロックがφT1 の場合)

単位 (kbps)

TA0REG0 \ fc	12.288 MHz	12 MHz	9.8304 MHz	8 MHz	6.144 MHz
1H	96		76.8	62.5	48
2H	48		38.4	31.25	24
3H	32	31.25			16
4H	24		19.2		12
5H	19.2				9.6
8H	12		9.6		6
AH	9.6				4.8
10H	6		4.8		3
14H	4.8				2.4

ボーレートの算出方法 (タイマ TMRA0 を使用した場合)

$$\text{転送レート} = \frac{\text{SYSCR0<PRCK1:0> で選択されたクロック周波数}}{\text{TA0REG} \times 8 \times 16}$$

(タイマ TMRA0 の入力クロックがφT1 の場合)

注 1) I/O インタフェースモードでは、タイマ TMRA0 からのトリガ信号を転送クロックとして使用できません。

注 2) 本表は、システムクロックとして fc, クロックギアとして fc/1, プリスケーラ用クロックとして f_{FPH} を選択した場合の値です。

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

  SC1CR<IOC> = “0” の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

  SC1CR<IOC> = “1” の SCLK 入力モードのときは、SC1CR<SCLKS> の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- UART (非同期通信) モードの場合

  SC1MOD0<SC1:0> の設定により、前記ボーレートジェネレータからのクロックか、システムクロック f_{SYS} か、タイマ TMRA0 のトリガ出力信号か、または外部クロック (SCLK1 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは、UART モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ、7, 8, 9 発目でデータをサンプリングします。

3 回のデータサンプリングによる多数決論理によって受信データを判断しています。

たとえば、7, 8, 9 発目のクロックで、データが 1, 0, 1 であれば、受信データは “1” と判断され、0, 0, 1 であれば “0” と判断されます。

(5) 受信制御部

- I/O インタフェースモードの場合

  SC1CR<IOC> = “0” の SCLK 出力モードのときは、SCLK1 端子へ出力されるシフトクロックの立ち上がりで RXD1 端子をサンプリングします。

  SC1CR<IOC> = “1” の SCLK 入力モードのときは、SC1CR<SCLKS> の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジで RXD1 端子をサンプリングします。

- UART モードの場合

  受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 回のサンプリング中 2 回以上 “0” であれば正常なスタートビットと判断し、受信動作を開始します。

  データ受信中も、多数決論理により受信データを判断しています。

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろうと、もう一方の受信バッファ 2 (SC1BUF) へ移されるとともに割り込み INTRX1 が発生します。

CPU は受信バッファ 2 (SC1BUF) の方を読み出します。CPU が受信バッファ 2 (SC1BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 へ次のデータが全ビット受信される前に受信バッファ 2 (SC1BUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC1CR<RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC1CR<RB8> に格納されます。

9 ビット UART の場合、SC1MOD0<WU> を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC1CR<RB8> = “1” のときのみ、割り込み INTRX1 が発生します。

(7) 送信カウンタ

送信カウンタは UART モードで用いられる 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

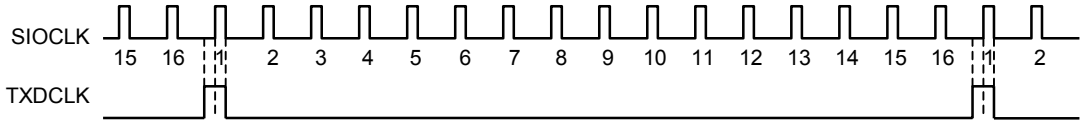


図 3.9.4 送信クロックの生成

(8) 送信制御部

- I/O インタフェースモードの場合

  SC1CR<IOC> = “0” の SCLK 出力モードのときは、SCLK1 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD1 端子へ出力します。

  SC1CR<IOC> = “1” の SCLK 入力モードのときは、SC1CR<SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD1 端子へ出力します。

- UART モード

  送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック TXDSFT をつくります。

ハンドシェイク機能

シリアルチャネル 1 は $\overline{\text{CTS1}}$ 端子を持っており、(シリアルチャネル 0 はなし) この端子を使用することにより 1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は、SC1MOD<CTSE> によってイネーブル･ディセーブルできます。

送信は $\overline{\text{CTS1}}$ 端子が "H" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{CTS1}}$ 端子が "L" レベルに戻るまで送信を停止します。ただし INTTX1 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき (受信割り込みルーチン内) に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを "H" レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

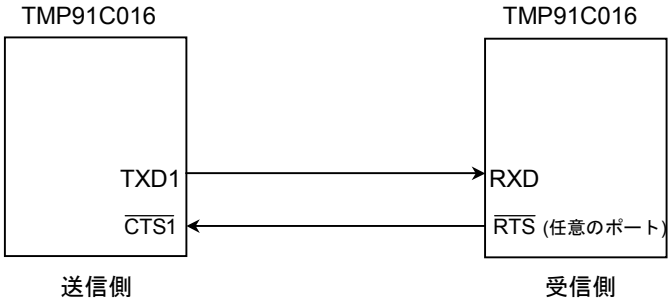
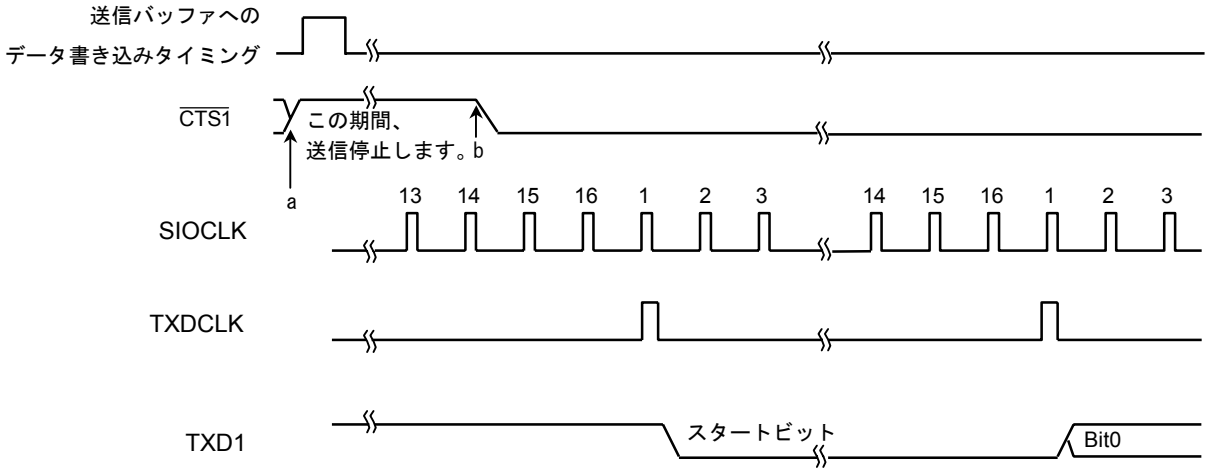


図 3.9.5 ハンドシェイク機能



注) a. 送信中に $\overline{\text{CTS1}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

b. $\overline{\text{CTS1}}$ 信号立ち下がり後の、最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.9.6 $\overline{\text{CTS1}}$ (Clear to send) 信号のタイミング

(9) 送信バッファ

送信バッファ SC1BUF は、CPU から書き込まれた送信データを、送信制御部で生成される送信シフトクロック TXDSFT により、最下位ビットから順にシフトアウトし、送出されます。全ビットがシフトアウトされると、送信バッファエンプティで INTTX1 割り込みが発生します。

(10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC1CR<PE> を “1” にすると、パリティ付加の送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみ、パリティ付加が可能です。SC1CR<EVEN> レジスタによって偶数（奇数）パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC1BUF に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SC1BUF<TB7> に、8 ビット UART モードのときは SC1MOD0<TB8> にパリティを格納して、送信します。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2（SC1BUF）に移されたデータによりパリティを自動発生し、7 ビット UART モードのときは、SC1BUF<RB7> のパリティと、8 ビット UART モードのときは、SC1CR<RB8> のパリティとが比較され、異なっているとパリティエラーが発生し、SC1CR<PERR> フラグがセットされます。

(11) エラーフラグ

受信データの信頼性を上げるために、3 つのエラーフラグが用意されています。

1. オーバランエラー <OERR>

受信バッファ 2（SC1BUF）に有効データが格納されている状態で、受信バッファ 1 に次のデータが全ビット受信されると、オーバランエラーが発生します。

- オーバランエラー発生時の処理フロー例を下記に示します。

1) 受信バッファのリード

2) エラーフラグのリード

3) if <OERR> = 1 then

(a) 受信禁止に設定（<RXE> に “0” をライト）

(b) 現フレームの終了待ち

(c) 受信バッファのリード

(d) エラーフラグのリード

(e) 受信許可に設定（<RXE> に “1” をライト）

(f) 再送信要求

4) その他の処理

2. パリティエラー <PERR>

受信バッファ 2 (SC1BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

3. フレーミングエラー <FERR>

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が “0” の場合フレーミングエラーが発生します。

(12) 各信号発生タイミング

a. UART モードの場合

受信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング	最終ビット (Bit8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	–	最終ビット (パリティビット) の中央付近	←
オーバランエラー発生タイミング	最終ビット (Bit8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近

注) 9 ビットモード, 8 ビット + パリティモードでは、割り込みは 9 ビット目と同時に発生します。そのため、割り込み発生後、1 ビット転送分 (ストップビットが転送されるまで) 時間を置いてフレーミングエラーのチェックをしてください。

送信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング	ストップビット送出の直前	←	←

b. I/O インタフェースモードの場合

送信割り込み発生タイミング	SCLK 出力モード	最終 SCLK の立ち上がり直後 (図 3.9.19参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (図 3.9.20参照)
受信割り込み発生タイミング	SCLK 出力モード	受信バッファ 2 (SC1BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.9.21参照)
	SCLK 入力モード	受信バッファ 2 (SC1BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.9.22参照)

3.9.3 SFR 説明

SC0MOD0 (0202H)	7	6	5	4	3	2	1	0
Bit symbol	TB8	–	RXE	–	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	送信データビット 8	“0” をライトしてください。	受信制御 0: 受信禁止 1: 受信許可	“0” をライトしてください。	シリアル転送モード 00: 設定禁止 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード		シリアル転送クロック (UART 用) 00: タイマ TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f_{SYS} 11: IrDA クロック	

シリアル転送クロック (UART 用)

00	タイマ TMRA0 のトリガ出力信号
01	ボーレートジェネレータ
10	内部クロック f_{SYS}
11	IrDA クロック

注) IrDA 使用時は、「ボーレートジェネレータ」と「IrDA クロック」が選択可能です。なお「IrDA クロック」選択時は ASK 制御レジスタ ASKCTL<IRDACK1:0> で $f_{SYS}/5$ クロックを選択します。また本設定にて、fc = 18.432 MHz 時、115.2 Kbps となります。

シリアル転送モード

00	設定禁止	
01	UART モード	7 ビット長
10		8 ビット長
11		9 ビット長

受信制御

0	受信禁止
1	受信許可

送信データビット 8

図 3.9.7 シリアルモードコントロールレジスタ 0 (SIO0 用、SC0MOD0)

SC1MOD0 (020AH)	7	6	5	4	3	2	1	0
Bit symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	送信データ ビット 8	1: CTS 許可	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: 禁止 1: 許可	シリアル転送モード 00: I/O インタフェース モード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード		シリアル転送クロック (UART 用) 00: タイマ TA0TRG 01: ボーレート ジェネレータ 10: 内部クロック f_{SYS} 11: 外部クロック (SCLK1 入力)	

シリアル転送クロック (UART 用)

00	タイマ TMRA0 のトリガ出力信号
01	ボーレートジェネレータ
10	内部クロック f_{SYS}
11	外部クロック (SCLK1 入力)

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC1CR) でクロックを選択します。

シリアル転送モード

00	設定禁止	
01	UART モード	7 ビット長
10		8 ビット長
11		9 ビット長

ウェイクアップ機能

	9 ビット UART	その他のモード
0	受信すれば割り込み	Don't care
1	RB8 = 1 のときのみ割り込み	

受信制御

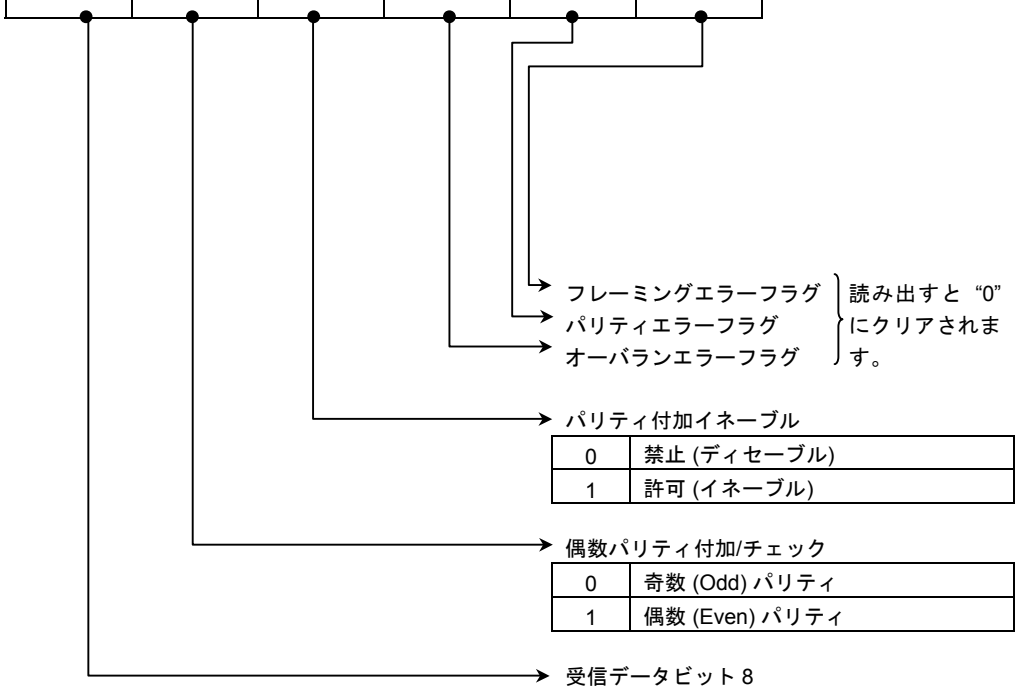
0	受信禁止
1	受信許可

送信データビット 8

図 3.9.8 シリアルモードコントロールレジスタ (SIO1 用、SC1MOD0)

SC0CR (0201H)

	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR		
Read/Write	R	R/W		R (リードすると “0” にクリアされます。)				
リセット後	不定	0	0	0	0	0		
機　能	受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0: 禁止 1: 許可	1: エラー				
				オーバラン	パリティ	フレーミング		



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.9.9 シリアルコントロールレジスタ (SIO0 用、SC0CR)

SC1CR (0209H)

	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (リードすると “0” にクリアされます。)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機　能	受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0: 禁止 1: 許可	1: エラー			0: SCLK1 ↑ 1: SCLK1 ↓	0: ボーレートジェネレータ 1: SCLK1 端子入力
				オーバラン	パリティ	フレーミング		

I/O インタフェース入力クロック選択

0	ボーレートジェネレータ
1	SCLK1 端子入力

SCLK1 入力/出力動作時のエッジ選択

0	SCLK1 の立ち上がりエッジでデータの送受信 ↑
1	SCLK1 の立ち下がりエッジでデータの送受信 ↓

フレーミングエラーフラグ
パリティエラーフラグ
オーバランエラーフラグ
} 読み出すと “0” にクリアされます。

パリティ付加イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

偶数パリティ付加/チェック

0	奇数 (Odd) パリティ
1	偶数 (Even) パリティ

受信データビット 8

注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.9.10 シリアルコントロールレジスタ (SIO1 用、SC1CR)

BR0CR (0203H)

	7	6	5	4	3	2	1	0
Bit symbol	–	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	"0" をライトしてください。	+ (16 – K)/16 分周機能 0: 禁止 1: 許可	00: φT0 01: φT2 10: φT8 11: φT32		分周値 "N" の設定			

+ (16 – K)/16 分周機能イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

ボーレートジェネレータの入力クロックの選択

00	内部クロックφT0
01	内部クロックφT2
10	内部クロックφT8
11	内部クロックφT32

BR0ADD (0204H)

	7	6	5	4	3	2	1	0
Bit symbol					BR0K3	BR0K2	BR0K1	BR0K0
Read/Write					R/W			
リセット後					0	0	0	0
機　能					N + (16 – K)/16 分周の K 値の設定			

ボーレートジェネレータの分周値の設定

	BR0CR<BR0ADDE> = 1		BR0CR<BR0ADDE> = 0
BR0CR <BR0S3:0> / BR0ADD <BR0K3:0>	0000 (N = 16) または 0001 (N = 1)	0010 (N = 2) ~ 1111 (N = 15)	0001 (N = 1) (UART のみ) ~ 1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1) ~ 1111 (K = 15)	禁止	$N + \frac{(16-K)}{16}$ 分周	

注 1)　N + (16-K)/16 分周の使用可否

N	UART モード	I/O モード
2~15	○	×
1, 16	×	×

注 2)　+ (16 – K)/16 分周機能を使用する場合、必ず BR0ADD<BR0K3:0> に K 値 (K = 1~15) を設定し、その後に BR0CR<BR0ADDE> = "1" を設定してください。

図 3.9.11 ボーレートジェネレータコントロール (SIO0 用、BR0CR, BR0ADD)

BR1CR (020BH)

	7	6	5	4	3	2	1	0
Bit symbol	–	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	"0" をライトしてください。	+ (16 – K)/16 分周機能 0: 禁止 1: 許可	00: φT0 01: φT2 10: φT8 11: φT32		分周値 "N" の設定			

+ (16 – K)/16 分周機能イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

ボーレートジェネレータの入力クロックの選択

00	内部クロックφT0
01	内部クロックφT2
10	内部クロックφT8
11	内部クロックφT32

BR1ADD (020CH)

	7	6	5	4	3	2	1	0
Bit symbol					BR1K3	BR1K2	BR1K1	BR1K0
Read/Write					R/W			
リセット後					0	0	0	0
機　能					N + (16 – K)/16 分周の K 値の設定			

ボーレートジェネレータの分周値の設定

	BR1CR<BR1ADDE> = 1		BR1CR<BR1ADDE> = 0
BR1CR <BR1S3:0> / BR1ADD <BR1K3:0>	0000 (N = 16) または 0001 (N = 1)	0010 (N = 2) ~ 1111 (N = 15)	0001 (N = 1) (UART のみ) ~ 1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1) ~ 1111 (K = 15)	禁止	$N + \frac{(16-K)}{16}$ 分周	

注 1)　N + (16-K)/16 分周の使用可否

N	UART モード	I/O モード
2~15	○	×
1, 16	×	×

注 2)　+ (16 – K)/16 分周機能を使用する場合、必ず BR1ADD<BR1K3:0> に K 値 (K = 1~15) を設定し、その後に BR1CR<BR1ADDE> = "1" を設定してください。

図 3.9.12 ボーレートジェネレータコントロール (SIO1 用、BR1CR, BR1ADD)

SC0BUF (0200H)

7	6	5	4	3	2	1	0	
TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0	(送信用)
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	(受信用)

注) SC0BUF はリードモディファイライトできません。

図 3.9.13 シリアル送受信バッファレジスタ (SIO0 用、SC0BUF)

SC0MOD1 (0205H)

	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX0						
Read/Write	R/W	R/W						
リセット後	0	0						
機　能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.9.14 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)

SC1BUF (0208H)

7	6	5	4	3	2	1	0	
TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0	(送信用)
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	(受信用)

注) SC1BUF はリードモディファイライトできません。

図 3.9.15 シリアル送受信バッファレジスタ (SIO1 用, SC1BUF)

SC1MOD1 (020DH)

	7	6	5	4	3	2	1	0
Bit symbol	I2S1	FDPX1						
Read/Write	R/W	R/W						
リセット後	0	0						
機　能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.9.16 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD1)

3.9.4 モード別動作説明

(1) モード 0 (I/O インタフェースモード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。SIO1 チャネルのみで動作可能です。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

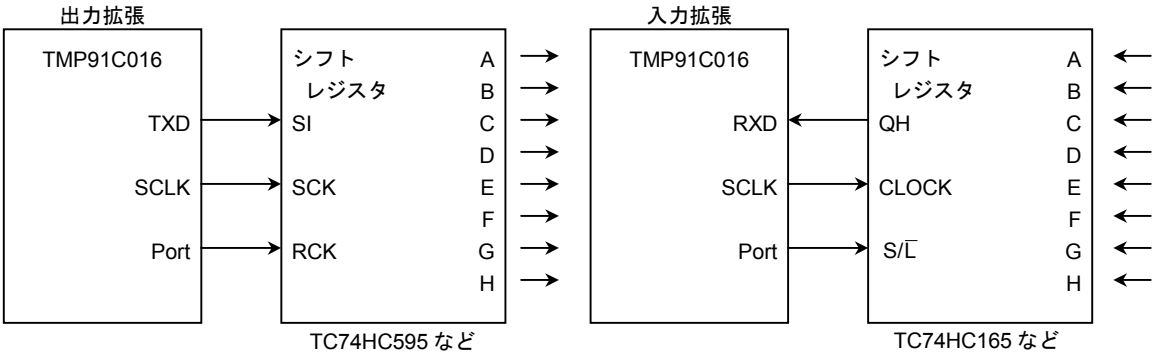


図 3.9.17 SCLK 出力モード接続例

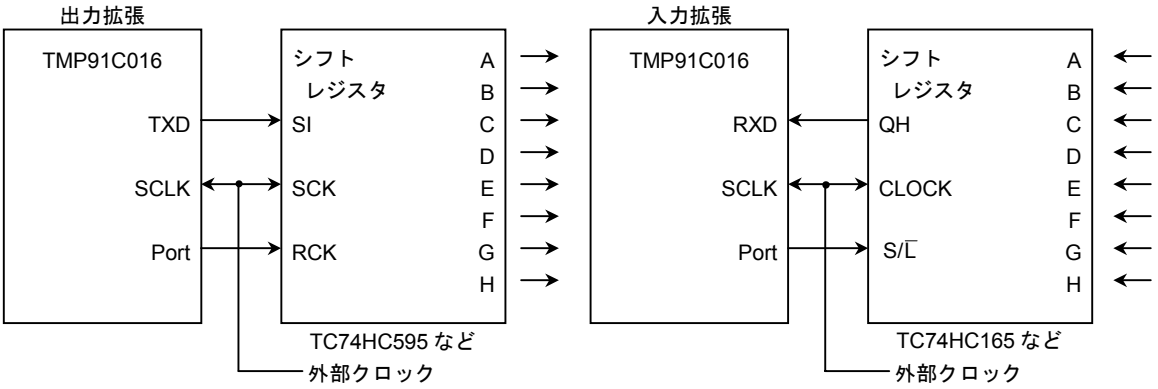


図 3.9.18 SCLK 入力モード接続例

a. 送信

SCLK 出力モードでは、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD1 端子、同期クロックが SCLK1 端子より出力されます。データがすべて出力されると INTES1<ITX1C> がセットされ、割り込み INTTX1 が発生します。

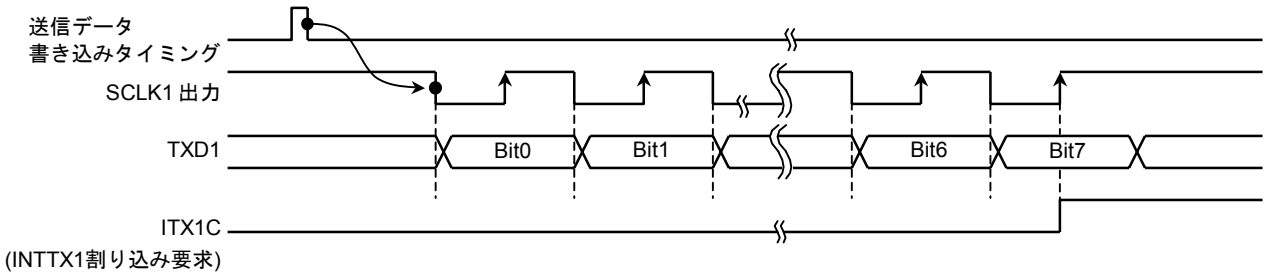


図 3.9.19 I/O インタフェースモード送信動作 (SCLK1 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK1 入力がアクティブになると、8 ビットのデータが TXD1 端子より出力されます。

データがすべて出力されると、INTES1<ITX1C> がセットされ割り込み INTTX1 が発生します。

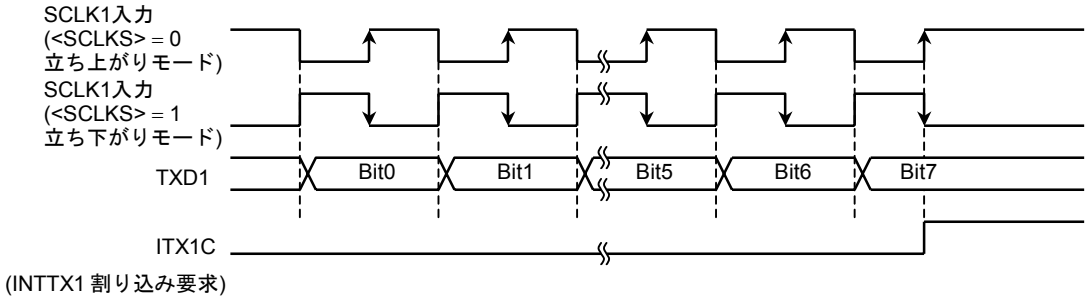


図 3.9.20 I/O インタフェース モード送信動作 (SCLK1 入力モード)

b. 受信

SCLK 出力モードでは受信データが CPU に読み取られ、受信割り込みフラグ INTES1<IRX1C> がクリアされるたびに、SCLK1 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC1BUF) に移され、再び INTES1<IRX1> がセットされて割り込み INTRX1 発生します。

最初の SCLK 出力の開始は、SC1MOD0<RXE> を “1” にセットすることで行います。

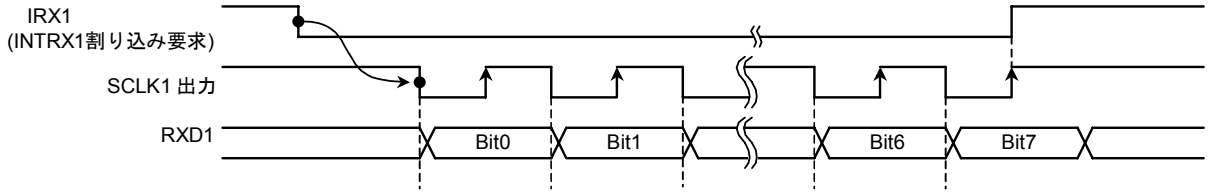


図 3.9.21 I/O インタフェースモード受信動作 (SCLK1 出力モード)

SCLK 入力モードでは受信データが CPU に読み取られ、受信割り込みフラグ INTES1<IRX1C> がクリアされている状態で、SCLK1 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC1BUF) に移され、再び INTES1<IRX1C> がセットされて割り込み INTRX1 が発生します。

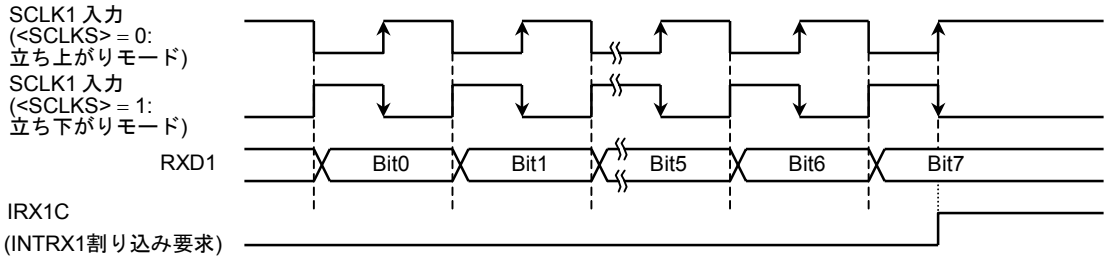


図 3.9.22 I/O インタフェースモード受信動作 (SCLK1 入力モード)

注) 受信動作を行う場合には SCLK 入力･出力のどちらのモードでも、受信イネーブル状態 (SC1MOD<RXE> = 1) にしておく必要があります。

c. 送受信 (全二重)

全二重モードで、送受信を行う場合は、必ず、受信割り込みレベルを “0” に設定し、送信割り込みのみに割り込みレベル (“1” ~ “6” のいずれか) を設定してください。受信処理は、送信割り込み処理ルーチン内で、上記例のように、送信データセットの前に行ってください。

例: チャネル 1、SCLK 出力
9600bps で送受信を行う場合
fc = 14.7456 MHz

* クロック条件
- システム条件システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: f_{FPH}

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
INTES1	0	0	0	1	0	0	0	0	送信割り込みレベルを設定し、受信割り込みを禁止します。
PCCR	–	–	1	0	1	X	X	X	PC3 (TXD1), PC4 (RXD1), PC5 (SCLK1)に設定します。
PCFC	–	–	1	–	1	X	X	X	
SC1MOD0	0	0	1	0	0	0	0	0	I/O インタフェースに設定します。
SC1MOD1	1	1	0	0	0	0	0	0	全二重モードにセットします。
SC1CR	0	0	0	0	0	0	0	0	ボーレートジェネレータ clk_out、立ち上がりモード送受信
BR1CR	0	0	1	1	0	0	1	1	9600bps に設定します。
SC1MOD0	0	0	1	0	0	0	0	0	受信許可にします。
SC1BUF	*	*	*	*	*	*	*	*	送信データをセットします。

送信割り込みルーチン

Acc									受信データを読みます。
SC1BUF									
SC1BUF	*	*	*	*	*	*	*	*	送信データをセットします。

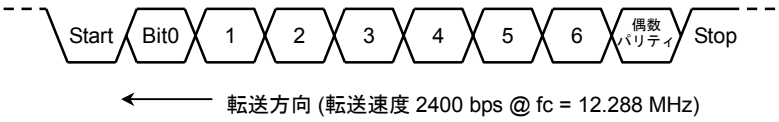
X: Don’t care、–: No change

(2) モード 1 (7 ビット UART モード)

シリアルチャネルモードレジスタ SC1MOD0<SM1:0> を 01 にセットすると、7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC1CR<PE> でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE> = 1 (イネーブル) のときは、SC1CR<EVEN> で偶数/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



* クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: システムクロック

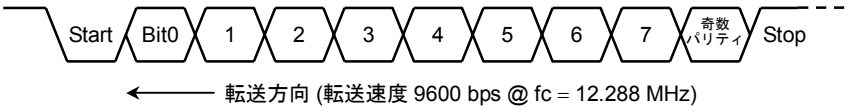
	7	6	5	4	3	2	1	0	
PCCR	← –	–	–	–	1	X	X	X	PC3 を TXD1 端子とします。
PCFC	← X	X	–	X	1	X	X	X	
SC1MOD	← X	0	–	X	0	1	0	1	7 ビット UART モードに設定します。
SC1CR	← X	1	1	X	X	X	0	0	偶数パリティを付加します。
BR1CR	← 0	0	1	0	0	1	0	1	2400 bps に設定します。
INTES1	← 1	1	0	0	–	–	–	–	INTTX1 割り込みをイネーブル、レベル 4 にします。
SC1BUF	← *	*	*	*	*	*	*	*	送信データをセットします。

X: Don't care、–: No change

(3) モード 2 (8 ビット UART モード)

SC1MOD0<SM1:0> を 10 にセットすると、8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SC1CR<PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = 1 (イネーブル) のとき、SC1CR<EVEN> で偶数/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の、各コントロールレジスタの設定を示します。



* クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: f_{FPH}

メインルーチンでの設定

	7 6 5 4 3 2 1 0	
PCCR	← – – – 0 – X X X	PC4 (RXD1) を入力ピンにします。
SC1MOD	← – 0 1 X 1 0 0 1	8 ビット UART モード、受信イネーブルにします。
SC1CR	← X 0 1 X X X 0 0	奇数パリティ付加に設定します。
BR1CR	← 0 0 0 1 0 1 0 1	9600 bps に設定します。
INTES1	← – – – – 1 1 0 0	INTRX1 割り込みをイネーブル、レベル 4 に設定します。

送信割り込みルーチンでの処理例

Acc ← SC1C AND 0 0 0 1 1 1 0 0
if Acc ≠ 0 then ERROR
} エラーチェックを行います。

Acc ← SC1BUF 受信データを読み取ります。

X: Don't care、–: No change

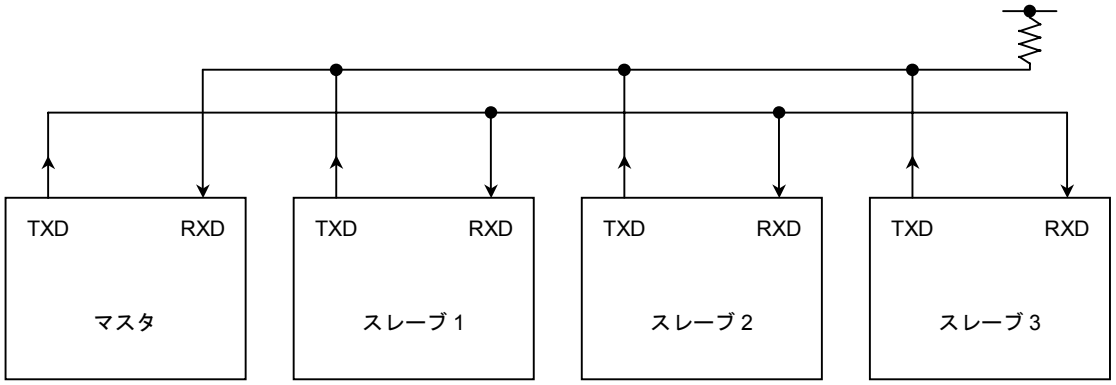
(4) モード 3 (9 ビット UART)

SC1MOD0<SM1:0> を 11 にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタの <TB8> に書き込み、受信の場合シリアルチャネルコントロールレジスタの <RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SC1BUF の方を後にします。

ウェイクアップ機能

SIO1 の 9 ビット UART モードでは、SC1MOD0<WU> を "1" にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8> = 1 のときのみ割り込み INTRX1 が発生します。なお、ウエイクアップ機能は SIO0 では使用できません。



注) スレーブコントローラの TXD 端子は、必ず ODE レジスタを設定してオープンドレイン出力モードにしてください。

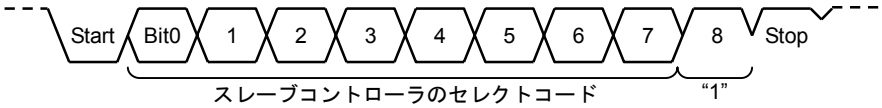
図 3.9.23 ウェイクアップ機能によるシリアルリンク

プロトコル

a. マスタおよびスレーブコントローラは 9 ビット UART モードにします。

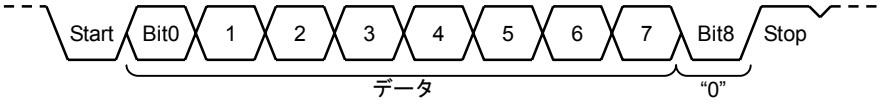
b. 各スレーブコントローラは SC1MOD<WU> を “1” にセットし、受信可能状態とします。

c. マスタコントローラは、スレーブコントローラのセレクトコード (8 ビット) を含む 1 フレームを送信します。このとき最上位ビット (ビット 8) <TB8> は “1” にします。



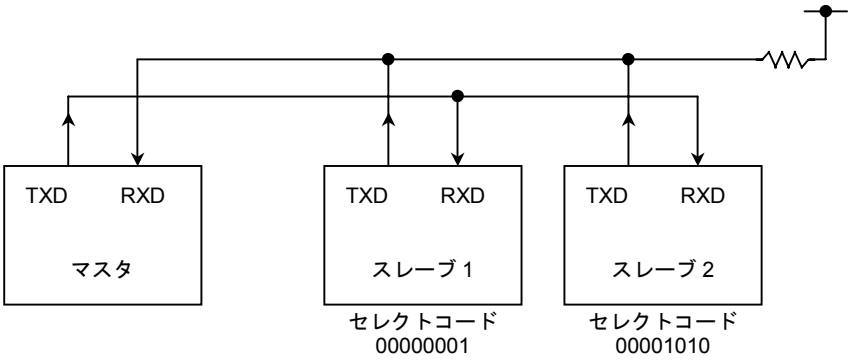
d. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WU ビットを “0” にクリアします。

e. マスタコントローラは指定したスレーブコントローラ (SC1MOD<WU> = 0 にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット (ビット 8) <TB8> は “0” にします。



f. WU = 1 のままのスレーブコントローラは、受信データの最上位ビット (ビット 8) の <RB8> が “0” であるため割り込み INTRX1 が発生せず、受信データを無視します。
また、<WU> = 0 になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{SYS} を転送クロックとして、2 つのスレーブコントローラとシリアルリンクさせる場合



- マスタコントローラの設定

メインルーチン

PCCR	← − − − 0 1 X X X	PC3 を TXD1、PC4 を RXD1 端子にします。
PCFC	← X X − X 1 X X X	
INTES1	← 1 1 0 0 1 1 0 1	INTTX1 をイネーブル、割り込みレベルを 4 に設定します。 INTRX1 をイネーブル、割り込みレベルを 5 に設定します。
SC1MOD0	← 1 0 1 0 1 1 1 0	9 ビット UART モード、転送クロックを f_{SYS} に設定します。
SC1BUF	← 0 0 0 0 0 0 0 1	スレーブ 1 のセレクトコードをセットします。

割り込みルーチン (INTTX1)

SC1MOD0	← 0 − − − − − − −	TB8 を “0” にします。
SC1BUF	← * * * * * * * *	送信データをセットします。

- スレーブの設定

メインルーチン

PCCR	← − − − 0 1 X X X	PC3 を TXD1 (オープンドレイン出力) PC4 を RXD1 にします。
PCFC	← X X − X 1 X X X	
PCUDOE	← X X 1 0 0 0 0 0	
INTES1	← 1 1 0 1 1 1 1 0	INTTX1, INTRX1 をイネーブルにします。
SC1MOD0	← 0 0 1 1 1 1 1 0	9 ビット UART モード転送クロック f_{SYS} で、<WU> = “1” に設定します。

割り込みルーチン (INTRX1)

Acc ← SC1BUF
if Acc = セレクトコード
Then SC1MOD0 ← − − − 0 − − − − <WU> = “0” にクリアします。

3.9.5 IrDA のサポート

SIO0 には、赤外線データ通信規格である「IrDA1.0」のハードウエア規格をサポートするためのデータ変復調機能があります。図 3.9.24 に、構成図を示します。

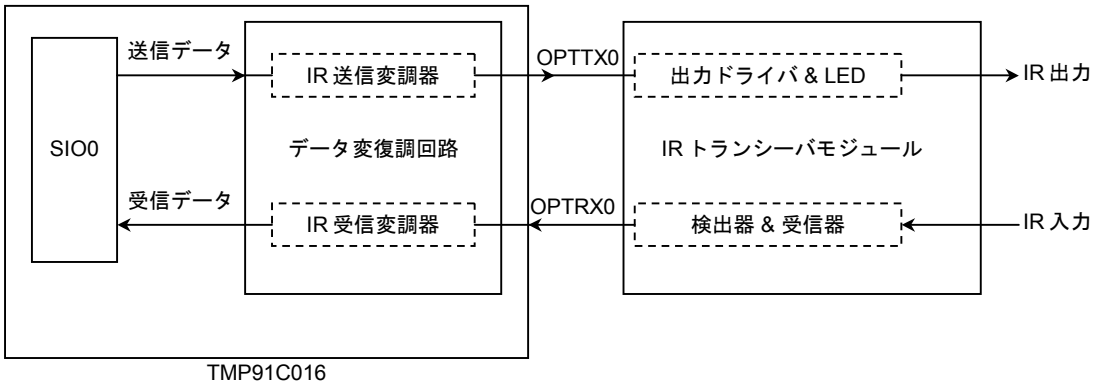


図 3.9.24 IrDA の構成図

(1) 送信データの変調

送信データが “0” のときは、ボーレート周期の 3/16 倍の幅、または 1/16 倍の幅（選択はソフトウエアで可）の High レベルを出力し、データが “1” のときは、Low レベルを出力します。

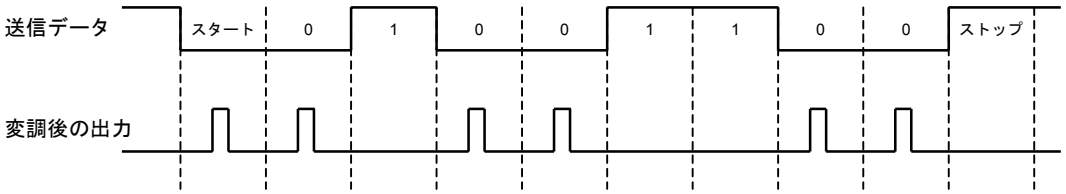


図 3.9.25 送信データの変調例

(2) 受信データの復調

入力されたパルスが有効な High レベル幅（ソフトウエアで幅の設定が可）のときは、SIO0 に対して “0” を出力し、それ以外のときは “1” を出力します。

また、受信パルスの論理を SIRCR<RXSEL> にて逆に設定可能です。

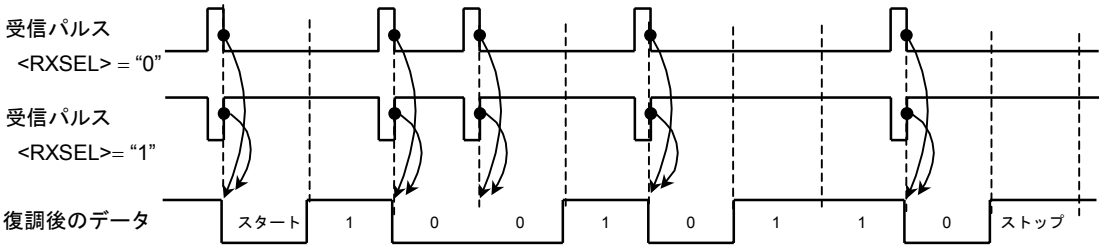


図 3.9.26 受信データの復調例

(3) データのフォーマット

データの送受信フォーマットは、必ず、データ長 8 ビット, パリティビットなし, ストップビット 1 ビットに設定してください。

それ以外の設定では、正常動作は保証できません。

(4) SFR 説明

図 3.9.27 にコントロールレジスタを示します。このレジスタの設定変更を行うときは、必ず、送受信動作を禁止（このレジスタの TXEN ビットと RXEN ビットを “0” に設定）してから行ってください。送受信動作中にこのレジスタの設定変更を行った場合、正常動作は保証できません。

下記に、設定例を示します。

1) SIO 設定 ; SIO 側の設定を行います。
↓
2) LD (SIRCR), 07H ; 受信有効パルス幅を 16×に設定します。
3) LD (SIRCR), 37H ; TXEN, RXEN ビットを “1” にして、SIO の送受信を許可します。
↓
4) 送受信スタート ; SIO から送信データが送られてくるか、赤外線受信パルスを受けると、データの変復調を行います。

使用上の注意

1. IrDA 使用時のボーレート作成

IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0> に “01” を設定し、ボーレートジェネレータを使用して作成してください。それ以外の TA0TRG, f_{SYS}, SCLK0 入力は使用できません。

2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ

IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.9.5 転送速度とパルス出力幅の規格

転送速度	変調方式	転送速度許容誤差 (% of Rate)	パルス幅最小値	パルス幅 3/16 公称値	パルス幅最大値
2.4 kbps	RZI	±0.87	1.41 μs	78.13 μs	88.55 μs
9.6 kbps	RZI	±0.87	1.41 μs	19.53 μs	22.13 μs
19.2 kbps	RZI	±0.87	1.41 μs	9.77 μs	11.07 μs
38.4 kbps	RZI	±0.87	1.41 μs	4.88 μs	5.96 μs
57.6 kbps	RZI	±0.87	1.41 μs	3.26 μs	4.34 μs
115.2 kbps	RZI	±0.87	1.41 μs	1.63 μs	2.23 μs

赤外線パルス出力幅は、ボーレート T × 3/16、または 1.6 μs（ボーレート 115.2 kbps 時の T × 3/16 に相当）と規定されています。

本デバイスでは、送信時の出力パルス幅を T × 3/16 と T × 1/16 から選択できる機能がありますが、T × 1/16 を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps, 57.6 kbps 時には、出力パルス幅を T × 1/16 に設定してはいけません。

同様の理由で、転送レートの 115.2 kbps を SIO0 のボーレートジェネレータで生成するときは、K 値付き分周をしてはいけません。また、送信パルス幅を 1/16 に設定し、転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときも、K 値付き分周を使用してはいけません。下表に、K 値付き分周の使用可否をまとめたものを示します。

表 3.9.6 K 値付き分周を使用可能なボーレートと出力パルス幅の関係

出力パルス幅	ボーレート 115.2 kbps	57.6 kbps	38.4 kbps	19.2 kbps	9.6 kbps	2.4 kbps
T × 3/16	×	○	○	○	○	○
T × 1/16	–	–	×	○	○	○

○: K 値付き分周使用可
×: K 値付き分周使用不可
–: T × 1/16 設定不可

SIRCR (0207H)

	7	6	5	4	3	2	1	0
Bit symbol	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0: “H” パルス 1: “L” パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRxD の有効パルス幅の設定 2x × (設定値 + 1) 以上のパルス幅を有効とする。 設定可: 1~14 設定不可: 0, 15			

受信有効パルス幅の設定
計算式: 受信有効パルス幅 ≧ 2x × (設定値 + 1)
$x = 1/f_{FPH}$

0000	設定不可
0001	4x + 100 ns 以上のパルス幅のものを有効とする。
~	
1110	30x + 100 ns 以上のパルス幅のものを有効とする。
1111	設定不可

受信 (復調) 動作の許可

0	受信動作を禁止する。 (受信された入力は無視。)
1	受信動作を許可する。

送信 (変調) 動作の許可

0	受信動作を禁止する。 (SIO からの入力は無視。)
1	送信動作を許可する。

送信パルス幅の選択

0	3/16 のパルス幅
1	1/16 のパルス幅

補足)　ボーレートが遅く、IrDA1.0 規格のパルス幅 (最小 1.6 μs) を確保できる場合、本ビットを “1” に設定することで、赤外線点灯時間を減らし、消費電力を軽減することができます。

図 3.9.27 IrDA コントロールレジスタ

3.10 Dynamic RAM (DRAM) コントローラ

TMP91C016 は、DRAM をリフレッシュするためのコントロール回路、リード/ライトするためのアクセス回路、およびロー/カラムアドレスマルチプレクサから構成され、× 8/16 ビット構成の DRAM と容易にインタフェースできる DRAM コントローラを内蔵しています。

1) リフレッシュ方式
   $\overline{CAS}$ ビフォア $\overline{RAS}$ リフレッシュ
2) リフレッシュ間隔
   プログラマブル (31~2700 ステート)
3) リフレッシュサイクル幅
   プログラマブル (2~9 ステート)
4) マッピングエリア
   $\overline{CS3}$ エリア使用
5) アドレスマッピングサイズ
   $\overline{CS3}$ エリア: 32 K バイト~8 M バイト
6) メモリアクセス方式
   $\overline{2CAS}$ 方式
7) メモリアクセスアドレス長
   8~11 ビット選択
8) ウェイトコントロール
   CS/WAIT コントローラの設定に従います。
9) リフレッシュアクセス競争時のアービトレーション
   リフレッシュを優先し、アクセスサイクルに自動的ウェイトを挿入します。

DREFCR1 レジスタ

DREFCR (0430H)	7	6	5	4	3	2	1	0
Bit symbol	DMI	RS2	RS1	RS0	RW2	RW1	RW1	RC
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	ダミーサイクル 0: 禁止 1: 実行	リフレッシュサイクル挿入間隔 000: 31 ステート 001: 110 ステート 010: 220 ステート 011: 450 ステート 100: 900 ステート 101: 1200 ステート 110: 1800 ステート 111: 2700 ステート			リフレッシュサイクル幅 000: 2 ステート 001: 3 ステート 010: 4 ステート 011: 5 ステート 100: 6 ステート 101: 7 ステート 110: 8 ステート 111: 9 ステート			リフレッシュサイクル 0: 挿入しない 1: 挿入する

リフレッシュサイクル制御

0	リフレッシュサイクルを挿入しない。
1	リフレッシュサイクルを挿入する。

リフレッシュサイクル制御幅

RW2	RW1	RW0	リフレッシュサイクル幅
0	0	0	2 ステート
0	0	1	3 ステート
0	1	0	4 ステート
0	1	1	5 ステート
1	0	0	6 ステート
1	0	1	7 ステート
1	1	0	8 ステート
1	1	1	9 ステート

リフレッシュサイクル挿入間隔については、
表 3.10.3を参照してください。

ダミーサイクル制御

0	ダミーサイクル禁止
1	ダミーサイクル実行

図 3.10.1 リフレッシュコントロールレジスタ

DMEMCR (0431H)		7	6	5	4	3	2	1	0
	Bit symbol	SRFC	–	–	MACM	MUXE	MUXW1	MUXW0	MAC
	Read/Write	W	R/W						
	リセット後	1	0	0	0	0	0	0	0
リードモディファイライトはできません。	機　能	セルフリフレッシュ 0: 実行 1: 解除	“0” をライトしてください。	“0” をライトしてください。	メモリアクセス制御 0: ノーマル 1: スロー	アドレスマルチプレクス 0: 禁止 1: 許可	マルチプレクスアドレス長 00: 8 ビット 01: 9 ビット 10: 10 ビット 11: 11 ビット		メモリアクセス制御 0: 禁止 1: 許可

メモリアクセス制御

0	禁止
1	許可

マルチプレクスアドレス長制御
(MUXE = “1” のときのみ有効)

MUXW1	MUXW0	マルチプレクス長
0	0	8 ビット
0	1	9 ビット
1	0	10 ビット
1	1	11 ビット

アドレスマルチプレクス制御

0	禁止
1	許可

メモリアクセス制御

0	ノーマルアクセスモード
1	スローアクセスモード

セルフリフレッシュ制御

0	セルフリフレッシュ実行
1	セルフリフレッシュ解除

図 3.10.2 DRAM メモリアクセスコントロールレジスタ

3.10.1 動作説明

TMP91C016 は DRAM コントローラを内蔵しており、DRAM 用アクセスサイクルを発生することができます。なお、DRAM 用端子はポート 6 およびポート 7 と兼用端子になっております。（DRAM 端子としての設定は、3.5.4「ポート 6」, 3.5.5「ポート 7」を参照してください。）

(1) メモリアクセスコントロール

メモリアクセスコントロール部は、DMEMCR<MAC> = “1” のとき、アクセスコントロール制御がイネーブルになります。アクセスコントロール制御がイネーブルになり、CS/WAIT コントローラで設定された $\overline{CS3}$ エリアがアクセスされると、DRAM メモリアクセスコントロールレジスタの設定に従って、DRAM へ有効な信号を出力します。このときのアクセスサイクル (バス幅, ウェイト数) は CS/WAIT コントローラの $\overline{CS3}$ エリアの設定に従います。

バス幅が 16 ビットの場合は、$\overline{2CAS}$ 方式 ($\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$, $\overline{WE}$) でアクセスします。バス幅が 8 ビットの場合は $\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$ 信号でアクセスします。

また DRAM コントローラは、低速 DRAM との接続を容易にするため、ウェイト挿入時の $\overline{RAS}$ の立ち上がりを早め、$\overline{RAS}$ プリチャージ時間 (RAS High 幅) を延ばすことができます (スローアクセスモード)。この設定は DMEMCR<MACM> に “1” を書き込むことにより行い、リセット後はクリアされ、NORMAL モード (<MACM> = “0”) となります。

さらに、このアクセスサイクルにおいて、内部アドレスマルチプレクサによって、A0~A11 よりロー/カラムアドレスを出力することができます。このときのマルチプレクスする/しないは、DMEMCR<MUXE> ビットにより設定し、マルチプレクス幅は DMEMCR<MUXW0:1> により選択できます。このとき、8 ビットバスアクセスか 16 ビットバスアクセスかにより、マルチプレクスされるアドレスラインが変わります。

表 3.10.1 DRAM 用端子

端子名 ＼ モード	8 ビットバス	16 ビットバス
P63 ($\overline{CS3}$, $\overline{RAS}$)	$\overline{RAS}$	$\overline{RAS}$
P74 ($\overline{CAS}$, $\overline{WE}$)	$\overline{CAS}$	$\overline{WE}$
P67 ($\overline{LCAS}$, $\overline{LDS}$, $\overline{REFOUT}$)	$\overline{REFOUT}$	$\overline{LCAS}$
P66 ($\overline{UCAS}$, $\overline{UDS}$, $\overline{WE}$)	$\overline{WE}$	$\overline{UCAS}$
P73 ($\overline{DRAMOE}$, $\overline{EXRD}$, $\overline{NMI}$)	$\overline{DRAMOE}$	$\overline{DRAMOE}$

表 3.10.2 アドレスマルチプレクス

ローアドレス	カラムアドレス							
	8 ビット		9 ビット		10 ビット		11 ビット	
	8	16	8	16	8	16	8	16
A0	A8	–	A9	–	A10	–	A11	–
A1	A9	A9	A10	A10	A11	A11	A12	A12
A2	A10	A10	A11	A11	A12	A12	A13	A13
A3	A11	A11	A12	A12	A13	A13	A14	A14
A4	A12	A12	A13	A13	A14	A14	A15	A15
A5	A13	A13	A14	A14	A15	A15	A16	A16
A6	A14	A14	A15	A15	A16	A16	A17	A17
A7	A15	A15	A16	A16	A17	A17	A18	A18
A8	–	A16	A17	A17	A18	A18	A19	A19
A9	–	–	–	A18	A19	A19	A20	A20
A10	–	–	–	–	–	A20	A21	A21
A11	–	–	–	–	–	–	–	A22

マルチプレクス
アドレス長

アクセスバス幅
(CS/WAIT
コントローラで設定)

–: Don’t care

(2) リフレッシュコントローラ部

TMP91C016はDRAMリフレッシュに使用できる$\overline{RAS}$, $\overline{CAS}$（$\overline{LCAS}$, $\overline{UCAS}$）を出力することができます。また、8ビットバス時には、リフレッシュサイクルであることを示すステート信号の$\overline{REFOUT}$も出力されます。

$\overline{RAS}$, $\overline{CAS}$（$\overline{LCAS}$, $\overline{UCAS}$）出力は、出力周期および出力パルス幅をプログラマブルに設定できるため、DRAM のリフレッシュを容易に実現することができます。リフレッシュコントローラ部には、次の特長があります。

- リフレッシュ方式: $\overline{CAS}$ビフォア$\overline{RAS}$インタバルリフレッシュ方式
  $\overline{CAS}$ビフォア$\overline{RAS}$セルフリフレッシュ方式
- リフレッシュ間隔: 31~2700 ステート (プログラマブル)
- リフレッシュサイクル幅: 2~9 ステート (プログラマブル)
- ダミーサイクル発生可能
- リフレッシュサイクルは、CPU 動作サイクルとは非同期になっています。

$\overline{CAS}$ビフォア$\overline{RAS}$インタバルリフレッシュ方式

$\overline{CAS}$ビフォア$\overline{RAS}$インタバルリフレッシュ方式において、リフレッシュ間隔およびリフレッシュサイクル幅は、使用する DRAM によって異なります。

そこで TMP91C016 は、リフレッシュコントロールレジスタ値を変更することで、使用するシステムクロック, DRAM に合わせたリフレッシュ間隔, リフレッシュ幅サイクルを設定できます。

次に、レジスタの設定方法を説明します。

a. リフレッシュサイクル挿入間隔

DREFCR<RS2:0> の 3 ビットにより、使用するシステムクロックに合わせて挿入間隔を設定します。

例）システムクロックを 25 MHz で使用しているとき、DRAM のリフレッシュサイクルを 216 μs にしたければ、このビットを “111” に設定します。

表 3.10.3 リフレッシュサイクル挿入間隔

(単位: μs)

リフレッシュサイクル			挿入間隔	周波数 (f_{OSCH})						
RS2	RS1	RS0		8 MHz	10 MHz	12.5 MHz	14 MHz	16 MHz	20 MHz	25 MHz
0	0	0	31	7.55	6.2	4.96	4.43	3.88	3.1	2.48
0	0	1	110	27.5	22	17.6	15.7	13.75	11	8.80
0	1	0	220	55	44	35.2	31.4	27.5	22	17.6
0	1	1	450	112.5	90	72	64.3	56.25	45	36
1	0	0	900	225	180	144	128.6	112.5	90	72
1	0	1	1200	300	240	192	171.4	150	120	96
1	1	0	1800	450	360	288	257.1	225	180	144
1	1	1	2700	675	540	432	385.7	337.5	270	216

b. リフレッシュサイクル幅

DREFCR<RW2:0> の 3 ビットにより、リフレッシュサイクル幅（$\overline{RAS}$, $\overline{CAS}$, Low 出力幅）を変更することができます。

c. リフレッシュサイクル制御

DREFCR<RC> のビットを操作することにより、リフレッシュサイクルの禁止/許可を制御できます。

$\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ セルフリフレッシュ方式

このリフレッシュは $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ インタバルリフレッシュ方式（以下インタバルモード）で動作途中に、HALT (IDLE1, STOP) 命令を実行し、DRAM コントローラへのクロック供給が停止してしまう場合に対応したリフレッシュ方式です。

実効方法は、まず通常のインタバルモードの設定を行います。次に 1 回通常のリフレッシュを行った後、DMEMCR<SRFC> を “0” にすることで、$\overline{\text{CAS}}$ 端子と $\overline{\text{RAS}}$ 端子は Low レベルに保持され、セルフリフレッシュモードに入ります。このとき DMCMCR<SRFC> に “0” を書き込んでから HALT 命令を実行する間に、DRAMC へのクロック供給を確実にするために、必ず NOP 等の命令を 1 命令以上挿入してください。

割り込みなどで、ホルト状態が解除され、DRAM コントローラにクロックが供給されると、自動的に DMEMCR<SRFC> を “1” に設定し、セルフリフレッシュモードが解除されます。解除後は必ず 1 回の通常リフレッシュが行われ、インタバルモードに戻ります。

ただし、リセットによりホルト状態が解除された場合は、I/O レジスタがイニシャライズされてしまうため通常リフレッシュは行われません。TMP91C016F ではリセット時は $\overline{\text{RAS}}$, $\overline{\text{CAS}}$ 端子が High-Z になってしまいますので、データ保護が必要な場合、使用される DRAM にあわせて外付けのプルダウンなどでセルフリフレッシュモードから抜けないような操作が必要となります。

(3) DRAM イニシャライズ

DRAM コントローラは、DRAM 使用時に必要な $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ ダミーサイクルを発生させることができます。この動作は DREFCR<DMI> に “1” を書き込むことで実行され、解除を行うまで連続で実行されます。解除方法は DREFCR<DMI> に “0” を書き込むことで解除されます。また、リフレッシュサイクル挿入イネーブル (DREFCR<RC> “1”) やアクセスコントロールイネーブル (DMEMCR<MAC> = “1”) と同時使用した場合、リフレッシュサイクル挿入イネーブルやアクセスコントロールイネーブルが優先され、ダミーサイクルは行われません。この状態では DREFCR<DMI> ビットは “0” クリアされません。

ダミーサイクル幅は、4 ステート幅, 6 ステート間隔固定です。

3.10.2 優先順位

DRAM へのリフレッシュサイクルは、CPU の動作サイクルと非同期に行われるため DRAM へのリード/ライトサイクルと重なる場合があります。この場合、DRAM コントローラは先に入ったサイクル動作を優先させます。CPU アクセスが先行した場合、リフレッシュサイクルは CPU アクセス後にリフレッシュを実行し、また、リフレッシュサイクルが先行した場合は、リフレッシュサイクルが完結するまで、DARMC は CPU にウェイトを自動挿入し、CPU を待たせます。

3.10.3 接続例

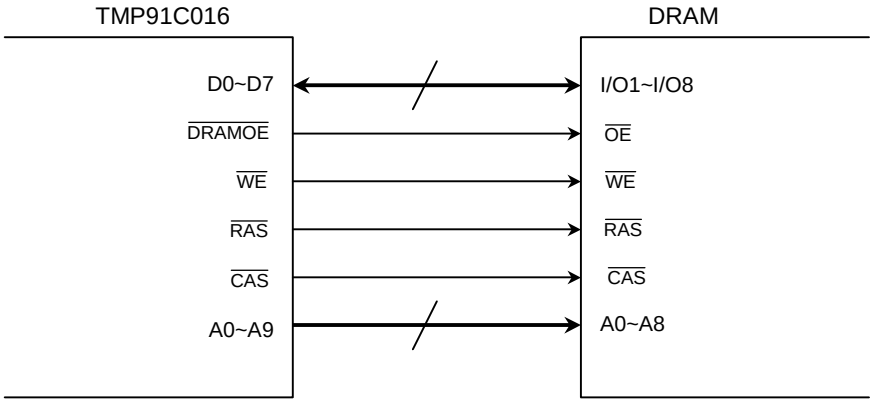


図 3.10.3 8 ビットバス構成

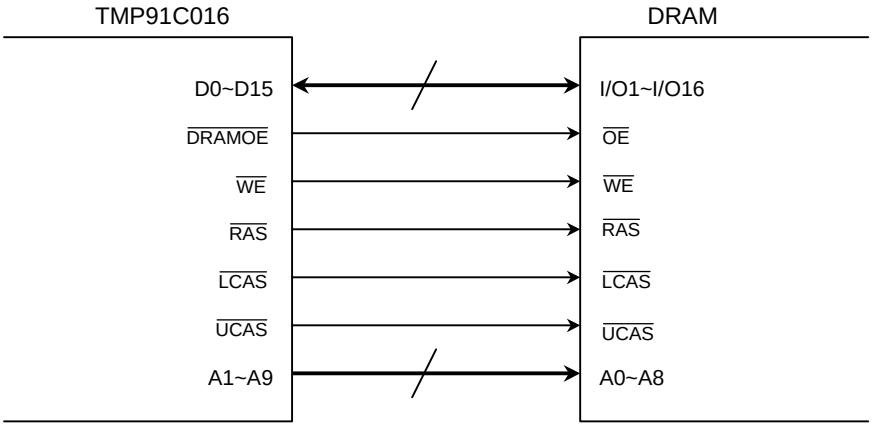


図 3.10.4 16 ビットバス構成

3.11 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。

3.11.1 構成

図 3.11.1にウォッチドッグタイマのブロック図を示します。

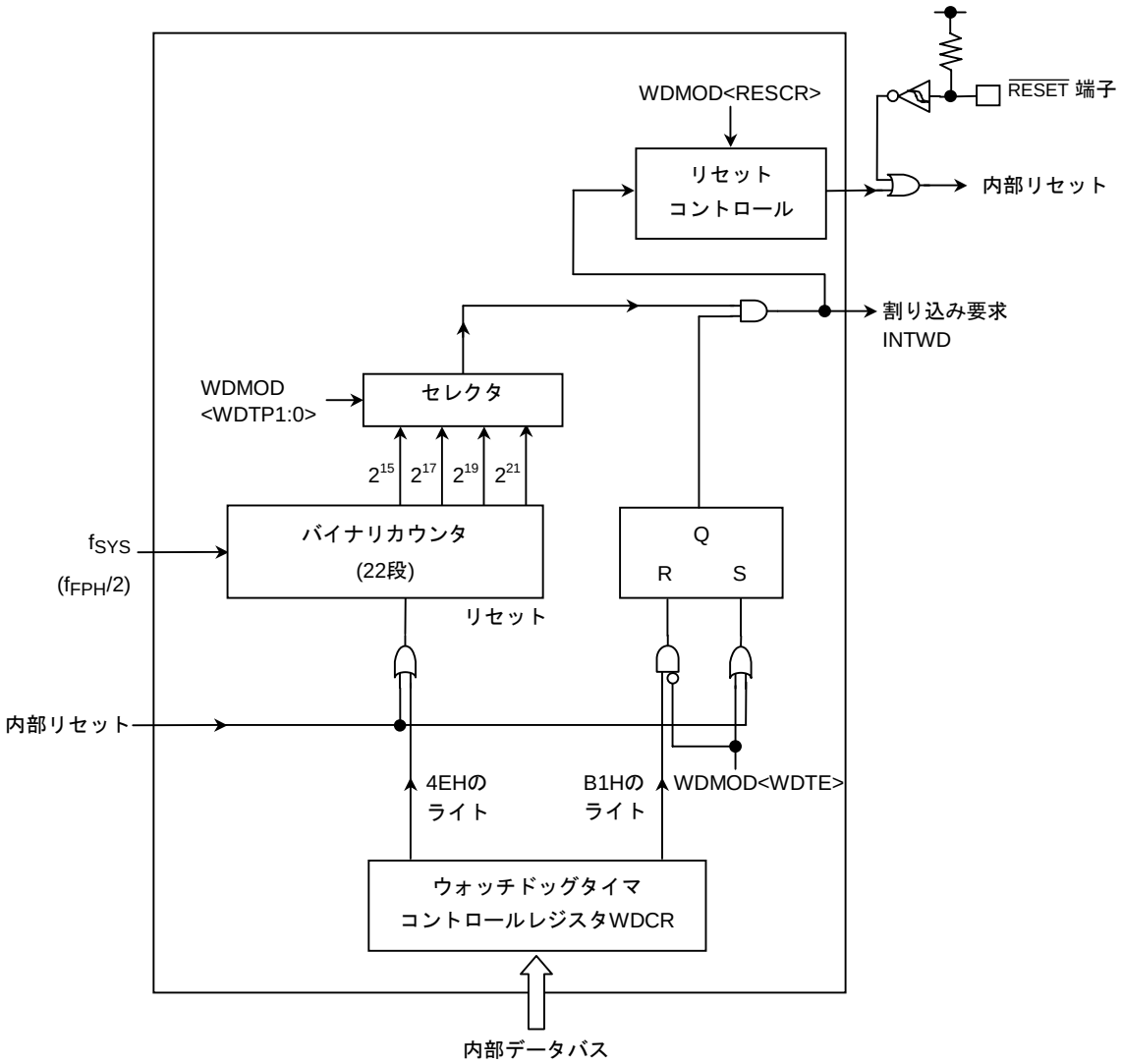


図 3.11.1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によっては、ウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

ウォッチドッグタイマは、システムクロック f_{SYS} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15}, 2^{17}, 2^{19} および 2^{21} があります。このうちの 1 出力を WDMOD<WDTP1:0> で選択することにより、そのオーバフロー時に図 3.11.2で示すようにウォッチドッグタイマ割り込みを発生します。

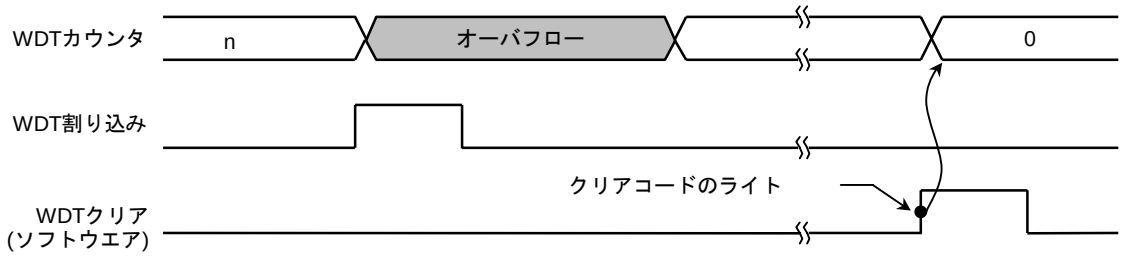


図 3.11.2 通常モード

また、オーバフロー時に、チップ自体をリセットすることも選択可能です。この場合、図 3.11.3 で示すように、22~29 ステート (44~58 μs @ f_{OSCH} = 16 MHz, f_{FPH} = 1 MHz) の期間、リセットを行います。なお、この場合 (リセットされた場合)、システムクロック f_{SYS} (1 周期 = 1 ステート) は、高速発振器のクロック f_{OSCH} をクロックギアで 16 分周したクロック f_{FPH} を基に、それを 2 分周して生成されたものが使われます。

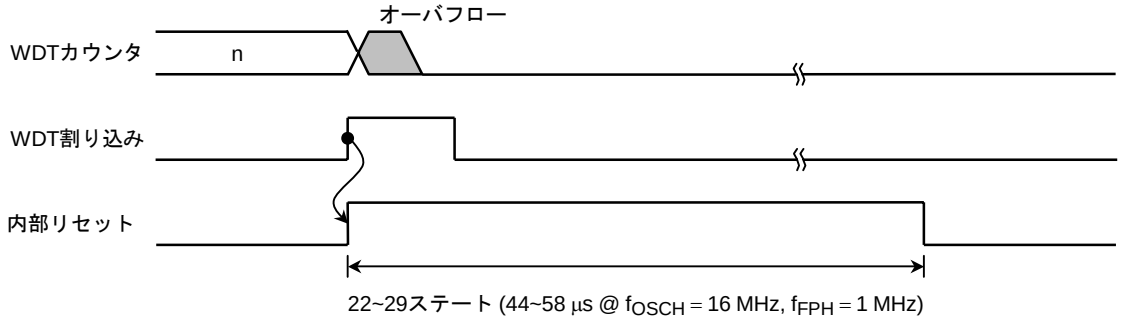


図 3.11.3 リセットモード

3.11.2 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2 つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマモードレジスタ WDMOD

a. ウォッチドッグタイマ検出時間の設定 <WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時、WDMOD<WDTP1:0> = 00 に初期化されます。

ウォッチドッグタイマの検出時間を図 3.11.4に示します。

b. ウォッチドッグタイマのイネーブル/ディセーブル制御 <WDTE>

リセット時は WDMOD<WDTE> = 1 に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にクリアするとともに、WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生しにくくなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを “1” にセットするだけでイネーブルとなります。

c. ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により本デバイス自体をリセットするか否かを設定するレジスタです。リセット時、WDMOD<RESCR> = 0 に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマコントロールレジスタ WDCR

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御

WDMOD<WDTE> を “0” にクリアした後、この WDCR レジスタにディセーブルコード (B1H) を書き込むとウォッチドッグタイマをディセーブルにすることができます。

```
WDMOD  ← 0 − − − − − − −   WDTE を “0” にクリアします。
WDCR   ← 1 0 1 1 0 0 0 1   ディセーブルコード (B1H) を書き込みます。
```

- イネーブル制御

WDMOD<WDTE> を “1” にする。

- ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

```
WDCR   ← 0 1 0 0 1 1 1 0   クリアコード (4EH) を書き込みます。
```

WDMOD (0300H)

	7	6	5	4	3	2	1	0
Bit symbol	WDTE	WDTP1	WDTP0			I2WDT	RESCR	–
Read/Write	R/W	R/W				R/W		R/W
リセット後	1	0	0			0	0	0
機　能	WDT 制御 1: 許可	WDT 検出時間の選択 00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$				IDLE2 0: 停止 1: 動作	1: リセット端子に WDT 出力を内部接続	“0” をライトしてください。

ウォッチドッグタイマアウトコントロール

0	–
1	WDT アウトをリセットへ接続

IDLE2 の停止/動作

0	停止
1	動作

ウォッチドッグタイマの検出時間　　@ fc = 16 MHz, fs = 32.768 kHz

SYSCR1 システムクロック選択 <SYSCK>	SYSCR1 クロックギア値 <GEAR2:0>	ウォッチドッグタイマ検出時間 WDMOD<WDTP1:0> 00	01	10	11
1 (fs)	XXX	2.0 s	8.0 s	32.0 s	128.0 s
0 (fc)	000 (fc)	4.096 ms	16.384 ms	65.536 ms	262.144 ms
	001 (fc/2)	8.192 ms	32.768 ms	131.072 ms	524.288 ms
	010 (fc/4)	16.384 ms	65.536 ms	262.144 ms	1.049 s
	011 (fc/8)	32.768 ms	131.072 ms	524.288 ms	2.097 s
	100 (fc/16)	65.536 ms	262.144 ms	1.049 s	4.194 s

ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

図 3.11.4 ウォッチドッグタイマモードレジスタ

WDCR (0301H)

	7	6	5	4	3	2	1	0
Bit symbol	–							
Read/Write	W							
リセット後	–							
機　能	B1H: WDT ディセーブルコード 4EH: WDT クリアコード							

リードモディファイライトはできません。

WDT のディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	–

図 3.11.5 ウォッチドッグタイマコントロールレジスタ

3.11.3 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0> レジスタで設定された検出時間後に割り込み INTWD を発生させるタイマです。ソフトウエア（命令）で、ウォッチドッグタイマ用のバイナリカウンタを INTWD 割り込みが発生する前に 0 にクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作（暴走）し、バイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作（暴走）が発生したことを知り、誤動作（暴走）対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後直ちに動作を開始します。

また、IDLE1 モードおよび STOP モード中のウォッチドッグタイマは、リセットされ停止しています。バス解放中（$\overline{\text{BUSAK}}$ = “L”）は、カウントを続けます。

IDLE2 モードでは、WDMOD<I2WDT> の設定に依存します。必要に応じて、IDLE2 モードに入る前に WDMOD<I2WDT> を設定してください。

例: a. バイナリカウンタをクリアします。

```
WDCR    ← 0 1 0 0 1 1 1 0      クリアコード (4EH) を書き込みます。
```

b. ウォッチドッグタイマ検出時間を $2^{17}/f_{SYS}$ に設定します。

```
WDMOD   ← 1 0 1 − − − − −
```

c. ウォッチドッグタイマをディセーブルします。

```
WDMOD   ← 0 − − − − − − −      WDTE を “0” にクリアします。
WDCR    ← 1 0 1 1 0 0 0 1      ディセーブルコード (B1H) を書き込みます。
```

3.12 リアルタイムクロック(RTC)

3.12.1 RTC の機能概要

(1) 時計 (時分秒, 月日曜年, うるう年)
(2) オートカレンダー
(3) 24 時間計と 12 時間計 (AM/PM) のいずれかを選択可能
(4) ±30 秒補正機能 (ソフトウエアによる補正)
(5) $\overline{\text{ALARM}}$ 端子からのアラーム出力
(6) アラーム出力による割り込みを発生

3.12.2 ブロック図

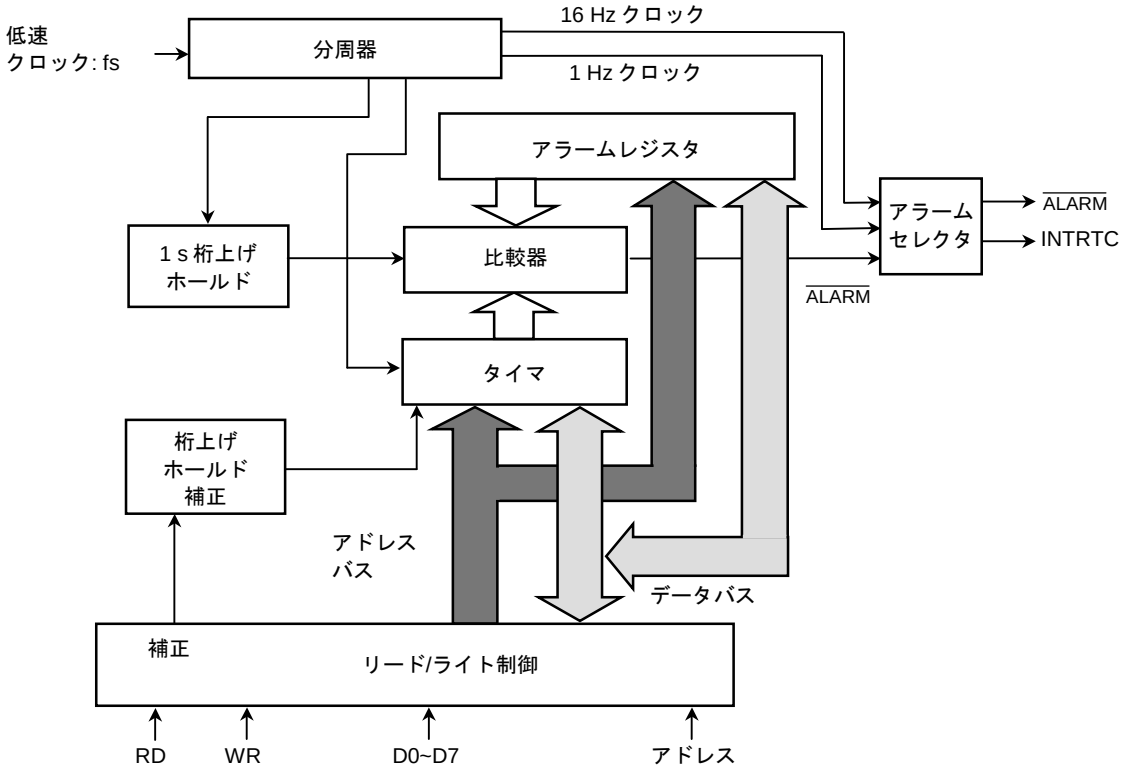


図 3.12.1 RTC ブロック図

注 1) 西暦年桁について
本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2) うるう年について
うるう年は、4 で割り切れる年ですが例外があり 100 で割切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。
しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますので、この点が問題であればシステム側にてあらかじめ対策してください。

3.12.3 SFR 一覧

表 3.12.1 PAGE 0 (タイマ機能) レジスタ群

記号	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	0320H		40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒　桁	R/W
MINR	0321H		40 分	20 分	10 分	8 分	4 分	2 分	1 分	分　桁	R/W
HOURR	0322H			20 時	10 時	8 時	4 時	2 時	1 時	時間桁	R/W
DAYR	0323H						W2	W1	W0	曜日桁	R/W
DATER	0324H			20 日	10 日	8 日	4 日	2 日	1 日	日　桁	R/W
MONTHR	0325H				10 月	8 月	4 月	2 月	1 月	月　桁	R/W
YEARR	0326H	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	(西暦下 2 桁)年桁	R/W
PAGER	0327H	INTENA			ADJUST	ENATMR	ENAALM		PAGE	PAGE レジスタ	W, R/W
RESTR	0328H	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	“0” をライトしてください。				リセットレジスタ	ライトのみ

注)　PAGE0 の SECR, MINR, HOURR, DAYR, DATER, MONTHR, YEARR は、リードすると現在の状態がリードされます。

表 3.12.2 PAGE 1 (アラーム機能) レジスタ群

記号	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	0320H										R/W
MINR	0321H		40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁	R/W
HOURR	0322H			20 時	10 時	8 時	4 時	2 時	1 時	アラーム時間桁	R/W
DAYR	0323H						W2	W1	W0	アラーム曜日桁	R/W
DATER	0324H			20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁	R/W
MONTHR	0325H								24/12	24 時間計選択ビット	R/W
YEARR	0326H							LEAP1	LEAP0	うるう年桁	R/W
PAGER	0327H	INTENA				ENATMR	ENAALM		PAGE	PAGE レジスタ	W, R/W
RESTR	0328H	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	“0” をライトしてください。				リセットレジスタ	ライトのみ

3.12.4 SFR の説明

RTC はリセットによる初期化はされません。RTC は電源投入後、不定値で動作しています。従って、RTC は各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

(1) 秒桁レジスタの設定 (PAGE 0 のみ)

SECR (0320H)

	7	6	5	4	3	2	1	0
Bit symbol		SE6	SE5	SE4	SE3	SE2	SE1	SE0
Read/Write		R/W						
リセット後		不定						
機　能	"0" がリードされます。	40 秒桁	20 秒桁	10 秒桁	8 秒桁	4 秒桁	2 秒桁	1 秒桁

0	0	0	0	0	0	0	0 秒
0	0	0	0	0	0	1	1 秒
0	0	0	0	0	1	0	2 秒
0	0	0	0	1	0	0	4 秒
0	0	0	0	1	0	1	5 秒
0	0	0	0	1	1	0	6 秒
0	0	0	0	1	1	1	7 秒
0	0	0	1	0	0	0	8 秒
0	0	0	1	0	0	1	9 秒
0	0	1	0	0	0	0	10 秒

0	0	1	1	0	0	1	19 秒
0	1	0	0	0	0	0	20 秒
0	1	0	1	0	0	1	29 秒
0	1	1	0	0	0	0	30 秒

0	1	1	1	0	0	1	39 秒
1	0	0	0	0	0	0	40 秒

1	0	0	1	0	0	1	49 秒
1	0	1	0	0	0	0	50 秒

1	0	1	1	0	0	1	59 秒

(2) 分析レジスタの設定 (PAGE 0/1)

MINR (0321H)		7	6	5	4	3	2	1	0
	Bit symbol		MI6	MI5	MI4	MI3	MI2	MI1	MI0
	Read/Write		R/W						
	リセット後		不定						
	機　能	"0"がリードされます。	40 分	20 分	10 分	8 分	4 分	2 分	1 分

0	0	0	0	0	0	0	0 分
0	0	0	0	0	0	1	1 分
0	0	0	0	0	1	0	2 分
0	0	0	0	0	1	1	3 分
0	0	0	0	1	0	0	4 分
0	0	0	0	1	0	1	5 分
0	0	0	0	1	1	0	6 分
0	0	0	0	1	1	1	7 分
0	0	0	1	0	0	0	8 分
0	0	0	1	0	0	1	9 分
0	0	1	0	0	0	0	10 分

0	0	1	1	0	0	1	19 分
0	1	0	0	0	0	0	20 分

0	1	0	1	0	0	1	29 分
0	1	1	0	0	0	0	30 分
0	1	1	1	0	0	1	39 分
1	0	0	0	0	0	0	40 分

1	0	0	1	0	0	1	49 分
1	0	1	0	0	0	0	50 分

1	0	1	1	0	0	1	59 分

(3) 時間桁レジスタの設定 (PAGE 0/1)

a. PAGE1 の MONTHR<MO0> = “1” (24 時間計表示)の場合

HOURR (0322H)

	7	6	5	4	3	2	1	0
Bit symbol			HO5	HO4	HO3	HO2	HO1	HO0
Read/Write			R/W					
リセット後			不定					
機　能	“0” がリードされます。		20 時	10 時	8 時	4 時	2 時	1 時

0	0	0	0	0	0	0 時
0	0	0	0	0	1	1 時
0	0	0	0	1	0	2 時

0	0	1	0	0	0	8 時
0	0	1	0	0	1	9 時
0	1	0	0	0	0	10 時

0	1	1	0	0	1	19 時
1	0	0	0	0	0	20 時

1	0	0	0	1	1	23 時

b. PAGE1 の MONTHR<MO0> = “0” (12 時間計表示)の場合

HOURR (0322H)

	7	6	5	4	3	2	1	0
Bit symbol			HO5	HO4	HO3	HO2	HO1	HO0
Read/Write			R/W					
リセット後			不定					
機　能	“0” がリードされます。		PM/ $\overline{\text{AM}}$	10 時	8 時	4 時	2 時	1 時

0	0	0	0	0	0	0 時(AM)
0	0	0	0	0	1	1 時
0	0	0	0	1	0	2 時
0	0	1	0	0	1	9 時
0	1	0	0	0	0	10 時
0	1	0	0	0	1	11 時
1	0	0	0	0	0	0 時 (PM)
1	0	0	0	0	1	1 時

(4) 曜日桁レジスタの設定 (PAGE 0/1)

DAYR (0323H)

	7	6	5	4	3	2	1	0
Bit symbol						WE2	WE1	WE0
Read/Write						R/W		
リセット後						不定		
機　能	“0” がリードされます。					W2	W1	W0

0	0	0	日曜日
0	0	1	月曜日
0	1	0	火曜日
0	1	1	水曜日
1	0	0	木曜日
1	0	1	金曜日
1	1	0	土曜日

(5) 日桁レジスタの設定 (PAGE 0/1)

DATER (0324H)

	7	6	5	4	3	2	1	0
Bit symbol			DA5	DA4	DA3	DA2	DA1	DA0
Read/Write			R/W					
リセット後			不定					
機　能	“0” がリードされます。		20 日	10 日	8 日	4 日	2 日	1 日

0	0	0	0	0	0	0 日
0	0	0	0	0	1	1 日
0	0	0	0	1	0	2 日
0	0	0	0	1	1	3 日
0	0	0	1	0	0	4 日

0	0	1	0	0	1	9 日
0	1	0	0	0	0	10 日
0	1	0	0	0	1	11 日

0	1	1	0	0	1	19 日
1	0	0	0	0	0	20 日

1	0	1	0	0	1	29 日
1	1	0	0	0	0	30 日
1	1	0	0	0	1	31 日

(6) 月桁レジスタの設定 (PAGE 0 のみ)

MONTHR (0325H)		7	6	5	4	3	2	1	0
	Bit symbol				MO4	MO3	MO2	MO1	MO0
	Read/Write				R/W				
	リセット後				不定				
	機　能	“0” がリードされます。			10 月	8 月	4 月	2 月	1 月

0	0	0	0	1	1 月
0	0	0	1	0	2 月
0	0	0	1	1	3 月
0	0	1	0	0	4 月
0	0	1	0	1	5 月
0	0	1	1	0	6 月
0	0	1	1	1	7 月
0	1	0	0	0	8 月
0	1	0	0	1	9 月
1	0	0	0	0	10 月
1	0	0	0	1	11 月
1	0	0	1	0	12 月

(7) 24 時間計/12 時間計の設定 (PAGE 1)

MONTHR (0325H)		7	6	5	4	3	2	1	0
	Bit symbol								MO0
	Read/Write								R/W
	リセット後								不定
	機　能	“0” がリードされます。							0: 12 時間計 1: 24 時間計

(8) 年桁 (西暦下 2 桁) レジスタ (PAGE 0)

YEARR (0326H)

	7	6	5	4	3	2	1	0
Bit symbol	YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
Read/Write	R/W							
リセット後	不定							
機　能	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年

1	0	0	1	1	0	0	1	99 年
0	0	0	0	0	0	0	0	00 年
0	0	0	0	0	0	0	1	01 年
0	0	0	0	0	0	1	0	02 年
0	0	0	0	0	0	1	1	03 年
0	0	0	0	0	1	0	0	04 年
0	0	0	0	0	1	0	1	05 年

(9) うるう年桁レジスタの設定 (PAGE 1)

YEARR (0326H)

	7	6	5	4	3	2	1	0
Bit symbol							LEAP1	LEAP0
Read/Write							R/W	
リセット後							不定	
機　能	“0” がリードされます。						00:うるう年 01:うるう年から 1 年目 10:うるう年から 2 年目 11:うるう年から 3 年目	

0	0	現在の年 (今年) がうるう年の場合
0	1	現在がうるう年の翌年である場合
1	0	現在がうるう年から 2 年目である場合
1	1	現在がうるう年から 3 年目である場合

(10) PAGE レジスタの設定 (PAGE 0/1)

PAGER (0327H) リードモディファイライトはできません。

	7	6	5	4	3	2	1	0
Bit symbol	INTENA			ADJUST	ENATMR	ENAALM		PAGE
Read/Write	R/W			W	R/W			R/W
リセット後	0			不定	不定			不定
機　能	(注) 割り込み 0: 禁止 1: 許可	“0”がリードされます。		1:補正	タイマ 0: 禁止 1: 許可	アラーム 0: 禁止 1: 許可	“0” がリードされます。	PAGE 設定

注) 本ビット設定時は下記の設定順番を守ってください。
(時計/アラーム許可と割り込み許可の設定間に時間差を設けてください。)
例: 現時刻,アラーム設定
→ 時計,アラーム許可 ld (pager), 0ch
→ 割り込み許可 ld (pager), 8ch

0	PAGE 0 を指定します。
1	PAGE 1 を指定します。

0	–
1	秒を補正します。秒が 0~29 秒のときにこのビットを “1” にすると、秒は “0” になります。 また、30~59 秒のときは、分を桁上げして秒を “0” にします。

PAGE0 のみ

(11) リセットレジスタの設定 (PAGE 0/1)

RESTR (0328H) リードモディファイライトはできません。

	7	6	5	4	3	2	1	0
Bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	RE3	RE2	RE1	RE0
Read/Write	W							
リセット後	不定							
機　能	0: 1 Hz	0: 16 Hz	1: タイマリセット	1: アラームリセット	“0” をライトしてください。			

0	–
1	アラーム･レジスタをリセットします。

0	–
1	分周器をリセットします。

0	16 Hz クロック許可 ($\overline{\text{ALARM}}$ 端子出力, INTRTC)
1	16 Hz クロック禁止 ($\overline{\text{ALARM}}$ 端子出力, INTRTC)

0	1 Hz クロック許可 ($\overline{\text{ALARM}}$ 端子出力, INTRTC)
1	1 Hz クロック禁止 ($\overline{\text{ALARM}}$ 端子出力, INTRTC)

3.12.5 タイマの説明

(1) タイマデータをリードする場合

a. タイマデータのリード動作の途中で内部カウンタの桁上げが起こると、誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で 2 度読みをしてください。

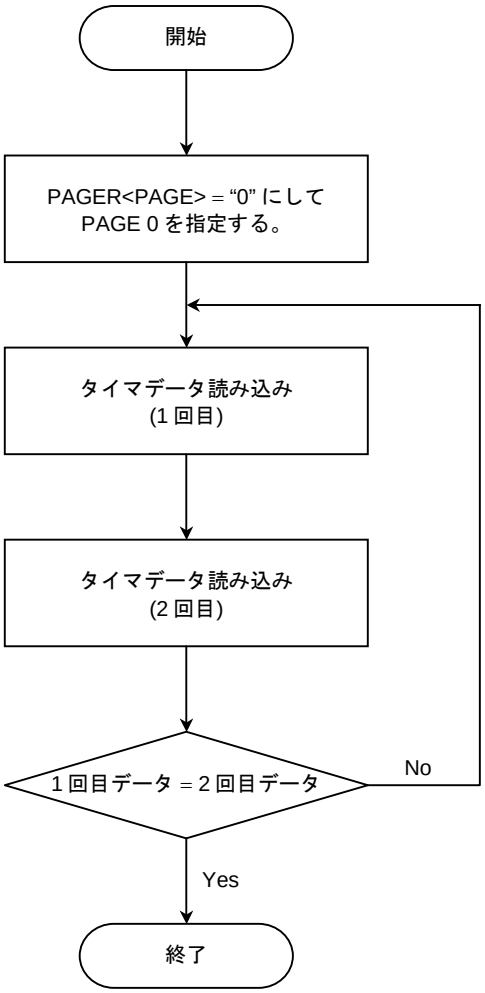
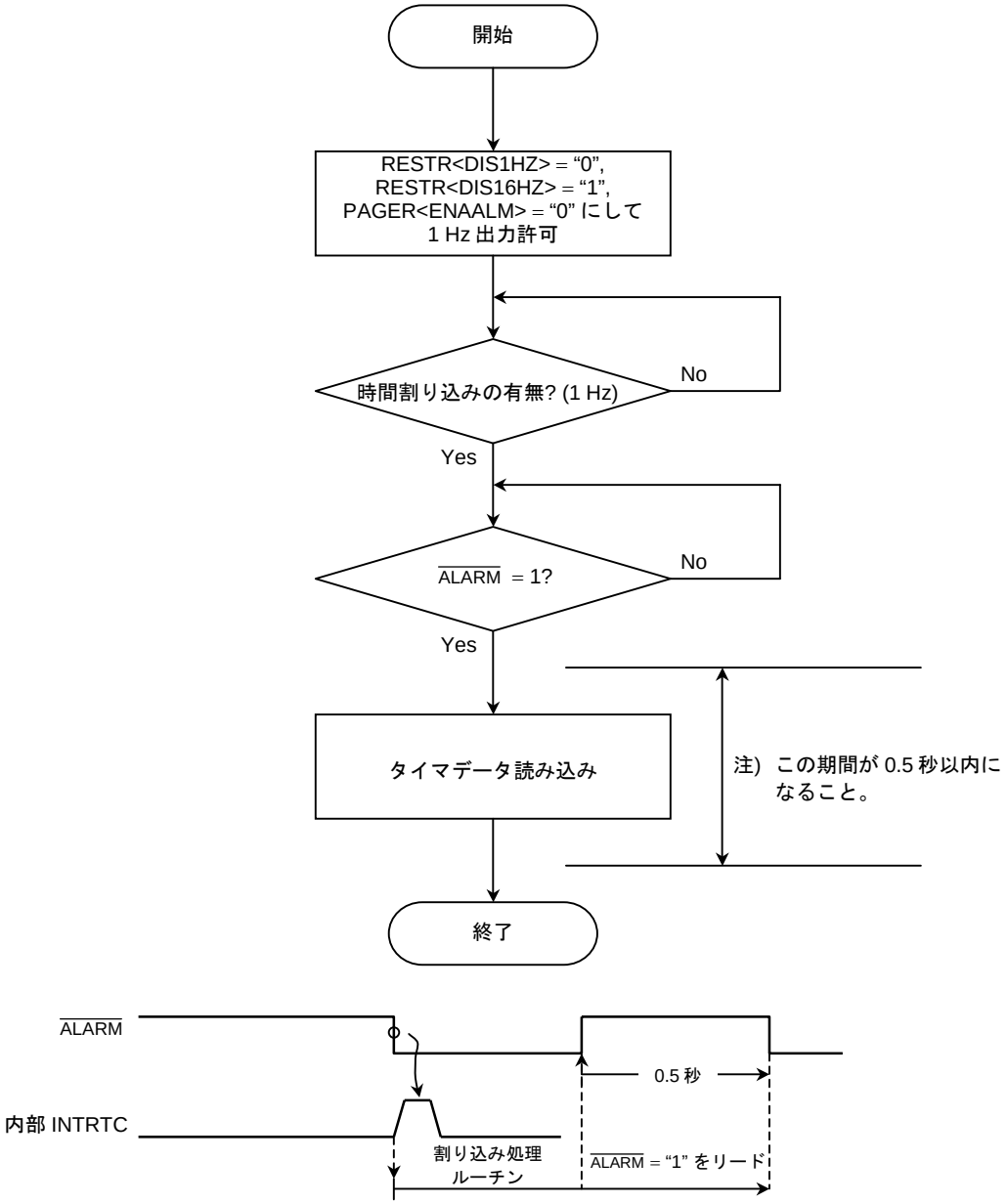


図 3.12.2 タイマデータのリードフロー

図 3.12.2に示すようにタイマのデータなどを読み出す場合には、タイマデータを 2 度読み、その内容を比較して桁上げを確認します。データの比較内容が異なっているときは、桁上げが合ったことになりますので、再度データの読み出しを行ってください。

b. $\overline{\text{ALARM}}$ 出力を用いたタイマデータの読み出し

1 Hz の INTRTC の割り込みルーチンで $\overline{\text{ALARM}}$ = “1” を検出することにより、$\overline{\text{ALARM}}$ 出力の立ち上がりエッジでデータを読み込むことができます。



$\overline{\text{ALARM}}$ = 1 を割り込みルーチンで PORT リードしてから、RTC のタイマをリードするのは、1 Hz のパルス周期の立ち上がりエッジで RTC タイマの桁上げが起きるためです。タイマデータをリードするには、桁上げ発生後の 0.5 秒の間にリードすることで、所定の時刻 (タイマ値) がリードできることになります。

図 3.12.3 $\overline{\text{ALARM}}$ 出力を利用したタイマテーブルの読み出し

(2) データのライトを行う場合

一連データのライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためには次の方法があります。

a. 分周器をリセットする

RTC 内部には 32.768 kHz の信号から 1 Hz を発生する 15 段の分周器が内蔵されており、この分周期をリセットすると 1 秒間はタイマの桁上げは行われません。この間にデータを書き込みます。

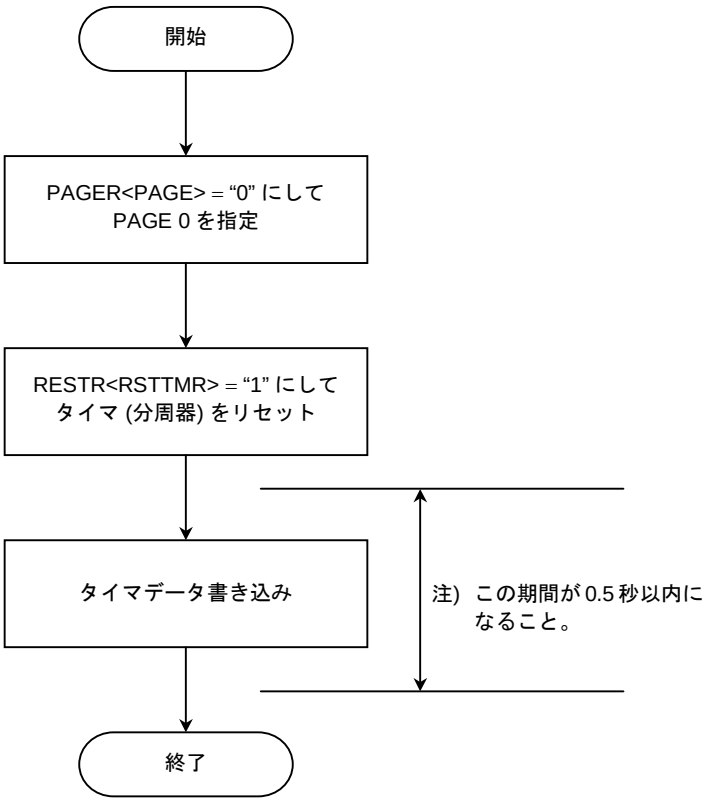


図 3.12.4 データのライトフロー

b. タイマを禁止する場合

PAGER<ENATMR> に “0” を書き込むと、タイマは禁止となって桁上げが禁止され、CLOCK HOLD 回路により誤動作を防ぐことができます。

CLOCK HOLD 回路は、タイマが禁止中に分周器から発生した 1 秒の桁上げ信号を 1 回分だけ保持し、タイマ許可になってからその桁上げ信号をタイマに出力して時刻を補正し、継続して動作します。ただし、タイマ禁止状態が 1 秒以上続くとタイマは遅れてきます。このとき注意することは、タイマ禁止中にシステム電源がダウンしてしまうことです。この場合、タイマは停止したままになり、時刻は遅れます。

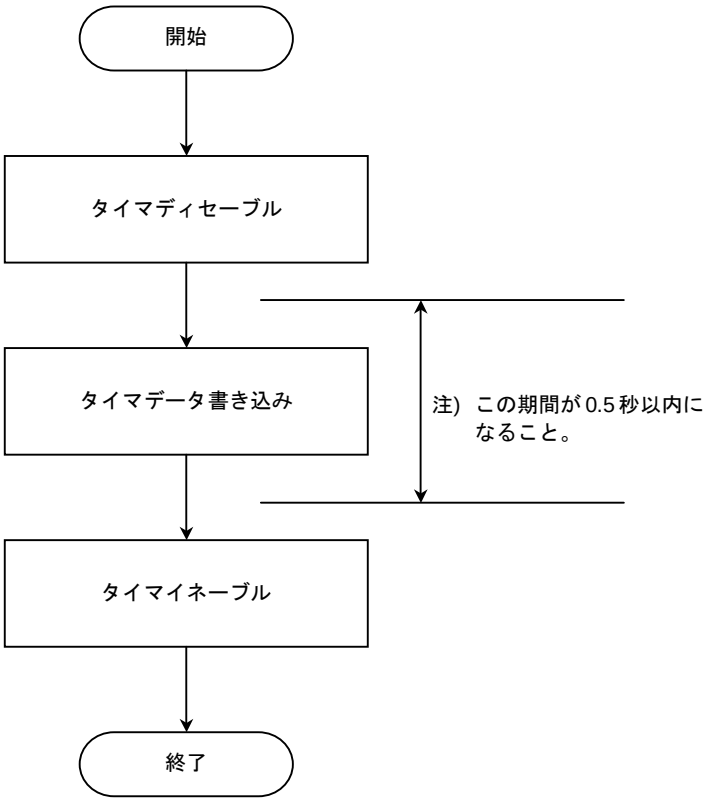


図 3.12.5 タイマを禁止するフロー

3.12.6 アラームの説明

PAGE1 のレジスタによりアラーム機能が使用できます。$\overline{\text{ALARM}}$ 端子からは以下 3 つの信号のいずれかを出力できます。また、INTRTC はいずれの場合も立ち下がりエッジを検出して、1 ショットのパルスを出力します。

なお、RTC はリセットにより初期化されませんので、タイマ, アラームの設定時に割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

(1) アラームレジスタとタイマの一致時、“0” を出力
(2) 1 Hz のクロックを出力
(3) 16 Hz のクロックを出力

(1) アラームレジスタとタイマの一致時、“0” を出力

PAGER<ENAALM> = “1”で、PAGE1 のアラームレジスタと PAGE0 のタイマの内容が一致したときに $\overline{\text{ALARM}}$ 端子に “0” を出力するとともに、INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

アラームの初期化は RESTR<RSTALM> に “1” をライトすることにより行われ、アラーム分, アラーム時, アラーム日, アラーム曜日は “Don’t care” になります。このときは、常にタイマの内容と一致したことになり PAGER<ENAALM>, PAGER<INTENA> が “1” であれば INTRTC 割り込みを出力します。

アラーム分, アラーム時, アラーム日, アラーム曜日の設定は、PAGE 1 の各レジスタにデータをライトすることにより行われます。データを設定した項目は、“Don’t care” が解除されます。

すべての項目が一致したときに、PAGER<ENAALM> が “1” であれば INTRTC 割り込みを出力します。ただし、未設定項目 (Don’t care 状態) は常に一致しているものと見なされます。

一度設定した項目は独立して “Don’t care” に戻すことはできません。アラームの初期化、およびアラームレジスタの再設定が必要です。例えば、毎日正午 (PM12:00) に $\overline{\text{ALARM}}$ 端子から信号出力させる場合のプログラムを下記に示します。

```
LD      (PAGER),09H     ; アラーム禁止,PAGE 1 設定
LD      (RESTR),D0H     ; アラーム初期化
LD      (MONTHR),01H    ; 24 時間計
LD      (HOURR),12H     ; 12 時設定
LD      (MINR),00H      ; 00 分設定
            ~           ; セットアップ時間 31 μs  (注)
LD      (PAGER),0CH     ; アラーム許可
(LD     (PAGER),8CH     ; 割り込み許可)
```

アラーム設定は、低周波クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまでに最大 32 kHz の 1 クロック分 (約 30 μs)のズレを生じることがあります。上記例の場合、時間設定しアラーム許可までの間に 31 μs のセットアップ時間が必要です。

注) このセットアップ時間は SLOW モードで使用する際は不要です。また、内部割り込みのみ使用する際も不要です。

(2) 1 Hz のクロックを出力する場合

PAGER<ENAALM> = “0”, RESTR<DIS1HZ> = “0”, <DIS16HZ> = “1” を設定することにより $\overline{\text{ALARM}}$ 端子に 1 Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

(3) 16 Hz のクロックを出力する場合

PAGER<ENAALM> = “0”, RESTR<DIS1HZ> = “1”, <DIS16HZ> = “0” を設定することにより $\overline{\text{ALARM}}$ 端子に 16 Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

3.13 LCD コントローラ (LCDC)

2 タイプの LCD ドライバに対応する LCD コントローラを内蔵しています。

- シフトレジスタ型 LCD ドライバ対応モード (SR モード)

あらかじめ、動作モード, 転送元データ格納メモリのスタートアドレス, LCD サイズ (com, seg) などを I/O レジスタに設定後、スタートレジスタをセットします。それにより、LCDC は CPU にバス開放要求を出力し転送元のメモリからデータをリードし、外部にある LCD ドライバへ設定された LCD サイズ分のデータをデータバス端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される D1BSCP などの制御端子も規定の波形を出力します。転送が終了するとバス開放要求を解除し、CPU はリスタートします。

- RAM 内蔵型 LCD ドライバ対応モード (RAM モード)

LCD ドライバへのデータ転送は CPU の転送命令で実行します。

あらかじめ、動作モードのみを I/O レジスタに設定後、CPU の転送命令が実行されると、LCDC はそれに同期して、D1BSCP などの制御端子より外部へ接続される LCD ドライバへチップセレクト信号を出力します。そのため、LCD サイズに対応したデータ転送数などの制御は、CPU の命令で制御します。

- 特殊モード

本 LCD コントローラのソースクロックは通常低周波クロック (32 kHz) より生成されていますので、低周波クロックを使用しないシステムでは動作しません。そこで、高周波クロックから 32 kHz のクロックを生成し低周波クロックを使用しないシステムでも、LCD コントローラが使用できるモードを追加しています。詳細は、3.7「8 ビットタイマ」を参照してください。

3.13.1 タイプ別 LCDC の特長

それぞれの特長と端子の使用方法について下記に示します。

表 3.13.1 タイプ別 LCDC の特長

		シフトレジスタ型モード	RAM 内蔵型モード
対応可能な LCD 表示画素数		コモン (ロー): 64, 68, 80, 100, 120, 128, 144, 160, 200, 240 セグメント (カラム): 32, 64, 80, 120, 128, 160, 240, 320, 360	制限なし
受信データバス幅		8 ビット (バイト), 16 ビット (ワード) 選択可	8 ビット (バイト), 16 ビット (ワード) 転送命令依存
送信データバス幅		8 ビット, 4 ビット, 1 ビット選択可	8 ビット固定
転送レート (@ f_{FPH} =16 [MHz])		250 ns/1 バイト @ BYTE モード 375 ns/1 バイト @ NIBBLE モード 1125 ns/1 バイト @ BIT モード	
外部端子	データバス: D7~D0 端子	データバスです。カラムドライバの DI 端子へ接続します。NIBBLE モード時は上位 4 端子、BIT モード時は上位 7 端子は使用しません。	データバスです。カラム/ロードライバの DB 端子へ接続します。
	バスステート: R/$\overline{W}$ 端	未使用	バスステートです。カラム/ロードライバの $\overline{WR}$ 端子へ接続します。
	アドレスバス: A0 端子	未使用	アドレス 0 です。データバスの値を A0 = 1 で表示データ、A0 = 0 でインストラクションデータとします。カラムドライバの D/I 端子へ接続します。
	シフトクロックパルス: D1BSCP 端子	シフトクロックパルス出力端子です。カラムドライバの SCP 端子へ接続します。この端子の立ち下がりエッジで LCDD はデータバスの値をラッチします。	カラムドライバ 1 用チップイネーブル端子です。カラムドライバ 1 の $\overline{CE}$ 端子へ接続します。
	ラッチパルス: D2BLP 端子	ラッチパルス出力端子です。カラム/ロードライバの LP/EIO1 端子へ接続します。この端子の立ち上りエッジで、LCDD の初段シフトレジスタに表示データがラッチされます。	カラムドライバ 2 用チップイネーブル端子です。カラムドライバ 2 の $\overline{CE}$ 端子へ接続します。
	フレーム: D3BFR 端子	LCD 交流化信号出力端子です。カラム/ロードライバの FR 端子へ接続します。LCD サイズにより 60~80 [Hz] 間の特定の周波数のクロックを出力します。	カラムドライバ 3 用チップイネーブル端子です。カラムドライバ 3 の $\overline{CE}$ 端子へ接続します。
	カスケードパルス: DLEBCD 端子	カスケードパルス出力端子です。ロードライバの DIO1 端子へ接続します。D3BFR 端子の変化ごとに 1 ショットのパルスを出力します。	ロードライバ用チップイネーブル端子です。ロードライバの $\overline{LE}$ 端子へ接続します。
	表示オフ: $\overline{DOFF}$ 端子	表示オフ出力端子です。カラム/ロードライバの $\overline{DSPOF}$ 端子へ接続します。“0” で表示 OFF、“1” で表示 ON です。	

3.13.2 ブロック図

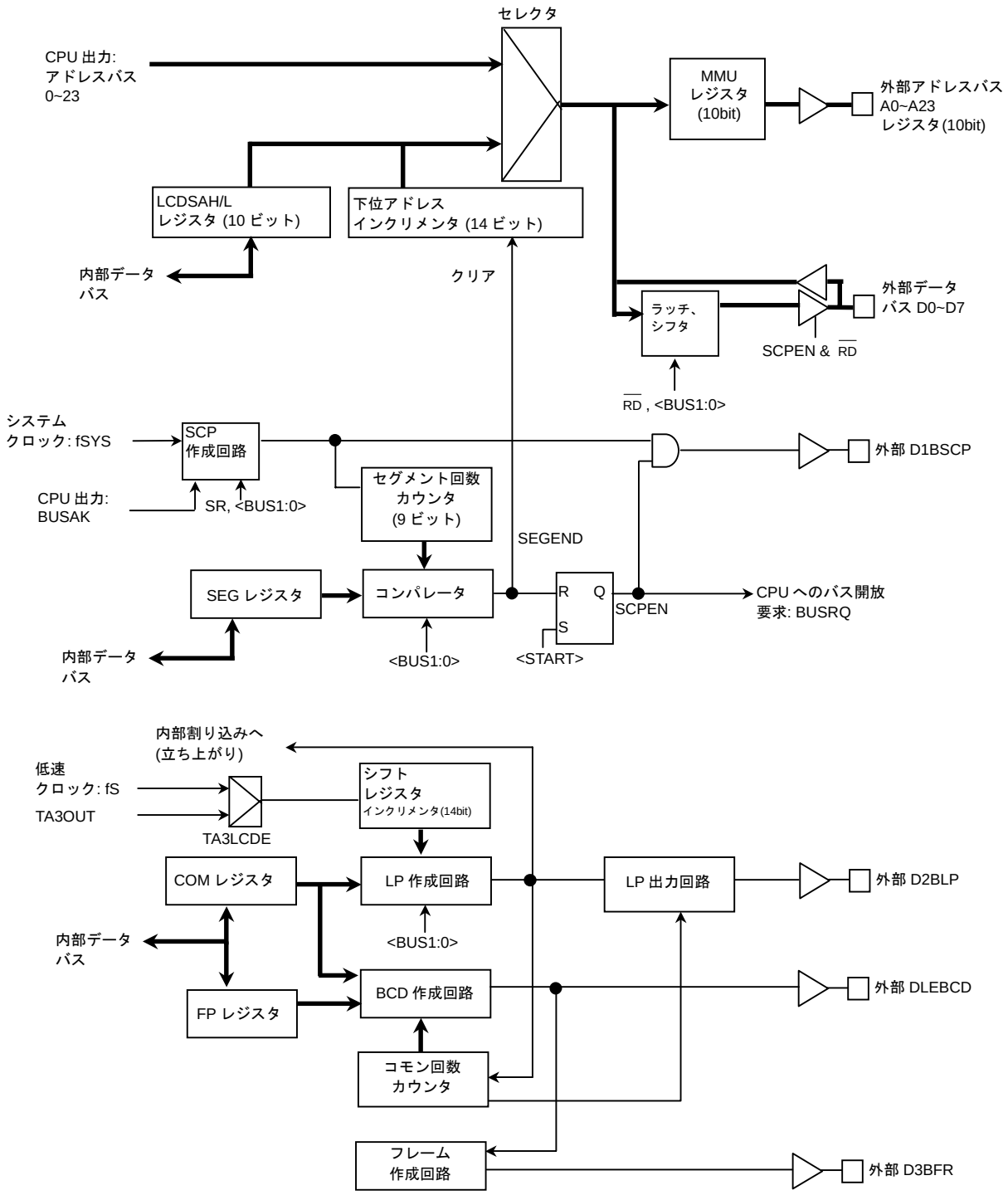


図 3.13.1 LCDC ブロック図

3.13.3 SFR 説明

LCDSAL レジスタ

LCDSAL (0360H)	7	6	5	4	3	2	1	0
Bit symbol	SAL15	SAL14	SAL13	SAL12		–	–	MODE
Read/Write	R/W	R/W	R/W	R/W		R/W	R/W	R/W
リセット後	0	0	0	0		0	0	0
機　能	SR モードでの転送元データ 格納メモリスタートアドレス A15~A12 設定					“0” をライトしてください。	“0” をライトしてください。	対応モード 0: RAM 1: SR

LCDSAH レジスタ

LCDSAH (0361H)	7	6	5	4	3	2	1	0
Bit symbol	SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機　能	SR モードでの転送元データ 格納メモリスタートアドレス A23~A16 設定							

LCDSIZE レジスタ

LCDSIZE (0362H)	7	6	5	4	3	2	1	0
Bit symbol	COM3	COM2	COM1	COM0	SEG3	SEG2	SEG1	SEG0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機　能	LCD コモン数設定 (SR モード用) 0000: 64　0101: 128 0001: 68　0110: 144 0010: 80　0111: 160　その他: Reserved 0011: 100　1000: 200 0100: 120　1001: 240　(注)				LCD セグメント数設定 (SR モード用) 0000: 32　0101: 160 0001: 64　0110: 240 0010: 80　0111: 320 0011: 120　1000: 360 0100: 128　その他: Reserved			

注)　240 コモン時、BIT モードを使用できません。

LCDCTL レジスタ

LCDCTL (0363H)	7	6	5	4	3	2	1	0
Bit symbol	LCDON	–	–	BUS1	BUS0	MMULCD	FP8	START
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機　能	$\overline{DOFF}$ 端子 (SR,RAM モード用) 0:OFF 1:ON	“0” をライトしてください。	“0” をライトしてください。	SR モードでのデータバス幅選択 00: 8 ビット (BYTE モード) 01: 4 ビット (NIBBLE モード) 10: 1 ビット (BIT モード) 11: Reserved		RAM 内蔵ドライバ方式設定 0: シーケンシャルアクセス型 1: ランダムアクセス型	f_{FP} 設定値ビット 8	SR モードのスタート制御 0: 停止 1: 開始

注 1)　LCDSAH, LCDSAL に設定するスタートアドレスは下記の制約があります。

- 1 フレーム分のデータ転送により A13 から A14 へ桁上げが発生するスタートアドレス設定の禁止

例:　240 コモン × 360 セグメント (10800 バイト = 2A30 バイト) の場合
スタートアドレス SAL13, 12 は “00” または “01” のいずれかに設定してください。“10”, “11” は不可。

注 2)　スタートアドレスの下位 12 ビットは “000H” です。

LCDFFP レジスタ

LCDFFP (0364H)	7	6	5	4	3	2	1	0
Bit symbol	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	f_{FP} 設定値ビット 7~0							

LCDCTL2 レジスタ

LCDCTL2 (0366H)	7	6	5	4	3	2	1	0
Bit symbol	–	–	–			RAMBUS	AC1	AC0
Read/Write	R/W					R/W	R/W	
リセット後	0	0	0			0	0	0
機　能	“111” をライトしてください。(注)					0: バイト 1: ワード	00: タイプ A 01: タイプ B 10: タイプ C 11: Reserved	

注) <RAMBUS>, <AC1>, <AC0> を初期設定のままで使用する場合でも、Bit<7:5> の 3 ビットは必ず 1 をライトしてください。

図 3.13.2 LCD コントローラレジスタ

LCDC0L/LCDC0H/LCDC1L/LCDC1H/LCDC2L/LCDC2H/LCDR0L/LCDR0H レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	D7	D6	D5	D4	D3	D2	D1	D0
Read/Write	外部 LCDD の仕様による							
リセット後	外部 LCDD の仕様による							
機　能	外部 LCDD の仕様による							

これらのレジスタは、本製品には存在しません。外部に接続するシーケンシャルアクセス型(注)RAM 内蔵 LCD ドライバのインストラクションレジスタ、表示データレジスタのイメージです。

これらのレジスタには、図 3.13.3のようなアドレスが割り当てられており、それにより対応するアドレスをアクセスすると、チップイネーブル端子がアクティブになります。

また、このアドレス 0FE0H~0FE7H のエリアは外部エリアに設定していますので、外部へのアクセスにより $\overline{RD}$, $\overline{WR}$ 端子はアクティブになります。

図 3.13.4にランダムアクセス型(注)RAM 内蔵 LCD ドライバのアドレスマップを示しています。この選択は LCDCTL<MMULCD> にて設定します。

注) アドレス端子を持たず、インストラクションレジスタにより RAM へのアクセス方法をセットする方式の RAM 内蔵 LCD ドライバを、ここではシーケンシャルアクセス型 RAM 内蔵 LCD ドライバと呼びます。
(弊社 LCDD: T6B65A, T6C84 など_ 2000/3 現在)

アドレス端子を持ち、SRAM と同様のアクセス方式の RAM 内蔵 LCD ドライバをここではランダムアクセス型 RAM 内蔵 LCD ドライバと呼びます。
(弊社 LCDD: T6C23, T6K01 など_ 2000/3 現在)

レジスタ名	アドレス	用途 (シーケンシャルアクセス型)		チップ イネーブル 端子	A0 端子
LCDC1L	0FE0H	RAM 内蔵型 ドライバ 1	インストラクション	D1BSCP	0
LCDC1H	0FE1H		表示データ		1
LCDC2L	0FE2H	RAM 内蔵型 ドライバ 2	インストラクション	D2BLP	0
LCDC2H	0FE3H		表示データ		1
LCDC3L	0FE4H	RAM 内蔵型 ドライバ 3	インストラクション	D3BFR	0
LCDC3H	0FE5H		表示データ		1
LCDR1L	0FE6H	RAM 内蔵型 ドライバ 4	インストラクション	DLEBCD	0
LCDR1H	0FE7H		表示データ		1

図 3.13.3 シーケンシャルアクセス型 RAM 内蔵 LCD ドライバ用チップイネーブル仕様

アドレス	用途 (ランダムアクセス型)	チップ イネーブル 端子
3C0000H~ 3CFFFFH	RAM 内蔵型ドライバ 1	D1BSCP
3D0000H~ 3DFFFFH	RAM 内蔵型ドライバ 2	D2BLP
3E0000H~ 3EFFFFH	RAM 内蔵型ドライバ 3	D3BFR
3F0000H~ 3FFFFFH	RAM 内蔵型ドライバ 4	DLEBCD

図 3.13.4 ランダムアクセス型 RAM 内蔵 LCD ドライバ用チップイネーブル仕様

注1) アドレス端子を持たず、インストラクションレジスタにより RAM のアクセス方法をセットする方式のドライバを、ここではシーケンシャルアクセス型 RAM 内蔵 LCD ドライバと呼びます。

注 2) アドレス端子を持ち、SRAM と同様のアクセス方式のドライバを、ここではランダムアクセス型 RAM 内蔵 LCD ドライバと呼びます。

3.13.4 モード別動作説明

3.13.4.1 シフトレジスタ型 LCD ドライバ対応モード (SR モード)

あらかじめ、動作モード、転送元データ格納メモリのスタートアドレス, LCD サイズ (セグメント, コモン) などを I/O レジスタに設定後、スタートレジスタをセットします。それにより、LCDC は CPU にバス開放要求 (バス停止要求) を出力し、転送元のメモリからデータをリードし、外部にある LCD ドライバへ設定された LCD サイズ分のデータをデータバス端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される D1BSCP などの制御端子も、規定の波形を出力します。転送が終了すると、バス開放要求を解除し CPU はリスタートします。LCD コントローラは、D3BFR, DLEBCD, D2BLP 端子の波形生成用にシステムクロック f_{SYS} とは別のクロック LCDCK を使用します。

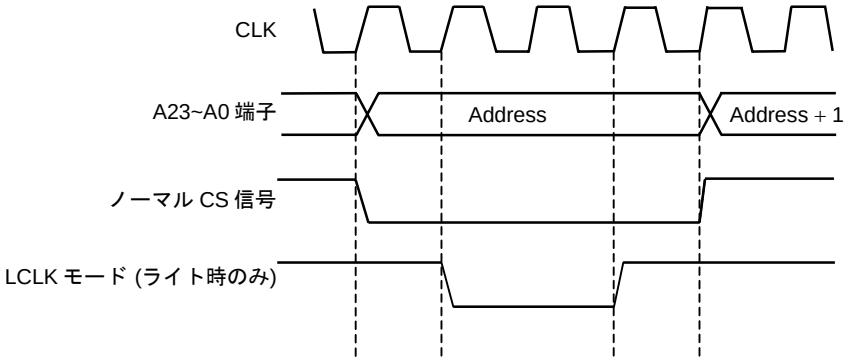
LCDCK は、低周波クロック (XT1, XT2): 32.768 kHz または内蔵の TMRA23 より出力されるタイマーアウト TA3OUT を、EMCCR4<TA3LCDE> レジスタにて選択します。<TA3LCDE> は外部リセットにより “0” となり、32.768 kHz が選択されています。

図 3.13.6と図 3.13.7に 240 セグメント × 120 コモン、BYTE モードの場合の LCDC タイミング図を示します。表 3.13.2にセグメント数、コモン数別の t_{LP} (D2BLP 端子周期)、CPU 停止時間/停止比率の一覧表、表 3.13.3と 表 3.13.4 にコモン数別の f_{FP} (フレーム周波数) を示します。

また、図 3.13.8に 240 セグメント × 120 コモン LCD ドライバ接続回路例を示します。

さらに、LCDD のコマンドを書き込むような場合 (読み出し不可) でも、外部に特に外付け回路を追加せずに、対応可能な回路を内蔵しています (LCLK 対応)。

これについては、図 3.13.5 を参照してください。また、これらの信号は CS0 から出力する場合は P6FC3<P60F3> にて、また、CS2C から出力する場合は P6FC3<P65F3> にてそれぞれ対応しています。詳細は、3.5.4「ポート 6」を参照してください。



注) LCLK モード時の CS 信号はライト信号と CS 信号の論理和が出力されています。リード時には出力されません。また、このライト信号は $\overline{WR}$ と $\overline{HWR}$ に対応しています。

3.13.4.2 フレーム周波数補正機能

TMP91C016 では、いわゆるフレーム周期（LCD パネルのリフレッシュ間隔）を、f_{FP} [8:0] に設定した値により定義しています。DLEBCD 端子には、このフレーム周期ごとにパルスが出力され、D3BFR 端子には、通常この周期ごとに極性が反転する信号が出力されます。

前項レジスタ f_{FP} [8:0] の設定値に従って、基本となるフレーム周期 DLEBCD 信号が作られます。通常、この値はコモン数と同等な値を設定しますが、自由に設定値を増やしてフレーム周期を補正することができます。

フレーム周期は次の計算式で求めることができます。

フレーム周期 = LCDCK/(D × f_{FP}) [Hz]　D: 各コモン数の定数 (参照)

f_{FP}: f_{FP} [8:0] レジスタ設定値

LCDCK: LCD ソースクロック

(通常は低周波クロックが選択されています。)

f_{FP} [8:0] の値は、設定したいフレーム周期に合わせて図 3.13.5の中から選択してください。

注)　f_{FP} [8:0]へ設定する f_{FP} 値は下記の範囲にしてください。

COM (コモン数) ≦ f_{FP} ≦ 320

例: 240 コモンでフレーム周期を 72.10 Hz にする場合、図 3.13.5より COM + 63 が選択され、

f_{FP} = 240 (COM) + 63 = 303 = 12FH

よって、LCDCTL<FP8> = 1H, LCDFFP<FP7:0> = 2FH を設定してください。

LCDCTL レジスタ

LCDCTL (0363H)	7	6	5	4	3	2	1	0
Bit symbol	LCDON	–	–	BUS1	BUS0	MMULCD	FP8	START
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機　能	$\overline{DOFF}$ 端子 (SR, RAM モード用) 0: OFF 1: ON	"0" をライトしてください。	"0" をライトしてください。	SR モードでのデータバス幅選択 00: 8 ビット (BYTE モード) 01: 4 ビット (NIBBLE モード) 10: Reserved 11: Reserved		RAM 内蔵ドライバ方式設定 0: シーケンシャルアクセス型 1: ランダムアクセス型	f_{FP} 設定値ビット 8	SR モードのスタート制御 0: 停止 1: 開始

LCDFFP レジスタ

LCDFFP (0364H)	7	6	5	4	3	2	1	0
Bit symbol	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	f_{FP} 設定値ビット 7~0							

3.13.4.3 タイマーアウト LCDCK

LCD ソースクロック: LCDCK は低周波クロック (XT1, XT2): 32.768 [kHz]、または内蔵の TMRA23 より出力されるタイマーアウト "TA3OUT" を選択できます。

例: TA3OUT を LCDC ソースクロックに選択することにより、フレーム周期 = 70 [Hz] に設定する方法を示します (fc = 6 [MHz], 120 コモン)。

フレーム周期は次式で求められます。

フレーム周期 = 1/(t_{LP} × f_{FP}) [Hz]　　t_{LP}: D2BLP の周期

LCDC のソースクロックを XT [Hz]とすると、この t_{LP} は、

t_{LP} = D/XT　　D: 3.5 (120 コモンの場合)

よって、f_{FP} = 120 の場合、フレーム周期を 70 [Hz] に設定するには、

XT = 120 × 3.5 × 70
= 29400 [Hz]　となるクロックが必要になります。

ここで、タイマー3 のφT1 を使用し、fc = 6 [MHz]で XT = 29400 [Hz]を生成します。

1/XT = T3 × 2 × 8/fc [s]　　T3: タイマレジスタ(TA3REG)の値

つまり、

XT = fc/(T3 × 2 × 8) [Hz]　となります。

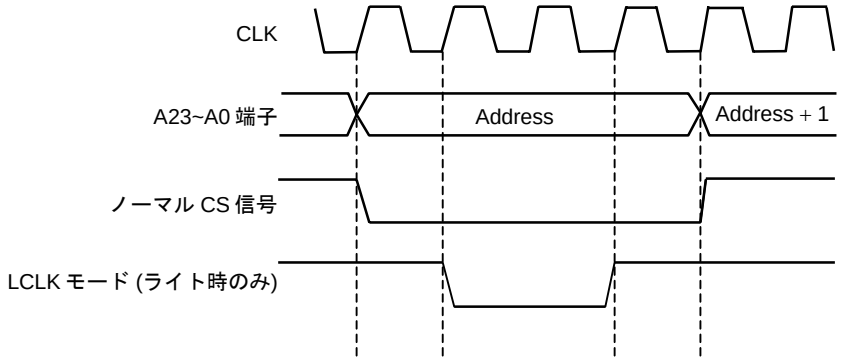
これを計算すると、T3 = (TA3REG) = 12.75 となりますが、小数点以下は設定不可なので、(TA3REG) = 0CH に設定すると、XT = 31250 [Hz]となります。
また D = 3.5 より

フレーム周期　= 31250/(120 × 3.5)
= 74.404 [Hz]　となります。

さらに、f_{FP} に補正を加えて COM = 127 (COM + 7) として計算すると

フレーム周期　= 31250/(127 × 3.5)
= 70.30 ... [Hz]　となります。

(参考) フレーム周期決定機能、タイマーアウト LCDCK を使用して、フレーム周期は約 70 [Hz]を目安にすると表示品位が上がります。



注) LCLK モード時の CS 信号はライト信号と CS 信号の論理和が出力されています。
リード時には出力されません。また、このライト信号は $\overline{WR}$ と $\overline{HWR}$ に対応しています。

図 3.13.5 LCLK モードタイミングチャート

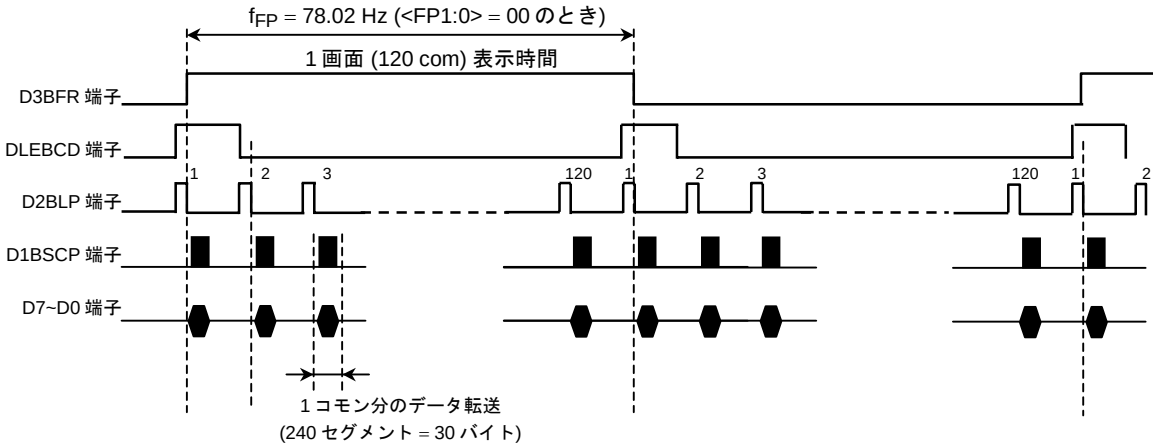


図 3.13.6 SR モード全体タイミング図

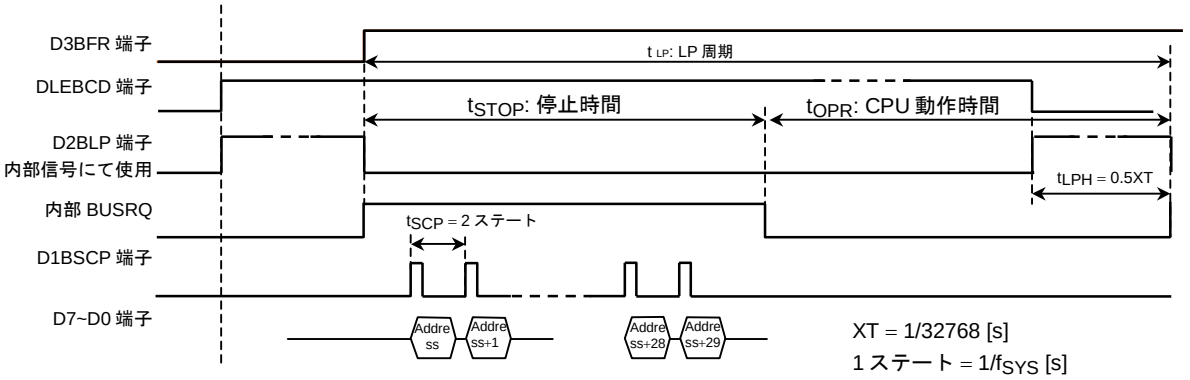


図 3.13.7 SR モード詳細タイミング図

表 3.13.2 セグメント, コモン数別性能一覧表

		64 コモン	68 コモン	80 コモン	100 コモン	120 コモン	128 コモン	144 コモン	160 コモン	200 コモン	240 コモン	単位
t_{LP}作成用 XT カウント数: D		6.5	6	5	4	3.5	3	2.5	2.5	2	1.5	–
t_{LP}		198.4	183.1	152.6	122.1	106.88	91.6	76.3	76.3	61.0	45.8	μs
32 セグメント	t_{STOP}	1.0										μs
	CPU 停止率	0.5	0.5	0.7	0.8	0.9	0.9	1.1	1.3	1.6	1.6	%
64 セグメント	t_{STOP}	2.0										μs
	CPU 停止率	1.0	1.0	1.3	1.6	1.9	1.9	2.2	2.6	3.3	3.3	%
80 セグメント	t_{STOP}	2.5										μs
	CPU 停止率	1.3	1.3	1.6	2.0	2.3	2.3	2.7	3.3	4.1	4.1	%
120 セグメント	t_{STOP}	3.75										μs
	CPU 停止率	1.9	1.9	2.5	3.1	3.5	3.5	4.1	4.9	6.1	6.1	%
128 セグメント	t_{STOP}	4.0										μs
	CPU 停止率	2.0	2.0	2.6	3.3	3.7	3.7	4.4	5.2	6.6	6.6	%
160 セグメント	t_{STOP}	5.0										μs
	CPU 停止率	2.5	2.5	3.3	4.1	4.7	4.7	5.5	6.6	8.2	8.2	%
240 セグメント	t_{STOP}	7.5										μs
	CPU 停止率	3.8	3.8	4.9	6.1	7.0	7.0	8.2	9.8	12.3	12.3	%
320 セグメント	t_{STOP}	10.0										μs
	CPU 停止率	5.0	5.0	6.6	8.2	9.4	9.4	10.9	13.1	16.4	16.4	%
360 セグメント	t_{STOP}	11.25										μs
	CPU 停止率	5.7	5.7	7.4	9.2	10.5	10.5	12.3	14.7	18.4	18.4	%

注 1) 所要時間は、f_{FPH} = 16 [MHz], fs = 32.768 [kHz] のときの値です。

注 2) CPU 停止時間 t_{STOP}: 数値は BYTE モード時で転送元メモリを 0 ウェイトでリードしたときの値です。NIBBLE モード時は ×1.5、BIT モード時は ×4.5 の値になります。また、上記数値は、バス解放要求にともなう転送開始までの所要時間は含まれません。

注3) t_{LP} は次のような計算式で求めることができます。
t_{LP} = D/32768 [s]
例: 240 コモンの場合、D = 1.5 なので t_{LP} = 1.5/32768 = 45.8 [μs]

表 3.13.3 コモン数別 f_{FP} 一覧表 (1/2)

D	6.5	6	5	4	3.5	3	2.5	2.5	2	1.5
コモン	64	68	80	100	120	128	144	160	200	240
コモン＋0	78.77	80.31	81.92	81.92	78.02	85.33	91.02	81.92	81.92	91.02
コモン＋1	77.56	79.15	80.91	81.11	77.37	84.67	90.39	81.41	81.51	90.64
	76.38	78.02	79.92	80.31	76.74	84.02	89.78	80.91	81.11	90.27
	75.24	76.92	78.96	79.53	76.12	83.38	89.16	80.41	80.71	89.90
	74.14	75.85	78.02	78.77	75.50	82.75	88.56	79.92	80.31	89.53
	73.06	74.81	77.10	78.02	74.90	82.13	87.97	79.44	79.92	89.16
	72.02	73.80	76.20	77.28	74.30	81.51	87.38	78.96	79.53	88.80
	71.00	72.82	75.33	76.56	73.72	80.91	86.80	78.49	79.15	88.44
	70.02	71.86	74.47	75.85	73.14	80.31	86.23	78.02	78.77	88.09
	69.06	70.93	73.64	75.16	72.58	79.73	85.67	77.56	78.39	87.73
コモン＋10	68.12	70.02	72.82	74.47	72.02	79.15	85.11	77.10	78.02	87.38
	67.22	69.13	72.02	73.80	71.47	78.58	84.56	76.65	77.65	87.03
	66.33	68.27	71.23	73.14	70.93	78.02	84.02	76.20	77.28	86.69
	65.47	67.42	70.47	72.50	70.39	77.47	83.49	75.76	76.92	86.35
	64.63	66.60	69.72	71.86	69.87	76.92	82.96	75.33	76.56	86.01
	63.81	65.80	68.99	71.23	69.35	76.38	82.44	74.90	76.20	85.67
	63.02	65.02	68.27	70.62	68.84	75.85	81.92	74.47	75.85	85.33
	62.24	64.25	67.56	70.02	68.34	75.33	81.41	74.05	75.50	85.00
	61.48	63.50	66.87	69.42	67.84	74.81	80.91	73.64	75.16	84.67
	60.74	62.77	66.20	68.84	67.35	74.30	80.41	73.22	74.81	84.34
コモン＋20	60.01	62.06	65.54	68.27	66.87	73.80	79.92	72.82	74.47	84.02
	59.31	61.36	64.89	67.70	66.40	73.31	79.44	72.42	74.14	83.70
	58.62	60.68	64.25	67.15	65.93	72.82	78.96	72.02	73.80	83.38
	57.95	60.01	63.63	66.60	65.47	72.34	78.49	71.62	73.47	83.06
	57.29	59.36	63.02	66.06	65.02	71.86	78.02	71.23	73.14	82.75
	56.64	58.72	62.42	65.54	64.57	71.39	77.56	70.85	72.82	82.44
	56.01	58.10	61.83	65.02	64.13	70.93	77.10	70.47	72.50	82.13
	55.40	57.49	61.25	64.50	63.69	70.47	76.65	70.09	72.18	81.82
	54.80	56.89	60.68	64.00	63.26	70.02	76.20	69.72	71.86	81.51
	54.21	56.30	60.12	63.50	62.83	69.57	75.76	69.35	71.55	81.21
コモン＋30	53.63	55.73	59.58	63.02	62.42	69.13	75.33	68.99	71.23	80.91
	53.07	55.16	59.04	62.53	62.00	68.70	74.90	68.62	70.93	80.61
	52.51	54.61	58.51	62.06	61.59	68.27	74.47	68.27	70.62	80.31
	51.97	54.07	58.00	61.59	61.19	67.84	74.05	67.91	70.32	80.02
	51.44	53.54	57.49	61.13	60.79	67.42	73.64	67.56	70.02	79.73
	50.92	53.02	56.99	60.68	60.40	67.01	73.22	67.22	69.72	79.44
	50.41	52.51	56.50	60.24	60.01	66.60	72.82	66.87	69.42	79.15
	49.91	52.01	56.01	59.80	59.63	66.20	72.42	66.53	69.13	78.86
	49.42	51.52	55.54	59.36	59.25	65.80	72.02	66.20	68.84	78.58
	48.94	51.04	55.07	58.94	58.88	65.41	71.62	65.87	68.55	78.30

注) f_{FP} は次のような計算式で求めることができます。

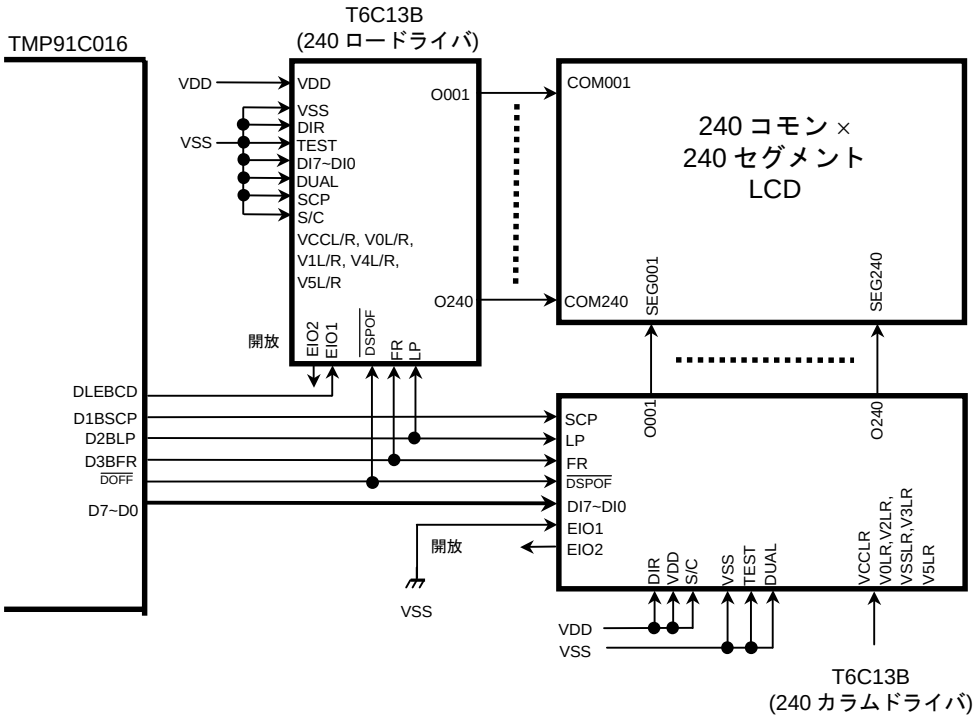
$f_{FP} = 32768/(D \times FP)$ [Hz]

例: 120 コモンで <FP8:0> = 131 の場合、

$f_{FP} = 32768/(3.5 \times 131) = 71.5$ [Hz]

表 3.13.4 コモン数別 f_{FP} 一覧表 (2/2)

D	6.5	6	5	4	3.5	3	2.5	2.5	2	1.5
コモン	64	68	80	100	120	128	144	160	200	240
コモン＋40	48.47	50.57	54.61	58.51	58.51	65.02	71.23	65.54	68.27	78.02
	48.01	50.10	54.16	58.10	58.15	64.63	70.85	65.21	67.98	77.74
	47.56	49.65	53.72	57.69	57.79	64.25	70.47	64.89	67.70	77.47
	47.11	49.20	53.28	57.29	57.44	63.88	70.09	64.57	67.42	77.19
	46.68	48.76	52.85	56.89	57.09	63.50	69.72	64.25	67.15	76.92
	46.25	48.33	52.43	56.50	56.74	63.14	69.35	63.94	66.87	76.65
	45.83	47.91	52.01	56.11	56.40	62.77	68.99	63.63	66.60	76.38
	45.42	47.49	51.60	55.73	56.06	62.42	68.62	63.32	66.33	76.12
	45.01	47.08	51.20	55.35	55.73	62.06	68.27	63.02	66.06	75.85
	44.61	46.68	50.80	54.98	55.40	61.71	67.91	62.71	65.80	75.59
コモン＋50	44.22	46.28	50.41	54.61	55.07	61.36	67.56	62.42	65.54	75.33
	43.84	45.89	50.03	54.25	54.75	61.02	67.22	62.12	65.27	75.07
	43.46	45.51	49.65	53.89	54.43	60.68	66.87	61.83	65.02	74.81
	43.09	45.13	49.28	53.54	54.12	60.35	66.53	61.54	64.76	74.56
	42.72	44.77	48.91	53.19	53.81	60.01	66.20	61.25	64.50	74.30
	42.36	44.40	48.55	52.85	53.50	59.69	65.87	60.96	64.25	74.05
	42.01	44.04	48.19	52.51	53.19	59.36	65.54	60.68	64.00	73.80
	41.66	43.69	47.84	52.18	52.89	59.04	65.21	60.40	63.75	73.55
	41.32	43.34	47.49	51.85	52.60	58.72	64.89	60.12	63.50	73.31
	40.99	43.00	47.15	51.52	52.30	58.41	64.57	59.85	63.26	73.06
コモン＋60	40.66	42.67	46.81	51.20	52.01	58.10	64.25	59.58	63.02	72.82
	40.33	42.34	46.48	50.88	51.73	57.79	63.94	59.31	62.77	72.58
	40.01	42.01	46.15	50.57	51.44	57.49	63.63	59.04	62.53	72.34
	39.69	41.69	45.83	50.26	51.16	57.19	63.32	58.78	62.30	72.10
	39.38	41.37	45.51	49.95	50.88	56.89	63.02	58.51	62.06	71.86
	39.08	41.06	45.20	49.65	50.61	56.59	62.71	58.25	61.83	71.62
	38.78	40.76	44.89	49.35	50.33	56.30	62.42	58.00	61.59	71.39
	38.48	40.45	44.58	49.05	50.07	56.01	62.12	57.74	61.36	71.16
	38.19	40.16	44.28	48.76	49.80	55.73	61.83	57.49	61.13	70.93
	37.90	39.86	43.98	48.47	49.54	55.45	61.54	57.24	60.91	70.70
コモン＋70	37.62	39.57	43.69	48.19	49.28	55.16	61.25	56.99	60.68	70.47
	37.34	39.29	43.40	47.91	49.02	54.89	60.96	56.74	60.46	70.24
	37.07	39.01	43.12	47.63	48.76	54.61	60.68	56.50	60.24	70.02
	36.80	38.73	42.83	47.35	48.51	54.34	60.40	56.25	60.01	69.79
	36.53	38.46	42.56	47.08	48.26	54.07	60.12	56.01	59.80	69.57
	36.27	38.19	42.28	46.81	48.01	53.81	59.85	55.78	59.58	69.35
	36.01	37.93	42.01	46.55	47.77	53.54	59.58	55.54	59.36	69.13
	35.75	37.66	41.74	46.28	47.52	53.28	59.31	55.30	59.15	68.91
	35.50	37.41	41.48	46.02	47.28	53.02	59.04	55.07	58.94	68.70
	35.25	37.15	41.22	45.77	47.05	52.77	58.78	54.84	58.72	68.48
コモン＋80	35.01	36.90	40.96	45.51	46.81	52.51	58.51	54.61	58.51	68.27



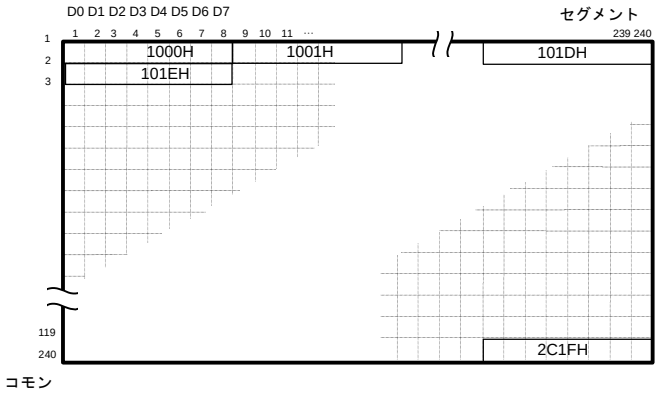
注) LCD ドライバ表示に必要な LCD 駆動電源は、別回路が必要です。

図 3.13.8 SR 型 LCD ドライバ接続例

設定例: 240 セグメント × 240 コモン, 8 ビットバス幅の LCD ドライバを使用する場合

内蔵 RAM (アドレス 1000H2C1FH) へ LCD ドライバへの転送データ 7200 バイトを格納。

```
LD      (PDFC),1FH      ; 制御端子出力設定
LD      (LCDSAL),11H    ; SR モード
LD      (LCDSAH),00H    ; 転送元スタートアドレス = 1000H
LD      (LCDSIZE),96H   ; 240 セグメント × 240 コモン
LD      (LCDFFP),34H    ; (240 + 68) fFP = 70.93 Hz
LD      (LCDCTL),81H    ; BYTE モード, fFP = 70.93 Hz,
                        ; LCDON, 転送スタート
```



LCD パネルと表示メモリアドレスの関係 (上記設定例の場合)

- データバス幅による転送時間

LCD ドライバの送信データバス幅は LCDCTL<BUS1:0> で BYTE/NIBBLE/BIT のいずれかを選択できます。また、そのライトサイクルは LCDCTL2<AC1:0> でタイプ A, B, C を選択できます。タイプ A, B, C の違いは書き込みのサイクルやデータセットアップタイム, データホールドタイム, パルス幅などで表 3.13.1に一覧表にて示します。図 3.13.10 から図 3.13.14に LCDC インタフェースタイミング図を示します。なお、このタイミングは SRAM アクセス時のタイミングを示します。DRAM アクセス時は、DRAM リード/ライトの AC タイミングを参照してください。

転送元の読み出しは、LCDCTL2<RAMBUS> で BYTE (8 ビット) モードと WORD (16 ビット) モードのいずれかを選択できます。また、そのリードサイクルのウェイト数は CS/WAIT コントローラの設定値で動作します。

注) 転送元であるメモリバス幅 (CS/WAIT コントローラにて設定) と LCDCTL2<RAMBUS> のバス幅は<u>同一の設定</u>にしてください。

- HALT モード時の動作

LCDC が動作中に CPU が HALT 命令を実行し HALT モードに遷移した場合、IDLE2 モードであれば動作を継続します。IDLE1, STOP モードの場合は停止します。

表 3.13.5 タイプ別転送規格一覧

読み出しバス幅	タイプ	書き込みモード	セットアップタイム	ホールドタイム	D1BSCP パルス幅	D1BSCP 周期	ステート/サイクル
BYTE	A	BYTE	0.5x	1.0x	1.5x	4.0x	4.0x
		NIBBLE	0.5x	1.0x	1.0x	2.0x	6.0x
		BIT	0.5x	1.0x	1.0x	2.0x	18.0x
	B	BYTE	1.0x	0.5x	2.0x	4.0x	4.0x
		NIBBLE	1.0x	0.5x	1.0x	2.0x	6.0x
		BIT	1.0x	0.5x	1.0x	2.0x	18.0x
	C	BYTE	1.0x	2.5x	1.5x	6.0x	6.0x
		NIBBLE	1.0x	1.5x	2.5x	5.0x	10.0x
		BIT	1.0x	1.0x	1.0x	2.0x	20.0x
WORD	A	BYTE	0.5x	1.0x	1.0x	2.0x	6.0x
		NIBBLE	0.5x	1.0x	1.0x	2.0x	10.0x
		BIT	サポートしていません。バイト読み出しモードを使用してください。				
	B	BYTE	1.0x	0.5x	1.0x	2.0x	6.0x
		NIBBLE	1.0x	0.5x	1.0x	2.0x	10.0x
		BIT	サポートしていません。バイト読み出しモードを使用してください。				
	C	BYTE	1.0x	1.5x	1.5x	3.0x	8.0x
		NIBBLE	1.0x	1.5x	2.5x	5.0x	20.0x
		BIT	サポートしていません。バイト読み出しモードを使用してください。				

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

本表はその AC 時間を保証するものではなく、あくまで目安です。
詳細な AC については、別紙 AC タイミングを参照してください。

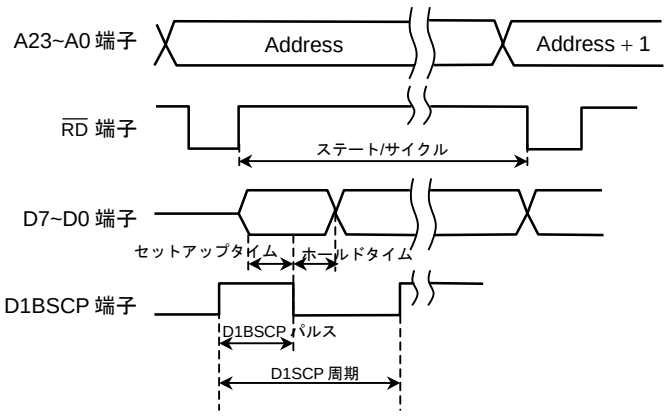
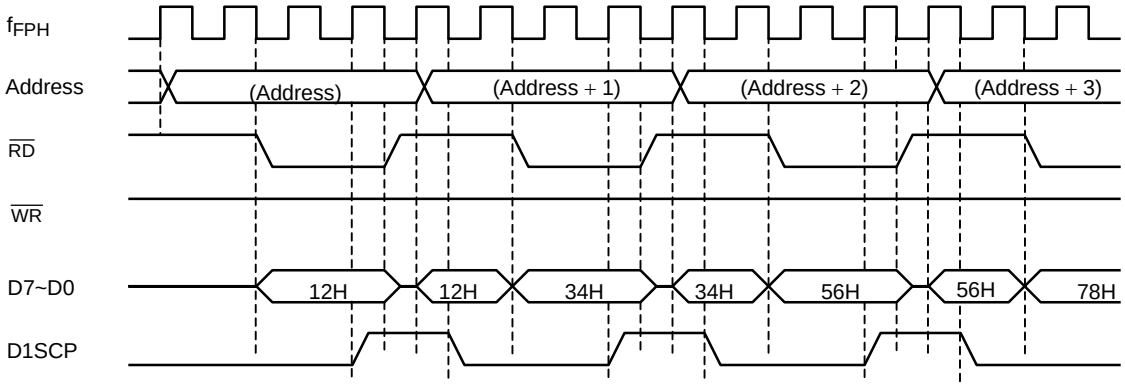
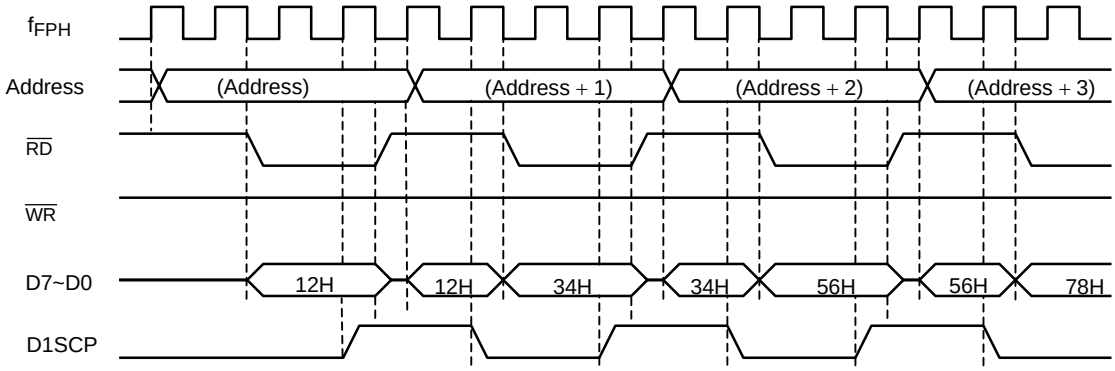


図 3.13.9 規格定義

タイプ	リード	転送	RAM
A	8 ビット	8 ビット	SRAM



タイプ	リード	転送	RAM
B	8 ビット	8 ビット	SRAM



タイプ	リード	転送	RAM
C	8 ビット	8 ビット	SRAM

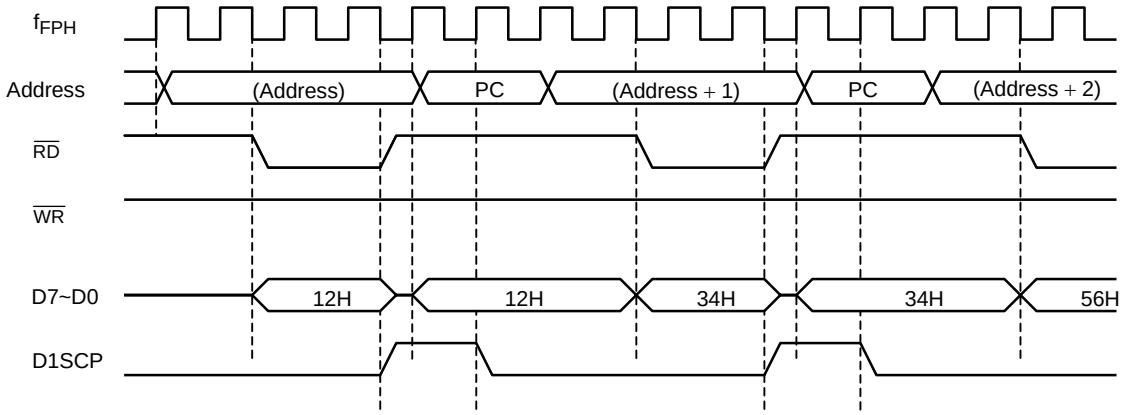
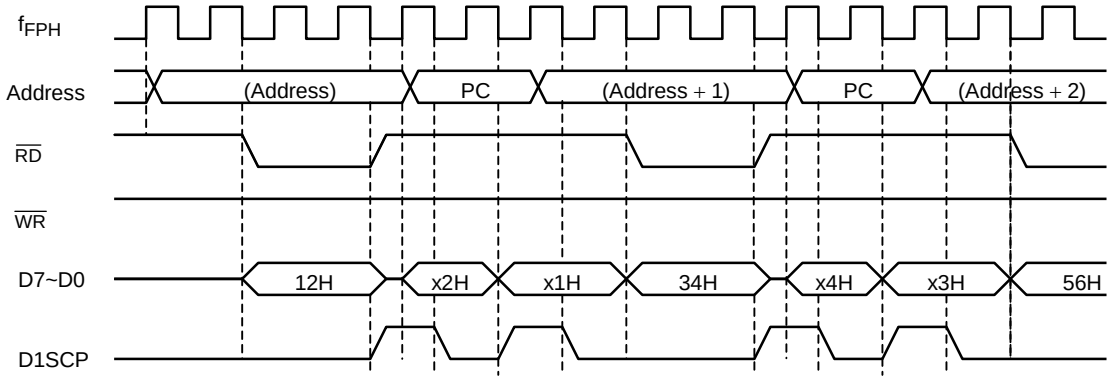
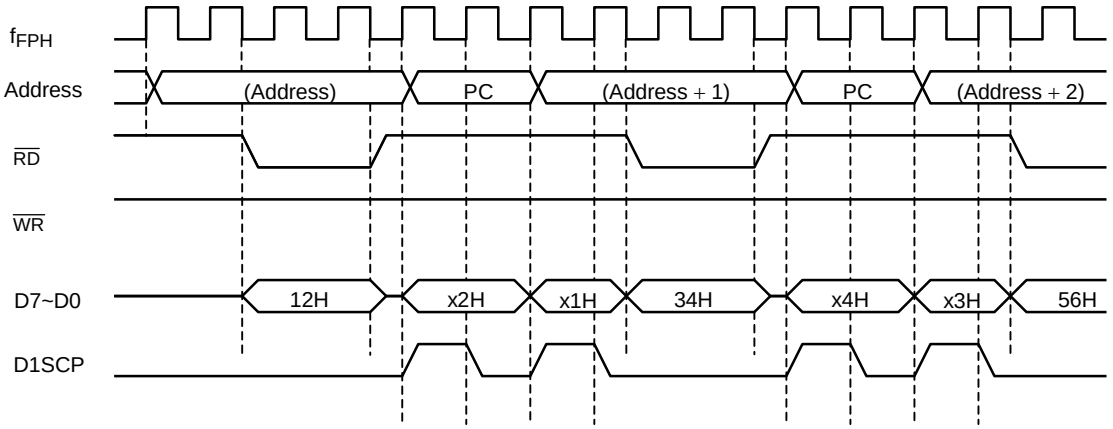


図 3.13.10 バイト読み出し, バイト書き込みタイミング図

タイプ	リード	転送	RAM
A	8 ビット	4 ビット	SRAM



タイプ	リード	転送	RAM
B	8 ビット	4 ビット	SRAM



タイプ	リード	転送	RAM
C	8 ビット	4 ビット	SRAM

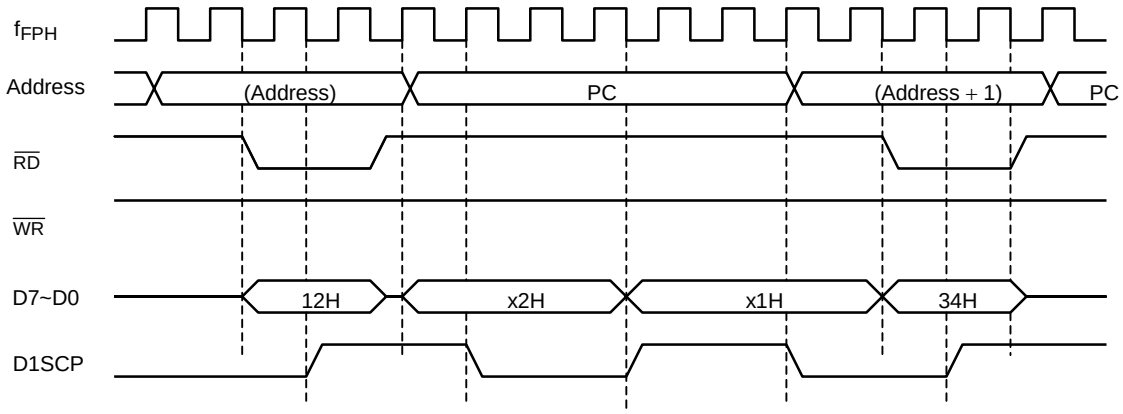
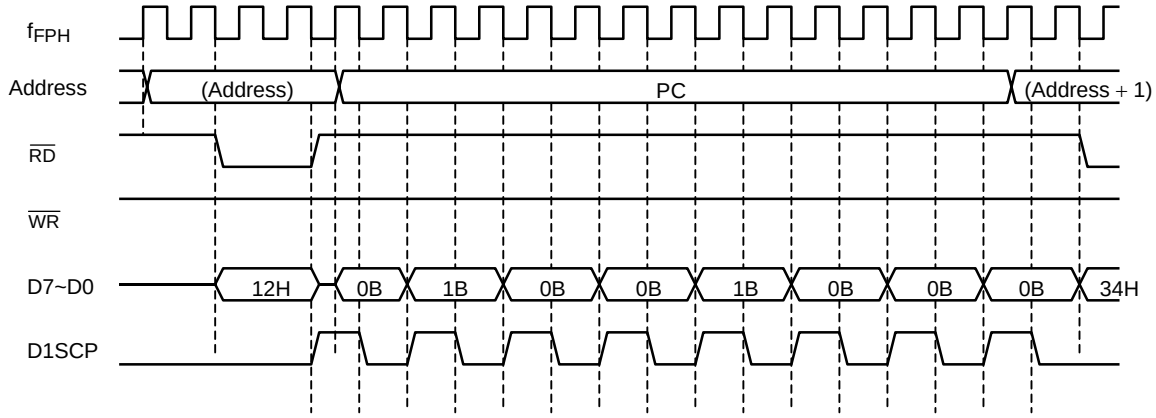
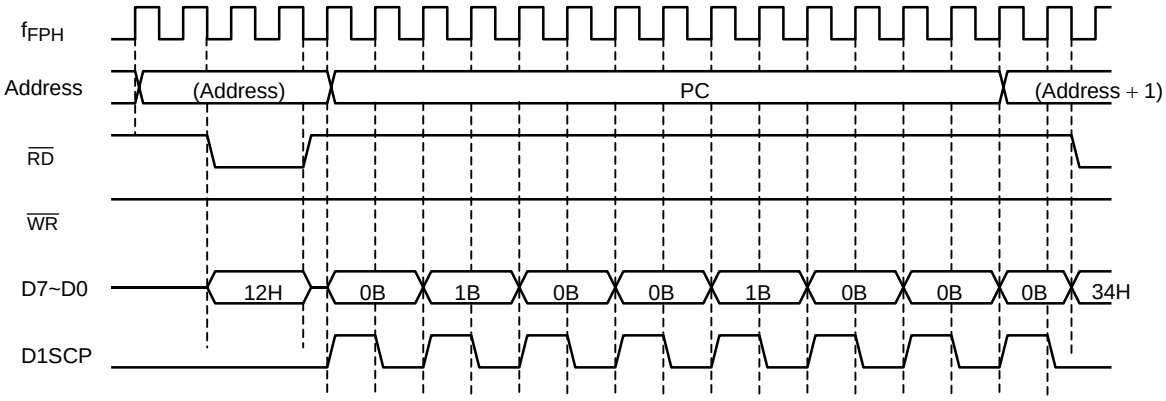


図 3.13.11 バイト読み出し, ニブル書き込みタイミング図

タイプ	リード	転送	RAM
A	8 ビット	1 ビット	SRAM



タイプ	リード	転送	RAM
B	8 ビット	1 ビット	SRAM



タイプ	リード	転送	RAM
C	8 ビット	1 ビット	SRAM

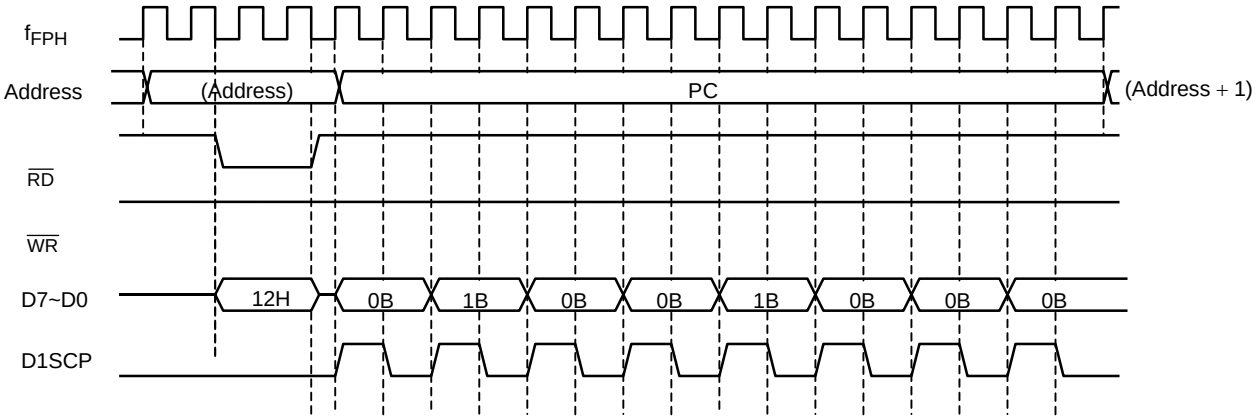
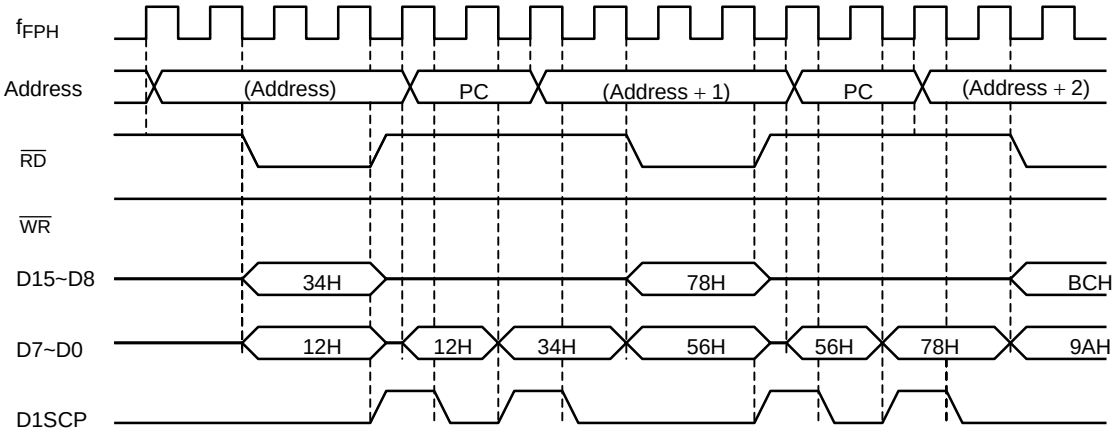
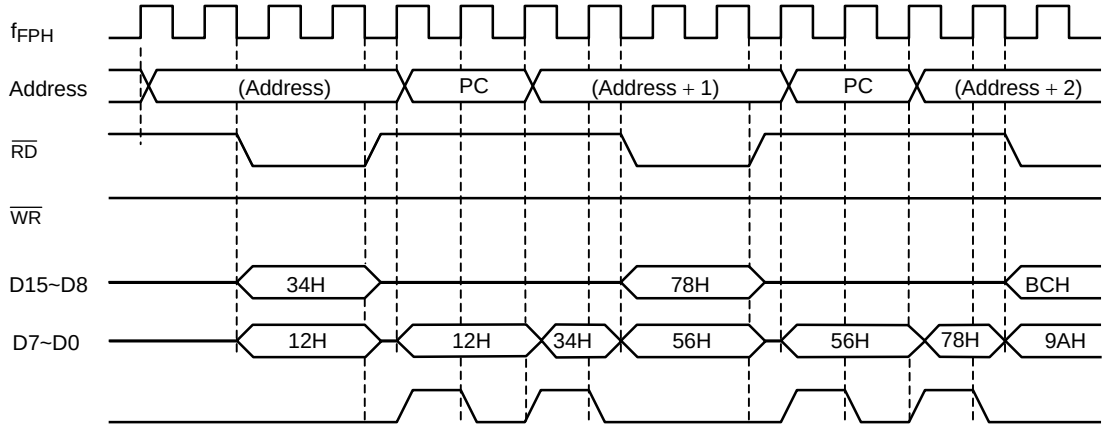


図 3.13.12 バイト読み出し, ビット書き込みタイミング図

タイプ	リード	転送	RAM
A	16 ビット	8 ビット	SRAM



タイプ	リード	転送	RAM
B	16 ビット	8 ビット	SRAM



タイプ	リード	転送	RAM
C	16 ビット	8 ビット	SRAM

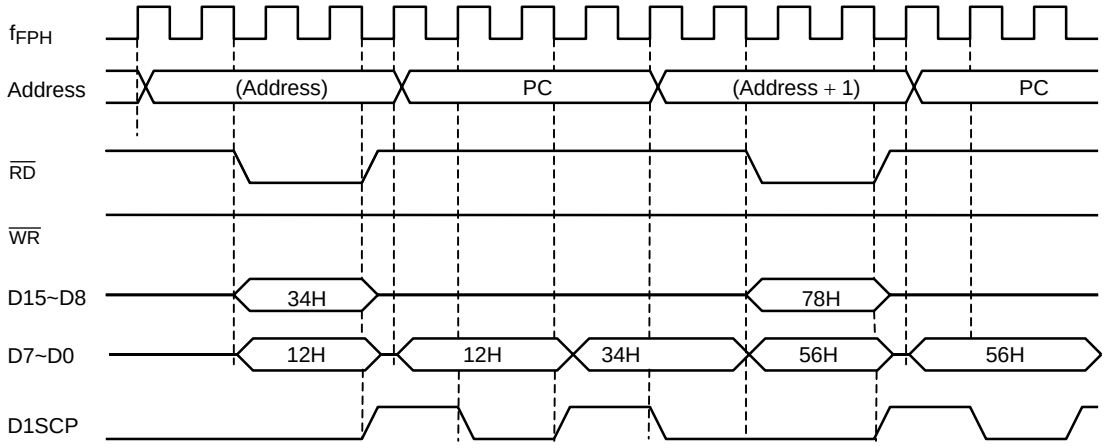
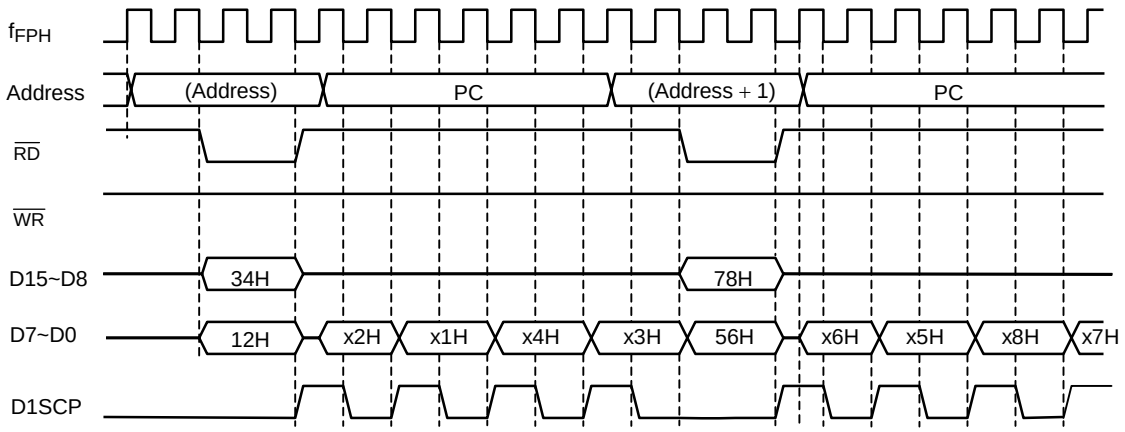
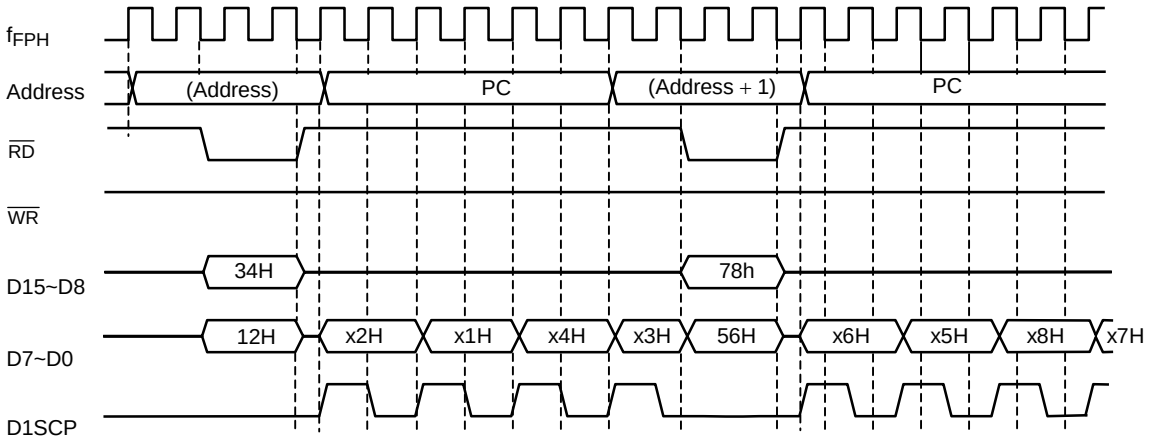


図 3.13.13 ワード読み出し, バイト書き込みタイミング図

タイプ	リード	転送	RAM
A	16 ビット	4 ビット	SRAM



タイプ	リード	転送	RAM
B	16 ビット	4 ビット	SRAM



タイプ	リード	転送	RAM
C	16 ビット	4 ビット	SRAM

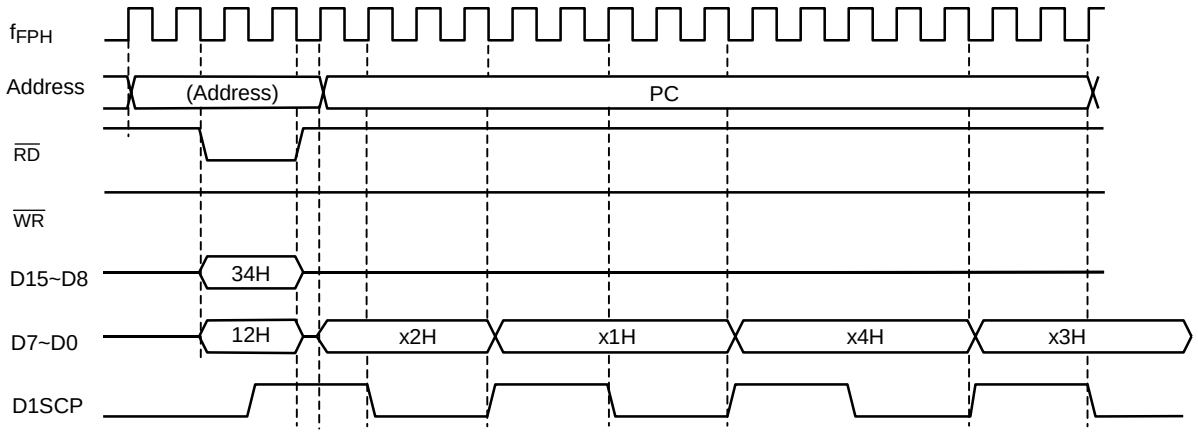


図 3.13.14 ワード読み出し、ニブル書き込みタイミング図

3.13.4.4 RAM 内蔵型 LCD ドライバ対応モード (RAM モード)

LCD ドライバへのデータ転送は CPU の転送命令で実行します。

あらかじめ動作モードのみを I/O レジスタに設定後、CPU の転送命令が実行されると、LCDC はそれに同期して D1BSCP などの制御端子より外部へ接続される LCD ドライバへ、チップセレクト信号を出力します。そのため LCD サイズに対応したデータ転送数などの制御は、CPU の命令で制御します。この際の RAM 内蔵 LCD ドライバのタイプは２種類あり、この選択は LCDCTL<MMULCD> レジスタにて選択します。

<MMULCD> = “0” 時、LCD ドライバ内のインストラクション, 表示データレジスタを１バイトずつ持つシーケンシャルアクセス型 RAM 内蔵 LCD ドライバに対応します。このときの転送先アドレスは FE0H~FE7F のいずれかにしてください (図 3.13.4参照)。

<MMULCD> = “1” 時、SRAM と同様なアクセスが可能なランダムアクセス型 LCD ドライバに対応します。

このときの転送先アドレスは、3C0000H~3FFFFF のメモリエリアを 64 K バイトごとの４つのエリアに割り当てることが可能です (図 3.13.4参照)。
以下に<MMULCD> = “0” 時の例を、図 3.13.15に接続例を示します。

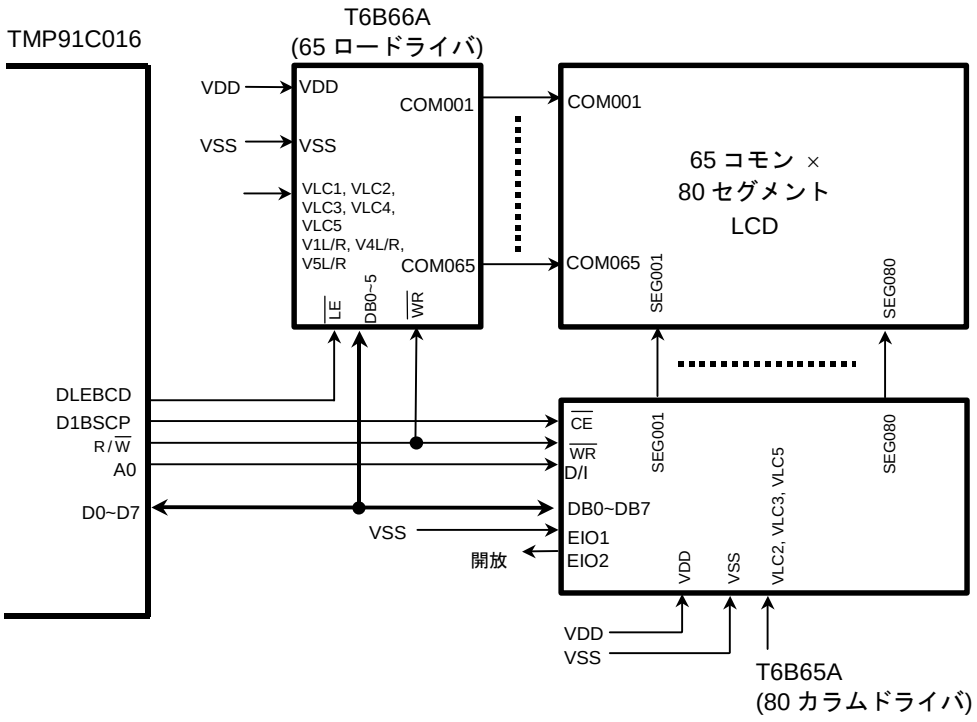
設定例: 80 セグメント × 65 コモンの LCD ドライバを使用する場合

外部に接続するカラムドライバを LCDC0、ロードライバを LCDR0 としてアサインし、インストラクション, 表示データを転送します。

また、インストラクションの設定には LD 命令、表示データの設定にはソフトスタートでのマイクロ DMA のバースト機能を使用した例です。

内蔵 RAM (アドレス 1000H~1289H) に、LCD ドライバへの転送データ 650 バイトを格納。

```
; 外部端子の設定
        LD      (PDFC),19H      ; LCDC0 用 CE 端子:D1BSCP,
                                ; LCDR0 用 LE 端子:DLEBCD,
                                ; DOFF 端子の設定
; LCDC の設定
        LD      (LCDSAL),00H    ; RAM モード
        LD      (LCDCTL),80H    ; LCDON
; LCDC0/LCDR0 のモード設定
        LD      (LCDC0L),XX     ; LCDC0 インストラクション設定
        LD      (LCDR0L),XX     ; LCDR0 インストラクション設定
; マイクロ DMA,INTTC 設定 (チャネル 0)
        LD      A,08H           ; 転送元アドレス INC モード
LDC     DMAM0,A         ;
        LD      WA,650          ; 転送回数 = 650
LDC     DMAC0,WA        ;
        LD      XWA,1000H       ; 転送元アドレス = 1000H
        LDC     DMAS0,XWA       ;
        LD      XWA,0FE1H       ; 転送先アドレス = FE1H (LCDC0H)
        LDC     DMAD0,XWA       ;
        LD      (INTETC01),06H  ; INTTC0 レベル = 6
        EI      6               ; 割り込みレベル = 6
        LD(DMAB),01H    ; バーストモード
        LD      (DMAR),01H      ; ソフトスタート
```



注) LCD ドライバ表示に必要な LCD 駆動電源は、別回路が必要です。

図 3.13.15 RAM 内蔵タイプ LCD ドライバ接続例

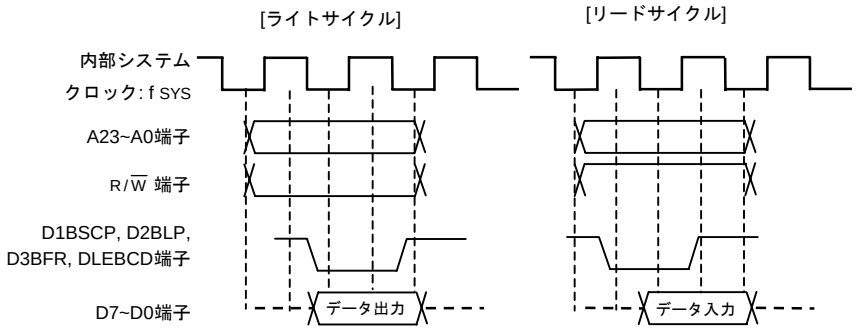


図 3.13.16 RAM 内蔵タイプ LCD ドライバアクセスタイミング例 (0 ウェイト時)

3.14 メロディ/アラームジェネレータ (MLD)

メロディ波形, アラーム波形を作成する機能です。出力波形は、一方の波形を選択し MLDALM 端子より出力します。また、アラームジェネレータに使用する 15 ビットのフリーランカウンタより、5 種類の一定周期の割り込みを発生可能です。

下記に特長を示します。

- メロディジェネレータ

  低速クロック (32.768 kHz) を基に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し、MLDALM 端子より出力できます。外部にスピーカを接続することにより、容易にメロディ音を鳴らすことが可能です。

- アラームジェネレータ

  低速クロック (32.768 kHz) を基に作成された変調周波数 (4096 Hz) にて、8 種類のアラーム波形を生成し、MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

  外部にスピーカを接続することにより、容易にアラーム音を鳴らすことが可能です。

  また、アラームジェネレータに使用されるフリーランカウンタを使用し、5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8 kHz) の一定周期の割り込みを発生可能です。

- 特殊モード

  本メロディ・アラームジェネレータのソースクロックは、通常低周波クロック (32 kHz) より生成されておりますので、低周波クロックを使用しないシステムでは動作しません。そこで、高周波クロックから 32 kHz のクロックを生成し、低周波クロックを使用しないシステムでもメロディ・アラームが使用できるモードを追加しています。詳細は 3.7「8 ビットタイマ」を参照してください。

本章は下記のような構成になっています。

3.14.1 ブロック図
3.14.2 SFR 説明
3.14.3 動作説明
3.14.3.1 メロディジェネレータ
3.14.3.2 アラームジェネレータ

3.14.1 ブロック図

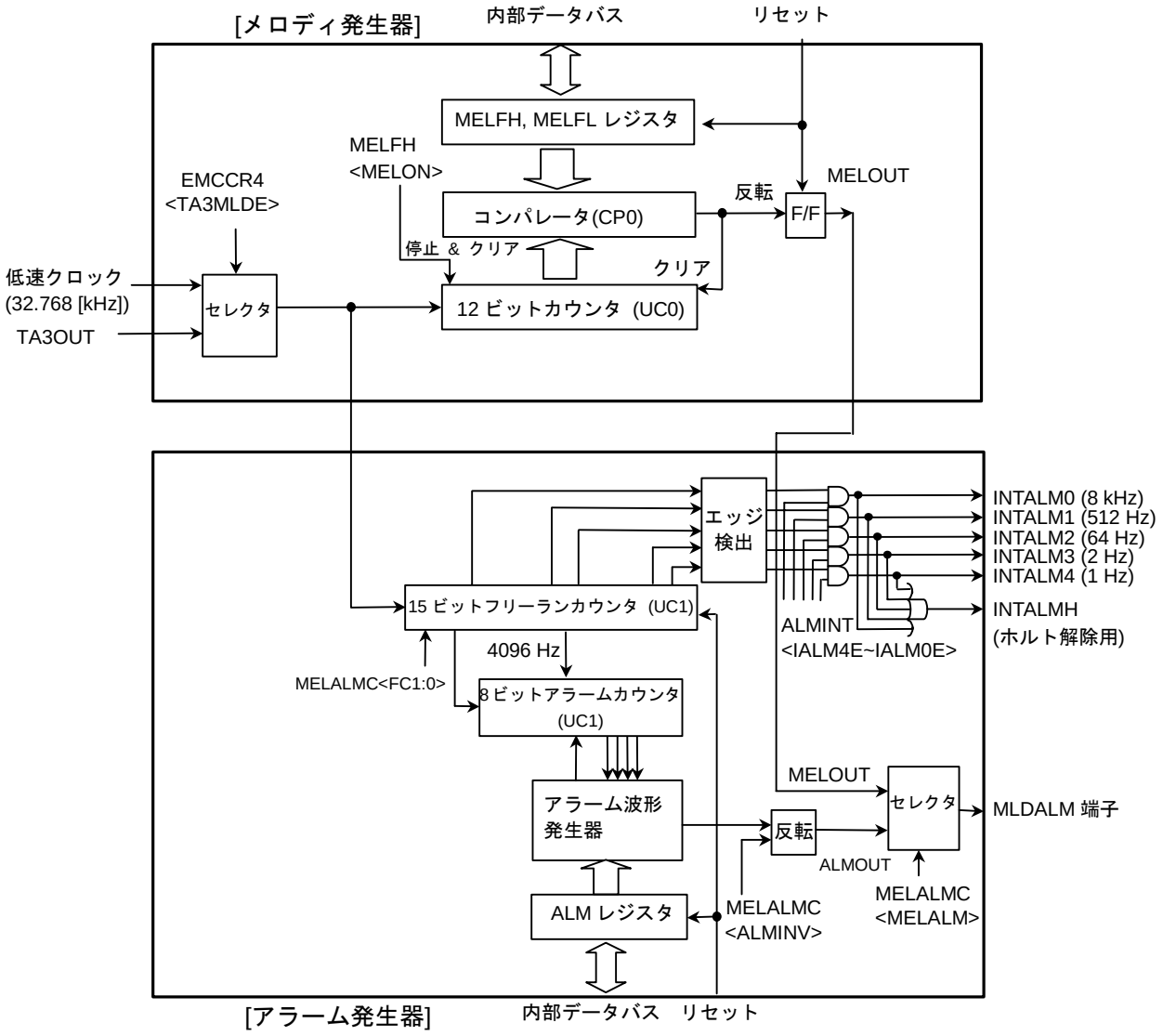


図 3.14.1 MLD ブロック図

3.14.2 SFR 説明

ALM レジスタ

ALM (0330H)

	7	6	5	4	3	2	1	0
Bit symbol	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	アラームパターン設定							

MELALMC レジスタ

MELALMC (0331H)

	7	6	5	4	3	2	1	0
Bit symbol	FC1	FC0	ALMINV	–	–	–	–	MELALM
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	フリーランカウンタ制御 00: 保持 01: 再スタート 10: クリア 11: クリア&スタート		アラーム波形反転 1: 反転	“0” をライトしてください。				出力波形選択 0: アラーム 1: メロディ

注 1)　MELALMC<FC1> は常に “0” がリードされます。

注 2)　フリーランカウンタが動作状態で、MELALMC レジスタの <FC1:0> 以外のビットに値を設定する場合は、<FC1:0> に “01” を設定してください。

MELFL レジスタ

MELFL (0332H)

	7	6	5	4	3	2	1	0
Bit symbol	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	メロディ周波数設定 (下位 8 ビット)							

MELFH レジスタ

MELFH (0333H)

	7	6	5	4	3	2	1	0
Bit symbol	MELON				ML11	ML10	ML9	ML8
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機　能	メロディカウンタ制御 0: ストップ&クリア 1: スタート				メロディ周波数設定 (上位 4 ビット)			

ALMINT レジスタ

ALMINT (0334H)

	7	6	5	4	3	2	1	0
Bit symbol			–	IALM4E	IALM3E	IALM2E	IALM1E	IALM0E
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			“0” をライトしてください。	1: INTALM4~INTALM0 の割り込み出力許可				

3.14.3 動作説明

3.14.3.1 メロディジェネレータ

低速クロック (32.768 kHz) を基に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し、MLDALM 端子より出力できます。外部にスピーカを接続することにより、容易にメロディ音を鳴らすことが可能です。

(使用方法)

まず、MELALMC<MELALM> に “1” をライトし、MLDALM 端子からの出力波形をメロディ波形出力を選択します。次に、MELFH,MELFL レジスタの 12 ビットにメロディ出力周波数を設定します。最後に、MELFH<MELON> レジスタに “1” をライトすることによりカウンタが動作スタートし、メロディ波形を生成します。

下記にメロディ出力周波数の求め方、設定例を示します。

(メロディ出力周波数計算式)

@ fs = 32.768 [kHz]

メロディ出力周波数 f_{MLD} [Hz] = 32768/(2 × N + 4)

メロディ設定値 N = (16384/f_{MLD}) − 2

(ただし、N = 1~4095 (001H~FFFH) の自然数で、“0” は設定禁止です。)

(プログラム例)

“ラ” の音階(440Hz)を出力する場合

```
LD      (MELALMC),11X00001B   ; メロディ波形選択
LD      (MELFL),23H           ; N = 16384/440 − 2 = 35.2 = 023H
LD      (MELFH),80H           ; 波形生成スタート
```

(参考: 基本音階別設定値表)

音階	周波数 [Hz]	レジスタ 設定値: N
ド	264	03CH
レ	297	035H
ミ	330	030H
ファ	352	02DH
ソ	396	027H
ラ	440	023H
シ	495	01FH
ド	528	01DH

3.14.3.2 アラームジェネレータ

低速クロック (32.768 kHz) を基に作成された変調周波数 (4096 Hz) にて、8 種類のアラーム波形を生成し、MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより、容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し、5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8 kHz) の一定周期の割り込みが発生可能です。

(使用方法)

まず、MELALMC<MELALM> に “0”, <FC1:0> に “11” をライトし、MLDALM 端子からの出力波形をアラーム波形出力を選択、フリーランカウンタをスタートします。

次に、ALM レジスタの 8 ビットにアラームパターンを設定します。それにより、アラームカウンタが動作スタートし、アラーム波形を生成します。

途中で停止したい場合は、ALM レジスタに “00H” をライトしてください。それによりアラームカウンタはクリアされ、停止します。

下記に、アラームパターンの設定値, プログラム例, 設定別出力波形を示します。

(アラームパターンの設定値)

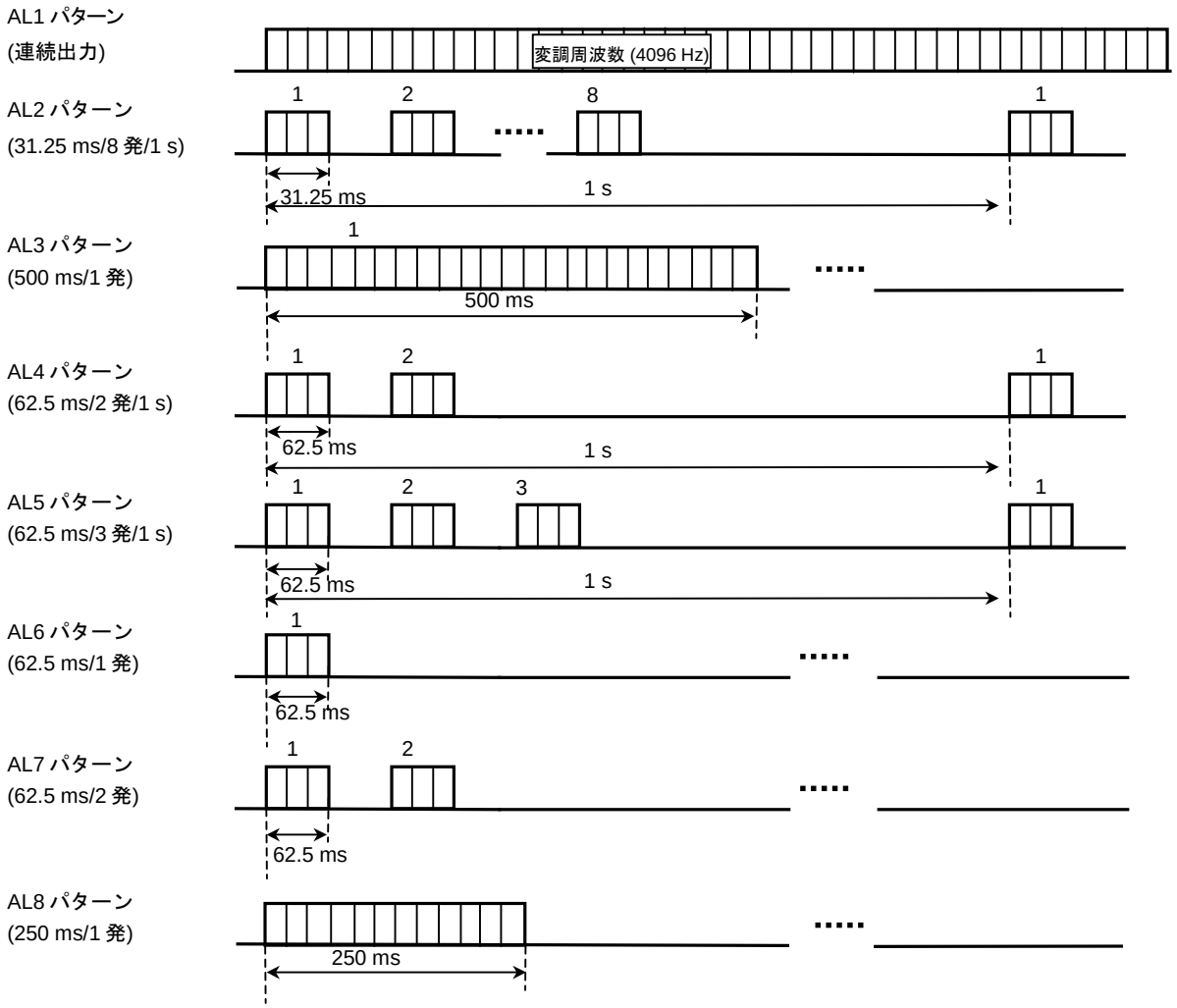
ALM レジスタへの設定値	アラーム波形
00H	“0” 固定
01H	AL1 パターン
02H	AL2 パターン
04H	AL3 パターン
08H	AL4 パターン
10H	AL5 パターン
20H	AL6 パターン
40H	AL7 パターン
80H	AL8 パターン
上記以外	未定義 (設定しないでください。)

(プログラム例)

AL2 パターン (31.25 ms/8 発/1 s) のアラームを出力する場合

```
LD      (MELALMC),C0H       ; アラーム波形出力設定, フリーラン
                            ; カウンタスタート
LD      (ALM),02H           ; AL2 パターン設定, スタート
```

(アラームパターンの設定値別出力波形: 反転しない場合)



3.15 電圧レベルコンパレータ

3 チャネルの電圧入力を各独立に設定可能な基準電圧と比較し、その比較結果により内部へ割り込みを発生させ、知らせることができる、電圧レベルコンパレータ (電圧検知器: Voltage detector) を内蔵しています。

図 3.15.1, 図 3.15.2および図 3.15.3に、電圧レベルコンパレータ (VLD0~VLD2) のブロック図を示します。

3 チャネルの外部電圧入力端子 (VLD0~VLD2) は、ポート B と兼用で入出力ポートとしても使用できます。

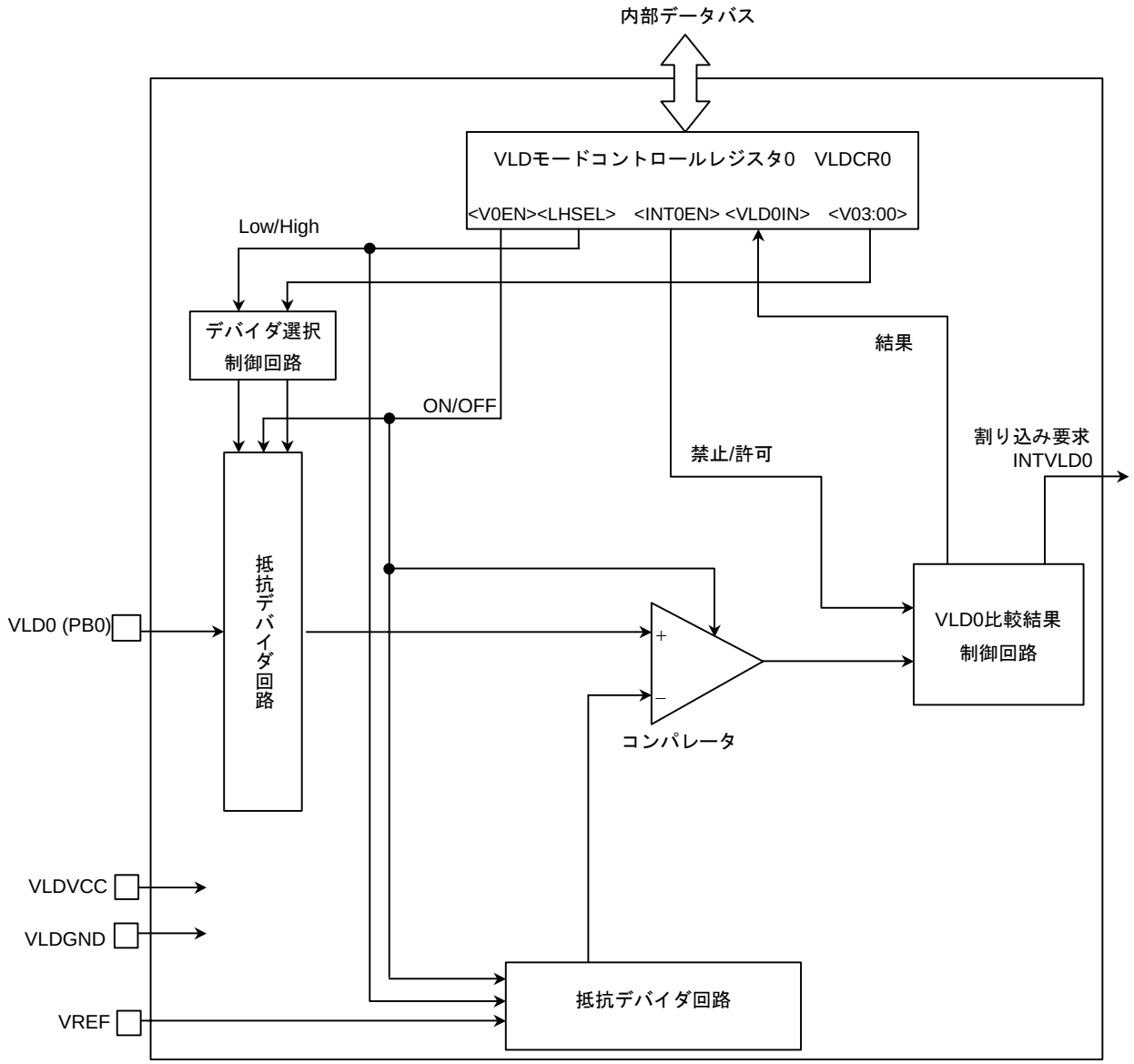


図 3.15.1 電圧レベルコンパレータ (VLD0) のブロック図

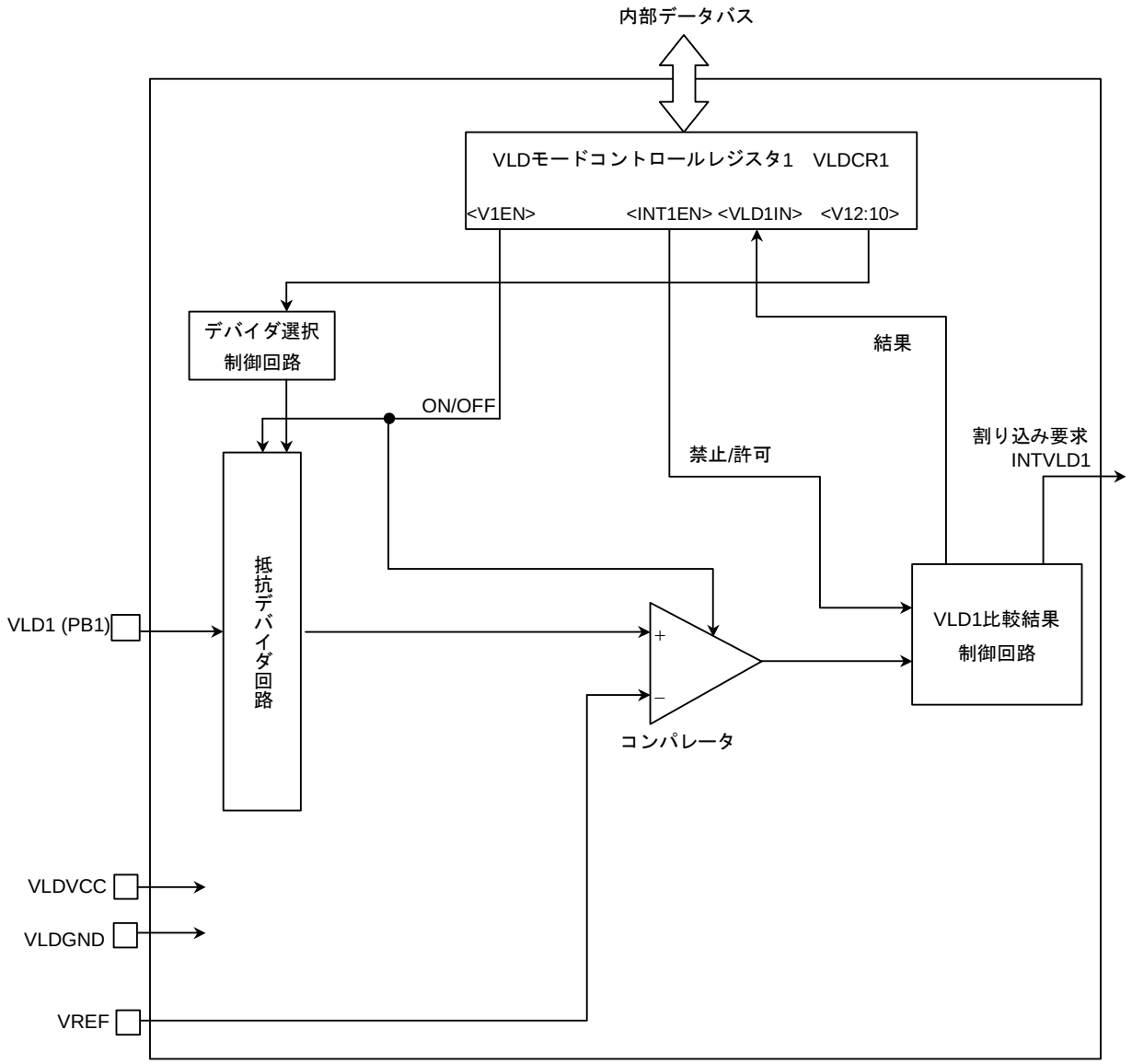


図 3.15.2 電圧レベルコンパレータ (VLD1) のブロック図

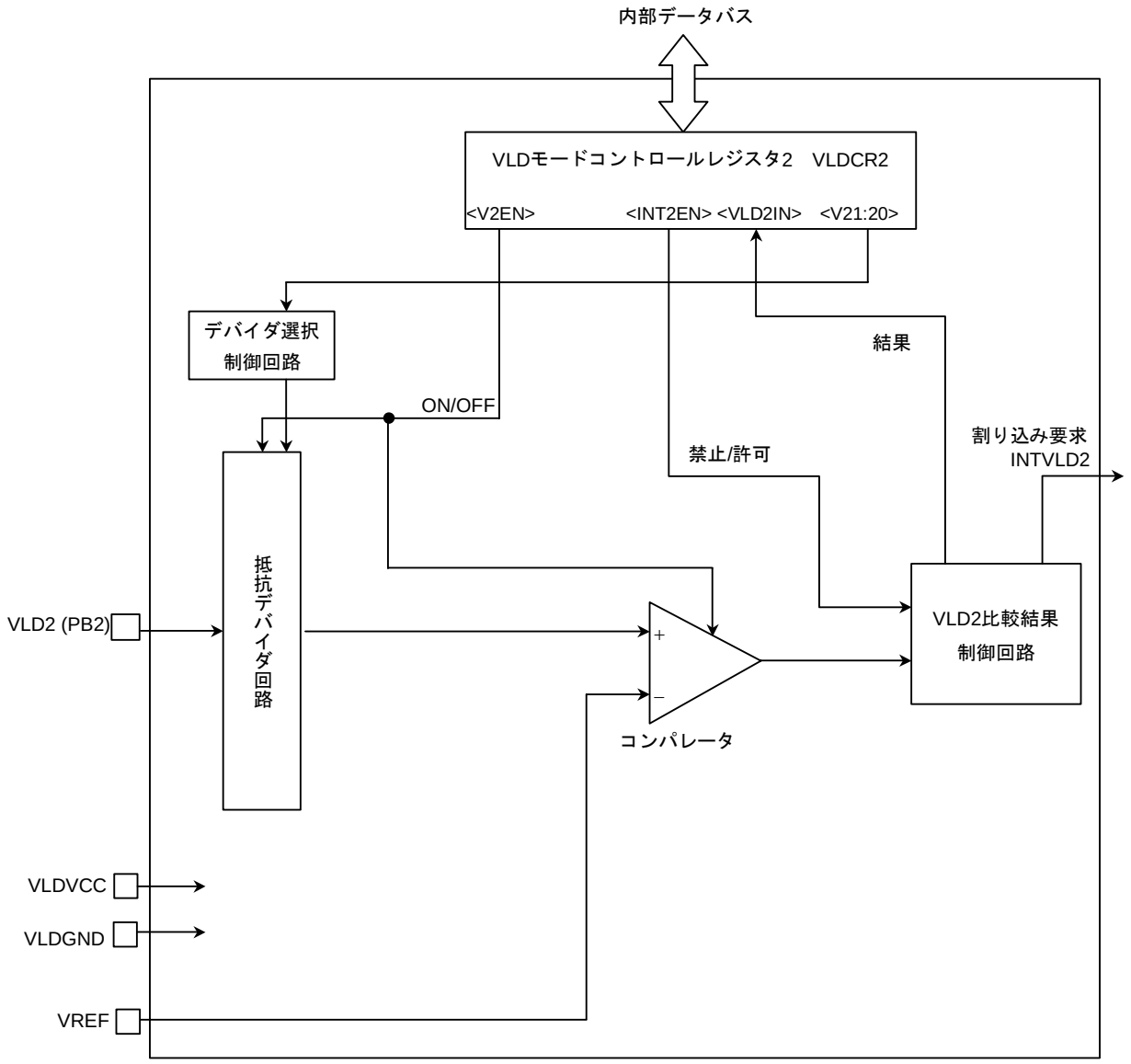


図 3.15.3 電圧レベルコンパレータ (VLD2) のブロック図

3.15.1 SFR 説明

電圧レベルコンパレータは、3 つの VLD モードコントロールレジスタ VLDCR0, VLDCR1, VLDCR2 により制御されています。また、VLD 比較結果は、VLD 比較結果制御回路を通じて割り込みの発生を制御することができます。

図 3.15.4, 図 3.15.5, 図 3.15.6 に、電圧レベルコンパレータ関係のレジスタ (VLDCR0~VLDCR2) を示します。

VLD モードコントロールレジスタ 0

VLDCR0 (0440H)	7	6	5	4	3	2	1	0
Bit symbol	V0EN	LHSEL	INT0EN	VLD0IN	V03	V02	V01	V00
Read/Write	R/W		R/W	R/W	R/W			
リセット後	0	0	0	0	0	0	0	0
機　能	電圧比較開始フラグ 0 : 回路 OFF 1 : 回路 ON	検知レベル選択フラグ 0 : 1.5V 以上 1 : 1.4V 以下	割り込み許可フラグ 0 : 割り込み OFF 1 : 割り込み ON	検知電圧比較結果リードクリアライト 0 : 電圧正常 1 : 電圧低下	電圧検知レベルの設定レジスタ 00H~0BH の 12 段階 (LHSEL = 0) + 6 段階 (LHSEL = 1) の計 18 段階の設定が可能			

VLD0 検知電圧設定

0000	検知電圧 1.5 V (LHSEL = 0)、0.9 V (LHSEL = 1)
0001	検知電圧 1.6 V (LHSEL = 0)、1.0 V (LHSEL = 1)
0010	検知電圧 1.7 V (LHSEL = 0)、1.1 V (LHSEL = 1)
0011	検知電圧 1.8 V (LHSEL = 0)、1.2 V (LHSEL = 1)
0100	検知電圧 1.9 V (LHSEL = 0)、1.3 V (LHSEL = 1)
0101	検知電圧 2.0 V (LHSEL = 0)、1.4 V (LHSEL = 1)
0110	検知電圧 2.1 V (LHSEL = 0)、無効
0111	検知電圧 2.2 V (LHSEL = 0)、無効
1000	検知電圧 2.3 V (LHSEL = 0)、無効
1001	検知電圧 2.4 V (LHSEL = 0)、無効
1010	検知電圧 2.5 V (LHSEL = 0)、無効
1011	検知電圧 2.6 V (LHSEL = 0)、無効
11**	無効

検知電圧比較結果 (“1” データのみ書き込み可能)

0	入力電圧 ＞ 検知電圧　レベル正常
1	入力電圧 ＜ 検知電圧　レベル低下

割り込み許可指定

0	低下検知による割り込みは発生させません。
1	低下検知により割り込み発生を許可します。

検知レベル指定

0	検知電圧 1.5 V~2.6 V が設定可能
1	検知電圧 0.9 V~1.4 V が設定可能

電圧検知開始

0	コンパレータ回路 OFF
1	コンパレータ回路 ON

注) 本レジスタは R/W 可能ですが、ビット 4: VLD0IN を読み出すときと書き込むときの意味が反対になるため、リードモディファイライトできません。
(リード時には “1”: 電圧検知、ライト時には “1”: クリア)

図 3.15.4 VLD モードコントロール 0 レジスタ

VLD モードコントロールレジスタ 1

VLDCR1 (0441H)

	7	6	5	4	3	2	1	0
Bit symbol	V1EN	–	INT1EN	VLD1IN	–	V12	V11	V10
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W		
リセット後	0	0	0	0	0	0	0	0
機　能	電圧比較開始フラグ 0: 回路 OFF 1: 回路 ON	“0” をライトしてください。	割り込み許可フラグ 0 : 割り込み OFF 1 : 割り込み ON	検知電圧比較結果リードクリアライト 0 : 電圧正常 1 : 電圧低下	“0” をライトしてください。	電圧検知レベルの設定レジスタ 00H~04H の計 5 段階の設定可能		

VLD1 検知電圧設定

000	検知電圧 2.2 V
001	検知電圧 2.3 V
010	検知電圧 2.4 V
011	検知電圧 2.5 V
100	検知電圧 2.6 V
101~111	無効

検知電圧比較結果 (“1” データのみ書き込み可能)

0	入力電圧 ＞ 検知電圧　レベル正常
1	入力電圧 ＜ 検知電圧　レベル低下

割り込み許可指定

0	低下検知による割り込みは発生させません。
1	低下検知により割り込み発生を許可します。

電圧検知開始

0	コンパレータ回路 OFF
1	コンパレータ回路 ON

注)　本レジスタは R/W 可能ですが、ビット 4: VLD1IN を読み出すときと書き込むときの意味が反対になるため、リードモディファイライトできません。
(リード時には “1”: 電圧検知、ライト時には “1”: クリア)

図 3.15.5 VLD モードコントロール 1 レジスタ

VLD モードコントロールレジスタ 2

VLDCR2 (0442H)	7	6	5	4	3	2	1	0
Bit symbol	V2EN	–	INT2EN	VLD2IN	–	–	V21	V20
Read/Write	R/W	R/W	R/W	R/W	R/W		R/W	
リセット後	0	0	0	0	0	0	0	0
機　能	電圧比較開始フラグ 0: 回路 OFF 1: 回路 ON	“0” をライトしてください。	割り込み許可フラグ 0 割り込み OFF 1 : 割り込み ON	検知電圧比較結果リードクリアライト 0 : 電圧正常 1 : 電圧低下	“0” をライトしてください。		電圧検知レベルの設定レジスタ 00H~02H の計 3 段階の設定可能	

VLD2 検知電圧設定

00	検知電圧 1.7 V
01	検知電圧 2.6 V
10	検知電圧 2.9 V
11	無効

検知電圧比較結果 (“1” データのみ書き込み可能)

0	入力電圧 ＞ 検知電圧　レベル正常
1	入力電圧 ＜ 検知電圧　レベル低下

割り込み許可指定

0	低下検知による割り込みは発生させません。
1	低下検知により割り込み発生を許可します。

電圧検知開始

0	コンパレータ回路 OFF
1	コンパレータ回路 ON

注) 本レジスタは R/W 可能ですが、ビット 4: VLD2IN を読み出すときと書き込むときの意味が反対になるため、リードモディファイライトできません。
(リード時には “1”: 電圧検知、ライト時には “1”: クリア)

図 3.15.6 VLD モードコントロール 2 レジスタ

VLD コントロールレジスタ

VLDCTL (0449H)	7	6	5	4	3	2	1	0
Bit symbol					XT1VSEL	VLD2USE	VLD1USE	VLD0USE
Read/Write					W	R/W	R/W	R/W
リセット後					0	0	0	0
機　能					0: Vcc 駆動 1: Vref 駆動	0: VLD 未使用 1: VLD 使用	0: VLD 未使用 1: VLD 使用	0: VLD 未使用 1: VLD 使用

VLD2 機能使用制御

0	VLD 機能使用しない。
1	VLD 機能使用する。
注意: VLD0~VLD2 のうち一つでも VLD の機能を使用する場合、残りの端子はポート機能に設定しても出力としての使用はできません。入力のみ可能です。	

低周波発振器電源

0	Vcc 選択
1	Vref 選択

図 3.15.7 VLD コントロールレジスタ

3.15.2 動作説明

初期設定

VLDCTR の下位 3 ビットのレジスタにて PB ポートを VLD として使用するか使用しないかの選択を行います。

(1) 比較基準電圧

比較基準電圧の 1.5 V を VREF 端子に印加します。各電圧レベルコンパレータは、その固定された基準電圧とそれぞれの VLD 端子から入力される電圧との大小比較を行います。検知レベルの設定は、VLD 端子から入力される電圧を分圧することにより決定させます。また VLD0 のみは、VREF~VLDGND 間を分圧し、0.9 V の基準電圧値生成を行うことができ、0.9 V~1.4 V までの電圧値も比較することができます。

各 VLDCR*<V*EN> ビットに “0” を書き込むことにより、電圧比較器に関するコンパレータおよび抵抗デバイダ回路と VLDGND 間のスイッチを OFF できます。なお、OFF している状態から電圧比較検知スタートをさせる場合は、必ず<V*EN> に “1” を書き込んだ後、内部基準電圧が安定するまでの 1 ms (システムクロック周波数に関係ありません。) 待ち、VLDCR*<INT*EN> に “1” を書き込むことにより割り込みとして取り込むか、VLDCR*<VLD*IN> を読み込んで、検知結果を使用してください。

*は、0, 1, 2 の 3 チャネルを示します。

(2) 電圧レベルコンパレータの選択

3 個の電圧レベルコンパレータの選択は、次の電圧検知設定レベルと使用目的によって異なります。

メイン電池などの電源電圧を検知したい場合 (VLDCR0<V0EN> = “1”)

検知範囲は、0.9 V~2.6 V。0.1 V ステップで計 18 レベルの電圧比較が可能です。

バックアップ用サブ電池などの電源電圧を検知したい場合 (VLDCR1<V1EN> = “1”)

検知範囲は、2.2 V~2.6 V。0.1 V ステップで計 5 レベルの電圧比較が可能です。

マイクロコントローラ自体の電源電圧などを検知したい場合 (VLDCR2<V2EN> = “1”)

検知範囲は、1.7 V, 2.6 V, 2.9 V の計 3 レベルの電圧比較が可能です。

(3) 電圧比較開始

まず、電圧レベルコンパレータの検知レベルを設定し、電圧比較は、VLDCR*<V*EN> に “1” を設定することにより動作が開始します。その後、一定時間 (1 ms 以上) 経過後に VLDCR*<INT*EN> に “1” を設定し、割り込み入力を待つか、VLDCR*<VLD*IN> をリードすることにより比較結果を知ることができます。

一度、設定した検知レベル以下になり電圧低下を検知した後は、比較結果制御回路でその結果を保持しています。次の比較更新結果を割り込みに反映させる場合には、VLDCR*<INT*EN> に “0 → 1” を設定し、現在の保持結果をクリアすることにより更新が可能となります。検知レベルのクリアをしない場合は、必ず検出結果をリードし、現在の検出結果を確認する必要があります。特に、すでに VLDCR*<INT*EN> に “1” を設定し、検知開始直後から電圧低下を検知していたときなどは、一度、前述のクリア (割り込みフラグの “0: OFF→1: ON” ライト) を実行しないと割り込みは発生しません。

*は、0, 1, 2 の 3 チャネルを示します。

(4) 電圧レベル比較結果からの割り込み

3 個の電圧レベルコンパレータの比較結果によって発生させる割り込みには、3 つが用意されています。INTVLD0, INTVLD1, INTVLD2 はソースレベルで割り込みのマスクは可能ですが、割り込み回路ではすべてノンマスカブル割り込みとして処理されますので、レベルは "7" に固定されています。ほかにもノンマスカブル割り込みとしては、$\overline{\text{NMI}}$ 端子, ウォッチドックタイマがあります。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティに従い、割り込みを受け付けます。詳しくは、割り込みコントローラの制御を参照してください。

(5) 電圧レベルコンパレータ比較時間

1 チャネル当たりの比較ステートは、8064 ステート (1 ms @ f_{FPH} = 16 MHz) です。

(6) 電圧コンパレータ比較結果の格納と読み出し

電圧レベルコンパレータ電圧比較結果は、VLD モードコントロールレジスタ (VLDCR0~VLDCR2) のビット 4 に格納されます 。

VLD モードコントロールレジスタの<V*EN> に "1" を設定することにより、動作が開始した後は、<VLD*IN> へと順次格納されます。

VLD 比較結果格納フラグ<VLD*IN> は、VLD 比較結果を示しています。このフラグは、VLD*端子からの入力電圧が、検知電圧設定値よりも電圧が低下している場合は "1" がリードされ、検知電圧設定値よりも高い場合は "0" がリードされます。

また、この比較結果は電圧レベルコンパレータの出力結果をリードしています。データ比較動作中は随時更新されデータが変化していきますが、比較動作を止めた場合も最後にデータが変化した内容が保持されています。このため、このデータをクリアすることが可能です。つまり "1" データの書き込みでクリアが可能となっています ("0" データの書き込みは不可)。このとき注意しなくてはいけないのは、保持されている内容をクリアするとき、VLDCR*<V*EN> の電圧開始フラグをディセーブル状態にしておかないとデータのクリアはできません。

この信号が CPU に対して割り込みを要求するようになっており、また割り込みは割り込み許可フラグ用ゲートで制御された後の信号でエッジ割り込み要求されます。

電圧設定、動作、割り込みは、下記順序にて設定するようお願いします。

電圧設定をする (途中変更時も) 際は、必ず下記手順にて行ってください。

1. 割り込みマスク
2. VLD 動作をディセーブル状態
3. 設定変更
4. VLD 動作をイネーブル状態
5. 1 ms 以上のセットアップタイム
6. VLD*IN クリアライト
7. 割り込みマスク解除

*は、0, 1, 2 の 3 チャネルを示します。

設定例:

a. VLD0 端子のアナログ入力電圧を電圧比較し、結果アナログ入力電圧が設定した検知電圧より低下した場合、かつ VLD0 割り込み (INTVLD0) 処理ルーチンへジャンプするような設定の場合

メインルーチンでの設定

		7 6 5 4 3 2 1 0	
VLDCR0	←	1 0 0 1 0 0 0 0	VLD0 を ON、検知電圧 1.5 V 設定し、VLD0 の検知結果の割り込み信号保持をクリアします (比較開始)。 <検知結果が安定するまで時間を取ってください。>
VLDCR0	←	– – 1 0 – – – –	比較結果を割り込みに反映させるために、割り込みを許可します。検知電圧 1.5 V 設定は、比較器 ON から変更しないでください。

b. VLD1 端子のアナログ入力電圧の電圧比較結果をリードし、続く処理ルーチンで、VLD1 割り込み (INTVLD1) を有効にし、比較結果からの割り込み発生を待つ設定の場合

メインルーチンでの設定

		7 6 5 4 3 2 1 0	
VLDCR1	←	1 X 0 1 X 0 1 0	VLD1 を ON、検知電圧 2.4 V 設定し、VLD1 の比較を開始します。 <検知結果が安定するまで時間を取ってください。>
VLDCR1	→	– X – – X – – –	比較結果を読み込みます。 検知電圧設定、および比較器 ON 設定は変更しないでください。
VLDCR1	←	– X – 1 X – – –	割り込みをクリアします。
VLDCR1	←	– X 1 0 X – – –	比較結果を割り込みに反映させるために、割り込みを許可します。検知電圧設定、および比較器 ON 設定は変更しないでください。

X: Don’t care、–: No change

3.15.3 VLD (電圧検出) 回路の特殊機能説明

VLD 回路は通常の電圧検出とは別に、特殊な機能が盛り込まれています。これは間欠動作機能と呼ばれ、次のような動作をします。

間欠動作機能とは、各 VLD に設定したインタバルタイムで動作と停止を繰り返す機能です。CPU やタイマを利用することなく、消費電流を減らした VLD 動作が実現できます。

インタバル時間を VLD ごとに設定することが可能です。

間欠動作は低周波クロックを使用しないシステムでは動作しませんので注意してください。

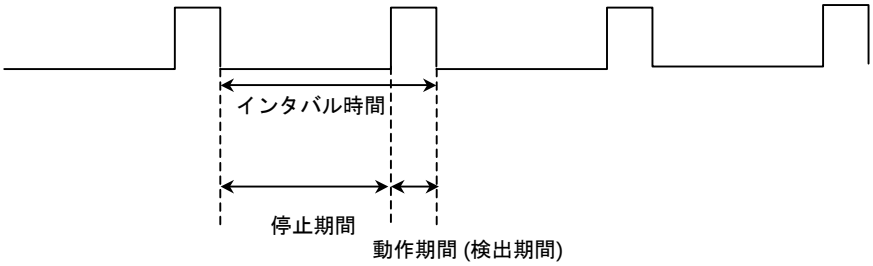


図 3.15.8 間欠動作例

間欠動作停止期間中のフラグクリアも連続動作と同様に VLDCR*<V*EN> の電圧開始フラグをディセーブル状態にしてからでないとクリアできません。

VLD モードコントロールレジスタ 2

HPCTST1 (0445H)	7	6	5	4	3	2	1	0
Bit symbol		–	TIM21	TIM20	TIM11	TIM10	TIM01	TIM00
Read/Write								
リセット後		0	0	0	0	0	0	0
機　能		“0” をライトしてください。	VLD2 間欠時間		VLD1 間欠時間		VLD0 間欠時間	

VLD0, VLD1, VLD2 の間欠動作時の時間設定

TIM*1･TIM*0	検出時間	インタバル時間
00	1.95 ms	検出時間 × 8
01	1.95 ms	検出時間 × 16
10	1.95 ms	検出時間 × 32
11	1.95 ms	検出時間 × 64

図 3.15.9 特殊 VLD 機能レジスタ 1

HPCTST2 (0446H)	7	6	5	4	3	2	1	0
Bit symbol	–	–	SAM_2	SAM_1	SAM_0	–	–	–
Read/Write	R/W	R/W	R/W					
リセット後	0	0	0	0	0	0	0	0
機　能	“0” をライトしてください。		VLD2 0: 連続動作 1: 間欠動作	VLD1 0: 連続動作 1: 間欠動作	VLD0 0: 連続動作 1: 間欠動作	“0” をライトしてください。		

VLD0, VLD1, VLD2 の連続/間欠動作制御

0	連続動作
1	間欠動作

図 3.15.10 特殊 VLD 機能レジスタ 2

3.16 データ縦横変換

データ縦横変換 (HVC) を内蔵しています。

最大 8 × 8 ビットのデータを縦横変換することができます。キャラクターROM のデータの縦横変換する際などにソフトウエアの負担を軽くする機能です。

図 3.16.1に、H/V コンバータのブロック図を示します。

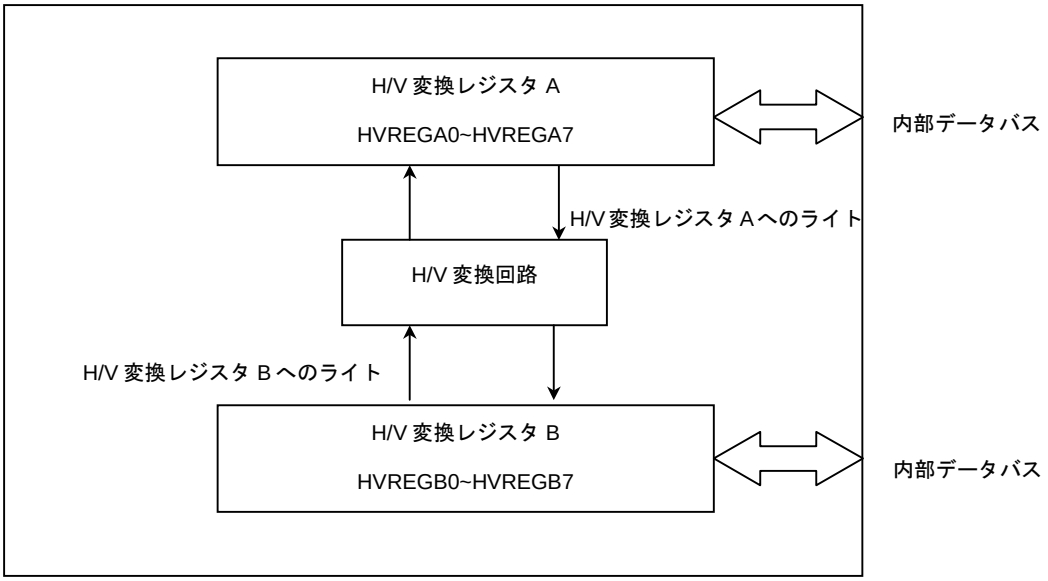


図 3.16.1 H/V コンバータのブロック図

3.16.1 SFR 説明

H/V コンバータは、H/V 変換データを格納するための H/V 変換レジスタ A (HVREGA0~HVREGA7), H/V 変換レジスタ B (HVREGB0~HVREGB7) がそれぞれ 8 つあります。

図 3.16.2から図 3.16.5に H/V コンバータ関係のレジスタを示します。

H/V 変換レジスタ A 0 VLD コントロールレジスタ

HVREGA0 (0450H)	7	6	5	4	3	2	1	0
Bit symbol	HVRA07	HVRA06	HVRA05	HVRA04	HVRA03	HVRA02	HVRA01	HVRA00
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換レジスタ A 1

HVREGA1 (0451H)	7	6	5	4	3	2	1	0
Bit symbol	HVRA17	HVRA16	HVRA15	HVRA14	HVRA13	HVRA12	HVRA11	HVRA10
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換レジスタ A 2

HVREGA2 (0452H)	7	6	5	4	3	2	1	0
Bit symbol	HVRA27	HVRA26	HVRA25	HVRA24	HVRA23	HVRA22	HVRA21	HVRA20
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換レジスタ A 3

HVREGA3 (0453H)	7	6	5	4	3	2	1	0
Bit symbol	HVRA37	HVRA36	HVRA35	HVRA34	HVRA33	HVRA32	HVRA31	HVRA30
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

図 3.16.2 H/V コンバータ関係のレジスタ 1

H/V 変換レジスタ A 4

HVREGA4 (0454H)	7	6	5	4	3	2	1	0
Bit symbol	HVRA47	HVRA46	HVRA45	HVRA44	HVRA43	HVRA42	HVRA41	HVRA40
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換レジスタ A 5

HVREGA5 (0455H)	7	6	5	4	3	2	1	0
Bit symbol	HVRA57	HVRA56	HVRA55	HVRA54	HVRA53	HVRA52	HVRA51	HVRA50
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換レジスタ A 6

HVREGA6 (0456H)	7	6	5	4	3	2	1	0
Bit symbol	HVRA67	HVRA66	HVRA65	HVRA64	HVRA63	HVRA62	HVRA61	HVRA60
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換レジスタ A 7

HVREGA7 (0457H)	7	6	5	4	3	2	1	0
Bit symbol	HVRA77	HVRA76	HVRA75	HVRA74	HVRA73	HVRA72	HVRA71	HVRA70
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

図 3.16.3 H/V コンバータ関係のレジスタ 2

H/V 変換データレジスタ B 0

HVREGB0 (0458H)	7	6	5	4	3	2	1	0
Bit symbol	HVRB07	HVRB06	HVRB05	HVRB04	HVRB03	HVRB02	HVRB01	HVRB00
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換データレジスタ B 1

HVREGB1 (0459H)	7	6	5	4	3	2	1	0
Bit symbol	HVRB17	HVRB16	HVRB15	HVRB14	HVRB13	HVRB12	HVRB11	HVRB10
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換データレジスタ B 2

HVREGB2 (045AH)	7	6	5	4	3	2	1	0
Bit symbol	HVRB27	HVRB26	HVRB25	HVRB24	HVRB23	HVRB22	HVRB21	HVRB20
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換データレジスタ B 3

HVREGB3 (045BH)	7	6	5	4	3	2	1	0
Bit symbol	HVRB37	HVRB36	HVRB35	HVRB34	HVRB33	HVRB32	HVRB31	HVRB30
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

図 3.16.4 H/V コンバータ関係のレジスタ 3

H/V 変換レジスタ B 4

HVREGB4 (045CH)	7	6	5	4	3	2	1	0
Bit symbol	HVRB47	HVRB46	HVRB45	HVRB44	HVRB43	HVRB42	HVRB41	HVRB40
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換レジスタ B 5

HVREGB5 (045DH)	7	6	5	4	3	2	1	0
Bit symbol	HVRB57	HVRB56	HVRB55	HVRB54	HVRB53	HVRB52	HVRB51	HVRB50
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換レジスタ B 6

HVREGB6 (045EH)	7	6	5	4	3	2	1	0
Bit symbol	HVRB67	HVRB66	HVRB65	HVRB64	HVRB63	HVRB62	HVRB61	HVRB60
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

H/V 変換レジスタ B 7

HVREGB7 (045FH)	7	6	5	4	3	2	1	0
Bit symbol	HVRB77	HVRB76	HVRB75	HVRB74	HVRB73	HVRB72	HVRB71	HVRB70
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	H/V 変換データ格納							

図 3.16.5 H/V コンバータ関係のレジスタ 4

3.16.2 動作説明

H/V 変換を行うデータを HVREGA レジスタにライトした場合は、変換結果が HVREGB レジスタに格納されます。このとき HVREGA レジスタをリードした場合は、ライトしたデータが読み出されます。ただし、HVREGA レジスタをライトした後に HVREGB レジスタをライトした場合は、HVREGA レジスタをリードしてもライトしたデータとは異なります。HVREGB レジスタについても同一の動作をします。

表 3.16.1に HVREGA0~HVREGA7 レジスタに書き込み、HVREGB0~HVREGB7 を読み込む場合について示します。

表 3.16.1 H/V 変換前データと変換結果の関係

ビット	7	6	5	4	3	2	1	0
HVREGB7	HVRA77	HVRA67	HVRA57	HVRA47	HVRA37	HVRA27	HVRA17	HVRA07
HVREGB6	76	66	56	46	36	26	16	06
HVREGB5	75	65	55	45	35	25	15	05
HVREGB4	74	64	54	44	34	24	14	04
HVREGB3	73	63	53	43	33	23	13	03
HVREGB2	72	62	52	42	32	22	12	02
HVREGB1	71	61	51	41	31	21	11	01
HVREGB0	70	60	50	40	30	20	10	00
	↑	↑	↑	↑	↑	↑	↑	↑
	HVREGA7< >	HVREGA6< >	HVREGA5< >	HVREGA4< >	HVREGA3< >	HVREGA2< >	HVREGA1< >	HVREGA0< >

4. 電気的特性

4.1 最大定格

項目	記号	定格	単位
電源電圧	Vcc	−0.5~4.0	V
入力電圧	VIN	−0.5~Vcc + 0.5	
出力電流 (1 端子当たり)	IOL	2	mA
出力電流 (1 端子当たり)	IOH	−2	
出力電流 (合計)	ΣIOL	80	
出力電流 (合計)	ΣIOH	−80	
消費電力 (Ta = 85°C)	PD	600	mW
はんだ付け温度 (10 s)	TSOLDER	260	°C
保存温度	TSTG	−65~150	
動作温度	TOPR	−10~70	

注) 最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。最大定格を超えると、破壊や劣化の原因となり、破裂･燃焼による傷害を負うことがあります。従って、必ず最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC 電気的特性 (1/2)

項目		記号	条件		Min	Typ.	Max	単位
電源電圧 (VLDVCC = DVCC) (VLDGND = DVSS = 0V)		VCC	fc = 2~27 MHz	fs = 30~34 kHz	2.7		3.6	V
			fc = 2~10 MHz	fs = 30~34 kHz	1.8			
電源電圧		VREF	3.6 ≧ Vcc ≧ 1.8 V		–	1.5	–	
低レベル入力電圧	D0~D15	VIL	Vcc ≧ 2.7 V		−0.3		0.6	
			Vcc < 2.7 V				0.2 Vcc	
	P52~PD7 ($\overline{RESET}$, P52, P72, P74, P9, PB3, PB4, PB5, PC4, PC5 除く)	VIL1	Vcc ≧ 2.7 V				0.3 Vcc	
			Vcc < 2.7 V				0.2 Vcc	
	$\overline{RESET}$, P52, P72, P74, P9, PB3, PB4, PB5, PC4, PC5)	VIL2	Vcc ≧ 2.7 V				0.25 Vcc	
			Vcc < 2.7 V				0.15 Vcc	
	AM0~AM1	VIL3	Vcc ≧ 2.7 V				0.3	
			Vcc < 2.7 V				0.3	
	X1	VIL4	Vcc ≧ 2.7 V				0.2 Vcc	
			Vcc < 2.7 V				0.1 Vcc	
高レベル入力電圧	D0~D15	VIH	3.6 ≧ Vcc ≧ 3.3 V		2.4		Vcc + 0.3	
			3.3 > Vcc ≧ 2.7 V		2.0			
			Vcc < 2.7 V		0.7 Vcc			
	P52~PD7 ($\overline{RESET}$, P52, P72, P74, P9, PB3, PB4, PB5, PC4, PC5 除く)	VIH1	Vcc ≧ 2.7 V		0.7 Vcc			
			Vcc < 2.7 V		0.8 Vcc			
	$\overline{RESET}$, P52, P72, P74, P9, PB3, PB4, PB5, PC4, PC5)	VIH2	Vcc ≧ 2.7 V		0.75 Vcc			
			Vcc < 2.7 V		0.85 Vcc			
	AM0~AM1	VIH3	Vcc ≧ 2.7 V		Vcc − 0.3			
			Vcc < 2.7 V		Vcc − 0.3			
	X1	VIH4	Vcc ≧ 2.7 V		0.8 Vcc			
			Vcc < 2.7 V		0.9 Vcc			
低レベル出力電圧		VOL	IOL = 1.6 mA	Vcc ≧ 2.7 V			0.45	
			IOL = 0.4 mA	Vcc < 2.7 V			0.15 Vcc	
高レベル出力電圧		VOH	IOH = −400 μA	Vcc ≧ 2.7 V	Vcc − 0.3			
			IOH = −200 μA	Vcc < 2.7 V	0.8 Vcc			

DC 電気的特性 (2/2)

項目	記号	条件	Min	Typ.	Max	単位
入力リーク電流	ILI	Vcc ≧ Vin ≧ 0.0		0.02	±5	μA
出力リーク電流	ILO	Vcc − 0.2 ≧ Vin ≧ 0.2		0.05	±5	
$\overline{\text{RESET}}$ プルアップ抵抗	RRST	3.6 ≧ Vcc ≧ 2.7 V	80		400	kΩ
		Vcc = 2 V ± 10%	200		1000	
端子容量	CIO	fc = 1 MHz			10	pF
シュミット幅 ($\overline{\text{RESET}}$, INT3, OPTRX0, $\overline{\text{NMI}}$, KI0~KI7, INT0, INT1, INT2, RXD1, SCLK1/$\overline{\text{CTS1}}$)	VTH	Vcc ≧ 2.7 V	0.4	0.9		V
		Vcc < 2.7 V	0.3	0.7		
プログラマブルプルアップ抵抗 (P53, P56, P60~P67, P70~P71, P73, PD0~PD7)	RKH1	3.6 ≧ Vcc ≧ 2.7 V	80	200	400	kΩ
		Vcc = 2 V ± 10%	200		1000	
プログラマブルプルアップ抵抗 (P90~P97, PB0~PB2, PB4~PB5, P52, P72, PC4~PC5)	RKH2	3.6 ≧ Vcc ≧ 2.7 V	60	180	350	
		Vcc = 2 V ± 10%	180		900	
プログラマブルプルアップ抵抗 (PB3 @ Vcc)	RKH3	3.6 ≧ Vcc ≧ 2.7 V	50	167	280	
		Vcc2V ± 10%	120		900	
プログラマブルプルアップ抵抗 (PB3 @ Vss)		3.6 ≧ Vcc ≧ 2.7 V	400	1000	2000	
		Vcc = 2V ± 10%	800		4500	
プログラマブルプルダウン抵抗 (P72, PB4~PB5, PC4~PC5)	RKL	3.6 ≧ Vcc ≧ 2.7 V	80	200	600	
		Vcc = 2 V ± 10%	200		1000	
NORMAL (注 2)	Icc	3.6 ≧ Vcc ≧ 2.7 V fc = 27 MHz		11.0	15.0	mA
IDLE2				4.5	6.7	
IDLE1				1.5	2.9	
NORMAL (注 2)		Vcc = 2V ± 10% fc = 10 MHz (Typ.値は Vcc = 2.0 V)		2.5	3.5	mA
IDLE2				1.0	1.4	
IDLE1				0.3	0.6	
SLOW (注 2)		3.6 ≧ Vcc ≧ 2.7 V fs = 32.768 kHz		15.0	30.0	μA
IDLE2				6.0	23.0	
IDLE1				2.5	20	
SLOW (注 2)		Vcc = 2 V ± 10% fs = 32.768kHz (Typ.値は Vcc = 2.0 V)		9.0	20	μA
IDLE2				4.0	15	
IDLE1				1.0	10	
STOP		3.6 ≧ Vcc ≧ 1.8 V		0.3	10	μA
XT: VREF 電源動作	Icc Iref	VREF = 1.5 V		0.8	1.2	μA

注 1) Typ.値は特に指定のない限り、Ta = 25°C、Vcc = 3.3 V です。

注 2) Icc NORMAL、SLOW の測定条件: すべて動作、バス端子の C_L = 30pF、バス以外の出力端子は開放、入力端子はレベル固定。

注 3) 電流規定はすべて、VREF = 1.5 V、fs 電源 = VREF 時の値です。

4.3 AC 電気的特性

(1) Vcc = 2.7~3.6 V

No.	項目	記号	計算式		27 MHz		単位
			Min	Max	Min	Max	
1	f_{FPH} 周期 (= x)	t_{FPH}	37.0	31250	37.0		ns
2	A0~A23 有効 → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{AC}	x – 23		14		ns
	上記 SR モード (リードのみ)		1.5x – 23		32		ns
3	$\overline{RD}$ 立ち上がり→ A0~A23 保持	t_{CAR}	0.5x – 13		5		ns
4	$\overline{WR}$ 立ち上がり → A0~A23 保持 $\overline{DS}$ 立ち上がり → A0~A23 保持	t_{CAW}	x – 13		24		ns
5	A0~A23 有効 → D0~D15 入力	t_{AD}		3.5x – 24		105	ns
6	$\overline{RD}$ 立ち下がり → D0~D15 入力	t_{RD}		2.5x – 24		68	ns
	上記 SR モード (リードのみ)			2.0x – 24		50	ns
7	$\overline{RD}$ Low レベルパルス幅	t_{RR}	2.5x – 15		77		ns
	上記 SR モード (リードのみ)		2.0x – 15		59		ns
8	$\overline{RD}$ 立ち上がり → D0~D15 保持	t_{HR}	0		0		ns
9	$\overline{WR}$ Low レベルパルス幅 $\overline{DS}$ Low レベルパルス幅	t_{WW}	2.0x – 15		59		ns
10	D0~D15 有効 → $\overline{WR}$ 立ち上がり D0~D15 有効 → $\overline{DS}$ 立ち上がり	t_{DW}	1.5x – 35		20		ns
11	$\overline{WR}$ 立ち上がり → D0~D15 保持 $\overline{DS}$ 立ち上がり → D0~D15 保持	t_{WD}	x – 25		12		ns
12	A0~A23 有効 → $\overline{WAIT}$ 入力 (1 + N) WAIT モード	t_{AW}		3.5x – 60		69	ns
13	$\overline{RD}$ / $\overline{WR}$ 立ち下がり → $\overline{WAIT}$ 保持 (1 + N) WAIT モード	t_{CW}	2.5x + 0		92		ns
	上記 SR モード (リードのみ)		2.0x + 0		74		ns
14	A0~A23 有効 → ポート入力	t_{APH}		3.5x – 89		40	ns
15	A0~A23 有効 → ポート保持	t_{APH2}	3.5x		129		ns
16	A0~A23 有効 → ポート有効	tAPO		3.5x + 60		189	ns

AC 測定条件

- 出力レベル: High 0.7 × Vcc/Low 0.3 × Vcc, C_L = 50 pF
- 入力レベル: High 0.9 × Vcc/Low 0.1 × Vcc

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

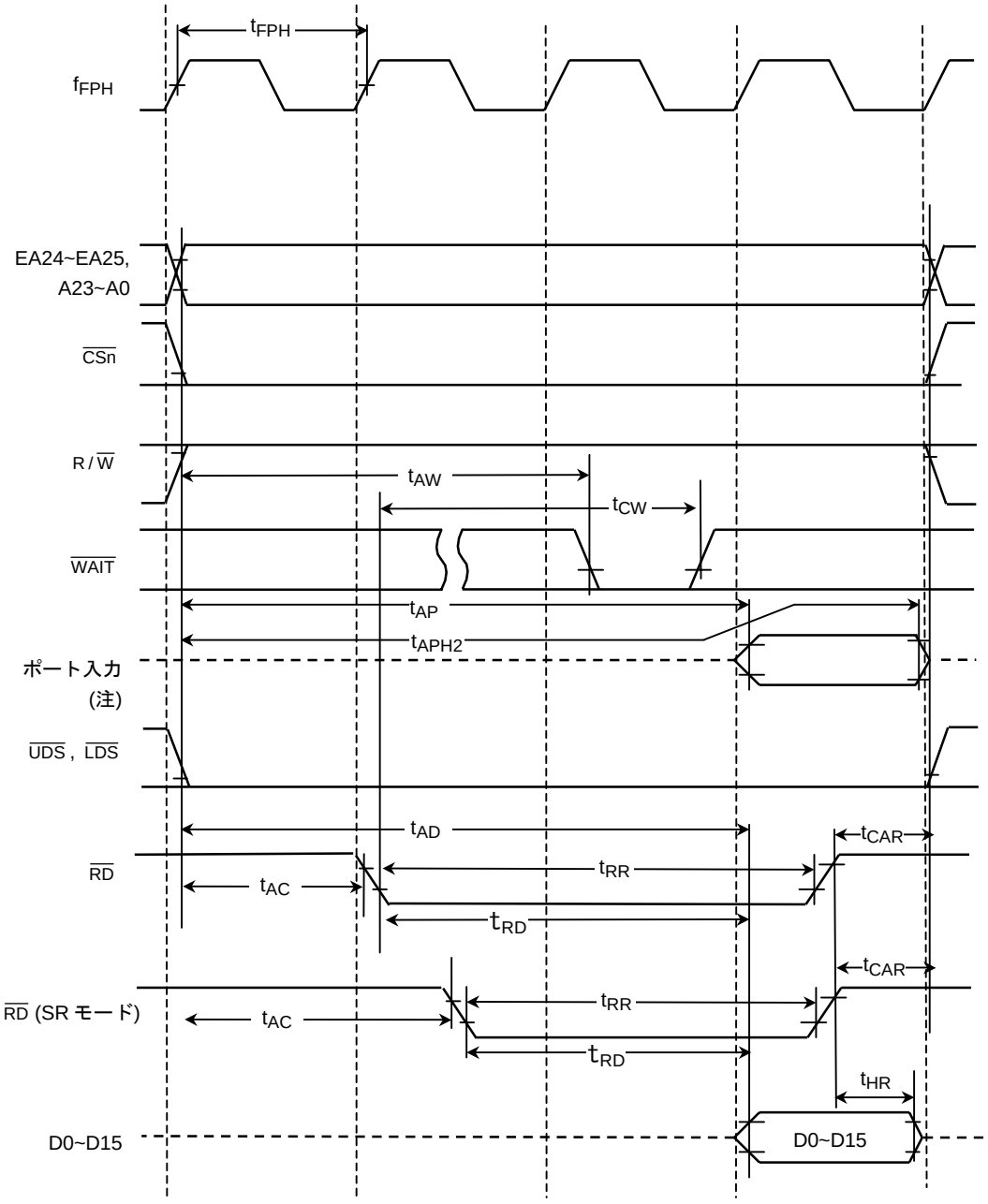
(2) Vcc = 2.0V ± 10%

No.	項目	記号	計算式		10 MHz		単位
			Min	Max	Min	Max	
1	f_{FPH} 周期 (= x)	t_{FPH}	100	31250	100		ns
2	A0~A23 有効 → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{AC}	x – 46		54		ns
	上記 SR モード (リードのみ)		1.5x – 46		104		ns
3	$\overline{RD}$ 立ち上がり → A0~A23 保持	t_{CAR}	0.5x – 30		20		ns
4	$\overline{WR}$ 立ち上がり → A0~A23 保持 $\overline{DS}$ 立ち上がり → A0~A23 保持	t_{CAW}	x – 26		74		ns
5	A0~A23 有効 → D0~D15 入力	t_{AD}		3.5x – 48		302	ns
6	$\overline{RD}$ 立ち下がり → D0~D15 入力	t_{RD}		2.5x – 48		202	ns
	上記 SR モード (リードのみ)			2.0x – 48		152	ns
7	$\overline{RD}$ Low レベルパルス幅	t_{RR}	2.5x – 30		220		ns
	上記 SR モード (リードのみ)		2.0x – 30		170		ns
8	$\overline{RD}$ 立ち上がり → D0~D15 保持	t_{HR}	0		0		ns
9	$\overline{WR}$ Low レベルパルス幅 $\overline{DS}$ Low レベルパルス幅	t_{WW}	2.0x – 30		170		ns
10	D0~D15 有効 → $\overline{WR}$ 立ち上がり D0~D15 有効 → $\overline{DS}$ 立ち上がり	t_{DW}	1.5x – 70		80		ns
11	$\overline{WR}$ 立ち上がり → D0~D15 保持 $\overline{DS}$ 立ち上がり → D0~D15 保持	t_{WD}	x – 50		50		ns
12	A0~A23 有効 → $\overline{WAIT}$ 入力 (1 + N) WAIT モード	t_{AW}		3.5x – 120		230	ns
13	$\overline{RD}$ / $\overline{WR}$ 立ち下がり → $\overline{WAIT}$ 保持 (1 + N) WAIT モード	t_{CW}	2.5x + 0		250		ns
	上記 SR モード (リードのみ)		2.0x + 0		200		ns
14	A0~A23 有効 → ポート入力	t_{APH}		3.5x – 178		172	ns
15	A0~A23 有効 → ポート保持	t_{APH2}	3.5x		350		ns
16	A0~A23 有効 → ポート有効	t_{APO}		3.5x + 120		470	ns

AC 測定条件

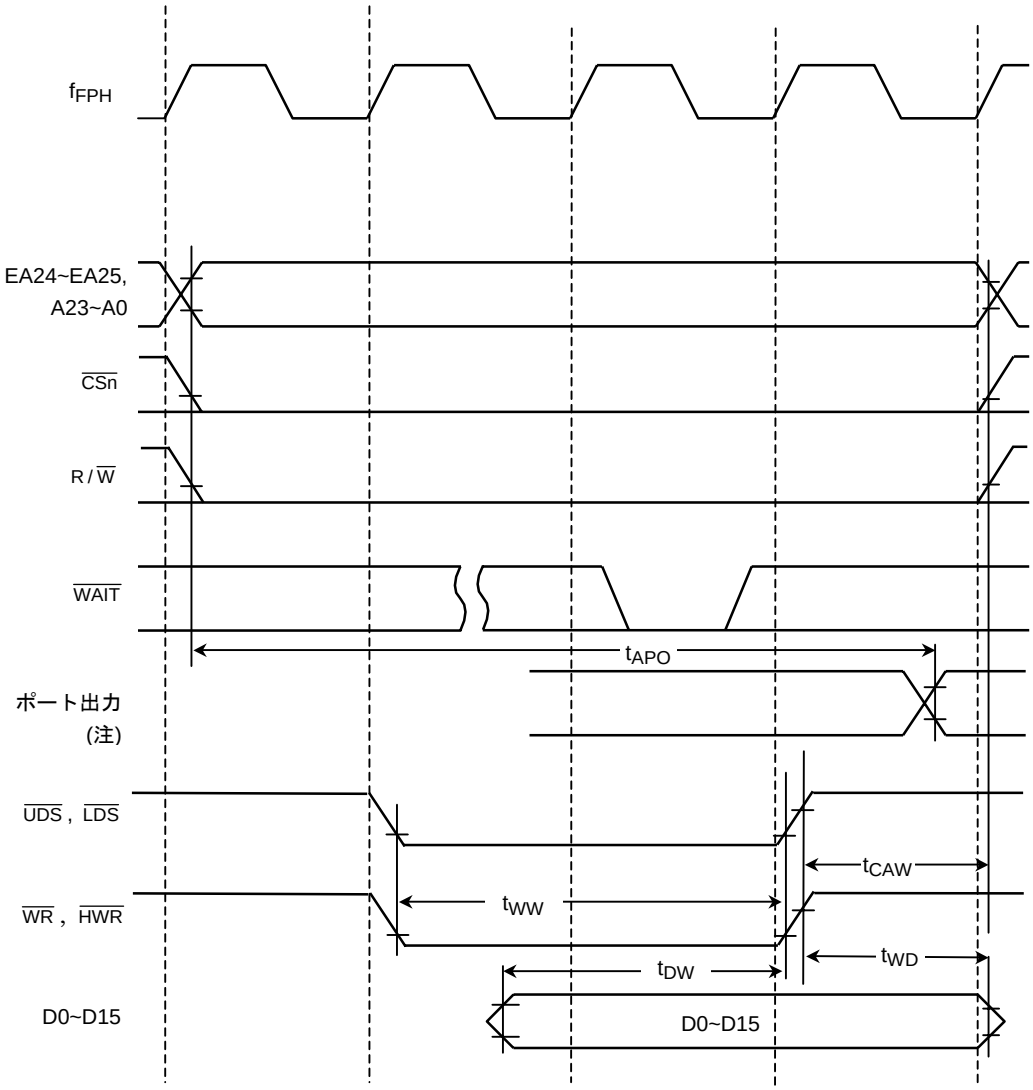
- 出力レベル: High 0.7 × Vcc/Low 0.3 × Vcc, C_L = 50 pF
- 入力レベル: High 0.9 × Vcc/Low 0.1 × Vcc

(3) リードサイクル



注) ポートのデータリードは内蔵エリアへのアクセスとなるため、外部端子の制御信号 $\overline{RD}$ 、$\overline{CS}$ 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。
また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

(4) ライトサイクル



注) ポートのデータライトは内蔵エリアへのアクセスとなるため、外部端子の制御信号 $\overline{WR}$ 、$\overline{CS}$ 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。
また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

(5) Vcc = 3.0~3.6 V

No.	項目	記号	計算式		27 MHz		単位
			Min	Max	Min	Max	
1	$\overline{RAS}$ サイクル時間	t_{RC}	4.0x		148		ns
2	$\overline{RAS}$ アクセス時間	t_{RAC}		3.0x – –35		76	ns
3	$\overline{CAS}$ アクセス時間	t_{CAC}		1.5x – 30		26	ns
4	カラムアドレスアクセス時間	t_{AA}		2.5x – 45		48	ns
5	$\overline{UCAS}$, $\overline{LCAS}$ 後入力データ保持時間	t_{OFF1}	0		0		ns
6	$\overline{RAS}$ プリチャージ時間	t_{RP}	1.5x – 4		52		ns
7	$\overline{RAS}$ パルス幅	t_{RAS}	2.5x – 20		73		ns
8	$\overline{RAS}$ 保持時間	t_{RSH}	1.0x – 15		22		ns
9	$\overline{CAS}$ 保持時間	t_{CSH}	3.0x – 35		76		ns
10	$\overline{CAS}$ パルス幅	t_{CAS}	1.5x – 15		41		ns
11	$\overline{RAS}$ ~ $\overline{CAS}$ 遅れ時間	t_{RCD}	1.5x – 30	1.5x	26	55	ns
12	$\overline{RAS}$ カラムアドレス遅れ時間	t_{RAD}	0.5x – 3	0.5x + 20	16	38	ns
13	$\overline{CAS}$ ~ $\overline{RAS}$ プリチャージ時間	t_{CRP}	1.0x – 25		12		ns
14	$\overline{CAS}$ プリチャージ時間	t_{CPD}	2.5x – 35		58		ns
15	ローアドレスセットアップ時間	t_{ASR}	0.5x – 15		4		ns
16	ローアドレス保持時間	t_{RAH}	0.5x – 7		12		ns
17	カラムアドレスセットアップ時間	t_{ASC}	1.0x – 25		12		ns
18	カラムアドレス保持時間	t_{CAH}	2.0x – 50		24		ns
19	カラムアドレス $\overline{RAS}$ リード時間	t_{RAL}	2.0x – 30		44		ns
20	ライトコマンド $\overline{CAS}$ リード時間	t_{CWL}	2.0x – 35		39		ns
21	データ出力セットアップ時間	t_{DS}	0.5x – 17		2		ns
22	データ出力保持時間	t_{DH}	2.0x – 35		39		ns
23	ライトコマンドセットアップ時間	t_{WCS}	0.5x – 18		0		ns
24	$\overline{CAS}$ 保持時間 ($\overline{CAS}$ ビフォア $\overline{RAS}$)	t_{CHR}*1	2.0x – 50		24		ns
25	$\overline{RAS}$ プリチャージ $\overline{CAS}$ アクティブ時間	t_{RPC}	1.5x – 30		26		ns
26	$\overline{CAS}$ セットアップ時間 ($\overline{CAS}$ ビフォア $\overline{RAS}$)	t_{CSR}*	0.5x – 2		17		ns
27	$\overline{RAS}$ プリチャージ時間 (セルフリフレッシュ)	t_{RPS}*2	4.0x – 16		132		ns
28	$\overline{CAS}$ 保持時間 (セルフリフレッシュ)	t_{CHS}*2	0		0		ns
29	リフレッシュセットアップ時間	t_{CFL}*	1.0x – 10		27		ns
30	リフレッシュ保持時間	t_{CFH}*	1.0x – 15		22		ns
31	ライトコマンドパルス幅	t_{WP}	2.0x – 40		34		ns
32	ライトコマンド保持時間	t_{WCH}	1.5x – 35		21		ns
33	$\overline{OE}$ アクセス時間	t_{OAC1}		2.5x – 50		43	ns
	$\overline{OE}$ アクセス時間	t_{OAC2}		2.0x – 40		34	ns
34	$\overline{OE}$ 後入力データ保持時間	t_{OFF2}	0		0		ns

AC 測定条件

・出力レベル: High 0.7 × Vcc/Low 0.3 × Vcc, C_L = 50 pF

・入力レベル: High 0.9 × Vcc/Low 0.1 × Vcc

(6) Vcc = 2.7~3.6 V

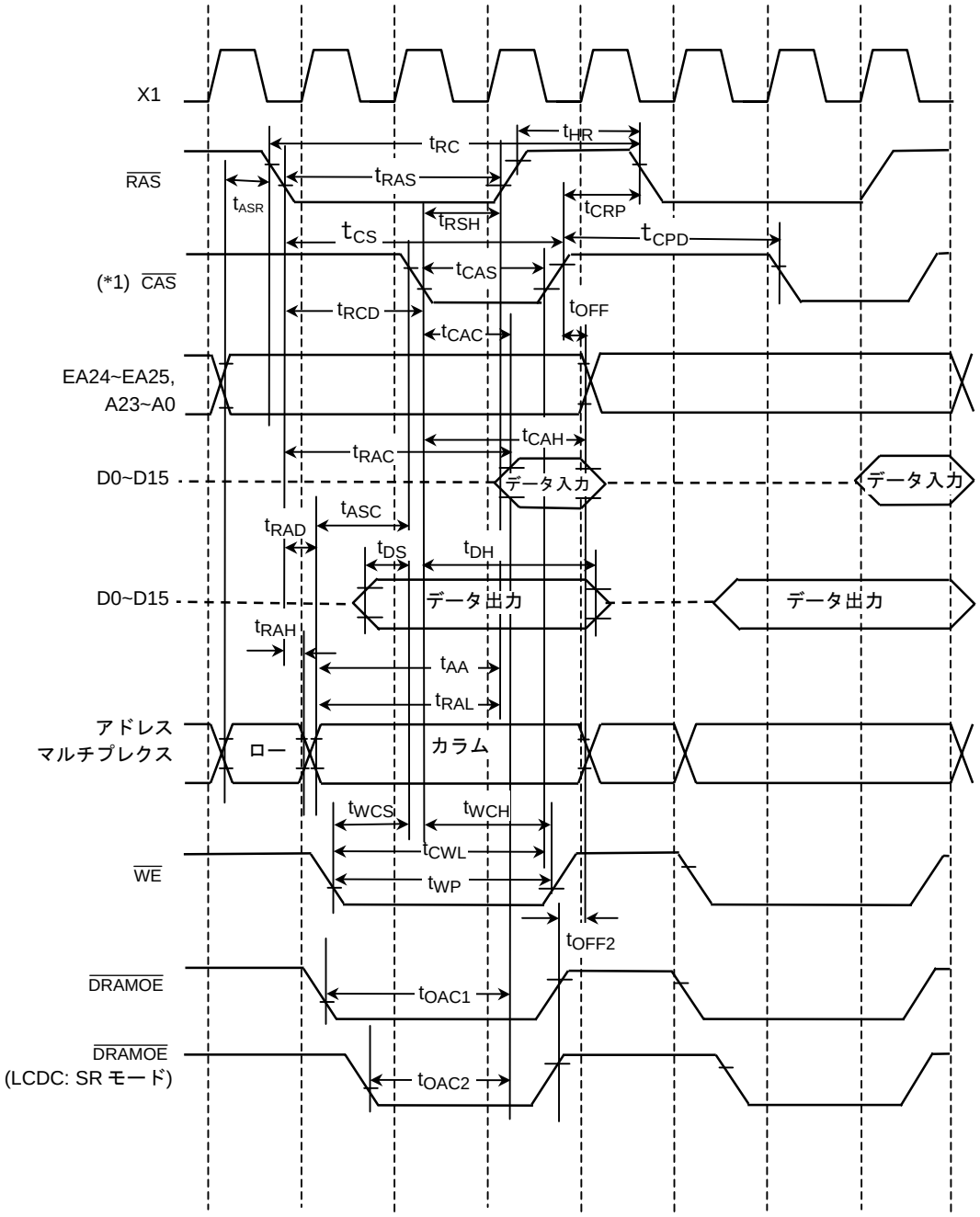
No.	項目	記号	計算式		27 MHz		単位
			Min	Max	Min	Max	
1	$\overline{RAS}$ サイクル時間	t_{RC}	4.0x		148		ns
2	$\overline{RAS}$ アクセス時間	t_{RAC}		3.0x – 38		73	ns
3	$\overline{CAS}$ アクセス時間	t_{CAC}		1.5x – 33		23	ns
4	カラムアドレスアクセス時間	t_{AA}		2.5x – 48		45	ns
5	$\overline{UCAS}$, $\overline{LCAS}$ 後入力データ保持時間	t_{OFF1}	0		0		ns
6	$\overline{RAS}$ プリチャージ時間	t_{RP}	1.5x – 6		50		ns
7	$\overline{RAS}$ パルス幅	t_{RAS}	2.5x – 22		71		ns
8	$\overline{RAS}$ 保持時間	t_{RSH}	1.0x – 18		19		ns
9	$\overline{CAS}$ 保持時間	t_{CSH}	3.0x – 33		74		ns
10	$\overline{CAS}$ パルス幅	t_{CAS}	1.5x – 13		39		ns
11	$\overline{RAS}$ ~ $\overline{CAS}$ 遅れ時間	t_{RCD}	1.5x – 32	1.5x	24	53	ns
12	$\overline{RAS}$ カラムアドレス遅れ時間	t_{RAD}	0.5x – 5	0.5x + 20	13	36	ns
13	$\overline{CAS}$ ~ $\overline{RAS}$ プリチャージ時間	t_{CRP}	1.0x – 27		10		ns
14	$\overline{CAS}$ プリチャージ時間	t_{CPD}	2.5x – 37		56		ns
15	ローアドレスセットアップ時間	t_{ASR}	0.5x – 16		3		ns
16	ローアドレス保持時間	t_{RAH}	0.5x – 8		10		ns
17	カラムアドレスセットアップ時間	t_{ASC}	1.0x – 27		10		ns
18	カラムアドレス保持時間	t_{CAH}	2.0x – 52		22		ns
19	カラムアドレス $\overline{RAS}$ リード時間	t_{RAL}	2.0x – 32		42		ns
20	ライトコマンド $\overline{CAS}$ リード時間	t_{CWL}	2.0x – 37		37		ns
21	データ出力セットアップ時間	t_{DS}	0.5x – 17		2		ns
22	データ出力保持時間	t_{DH}	2.0x – 37		37		ns
23	ライトコマンドセットアップ時間	t_{WCS}	0.5x – 18		0		ns
24	$\overline{CAS}$ 保持時間 ($\overline{CAS}$ ビフォア $\overline{RAS}$)	t_{CHR}*1	2.0x – 52		22		ns
25	$\overline{RAS}$ プリチャージ $\overline{CAS}$ アクティブ時間	t_{RPC}	1.5x – 31		24		ns
26	$\overline{CAS}$ セットアップ時間 ($\overline{CAS}$ ビフォア $\overline{RAS}$)	t_{CSR}*	0.5x – 2		17		ns
27	$\overline{RAS}$ プリチャージ時間 (セルフリフレッシュ)	t_{RPS}*2	4.0x – 18		130		ns
28	$\overline{CAS}$ 保持時間 (セルフリフレッシュ)	t_{CHS}*2	0		0		ns
29	リフレッシュセットアップ時間	t_{CFL}*	1.0x – 10		27		ns
30	リフレッシュ保持時間	t_{CFH}*	1.0x – 17		20		ns
31	ライトコマンドパルス幅	t_{WP}	2.0x – 42		32		ns
32	ライトコマンド保持時間	t_{WCH}	1.5x – 36		20		ns
33	$\overline{OE}$ アクセス時間	t_{OAC1}		2.5x – 53		40	ns
	$\overline{OE}$ アクセス時間	t_{OAC2}		2.0x – 43		31	ns
34	$\overline{OE}$ 後入力データ保持時間	t_{OFF2}	0		0		ns

AC 測定条件

・出力レベル: High 0.7 × Vcc/Low 0.3 × Vcc, C_L = 50 pF

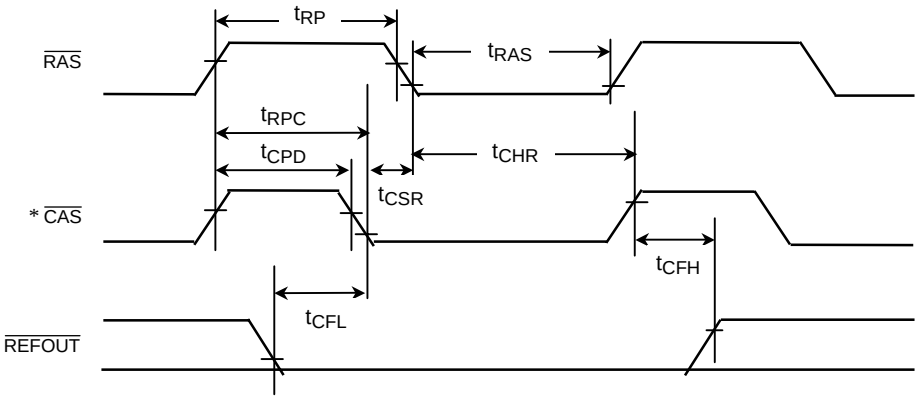
・入力レベル: High 0.9 × Vcc/Low 0.1 × Vcc

(5) DRAM リード/ライトサイクル

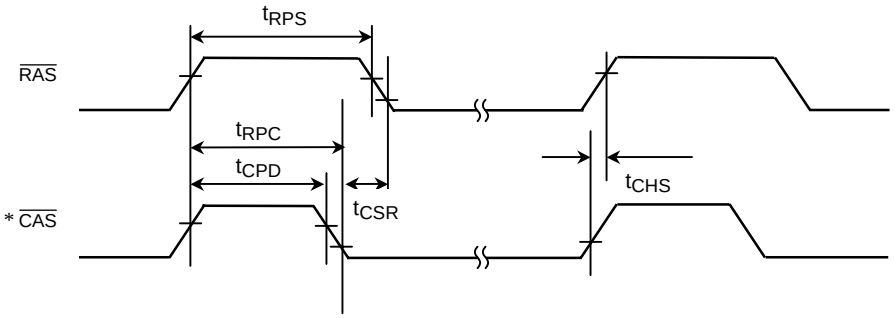


注) ここで示す $\overline{CAS}$ は、$\overline{LCAS}$, $\overline{UCAS}$ を含みます。

(8) DRAM リフレッシュサイクル



CAS ビフォア RAS セルフリフレッシュサイクル



注) ここで示す CAS は、LCAS , UCAS を含みます。

4.4 VLD 検知特性

VLDVcc = Vcc , VLDGND = Vss

項目		記号	条件	Min	Typ.	Max	単位
基準電圧電流	(注 5)	IREF	3.6V ≧ Vcc ≧ 2.7 V VREF = 1.5 V		0.2	1	μA
検知電圧精度 (VLD0)	(注 1)	ADCTV0	3.6V ≧ Vcc ≧ 2.7 V Vcc ≧ VLD0 ≧ VLDGND, VREF = 1.5 V (注 2)	VLD0 × 0.98		VLD0 × 1.02	V
非検知電圧精度 (VLD0)	(注 1)	NADCTV0		VLD0 × 0.98		VLD0 × 1.02	V
VLD0 電流	(注 3)	IVLD0			0.3	1	μA
検知電圧精度 (VLD1)	(注 1)	ADCTV1	3.6V ≧ Vcc ≧ 2.7 V Vcc ≧ VLD0 ≧ VLDGND, VREF = 1.5 V (注 2)	VLD0 × 0.98		VLD0 × 1.02	V
非検知電圧精度 (VLD1)	(注 1)	NADCTV1		VLD0 × 0.98		VLD0 × 1.02	V
VLD1 電流	(注 3)	IVLD1			0.3	1	μA
検知電圧精度 (VLD2)	(注 1)	ADCTV2	3.6V ≧ Vcc ≧ 2.7 V (注 4) Vcc ≧ VLD0 ≧ VLDGND, VREF = 1.5 V (注 2)	VLD0 × 0.98		VLD0 × 1.02	V
非検知電圧精度 (VLD2)	(注 1)	NADCTV2		VLD0 × 0.98		VLD0 × 1.02	V
VLD2 電流	(注 3)	IVLD2			0.3	1	μA

注 1) 検知電圧精度は電圧が降下する場合の精度を示し、非検知電圧精度は電圧が上昇する場合の精度を示します。

注 2) 設定検知電圧が Vcc を上回る設定はできません。(例: Vcc = 2.7 V 時の、2.9 V 検知設定)

注 3) それぞれのチャネルで最も高い設定電圧時の電流を示します。

注 4) VLD2 のみマイコン電源検知する場合 (Vcc = VLD2) は、2.6 V 検知の設定は可能です。

注 5) XT (低周波発振器) の振幅は Vcc となります。

4.5 シリアルチャネルタイミング–I/O インタフェースモード

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

(1) SCLK 入力モード

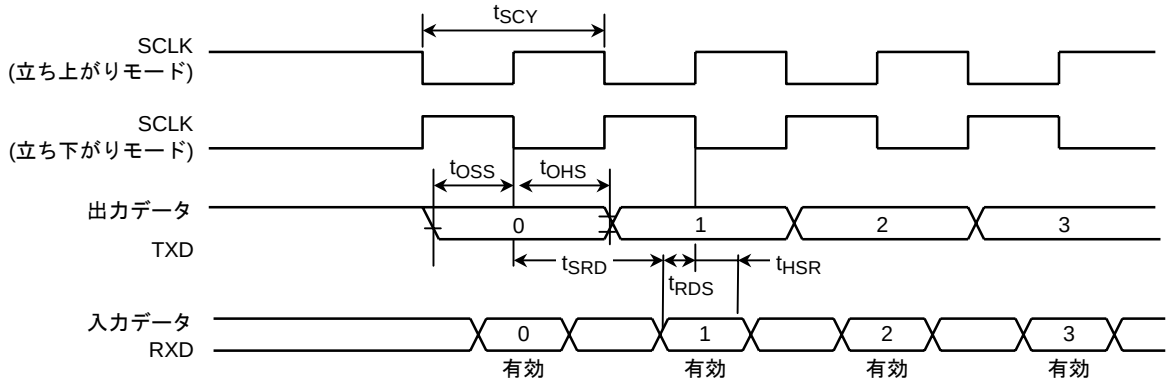
項目	記号	計算式		27 MHz		10 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16X		0.59		1.6		μs
出力データ → SCLK 立ち上がり/立ち下がり*	t_{OSS}	$t_{SCY}/2 - 4X - 110$ (Vcc = 3 V ± 10%)		38		290		ns
		$t_{SCY}/2 - 4X - 180$ (Vcc = 2 V ± 10%)		–		220		
SCLK 立ち上がり/立ち下がり* → 出力データ保持	t_{OHS}	$t_{SCY}/2 - 2X + 0$		370		1000		ns
SCLK 立ち上がり/立ち下がり* → 入力データ保持	t_{HSR}	3X + 10		121		310		ns
SCLK 立ち上がり/立ち下がり* → 有効データ入力	t_{SRD}		$t_{SCY} - 0$		592		1600	ns
有効データ入力 → SCLK 立ち上がり/立ち下がり*	t_{RDS}	0		0		0		ns

(2) SCLK 出力モード

項目	記号	計算式		27 MHz		10 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	16X	8192X	0.59	303	1.6	819	μs
出力データ → SCLK 立ち上がり/立ち下がり*	t_{OSS}	$t_{SCY}/2 - 40$		256		760		ns
SCLK 立ち上がり/立ち下がり* → 出力データ保持	t_{OHS}	$t_{SCY}/2 - 40$		256		760		ns
SCLK 立ち上がり/立ち下がり* → 入力データ保持	t_{HSR}	0		0		0		ns
SCLK 立ち上がり/立ち下がり* → 有効データ入力	t_{SRD}		$t_{SCY} - 1X - 180$		375		1320	ns
有効データ入力 → SCLK 立ち上がり/立ち下がり*	t_{RDS}	1X + 180		217		280		ns

*) SCLK 立ち上がり/立ち下がり ... SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注) 上記表中の 27 MHz,10 MHz の値は、t_{SCY} = 16X 時の値を示しています。



4.6 割り込み

(1) $\overline{NMI}$, INT0~INT3 割り込み

項目	記号	Variable		10 MHz		27 MHz		単位
		Min	Max	Min	Max	Min	Max	
$\overline{NMI}$, INT0~INT3 Low レベルパルス幅	t_{INTAL}	4X + 40		440		188		ns
$\overline{NMI}$, INT0~INT3 High レベルパルス幅	t_{INTAH}	4X + 40		440		188		ns

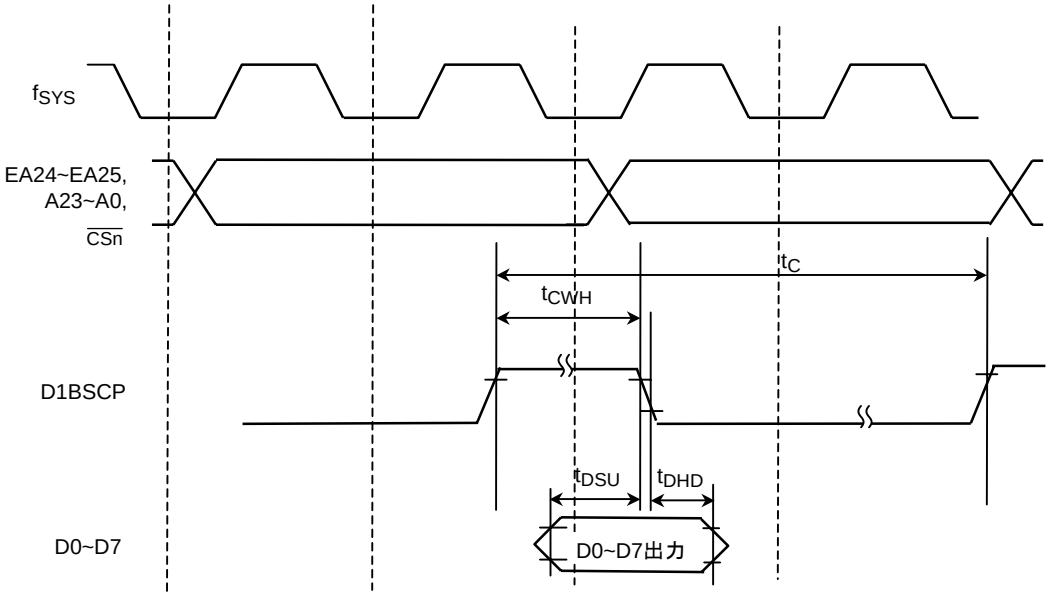
4.7 SCOUT 端子 AC 特性

項目	記号	Variable		10 MHz		27 MHz		条件	単位
		Min	Max	Min	Max	Min	Max		
Low レベルパルス幅	t_{SCL}	0.5T – 10		40		8		Vcc ≧ 2.7 V	ns
		0.5T – 30		20		–		Vcc ＜ 2.7 V	
High レベルパルス幅	t_{SCH}	0.5T – 10		40		8		Vcc ≧ 2.7 V	ns
		0.5T – 30		20		–		Vcc ＜ 2.7 V	

注) 表中の「T」は SCOUT 出力波形の周期を示します。
測定条件

- 出力レベル: High 0.7 Vcc/Low 0.3 Vcc, C_L = 10 pF

4.8 LCD コントローラ(SR モード)



読み出しバス幅	タイプ	書き込みモード	セットアップタイム (t_{DSU})	ホールドタイム (t_{DHD})	パルス幅 (t_{CWH})	周期 (t_c)	ステート/サイクル
Byte	A	Byte	0.5x – α	1.0x – β	1.5x – γ	4.0x	4.0x
		Nibble	0.5x – α	1.0x – β	1.0x – γ	2.0x	6.0x
		Bit	0.5x – α	1.0x – β	1.0x – γ	2.0x	18.0x
	B	Byte	1.0x – α	0.5x – β	2.0x – γ	4.0x	4.0x
		Nibble	1.0x – α	0.5x – β	1.0x – γ	2.0x	6.0x
		Bit	1.0x – α	0.5x – β	1.0x – γ	2.0x	18.0x
	C	Byte	1.0x – α	2.5x – β	1.5x – γ	6.0x	6.0x
		Nibble	1.0x – α	1.5x – β	2.5x – γ	5.0x	10.0x
		Bit	1.0x – α	1.0x – β	1.0x – γ	2.0x	20.0x
Word	A	Byte	0.5x – α	1.0x – β	1.0x – γ	2.0x	6.0x
		Nibble	0.5x – α	1.0x – β	1.0x – γ	2.0x	10.0x
		Bit	サポートしていません。バイト読み出しモードを使用してください。				
	B	Byte	1.0x – α	0.5x – β	1.0x – γ	2.0x	6.0x
		Nibble	1.0x – α	0.5x – β	1.0x – γ	2.0x	10.0x
		Bit	サポートしていません。バイト読み出しモードを使用してください。				
	C	Byte	1.0x – α	1.5x – β	1.5x – γ	3.0x	8.0x
		Nibble	1.0x – α	1.5x – β	2.5x – γ	5.0x	20.0x
		Bit	サポートしていません。バイト読み出しモードを使用してください。				

*表中の「α、β、γ」の値は次ページに示します。

No.	項目	記号	計算式		27 MHz		10 MHz		条件	単位
			Min	Max	Min	Max	Min	Max		
1	D1BSCP 立ち下がり → データセットアップ	t_{DSU}	0.50x – 8		10		42		3.6 V ≧ Vcc ≧ 2.7 V	ns
			0.50x – 20		–		30		Vcc = 2.0V ± 10%	
			1.00x – 8		29		92		3.6 V ≧ Vcc ≧ 2.7 V	
			1.00x – 20		–		80		Vcc = 2.0V ± 10%	
2	D1BSCP 立ち下がり → データ保持	t_{DHD}	0.50x – 8		10		42		3.6 V ≧ Vcc ≧ 2.7 V	
			0.50x – 20		–		30		Vcc = 2.0V ± 10%	
			1.00x – 8		32		92		3.6 V ≧ Vcc ≧ 2.7 V	
			1.00x – 20		–		80		Vcc = 2.0V ± 10%	
			1.50x – 8		50		142		3.6 V ≧ Vcc ≧ 2.7 V	
			1.50x – 20		–		130		Vcc = 2.0V ± 10%	
			2.50x – 8		87		242		3.6 V ≧ Vcc ≧ 2.7 V	
			2.50x – 20		–		230		Vcc = 2.0V ± 10%	
3	D1BSCP →High 幅	t_{CWH}	1.00x – 5		32		95		3.6 V ≧ Vcc ≧ 2.7 V	
			1.00x – 15		–		85		Vcc = 2.0V ± 10%	
			1.50x – 5		50		145		3.6 V≧Vcc ≧ 2.7 V	
			1.50x – 15		–		135		Vcc = 2.0V ± 10%	
			2.00x – 5		69		195		3.6 V ≧ Vcc ≧ 2.7 V	
			2.00x – 15		–		185		Vcc = 2.0V ± 10%	
			2.50x – 5		87		245		3.6 V ≧ Vcc ≧ 2.7 V	
			2.50x – 15		–		235		Vcc = 2.0V ± 10%	
4	D1BSCP →クロックサイクル	t_C	2.00x		74		200		3.6 V ≧ Vcc ≧ 2.7 V	
			2.00x		–		200		Vcc = 2.0V ± 10%	
			3.00x		111		300		3.6 V ≧ Vcc ≧ 2.7 V	
			3.00x		–		300		Vcc = 2.0V ± 10%	
			4.00x		148		400		3.6 V ≧ Vcc ≧ 2.7 V	
			4.00x		–		400		Vcc = 2.0V ± 10%	
			5.00x		185		500		3.6 V ≧ Vcc ≧ 2.7 V	
			5.00x		–		500		Vcc = 2.0V ± 10%	
			6.00x		222		600		3.6 V ≧ Vcc ≧ 2.7 V	
			6.00x		–		600		Vcc = 2.0V ± 10%	

注) ここで定義しないメモリからの表示データのリードは、4.3「AC 電気的特性」と同じ特性です。

4.9 推奨発振回路

TMP91C016 は、次頁の発振子メーカにて評価されています。発振子の選択時に活用してください。

注) 発振端子のトータル負荷容量は接続する外付け (または内蔵) 負荷容量 C1, C2 と、実装基板上の浮遊容量の和になります。C1, C2 の定数を使用した場合でも実装基板によりトータル負荷容量が異なり、誤動作する可能性があります。基板設計の際は発振回路周辺のパターンが最短距離になるようにしてください。また、実際に使用される実装基板での発振評価を行うことを推奨します。

(1) 発振子接続回路例

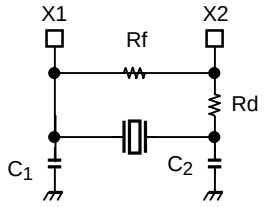


図 1 高周波発振器の接続図

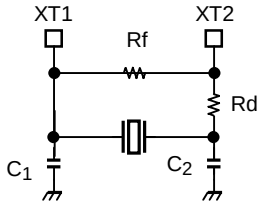


図 2 低周波発振器の接続図

(2) TMP91C016 推奨セラミック発振子: (株)村田製作所

下表に推奨回路定数を示します。

MCU	発振周波数 [MHz]	推奨発振子	推奨定数				動作条件	
			C1 [pF]	C2 [pF]	Rf [Ω]	Rd [Ω]	電源電圧 [V]	温度 [°C]
TMP91C016	2.00	CSTLS2M00G56-B0	(47)	(47)	Open	0	1.8~2.2	–40~+85
	2.50	CSTLS2M50G56-B0	(47)	(47)	Open	0		
	10.00	CSTLS10M0G53-B0	(15)	(15)	Open	0		
	12.50	CSALA12M5T55093-B0	30	30	Open	0		
		CSTLA12M5T55093-B0	(30)	(30)	Open	0		

MCU	発振周波数 [MHz]	推奨発振子	推奨定数				動作条件	
			C1 [pF]	C2 [pF]	Rf [Ω]	Rd [Ω]	電源電圧 [V]	温度 [°C]
TMP91C016	4.00	CSTLS4M00G56-B0	(47)	(47)	Open	0	2.7~3.6	–40~+85
	6.750	CSTLS6M75G56-B0	(47)	(47)	Open	0		
	12.50	CSALA12M5T55-B0	30	30	Open	0		
		CSTLA12M5T55-B0	(30)	(30)	Open	0		
	20.00	CSALS20M0X53-B0	5	5	Open	0		
		CSTLS20M0X51-B0	(5)	(5)	Open	0		
	27.00	CSALS27M0X51-B0	Open	Open	10k	0		
	32.00	CSALA32M0X51-B0	3	3	Open	0		

村田製発振子は、型番･仕様の切り替えが随時行われております。詳細につきましては、下記アドレスの同社ホームページを参照してください。

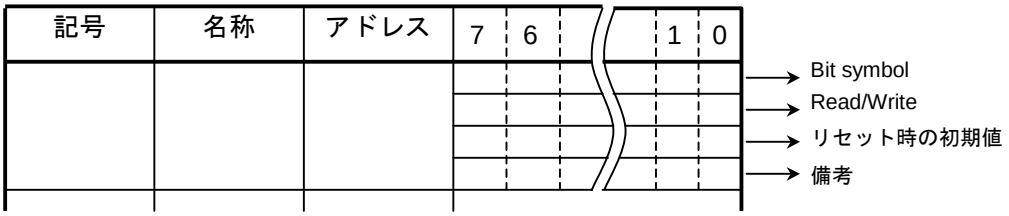
http://www.murata.co.jp

5. 特殊機能レジスター覧表

特殊機能レジスタ (SFR: Special function register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~000FFFH の 4 K バイトのアドレス空間に割り付けられています。

(1) 入出力ポート
(2) 入出力ポート制御
(3) 割り込み制御
(4) チップセレクト/ウェイトコントローラ
(5) クロック制御
(6) DFM 制御
(7) 8 ビットタイマ制御
(8) UART/シリアルチャネル
(9) DRAM 制御
(10) ウォッチドッグタイマ
(11) RTC
(12) メロディ/アラームジェネレータ
(13) MMU
(14) LCD コントローラ
(15) HVC
(16) VLD

表の構成



* 表中の "RMW 禁" は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例: P0CR レジスタのビット 0 のみを "1" にしたい場合、通常は "SET 0, (0002H)" ですが、このレジスタは "RMW 禁" のため、"LD" (転送) 命令にて 8 ビットに対して書き込む必要があります。

記号の意味

R/W: リード/ライト可能
R: リードのみ可能
W: ライトのみ可能
W*: リード/ライト可能 (ただし、リードした場合、"1" が出ます。)
RMW 禁: リードモディファイライトができません (EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TSET, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD 命令の使用不可)。
*R/W: 該当ポートのプルアップ制御の際にはリードモディファイライト命令は使用できません。

表 5.1 SFR アドレスマップ

[1], [2] ポート

アドレス	レジスタ名
0000H	
1H	P1
2H	
3H	
4H	P1CR
5H	
6H	P2
7H	
8H	
9H	P2FC
AH	P5CR
BH	P5FC
CH	P5FC2
DH	P5
EH	P5UDE
FH	

アドレス	レジスタ名
0010H	P6FC3
1H	
2H	P6
3H	P7
4H	P6CR
5H	P6FC
6H	P7CR
7H	P7FC
8H	P6UE
9H	P9
AH	
BH	P6FC2
CH	P7FC2
DH	P9FC
EH	P9UE
FH	P7UDE

アドレス	レジスタ名
0020H	PBUDE
1H	
2H	PB
3H	PC
4H	PBCR
5H	PBFC
6H	PCCR
7H	PCFC
8H	PCUDOE
9H	PD
AH	PDFC
BH	PDCR
CH	PDUE
DH	
EH	
FH	

[3] INTC

アドレス	レジスタ名
0080H	DMA0V
1H	DMA1V
2H	DMA2V
3H	DMA3V
4H	
5H	
6H	
7H	
8H	INTCLR
9H	DMAR
AH	DMAB
BH	
CH	IIMC
DH	
EH	
FH	

アドレス	レジスタ名
0090H	INTE0
1H	INTE12
2H	INTE3ALM4
3H	INTEALM01
4H	INTEALM23
5H	INTETA01
6H	INTETA23
7H	INTERTCKEY
8H	INTES0
9H	INTES1
AH	INTELCD
BH	INTETC01
CH	INTETC23
DH	INTEP01
EH	
FH	

[4] CS/WAIT

アドレス	レジスタ名
00C0H	B0CS
1H	B1CS
2H	B2CS
3H	B3CS
4H	
5H	
6H	
7H	BEXCS
8H	MSAR0
9H	MAMR0
AH	MSAR1
BH	MAMR1
CH	MSAR2
DH	MAMR2
EH	MSAR3
FH	MAMR3

[5], [6] CGEAR, DFM

アドレス	レジスタ名
00E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	EMCCR2
6H	EMCCR3
7H	EMCCR4
8H	DFMCR0
9H	DFMCR1
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

表 5.2 SFR アドレスマップ

[7] TMRA

アドレス	レジスタ名
0100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

[8] UART/SIO

アドレス	レジスタ名
0200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	SIRCR
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	

[9] DRAMC

アドレス	レジスタ名
0430H	DREFCR
1H	DMEMCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

表 5.3 SFR アドレスマップ

[10] WDT

アドレス	レジスタ名
0300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[11] RTC

アドレス	レジスタ名
0320H	SECR
1H	MINR
2H	HOURR
3H	DAYR
4H	DATER
5H	MONTHR
6H	YEARR
7H	PAGER
8H	RESTR
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[12] MLD

アドレス	レジスタ名
0330H	ALM
1H	MELALMC
2H	MELFL
3H	MELFH
4H	ALMINT
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[13] MMU

アドレス	レジスタ名
0350H	LOCAL0
1H	LOCAL1
2H	LOCAL2
3H	LOCAL3
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[14] LCD コントローラ

アドレス	レジスタ名
0360H	LCDSAL
1H	LCDSAH
2H	LCDSIZE
3H	LCDCTL
4H	LCDFFP
5H	
6H	LCDCTL2
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

表 5.4 SFR アドレスマップ

[15] HVC

アドレス	レジスタ名
0450H	HVREGA0
1H	HVREGA1
2H	HVREGA2
3H	HVREGA3
4H	HVREGA4
5H	HVREGA5
6H	HVREGA6
7H	HVREGA7
8H	HVREGB0
9H	HVREGB1
AH	HVREGB2
BH	HVREGB3
CH	HVREGB4
DH	HVREGB5
EH	HVREGB6
FH	HVREGB7

[15] VLD

アドレス	レジスタ名
0440H	VLDCR0
1H	VLDCR1
2H	VLDCR2
3H	
4H	
5H	HPCTST1
6H	HPCTST2
7H	
8H	
9H	VLDCTL
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

(1) 入出力ポート

記号	名称	アドレス	7	6	5	4	3	2	1	0
P1	Port 1	01H	P17	P16	P15	P14	P13	P12	P11	P10
			R/W							
			外部端子データ (出力ラッチレジスタは “0” にクリアされます。)							
P2	Port 2	06H	P27	P26	P25	P24	P23	P22	P21	P20
			R/W							
			1	1	1	1	1	1	1	1
P5	Port 5	0DH		P56			P53	P52		RDE
				R/W			R/W	R/W		R/W
				外部端子データ (出力ラッチレジスタは “1” にセットされます。)			外部端子データ (出力ラッチレジスタは “1” にセットされます。)			外部端子データ (出力ラッチレジスタは “1” にセットされます。)
P6	Port 6	12H	P67	P66	P65	P64	P63		P61	P60
			R/W	R/W	R/W	R/W	R/W		R/W	R/W
			外部端子データ (出力ラッチレジスタは “1” にセットされます。)						外部端子データ (出力ラッチレジスタは “1” にセットされます。)	
P7	Port 7	13H				P74	P73	P72	P71	P70
						R/W	R/W	R/W	R/W	R/W
						外部端子データ (出力ラッチレジスタは “1” にセットされます。)				
P9	Port 9	19H	P97	P96	P95	P94	P93	P92	P91	P90
			R							
			外部端子データ							
PB	Port B	22H			PB5	PB4	PB3	PB2	PB1	PB0
					R/W	R/W	R/W	R/W	R/W	R/W
					外部端子データ (出力ラッチレジスタは “1” にセットされます。)					
PC	Port C	23H	PC7	PC6	PC5	PC4	PC3			
			R/W	R/W	R/W	R/W	R/W			
			外部端子データ (出力ラッチレジスタは “1” にセットされます。)							
PD	Port D	29H	PD7	PD6		PD4	PD3	PD2	PD1	PD0
			R/W	R/W		R/W	R/W	R/W	R/W	R/W
			外部端子データ (出力ラッチレジスタは “1” にセットされます。)			外部端子データ (出力ラッチレジスタは “1” にセットされます。)				

(2) 入出力ポート制御 (その 1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P1CR	Port 1 control	04H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
			0: 入力 1: 出力							
P2FC	Port 2 function	09H (RMW 禁)	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
			1	1	1	1	1	1	1	1
			0: ポート 1: アドレスバス (A23~A16)							
P5CR	Port 5 control	0AH (RMW 禁)		P56C			P53C	P52C		
				W			W	W		
				0			0	0		
				0: 入力 1: 出力			0: 入力 1: 出力			
P5FC	Port 5 function	0BH (RMW 禁)		P56F			P53F	P52F		
				W			W	W		
				0			0	0		
				0: ポート 1: R/$\overline{W}$			0: ポート 1: $\overline{EXWR}$	0: ポート 1: $\overline{HWR}$		
P5FC2	Port 5 function 2	0CH (RMW 禁)		P56F2				P52F2		
				W				W		
				0				0		
				MSK 論理選択 0: "1" で CLK 1: "0" で CLK				0: <P52F> 1: INT3		
P5UDE	Port 5 register	0EH (RMW 禁)		P56U			P53U	UDEP52	P52UD	
				W			W	W	W	
				1			1	1	0	
				プルアップ抵抗 0: 禁止 1: 許可			プルアップ抵抗 0: 禁止 1: 許可	U/D 抵抗 0: 禁止 1: 許可	抵抗制御 0: プルアップ 1: プルダウン	
P6FC	Port 6 function	15H (RMW 禁)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
			W							
			0	0	0	0	0	0	0	0
			0: ポート 1: $\overline{LCAS}$ または $\overline{REFOUT}$	0: ポート 1: $\overline{UCAS}$ または $\overline{WE}$	0: ポート 1: EA25	0: ポート 1: EA24	0: ポート 1: $\overline{CS3}$ または $\overline{RAS}$	0: $\overline{CS2}$ 1: $\overline{CS2A}$	0: ポート 1: $\overline{CS1}$	0: ポート 1: $\overline{CS0}$
P6CR	Port 6 control	14H (RMW 禁)	P67C	P66C	P65C	P64C	P63C		P61C	P60C
			W						W	
			0	0	0	0	0		0	0
			0: 入力 1: 出力						0: 入力 1: 出力	
P6FC2	Port 6 function 2	1BH (RMW 禁)	P67F2	P66F2	P65F2	P64F2	–	P65F2D		
			W				W	W		
			0	0	0	0	0	0		
			0: <P67F> 1: $\overline{LDS}$	0: <P66F> 1: $\overline{UDS}$	0: <P65F> 1: $\overline{CS2C}$	0: <P64F> 1: $\overline{CS2B}$	"0" をライトしてください。	0: <P65F2> 1: VEECLK		

入出力ポート制御 (その 2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P6UE	Port 6 pull-up control	18H (RMW 禁)	P67U	P66U	P65U	P64U	P63U		P61U	P60U
			W						W	
			0	0	1	1	0		1	1
			プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可		プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可
P6FC3	Port 6 function 3	10H (RMW 禁)			P65F3				–	P60F3
					W				W	W
					0				0	0
					0: 通常 1: LCLK2				"0" をライトしてください。	0: 通常 1: LCLK0
P7CR	Port 7 control	16H (RMW 禁)				P74C	P73C	P72C	P71C	P70C
						W				
						0	0	0	0	0
						0: 入力 : 出力				
P7FC	Port 7 function	17H (RMW 禁)				P74F	P73F	P72F	P71F	P70F
						W				
						0	0	0	0	0
						0: ポート 1: $\overline{NMI}$	0: ポート 1: $\overline{EXRD}$	0: ポート 1: $\overline{CS2E}$	0: ポート 1: $\overline{CS2D}$	0: ポート 1: TA1OUT
P7FC2	Port 7 function 2	1CH (RMW 禁)				P74F2	P73F2		P71F2	P70F2
						W	W		W	W
						0	0		0	0
						0: <P74F> 1: $\overline{WE}$ または $\overline{CAS}$	0: <P73F> 1: $\overline{DRAMOE}$		0: <P71F> 1: OPTTX0	0: <P70F> 1: SCOUT
P7UDE	Port 7 pull up/down control	1FH (RMW 禁)			P72UD	P74U	P73U	UDEP72	P71U	P70U
					W					
					0	1	1	0	0	0
					抵抗制御 0: プルアップ 1: プルダウン	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	抵抗制御 0: なし 1: あり	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可
P9FC	Port 9 function	1DH (RMW 禁)	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
			W							
			0	0	0	0	0	0	0	0
			0: キー入力禁止 1: キー入力許可							
P9UE	Port 9 pull-up control	1EH (RMW 禁)	P97U	P96U	P95U	P94U	P93U	P92U	P91U	P90U
			W							
			1	1	1	1	1	1	1	1
			プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可

入出力ポート制御 (その 3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
PBCR	Port B control	24H (RMW 禁)			PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
					W					
					0	0	0	0	0	0
					0: 入力 1: 出力					
PBFC	Port B function	25H (RMW 禁)			PB5F	PB4F	PB3F			
					W					
					0	0	0			
					0: ポート 1: INT2	0: ポート 1: INT1	0: ポート 1: INT0			
PBUDE	Port B pull up/down control	20H (RMW 禁)	PB5UD	PB4UD	UDEPB5	UDEPB4	PB3U	PB2U	PB1U	PB0U
			W							
			0	0	0	0	1	0	0	0
			抵抗制御 0: プルアップ 1: プルダウン	抵抗制御 0: プルアップ 1: プルダウン	抵抗制御 0: なし 1: あり	抵抗制御 0: なし 1: あり	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可
PCCR	Port C control	26H (RMW 禁)	PC7C	PC6C	PC5C	PC4C	PC3C			
			W							
			1	1	0	0	0			
			0: 入力 1: 出力							
PCFC	Port C function	27H (RMW 禁)			PC5F		PC3F			
					W		W			
					0		0			
					0: ポート 1: SCLK1		0: ポート 1: TXD1			
PCUDOE	Port C open drain	28H (RMW 禁)			ODEPC3	PC5UD	PC4UD	UDEPC5	UDEPC4	PC3U
					W					
					0	0	0	0	0	0
					0: 3 ステート 1: オープンドレイン	抵抗制御 0: プルアップ 1: プルダウン	抵抗制御 0: プルアップ 1: プルダウン	抵抗制御 0: なし 1: あり	抵抗制御 0: なし 1: あり	プルアップ抵抗 0: 禁止 1: 許可
PDFC	Port D function	2AH (RMW 禁)	PD7F	PD6F		PD4F	PD3F	PD2F	PD1F	PD0F
			W	W		W	W	W	W	W
			0	0		0	0	0	0	0
			0: ポート 1:MLDALM	0: ポート 1: $\overline{\text{ALARM}}$ @<PD6> = 1, $\overline{\text{MLDALM}}$ @ <PD6> = 0		0: ポート 1: DOFFB	0: ポート 1:DLEBCD	0: ポート 1:D3BFR	0: ポート 1: D2BLP	0: ポート 1:D1BSCP
PDCR	Port D control	2BH (RMW 禁)	PD7C	PD6C		PD4C	PD3C	PD2C	PD1C	PD0C
			W	W		W	W	W	W	W
			0	0		0	0	0	0	0
			0: 入力	1: 出力		0: 入力 1: 出力				
PDUDE	Port D pull up/down control	2CH (RMW 禁)	PD7U	PD6U	–	PD4D	PD3U	PD2U	PD1U	PD0U
			W							
			0	0	0	1	1	1	1	1
			プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	"0" をライトしてください。	プルダウン抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可	プルアップ抵抗 0: 禁止 1: 許可

(3) 割り込み制御 (その 1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0	Interrupt enable 0	90H					INT0			
							I0C	I0M2	I0M1	I0M0
							R	R/W		
							0	0	0	0
							1: INT0	割り込み要求レベル		
INTE12	Interrupt enable INT2/1	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT2	割り込み要求レベル			1: INT1	割り込み要求レベル		
INTE3ALM4	Interrupt enable INT3 & ALM4	92H	INTALM4				INT3			
			IA4C	IA4M2	IA4M1	IA4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTALM4	割り込み要求レベル			1: INT3	割り込み要求レベル		
INTEALM01	Interrupt enable ALM1/0	93H	INTALM1				INTALM0			
			IA1C	IA1M2	IA1M1	IA1M0	IA0C	IA0M2	IA0M1	IA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTALM1	割り込み要求レベル			1:INTALM0	割り込み要求レベル		
INTEALM23	Interrupt enable ALM3/2	94H	INTALM3				INTALM2			
			IA3C	IA3M2	IA3M1	IA3M0	IA2C	IA2M2	IA2M1	IA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTALM3	割り込み要求レベル			1:INTALM2	割り込み要求レベル		
INTETA01	Interrupt enable timer A 1/0	95H	INTTA1(TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA1	割り込み要求レベル			1: INTTA0	割り込み要求レベル		
INTETA23	Interrupt enable timer A 3/2	96H	INTTA3 (TMRA5)				INTTA2 (TMRA4)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA3	割り込み要求レベル			1: INTTA2	割り込み要求レベル		
INTERTCKEY	Interrupt enable RTC & KEY	97H	INTKEY				INTRTC			
			IKC	IKM2	IKM1	IKM0	IRC	IRM2	IRM1	IRM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTKEY	割り込み要求レベル			1: INTRTC	割り込み要求レベル		

割り込み制御 (その 2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTES0	Interrupt enable serial 0	98H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX0	割り込み要求レベル			1: INTRX0	割り込み要求レベル		
INTES1	Interrupt enable serial 1	99H	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTX1	割り込み要求レベル			1:INTRX1	割り込み要求レベル		
INTELCD	Interrupt enable LCD	9AH	INTLCD							
			ILCD1C	ILCDM2	ILCDM1	ILCDM0				
			R	R/W						
			0	0	0	0				
			1:INTLCD	割り込み要求レベル						
INTETC01	Interrupt enable TC0/1	9BH	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	Interrupt enable TC2/3	9CH	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEP01	Interrupt enable PC0/1	9DH	INTP1				INTP0			
			IP1C	IP1M2	IP1M1	IP1M0	IP0C	IP0M2	IP0M1	IP0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

割り込み制御 (その 3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA 0 request vector	80H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA 1 request vector	81H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA 2 request vector	82H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA 3 request vector	83H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
INTCLR	Interrupt clear control	88H (RMW 禁)			CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
					W					
					0	0	0	0	0	0
					DMA 起動ベクタの書き込みにより、割り込み要求クリア					
DMAR	DMA software request register	89H					DMAR3	DMAR2	DMAR1	DMAR0
							R/W	R/W	R/W	R/W
							0	0	0	0
							1: DMA のソフト要求			
DMAB	DMA burst request register	8AH					DMAB3	DMAB2	DMAB1	DMAB0
							R/W	R/W	R/W	R/W
							0	0	0	0
							1 : DMA のバースト要求			
IIMC	Interrupt input mode control	8CH (RMW 禁)	–	–	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	NMIREE
			W	W	W	W	W	W	W	W
			0	0	0	0	0	0	0	0
			“0” をライトしてください。	“0” をライトしてください。	INT3 エッジ 0: 立ち上がり 1: 立ち下がり	INT2 エッジ 0: 立ち上がり 1: 立ち下がり	INT1 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0:エッジ 1:レベル	1: NMI 立ち上がりでも動作

(4) チップセレクト/ウェイトコントローラ (その 1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
B0CS	Block 0 CS/WAIT control register	C0H (RMW 禁)	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
			W		W	W	W	W	W	W
			0		0	0	0	0	0	0
			0:禁止 1:許可		00: ROM/SRAM 01: 10: } Reserved 11:		データバス幅選択 0:16 ビット 1:8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1＋N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B1CS	Block 1 CS/WAIT control register	C1H (RMW 禁)	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
			W		W	W	W	W	W	W
			0		0	0	0	0	0	0
			0:禁止 1:許可		00: ROM/SRAM 01: 10: } Reserved 11:		データバス幅選択 0:16 ビット 1:8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1＋N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B2CS	Block 2 CS/WAIT control register	C2H (RMW 禁)	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
			W	W	W	W	W	W	W	W
			1	0	0	0	0	0	0	0
			0:禁止 1:許可	0:16 M バイト空間 1:エリア設定	00: ROM/SRAM 01: 10: } Reserved 11:		データバス幅選択 0:16 ビット 1:8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1＋N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B3CS	Block 3 CS/WAIT control register	C3H (RMW 禁)	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
			W		W	W	W	W	W	W
			0		0	0	0	0	0	0
			0:禁止 1:許可		00: ROM/SRAM 01: Reserved 10: DRAMC 対応 11: Reserved		データバス幅選択 0:16 ビット 1:8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1＋N)ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
BEXCS	External CS/WAIT control register	C7H (RMW 禁)					BEXBUS	BEXW2	BEXW1	BEXW0
							W	W	W	W
							0	0	0	0
							データバス幅選択 0:16 ビット 1:8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1＋N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
MSAR0	Memory start address register 0	C8H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR0	Memory address mask register 0	C9H	V20	V19	V18	V17	V16	V15	V14~V9	V8
			R/W							
			1	1	1	1	1	1	1	1
			CS0 空間サイズ設定　0: アドレス比較対照							
MSAR1	Memory start address register 1	CAH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR1	Memory address mask register 1	CBH	V21	V20	V19	V18	V17	V16	V15~V9	V8
			R/W							
			1	1	1	1	1	1	1	
			CS1 空間サイズ設定　0: アドレス比較対照							

チップセレクト/ウェイトコントローラ (その 2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
MSAR2	Memory start address register 2	CCH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR2	Memory address mask register 2	CDH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS2 空間サイズ設定　0: アドレス比較対照							
MSAR3	Memory start address register 3	CEH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR3	Memory address mask register 3	CFH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS3 空間サイズ設定　0: アドレス比較対照							

(5) クロック制御(その 1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SYSCR0	System clock control register 0	E0H	XEN	XTEN	RXEN	RXTEN	RSYSCK	WUEF	PRCK1	PRCK0
			R/W							
			1	1	1	0	0	0	0	0
			高速 発振器 0: 停止 1: 発振	低速 発振器 0: 停止 1: 発振	STOP モード解除後の高速発振器 0: 停止 1: 発振	STOP モード解除後の低速発振器 0: 停止 1: 発振	STOP モード解除後のクロック 0: 高速 (fc) 1: 低速 (fs)	ウォームアップ 0 ライト: Don't care 1 ライト: スタート 0 リード: WUP 終了 1 リード: WUP 中	プリスケーラクロック選択 00: f_{FPH} 01: Reserved 10: fc/16 11: Reserved	
SYSCR1	System clock control register 1	E1H					SYSCK	GEAR2	GEAR1	GEAR0
							R/W			
							0	1	0	0
							クロック選択 0: 高速 (fc) 1: 低速 (fs)	高速クロックのギア選択 000: 高速クロック 001: 高速クロック /2 010: 高速クロック /4 011: 高速クロック /8 100: 高速クロック /16 その他 : Reserved		
SYSCR2	System clock control register 2	E2H (RMW 禁)		SCOSEL	WUPTM1	WUPTM0	HALTM1	HALTM0	SELDRV	DRVE
				R/W	R/W	R/W	R/W	R/W	R/W	R/W
				0	1	0	1	1	0	0
				0: fs 1: f_{FPH}	発振器用 WUP 時間選択 00: Reserved 01: 2^8/入力周波数 10: 2^{14}/入力周波数 11: 2^{16}/入力周波数		00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		<DRVE> モード選択 0: STOP 1: IDLE1	1:STOP/IDLE1 中も端子をドライブ。

クロック制御 (その 2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
EMCCR0	EMC control register 0	E3H	PROTECT	–	–	–	–	EXTIN	DRVOSCH	DRVOSCL
			R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	1	0	0	0	1	1
			プロテクトフラグ 0: OFF 1: ON	"0" をライトしてください。	"1" をライトしてください。	"0" をライトしてください。	"0" をライトしてください。	1: fc 外部クロック	fc 発振器ドライブ能力 1: 通常 0: 弱	fs 発振器ドライブ能力 1: 通常 0: 弱
EMCCR1	EMC control register 1	E4H	下記 1st-KEY, 2nd-KEY の動作実施によりプロテクト ON/OFF。 1st-KEY: EMCCR1 = 5AH,EMCCR2 = A5H を連続ライト。 2nd-KEY: EMCCR1 = A5H,EMCCR2 = 5AH を連続ライト。							
EMCCR2	EMC control register 2	E5H								
EMCCR3	EMC control register 3	E6H		ENFROM	ENDROM	ENPROM		FFLAG	DFLAG	PFLAG
				R/W	R/W	R/W		R/W	R/W	R/W
				0	0	0		0	0	0
				CS1A エリア検出許可 0: 禁止 1: 許可	CS2B~CS2G エリア検出許可 0: 禁止 1: 許可	CS2A エリア検出許可 0: 禁止 1: 許可		CS1A ライト動作フラグ	CS2B~CS2G ライト動作フラグ	CS2A ライト動作フラグ
								リード時 0: ライトなし 1: ライトあり	ライト時 0: フラグクリア	
EMCCR4	EMC control register 4	E7H							TA3MLDE3	TA3LCDE
									R/W	R/W
									0	0
									MLD 回路クロック切り替え 0: 32 kHz 1: タイマ 3	LCD 回路クロック切り替え 0: 32 kHz 1: タイマ 3

注) EMCCR1/2
プロテクト ON 設定により、下記に示す特定の SFR へのライト動作ができなくなります。
(ライト動作ができなくなる SFR)

1. CS/WAIT コントローラ
   B0CS, B1CS, B2CS, B3CS, BEXCS,
   MSAR0/1/2/3, MAMR0/1/2/3
2. MMU
   LOCAL0/1/2/3
3. クロックギア (EMCCR1, EMCCR2 のみはライト可能です。)
   SYSCR0, SYSCR1, SYSCR2, EMCCR0, EMCCR3
4. DFM
   DFMCR0, DRMCR1
5. PORT
   P2FC, P5CR, P5FC, P5FC2, P6CR, P6FC, P6FC2
   P7CR, P7FC, P7FC2, PDCR, PDFC
6. DRAMC
   DMEMCR, DREFCR

(6) DFM 制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
DFMCR0	DFM control register 0	E8H	ACT1	ACT0	DLUPFG	DLUPTM				
			R/W	R/W	R	R/W				
			0	0	0	0				
			DFM / LUP / f_{FPH} 選択		ロックアップ (LUP)フラグ 0: LUP 終了 1: LUP 中	ロックアップ時間選択 0: $2^{12}/f_{OSCH}$ 1: $2^{10}/f_{OSCH}$				
			00: Stop / Stop / f_{OSCH}							
			01: Run / Run / f_{OSCH}							
			10: Run / Stop / f_{DFM}							
			11: Run / Stop / f_{OSCH}							
DFMCR1	DFM control register 1	E9H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
			0	0	0	1	0	0	1	1
			DFM 補正 入力周波数 4~6.75 MHz (@ 2.7 V~3.6 V) では 0BH をライトしてください。 入力周波数 2~2.5 MHz (@ 2 V ± 10%) では 1BH をライトしてください。							

(7) 8 ビットタイマ制御

(7-1) TMRA01

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA01RUN	Timer RUN	100H	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
			R/W				R/W	R/W	R/W	R/W
			0				0	0	0	0
			ダブルバッファ 0:禁止 1:許可				IDLE2 0: 停止 1: 動作	8ビットタイマ動作/停止制御 0: 停止&クリア 1: 動作 (カウントアップ)		
TA0REG	8-bit timer register 0	102H (RMW 禁)	–							
			W							
			不定							
TA1REG	8-bit timer register 1	103H (RMW 禁)	–							
			W							
			不定							
TA01MOD	8-bit timer source CLK & mode	104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		00: Reserved 01: 2^6 10: 2^7 11: 2^8 } PWM 周期		00: TA0TRG 01: ϕT1 10: ϕT16 11: ϕT256		00: Reserved 01: ϕT1 10: ϕT4 11: ϕT16	
TA1FFCR	8-bit timer flip-flop control	105H (RMW 禁)					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
							R/W		R/W	
							1	1	0	0
							00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		1:TA1FF 反転許可	0:TMRA0 1:TMRA1 による 反転

(7-2) TMRA23

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA23RUN	Timer RUN	108H	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
			R/W				R/W	R/W	R/W	R/W
			0				0	0	0	0
			ダブルバッファ 0:禁止 1:許可				IDLE2 0: 停止 1: 動作	8ビットタイマ動作/停止制御 0: 停止&クリア 1: 動作 (カウントアップ)		
TA2REG	8-bit timer register 0	10AH (RMW 禁)	–							
			W							
			不定							
TA3REG	8-bit timer register 1	10BH (RMW 禁)	–							
			W							
			不定							
TA23MOD	8-bit timer source CLK & mode	10CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		00: Reserved 01: 2^6 10: 2^7 11: 2^8 } PWM 周期		00: TA2TRG 01: ϕT1 10: ϕT16 11: ϕT256		00: Reserved 01: ϕT1 10: ϕT4 11: ϕT16	
TA3FFCR	8-bit timer flip-flop control	10DH (RMW 禁)					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
							R/W		R/W	
							1	1	0	0
							00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		1:TA3FF 反転許可	0:TMRA2 1:TMRA3 による反転

(8) UART/シリアルチャネル (その 1)

(8-1) UART/SIO チャネル 0

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC0BUF	Serial channel 0 buffer	200H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R (受信)/W (送信)							
			不定							
SC0CR	Serial channel 0 control	201H	RB8	EVEN	PE	OERR	PERR	FERR		
			R	R/W		R (読み出しで “0” にクリア)				
			不定	0	0	0	0	0		
			受信データビット 8	パリティ 0: 奇数 1: 偶数	1: パリティ許可	1: エラー オーバラン	パリティ	フレーム		
SC0MOD0	Serial channel 0 mode0	202H	TB8	–	RXE	–	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	“0” をライトしてください。	1: 受信イネーブル	“0” をライトしてください。	00: I/O インタフェース 01: 7 ビット長 UART 10: 8 ビット長 UART 11: 9 ビット長 UART		00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f_{SYS} 11: IrDA クロック	
BR0CR	Baud rate control	203H	–	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
			R/W							
			0	0	0		0	0	0	0
			“0” をライトしてください。	1: (16-K)/16 分周イネーブル	00: φT0 01: φT2 10: φT8 11: φT32		分周値設定 0~F			
BR0ADD	Serial channel 0 k setting register	204H					BR0K3	BR0K2	BR0K1	BR0K0
							R/W			
							0	0	0	0
							ボーレート 0K 値設定 (1~F)			
SC0MOD1	Serial channel 0 mode1	205H	I2S0	FDPX0						
			R/W	R/W						
			0	0						
			IDLE2 0: 停止 1: 動作	同期式 1: 全二重 0: 半二重						

(8-2) IrDA 対応

記号	名称	アドレス	7	6	5	4	3	2	1	0
SIRCR	IrDA control register	207H	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
			R/W	R/W	R/W	R/W	R/W			
			0	0	0	0	0	0	0	0
			送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0: “H” パルス 1: “L” パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRxD の有効パルス幅の設定 “2x × (設定値 + 1)” 以上のパルス幅を有効とする 設定可: 1~14 設定不可: 0, 15			

UART/シリアルチャネル (その 2)

(8-3) UART/SIO チャネル 1

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC1BUF	Serial channel 1 buffer	208H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R (受信)/W (送信)							
			不定							
SC1CR	Serial channel 1 control	209H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出しで “0” にクリア)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	1: パリティ許可	1: エラー オーバラン	パリティ	フレーム	0: SCLK1↑ 1: SCLK1↓	0:ボーレートジェネレータ 1:CLK1 端子入力
SC1MOD0	Serial channel 1 mode	20AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	1: CTS 許可	1: 受信許可	1: ウェイクアップイネーブル	00: I/O インタフェース 01: 7 ビット長 UART 10: 8 ビット長 UART 11: 9 ビット長 UART		00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f_{SYS} 11: 外部クロック SCLK1	
BR1CR	Baud rate control	20BH	–	BR1ADDE	BR1CK1	BR1CKO	BR1S3	BR1S2	BR1S1	BR1S0
			R/W							
			0	0	0	0	0	0	0	0
			“0” をライトしてください。	1: (16 – K)/16 分周イネーブル	00: φT0 01: φT2 10: φT8 11: φT32		分周値設定 0~F			
BR1ADD	Serial channel 1 k setting register	20CH					BR1K3	BR1K2	BR1K1	BR1K0
							R/W			
							0	0	0	0
							ボーレート 1K 値設定 (1~F)			
SC1MOD1	Serial channel 1 mode 1	20DH	I2S1	FDPX1						
			R/W	R/W						
			0	0						
			IDLE2 0: 停止 1: 動作	同期式 1: 全二重 0: 半二重						

(9) DRAM 制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
DREFCR	DRAM function control	430H	DMI	RS2	RS1	RS0	RW2	RW1	RW0	RC
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			ダミーサイクル 0 : 禁止 1 : 実行	リフレッシュサイクル挿入間隔 000: 31 ステート 001: 110 ステート 010: 220 ステート 011: 450 ステート 100: 900 ステート 101: 1200 ステート 110: 1800 ステート 111: 2700 ステート			リフレッシュサイクル幅 000: 2 ステート 001: 3 ステート 010: 4 ステート 011: 5 ステート 100: 6 ステート 101: 7 ステート 110: 8 ステート 111: 9 ステート			リフレッシュサイクル 0: 挿入しない 1: 挿入する
DMEMCR	DRAM memory control	431H (RMW 禁)	SRFC	–	–	MACM	MUXE	MUXW1	MUXW0	MAC
			W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			1	0	0	0	0	0	0	0
			セルフリフレッシュ 0: 実行 1: 解除	“0” をライトしてください。	“0” をライトしてください。	メモリアクセス制御 0: ノーマル 1: スロー	アドレスマルチプレクス 0: 禁止 1: 許可	マルチプレクスアドレス長 00: 8 ビット 01: 9 ビット 10: 10 ビット 11: 11 ビット		メモリアクセス制御 0: 禁止 1: 許可

(10) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
WDMOD	WDT mode register	300H	WDTE	WDTP1	WDTP0			I2WDT	RESCR	ー
			R/W	R/W	R/W			R/W	R/W	R/W
			1	0	0			0	0	0
			1: WDT 許可	00: $2^{15}/f_{SYS}$, 10: $2^{19}/f_{SYS}$ 01: $2^{17}/f_{SYS}$, 11: $2^{21}/f_{SYS}$				IDLE2 0: 停止 1: 動作	1: RESET 端子へ内部接続	“0” をライトしてください。
WDCR	WD control	301H (RMW 禁)	–							
			W							
			–							
			B1H: WDT 禁止　4EH: WDT クリア							

(11) RTC

記号	名称	アドレス	7	6	5	4	3	2	1	0
SECR	Second register	320H		SE6	SE5	SE4	SE3	SE2	SE1	SE0
				R/W						
				不定						
			“0” がリードされます。	40 秒桁	20 秒桁	10 秒桁	8 秒桁	4 秒桁	2 秒桁	1 秒桁
MINR	Minute register	321H		MI6	MI5	MI4	MI3	MI2	MI1	MI0
				R/W						
				不定						
			“0” がリードされます。	40 分桁	20 分桁	10 分桁	8 分桁	4 分桁	2 分桁	1 分桁
HOURR	Hour register	322H			HO5	HO4	HO3	HO2	HO1	HO0
					R/W					
					不定					
			“0” がリードされます。		20 時桁/ (PM/AM)	10 時桁	8 時桁	4 時桁	2 時桁	1 時桁
DAYR	Day register	323H						WE2	WE1	WE0
								R/W		
								不定		
			“0” がリードされます。					W2	W1	W0
DATER	Date register	324H			DA5	DA4	DA3	DA2	DA1	DA0
					R/W					
					不定					
			“0” がリードされます。		20 日桁	10 日桁	8 日桁	4 日桁	2 日桁	1 日桁
MONTHR	Month register	325H				MO4	MO3	MO2	MO1	MO0
						R/W				
						不定				
		PAGE 0	“0” がリードされます。			10 月桁	8 月桁	4 月桁	2 月桁	1 月桁
		PAGE 1	“0” がリードされます。							0: 12 時間計 1: 24 時間計
YEARR	Year register	326H	YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
			R/W							
			不定							
		PAGE 0	80 年桁	40 年桁	20 年桁	10 年桁	8 年桁	4 年桁	2 年桁	1 年桁
		PAGE 1	“0” がリードされます。						うるう年設定	
PAGER	Page register	327H (RMW 禁)				Adjust	ENATMR	ENAALM		PAGE
						W	R/W			R/W
						不定	不定			不定
			“0” がリードされます。			補正	タイマ イネーブル	アラーム イネーブル	“0” がリードされます。	ページ 設定
RESTR	Reset register	328H (RMW 禁)	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	RE3	RE2	RE1	RE0
			W							
			不定							
			0: 1 Hz	0: 16 Hz	1: タイマ リセット	1: アラーム リセット	“0” をライトしてください。			

(12) メロディ/アラームジェネレータ

記号	名称	アドレス	7	6	5	4	3	2	1	0
ALM	Alarm-pattern register	330H	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1
			R/W							
			0	0	0	0	0	0	0	0
			アラームパターン設定							
MELALMC	Melody/ alarm control register	331H	FC1	FC0	ALMINV	–	–	–	–	MELALM
			R/W		R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			フリーランカウンタ制御 00: 保持 01: 再スタート 10: クリア 11: クリア&スタート		アラーム波形反転 1: 反転	“0” をライトしてください。				出力波形選択 0: アラーム 1: メロディ
MELFL	Melody frequency register-L	332H	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
			R/W							
			0	0	0	0	0	0	0	0
			メロディ周波数設定 (下位 8 ビット)							
MELFH	Melody frequency register-H	333H	MELON				ML11	ML10	ML9	ML8
			R/W				R/W			
			0				0	0	0	0
			メロディカウンタ制御 0: 停止&クリア 1: スタート				メロディ周波数設定 (上位 4 ビット)			
ALMINT	Alarm interrupt enable register	334H			–	IALM4E	IALM3E	IALM2E	IALM1E	IALM0E
					R/W	R/W				
					0	0	0	0	0	0
					“0” をライトしてください。	INTALM4~INTALM0 割り込み出力許可				

(13) MMU

記号	名称	アドレス	7	6	5	4	3	2	1	0
LOCAL 0	LOCAL 0 control register	350H	L0E					L0EA22	L0EA21	L0EA20
			R/W					R/W		
			0					0	0	0
			0: 禁止 1: 許可					LOCAL0 エリア BANK 設定		
LOCAL 1	LOCAL 1 control register	351H	L1E					L1EA23	L1EA22	L1EA21
			R/W					R/W		
			0					0	0	0
			0: 禁止 1: 許可					LOCAL1 エリア BANK 設定		
LOCAL 2	LOCAL 2 control register	352H	L2E					L2EA23	L2EA22	L2EA21
			R/W					R/W		
			0					0	0	0
			0: 禁止 1: 許可					LOCAL2 エリア BANK 設定		
LOCAL 3	LOCAL 3 control register	353H	L3E			L3EA26	L3EA25	L3EA24	L3EA23	L3EA22
			R/W			R/W				
			0			0	0	0	0	0
			0: 禁止 1: 許可			LOCAL3 エリア BANK 設定				

(14) LCD コントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0
LCDSAL	LCD start address register-L	360H	SAL15	SAL14	SAL13	SAL12		–	–	MODE
			R/W					R/W		
			0	0	0	0		0	0	0
			SR モードのスタートアドレス A15~A12					“0” をライトしてください。	“0” をライトしてください。	モード 0: RAM 1: SR
LCDSAH	LCD start address register-H	361H	SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16
			R/W							
			0	0	0	0	0	0	0	0
			SR モードのスタートアドレス A23~A16							
LCDSIZE	LCD size register	362H	COM3	COM2	COM1	COM0	SEG3	SEG2	SEG1	SEG0
			R/W							
			0	0	0	0	0	0	0	0
			SR モードの LCD コモン数設定 0000: 64, 0101: 128 0001: 68, 0110: 144 0010: 80, 0111: 160 0011: 100, 1000: 200 0100: 120, 1001: 240 その他: Reserved				SR モードの LCD セグメント数設定 0000: 32, 0101: 160 0001: 64, 0110: 240 0010: 80, 0111: 320 0011: 120, 1000: 360 0100: 128, その他: Reserved			
LCDCTL	LCD control register	363H	LCDON	–	–	BUS1	BUS0	MMULCD	FP8	START
			R/W							
			0	0	0	0	0	0	0	0
			$\overline{\text{DOFF}}$ 端子 0: OFF 1: ON	“0” をライトしてください。	“0” をライトしてください。	SR モードのデータバス幅選択 00: バイト 01: ニブル 10: ビット		直 RAM タイプ設定 0: OFF 1: ON	f_{FP} 設定値ビット 8	SR モードのスタート 1: スタート
LCDFFP	LCD FRAME frequency register	364H	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
			R/W							
			0	0	0	0	0	0	0	0
			f_{FP} 設定値 Bit7~0							
LCDCTL2	LCD control register 2	366H	–	–	–			RAMBUS	AC1	AC2
			R/W	R/W	R/W			R/W	R/W	R/W
			0	0	0			0	0	0
			“111” をライトしてください。					0: バイト 1: ワード	00: タイプ A 01: タイプ B 10: タイプ C 11: Reserved	

(15) HVC (その 1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
HVREGA0	H/V converter register A0	450H	HVRA07	HVRA06	HVRA05	HVRA04	HVRA03	HVRA02	HVRA01	HVRA00
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGA1	H/V converter register A1	451H	HVRA17	HVRA16	HVRA15	HVRA14	HVRA13	HVRA12	HVRA11	HVRA10
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGA2	H/V converter register A2	452H	HVRA27	HVRA26	HVRA25	HVRA24	HVRA23	HVRA22	HVRA21	HVRA20
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGA3	H/V converter register A3	453H	HVRA37	HVRA36	HVRA35	HVRA34	HVRA33	HVRA32	HVRA31	HVRA30
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGA4	H/V converter register A4	454H	HVRA47	HVRA46	HVRA45	HVRA44	HVRA43	HVRA42	HVRA41	HVRA40
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGA5	H/V converter register A5	455H	HVRA57	HVRA56	HVRA55	HVRA54	HVRA53	HVRA52	HVRA51	HVRA50
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGA6	H/V converter register A6	456H	HVRA67	HVRA66	HVRA65	HVRA64	HVRA63	HVRA62	HVRA61	HVRA60
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGA7	H/V converter register A7	457H	HVRA77	HVRA76	HVRA75	HVRA74	HVRA73	HVRA72	HVRA71	HVRA70
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							

HVC (その 2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
HVREGB0	H/V converter register B0	458H	HVRB07	HVRB06	HVRB05	HVRB04	HVRB03	HVRB02	HVRB01	HVRB00
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGB1	H/V converter register B1	459H	HVRB17	HVRB16	HVRB15	HVRB14	HVRB13	HVRB12	HVRB11	HVRB10
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGB2	H/V converter register B2	45AH	HVRB27	HVRB26	HVRB25	HVRB24	HVRB23	HVRB22	HVRB21	HVRB20
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGB3	H/V converter register B3	45BH	HVRB37	HVRB36	HVRB35	HVRB34	HVRB33	HVRB32	HVRB31	HVRB30
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGB4	H/V converter register B4	45CH	HVRB47	HVRB46	HVRB45	HVRB44	HVRB43	HVRB42	HVRB41	HVRB40
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGB5	H/V converter register B5	45DH	HVRB57	HVRB56	HVRB55	HVRB54	HVRB53	HVRB52	HVRB51	HVRB50
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGB6	H/V converter register B6	45EH	HVRB67	HVRB66	HVRB65	HVRB64	HVRB63	HVRB62	HVRB61	HVRB60
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							
HVREGB7	H/V converter register B7	45FH	HVRB77	HVRB76	HVRB75	HVRB74	HVRB73	HVRB72	HVRB71	HVRB70
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			H/V 変換データ格納							

(16) VLD

記号	名称	アドレス	7	6	5	4	3	2	1	0
VLDCR0	VLD mode control register 0	440H (RMW 禁)	V0EN	LHSEL	INT0EN	VLD0IN	V03	V02	V01	V00
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			電圧比較開始フラグ 0: 回路 OFF 1: 回路 ON	検知レベル選択フラグ 0: 1.5 V 以上 1: 1.4 V 以下	割り込み許可フラグ 0: 割り込み OFF 1: 割り込み ON	検知電圧比較結果リードクリアライト 0: 電圧正常 1: 電圧低下	電圧検知レベルの設定レジスタ 00H~0BH の 12 段階 (LHSEL = 0) + 6 段階 (LHSEL = 1) の合計 18 段階の設定が可能			
VLDCR1	VLD mode control register 1	441H (RMW 禁)	V1EN	–	INT1EN	VLD1IN	–	V12	V11	V10
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			電圧比較開始フラグ 0: 回路 OFF 1: 回路 ON	“0” をライトしてください。	割り込み許可フラグ 0: 割り込み OFF 1: 割り込み ON	検知電圧比較結果リードクリアライト 0: 電圧正常 1: 電圧低下	“0” をライトしてください。	電圧検知レベルの設定レジスタ 00H~04H の 5 段階の設定が可能		
VLDCR2	VLD mode control register 2	442H (RMW 禁)	V2EN	–	INT2EN	VLD2IN	–	–	V21	V20
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			電圧比較開始フラグ 0: 回路 OFF 1: 回路 ON	“0” をライトしてください。	割り込み許可フラグ 0: 割り込み OFF 1: 割り込み ON	検知電圧比較結果リードクリアライト 0: 電圧正常 1: 電圧低下	“0” をライトしてください。	“0” をライトしてください。	電圧検知レベルの設定レジスタ 00H~02H の 3 段階の設定が可能	
VLDCTL	VLD control register	449H					XT1SEL	VLD2USE	VLD1USE	VLD0USE
							R/W	R/W	R/W	R/W
							0	0	0	0
							0: Vcc 駆動 1: Vref 駆動	0: VLD 未使用 1: VLD 使用	0: VLD 未使用 1: VLD 使用	0: VLD 未使用 1: VLD 使用
HPCTST1	HPLT function register 1	445H		–	TIM21	TIM20	TIM11	TIM10	TIM01	TIM00
				R/W	R/W	R/W	R/W	R/W	R/W	R/W
				0	0	0	0	0	0	0
				“0” をライトしてください。	VLD2 (マイコン電池) サンプリング時間		VLD0 (バックアップ電池) サンプリング時間		VLD0 (メイン電池) サンプリング時間	
HPCTST2	HPLT function register 2	446H	–	–	SAM_2	SAM_1	SAM_0	–	–	–
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			“0” をライトしてください。	“0” をライトしてください。	VLD2 0: 連続動作 1: 間欠動作	VLD1 0: 連続動作 1: 間欠動作	VLD0 0: 連続動作 1: 間欠動作	“0” をライトしてください。	“0” をライトしてください。	“0” をライトしてください。

6. 使用上の注意、制限事項

(1) 特別な表記, 言葉の説明

a. 内蔵 I/O レジスタの説明: レジスタシンボル <ビットシンボル>

例: TRUN<T0RUN> ... レジスタ TRUN のビット T0RUN

b. リードモディファイライト命令

CPU が、1 つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリアドレスにデータをライトする命令。

例 1: SET 3, (TRUN) ... TRUN レジスタのビット 3 をセットする。

例 2: INC 1, (100H) ... アドレス 100H のデータを+1 する。

- TLCS-900 におけるリードモディファイライト命令

交換命令

EX	(mem), R

算術演算

ADD	(mem), R/#	ADC	(mem), R/#
SUB	(mem), R/#	SBC	(mem), R/#
INC	#3, (mem)	DEC	#3, (mem)

論理演算

AND	(mem), R/#	OR	(mem), R/#
XOR	(mem), R/#		

ビット操作

STCF	#3/A, (mem)	RES	#3, (mem)
SET	#3, (mem)	CHG	#3, (mem)
TSET	#3, (mem)		

ローテート、シフト

RLC	(mem)	RRC	(mem)
RL	(mem)	RR	(mem)
SLA	(mem)	SRA	(mem)
SLL	(mem)	SRL	(mem)
RLD	(mem)	RRD	(mem)

c. fc, fs, f_{FPH}, f_{SYS}, 1 ステート

X1/X2 端子より入力されるクロック周波数を f_{OSCH}、DFMCR0<ACT1:0> で選択されたクロックを fc、XT1/XT2 端子より入力されるクロック周波数を fs、SYSCR1<SYSCK> で選択されたクロックを f_{FPH}、f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と呼びます。また、この f_{SYS} の 1 周期を 1 ステートと呼びます。

(2) 使用上の注意、制限事項

a. AM0~AM1 端子

本端子は DVcc 端子に接続し、動作中にレベル変動のないようにしてください。

b. EMU0~EMU1 端子

EMU0~EMU1 端子は “開放” して使用してください。

c. アドレス空間の予約領域

本製品では、予約領域はありません。

d. スタンバイモード (IDLE1)

IDLE1 モード (発振器のみ動作) に設定し、HALT 命令を実行した場合、内蔵の時計用タイマは動作イネーブル状態ですので、必要に応じて時計用タイマの制御レジスタ RTCCR<RTCRUN> を “0” にして止めてください。

e. ウォームアップカウンタ

外部発振器を用いるシステムで STOP モードの解除を割り込みなどで行う際には、ウォームアップカウンタが動作するためシステムクロックが出力されるまでウォームアップ時間を要します。

f. プログラマブルプルアップ/プルダウン抵抗

このプルアップ/プルダウン抵抗は、ポートを入力ポートとして使用するときのみプログラマブルに付加/付加なしを選択できます。出力ポートとして使用するときは、プログラマブルに選択することはできません。

付加/付加なしの選択は該当ポートのデータレジスタ (例: P5 レジスタ) で制御しますが、その際にはリードモディファイライト命令は使用できませんので転送命令を使用してください。

g. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは、動作イネーブル状態となっているためウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

バス解放機能を使用した場合、開放要求中もウォッチドッグタイマなどの I/O ブロックは動作していますので注意が必要です。

h. CPU (マイクロ DMA)

CPU 内にある転送元レジスタ (DMASn) などのコントロールレジスタへのデータ書き込み, 読み出しは、“LDC cr, r”, “LDC r, cr” 命令のみでしか行えません。

i. 未定義の内蔵 I/O レジスタの扱い

定義されていない内蔵 I/O レジスタのビットは、リードを行うと不定値が出力されます。そのため、プログラムを作成するときは、このビット状態に依存しないものにしてください。

j. 「POP SR」命令

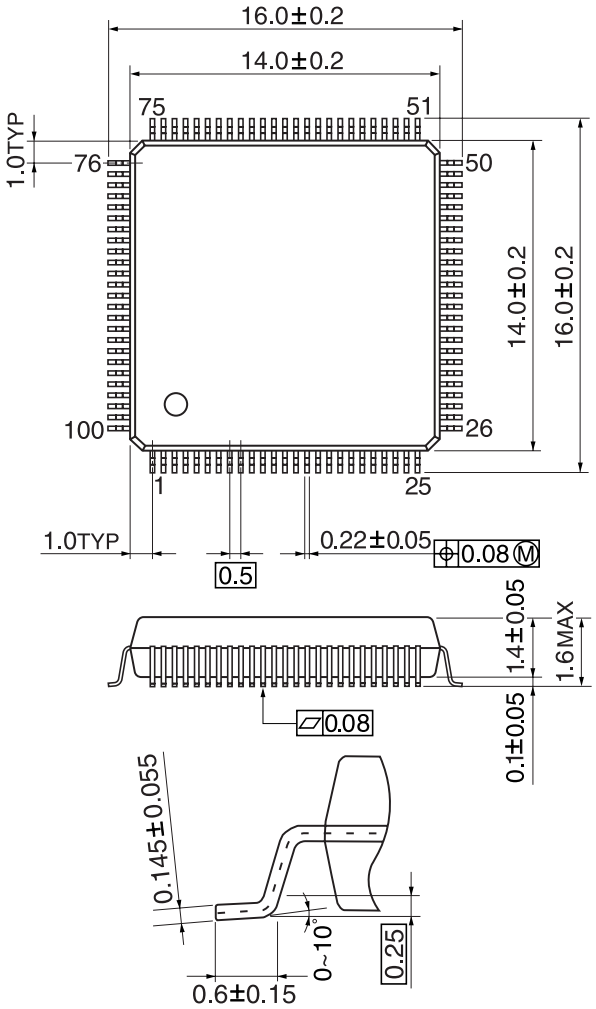
「POP SR」命令の実行は、DI 状態で行ってください。

k. 割り込み要求によるホルト状態からの解除

通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{FPH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み ($\overline{NMI}$, INT0~INT3, INTKEY, INTRTC, INTALM0~INTALM4, INTVLD0~INTVLD2) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

7. パッケージ外形寸法図

P-LQFP100-1414-0.50F

Unit: mm