

GAL16V8

高性能E²CMOS PLD

通用阵列逻辑

特性

- 高性能E²CMOS®工艺
- 最大传输延迟3.5ns
- F_{max}=250MHz
- 时钟输入到数据输出最大3.0ns
- UltraMOS®先进的CMOS工艺
- 功耗比双极型减少50%到75%
- 低功率器件上的I_{cc}典型值为75mA
- 1/4功率器件上的I_{cc}典型值为45mA
- 对所有引脚有效上拉
- E²CEEL工艺
- 可重组逻辑电路
- 可重编程单元
- 100%测试/100%合格率
- 高速电可擦 (<100ms)
- 数据保留20年
- 8个输出逻辑宏单元
- 复杂逻辑设计的最大灵活性
- 可编程输出极性
- 具有全部功能、熔丝图、参数兼容性的仿真20引线的PAL®设备
- 所有寄存器的预载和开电源复位
- 100%的功能可测性
- 应用包括:
- DMA控制
- 状态机控制
- 高速图形处理
- 标准逻辑速度提升
- 用于识别的电子签名

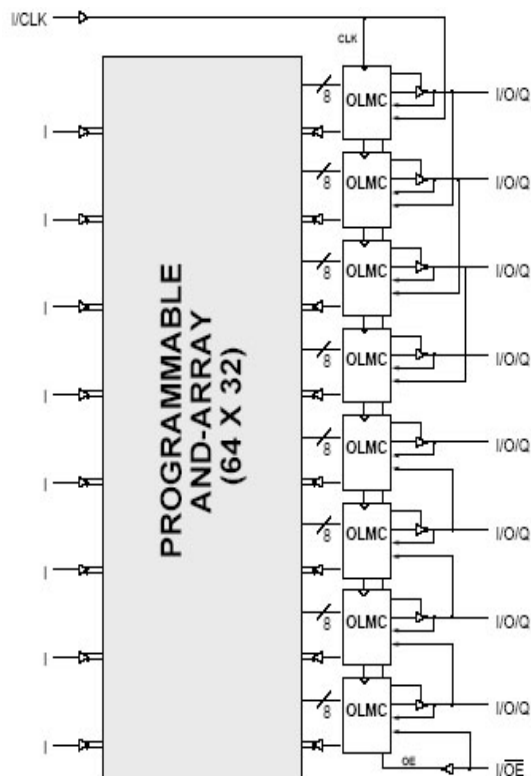
概述

GAL16V8 以最大 3.5ns 的传输延迟时间, 结合高性能的CMOS工艺与电可擦 (E²) 悬浮栅工艺可为PLD市场提供最高速度的性能。高速擦写时间(< 100ns) 允许快速和有效的重复编程。

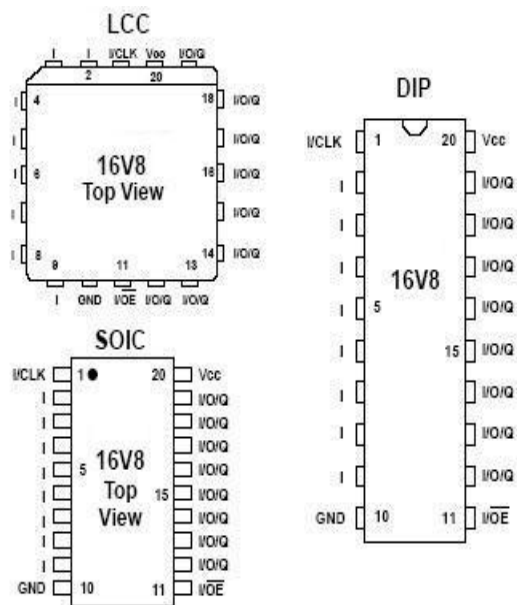
依靠输出逻辑宏单元(OLMC)允许用户来构建, 这种通用的结构提供了最大的设计灵活性。作为 GAL16V8 的许多可能结构形式中最重要的一个子集, PAL结构被列在宏单元描述部分的表里面。GAL16V8借助于全部功能/ 熔丝图/ 参数的兼容性能够仿真任何一种PAL结构。

独特的测试电路和可重复编程的单元使我们能够在制造期间完成AC、DC和功能测试。

功能方框图



管脚结构



因此，实现了所有的GAL产品100%的现场可编程性和可操作性。此外，规定100次的擦写循环和超过20年的数据保持能力。

GAL16V8 指令信息

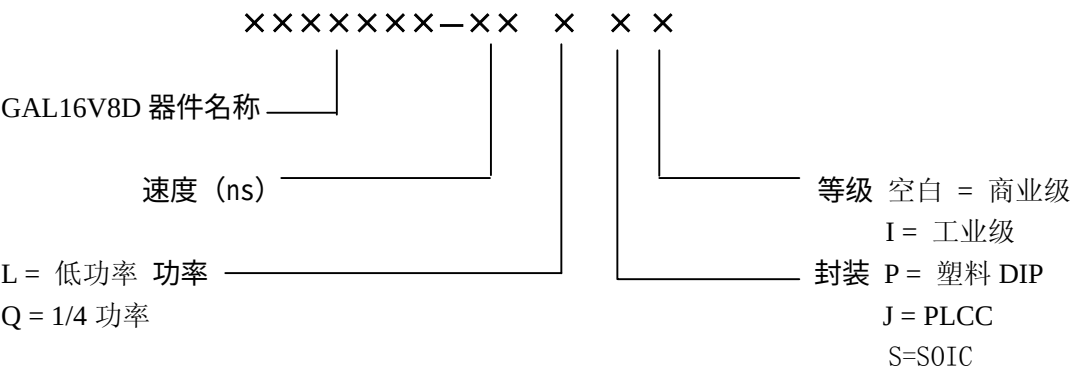
商品级规范

Tpd (ns)	Tsu (ns)	Tco (ns)	Icc (mA)	分类号	封装
3.5	2.5	3.0	115	GAL16V8D-3LJ	20引线PLCC
5	3	4	115	GAL16V8D-5LJ	20引线PLCC
7.5	7	5	115	GAL16V8D-7LP	20引线塑料DIP
			115	GAL16V8D-7LJ	20引线PLCC
			115	GAL16V8D-7LS	20引线SOIC
10	10	7	55	GAL16V8D-10QP	20引线塑料DIP
			55	GAL16V8D-10QJ	20引线PLCC
			115	GAL16V8D-10LP	20引线塑料DIP
			115	GAL16V8D-10LJ	20引线PLCC
			115	GAL16V8D-10LS	20引线SOIC
15	12	10	55	GAL16V8D-15QP	20引线塑料DIP
			55	GAL16V8D-15QJ	20引线PLCC
			90	GAL16V8D-15LP	20引线塑料DIP
			90	GAL16V8D-15LJ	20引线PLCC
			90	GAL16V8D-15LS	20引线SOIC
25	15	12	55	GAL16V8D-25QP	20引线塑料DIP
			55	GAL16V8D-25QJ	20引线PLCC
			90	GAL16V8D-25LP	20引线塑料DIP
			90	GAL16V8D-25LJ	20引线PLCC
			90	GAL16V8D-25LS	20引线SOIC

工业级规范

Tpd (ns)	Tsu (ns)	Tco (ns)	Icc (mA)	分类号	封装
7.5	7	5	130	GAL16V8D-7LPI	20引线塑料DIP
			130	GAL16V8D-7LJI	20引线PLCC
10	10	7	130	GAL16V8D-10LPI	20引线塑料DIP
			130	GAL16V8D-10LJI	20引线PLCC
15	12	10	130	GAL16V8D-15LPI	20引线塑料DIP
			130	GAL16V8D-15LJI	20引线PLCC
20	13	11	65	GAL16V8D-20QPI	20引线塑料DIP
			65	GAL16V8D-20QJI	20引线PLCC
25	15	12	65	GAL16V8D-25QPI	20引线塑料DIP
			65	GAL16V8D-25QJI	20引线PLCC
			130	GAL16V8D-25LPI	20引线塑料DIP
			130	GAL16V8D-25LJI	20引线PLCC

元件编号描述



输出逻辑宏单元 (OLMC)

下面的讨论是有关构建输出逻辑宏单元的问题。应当注意的是实际的实现是通过软硬件的开发来完成的，并且对于用户来说它是完全透明的。

存在三种可能的总体 OLMC 结构模式：简单式、复合式和寄存器式，每一种模式的详细资料用图表示在下一页内。两个总体位 SYN 和 ACO 控制所有宏单元的模式组态，每个宏单元的 XOR 位控制着三种模式中的任何一个输出的极性，而每个宏单元的 AC1 位控制输入/输出组态，两个总体和 16 个单独的结构位定义出 GAL16V8 内的所有可能组态。这些结构位上给出的信息只是为了更好地了解这种器件，显而易见，程序编制软件会根据引脚的定义设置这些结构位，所以用户不需要直接操作这些结构位。

下面的就是 GAL16V8 能够仿真的 PAL 结构列表。依靠 GAL16V8 仿真 PAL 结构这一方法也能显示 OLMC 模式。

OLMC的编译器支持

由于不同的器件型号，软件编译器支持三种不同的整体 OLMC 模式，这些器件的型号被列在下面的表中。大部分编译器都有自动选择器件型号的能力，通常是基于寄存器用法和输出使能 (OE) 用法。器件上的寄存器用法是让软件来选择寄存器的模式，所有组合输出与由乘积项控制的 OE 一起迫使软件选择复合模式。只有当所有的输出都是专用的组合端而没有 OE 控制时，该软件才会选择简单的模式。使用表中所列的不同器件型号都能取代靠软件实现的自动型号选择，详细的情况参见编译器软件指南。

当使用编译器去设定器件时，用户必须特别注意每种模式中的下列约束。在寄存器模式中管脚 1 和 11 (DIP 引出脚) 永久不变地分别设定为时钟和输出使能端。在寄存器模式中，这些管脚不能被设定为专用的输入端。

在复合模式中，管脚 1 和管脚 11 成为专用的输入端，并分别使用管脚 22 和管脚 15 的反馈通道。由于反馈通道的用法，在这一模式中，管脚 19 和管脚 12 没有反馈选项。

由 GAL16V8仿真的 PAL 结构	GAL16V8 总体 OLMC 模式
16R8	寄存器的
16R6	寄存器的
16R4	寄存器的
16RP8	寄存器的
16RP6	寄存器的
16RP4	寄存器的
16L8	复合的
16H8	复合的
16P8	复合的
10L8	简单的
12L6	简单的
14L4	简单的
16L2	简单的
10H8	简单的
12H6	简单的
14H4	简单的
16H2	简单的
10P8	简单的
12P6	简单的
14P4	简单的
16P2	简单的

在简单模式中，都是通过临近管脚来确定输出管脚的所有反馈通道的。这样做时，两个最里面的管脚（管脚 15 和 16）由于它们总是构成专用的组合输出而不会有反馈选项。

	寄存器的	复合的	简单的	自动模式选择
ABEL	P16V8R	P16V8C	P16V8AS	P16V8
CUPL	G16V8MS	G16V8MA	G16V8AS	G16V8
LOG/iC	GAL16V8_R	GAL16V8_C7	GAL16V8_C8	GAL16V8
OrCAD-PLD	"寄存器的" ¹	"复合的" ¹	"简单的" ¹	GAL16V8A
PLDesigner	P16V8R ²	P16V8C ²	P16V8C ²	P16V8A
TANGO-PLD	G16V8R	G16V8C	G16V8AS ³	G16V8

- 1) 与关键词Configuration一起使用
- 2) 支持早于2.0的版本
- 3) 支持1.20或更新的版本

寄存器模式

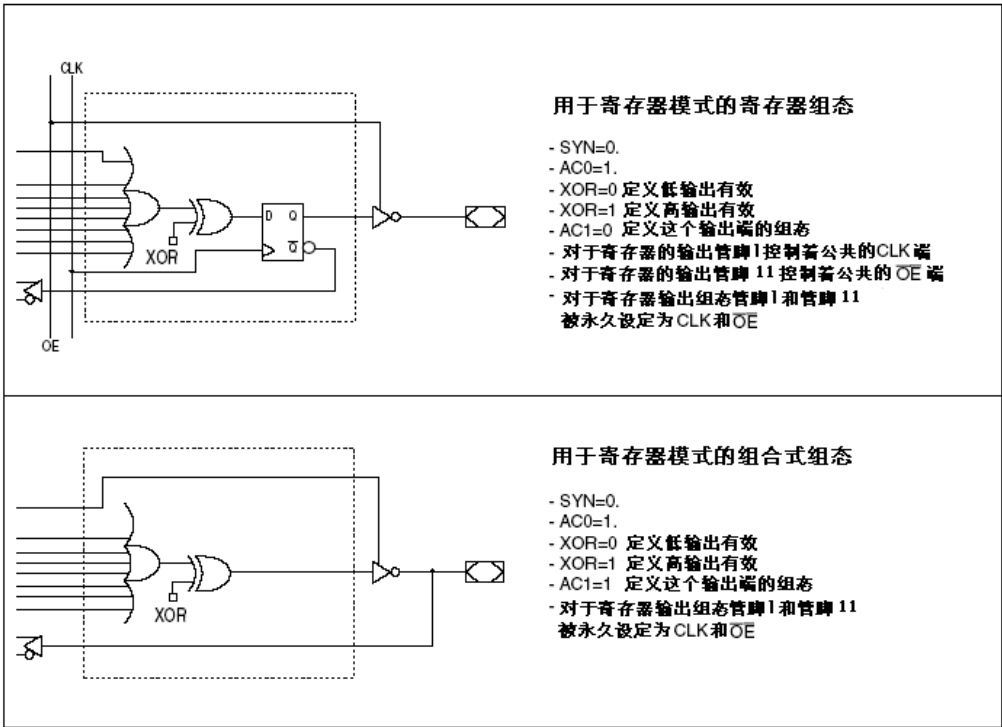
在寄存器模式中，宏单元被构成专用的寄存器的输出或I/O功能。

这种模式的结构形式类似于一般的16R8和16RP4器件，只是在极性、I/O和寄存器布置有不同的变更。

所有的寄存器宏单元都公用公共的时钟和输出使能控制管脚，任何一个宏单元都能构成寄存器的或I/O的形式，在这一模式中最多可能有8个寄存器或8个I/O端口。作为I/O功能的子系统，可以实现专用的输入或输出功能。

寄存器式输出端的每个输出有 8 个乘积项，I/O 端口的每个输出有 7 个乘积项。

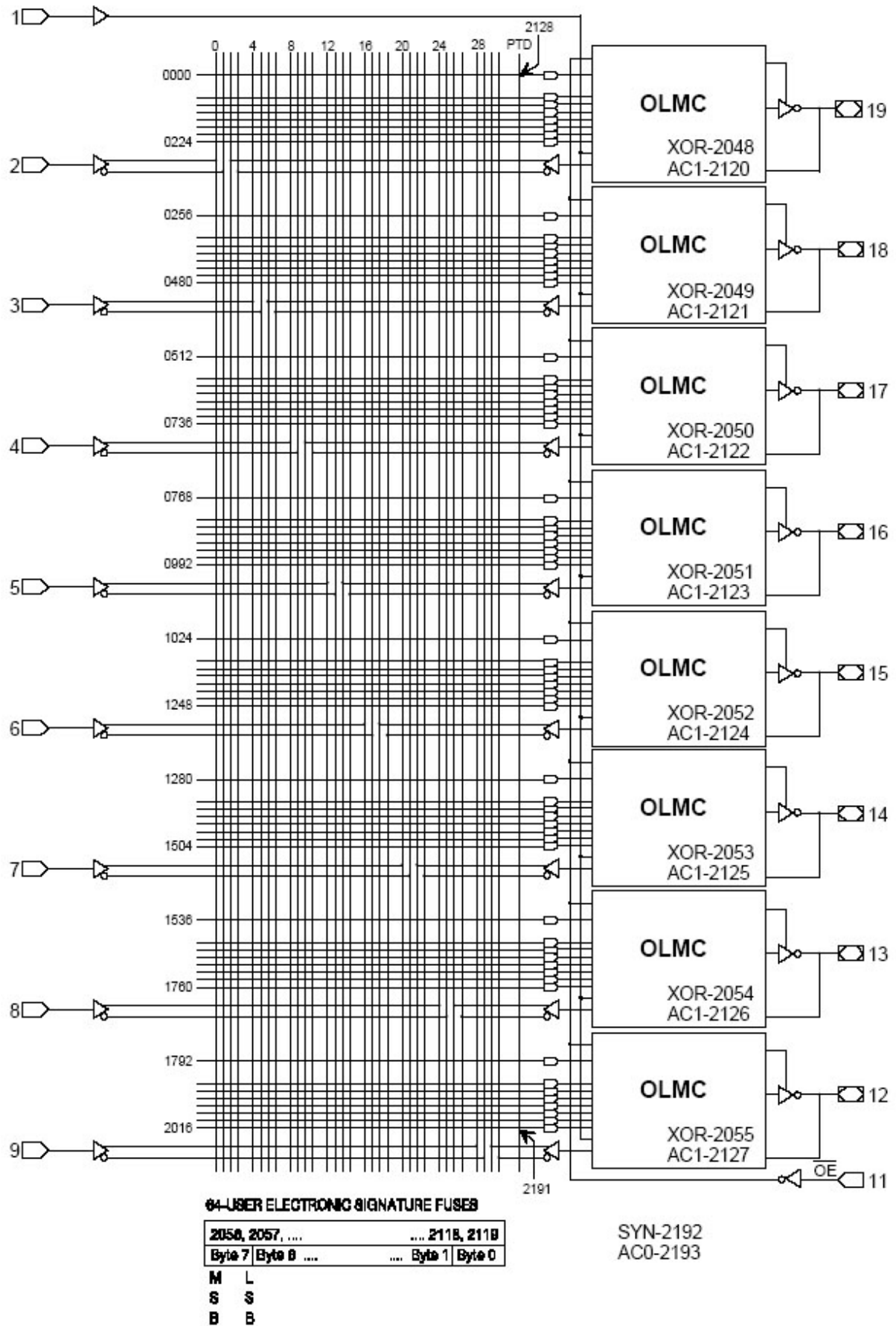
包括用户电子签名（UES）熔丝和乘积项禁止（PTD）熔丝在内的 JEDEC 熔丝编码如下一页的逻辑图所示。



注：开发软件构成所有的结构控制位，并自动检验适宜管脚的用法。

寄存器模式逻辑图

DIP (PLCC) 封装的管脚引出端



复合模式

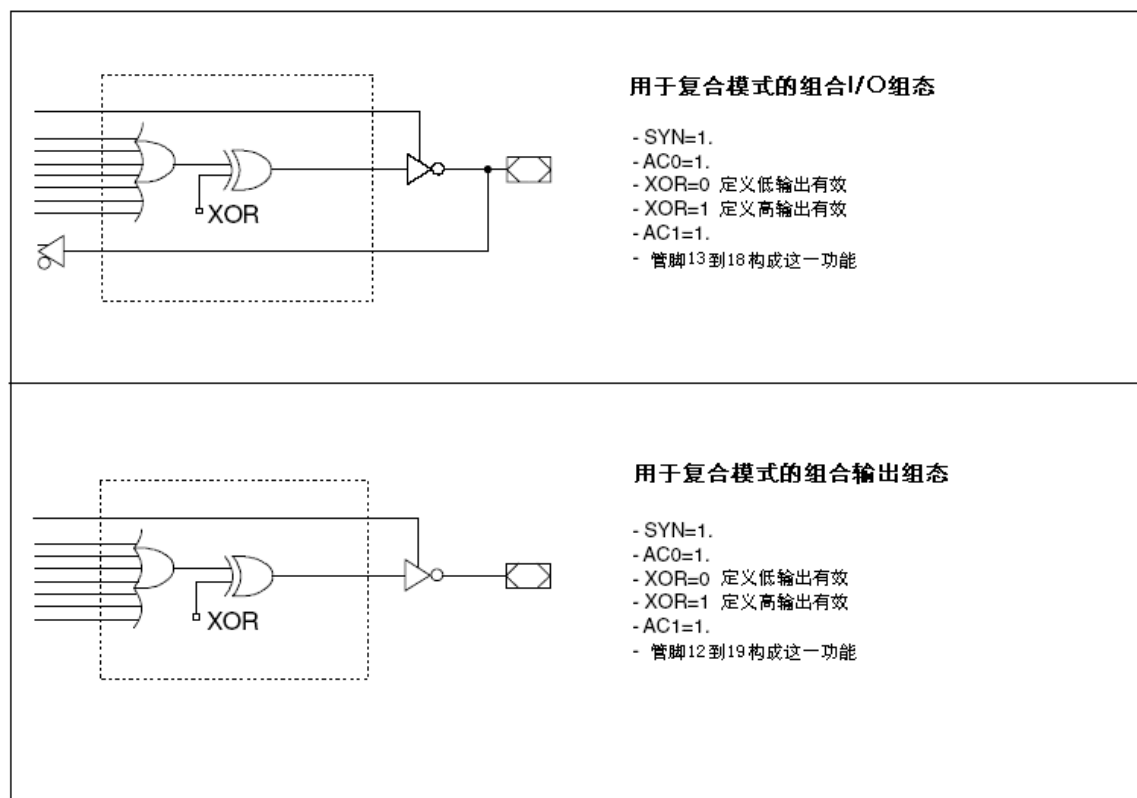
在复合模式中，宏单元被构成唯一的输出或 I/O 功能。

在这一模式中，现有的结构形式类似于通常的 16L8 和 16P8 器件，只是在每一个宏单元中具有可编程的极性。

在这一模式中最多能有 6 个 I/O 端口，作为 I/O 功能的子系统，能够实现专用的输入或输出功能。两个最外面的宏单元（管脚 12 和 19）没有输出能力。在寄存器模式中能够实现要求 8 个 I/O 的设计。

所有宏单元的每个输出都有 7 个乘积项，一个乘积项用于可编程输出使能控制，管脚 1 和 11 在与阵列里总是适宜作数据输入。

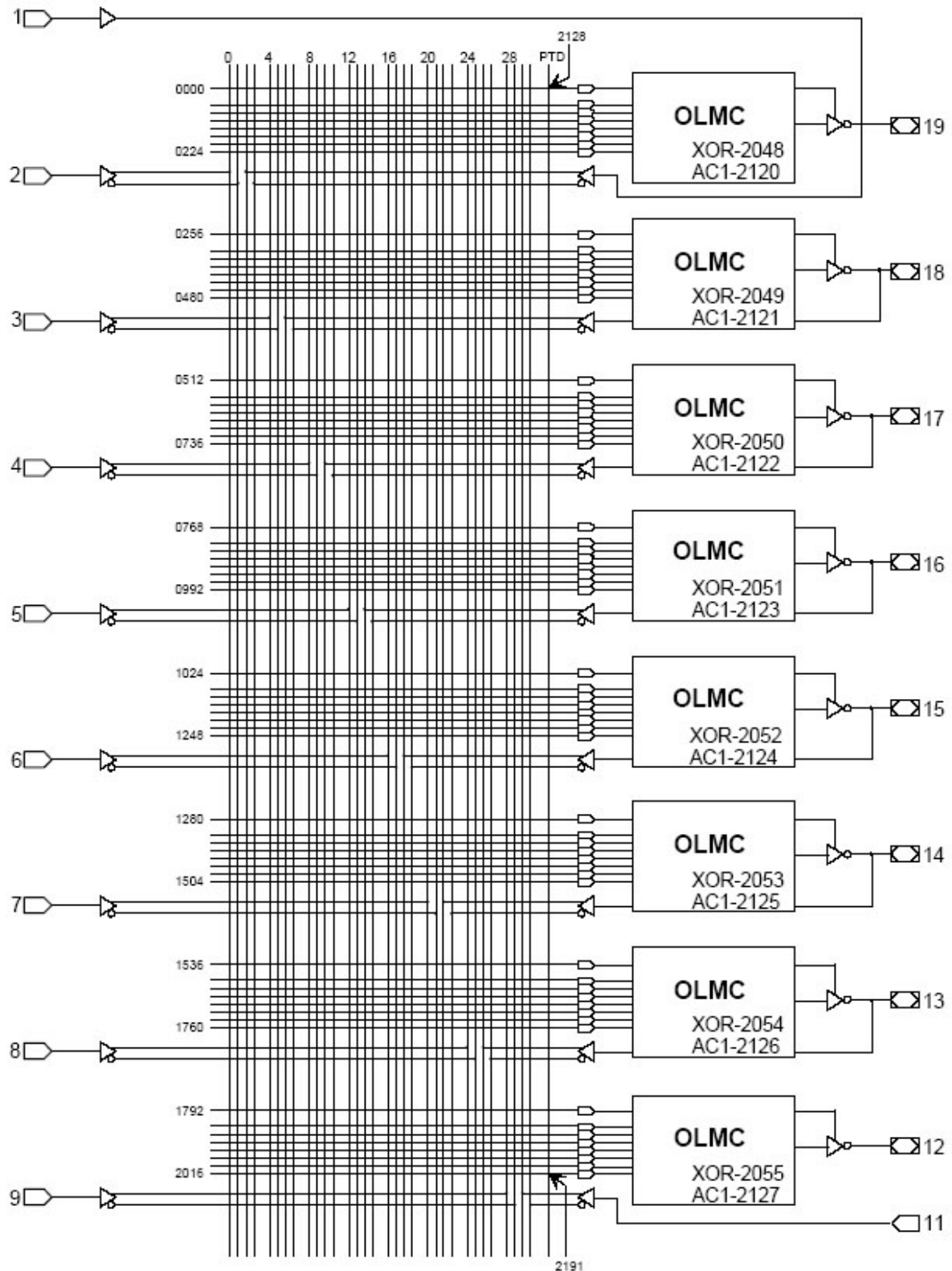
包括 UES 熔丝和 PTD 熔丝在内的 JEDEC 熔丝编码如下一页的逻辑图所示。



注：开发软件构成所有的结构控制位，并自动检验适宜管脚的用法。

复合模式逻辑图

DIP (PLCC) 封装的管脚引出端



04-USER ELECTRONIC SIGNATURE FUSES

2068, 2067, ...	... 2118, 2119
Byte 7 Byte 6 ...	... Byte 1 Byte 0
M L	
S S	
B B	

SYN-2192
AC0-2193

简单模式

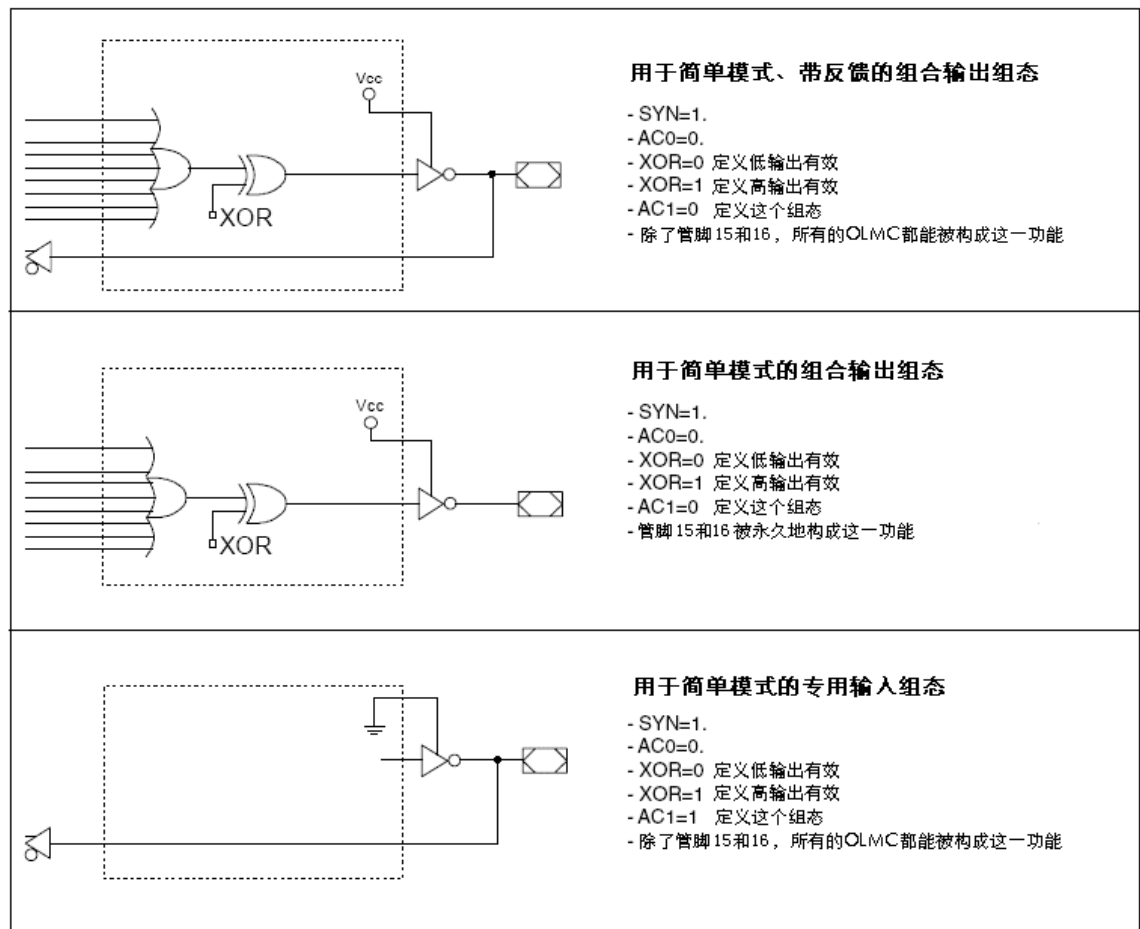
在简单模式中宏单元被构成专用的输入，或者总是有效的专用的组合输出。

这种模式的结构形式类似于一般的10L8和12P6器件，只是在一般的输出极性或输入选择有许多变更。

这种模式中的所有输出都有一个能控制逻辑的8个乘积项的最大值，此外，每个输出都有可编程的极性。

管脚1和11作为数据输入到与阵列。中心的两个宏单元（管脚15和16）不能被用于输入或I/O管脚，并且只能作为专用输出。

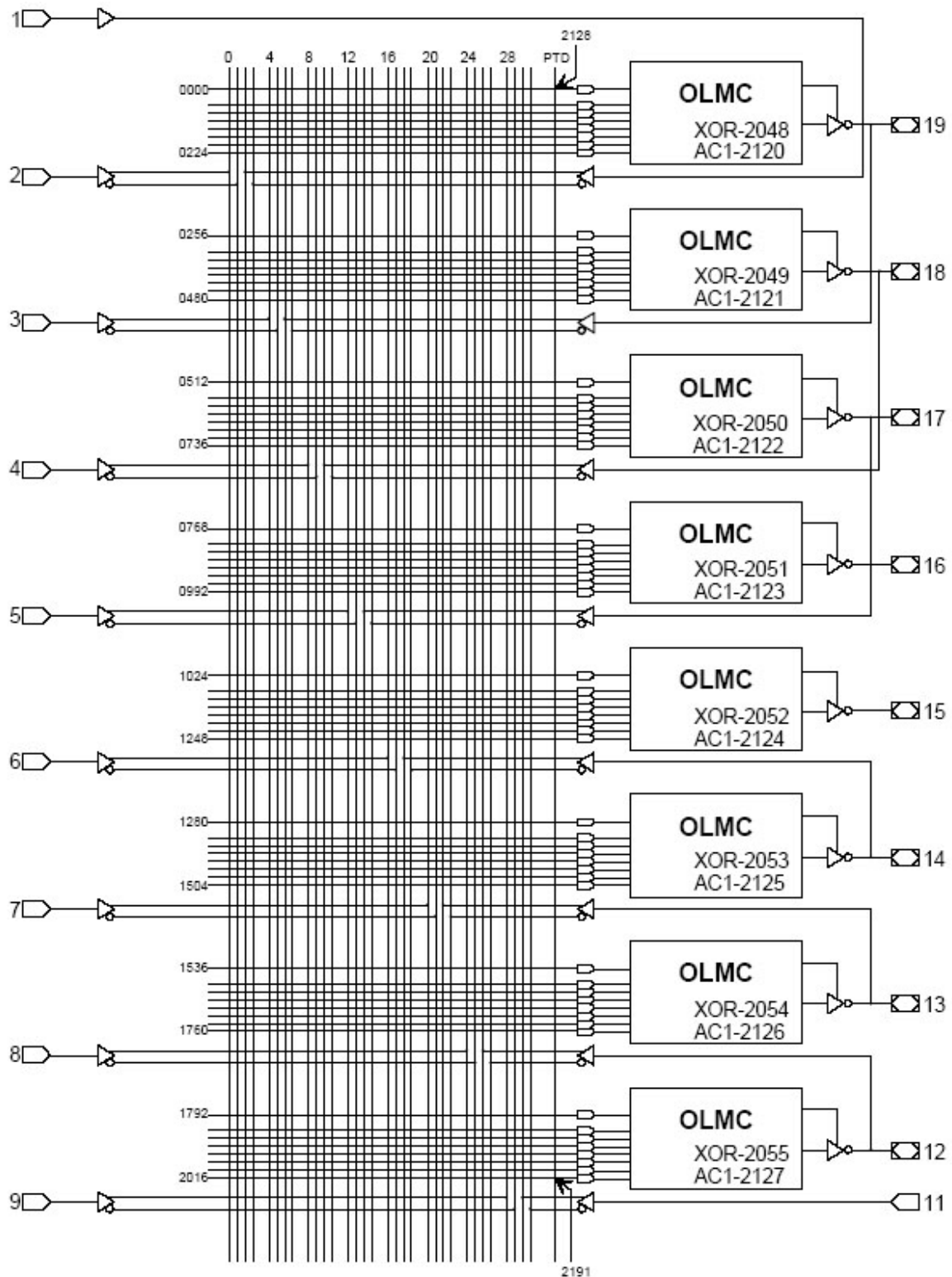
包括 UES 熔丝和 PTD 熔丝在内的 JEDEC 熔丝编码如下一页的逻辑图所示。



注：开发软件构成所有的结构控制位，并自动检验适宜管脚的用法。

简单模式逻辑图

DIP (PLCC) 封装的管脚引出端



64-USER ELECTRONIC SIGNATURE FUSES

2058, 2057, ...	... 2118, 2119
Byte 7 Byte 6 ...	... Byte 1 Byte 0

M L
S S
B B

SYN-2192
AC0-2193

绝对最大额定值⁽¹⁾

电源电压 V_{CC} $-0.5 \sim +7V$
适用的输入电压..... $-2.5 \sim V_{CC} + 1.0V$
适用的关态输出电压..... $-2.5 \sim V_{CC} + 1.0V$
储存温度..... $-65 \sim 150^{\circ}C$
适用的带电环境温度..... $-55 \sim 125^{\circ}C$

1. 超出在“最大绝对额定值”中所列的那些应力可能引起器件的永久损坏，这只是一个应力的额定值，不意味着器件要在这些条件下工作，或者在超出本规范工作条件中指出的任何其它条件下工作。（当编程时，遵循编程规范）

推荐的工作条件

工业用器件：

环境温度 (T_A) $-55 \sim 125^{\circ}C$
电源电压 (V_{CC}) 相对于地..... $+4.50 \sim +5.50V$

直流电特性

在整个推荐的工作条件下（若不另作说明）

符号	参 数	条 件	MIN.	TYP. ³	MAX.	单位
V_{IL}	输入低电压		$V_{SS} - 0.5$	—	0.8	V
V_{IH}	输入高电压		2.0	—	$V_{CC} + 1$	V
I_{IL}^1	输入或I/O为低时的漏流	$0V \leq V_{IN} \leq V_{IL} (MAX)$	—	—	-100	μA
I_{IH}	输入或I/O为高时的漏流	$3.5V \leq V_{IN} \leq V_{CC}$	—	—	10	μA
V_{OL}	输出低电压	$I_{OL} = MAX, V_{IN} = V_{IL} \text{ 或 } V_{IH}$	—	—	0.5	V
V_{OH}	输出高电压	$I_{OH} = MAX, V_{IN} = V_{IL} \text{ 或 } V_{IH}$	2.4	—	—	V
I_{OL}	低电平输出电流	L-3/-5&-7(Ind.PLCC)	—	—	16	mA
		L-7(Except Ind.PLCC)/-10/-15/-25 Q-10/-15/-20/-25	—	—	24	mA
I_{OH}	高电平输出电流		—	—	-3.2	mA
I_{OS}^2	输出短路电流	$V_{CC} = 5V, V_{OUT} = 0.5V, T_A = 25^{\circ}C$	-30	—	-150	mA

商用

I_{CC}	工作电源电压	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ 输出打开	L-15/-25	—	75	90	mA
----------	--------	--	----------	---	----	----	----

工业用

I_{CC}	工作电源电压	$V_{IL} = 0.5V \quad V_{IH} = 3.0V$ $f_{toggle} = 15MHz$ 输出打开	L-7/-10/-15/-25	—	75	130	mA
			Q-20/-25	—	45	65	mA

- 1) 漏流是由于内部所有管脚上的上拉电阻形成的，更多的信息见输入缓冲部分。
- 2) 最大1秒的持续时间，每次一个输出，选择 $V_{out} = 0.5V$ 以避免由测试设备的接地损失引起的测试问题。说明特性，但并不100%测试。
- 3) 典型值是在 $V_{CC} = 5V$ 而 $T_A = 25^{\circ}C$ 情况下的值。

交流开关特性

在整个推荐的工作条件下

参 数	测试条件	描 述	COM		COM		COM/IND		单 位
			-3		-5		-7		
			MIN	MAX	MIN	MAX	MIN	MAX	
t _{pd}	A	输入或I/O到Comb.的输出	1	3.5	1	5	1	7.5	ns
t _{co}	A	时钟到输出的延迟	1	3	1	4	1	5	ns
t _{cf} ²	—	时钟到反馈的延迟	—	2.5	—	3	—	3	ns
t _{su}	—	在时钟↑之前设置时间、输入或反馈	2.5	—	3	—	5	—	ns
t _h	—	在时钟↑之后保持时间、输入或反馈	0	—	0	—	0	—	ns
f _{max} ³	A	带外反馈的最大时钟频率1/（t _{su} +t _{co} ）	182	—	142.8	—	100	—	MHz
	A	带内反馈的最大时钟频率1/（t _{su} +t _{cf} ）	200	—	166	—	125	—	MHz
	A	不带反馈的最大时钟频率	250	—	166	—	125	—	MHz
t _{wh}	—	时钟脉冲持续时间，（高）	2 ⁴	—	3 ⁴	—	4	—	ns
t _{wl}	—	时钟脉冲持续时间，（低）	2 ⁴	—	3 ⁴	—	4	—	ns
t _{en}	B	输入或I/O到输出使能端	—	4.5	1	6	1	9	ns
	B	$\overline{OE}$ 到输出使能端	—	4.5	1	6	1	6	ns
t _{dis}	C	输入或I/O到输出禁止端	—	4.5	1	5	1	9	ns
	C	$\overline{OE}$ 到输出禁止端	—	4.5	1	5	1	6	ns

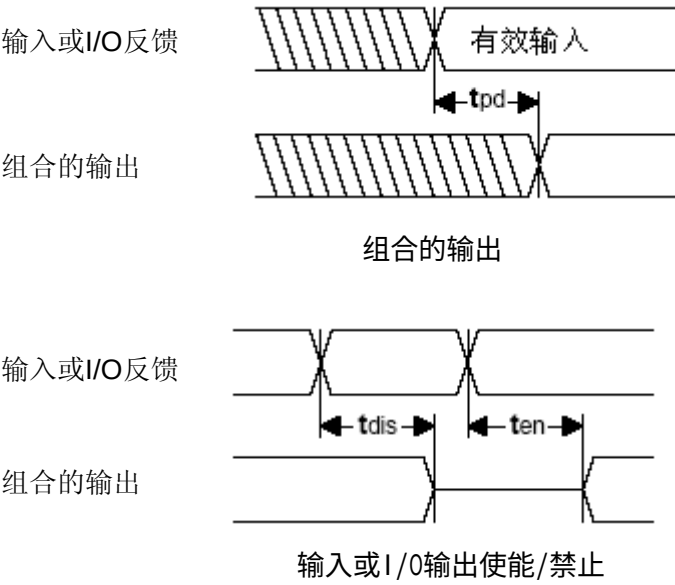
- 1) 参见开关测试条件部分
2) 根据带反馈的fmax来计算, 参见fmax描述部分
3) 参见fmax描述部分, 说明特性, 但并不100%测试。

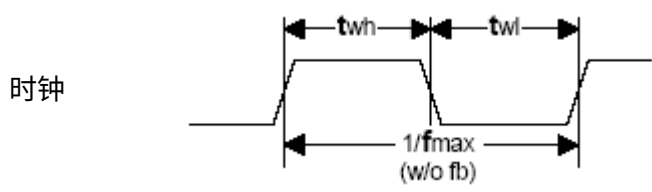
电容 (TA = 25°C, f = 1.0MHz)

符 号	参 数	最 大 值*	单 位	测 试 条 件
C _i	输入电容	8	pF	V _{CC} = 5.0V, V _I = 2.0V
C _{I/O}	I/O电容	8	pF	V _{CC} = 5.0V, V _{I/O} = 2.0V

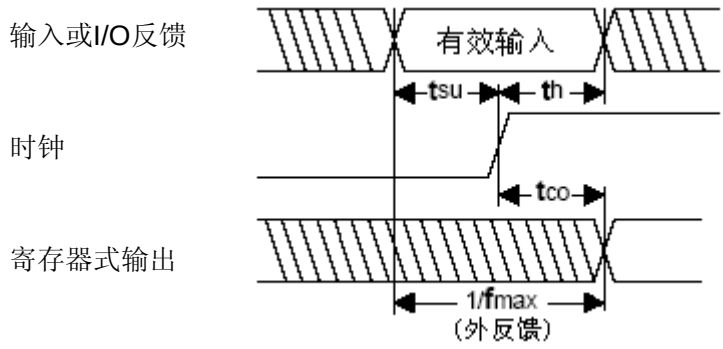
*说明特性, 但不100%测试

开关波形

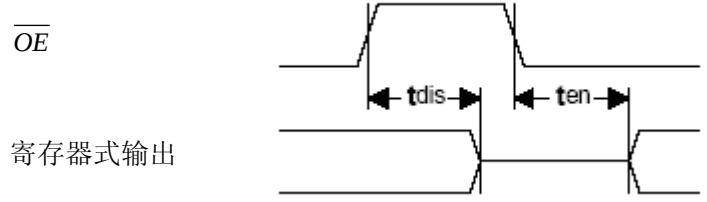




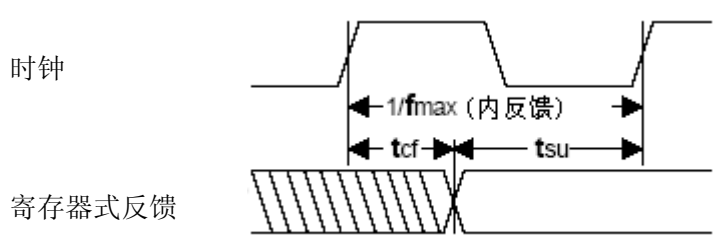
时钟宽度



寄存器式输出

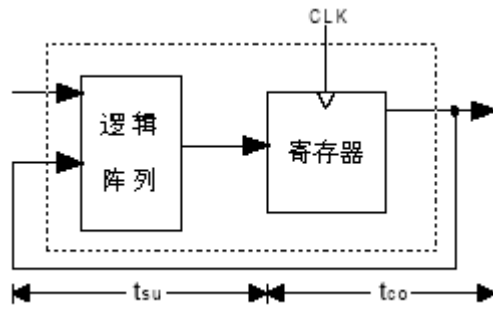


$\overline{OE}$ 到输出使能/禁止



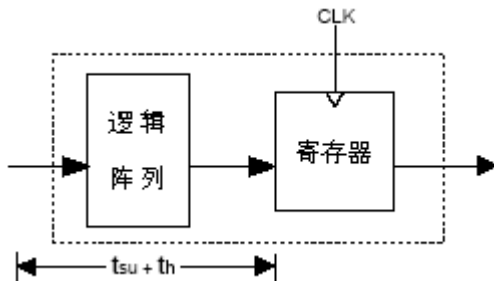
带反馈的 f_{max}

f_{max}的描述



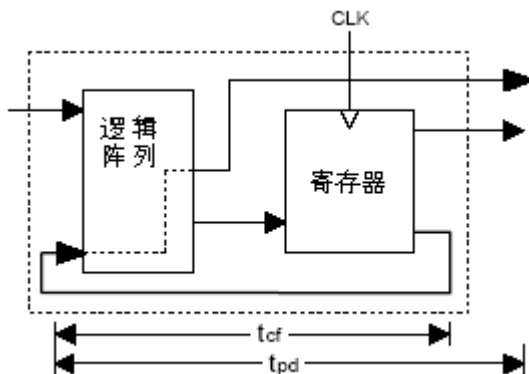
带外反馈的f_{max} $1 / (t_{su} + t_{co})$

注：带外反馈的f_{max}由测量tsu和tco而计算出来的



不带反馈的f_{max}

注：不带反馈的f_{max}可能小于 $1 / (t_{wh} + t_{wl})$ ，若时钟的占空比不是50%，这是允许的。



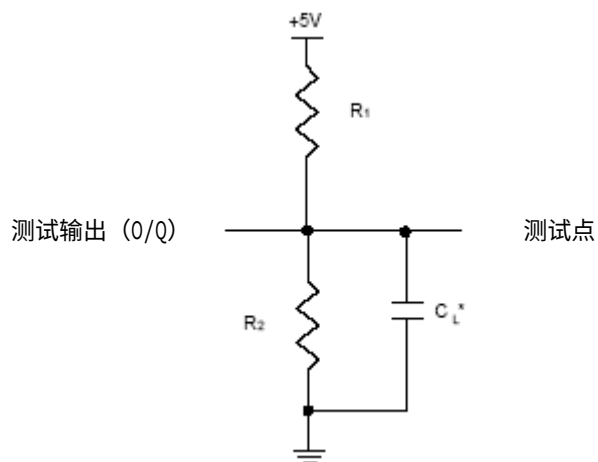
带内反馈的f_{max} $1 / (t_{su} + t_{cf})$

注：t_{cf}是计算值，它是通过从带内反馈的f_{max}的周期减去tsu得到的 ($t_{cf} = 1 / f_{max} - t_{su}$)。当计算从寄存器计时到组合输出的延迟（通过寄存器式反馈）时，要首先使用t_{cf}值，如上图所示。例如，从时钟到组合输出的定时等于t_{cf} + t_{pd}。

开关测试条件

输入脉冲电平		GND~3.0V
输入上升和下降时间	GAL16V8D-10 (或者更慢)	2-3ns 10%-90%
	GAL16V8D-3/-5/-7	1.5ns 10%-90%
输入定时基准电平		1.5V
输出定时基准电平		1.5V
输出负载		见图

3态电平是离稳态有效电平0.5V测量的



*CL包括测试设备和探头的电容

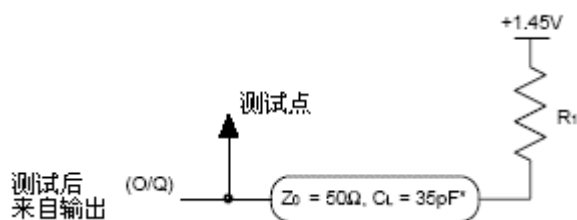
GAL16V8输出负载条件（见图）

测试条件	R ₁	R ₂	C _L
A	200Ω	390Ω	50pF
B	高电平有效	∞	390Ω
	低电平有效	200Ω	390Ω
C	高电平有效	∞	390Ω
	低电平有效	200Ω	390Ω

开关测试条件（继续）

GAL16V8输出负载条件（见图）

测试条件		R ₁	C _L
A		50Ω	35pF
B	在1.9V时由高阻态转为高电平	50Ω	35pF
	在1.0V时由高阻态转为低电平	50Ω	35pF
C	在1.9V时由高电平转为高阻态	50Ω	35pF
	在1.0V时由低电平转为高阻态	50Ω	35pF



C_L包含测试安装用具和探针电容

电子签名

每一种GAL16V8器件都提供一个电子签名，它含有64位可重复编程的存储器，这种存储器能容纳用户定义的数据。一些使用包括用户的ID码、修订号或编目控制。签名数据总是不受安全单元状态控制的用户能采用的。

注：电子签名包含在检查和之内，改变电子签名必须在检查和之后。

安全单元

在GAL16V8器件提供的安全单元是为了防止未经授权拷贝阵列图，一经编程，该单元能防止利用器件内的功能位进一步读数据，该单元只能通过对器件的重复编程擦除，所以这个单元一旦被编程就永远不能检验其初始组态。不管这个控制单元的状态如何，用户总是能采用电子签名。

闭锁保护

器件GAL16V8被设计成带有一个将衬底负向偏置的板上充电泵。负偏置可使由负向输入负脉冲引起的闭锁趋势减至最小。另外，输出被设计成以n沟道上拉代替传统的p沟道上拉以便消除由于输出过冲而引起的闭锁。

器件编程

使用Lattice半导体公司审定的逻辑编程器对GAL器件编程。

输出寄存器的预负荷

当测试机械设计的状态时，不仅是在机器正常运行时所要求的状态，对所有可能的状态和状态转换都必须在设计加以检验，这是因为在系统运行中发生了可能使逻辑陷入非法状态的某些情形（电源上升、线性电压扰动、降低电压等等）。为了检验适于正确处理这些情形的设计，必须提供一种方法来破坏反馈途径，并迫使一种想要的（也就是非法的）状态进入寄存器中，因此能使机器程序化并为下一个正确状态条件检验输出。

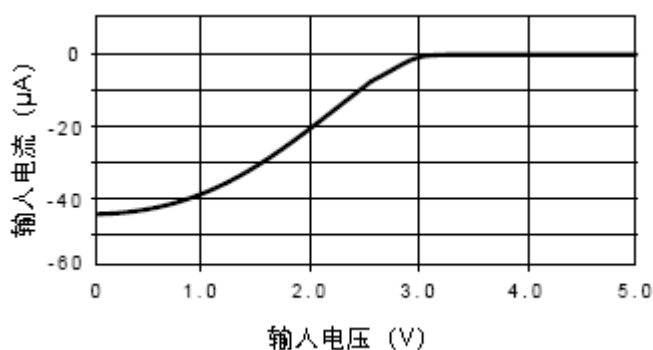
GAL16V8器件包括能让每个寄存器的输出被同步设置成高或低的电路，因此目前任何的状态条件都能被用于检验程序序列。必要时，被认可的GAL程序员能编制测试向量自动完成输出寄存器的预负荷。

输入缓冲

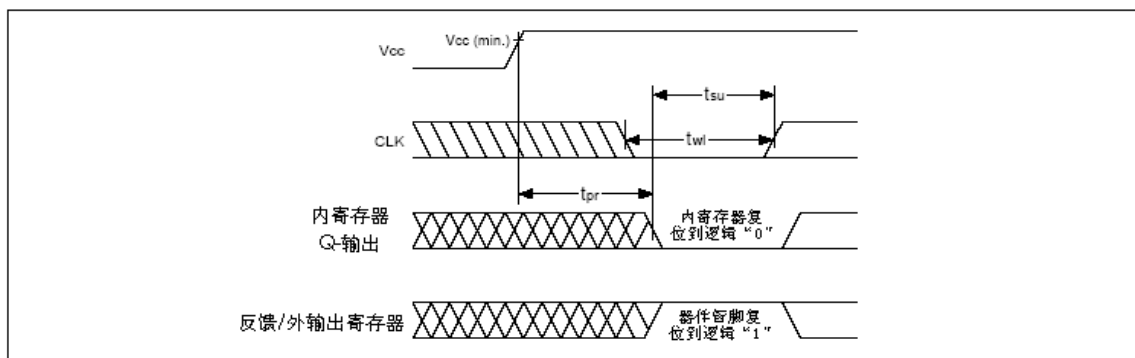
GAL16V8被设计成带有TTL电平兼容的输入缓冲器，这些缓冲器具有高阻抗的特性，对驱动逻辑电路来讲，它呈现出比双极TTL器件轻得多的负载。

GAL16V8的输入和I/O管脚具有有效的上拉功能，因此，不用的输入和I/O将悬浮成TTL“高”（逻辑“1”）。Lattice半导体公司建议将所有不用的输入和3态I/O管脚都连到另一个有效输入、V_{CC}或地上，这样做势必会改善抗噪声性能并能降低器件的I_{CC}。

典型的输入上拉特性



电源上升的复位



在电源上升期间GAL20V8给所有寄存器提供一个复位信号，在规定的时间内（ t_{pr} ，最大 $1\mu s$ ）之后所有的内寄存器都会将其Q输出端置为低电平，结果，寄存器输出管脚（如果它们能输出的话）在电源上升时总是高电平，与输出管脚安排的极性无关。这一特性通过提供电源上升时的一个已知状态能大大地简化机器设计。由于系统电源上升的不同步本性，必须满足某些条件来达到器件电源上升的有效复位。首先 V_{CC} 必须单调地上升，其次在电源上升期间必须使时钟输入处在如图所示的静态TTL电平。该寄存器将在 t_{pr} 最大定时时间内复位，像在正常系统工作那样，在满足所有输入和反馈通道建立定时之前，应避免对器件计时，时钟也必须满足最小脉宽的要求。

输入/输出等效图

