

8 位 MCU
HR6P67L

数 据 手 册

- ☐ 产品简介
- ☒ 数据手册
- ☐ 产品规格

上海海尔集成电路有限公司

2011 年 5 月 5 日

海尔 MCU 芯片使用注意事项

关于芯片的上/下电

海尔 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其他部件上电；反之，下电时，先对系统其他部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

海尔 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

海尔 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

海尔 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

海尔 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入管脚，应通过电阻上拉至电源电平或下拉至地。对于未使用的管脚，建议用户设为输出状态，并通过电阻接至电源或地。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

海尔 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

海尔 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

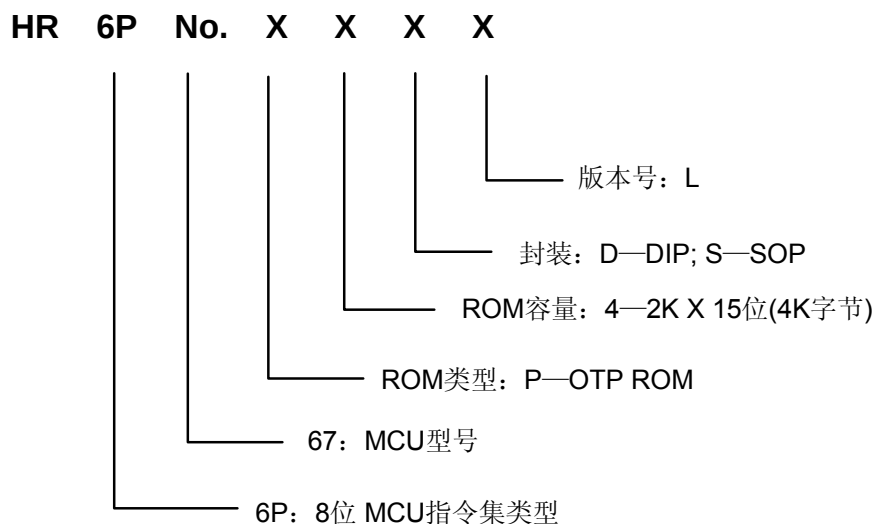
关于芯片的开发环境

海尔 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海海尔集成电路有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请用下述联系方式与上海海尔集成电路有限公司联系。

产品订购信息

型号	程序存储器	数据存储器	封装
HR6P67P4DL	OTP: 2K×15 位	SRAM: 64×8 位	DIP14
HR6P67P4SL			SOP14



地 址: 中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编: 200235

E-mail: support@ichaier.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.ichaier.com>

版权所有©

上海海尔集成电路有限公司

本数据手册的信息在发行时是经过核实并且尽最大努力使之精确的。上海海尔集成电路有限公司不为由于使用本数据手册而可能带来的风险或后果负责。手册中的实例仅作为说明用途，上海海尔集成电路有限公司不担保或确认这些实例是合适的、不需进一步修改的、或推荐使用的。上海海尔集成电路有限公司保留不需要通知本数据手册读者而修改本数据手册的权利。如需得到最新的产品信息，请随时用上述联系方式与上海海尔集成电路有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2008-01-09	初版
V2.1	2011-05-05	加强描述：产品订购信息， 1.1， 2.4.1， 2.5， 3.2.1， 3.2.2， 3.2.3， 4.2， 4.3， 5.1.1.2， 5.1.2.4， 5.1.3.2， 5.3.1， 6.1.3， 附录 1.1， 附录 2.1， 附录 2.2 错误修正： 1.1， 1.3， 4.2， 4.5.2， 4.6， 5.2.2， 6.2.3， 6.3.1， 6.3.2， 6.3.3， 6.5.2

目 录

内容目录

第 1 章	芯片简介	10
1.1	概述	10
1.2	应用领域	11
1.3	结构框图	12
1.4	管脚分配图	13
1.5	管脚说明	14
1.5.1	管脚封装对照表	14
1.5.2	管脚复用说明	15
第 2 章	内核特性	17
2.1	CPU 内核概述	17
2.2	系统时钟和机器周期	17
2.3	指令集概述	17
2.4	程序计数器 (PC) 和硬件堆栈	17
2.4.1	程序计数器 (PC)	17
2.4.2	硬件堆栈	18
2.5	控制寄存器	19
第 3 章	存储资源	21
3.1	程序存储器	21
3.1.1	概述	21
3.1.2	寻址方式	21
3.1.3	程序存储空间地址映射和堆栈示意图	21
3.2	数据存储器	22
3.2.1	数据存储空间地址映射	22
3.2.2	寻址方式	23
3.2.3	控制寄存器空间	25
3.2.4	通用数据存储器	27
第 4 章	输入/输出端口	28
4.1	概述	28
4.2	结构框图	29
4.3	I/O MUX	30
4.4	I/O 端口弱上拉	31
4.5	外部中断	32
4.5.1	外部端口中断 (PINT)	32
4.5.2	外部按键中断 (KINT)	32
4.6	控制寄存器	33
第 5 章	外设	34
5.1	定时器/计数器模块 (Timer/Counter)	34
5.1.1	8 位定时器/计数器 (T8)	34
5.1.1.1	概述	34
5.1.1.2	工作模式	34
5.1.1.3	预分频器	35

5.1.1.4	中断标志	35
5.1.2	门控型 16 位定时器/计数器 (T16G)	35
5.1.2.1	概述	35
5.1.2.2	工作模式	36
5.1.2.3	门控设计	37
5.1.2.4	振荡器	37
5.1.3	控制寄存器	37
5.2	模/数转换器模块 (ADC)	39
5.2.1	概述	39
5.2.2	操作说明	39
5.2.3	控制寄存器	40
5.3	模拟比较器 (ACP)	42
5.3.1	概述	42
5.3.2	操作说明	42
5.3.3	控制寄存器	43
5.4	参考电压模块	44
5.4.1	概述	44
5.4.2	操作说明	44
5.4.3	控制寄存器	44
第 6 章	特殊功能及操作特性	45
6.1	系统时钟及振荡器	45
6.1.1	概述	45
6.1.2	外部时钟	45
6.1.3	内部时钟	47
6.1.4	控制寄存器	47
6.2	复位模块	48
6.2.1	概述	48
6.2.2	应用举例	48
6.2.3	控制寄存器	49
6.3	中断处理	50
6.3.1	概述	50
6.3.2	操作说明	50
6.3.3	控制寄存器	51
6.4	看门狗定时器	54
6.4.1	概述	54
6.5	低功耗操作	55
6.5.1	休眠	55
6.5.2	唤醒	55
6.6	芯片配置字	56
第 7 章	芯片封装图	57
7.1	14-pin 封装图	57
附录 1	指令集	58
附录 1.1	概述	58
附录 1.2	指令操作说明	58

附录 2	电气特性	60
附录 2.1	参数特性表.....	60
附录 2.2	参数特性图.....	63

图目录

图 1-1	HR6P67L结构框图	12
图 1-2	HR6P67L（DIP14/SOP14）顶视图	13
图 3-1	程序区地址映射和堆栈示意图	21
图 3-2	数据区地址映射示意图	22
图 3-3	通用数据存储器地址映射示意图	27
图 4-1	输入/输出端口结构图A	29
图 4-2	输入/输出端口结构图B	29
图 4-3	输入端口结构图C	29
图 5-1	T8 内部结构图	34
图 5-2	T16G内部结构图	35
图 5-3	T16G定时器门控计数	37
图 5-4	ADC内部结构图	39
图 5-5	ADC时序特征图	40
图 5-6	模拟比较器示意图	42
图 6-1	芯片系统时钟选择框图	45
图 6-2	晶体/陶瓷振荡器模式（HS、XT、LP模式）	45
图 6-3	振荡器RC模式等效电路图及外围参考图	46
图 6-4	振荡器RCIO模式等效电路图及外围参考图	46
图 6-5	EC外灌时钟输入模式参考图	46
图 6-6	芯片复位原理图	48
图 6-7	RC复位电路	48
图 6-8	三极管复位电路	49
图 6-9	看门狗定时器示意图	54
图 6-10	休眠模式唤醒示意图	55

表目录

表 1-1	管脚封装对照表	14
表 1-2	管脚说明	16
表 4-1	I/O端口结构信息表	29
表 4-2	I/O端口弱上拉	31
表 4-3	外部端口中断	32
表 4-4	外部按键中断	32
表 6-1	晶体振荡器电容参数参考表	46
表 6-2	中断使能表	50
表 6-3	休眠唤醒表	55

第 1 章 芯片简介

1.1 概述

- ◆ 内核
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 48 条精简指令
 - ◇ 工作频率为 DC ~ 16MHz
 - ◇ 8 级 PC 硬件堆栈
 - ◇ 复位向量位于 0000_H，默认中断向量位于 0004_H，支持中断向量表
 - ◇ 支持中断处理，共 7 个中断源
- ◆ 存储资源
 - ◇ 2K x 15 位 OTP 程序存储器
 - ◇ 64 x 8 位 SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址和相对寻址
 - ◇ 数据存储器支持直接寻址和间接寻址
- ◆ I/O 端口
 - ◇ PA 端口 (PA0~PA5)
 - ◇ PC 端口 (PC0~PC5)
- ◆ 外设
 - ◇ 8 位定时器 T8
 - 定时器模式 (系统时钟) / 计数器模式 (外部信号)
 - 支持可配置预分频器
 - 支持中断产生
 - ◇ 门控型 16 位定时器 T16G
 - 定时器模式 (系统时钟) / 计数器模式 (外部信号)
 - 支持可配置预分频器
 - 支持门控定时/计数
 - 支持中断产生
 - ◇ 模拟数字转换器 ADC
 - 支持 10 位数字转换精度
 - 支持 8 通道模拟输入端
 - 支持中断产生
 - ◇ 模拟比较器 ACP 和参考电压模块
 - 1 个模拟比较器
 - 可编程的片上参考电压模块
- ◆ 特殊功能
 - ◇ 内部 4MHz 时钟
 - 不可分频

- 5V 校准，在 25℃校准条件下，校准精度为±1%
- ◇ 支持低功耗休眠模式及唤醒操作
- ◇ 内嵌上电复位电路
- ◇ 内嵌低电压检测复位电路
- ◇ 支持外部复位
- ◇ 支持独立硬件看门狗定时器
- ◇ 支持在线编程（ISP）接口
- ◇ 支持编程代码保护
- ◆ 设计及工艺
 - ◇ 完全静态设计
 - ◇ 低功耗、高速 OTP CMOS 工艺
 - ◇ 14 个管脚，采用 SOP/DIP 封装
- ◆ 工作条件
 - ◇ 工作电压范围：3.5V ~ 5.5V
 - ◇ 工作温度范围：-40 ~ 85℃

1.2 应用领域

本芯片可用于吸尘器、智能充电器、摩托车点火器、安防等领域。

1.3 结构框图

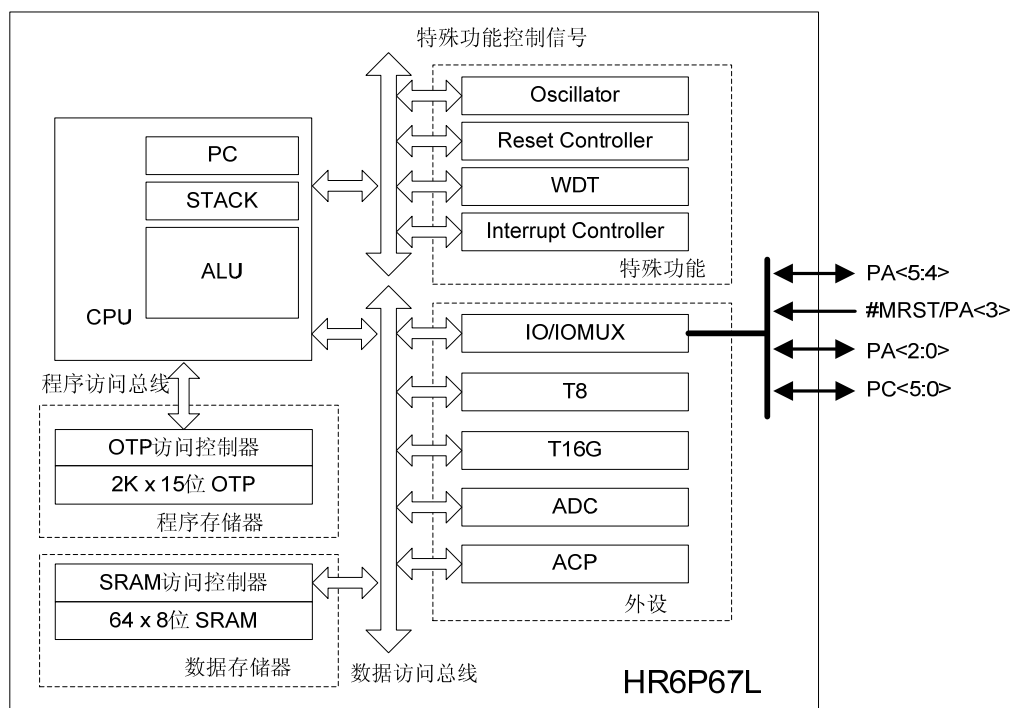


图 1-1 HR6P67L 结构框图

注：#MRST 表示低电平有效。

1.4 管脚分配图

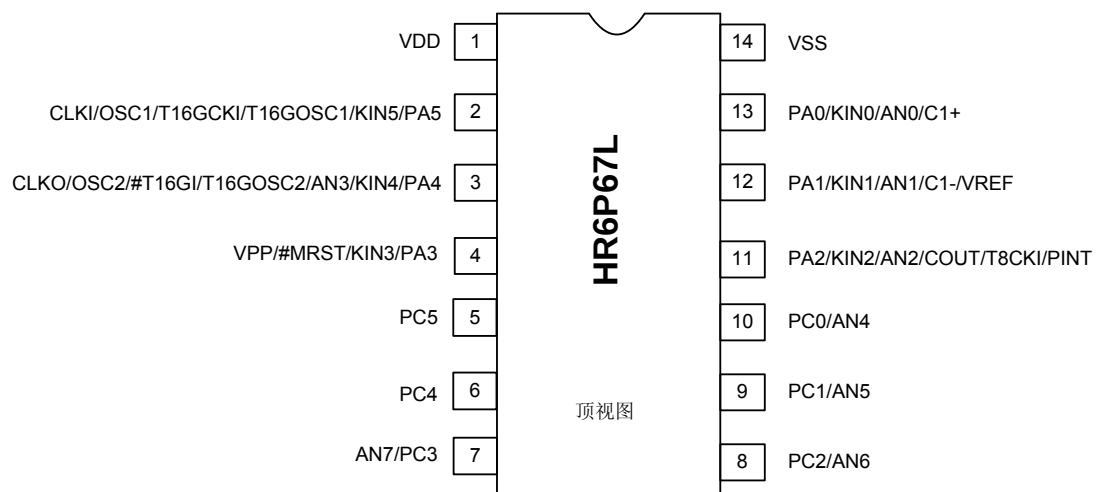


图 1-2 HR6P67L (DIP14/SOP14) 顶视图

注: #MRST, #T16GI 表示低电平有效。

1.5 管脚说明

1.5.1 管脚封装对照表

管脚名	HR6P67L
	DIP14/SOP14
PA0/KIN0/AN0/C1+	13
PA1/KIN1/AN1/C1-/VREF	12
PA2/KIN2/AN2/COU/T8CKI/PINT	11
PA3/KIN3/#MRST/VPP	4
PA4/KIN4/AN3/#T16GI/T16GOSC2/OSC2/CLKO	3
PA5/KIN5/T16GCKI/T16GOSC1/OSC1/CLKI	2
PC0/AN4	10
PC1/AN5	9
PC2/AN6	8
PC3/AN7	7
PC4	6
PC5	5
VDD	1
VSS	14

表 1-1 管脚封装对照表

1.5.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/KIN0/AN0/C1+	PA0	D	通用 I/O	可单独使能弱上拉
	KIN0	D	外部按键中断输入 0	
	AN0	A	ADC 模拟通道 0 输入	
	C1+	A	模拟比较器正输入	
PA1/KIN1/AN1/C1-/VREF	PA1	D	通用 I/O	可单独使能弱上拉
	KIN1	D	外部按键中断输入 1	
	AN1	A	ADC 模拟通道 1 输入	
	C1-	A	模拟比较器负输入	
	VREF	A	外部 A/D 参考电平输入	
PA2/KIN2/AN2/COU/T8CKI/PINT	PA2	D	通用 I/O	可单独使能弱上拉
	KIN2	D	外部按键中断输入 2	
	AN2	A	ADC 模拟通道 2 输入	
	COU	D	模拟比较器输出	
	T8CKI	D	T8 时钟输入	
	PINT	D	外部端口中断输入	
PA3/KIN3/#MRST/VPP	PA3	D	通用输入	
	KIN3	D	外部按键中断输入 3	
	VPP	A	编程电压输出	
	#MRST	A	主复位信号输入	
PA4/KIN4/AN3/#T16GI/T16GOSC2/OSC2/CLKO	PA4	D	通用 I/O	可单独使能弱上拉
	KIN4	D	外部按键中断输入 4	
	#T16GI	D	T16G 门控输入	
	OSC2	A	晶振/谐振器输出	
	CLKO	D	Fosc/4 参考时钟输出	
	T16GOSC2	A	T16G 振荡器输出	
	AN3	A	ADC 模拟通道 3 输入	
PA5/KIN5/T16GCKI/T16GOSC1/OSC1/CLKI	PA5	D	通用 I/O	可单独使能弱上拉
	KIN5	D	外部按键中断输入 5	
	OSC1	A	晶振/谐振器输入	
	CLKI	A/D	时钟输入	
	T16GOSC1	A	T16G 振荡器输入	
	T16CKI	D	T16 时钟输入	
PC0/AN4	PC0	D	通用 I/O	-
	AN4	A	ADC 模拟通道 4 输入	
PC1/AN5	PC1	D	通用 I/O	-
	AN5	A	ADC 模拟通道 5 输入	
PC2/AN6	PC2	D	通用 I/O	-
	AN6	A	ADC 模拟通道 6 输入	

【续】

管脚名	管脚复用	A/D	端口说明	备注
PC3/AN7	PC3	D	通用 I/O	-
	AN7	A	ADC 模拟通道 7 输入	
PC4	PC4	D	通用 I/O	-
PC5	PC5	D	通用 I/O	-
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字;

注 2: #MRST 表示低电平有效;

注 3: 除 PA3 外, 所有通用数据 I/O 均为 TTL 施密特输入和 TTL 输出。PA3 为 TTL 输入。

第 2 章 内核特性

2.1 CPU内核概述

◆ 内核特性

- ◇ 高性能哈佛型 RISC CPU 内核
- ◇ 48 条精简指令，指令长度 15 位
- ◇ 工作频率为 DC ~ 16MHz
- ◇ 直接、间接和相对寻址三种寻址方式
- ◇ 复位向量位于 0000_H，默认中断向量位于 0004_H，支持中断向量表
- ◇ 支持中断处理，共 7 个中断源

2.2 系统时钟和机器周期

本芯片系统时钟支持最大 16MHz。输入时钟通过片内时钟生成器产生四个不重叠的正交时钟 phase1 (p1)，phase2 (p2)，phase3 (p3) 和 phase4 (p4)。四个不重叠的正交时钟组成一个机器周期。

2.3 指令集概述

本芯片采用 HR6P 系列 48 条精简指令集系统。所有指令都是单字指令。

除了部分条件跳转与控制流程的指令需要两个机器周期来完成，其他指令的执行都是在一个机器周期中完成。若单片机运行在 4MHz 振荡时钟时，一个机器周期的时间为 1 μ s。

具体指令集请参考《附录 指令集》。

2.4 程序计数器 (PC) 和硬件堆栈

2.4.1 程序计数器 (PC)

本芯片支持 11 位程序计数器 (PC)，可寻址 2K 程序存储空间，地址范围 0000_H ~ 07FF_H，超出地址范围会导致循环。复位后，PC 指向 0000_H。产生中断后，PC 会根据不同的中断向量模式指向相应的中断向量入口地址。

11 位的程序计数器 PC<10:0>，其中 PC<7:0>可通过 PCRL 直接读写，而 PC<10:8>不能直接读写，只能通过对 PCRH<2:0>操作来修改。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 寄存器的内容。

下面是执行各种指令时，PC 值的变化情况：

- ◇ 通过指令直接修改 PC 值时，对 PCRL 的赋值操作可直接修改 PC<7:0>，即 PC<7:0> = PCRL<7:0>；而 PC<10:8> = PCRH<2:0>。因此，修改 PC 值，应先修改 PCRH<2:0>，再修改 PCRL<7:0>；
- ◇ 执行以 PCRL 为目标寄存器的指令时，写入 PCRL 的值为 8 位的运算结果，PC 值的高字节从 PCRH<2:0>寄存器装入；
- ◇ 执行 CALL，GOTO，LCALL 指令时，PC 值低 11 位由指令中的 11 位立即数（操作数）提供；

◇ 执行其他指令时，PC 值自动加 1。

应用例程：以 PCRL 为目标寄存器的指令应用程序。

```
.....  
MOVI    pageaddr  
MOVA    PCRH      ; 设置表格页面地址  
MOVI    tableaddr  ; 设置偏移量给 A 寄存器  
LCALL    TABLE   ; 调用子程序方式查表  
.....  
TABLE  
ADD      PCRL      ; PC 加上偏移量，指向访问的地址  
RETIA    0X01  
RETIA    0X02  
RETIA    0X03  
.....
```

2.4.2 硬件堆栈

芯片内有 8 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 指令或一个中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

硬件堆栈只支持 8 级缓冲操作，即硬件堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。

2.5 控制寄存器

寄存器名称	选择寄存器 (BSET)		
地址	081 _H		
复位值	1111 1111		
PS<2:0>	bit2-0	R/W	T8/WDT 分频比选择位 000: 1:2 001: 1:4 010: 1:8 011: 1:16 100: 1:32 101: 1:64 110: 1:128 111: 1:256
PSA	bit3	R/W	预分频器选择位 0: 预分频器用于 T8 1: 预分频器用于 WDT
T8SE	bit4	R/W	T8 时钟沿选择位 0: T8CKI 外部时钟上升沿计数 1: T8CKI 外部时钟下降沿计数
T8CS	bit5	R/W	T8 时钟源选择位 0: 内部系统时钟 4 分频 Fosc/4 1: T8CKI 外部时钟输入
INTEDG	bit6	R/W	INT 中断信号触发边沿选择位 0: PINT 端口的下降沿触发 1: PINT 端口的上升沿触发
#PAPU	bit7	R/W	PA 口弱上拉控制位 0: 使能 PA 口弱上拉 1: 禁止 PA 口弱上拉

寄存器名称	程序状态字寄存器 (PSW)		
地址	003 _H 083 _H		
复位值	0001 1xxx		
C	bit0	R/W	全进位和借位 0: 无进位或有借位 1: 有进位或无借位
DC	bit1	R/W	半进位和借位, 对加/减指令 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Z	bit2	R/W	零标志位 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
#PD	bit3	R	低功耗标志位 0: 执行 IDLE 指令后被清零 1: 上电复位或执行 CWDT 指令后被置 1
#TO	bit4	R	定时时间到标志位 0: 看门狗定时器复位后被清零 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
RP0	bit5	R/W	寄存器空间选择位 (直接寻址) 0: 选择存储体组 0 (000 _H ~ 05F _H) 1: 选择存储体组 1 (080 _H ~ 0DF _H)
-	bit7-6	-	-

第 3 章 存储资源

3.1 程序存储器

3.1.1 概述

本芯片的程序存储器为 2K x 15 位 OTP。程序计数器 PC 为 11 位字宽，可寻址 2K 空间，地址范围 0000_H ~ 07FF_H，寻址超出 07FF_H 就会导致循环。复位向量位于 0000_H，中断向量入口地址位于 0004_H、000D_H 和 0021_H。

3.1.2 寻址方式

程序存储器支持直接寻址和相对寻址。

程序指针 PC 通过直接寻址，从程序存储器中获取执行指令。当程序执行相对跳转指令 JUMP 时，程序指针 PC 执行相对寻址。相对寻址范围为 PC+1+I。有符号立即数 I 为相对跳转指令的操作数，即-128~127。

3.1.3 程序存储空间地址映射和堆栈示意图

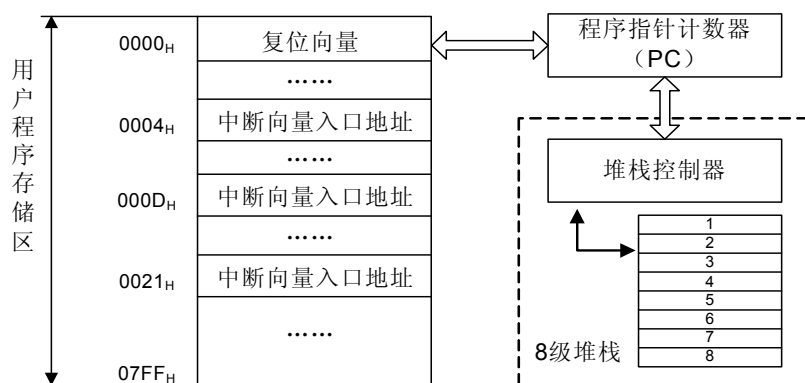


图 3-1 程序区地址映射和堆栈示意图

3.2 数据存储器

3.2.1 数据存储空间地址映射

数据存储器由控制寄存器和通用数据寄存器构成，可分为 2 个存储体组（存储体组 0 ~ 1）。存储体组 0 由控制寄存器空间 0 和通用数据寄存器空间 0 构成，存储体组 1 由控制寄存器空间 1 和通用数据寄存器空间 1 构成。

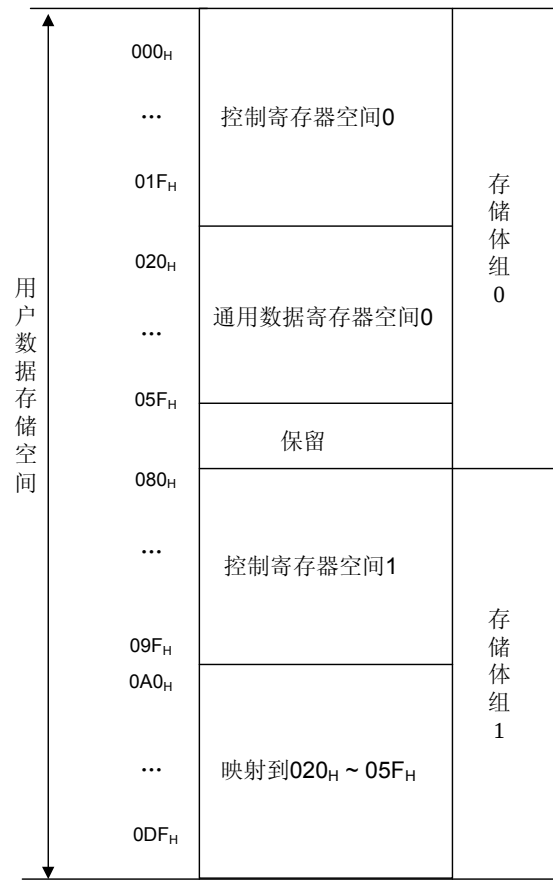


图 3-2 数据区地址映射示意图

3.2.2 寻址方式

数据存储器的寻址可以采用直接寻址和间接寻址。

直接寻址：

程序状态字寄存器（PSW）的 RP0 位为直接寻址的高位地址，用于在存储体组 0~1 中进行选择；指令中的操作数为 7 位地址信息，用于在所选的存储体组内直接寻址。

间接寻址：

索引寄存器（IAA）的最高位为间接寻址的高位地址，用于在存储体组 0~1 中进行选择；IAA 的低 7 位存放低位地址信息，

用于在所选的存储体组内寻址。间接寻址是通过对 IAD 寄存器的读/写来完成的。

IAD 寄存器不是一个物理寄存器，当对 IAD 寄存器进行读/写时，实际上是访问 IAA 内容所指向的单元，即 IAA 作为间接寻址的地址寄存器使用，IAD 作为间接寻址的数据存储器使用。若用间接寻址对 IAD 寄存器进行读操作，返回结果为 00H；进行写操作将视为空操作（可能会影响状态位）。

应用例程：采用间接寻址将存储体组 0（020_H ~ 02F_H）的寄存器清零。

```

.....
      MOVI  0X20      ; 对指针初始化
      MOVA  IAA       ; IAA 指向 RAM
NEXT1:
      CLR   IAD       ;
      INC   IAA       ; 指针 IAA 内容加 1
      JBS   IAA, 4     ; 到 2FH 完成否？
      GOTO  NEXT1     ; 未完成，循环到下一个单元清零
CONTINUE:
.....
  
```

应用例程：采用间接寻址方式把数据 5A_H 写入存储体组 1 中 0B0_H ~ 0B7_H 内。

```

.....
      MOVI  0XB0      ; 对指针初始化
      MOVA  IAA       ; IAA 指向 RAM
NEXT1:
      MOVI  0X5A      ; 对 A 寄存器赋值 5AH
      MOVA  IAD       ; 间接寻址赋值
      INC   IAA       ; 指针 IAA 内容加 1
  
```

MOVI	0XB8	；对 A 寄存器赋值 B8 _H
XOR	IAA, 0	；IAA 值与 B8 _H 异或
JBS	PSW, Z	；判断 IAA 值是否为 B8 _H
GOTO	NEXT1	；IAA 值不是 B8 _H ，继续循环

CONTINUE:
.....

3.2.3 控制寄存器空间

控制寄存器主要由控制寄存器空间 0 ~ 1 构成，具体控制寄存器空间的分布，请参考下面表格：

控制寄存器空间 0：

地址	寄存器名称	功能说明	备注
00 _H	IAD	间接寻址数据寄存器	-
01 _H	T8	T8 寄存器	-
02 _H	PCRL	低 8 位程序计数器	-
03 _H	PSW	程序状态字寄存器	-
04 _H	IAA	间接寻址地址寄存器	-
05 _H	PA	PA 端口电平状态寄存器	-
06 _H	-	-	-
07 _H	PC	PC 端口电平状态寄存器	-
08 _H	-	-	-
09 _H	-	-	-
0A _H	PCRH	高 8 位程序计数器	-
0B _H	INTC0	中断控制寄存器 0	-
0C _H	INTF0	片内外设中断标志寄存器 0	-
0D _H	-	-	-
0E _H	T16GL	低 8 位 T16G 计数器	-
0F _H	T16GH	高 8 位 T16G 计数器	-
10 _H	T16GC	T16G 控制寄存器	-
11 _H	-	-	-
12 _H	-	-	-
13 _H	-	-	-
14 _H	-	-	-
15 _H	-	-	-
16 _H	-	-	-
17 _H	-	-	-
18 _H	-	-	-
19 _H	ACPC	模拟比较控制器	-
1A _H	-	-	-
1B _H	-	-	-
1C _H	-	-	-
1D _H	-	-	-
1E _H	ADCRH	高 8 位 ADC 转换寄存器	-
1F _H	ADCC0	ADC 控制寄存器 0	-

控制寄存器空间 1:

地址	寄存器名称	功能说明	备注
80 _H	IAD	间接寻址数据寄存器	-
81 _H	BSET	选择寄存器	-
82 _H	PCRL	低 8 位程序计数器	-
83 _H	PSW	程序状态字寄存器	-
84 _H	IAA	间接寻址地址寄存器	-
85 _H	PAT	PA 端口输入输出控制	-
86 _H	-	-	-
87 _H	PCT	PC 端口输入输出控制	-
88 _H	-	-	-
89 _H	-	-	-
8A _H	PCRH	高 8 位程序计数器	-
8B _H	INTC0	中断控制寄存器 0	-
8C _H	INTE0	中断使能寄存器 0	-
8D _H	-	-	-
8E _H	PCON	电源控制寄存器	-
8F _H	INTC1	中断控制寄存器 1	-
90 _H	CALR	内部时钟校准寄存器	-
91 _H	ADCC2	ADC 控制寄存器 2	-
92 _H	-	-	-
93 _H	ACPCE	模拟比较器控制使能	-
94 _H	-	-	-
95 _H	PAWPUC	弱上拉控制寄存器	-
96 _H	KMSK	按键屏蔽控制寄存器	-
97 _H	-	-	-
98 _H	-	-	-
99 _H	VRC	参考电压控制器	-
9A _H	-	-	-
9B _H	-	-	-
9C _H	-	-	-
9D _H	-	-	-
9E _H	ADCRL	低 8 位 ADC 转换寄存器	-
9F _H	ADCC1	ADC 控制寄存器 1	-

3.2.4 通用数据存储器

本芯片的通用数据存储器为 64 x 8 位 SRAM，地址映射到 2 个存储体组中。所在地址范围为 020_H ~ 080_H（存储体组 0）、0A0_H ~ 0DF_H（存储体组 1）。其中，060_H ~ 080_H 保留未用，0A0_H ~ 0DF_H 的地址空间被映射到与 020_H ~ 05F_H 相同的物理存储空间。通用数据存储器用于指令运行中存放数据或控制信息，其内容在上电复位后是不确定的，未掉电的其他复位后，将保存复位前的内容。

通用数据存储器能够直接寻址，也可通过索引寄存器 IAA 间接寻址。

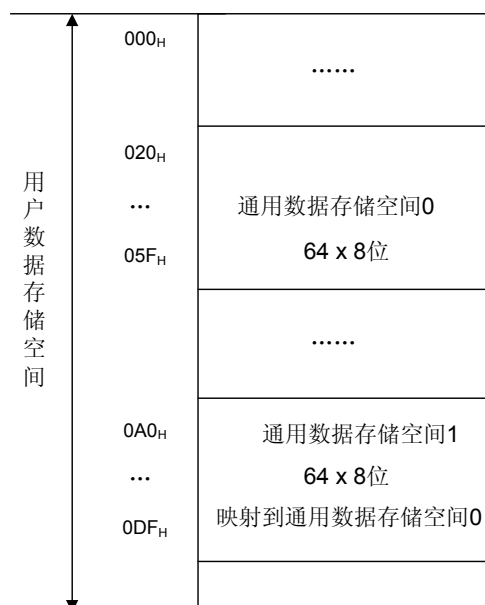


图 3-3 通用数据存储器地址映射示意图

第 4 章 输入/输出端口

4.1 概述

本芯片支持 12 个 I/O 端口。

所有 I/O 端口都是 TTL/SMT 输入和 TTL 输出驱动器。每个端口都有相应的控制寄存器 PxT 来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。其中 PA3 只能配置为输入。

当 I/O 管脚处于输出状态时，其电平由 Px 寄存器决定。1 为高电平，0 为低电平。

当 I/O 管脚处于输入状态时，其电平状态可由 Px 寄存器读取。

支持管脚复用。详细介绍和设置可参考《管脚说明》和《I/O MUX》章节。

4.2 结构框图

管脚	0	1	2	3	4	5	备注
PA	B	B	B	C	B	B	-
PC	A	A	A	A	A	A	-

表 4-1 I/O 端口结构信息表

注：A 表示端口结构图 A，B 表示端口结构图 B，C 表示端口结构图 C。三种结构图如下。

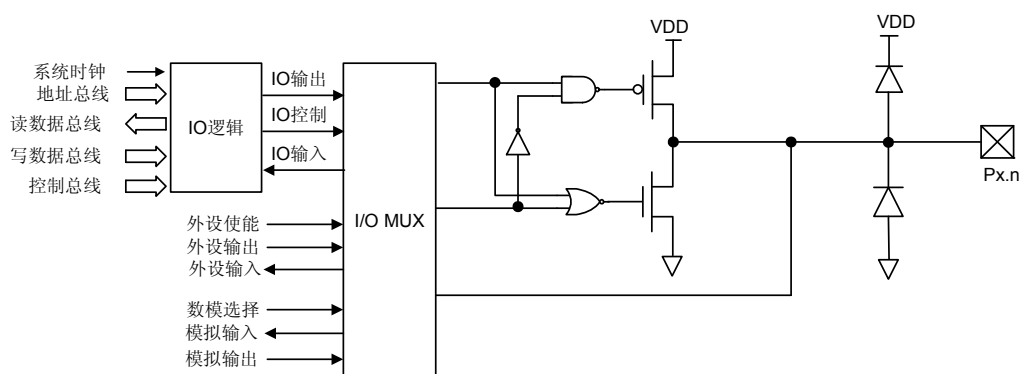


图 4-1 输入/输出端口结构图 A

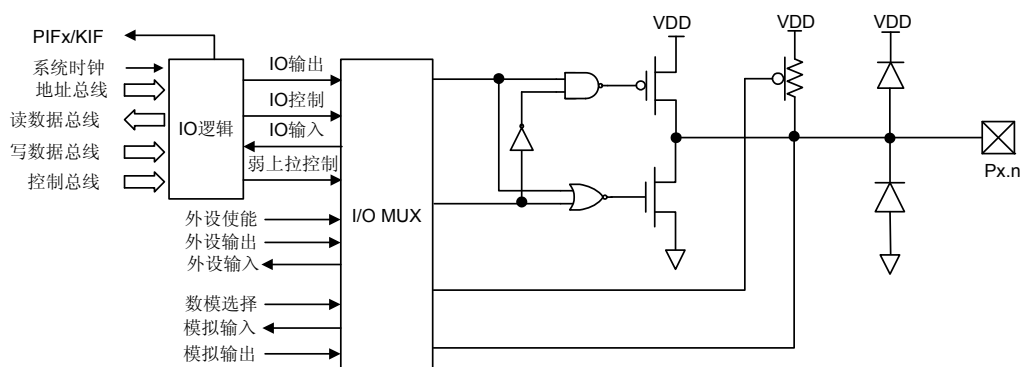


图 4-2 输入/输出端口结构图 B

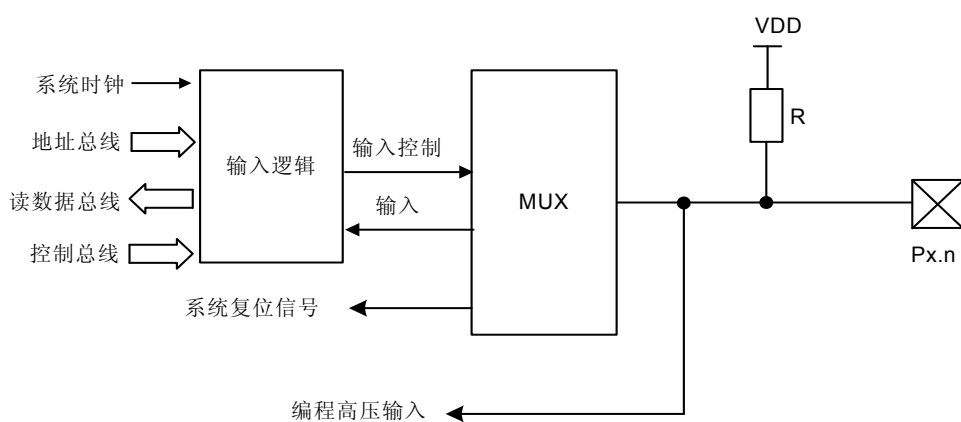


图 4-3 输入端口结构图 C

4.3 I/O MUX

管脚名	管脚复用	PAT	外设使能	备注
PA0	PA0	-	-	-
	KIN0	1	-	-
	AN0	1	ADCC2<0>=1	-
	C1+	1	CM<2:0>=000,001,010 CM<2:0>=101,110 且 CIS=1	-
PA1	PA1	-	-	-
	KIN1	1	-	-
	AN1	1	ADCC2<1>=1	-
	C1-	1	CM<2:0>=000,001,010, 011,100 CM<2:0>=101,110 且 CIS=0	-
	VREF	1	VCFG=1	-
PA2	PA2	-	-	-
	KIN2	1	-	-
	AN2	1	ADCC2<2>=1	-
	COUT	0	CM<2:0>=010,100,110	-
	T8CKI	1	T8CS=1	-
	PINT	1	-	-
PA3	PA3	1	MRSTEN=0	-
	KIN3	1	MRSTEN=0	-
	#MRST	1	MRSTEN=1	-
	VPP	-	-	-
PA4	PA4	-	-	-
	KIN4	1	-	-
	#T16GI	1	T16GIE=1	-
	OSC2	-	OSCS<2:0>=000,010,111	-
	CLKO	-	OSCS<2:0>=001,101	-
	T16GOSC2	-	T16GOSCEN = 1 且 OSCS<2:0> = 0	-
	AN3	1	ADCC2<3>=1	-
PA5	PA5	-	-	-
	KIN5	1	-	-
	T16CKI	1	T16GCS=1	-
	OSC1	-	OSCS<2:0>=000,001,010, 110,111	-
	CLKI	-	OSCS<2:0>=011	-
	T16GOSC1	-	T16GOSCEN = 1 且 OSCS<2:0> = 0	-

管脚名	管脚复用	PCT	外设使能	备注
PC0	PC0	-	-	-
	AN4	1	ADCC2<4>=1	-
PC1	PC1	-	-	-
	AN5	1	ADCC2<5>=1	-
PC2	PC2	-	-	-
	AN6	1	ADCC2<6>=1	-
PC3	PC3	-	-	-
	AN7	1	ADCC2<7>=1	-
PC4	PC4	-	-	-
PC5	PC5	-	-	-

4.4 I/O端口弱上拉

管脚	0	1	2	3	4	5
PA	支持	支持	支持	不支持	支持	支持
PC	不支持	不支持	不支持	不支持	不支持	不支持

表 4-2 I/O 端口弱上拉

4.5 外部中断

4.5.1 外部端口中断 (PINT)

PA2 支持一个外部端口中断。外部端口中断由相应的 PIE 使能，通过 INTEDG 选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF。

管脚名	中断名	中断使能	端口输入	触发选择	中断标志
PA2	PINT	PIE	PINT	INTEDG	PIF

表 4-3 外部端口中断

4.5.2 外部按键中断 (KINT)

PA<5:0>各支持 1 组外部按键中断。按键中断支持最多 6 个按键输入端 KIN<5:0>，每个输入端可以由相应的 KMSK<5:0>屏蔽。按键中断由 KIE 使能，任何一个未屏蔽的按键输入发生电平变化都会产生外部按键中断，中断产生将影响相应的中断标志 KIF。

管脚名	中断名	中断使能	端口输入	按键屏蔽	中断标志
PA0	KINT	KIE	KIN0	KMSK0	KIF
PA1	KINT	KIE	KIN1	KMSK1	KIF
PA2	KINT	KIE	KIN2	KMSK2	KIF
PA3	KINT	KIE	KIN3	KMSK3	KIF
PA4	KINT	KIE	KIN4	KMSK4	KIF
PA5	KINT	KIE	KIN5	KMSK5	KIF

表 4-4 外部按键中断

4.6 控制寄存器

寄存器名称		端口数据寄存器 (PA/ PC)	
地址		PA: 005 _H PC: 007 _H	
复位值		XXXX XXXX	
Px<5:0>	bit5-0	R/W	Px 口电平状态 0: 低电平 1: 高电平
-	bit7-6		-

寄存器名称		端口方向寄存器 (PAT /PCT)	
地址		PAT: 085 _H PCT: 087 _H	
复位值		1111 1111	
PxT<5:0>	bit5-0	R/W	Px 口输入输出状态 0: 输出状态 1: 输入状态
-	bit7-6		-

寄存器名称		弱上拉控制寄存器 (PAWPUC)	
地址		095 _H	
复位值		0011 0111	
-	bit7-6,3		-
PAWPUC <5:0>	bit5-4, bit2-0	R/W	PAX 口内部弱上拉控制 0: 使能 1: 禁止

寄存器名称		按键屏蔽控制寄存器 (KMSK)	
地址		096 _H	
复位值		0000 0000	
KMSK<5:0>	bit5~0	R/W	KINx 按键中断屏蔽使能位 0: 屏蔽按键中断 1: 使能按键中断
-	bit7-6	-	-

第 5 章 外设

5.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器 (T8) 和 1 组门控型 16 位定时器 (T16G)。

5.1.1 8 位定时器/计数器 (T8)

5.1.1.1 概述

- 支持内部时钟和外部时钟，频率为系统时钟 4 分频 ($F_{osc}/4$)
- 支持定时器模式和计数器模式
- 支持 1 组可配置预分频器
- 支持 1 组计数器，可以对系统时钟 4 分频/预分频输出进行计数或对外部时钟边沿进行计数
- 休眠模式下不可用
- 支持溢出中断

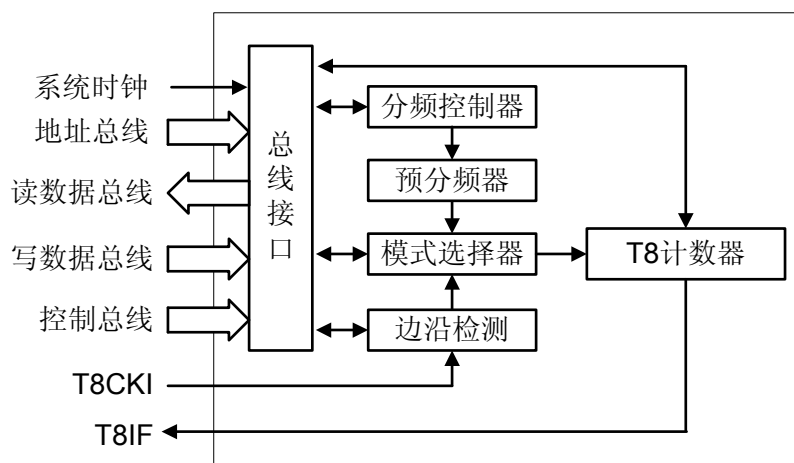


图 5-1 T8 内部结构图

5.1.1.2 工作模式

T8 通过 T8CS 位 (BSET<5>) 的设置来选择工作模式。

设置 T8CS 为 0，T8 为定时器模式，使用系统时钟 4 分频。不使用预分频器时，T8 寄存器的递增周期为一个机器周期，即 $F_{osc}/4$ 。当使用预分频器时，T8 寄存器的递增周期为预分频器的输出信号周期。

设置 T8CS 为 1，T8 为计数器模式，使用外部时钟。时钟信号是从 T8CKI 端口输入，通过 T8SE 位 (BSET<4>) 的设置来选择对外部时钟的上升沿或下降沿计数。当 T8SE 位为 0 时，选择上升沿计数；T8SE 位为 1 时，选择下降沿计数。T8 寄存器在外部时钟的上升沿或下降沿递增。通过内部相位时钟 p2 和 p4 采样，来实现 T8CKI 与内部相位时钟的同步。因此，T8CKI 保持高电平或者低电平时间至少 4 个时钟周期。

5.1.1.3 预分频器

通过 PSA 位的设置 (BSET<3>) 来选择预分频是否被分配给 T8。当预分频器分配给 T8 时, 任何对 T8 寄存器的操作都会把预分频器的计数值清零, 但不改变预分频器的分频比。预分频器的计数值无法读写, 分频比可由 PS<2:0> (BSET<2:0>) 来配置。

5.1.1.4 中断标志

T8 提供了一个溢出中断标志。当 T8 寄存器递增计数, 计数值由 FF_H 变为 00_H 时, T8 寄存器发生溢出, T8IF 位 (INTC0<2>) 置 1, 如果 T8IE 位 (INTC0<5>) 使能, 则产生 T8 溢出中断。如果 T8IE 不使能, 则屏蔽这个中断。在重新使能这个中断之前, 为了避免误触发中断, T8IF 位必须软件清零。在 CPU 进入休眠模式后, 该中断将不再响应。

5.1.2 门控型 16 位定时器/计数器 (T16G)

5.1.2.1 概述

- 支持内部时钟和外部时钟, 均为 Fosc/4
- 支持定时器模式和计数器模式
- 支持同步计数模式和异步计数模式
- 支持 2 组计数器 (T16GL 和 T16GH), 可以对系统时钟 4 分频/预分频输出进行计数或对外部时钟边沿进行计数
- 支持门控设计, 通过门控信号控制 T16G 定时计数
- 支持可配置预分频器
- 支持溢出中断。异步计数模式, 休眠模式下, 中断可唤醒 CPU

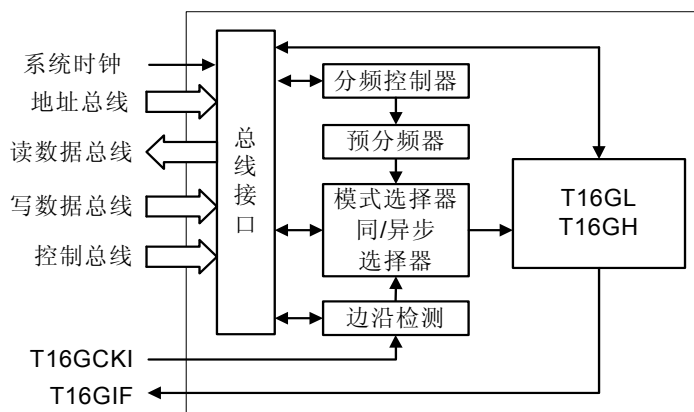


图 5-2 T16G 内部结构图

5.1.2.2 工作模式

T16G 通过 T16GCS (T16GC<1>) 的设置来选择工作模式。在计数模式时, 通过 T16GSYNC (T16GC<2>) 设置来选择同步计数模式或异步计数模式。

1. T16G 定时器模式

当 T16GCS = 0 时, T16G 工作在定时器方式, 此时 T16G 的时钟信号是系统时钟的 4 分频。

注: 若要给 T16GL 寄存器赋值 FFH, 必须关闭 T16G。

2. T16G 同步计数器模式

当 T16GCS = 1, T16GSYNC = 0 时, T16G 工作在同步计数方式下。因为外部时钟需要与系统时钟 p4 同步, 所以外部时钟必须满足一定的要求。当预分频比是 1:1 时, 外部时钟的输入与预分频器的输出相同, 所以要求 T16GCKI 端口上输入脉冲信号的高或低电平时间至少保持 4Tosc (一个机器周期)。

T16G 在同步计数器方式时, 如果单片机进入了休眠模式, 虽然外部的时钟输入仍在工作, 但因为时钟同步模块也进入休眠模式, 所以 T16G 无法工作。

注: 同步计数模式下, 外部时钟输入高电平/低电平要大于 1 个机器周期, 小于 1 个机器周期的脉冲可能会丢失。

3. T16G 异步计数器模式

当 T16GCS = 1, T16GSYNC = 1 时, T16G 工作在异步计数方式下。T16G 异步计数器在休眠期间继续工作并在溢出时产生中断, 并且这个中断能够唤醒 CPU。

5.1.2.3 门控设计

T16G 支持门控设计，可以通过 T16G 门控信号对 T16G 的定时计数功能进行门控。门控信号可选择使用#T16GI 信号或比较器 2 的输出信号。

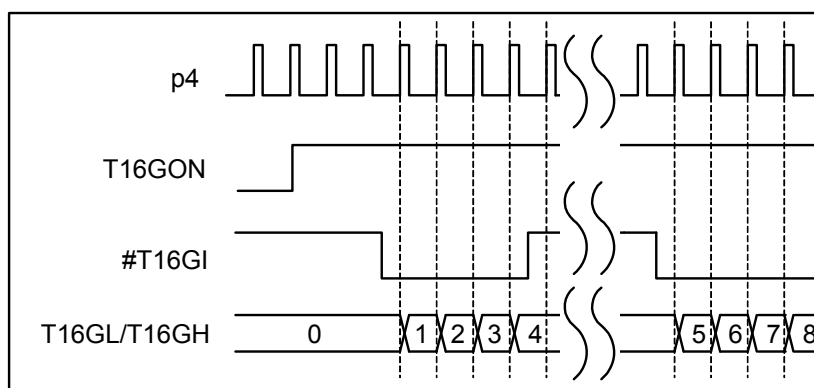


图 5-3 T16G 定时器门控计数

5.1.2.4 振荡器

当 T16G 用作计数器模式（同步或异步）或者使用门控功能时，T16G 不能使用振荡器。

使能 T16G 振荡器时，T16GOSC1 和 T16GOSC2 可外接 32KHz ~ 100KHz LP 振荡器。

注：T16G 振荡器关闭时（T16GOSCEN 为 0），振荡器反馈电阻被关断。

5.1.3 控制寄存器

寄存器名称				8 位定时器/计数器 (T8)
地址				001 _H
复位值				XXXX XXXX
T8<7:0>	bit7-0	R/W	T8 计数器 00 _H ~ FF _H	

寄存器名称				低 8 位 T16G 计数器 (T16GL)
地址				00E _H
复位值				XXXX XXXX
T16GL<7:0>	bit7-0	R/W	T16G 低 8 位计数器 00 _H ~ FF _H	

寄存器名称				高 8 位 T16G 计数器 (T16GH)
地址				00F _H
复位值				XXXX XXXX
T16GH<7:0>	bit7-0	R/W	T16G 高 8 位计数器 00 _H ~ FF _H	

寄存器名称	T16G 控制寄存器 (T16GC)		
地址	010 _H		
复位值	0000 0000		
T16GON	bit0	R/W	T16G 使能位 0: 禁止 1: 使能
T16GCS	bit1	R/W	T16G 时钟源选择位 0: 工作于定时器方式 (用系统时钟 Fosc/4) 1: 对 T16GIO1 端口 (上升沿) 输入的外部时钟信号计数
T16GSYNC	bit2	R/W	T16G 外部时钟输入同步控制位 0: T16GCS = 1: 与外部时钟输入同步 T16GCS = 0: T16G 工作于定时器方式下, 未用此位 1: T16GCS = 1: 不与外部时钟输入同步 T16GCS = 0: T16G 工作于定时器方式下, 未用此位
T16GOSCEN	bit3	R/W	T16G 振荡器使能 0: 禁止 1: 使能
T16GCKPS <1:0>	bit5-4	R/W	T16G 输入预分频选择位 00 = 1:1 01 = 1:2 10 = 1:4 11 = 1:8
T16GGE	bit6	R/W	T16G 门控使能位 0: 禁止 1: 使能
-	bit7	-	-

5.2 模/数转换器模块 (ADC)

5.2.1 概述

本芯片带有 10 位 A/D 转换模块，此模块能将一个模拟信号转换成相对应的 10 位数字信号。HR6P67L 有 8 个 A/D 通道模拟输入端。

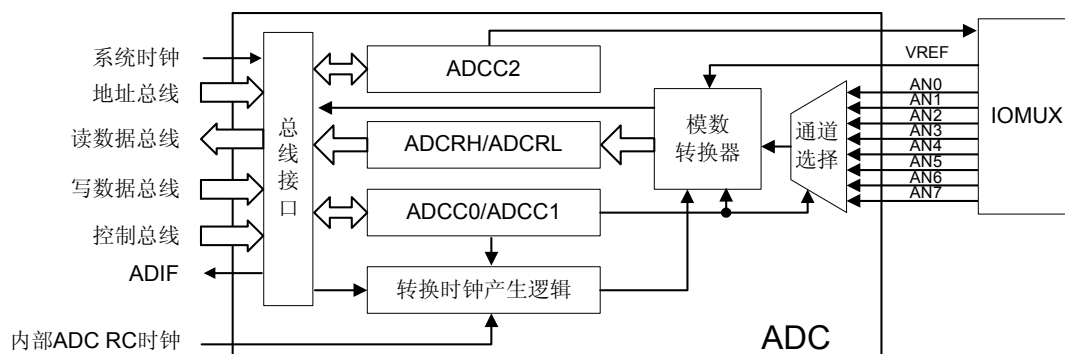


图 5-4 ADC 内部结构图

5.2.2 操作说明

以下通过 A/D 转换的程序和 ADC 时序特征图来说明 ADC 的操作步骤。

应用例程：A/D 转换程序

.....

```
BSS    PSW,RP0           ; 选择存储体组 1
MOVI   0X01
MOVA   ADCC2             ; 设置 A/D 通道模拟输入
BSS    INTE0,ADIE        ; 使能 A/D 中断
MOVI   0X10
MOVA   ADCC1
BCC    PSW, RP0          ; 选择存储体组 0
MOVI   0X01              ; 打开 A/D 转换器，选中通道 0
MOVA   ADCC0             ; PA0 作为 A/D 输入
BCC    INTF0,ADIF        ; 清 A/D 中断标志
BSS    INTC0,PEIE        ; 使能外围功能部件中断
BSS    INTC0,GIE         ; 使能总中断
BSS    ADCC0,GO          ; 启动 A/D 转换
```

.....

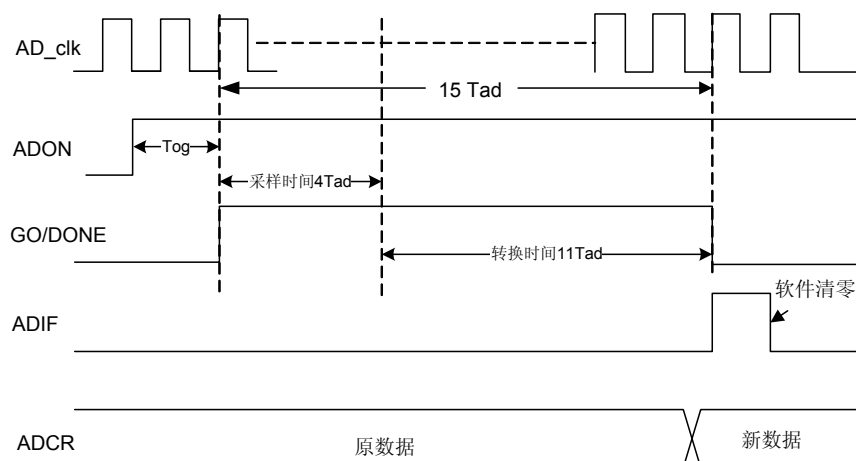


图 5-5 ADC 时序特征图

注 1: T_{ad} 为 ADC 时钟周期;

注 2: T_{og} 为 A/D 转换使能--启动等待时间, 必须大于等于 0。

5.2.3 控制寄存器

寄存器名称				ADC 控制寄存器 2 (ADCC2)
地址				091 _H
复位值				1111 1111
ADCC2<7:0>	bit7-0	R/W	ANx 端口模拟数字选择位 0: 数字功能 1: 模拟功能	

寄存器名称				高 8 位 ADC 转换寄存器 (ADCRH)
地址				01E _H
复位值				XXXX XXXX
ADCRH<7:0>	bit7-0	R/W	高位转换结果 00 _H ~ FF _H	

寄存器名称				低 8 位 ADC 转换寄存器 (ADCRL)
地址				09E _H
复位值				XXXX XXXX
ADCRL<7:0>	bit7-0	R/W	低位转换结果 00 _H ~ FF _H	

寄存器名称				ADC 控制寄存器 0 (ADCC0)
地址				01F _H
复位值				0000 0000
ADON	bit0	R/W	A/D 转换使能位 0: 关闭 A/D 转换器 1: 使能 A/D 转换器	
GO/DONE	bit1	R/W	A/D 转换状态位 0: A/D 未进行转换, 或 A/D 转换已完成 1: A/D 转换正在进行, 该位置 1 启动 A/D 转换	
CHS<2:0>	bit4-2	R/W	A/D 模拟通道选择位 000 = 通道 0 (AN0) 001 = 通道 1 (AN1) 010 = 通道 2 (AN2) 011 = 通道 3 (AN3) 100 = 通道 4 (AN4) 101 = 通道 5 (AN5) 110 = 通道 6 (AN6) 111 = 通道 7 (AN7)	
-	bit5	-	-	
VCFG	bit6	R/W	参考电压选择位 0: VDD 1: VREF	
ADFM	bit7	R/W	10 位 ADC 转换结果格式选择位 0: ADCRH<7:0>, ADCRL<7:6> 1: ADCRH<1:0>, ADCRL<7:0>	

寄存器名称				ADC 控制寄存器 1 (ADCC1)
地址				9F _H
复位值				0000 0000
-	bit3-0	R/W	-	
ADCS<2:0>	bit6-4	R/W	ADC 时钟选择位 000 = Fosc 001 = Fosc/4 010 = Fosc/16 x11 = 内部 RC 时钟 100 = Fosc/2 101 = Fosc/8 110 = Fosc/32	
-	bit7	-	-	

5.3 模拟比较器（ACP）

5.3.1 概述

本芯片有 1 组模拟比较器，模拟比较器的输入端和 I/O 管脚复用。参考电压可作为比较器的输入端。比较器模块可通过对控制位 CEN (ACPCE<4>) 置 1 或清零来决定该模块的打开或关闭。

5.3.2 操作说明

比较器的工作，输入是两个模拟信号，输出是一个数字信号。当输入 V_{in-} 大于 V_{in+} 时，输出数字“0”低电平，而当输入 V_{in-} 小于 V_{in+} 时，则输出数字“1”高电平。

比较器的输入信号 V_{in-} 和 V_{in+} ，输出信号 COUT 可以通过 CM<2:0>(ACPC<2:0>) 和 CIS(ACPC<3>) 进行设置。

当比较器的输出有变化时，比较器中断使能位 CIE(INTE0<3>) 和 PEIE(INTC0<6>) 必须被置 1，才能产生中断，中断标志位 CIF(INTF0<3>) 被置 1，如果 GIE(INTC0<7>) 被置 1，会进入中断子程序进行中断处理。如果 CPU 进入休眠模式，比较器仍处于工作状态，则比较器的比较中断能唤醒 CPU。当芯片复位时，CM<2:0> = 000。

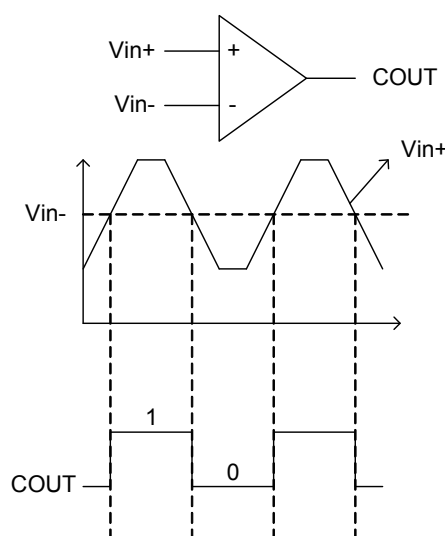


图 5-6 模拟比较器示意图

5.3.3 控制寄存器

寄存器名称	模拟比较控制器 (ACPC)		
地址	019 _H		
复位值	0000 0000		
CM<2:0>	bit2-0	R/W	比较器模式位, 见下表
CIS	bit3	R/W	比较器输入开关位, 见下表
CINV	bit4	R/W	0: C1 输出不被反相 1: C1 输出被反相
-	bit5	-	-
COUT	bit6	R/W	当 C1INV = 0 时 1 = C1 Vin+ > C1 Vin- 0 = C1 Vin+ < C1 Vin- 当 C1INV = 1 时 1 = C1 Vin+ < C1 Vin- 0 = C1 Vin+ > C1 Vin-
-	bit7	-	-

端口复用 CM<2:0>	比较器		
	Vin+	Vin-	COUT
000	PA0	PA1	OFF
001	PA0	PA1	PA2
010	PA0	PA1	COUT
011	VREFACP	PA1	PA2
100	VREFACP	PA1	COUT
101	VREFACP	CIS = 0 接 PA1 CIS = 1 接 PA0	PA2
110	VREFACP	CIS = 0 接 PA1 CIS = 1 接 PA0	COUT
111	VSS	VSS	OFF

注: VREFACP 为内部参考电压模块。

寄存器名称	模拟比较器控制使能 (ACPCE)		
地址	093 _H		
复位值	0000 1111		
-	bit3-0	-	-
CEN	bit4	R/W	比较器时钟使能位 0: 禁止 1: 使能
-	bit7-5	-	-

5.4 参考电压模块

5.4.1 概述

参考电压模块由电阻梯度网提供两种可选参考电压的值和为了节约功耗关闭参考电压模块。寄存器 VRC 控制参考电压模块的工作。

5.4.2 操作说明

参考电压可以提供 16 种参考电压。

应用例程：VDD = 5.0V 时，配置参考电压为 1.25V。

```
.....  
MOVI 0X03  
MOVA ACPC          ; 初始化比较器模式  
BSS  PSW, RP0      ;  
BSS  ACPC, 4        ; 使能比较器 1  
MOVI 0XA6          ; 通过 VREN=1，使能参考电压模块  
MOVA VRC           ; 设置参考电压值为 1.25V  
.....
```

5.4.3 控制寄存器

寄存器名称	参考电压控制器（VRC）		
地址	099 _H		
复位值	0000 0000		
VR<3:0>	bit3-0	R/W	VREFACP 值的选择位 VRR = 1: $VREFACP = (VR<3:0>/24) \times VDD$ VRR = 0: $VREFACP = 1/4 \times VDD + (VR<3:0>/32) \times VDD$
-	bit4	-	-
VRR	bit5	R/W	VREFACP 范围选择位 0: 选择高压范围 1: 选择低压范围
-	bit6	-	-
VREN	bit7	R/W	VREFACP 使能位 0: 禁止 1: 使能

第 6 章 特殊功能及操作特性

6.1 系统时钟及振荡器

6.1.1 概述

本芯片有两种时钟源，一种是外部时钟源，支持 6 种时钟模式，分别是 HS、XT、LP、EC、RC 和 RCIO 模式；另一种是内部时钟源，支持 2 种时钟模式，分别是 INTOSC 和 INTOSCIO 模式。

具体的时钟源和对应模式选择由芯片配置字 OSCS<2:0> 位决定。

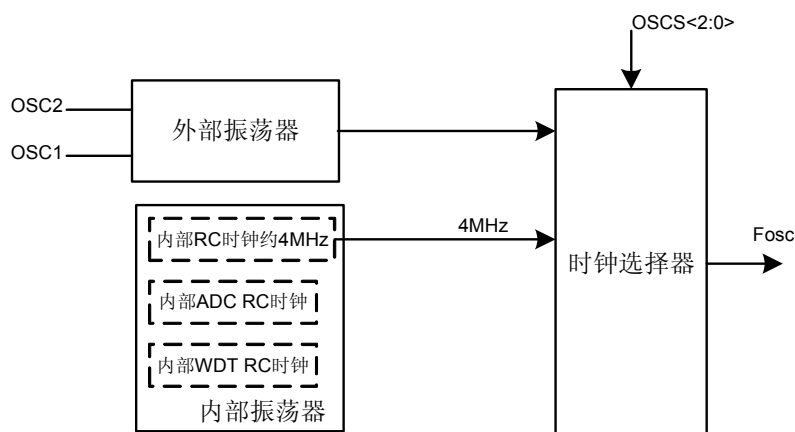


图 6-1 芯片系统时钟选择框图

6.1.2 外部时钟

外部时钟包括晶体/陶瓷振荡器模式（HS/XT/LP）、RC 模式（RC/RCIO）和 EC 模式。分别介绍如下。

◇ 晶体/陶瓷振荡器模式（HS、XT、LP 模式）

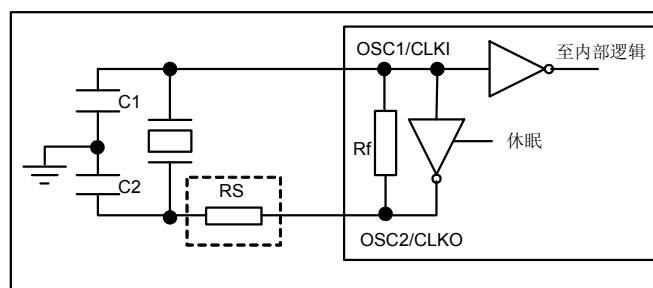


图 6-2 晶体/陶瓷振荡器模式（HS、XT、LP 模式）

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
LP	32KHz	15pF	15pF
	100KHz	15 ~ 33pF	15 ~ 33pF
XT	200KHz	68 ~ 150pF	150 ~ 200pF
	2MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	10MHz	33pF	33pF
	20MHz		

表 6-1 晶体振荡器电容参数参考表

注*: 此数据可根据晶振频率大小、外围电路的不同作微调。

◇ RC 振荡器模式

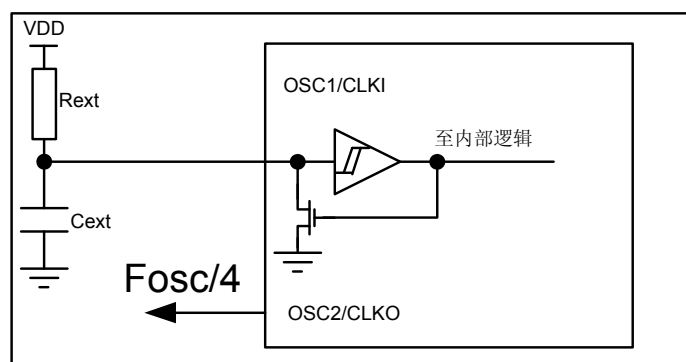


图 6-3 振荡器 RC 模式等效电路图及外围参考图

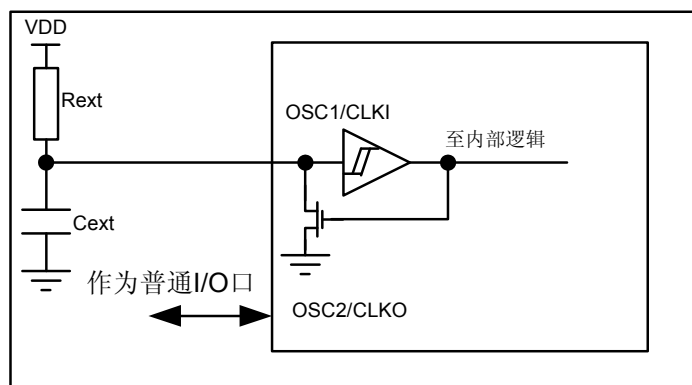


图 6-4 振荡器 RCIO 模式等效电路图及外围参考图

◇ EC 外灌时钟输入模式

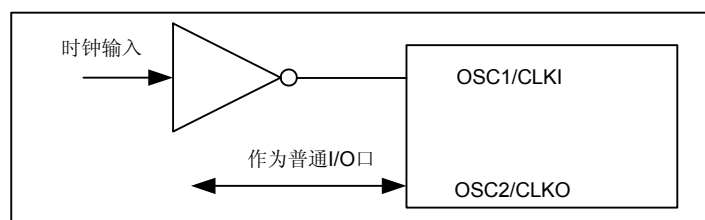


图 6-5 EC 外灌时钟输入模式参考图

6.1.3 内部时钟

本芯片内部时钟包括 INTOSC 和 INTOSCIO 两种模式。

在 INTOSC 模式下，OSC1/CLKI 管脚可用作通用 I/O 管脚。OSC2/CLKO 管脚输出系统时钟的四分频。

在 INTOSCIO 模式下，OSC1/CLKI 和 OSC2/CLKO 管脚都作通用 I/O 管脚。

内部时钟校准值在出厂前已作校准。

6.1.4 控制寄存器

寄存器名称	内部时钟校准寄存器 (CALR)		
地址	090 _H		
复位值	1111 1111		
CALR<5:0>	bit5-0	R/W	频率调节位 111111 = 最小频率 100000 = 中心频率。振荡器模块以校准后的频率运行。 000000 = 最大频率
-	bit7-6	-	-

注： CALR 寄存器主要是调整内部 4MHz 时钟的精度，低 6 位有效。程序储存器的最后一个地址（7FF_H）不可写，此地址已经写入指令 RETIA XX，其中 XX 为内部 4MHz 校准值，当用户使用内部 4MHz 时钟工作时，在主程序开头需要增加读取内部 4MHz 时钟校准值的简单程序。

应用例程：读取内部 4MHz 校准值。

```

ORG      0X000

GOTO     MAIN          ; 进入主程序

ORG      0X004

.....

RETIE

MAIN:

CALL     0X7FF          ; 返回校准值

BSS      PSW, RP0       ; 选择存储体组 1

MOVA     CALR           ; 把校准值写入校准寄存器

BCC      PSW, RP0       ; 选择储存体组 0

.....

```

6.2 复位模块

6.2.1 概述

本芯片有四种复位类型：

- ◇ 上电复位 POR
- ◇ 低电压检测复位 BOR
- ◇ 外部端口#MRST 复位（低电平有效）
- ◇ 看门狗定时器 WDT 溢出复位

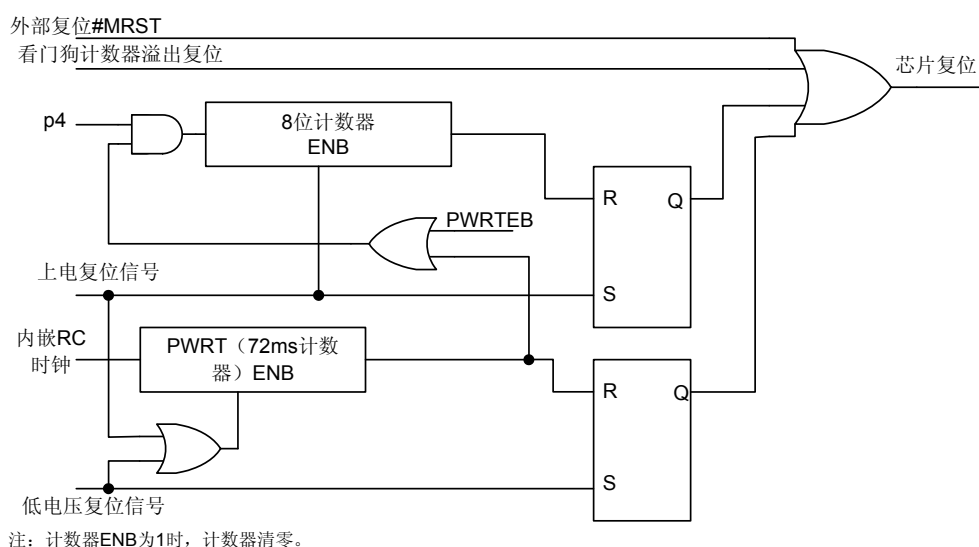


图 6-6 芯片复位原理图

6.2.2 应用举例

- ◇ 应用举例一

采用下图所示的复位电路，其中 $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 (0.1 μF)，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

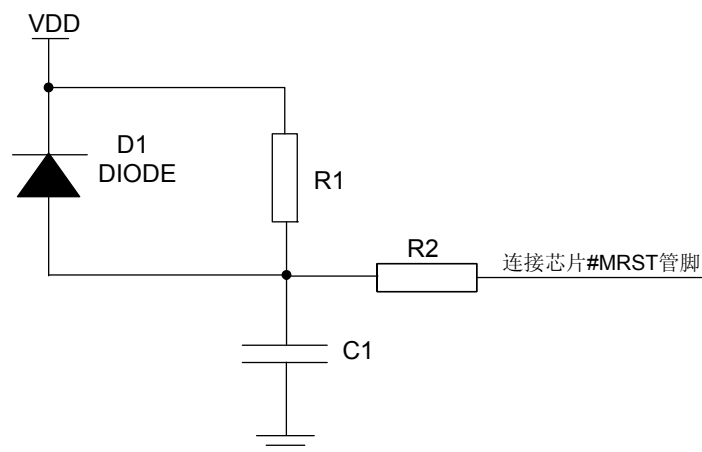


图 6-7 RC 复位电路

◇ 应用举例二

采用 PNP 三极管的复位电路，如下图所示，通过 R1 (2K Ω) 和 R2 (10K Ω) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K Ω) 接地，另一路通过 R4 (1K Ω) 和 C1 (0.1 μ F) 接地，C1 另一端作为#MRST 输入。

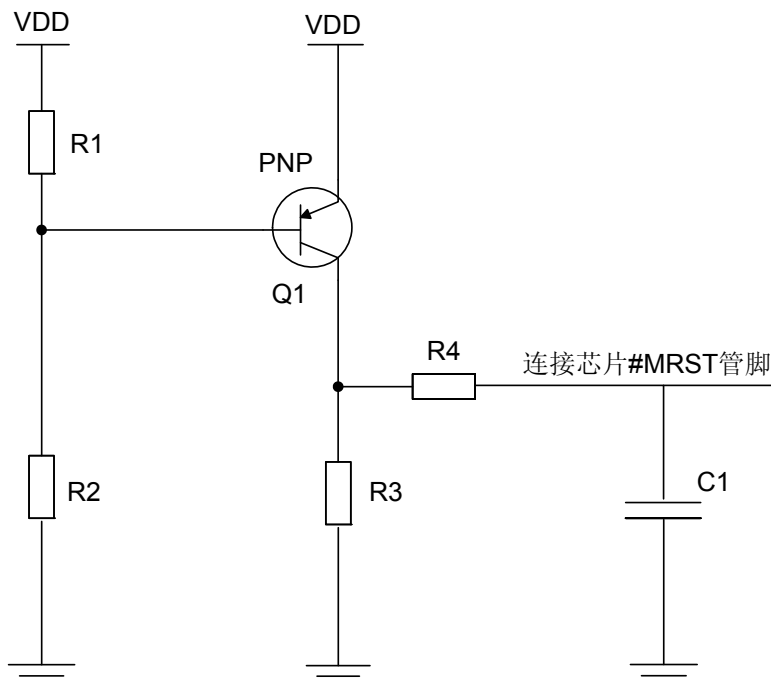


图 6-8 三极管复位电路

6.2.3 控制寄存器

寄存器名称	电源控制寄存器（PCON）		
地址	8E _H		
复位值	0000 000x		
#BOR	bit0	R/W	低电压检测复位状态位 0: 低电压检测复位发生（低电压检测复位后，必须用软件置位） 1: 无低电压检测复位发生
#POR	bit1	R	上电复位状态位 0: 上电复位发生（上电复位后，必须用软件置位） 1: 无上电复位发生
-	bit7-2	-	-

6.3 中断处理

6.3.1 概述

本芯片支持硬件中断，共 7 个中断源，其中断向量入口位于 0004_H、000D_H 和 0021_H。每个中断源都有各自的中断使能位和中断标志位。

序号	中断名	中断标志	中断使能	外设使能	全局使能	备注
1	软中断	SOFTIF	-	-	GIE	-
2	KINT	KIF	KIE	PEIE	GIE	需使能 KMSK<5:0>
3	PINT	PIF	PIE	PEIE	GIE	-
4	T8INT	T8IF	T8IE	PEIE	GIE	-
5	T16GINT	T16GIF	T16GIE	PEIE	GIE	-
6	ACPINT	ACPIF	ACPIE	PEIE	GIE	-
7	ADINT	ADIF	ADIE	PEIE	GIE	-

表 6-2 中断使能表

6.3.2 操作说明

每个硬件中断源都有各自的中断使能和中断标志位，因此初始化相应的硬件中断时，需要先设定当前中断的优先级，然后清除中断标志位，再使能当前中断。若使能前不先清除中断标志则有可能发生误进中断的情况。除了每个中断支持中断使能外，本芯片还提供了全局中断。因此在初始化所有需要的中断后，请使能全局中断。

中断现场保护是中断程序中一个很重要的组成部分。由于指令系统中没有 PUSH（压栈）和 POP（出栈）指令，所以只能用其他指令实现数据保存。通常需要保存的数据包括：工作寄存器 A，程序状态字寄存器 PSW 和 PCRH 寄存器，以及需要保存的用户数据存储器的数据。

6.3.3 控制寄存器

寄存器名称	中断控制寄存器 0 (INTC0)		
地址	00B _H 08B _H		
复位值	0000 000x		
KIF	bit0	R/W	外部按键中断标志位 0: 外部按键端口无电平变化 1: 外部按键端口有电平变化 (必须用软件清零)
PIF	bit1	R/W	外部端口中断标志位 0: 外部端口上无电平变化 1: 外部端口上有中断信号 (必须用软件清零)
T8IF	bit2	R/W	T8 溢出中断标志位 0: T8 计数未溢出 1: T8 计数溢出 (必须用软件清零)
KIE	bit3	R/W	外部按键中断使能位 0: 禁止 1: 使能
PIE	bit4	R/W	外部端口中断使能位 0: 禁止 1: 使能
T8IE	bit5	R/W	T8 溢出中断使能位 0: 禁止 1: 使能
PEIE	bit6	R/W	外围中断使能位 0: 禁止外围接口中断 1: 使能未屏蔽的外围接口中断
GIE	bit7	R/W	全局中断使能位 0: 禁止所有的中断 1: 使能所有未屏蔽的中断

中断使能寄存器 0 (INTE0)			
寄存器名称			
地址	08C _H		
复位值	0000 0000		
T16GIE	bit0	R/W	T16G 中断使能位 0: 禁止 1: 使能
-	bit2-1	-	-
CIE	bit3	R/W	比较器中断使能位 0: 禁止 1: 使能
-	bit5-4	-	-
ADIE	bit6	R/W	ADC 中断使能位 0: 禁止 1: 使能
-	bit7	-	-

中断标志寄存器 0 (INTF0)			
寄存器名称			
地址	00C _H		
复位值	0000 0000		
T16GIF	bit0	R/W	T16G 中断标志位 0: T16G 计数器计数未发生溢出 1: T16G 计数器计数溢出 (必须软件清零)
-	bit2-1	-	-
CIF	bit3	R/W	比较器中断标志位 0: 比较器输出 (COUT) 未发生改变 1: 比较器输出 (COUT) 发生改变 (必须用软件清零)
-	bit5-4	-	-
ADIF	bit6	R/W	ADC 中断标志位 0: 正在进行 A/D 转换 1: A/D 转换已完成 (必须用软件清零)
-	bit7	-	-

寄存器名称	中断控制寄存器 1 (INTC1)		
地址	8F _H		
复位值	1100 0000		
INTV<1:0>	bit1-0	R/W	中断向量表选择位, 说明如下表
-	bit2	-	-
SOFTIF	bit3	R/W	软中断标志位 0: 无软中断 1: 有软中断
INTVEN	bit4	R/W	中断向量表及软中断使能位 0: 中断向量表及软中断不使能, 中断入口地址位于 0004 _H 1: 中断向量表及软中断使能
-	bit7-5	-	-

中断向量分配表

位值 向量	00	01	10	11
0004 _H	软中断 外部端口中断 外部按键中断	软中断 外部端口中断	-	软中断 T8/T16G/AD 中断 比较器中断
000D _H	T8/T16G/AD 中断 比较器中断	T8/T16G/AD 中断 比较器中断 外部按键中断	外部端口中断 外部按键中断	-
0021 _H	-	-	T8/T16G/AD 中断 比较器中断	外部端口中断 外部按键中断

6.4 看门狗定时器

6.4.1 概述

当芯片配置字选择使能 **WDTEN**（配置字 **CONFIG<3>**）时，看门狗开始工作，为了防止看门狗超时溢出引起不必要的芯片复位，必须在程序中使用 **CWDT** 指令对 **WDT** 计数器定时清零；芯片配置字选择不使能 **WDTEN** 时，看门狗定时器停止工作。

没有预分频时，WDT 复位周期约为 6ms。

下图为 WDT 功能示意图，内部 RC 时钟正常工作条件下约为 24KHz。

具体可参考《附录 参数特性图》章节的相关图示。

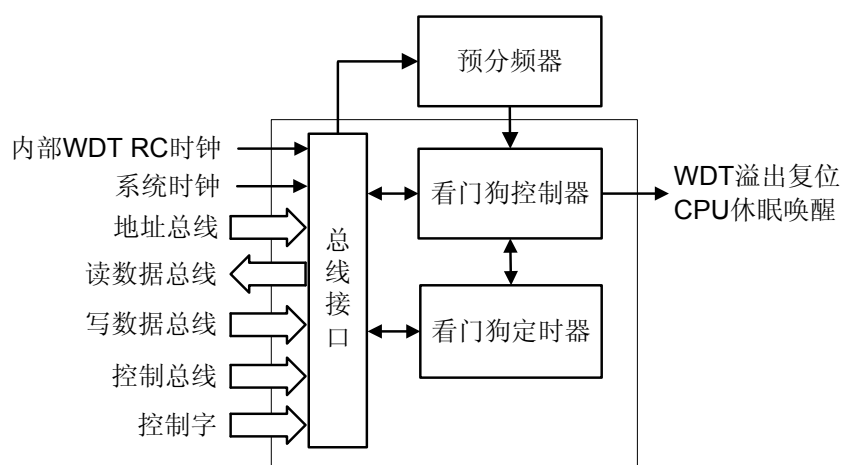


图 6-9 看门狗定时器示意图

6.5 低功耗操作

6.5.1 休眠

通过执行一条指令 IDLE，即可进入休眠状态。进入休眠状态之后：

- ◇ 主时钟振荡器停振
- ◇ 所有 I/O 端口将保持进入 IDLE 前的状态
- ◇ 若使能 WDT，则 WDT 将被清零并保持运行
- ◇ PSW 寄存器中的#PD 位被清零，#TO 位被置 1

在休眠模式下，为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平。#MRST 管脚必须处于逻辑高电平。

6.5.2 唤醒

当芯片处于休眠状态时，可以通过以下方式唤醒：

序号	唤醒源	中断使能	外设使能	备注
1	#MRST	-	-	外部复位
2	WDT	-	-	WDT 溢出
3	KINT	KIE	-	需使能 KMSK<5:0>
4	PINT	PIE	-	-
5	T16GINT	T16GIE	PEIE	异步计数模式
6	ACPINT	ACPIE	PEIE	-
7	ADINT	ADIE	PEIE	A/D 时钟源为 RC 振荡器

表 6-3 休眠唤醒表

芯片从休眠模式唤醒，需要注意以下两点：

- 1、中断唤醒与全局中断使能无关。在休眠模式下，若外设产生中断信号，即使全局中断使能 GIE 为 0，休眠模式依然会被唤醒，只是唤醒后不会执行中断程序。
- 2、当唤醒事件发生后，芯片需要在主时钟运行 1024 个周期后才执行 IDLE 下一条指令。

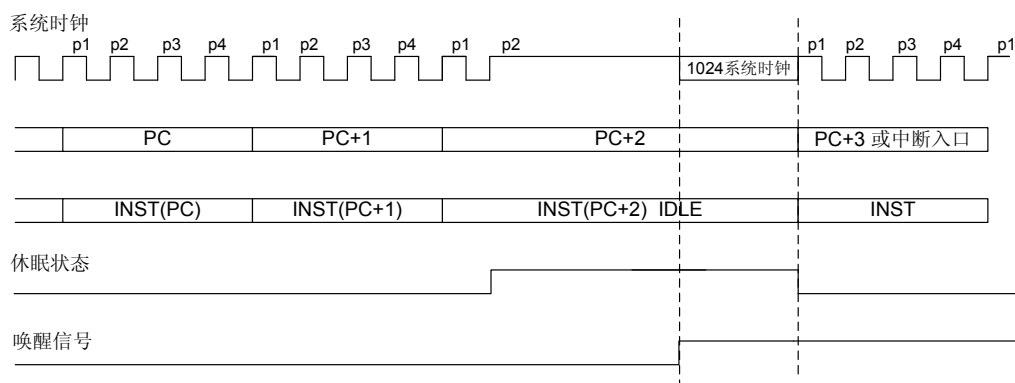


图 6-10 休眠模式唤醒示意图

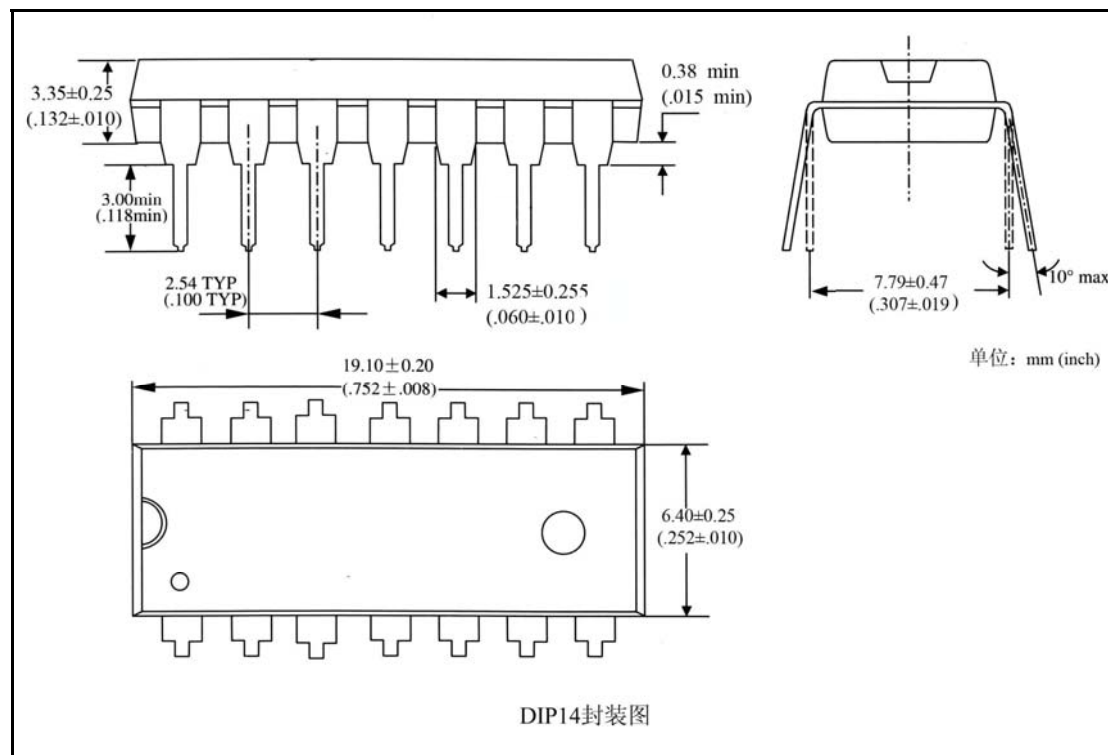
6.6 芯片配置字

寄存器名称	芯片配置字 (CONFIG)	
地址	1000 _H	
OSCS<2:0>	bit2-0	振荡器选择位 000 = LP 模式: 低功耗晶振连接到 PA4 和 PA5 管脚 001 = RC 模式: PA4 管脚功能为 CLKOUT, PA5 管脚连接 RC 010 = HS 模式: 高速晶振/ 谐振器连接到 PA4 和 PA5 管脚 011 = EC 模式: PA4 为 I/O 管脚, PA5 管脚功能为 CLKI 100 = INTOSCIO 模式: PA4 为 I/O 管脚, PA5 也为 I/O 管脚 101 = INTOSC 模式: PA4 管脚功能为 CLKO, PA5 为 I/O 管脚 110 = RCIO 模式: PA4 为 I/O 管脚, PA5 管脚连接 RC 111 = XT 模式: 晶振/谐振器连接到 PA5 和 PA4 管脚
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电定时器使能位 0: 使能 1: 禁止
MRSTEN	bit5	#MRST 管脚功能选择位 0: 管脚用于数字输入 1: 管脚用于外部复位
-	bit6	-
CP	bit7	程序加密使能位 0: 使能 1: 禁止
-	bit8	-
BORVS	bit9	低电压选择位 0: 3.1V 1: 2.3V

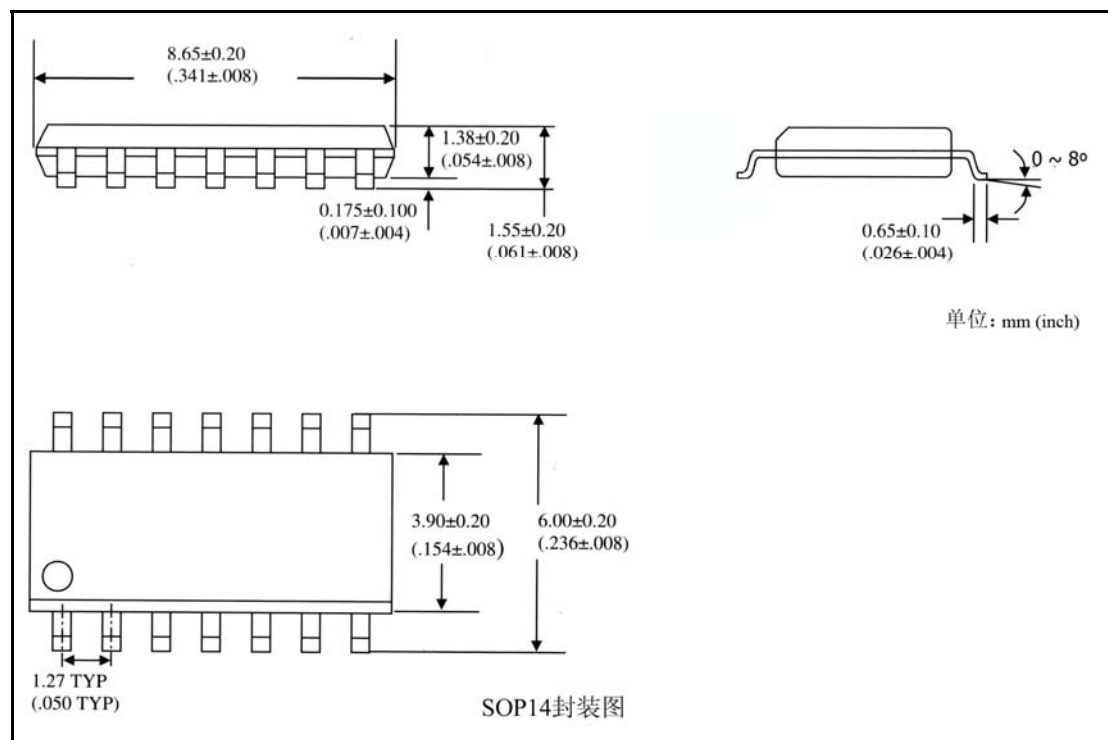
第 7 章 芯片封装图

7.1 14-pin 封装图

DIP14



SOP14



附录1 指令集

附录1.1 概述

本芯片提供了 48 条精简指令。

汇编指令只是为了方便程序设计者使用，因此指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 1 μ s。按照指令执行的机器周期数可将指令分为双周期指令和单周期指令。

其中 CALL/ GOTO/JUMP/LCALL/ RETIA/RETIE/MULL 为双周期指令；当满足跳转条件时，JBC/JBS/JDEC/JINC 指令为双周期指令，否则为单周期指令；其他指令为单周期指令。

附录1.2 指令操作说明

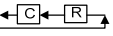
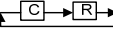
寄存器操作指令

序号	指令	状态位	操作
1	MOV R, F	Z	(R)→(目标)
2	MOVA R	-	(A)→(R)
3	MOVAB F	-	(B)→(A)
4	MOVI I	-	I→(A)

程序控制指令

序号	指令	状态位	操作
5	CALL I	-	PC+1→TOS, I→PC<10:0>
6	CWDT	#TO, #PD	00 _H →WDT, 0→WDT Prescaler, 1→#TO, 1→#PD
7	GOTO I	-	I→PC<10:0>
8	IDLE	#TO, #PD	00 _H →WDT, 0→WDT Prescaler, 1→#TO, 0→#PD
9	JBC R, M	-	Skip if R<M> = 0
10	JBS R, M	-	Skip if R<M> = 1
11	JDEC R, F	-	(R)-1→(目标), Skip if (目标) = 0
12	JINC R, F	-	(R)+1→(目标), Skip if (目标) = 0
13	JUMP I	-	I→PC<7:0> PCR _H <7:0>→PC<15:8>
14	LCALL I	-	PC+1→TOS, I→PC<12:0>
15	NOP	-	No operation
16	RET	-	TOS→PC
17	RETIA I	-	I→(A), TOS→PC
18	RETIE	-	TOS→PC, 1→GIE

算术/逻辑运算指令

序号	指令	状态位	操作
19	ADD R, F	C, DC, Z	(R)+(A)→(目标)
20	ADDC R, F	C, DC, Z	(R)+(A)+C→(目标)
21	ADDCI I	C, DC, Z	I+(A)+C→(A)
22	ADDI I	C, DC, Z	I+(A)→(A)
23	AND R, F	Z	(A). AND. (R)→(目标)
24	ANDI I	Z	I. AND. (A)→(A)
25	BCC R, M	-	0→R<M>
26	BSS R, M	-	1→R<M>
27	CLR R	Z	(R) = 0
28	CLRA	Z	(A) = 0
29	COM R, F	Z	~(R)→(目标)
30	DAR R, F	C, DC, Z	(R) (BCD)
31	DAW	C, DC, Z	(A) (BCD)
32	DEC R, F	Z	(R)-1→(目标)
33	INC R, F	Z	(R)+1→(目标)
34	IOR R, F	Z	(A). OR. (R)→(目标)
35	IORI I	Z	I. OR. (A)→(A)
36	MUL R, F	-	(R). MUL. (A)→{B, 目标}
37	MULI I	-	I. MUL. (A)→{B, A}
38	RL R, F	C	
39	RR R, F	C	
40	SUB R, F	C, DC, Z	(R)-(A)→(目标)
41	SUBC R, F	C, DC, Z	(R)-(A)-(~C)→(目标)
42	SUBCI I	C, DC, Z	I-(A)-(~C)→(A)
43	SUBI I	C, DC, Z	I-(A)→(A)
44	SWAP R, F	-	R<3:0>→(目标)<7:4> R<7:4>→(目标)<3:0>
45	XOR R, F	Z	(A). XOR. (R)→(目标)
46	XORI I	Z	I. XOR. (A)→(A)

注 1: I—立即数, F—标志位, A—寄存器 A, B—寄存器 B, R—寄存器 R, M—寄存器 R 的第 M 位。

注 2: C—进位/借位, DC—半进位/半借位, Z—零标志位。

注 3: TOS—顶级堆栈。

注 4: 如果 F = 0, 则目标寄存器为寄存器 A; 如果 F = 1, 则目标寄存器为寄存器 R。

注 5: 48 条指令中另有两条 NOP 指令未在上表中描述。

附录2 电气特性

附录2.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 3.5 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	3.5	5	5.5	V	全 VDD 范围
芯片静态电流	I _{DD}	-	2.8	4.0	mA	上电复位, VDD = 5V, 所有的 I/O 输入低电平, #MRST = 0, OSC1 低电平, OSC2 不接负载。8MHz 时钟输入, WDT 不使能, BOR 使能。
休眠模式下芯片电流	I _{PD}	-	110	120	uA	VDD = 5V, 进入休眠模式, BOR 使能, WDT 不使能。
正常运行模式芯片电流	I _{OP}	-	-	4.5	mA	VDD = 5V, 正常运行模式, 8MHz 时钟输入, 输出 I/O 端口不接负载。WDT 不使能, BOR 使能。
VDD 管脚的最大输入电流	I _{MDD}	-	80	100	mA	25°C, VDD = 5V
VSS 管脚的最大输出电流	I _{MSS}	-	200	-	mA	25°C, VDD = 5V
I/O 端口最大灌电流	I _{MAXOL}	-	-	65	mA	25°C, VDD = 5V
I/O 端口最大拉电流	I _{MAXOH}	-	-	40	mA	25°C, VDD = 5V

◆ 芯片输入端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输入高电平 (有 施密特输入特 性)	V_{IH}	2.0	-	VDD	V	$3.5V \leq VDD \leq 5.5V$
主复位信号 #MRST 输入高 电平 (有施密特 输入特性)		0.8VDD	-	VDD	V	
I/O 端口 输入低电平	V_{IL}	VSS	-	0.8	V	
主复位信号 #MRST 输入低 电平		VSS	-	0.2VDD	V	
I/O 端口 输入漏电流	I_{IL}	-	-	± 1	μA	$3.5V \leq VDD \leq 5.5V$ $V_{SS} \leq V_{pin} \leq VDD$ (端口处于高阻状态)
主复位信号 #MRST 输入漏 电流		-	-	5	μA	$VSS \leq V_{PIN} \leq VDD$
I/O 端口输入 弱上拉电流	I_{WPU}	40	80	120	μA	$3.5V \leq VDD \leq 5.5V$ $V_{PIN} = VSS$

◆ 芯片输出端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	V_{OH}	VDD-0.7	-	-	V	$3.5V \leq VDD \leq 5.5V$ $I_{OH} = -3.0mA$
I/O 端口 输出低电平	V_{OL}	-	-	0.6	V	$3.5V \leq VDD \leq 5.5V$ $I_{OL} = -8.5mA$

◆ 系统时钟特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
外部时钟频率	Fosc	DC	-	16M	Hz	高速振荡模式
时钟振荡频率		32K	-	16M	Hz	高速振荡模式
外部时钟周期	Tosc	62.5	-	500	ns	高速振荡模式
时钟振荡周期		50	-	250	ns	高速振荡模式
机器周期	T _{INST}	250	-	DC	ns	T _{INST} = 4/Fosc
外部时钟高电平和低电平时间	T _{OSL} , T _{OSH}	15	-	-	ns	高速振荡模式
外部时钟上升和下降时间	T _{OSR} , T _{OSF}	-	-	15	ns	高速振荡模式

◆ ADC 交流特性表

参数名	数值	单位
信号输入范围	0 ~ VDD	V
非微分线性误差	±1	LSB
微分线性误差	±1	LSB
转换时间	18	μs
偏移误差	±1	LSB
直流输入电阻	10	KΩ
输入电容	40	pF

◆ AD 转换时间对照表

A/D 时钟源 选择	工作频率			
	16M	8M	4M	1M
Fosc/2	不推荐使用 1*	不推荐使用 1*	不推荐使用 1*	Tad = 2us
Fosc/4	不推荐使用 1*	不推荐使用 1*	不推荐使用 1*	Tad = 4us
Fosc/8	不推荐使用 1*	不推荐使用 1*	Tad = 2us	Tad = 8us
Fosc/16	不推荐使用 1*	Tad = 2us	Tad = 4us	不推荐使用 2*
Fosc/32	Tad = 2us	Tad = 4us	Tad = 8us	不推荐使用 2*
Frc	Tad = 2~6us	Tad = 2~6us	Tad = 2~6us	Tad = 2~6us

注 1*: Tad 值不满足设计要求不推荐使用;

注 2*: 转换时间太慢, 推荐选择其它分频设置。

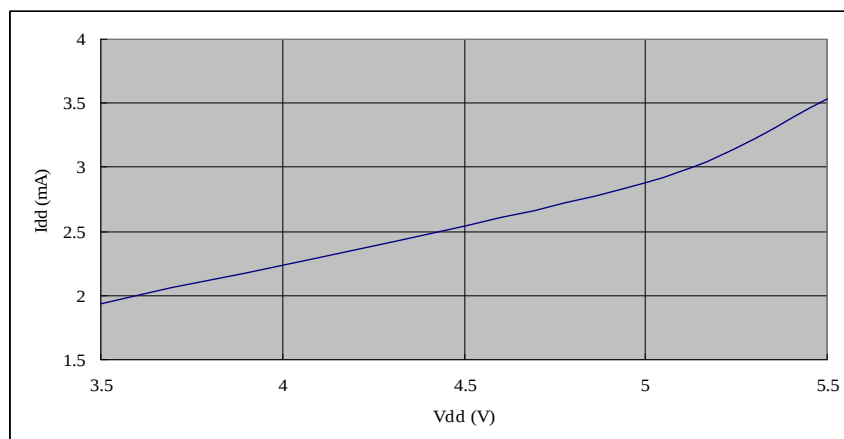
◆ 内部 4MHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25℃ 将频率校准至 4MHz	25℃, VDD = 5V	3.96	4	4.04	MHz
	-40℃ ~ 85℃, VDD = 3.5V ~ 5.5V	3.6	4	4.6	MHz

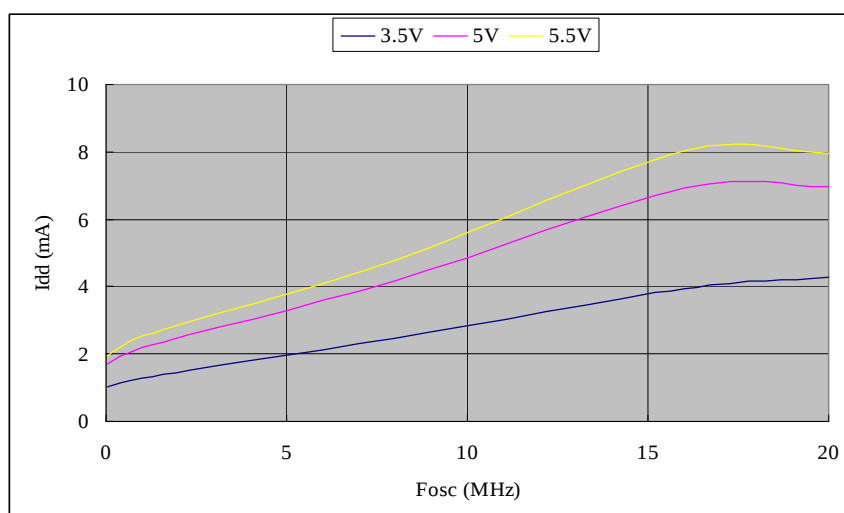
附录2.2 参数特性图

本节中所列图示未经过量产测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

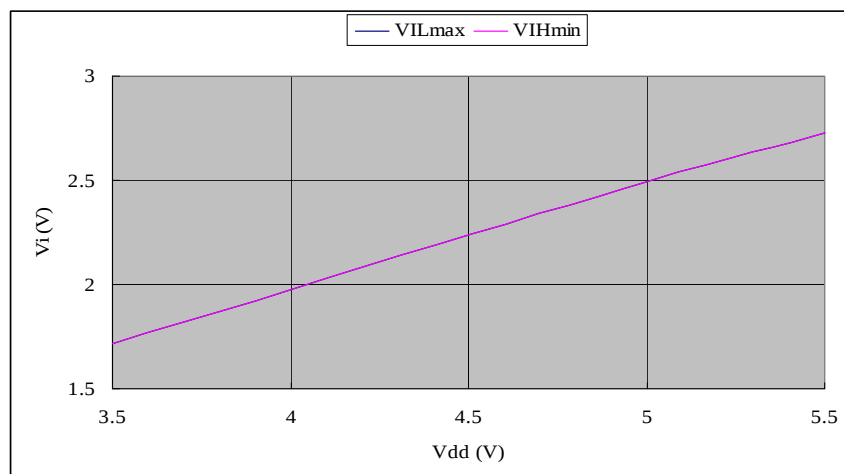
◆ 芯片静态电流随芯片电压变化特性图（室温 25℃）



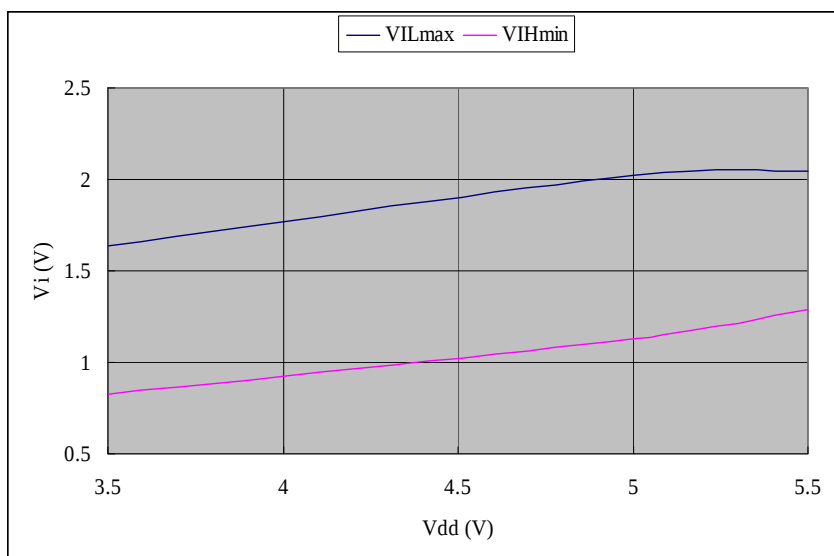
◆ 正常运行模式下芯片电流随时钟频率变化图（室温 25℃）



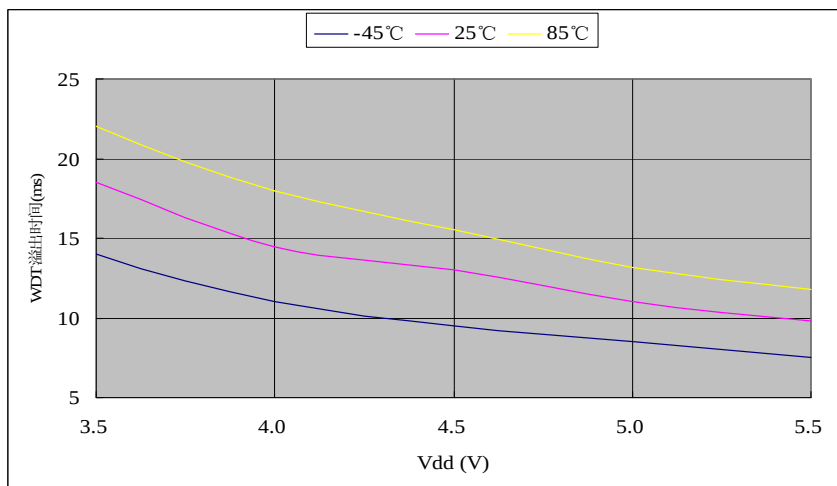
◆ 外部复位信号输入特性图（室温 25℃）



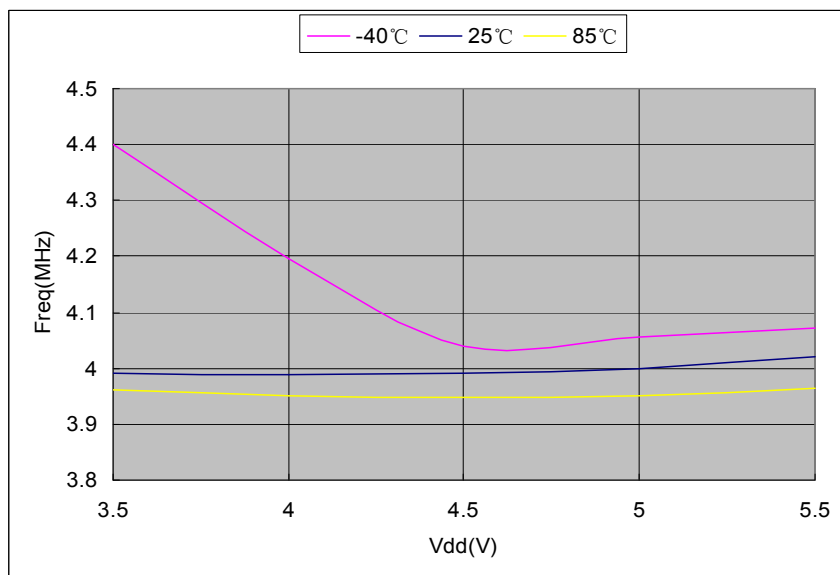
◆ I/O 端口信号输入特性图（室温 25℃）



◆ WDT 溢出时间随电压温度变化曲线图

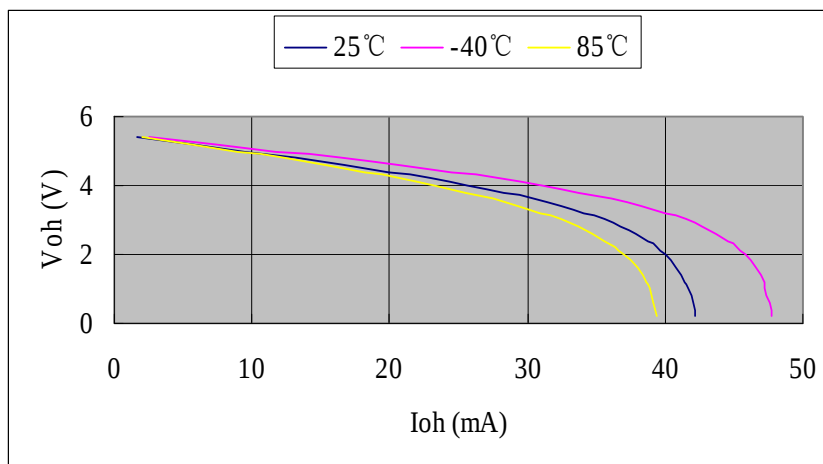


◆ 内部 4MHz 时钟频率随电压温度变化曲线图（5V，25℃将频率校准至 4MHz）

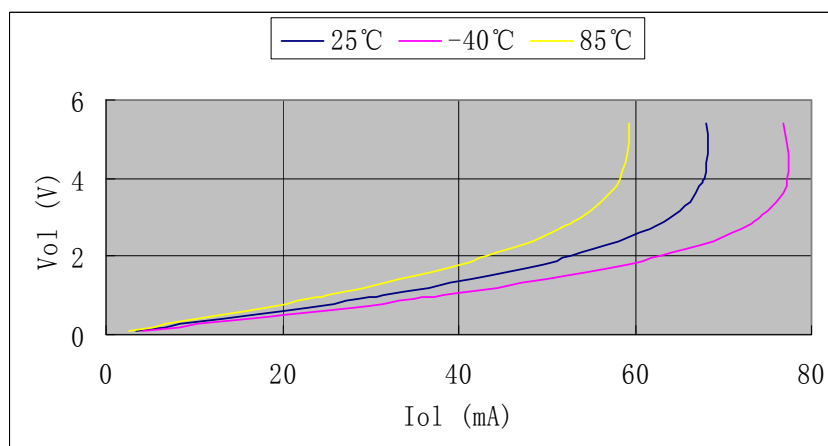


◆ I/O 端口输出特性

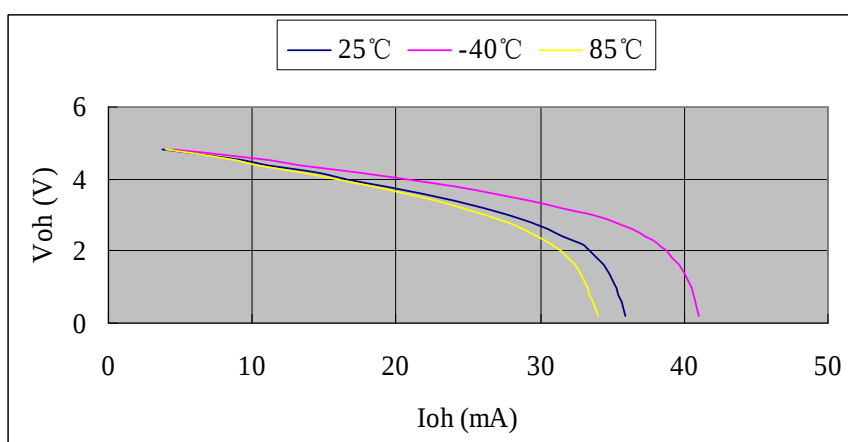
A: V_{oh} vs. I_{oh} @ $V_{DD} = 5.5V$



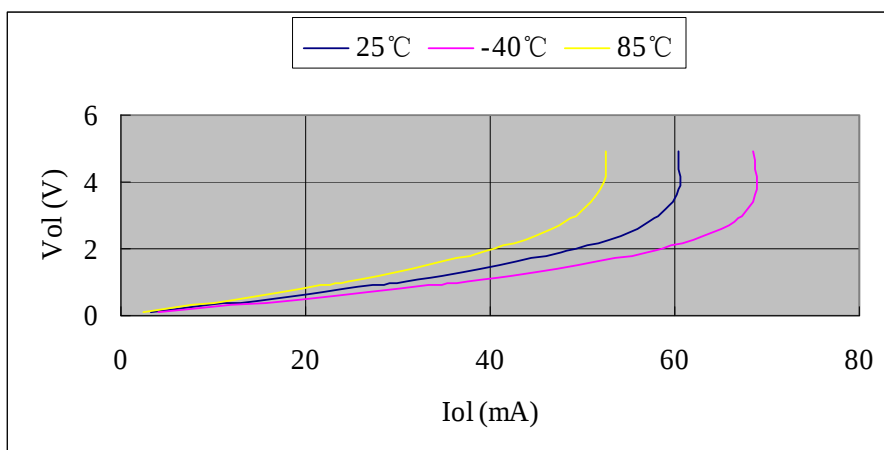
B: V_{ol} vs. I_{ol} @ $V_{DD} = 5.5V$



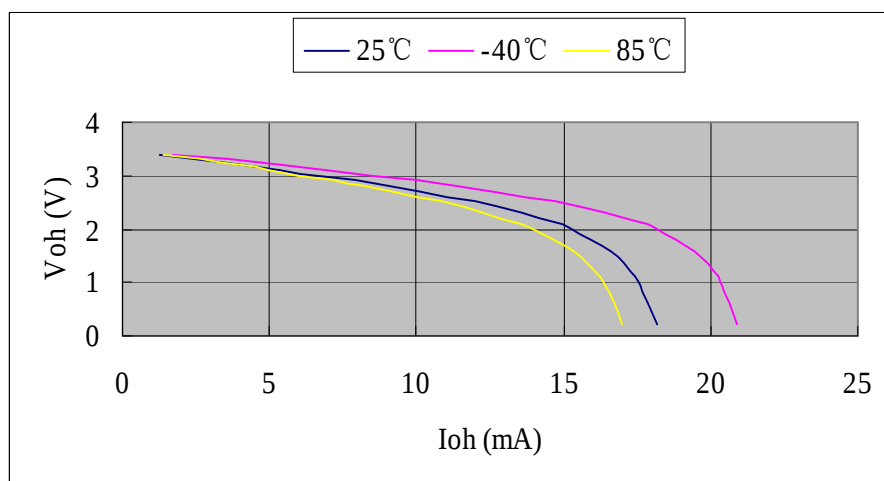
C: V_{oh} vs. I_{oh} @ $V_{DD} = 5.0V$



D: Vol vs. Iol @VDD = 5.0V



E: Voh vs. Ioh @VDD = 3.5V



F: Vol vs. Iol @VDD = 3.5V

