

8 位 MCU
HR6P59HL

数 据 手 册

- ☐ 产品简介
- ☒ 数据手册
- ☐ 产品规格

上海海尔集成电路有限公司

2010 年 12 月 22 日

海尔 MCU 芯片使用注意事项

关于芯片的上/下电

海尔 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其他部件上电；反之，下电时，先对系统其他部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册或产品规格说明。

关于芯片的复位

海尔 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册或产品规格说明。

关于芯片的时钟

海尔 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册或产品规格说明。

关于芯片的初始化

海尔 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

海尔 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入管脚，应通过电阻上拉至电源电平或下拉至地。对于未使用的管脚，建议用户设为输出状态，并通过电阻接至电源或地。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

海尔 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

海尔 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

关于芯片的开发环境

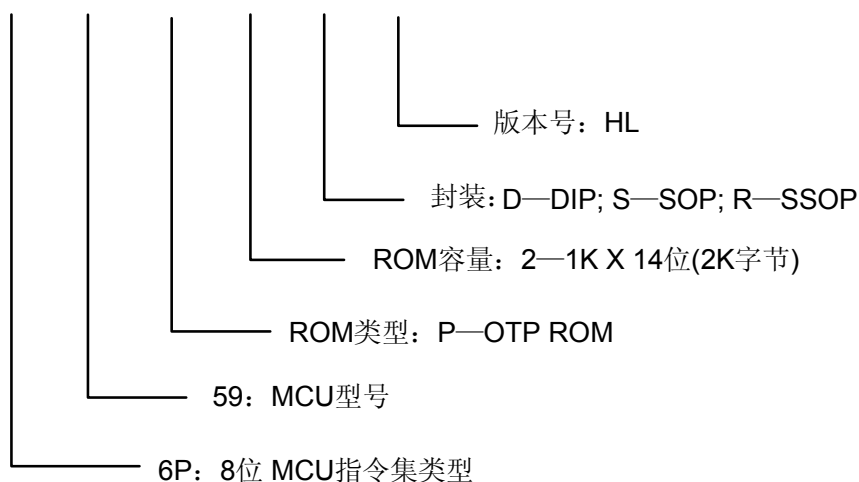
海尔 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海海尔集成电路有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请用下述联系方式与上海海尔集成电路有限公司联系。

产品订购信息

型号	程序存储器	数据存储器	封装
HR6P59P2DHL	OTP: 1K×14 位	SRAM: 64×8 位	DIP14
HR6P59P2SHL			SOP14
HR6P59P2RHL			SSOP10

HR 6P No. X X X X



地 址: 中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编: 200235

E-mail: support@ichaier.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.ichaier.com>

版权所有©

上海海尔集成电路有限公司

本数据手册的信息在发行时是经过核实并且尽最大努力使之精确的。上海海尔集成电路有限公司不为由于使用本数据手册而可能带来的风险或后果负责。数据手册中的实例仅作为说明用途，上海海尔集成电路有限公司不担保或确认这些实例是合适的、不需进一步修改的、或推荐使用的。上海海尔集成电路有限公司保留不需要通知本数据手册读者而修改本数据手册的权利。如需得到最新的产品信息，请随时用上述联系方式与上海海尔集成电路有限公司联系。

修订历史

版本	修改日期	更改概要
V2.0	2010-12-22	新模板初版

目 录

内容目录

第 1 章	芯片简介	9
1.1	概述	9
1.2	应用领域	10
1.3	结构框图	11
1.4	管脚分配图	12
1.4.1	14-pin	12
1.4.2	10-pin	12
1.5	管脚说明	13
1.5.1	管脚封装对照表	13
1.5.2	管脚复用说明	14
第 2 章	输入/输出端口	15
2.1	概述	15
2.2	结构框图	15
2.3	I/O MUX	16
2.4	I/O端口弱上拉	17
2.5	外部按键唤醒 (KINWK)	17
2.6	I/O端口开漏输出	17
2.7	外部端口中断 (PINT)	17
2.8	控制寄存器	18
第 3 章	外设	21
3.1	定时器/计数器模块 (Timer/Counter)	21
3.1.1	8 位定时器/计数器 (T8)	21
3.1.1.1	概述	21
3.1.1.2	工作模式	21
3.1.1.3	预分频器	22
3.1.1.4	中断标志	22
3.1.2	8 位PWM时基定时器 (T8P)	22
3.1.2.1	概述	22
3.1.2.2	工作模式	22
3.1.2.3	预分频器和后分频器	22
3.1.2.4	中断标志	23
3.1.3	定时器/计数器扩展模块 (TE)	24
3.1.3.1	概述	24
3.1.3.2	T8P脉宽调制功能扩展	24
3.1.4	控制寄存器	26
第 4 章	特殊功能及操作特性	28
4.1	系统时钟及振荡器	28
4.1.1	概述	28
4.1.2	控制寄存器	28
4.2	复位模块	29
4.2.1	概述	29

4.2.2	控制寄存器	29
4.3	中断处理	30
4.3.1	概述	30
4.3.2	控制寄存器	30
4.4	看门狗定时器	31
4.4.1	概述	31
4.5	低功耗操作	32
4.5.1	休眠	32
4.5.2	唤醒	32
4.6	芯片配置字	33
第 5 章	芯片封装图	34
5.1	14-pin 封装图	34
5.2	10-pin 封装图	35
附录 1	指令集	36
附录 1.1	概述	36
附录 1.2	指令操作说明	36
附录 2	控制寄存器表	38
附录 3	电气特性	40
附录 3.1	参数特性表	40
附录 3.2	参数特性图	42

图目录

图 1-1	HR6P59HL结构框图.....	11
图 1-2	HR6P59P2D/SHL（DIP14/SOP14）顶视图	12
图 1-3	HR6P59P2RHL（SSOP10）顶视图	12
图 3-1	T8 内部结构图	21
图 3-2	T8P内部结构图	22
图 3-3	TE在PWM功能扩展的内部结构图	24
图 3-4	PWM输出示意图	24
图 4-1	休眠模式唤醒示意图.....	32

表目录

表 1-1	管脚封装对照表	13
表 1-2	管脚说明	14
表 2-1	I/O端口结构信息表	15
表 2-2	I/O端口弱上拉	17
表 2-3	外部端口中断	17
表 4-1	中断逻辑表	30
表 4-2	休眠唤醒表	32

第 1 章 芯片简介

1.1 概述

- ◆ 内核
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 42 条精简指令
 - ◇ 工作频率为 DC ~ 16MHz
 - ◇ 4 级 PC 硬件堆栈
 - ◇ 复位向量位于 0000_H，默认中断向量位于 0008_H
 - ◇ 支持中断处理，共 3 个中断源
- ◆ 存储资源
 - ◇ 1K x 14 位 OTP 程序存储器
 - ◇ 64 x 8 位 SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址
 - ◇ 数据存储器支持直接寻址和间接寻址
- ◆ I/O 端口
 - ◇ PA 端口 (PA0~PA3)
 - ◇ PB 端口 (PB0~PB3)
 - ◇ PB 端口 (PB4~PB7) (HR6P59P2D/SHL)
- ◆ 外设
 - ◇ 8 位定时器 T8
 - 定时器模式 (系统时钟) / 计数器模式 (外部信号)
 - 支持可配置预分频器
 - 支持中断产生
 - ◇ 8 位 PWM 时基定时器 T8P
 - 定时器模式 (系统时钟)
 - 支持可配置预分频器及可配置后分频器
 - 支持中断产生
 - 支持脉宽调制 (PWM) 输出扩展功能
- ◆ 特殊功能
 - ◇ 高精度内部振荡器
 - 出厂时精度校准为±5%
 - 内部时钟频率 4MHz
 - ◇ 支持低功耗休眠模式及唤醒操作
 - ◇ 内嵌上电复位电路
 - ◇ 内嵌低电压检测复位电路
 - ◇ 支持外部复位

- ◇ 支持独立硬件看门狗定时器
- ◇ 支持在线编程（ISP）接口
- ◇ 支持编程代码保护
- ◆ 设计及工艺
 - ◇ 完全静态设计
 - ◇ 低功耗、高速 OTP CMOS 工艺
 - ◇ 14 个管脚，采用 SOP/DIP 封装（HR6P59P2D/SHL）
 - ◇ 10 个管脚，采用 SSOP 封装（HR6P59P2RHL）
- ◆ 工作条件
 - ◇ 工作电压范围：2.5V ~ 5.5V
 - ◇ 工作温度范围：-40 ~ 85℃

1.2 应用领域

本芯片可用于 LED 灯控和小家电等领域。

1.3 结构框图

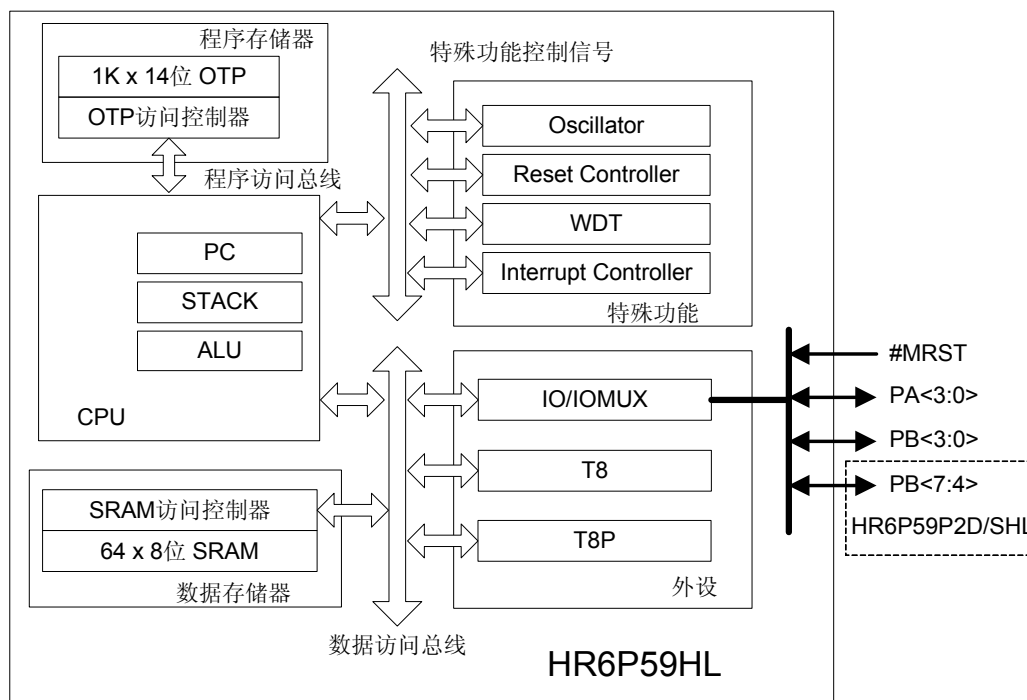


图 1-1 HR6P59HL 结构框图

注: #MRST 表示低电平有效。

1.4 管脚分配图

1.4.1 14-pin

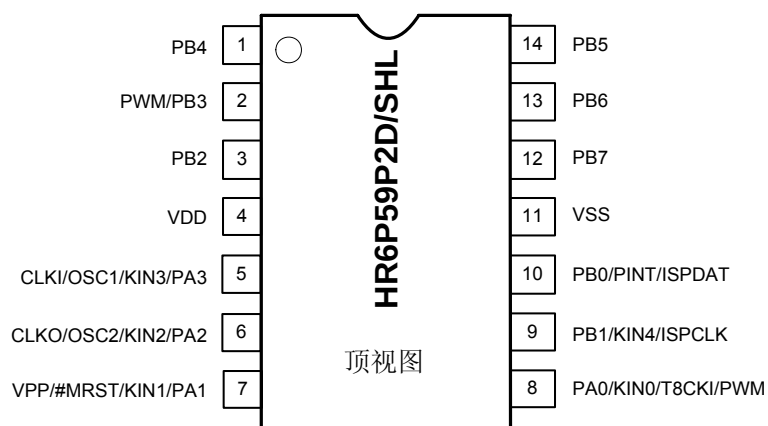


图 1-2 HR6P59P2D/SHL (DIP14/SOP14) 顶视图

1.4.2 10-pin

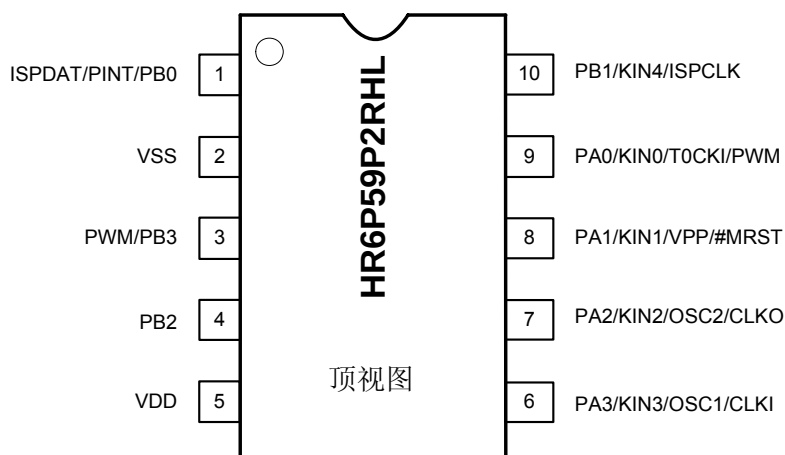


图 1-3 HR6P59P2RHL (SSOP10) 顶视图

注 1: #MRST 表示低电平有效;

注 2: PWM 输出端口可配置。

1.5 管脚说明

1.5.1 管脚封装对照表

管脚名	HR6P59HL	
	DIP14/SOP14	SSOP10
PA0/KIN0/T8CKI/PWM	8	9
PA1/KIN1/#MRST/VPP	7	8
PA2/KIN2/OSC2/CLKO	6	7
PA3/KIN3/OSC1/CLKI	5	6
PB0/PINT/ISPDAT	10	1
PB1/KIN4/ISPCLK	9	10
PB2	3	4
PB3/PWM	2	3
PB4	1	-
PB5	14	-
PB6	13	-
PB7	12	-
VDD	4	5
VSS	11	2

表 1-1 管脚封装对照表

1.5.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/KIN0/T8CKI/PWM	PA0	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出 PWM 端口可配置
	KIN0	D	外部按键唤醒输入 0	
	T8CKI	D	T8 时钟输入	
	PWM	D	脉宽调制输出	
PA1/KIN1/#MRST/VPP	PA1	D	通用 I/O	可单独使能弱上拉
	KIN1	D	外部按键唤醒输入 1	
	#MRST	D	主复位输入	
	VPP	A	OTP 编程高压输入	
PA2/KIN2/OSC2/CLKO	PA2	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
	KIN2	D	外部按键唤醒输入 2	
	OSC2	A	晶振/谐振器输出	
	CLKO	D	Fosc/4 参考时钟输出	
PA3/KIN3/OSC1/CLKI	PA3	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
	KIN3	D	外部按键唤醒输入 3	
	OSC1	A	晶振/谐振器输入	
	CLKI	A/D	时钟输入	
PB0/PINT/ISPDAT	PB0	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
	PINT	D	外部端口中断输入	
	ISPDAT	D	串行编程数据输入输出	
PB1/KIN4/ISPCLK	PB1	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
	KIN4	D	外部按键唤醒输入 4	
	ISPCLK	D	串行编程时钟输入	
PB2	PB2	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
PB3/PWM	PB3	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出 PWM 端口可配置
	PWM	D	脉宽调制输出	
PB4	PB4	D	通用 I/O	可单独使能弱上拉 仅 HR6P59P2D/SHL 支持
PB5	PB5	D	通用 I/O	可单独使能弱上拉 仅 HR6P59P2D/SHL 支持
PB6	PB6	D	通用 I/O	可单独使能弱上拉 仅 HR6P59P2D/SHL 支持
PB7	PB7	D	通用 I/O	可单独使能弱上拉 仅 HR6P59P2D/SHL 支持
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字; #MRST 表示低电平有效;

注 3: 除 PA1 外, 所有通用数据 I/O 均为 TTL 施密特输入和 TTL 输出。PA1 为 TTL 输入。

第 2 章 输入/输出端口

2.1 概述

本芯片支持一个输入端口和 7 个（HR6P59P2RHL）/11 个（HR6P59P2D/SHL）I/O 端口。

一个输入端口是 TTL/SMT 输入，作输入端口用时不受相应的控制寄存器 PxT 控制。

所有 I/O 端口都是 TTL/SMT 输入和 TTL 输出驱动器。每个端口都有相应的控制寄存器 PxT 来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。

当 I/O 管脚处于输出状态时，其电平由 Px 寄存器决定。1 为高电平，0 为低电平。

当 I/O 管脚处于输入状态时，其电平状态可由 Px 寄存器读取。

支持管脚复用。详细介绍和设置可参考《管脚说明》和《I/O MUX》章节。

2.2 结构框图

管脚	0	1	2	3	4	5	6	7	备注
PA	A	A	A	A	-	-	-	-	-
PB	A	A	A	A	-	-	-	-	-
PB	-	-	-	-	A	A	A	A	HR6P59P2D/SHL 支持

表 2-1 I/O 端口结构信息表

注 1: A 表示端口结构图 A 结构图如下。

注 2: PA1 端口对应的 PAT 始终为 1，即 PA1 只能作输入用。

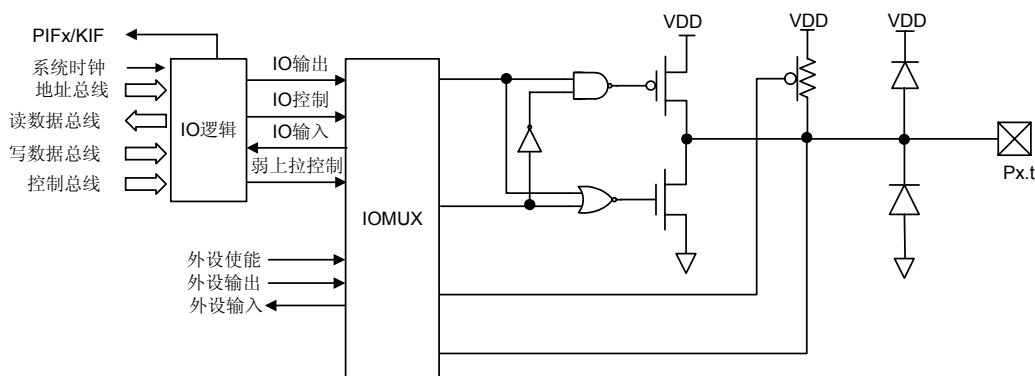


图 2-1 输入/输出端口结构图 A

注：开漏输出控制在框图中没有描述。

2.3 I/O MUX

管脚名	管脚复用	PAT	外设使能	备注
PA0	PA0	-	-	-
	T8CKI	1	T8CS=1	-
	PWM	0	TEOS=0 TEM<1:0>=11	-
	KIN0	1	-	-
PA1	PA1	-	MRSTEN=0	-
	#MRST	-	MRSTEN=1	-
	VPP	-	-	-
	KIN1	1	MRSTEN=1	-
PA2	PA2	-	-	-
	OSC2	-	OSCS<2:0>=000,010,111	-
	CLKO	-	OSCS<2:0>=001,100	-
	KIN2	1	-	-
PA3	PA3	-	-	-
	OSC1	-	OSCS<2:0>=000,001,010, 011,111	-
	CLKI	-	-	-
	KIN3	1	-	-

管脚名	管脚复用	PBT	外设使能	备注
PB0	PB0	-	-	-
	PINT	1	-	-
PB1	PB1	-	-	-
	KIN4	1	-	-
PB2	PB2	-	-	-
PB3	PB3	-	-	-
	PWM	0	TEOS=1 TEM<1:0>=11	-
PB4	PB4	-	-	HR6P59P2D /SHL 支持
PB5	PB5	-	-	HR6P59P2D /SHL 支持
PB6	PB6	-	-	HR6P59P2D /SHL 支持
PB7	PB7	-	-	HR6P59P2D /SHL 支持

2.4 I/O 端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	-	支持	支持	-	-	-	-
PB	支持	支持	支持	支持	支持	支持	支持	支持

表 2-2 I/O 端口弱上拉

2.5 外部按键唤醒 (KINWK)

外部端口支持 1 组外部按键唤醒。按键唤醒支持最多 5 个按键输入端 KIN<4:0>，每个输入端可以由相应的 KMSK<4:0>屏蔽。

管脚名	端口输入	端口屏蔽	唤醒源
PA0	KIN0	KMSK0	KINWK
PA1	KIN1	KMSK1	
PA2	KIN2	KMSK2	
PA3	KIN3	KMSK3	
PB1	KIN4	KMSK4	

2.6 I/O 端口开漏输出

管脚	0	1	2	3	4	5	6	7
PA	支持	-	支持	支持	-	-	-	-
PB	支持	支持	支持	支持	-	-	-	-

2.7 外部端口中断 (PINT)

PB0 支持一个外部端口中断。外部端口中断由相应的 PIE 使能，通过 INTEDG 选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF。

管脚名	中断名	中断使能	端口输入	触发选择	中断标志
PB0	PINT	PIE	PINT	INTEDG	PIF

表 2-3 外部端口中断

2.8 控制寄存器

通过执行指令“TRIS PX”读取 A 寄存器的值，来控制端口方向位控制寄存器。

应用例程：设置 PB<7:4>为输入，PB<3:0>为输出。

MOVI 0XF0 ; F0_H 写入 A

TRIS PB ; 设置 PB<7:4>为输入，PB<3:0>为输出

寄存器名称				端口数据存储器 (PA/PB)
地址				PA: 05 _H 25 _H 45 _H 65 _H PB: 06 _H 26 _H 46 _H 66 _H
复位值				XXXX XXXX
Px7 - Px0	bit7-0	R/W	Px 口电平状态 0: 低电平 1: 高电平	

寄存器名称				端口方向寄存器 (PAT/PBT)
地址				-
复位值				1111 1111
PxT7 - PxT0	bit7-0	W	Px 口输入输出状态 0: 输出状态 1: 输入状态	

注 1: 执行 TRIS 指令将 A 寄存器的值写入 PAT/PBT，该寄存器不能读取。

注 2: TRIS 指令中的 R 为 PA/PB 的地址。

寄存器名称				PA 端口弱上拉控制寄存器 (PAWPUC)
地址				09 _H
复位值				1111 1111
PAWPUC0	bit0	R/W	PA0 口内部弱上拉控制 0: 弱上拉不使能 1: 弱上拉使能	
-	bit1	-	-	
PAWPUC2	bit2	R/W	PA2 口内部弱上拉控制 0: 弱上拉不使能 1: 弱上拉使能	
PAWPUC3	bit3	R/W	PA3 口内部弱上拉控制 0: 弱上拉不使能 1: 弱上拉使能	
-	bit7-4	-	-	

寄存器名称				PB 端口弱上拉控制寄存器 (PBWPUC)
地址				0A _H
复位值				1111 1111
PBWPUC7 - PBWPUC0	bit7-0	R/W	PBx 口内部弱上拉控制 0: 弱上拉不使能 1: 弱上拉使能	

寄存器名称				按键唤醒屏蔽寄存器 (KMSK)
地址				0C _H
复位值				0000 0000
KMSK0	bit0	R/W	KIN0 屏蔽控制 0: 屏蔽 1: 不屏蔽	
KMSK1	bit1	R/W	KIN1 屏蔽控制 0: 屏蔽 1: 不屏蔽	
KMSK2	bit2	R/W	KIN2 屏蔽控制 0: 屏蔽 1: 不屏蔽	
KMSK3	bit3	R/W	KIN3 屏蔽控制 0: 屏蔽 1: 不屏蔽	
KMSK4	bit4	R/W	KIN4 屏蔽控制 0: 屏蔽 1: 不屏蔽	
-	bit7-5	-	-	

寄存器名称	开漏输出控制寄存器 (ODC)		
地址	0D _H		
复位值	0000 0000		
PA0OD	bit0	R/W	PA0 端口开漏输出控制 0: 端口开漏输出不使能 1: 端口开漏输出使能
-	bit1	-	-
PA2OD	bit2	R/W	PA2 端口开漏输出控制 0: 端口开漏输出不使能 1: 端口开漏输出使能
PA3OD	bit3	R/W	PA3 端口开漏输出控制 0: 端口开漏输出不使能 1: 端口开漏输出使能
PB0OD	bit4	R/W	PB0 端口开漏输出控制 0: 端口开漏输出不使能 1: 端口开漏输出使能
PB1OD	bit5	R/W	PB1 端口开漏输出控制 0: 端口开漏输出不使能 1: 端口开漏输出使能
PB2OD	bit6	R/W	PB2 端口开漏输出控制 0: 端口开漏输出不使能 1: 端口开漏输出使能
PB3OD	bit7	R/W	PB3 端口开漏输出控制 0: 端口开漏输出不使能 1: 端口开漏输出使能

第 3 章 外设

3.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器 (T8)、1 组 PWM 时基定时器 (T8P)。此外还有 1 组定时器扩展模块 (TE)。

3.1.1 8 位定时器/计数器 (T8)

3.1.1.1 概述

- 支持内部时钟和外部时钟，内部时钟源为 $F_{osc}/4$
- 支持定时器模式和计数器模式
- 支持 1 组可配置预分频器
- 支持 1 组计数器，可以对内部时钟/预分频输出进行计数或对外部时钟边沿进行计数
- 休眠模式下不可用
- 支持溢出中断

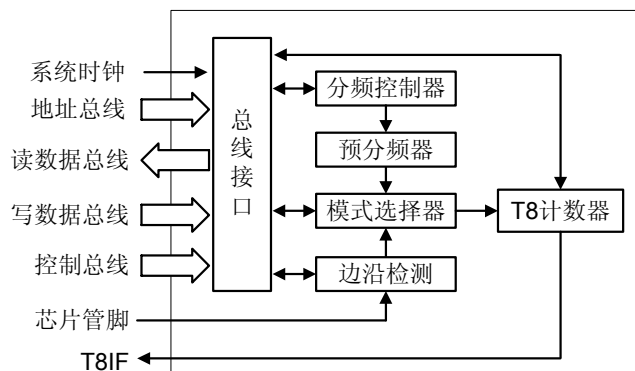


图 3-1 T8 内部结构图

3.1.1.2 工作模式

T8 通过 T8CS 位 (BSET<5>) 的设置来选择工作模式。

设置 T8CS 为 0，T8 为定时器模式，使用内部时钟。在不使用预分频器的情况下，T8 寄存器的递增周期为一个机器周期，即 $F_{osc}/4$ 。当使用预分频器时，T8 寄存器的递增周期为预分频器的输出信号周期。

设置 T8CS 为 1，T8 为计数器模式，使用外部时钟。时钟信号是从 T8CKI 端口输入，通过 T8SE 位 (BSET<4>) 的设置来选择对外部时钟的上升沿或下降沿计数。当 T8SE 位为 0 时，选择上升沿计数；T8SE 位为 1 时，选择下降沿计数。T8 寄存器在外部时钟的上升沿或下降沿递增。通过内部相位时钟 p2 和 p4 采样，来实现 T8CKI 与内部相位时钟的同步。因此，T8CKI 保持高电平或者低电平时间至少 4 个时钟周期。

3.1.1.3 预分频器

通过 PSA 位的设置 (BSET<3>) 来选择预分频是否被分配给 T8。当预分频器分配给 T8 时, 任何对 T8 寄存器的操作都会把预分频器的计数值清零, 但不改变预分频器的分频比。预分频器的计数值无法读写, 分频比可由 PS<2:0> (BSET<2:0>) 来配置。

3.1.1.4 中断标志

T8 提供了一个溢出中断标志。当 T8 寄存器递增计数, 计数值由 FF_H 变为 00_H 时, T8 寄存器发生溢出, T8IF 位 (INTC0<2>) 置 1, 如果 T8IE 位 (INTC0<5>) 使能, 则产生 T8 溢出中断。如果 T8IE 不使能, 则屏蔽这个中断。在重新使能这个中断之前, 为了避免误触发中断, T8IF 位必须软件清零。在 CPU 进入休眠模式后, 该中断将不再响应。

3.1.2 8 位 PWM 时基定时器 (T8P)

3.1.2.1 概述

- 支持内部时钟源, 频率为 $F_{osc}/4$
- 支持定时器模式
- 支持 1 组可配置预分频器和 1 组可配置后分频器
- 支持 1 组计数器, 可以对内部时钟/预分频输出进行计数
- 支持 1 组周期寄存器, 存放计数周期
- 计数器同周期寄存器比较, 当匹配时, 可产生匹配中断, 并清零计数器
- 通过定时器/计数器扩展模块, 支持 PWM 输出功能

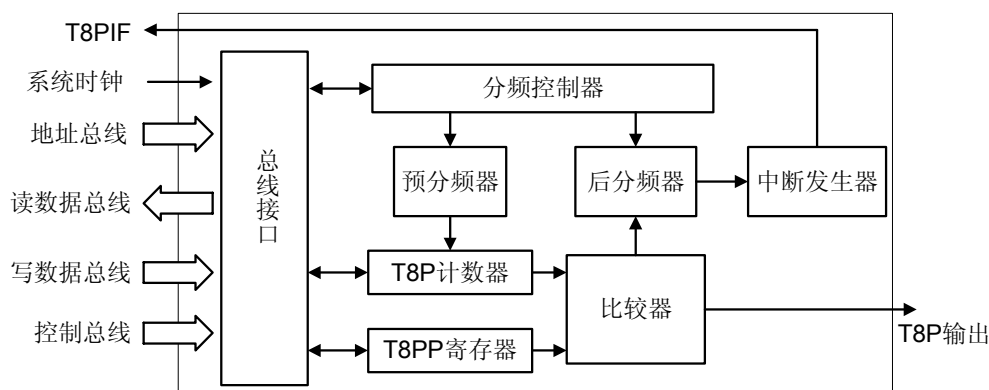


图 3-2 T8P 内部结构图

注: T8PP 为 T8P 周期寄存器。

3.1.2.2 工作模式

T8P 支持定时器模式, 使用内部时钟源, 时钟源为系统时钟 4 分频 ($F_{osc}/4$)。通过定时器/计数器扩展模块, 可以实现 PWM 输出, 请参考《T8P 脉宽调制功能扩展》章节。

3.1.2.3 预分频器和后分频器

T8P 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器的计数值无

法读写，分频比可由 CKPS<1:0> (T8PC<1:0>) 来配置。后分频器的计数值也无法读写，分频比可由 TOUTPS<3:0> (T8PC<6:3>) 来配置。修改 T8P 的控制寄存器或计数器都会把预分频器和后分频器的计数值清零。

3.1.2.4 中断标志

T8P 支持 1 组周期寄存器和 1 组计数器，都可以由用户配置。当 T8P 计数器的计数值递增到与周期寄存器的值相等时，产生一次匹配信号。后分频器会对这一匹配信号进行计数，当满足后分频器的设定值时，T8PIF 置 1，如果 T8PIE 使能，则产生 T8P 中断，如果 T8PIE 不使能，则屏蔽该中断。在重新使能这个中断之前，为了避免误触发中断，T8PIF 位必须软件清零。在 CPU 进入休眠模式后，该中断将不再响应。

3.1.3 定时器/计数器扩展模块 (TE)

3.1.3.1 概述

HR6P59HL 的 TE 模块支持 1 种功能扩展模式：T8P 脉宽调制功能扩展，通过设置 TEM<3:2>使能该扩展模式。

3.1.3.2 T8P 脉宽调制功能扩展

当 TE 设置成 PWM 功能扩展时，PWM 端口可产生 10 位分辨率的 PWM 输出。

在初始化 PWM 端口时，必须将相应的 PWM 端口所在管脚设置成输出状态。

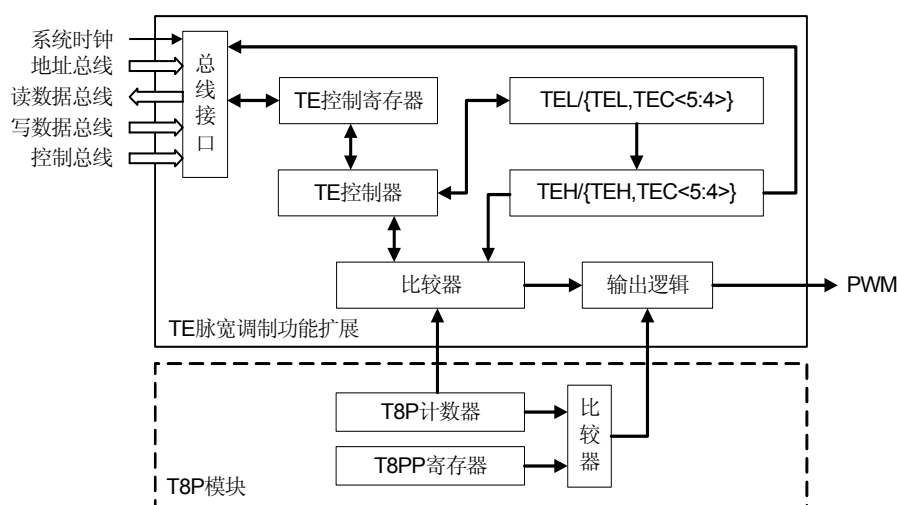


图 3-3 TE 在 PWM 功能扩展的内部结构图

对于 PWM 输出，波形如下图所示：

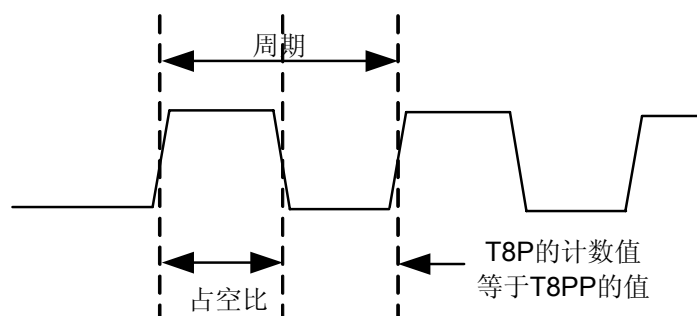


图 3-4 PWM 输出示意图

PWM 的周期由 PWM 时基定时器 T8P 提供。T8P 从 0 开始递增计数，当计数值等于 T8PP 时，完成了 PWM 的计数周期。满足计数周期时，将会进行如下操作：TE 端口被置 1（但如果 PWM 的占空比为 0%，TE 端口将不会置 1）；PWM 占空比从 TEL 被锁存到 TEH；T8P 被清零。

PWM 占空比由写入 TEL 寄存器和 TEC<5:4>位的值来决定。TEL:TEC<5:4>任何时候都是可写的，但是占空比值要到 T8PP 与 T8P 相等后才锁存到 TEH（即周期完成）。如果 PWM 占空比值比 PWM 周期要长，TE 端口将不会清零。在 PWM 方式下，TEH 是一个只读寄存器。

对 TEC 寄存器清零将会强迫 PWM 输出锁存器为低电平,而不是 I/O 端口的输出电平值。

PWM 公式如下:

$$\text{PWM 周期} = [(T8PP)+1] \times 4 \times T_{osc} \times (T8P \text{ 分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 占空比} = (TEL:TEC<5:4>) \times T_{osc} \times (T8P \text{ 分频比})$$

给定 PWM 频率, PWM 的最大分辨率可计算为:

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

F_{CKPS} 是 T8P 预分频器的分频比。

3.1.4 控制寄存器

寄存器名称				T8 寄存器
地址				01 _H 21 _H
复位值				XXXX XXXX
T8	bit7-0	R/W	T8 计数器 00 _H ~ FF _H	

寄存器名称				T8P 寄存器
地址				29 _H
复位值				XXXX XXXX
T8P	bit7-0	R/W	T8P 计数器 00 _H ~ FF _H	

寄存器名称				T8PC 寄存器
地址				2A _H
复位值				0000 0000
T8PCKPS	bit1-0	R/W	T8P 预分频器分频比选择位 00: 分频比为 1:1 01: 分频比为 1:4 1x: 分频比为 1:16	
T8PON	bit2	R/W	T8P 使能位 0: 关闭 T8P 1: 使能 T8P	
TOUTPS	bit6-3	R/W	T8P 后分频器分频比选择位 0000: 分频比为 1:1 0001: 分频比为 1:2 0010: 分频比为 1:3 ... 1111: 分频比为 1:16	
-	bit7	-	-	

寄存器名称				T8PP 寄存器
地址				2B _H
复位值				1111 1111
T8PP	bit7-0	R/W	T8P 周期寄存器 00 _H ~ FF _H	

寄存器名称				TEL 寄存器
地址				2C _H
复位值				XXXX XXXX
TEL	bit7-0	R/W	TE 低 8 位比较寄存器 00 _H ~ FF _H	

寄存器名称				TEH 寄存器
地址				2D _H
复位值				XXXX XXXX
TEH	bit7-0	R/W	TE 高 8 位比较寄存器 00 _H ~ FF _H	

寄存器名称				TEC 寄存器
地址				2E _H
复位值				0000 0000
-	bit0	-	-	
TEOS	bit1	R/W	TE 的 PWM 输出管脚选择位 0: PA<0>输出 PWM 1: PB<3>输出 PWM	
TEM	bit3-2	R/W	TE 工作方式选择位 00 = 关闭 TE 模块 (即 TE 复位) 01 = 未用 10 = 未用 11 = PWM 功能扩展	
PWMY-PWMX	bit5-4	R/W	10 位 PWM 工作循环周期低 2 位	
-	bit7-6	-	-	

第 4 章 特殊功能及操作特性

4.1 系统时钟及振荡器

4.1.1 概述

本芯片有两种时钟源，一种是外部时钟源，支持 6 种时钟模式，分别是 HS、XT、LP、EC、RC 和 RCIO 模式；另一种是内部时钟源，INTOSC4M 模式。

具体的时钟源和对应模式选择由芯片配置字 OSCS<2:0>位决定。

4.1.2 控制寄存器

寄存器名称				CALR 寄存器
地址				00B _H
复位值				1111 1111
CALR	bit7-0	R/W	频率调节位 当 CALR<7:0> = FF _H 时，时钟频率最小 当 CALR<7:0> = 00 _H 时，时钟频率最大	

注：CALR 寄存器主要是调整内部 4MHz 时钟的精度。程序储存器的最后一个地址（3FF_H）只能读不可写，此地址已经写入指令 RETIA XX，其中 XX 为内部 4MHz 校准值。

应用例程：读取内部 4MHz 校准值的简单程序如下。

```

ORG      0X00

LCALL    0X3FF

MOVA     CALR      ; RETIA 指令立即数的值写入校准寄存器
  
```

4.2 复位模块

4.2.1 概述

本芯片有四种复位类型：

- ◇ 上电复位 POR
- ◇ 低电压检测复位 BOR
- ◇ 外部端口#MRST 复位（低电平有效）
- ◇ 看门狗定时器 WDT 溢出复位

4.2.2 控制寄存器

寄存器名称	电源控制寄存器（PCON）		
地址	2F _H		
复位值	0011 1x0x		
#BOR	bit0	R/W	低电压检测复位状态位 0: 低电压检测复位发生（低电压检测复位后，必须用软件置位） 1: 无低电压检测复位发生
#POR	bit1	R/W	上电复位状态位 0: 上电复位发生（上电复位后，必须用软件置位） 1: 无上电复位发生
-	bit3-2	-	-
BOREN	bit4	R/W	低电压检测复位使能位 0: 软件关闭低电压检测复位 1: 软件使能低电压检测复位
RCEN	bit5	R/W	内部 32KHz 振荡器使能位 0: 关闭内部 32KHz 振荡器 1: 使能内部 32KHz 振荡器
-	bit7-6	-	-

4.3 中断处理

4.3.1 概述

本芯片支持硬件中断，共 3 个中断源，其中断向量入口位于 0008_H。每个中断源都有各自的中断使能位和中断标志位。

序号	中断名	中断标志	中断使能	外设使能	全局使能	备注
1	PINT	PIF	PIE	-	GIE	-
2	T8INT	T8IF	T8IE	-	GIE	-
3	T8PINT	T8PIF	T8PIE	PEIE	GIE	-

表 4-1 中断逻辑表

4.3.2 控制寄存器

寄存器名称	中断控制寄存器 (INTC0)		
地址	07 _H 27 _H 47 _H 67 _H		
复位值	0000 0000		
T8PIF	bit0	R/W	T8P 中断标志位 0: T8P 计数器计数未发生溢出 1: T8P 计数器计数溢出 (必须软件清零)
PIF	bit1	R/W	外部端口中断标志位 0: 外部端口上无电平变化 1: 外部端口上有中断信号 (必须用软件清零)
T8IF	bit2	R/W	T8 溢出中断标志位 0: T8 计数未溢出 1: T8 计数溢出 (必须用软件清零)
T8PIE	bit1	R/W	T8P 中断使能位 0: 禁止 T8P 中断 1: 使能 T8P 中断
PIE	bit4	R/W	外部端口中断使能位 0: 禁止外部端口中断 1: 使能外部端口中断
T8IE	bit5	R/W	T8 溢出中断使能位 0: 禁止 T8 中断 1: 使能 T8 中断
PEIE	bit6	R/W	外围中断使能位 0: 禁止外围接口中断 1: 使能未屏蔽的外围接口中断
GIE	bit7	R/W	全局中断使能位 0: 禁止所有的中断 1: 使能所有未屏蔽的中断

4.4 看门狗定时器

4.4.1 概述

当芯片配置字选择使能 **WDTEN**（配置字 **CONFIG1<3>**）时，看门狗开始工作，为了防止看门狗超时溢出引起不必要的芯片复位，必须在程序中用 **CWDT** 指令对 **WDT** 计数器定时清零；芯片配置字选择不使能 **WDTEN** 时，看门狗定时器停止工作。

没有预分频时，**WDT** 复位周期约为 18ms。

4.5 低功耗操作

4.5.1 休眠

通过执行一条指令 IDLE，即可进入休眠状态。进入休眠状态之后：

- ◇ 主时钟振荡器停振
- ◇ 所有 I/O 端口将保持进入 IDLE 前的状态
- ◇ 若使能 WDT，则 WDT 将被清零并保持运行
- ◇ PSW 寄存器中的 PD 位被清零，TO 位被置 1

在休眠模式下，为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平。**#MRST** 管脚必须处于逻辑高电平。

4.5.2 唤醒

当芯片处于休眠状态时，可以通过以下方式唤醒：

序号	唤醒源	中断使能	外设使能	备注
1	#MRST	-	-	-
2	WDT	-	-	WDT 溢出
3	KINWK	-	-	-
4	PINT	PIE	-	-

表 4-2 休眠唤醒表

芯片从休眠模式唤醒，需要注意以下两点：

- 1、中断唤醒与全局中断使能无关。在休眠模式下，若外设产生中断信号，即使全局中断使能 GIE 为 0，休眠模式依然会被唤醒，只是唤醒后不会执行中断程序。
- 2、当唤醒事件发生后，芯片需要在主时钟运行 1024 个周期后才执行 IDLE 下一条指令。

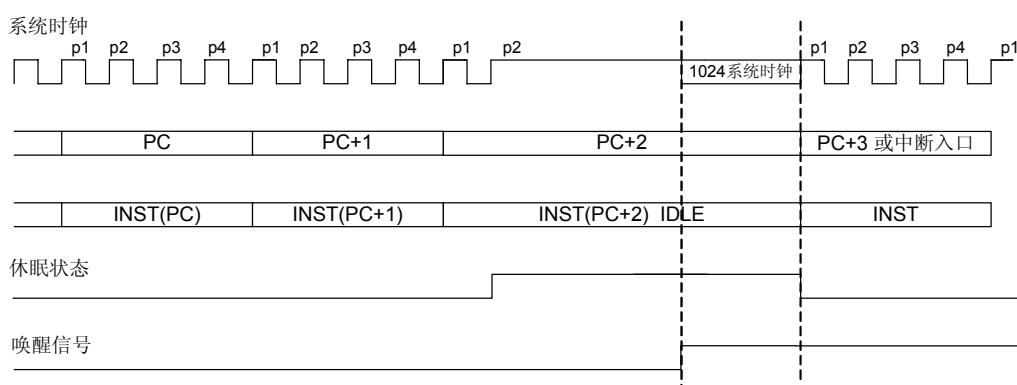


图 4-1 休眠模式唤醒示意图

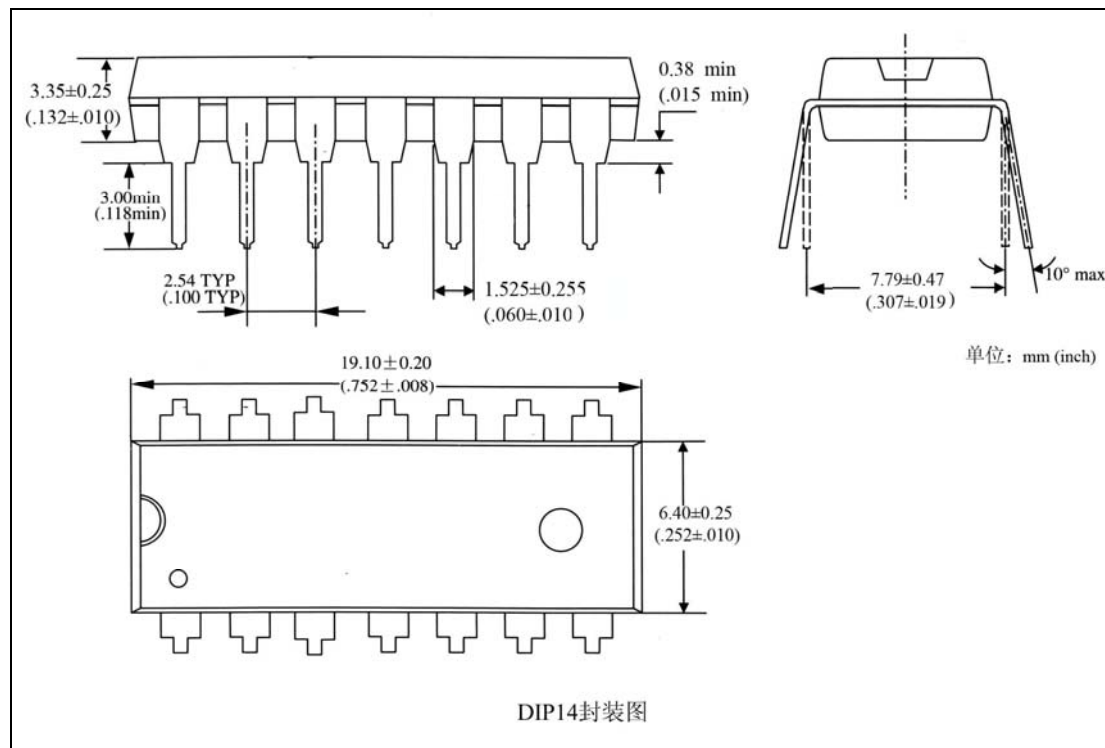
4.6 芯片配置字

寄存器名称	芯片配置字 (CONFIG)	
地址	401 _H	
OSCS	bit8,1-0	振荡器选择位 000 = LP 模式: 晶振/谐振器连接到 PA6 和 PA7 001 = RC 模式: CLK0 从 PA2 输出, RC 电路接到 PA3 010 = HS 模式: 晶体振荡器连接到 PA2 和 PA3 011 = RC 模式: PA2 为 I/O, RC 电路接到管脚 PA3 100 = INTOSC 模式: CLK0 从 PA2 输出, PA3 为 I/O 101 = INTOSC 模式: PA2 为 I/O, PA3 为 I/O 110 = 未用 111 = XT 模式: 晶体振荡器连接到 PA2 和 PA3
WDTEN	bit2	硬件看门狗使能位 0: 不使能硬件看门狗 1: 使能硬件看门狗
PWRTEB	bit3	上电定时器使能位 0: 使能上电定时器 1: 不使能上电定时器
MRSTEN	bit4	主复位使能位 0: PA1 管脚用于数字输入 1: PA1 管脚用于主复位
BOREN	bit5	低电压检测复位使能位 0: 不使能低电压检测复位 1: 使能低电压检测复位
CP0	bit6	硬件加密, 通过芯片内部加密算法加密, 读出为乱码 (加密数据线) 0: 加密数据线 1: 不加密数据线
BORVCS	bit7	BOR 电压选择位 1: 2.1 V (默认) 0: 3.3 V
-	bit13-9	-

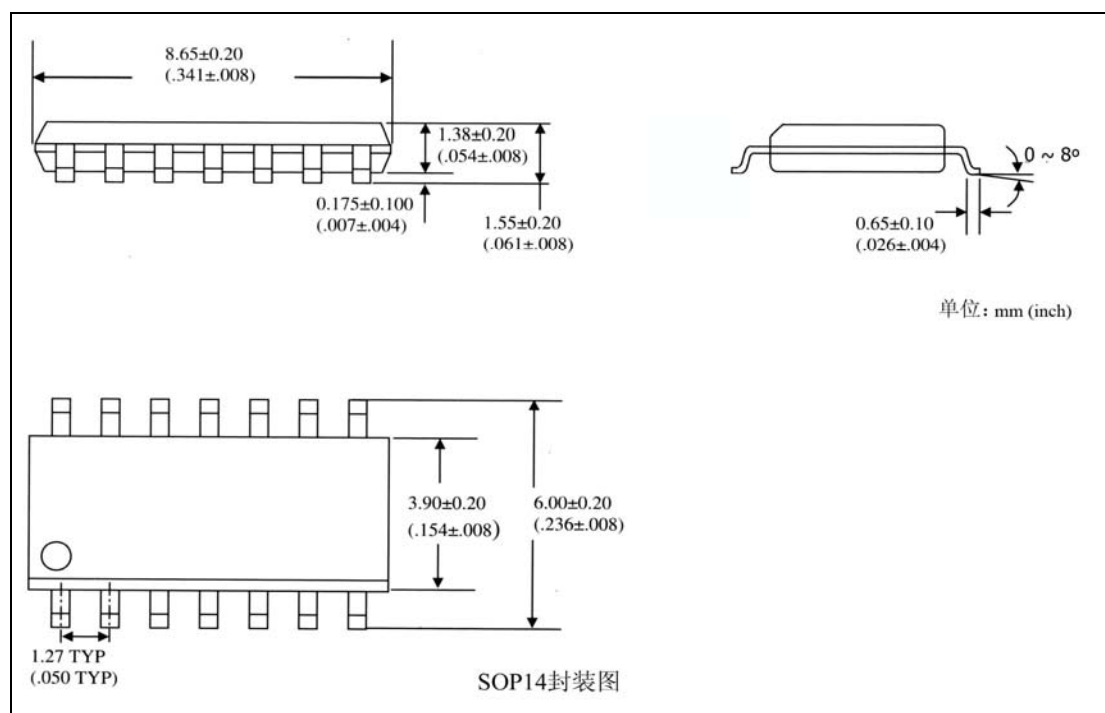
第 5 章 芯片封装图

5.1 14-pin 封装图

DIP14

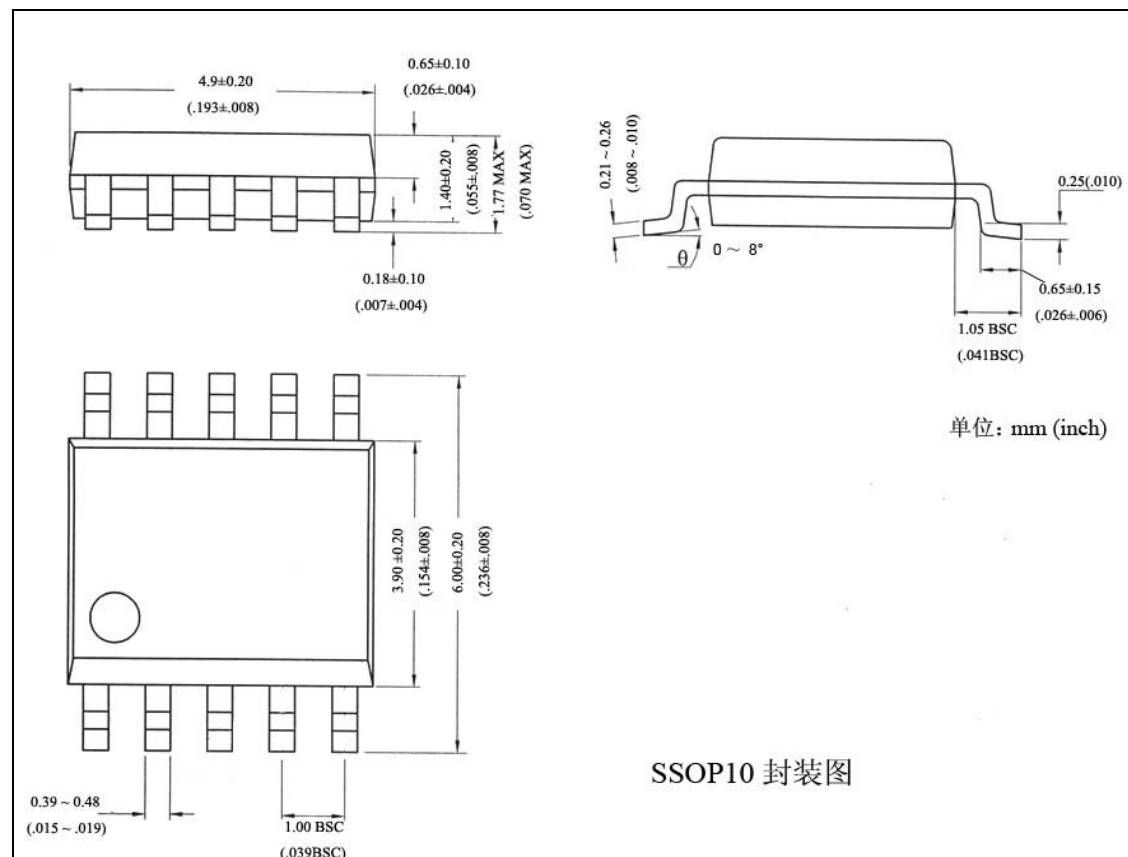


SOP14



5.2 10-pin 封装图

SSOP10



附录1 指令集

附录1.1 概述

本芯片提供了 42 条精简指令。

汇编指令只是为了方便程序设计者使用，因此指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 1μs。按照指令执行的机器周期数可将指令分为双周期指令和单周期指令。

附录1.2 指令操作说明

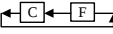
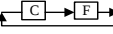
寄存器操作指令

序号	指令	状态位	操作
1	MOV R, F	Z	(R)→(目标)
2	MOVA R	-	(A)→(R)
3	MOVI I	-	I→(A)
4	TRIS R	-	(A) →(PxT)
5	OPTION	-	(A) →(BSET)

程序控制指令

序号	指令	状态位	操作
6	CALL I	-	PC+1→TOS, I→PC<7:0> (PCR<1:0>)→(PC<9:8>)
7	CWDT	#TO, #PD	00 _H →WDT, 0→WDT Prescaler, 1→#TO, 1→#PD
8	GOTO I		I→PC<8:0> (PCR<1>)→(PC<9>)
9	IDLE	#TO, #PD	00 _H →WDT, 0→WDT Prescaler, 1→#TO, 0→#PD
10	JBC R, M	-	Skip if R<M> = 0
11	JBS R, M	-	Skip if R<M> = 1
12	JDEC R, F	-	(R-1)→(目标), Skip if (目标) = 0
13	JINC R, F	-	(R+1)→(目标), Skip if (目标) = 0
14	JUMP I	-	I→PC<9:0>
15	LCALL I	-	PC+1→TOS, I→PC<9:0>
16	NOP	-	No operation
17	RETIA I	-	I→(A), TOS→PC
18	RETIE	-	TOS→PC, 1→GIE

算术/逻辑运算指令

序号	指令	状态位	操作
19	ADD R, F	C, DC, Z	$(R) + (A) \rightarrow (\text{目标})$
20	ADDI I	C, DC, Z	$I + (A) \rightarrow (A)$
21	AND R, F	Z	$(A). \text{AND}. (R) \rightarrow (\text{目标})$
22	ANDI I	Z	$I. \text{AND}. (A) \rightarrow (A)$
23	BCC R, M	-	$0 \rightarrow R < M >$
24	BSS R, M	-	$1 \rightarrow R < M >$
25	CLR R	Z	$(R) = 0$
26	CLRA	Z	$(A) = 0$
27	COM R, F	Z	$(\sim R) \rightarrow (\text{目标})$
28	DEC R, F	Z	$(R - 1) \rightarrow (\text{目标})$
29	INC R, F	Z	$(R + 1) \rightarrow (\text{目标})$
30	IOR R, F	Z	$(A). \text{OR}. (R) \rightarrow (\text{目标})$
31	IORI I	Z	$I. \text{OR}. (A) \rightarrow (A)$
32	RL R, F	C	
33	RR R, F	C	
34	SUB R, F	C, DC, Z	$(R) - (A) \rightarrow (\text{目标})$
35	SUBI I	C, DC, Z	$I - (A) \rightarrow (A)$
36	SWAP R, F	-	$R < 3:0 > \rightarrow (\text{目标}) < 7:4 >$, $R < 7:4 > \rightarrow (\text{目标}) < 3:0 >$
37	XOR R, F	Z	$(A). \text{XOR}. (R) \rightarrow (\text{目标})$
38	XORI I	Z	$I. \text{XOR}. (A) \rightarrow (A)$

特殊功能指令

序号	指令	状态位	操作
39	PUSH	-	进入中断处理时自动保护 A, PSW, PCRH 寄存器的值
40	POP	-	退出中断处理时返回 A, PSW, PCRH 寄存器的值

注 1: I—立即数, F—标志位, A—寄存器 A, B—寄存器 B, R—寄存器 R, M—寄存器 R 的第 M 位。

注 2: C—进位/借位, DC—半进位/半借位, Z—零标志位。

注 3: TOS—顶级堆栈。

注 4: 如果 $F = 0$, 则目标寄存器为寄存器 A; 如果 $F = 1$, 则目标寄存器为寄存器 R。

注 5: 42 条指令中另有两条 NOP 指令未在上表中描述。

附录2 控制寄存器表

地址	寄存器名称	功能说明	备注
00 _H	IAD	间接寻址（数据）	-
01 _H	T8	T8 寄存器	-
02 _H	PCRL	程序计数器（低）	-
03 _H	PSW	程序状态字	-
04 _H	IAA	间接寻址（地址）	-
05 _H	PA	PA 端口电平状态	-
06 _H	PB	PB 端口电平状态	-
07 _H	INTC0	中断控制器	-
08 _H	PCRH	程序计数器（高）	-
09 _H	PAWPUC	PA 弱上拉控制	-
0A _H	PBWPUC	PB 弱上拉控制	-
0B _H	CALR	内部时钟校准值	-
0C _H	KMSK	按键唤醒屏蔽	
0D _H	ODC	开漏输出控制	
0E _H	-	-	-
0F _H	-	-	-

地址	寄存器名称	功能说明	备注
20 _H	IAD	间接寻址（数据）	-
21 _H	T8	T8 寄存器	-
22 _H	PCRL	程序计数器（低）	-
23 _H	PSW	程序状态字	-
24 _H	IAA	间接寻址（地址）	-
25 _H	PA	PA 端口电平状态	-
26 _H	PB	PB 端口电平状态	-
27 _H	INTC0	中断控制器	-
28 _H	PCRH	程序计数器（高）	-
29 _H	T8P	T8P 寄存器	-
2A _H	T8PC	T8P 控制器	-
2B _H	T8PP	T8P 周期	-
2C _H	TEL	高电平脉宽值（高）	-
2D _H	TEH	高电平脉宽比较（高）	-
2E _H	TEC	TE 控制器	-
2F _H	PCON	电源状态	-

地址	寄存器名称	功能说明	备注
40 _H	IAD	间接寻址（数据）	-
41 _H	-	-	-
42 _H	-	-	-
43 _H	PSW	程序状态字	-
44 _H	IAA	间接寻址（地址）	-
45 _H	PA	PA 端口电平状态	-
46 _H	PB	PB 端口电平状态	-
47 _H	INTC0	中断控制器	-
48 _H	PCRH	程序计数器（高）	-
49 _H	-	-	-
4A _H	-	-	-
4B _H	-	-	-
4C _H	-	-	-
4D _H	-	-	-
4E _H	-	-	-
4F _H	-	-	-

地址	寄存器名称	功能说明	备注
60 _H	IAD	间接寻址（数据）	-
61 _H	-	-	-
62 _H	-	-	-
63 _H	PSW	程序状态字	-
64 _H	IAA	间接寻址（地址）	-
65 _H	PA	PA 端口电平状态	-
66 _H	PB	PB 端口电平状态	-
67 _H	INTC0	中断控制器	-
68 _H	PCRH	程序计数器（高）	-
69 _H	-	-	-
6A _H	-	-	-
6B _H	-	-	-
6C _H	-	-	-
6D _H	-	-	-
6E _H	-	-	-
6F _H	-	-	-

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.5 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.5	-	5.5	V	全 VDD 范围
芯片静态电流	I _{DD}	-	80	200	μA	上电复位, VDD = 5V, 所有的 I/O 输入低电平, #MRST = 0, OSC1 低电平, OSC2 不接负载。
休眠模式下 芯片电流	I _{PD}	-	1	-	μA	VDD = 5V, 进入休眠模式, HS 模式, WDT 模块不使能, 32KHz 时钟不使能, BOR 不使能。
正常运行模式 芯片电流	I _{OP}	-	-	3	mA	VDD = 5V, 正常运行模式, 8MHz 时钟输入, 输出 I/O 端口不接负载。
VDD 管脚的 最大输入电流	I _{MAXVDD}	-	80	100	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	I _{MAXVSS}	-	120	-	mA	25°C, VDD = 5V
I/O 端口 最大灌电流	I _{MAXOL}	-	-	65	mA	25°C, VDD = 5V
I/O 端口 最大拉电流	I _{MAXOH}	-	-	40	mA	25°C, VDD = 5V

◆ 芯片输入端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
PA、PB 端口输入高电平(有施密特输入特性)	V_{IH}	2.0	-	VDD	V	$2.5V \leq VDD \leq 5.5V$
主复位信号 $\overline{MRST}$ 输入高电平(有施密特输入特性)		0.8VDD	-	VDD	V	
PA、PB 端口输入低电平	V_{IL}	V_{SS}	-	0.8	V	
主复位信号 $\#MRST$ 输入低电平		V_{SS}	-	0.2 VDD	V	
PA、PB 端口输入漏电流	I_{IL}	-	-	± 1	μA	$2.5V \leq VDD \leq 5.5V$ $V_{SS} \leq V_{pin} \leq VDD$ (端口处于高阻状态)
主复位端口漏电流		-	-	5	μA	$V_{SS} \leq V_{pin} \leq VDD$
PB 输入弱上拉电流	I_{PUPB}	30	80	150	μA	$2.5V \leq VDD \leq 5.5V$ $V_{pin} = V_{SS}$

◆ 芯片输出端口特性表

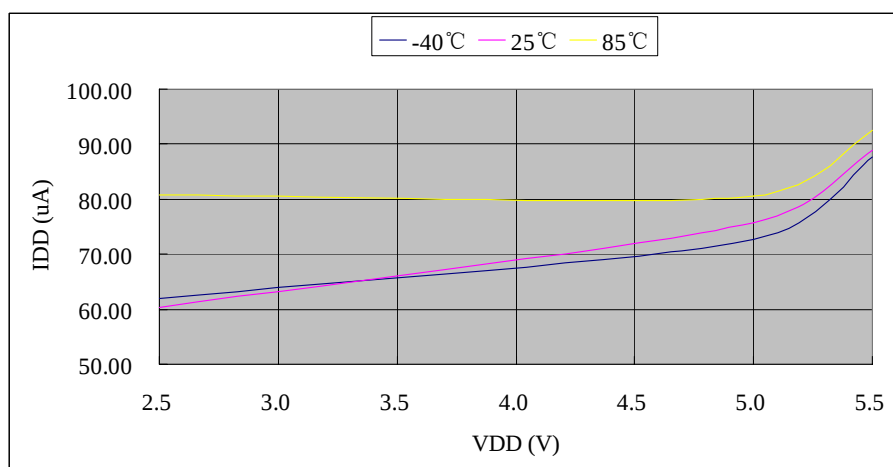
芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输出高电平	V_{OH}	VDD-0.7	-	-	V	$2.5V \leq VDD \leq 5.5V$ $I_{OH} = -3.0mA$
I/O 端口输出低电平	V_{OL}	-	-	0.6	V	$2.5V \leq VDD \leq 5.5V$ $I_{OL} = -8.5mA$

◆ 时钟要求

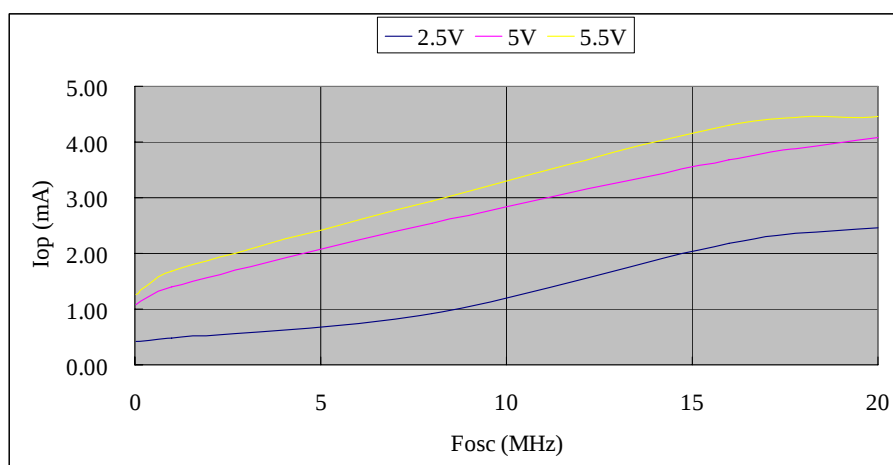
参数	符号	最小值	典型值	最大值	单位	测试条件
外部时钟频率	F_{osc}	DC	-	16M	Hz	晶体振荡模式
时钟振荡频率		32K	-	16M	Hz	晶体振荡模式
外部时钟周期	T_{osc}	62.5	-	DC	ns	晶体振荡模式
时钟振荡周期		62.5	-	500	ns	晶体振荡模式
机器周期	T_{inst}	250	-	DC	ns	$T_{inst} = 4/F_{osc}$
外部时钟高电平和低电平时间	T_{osL}, T_{osH}	15	-	-	ns	晶体振荡模式
外部时钟上升和下降时间	T_{osR}, T_{osF}	-	-	15	ns	晶体振荡模式
WDT 溢出时间	T_{WDT}	12.8 (40K)	19.7 (26K)	42.7 (12K)	ms	不分频 $VDD = 5V$

附录3.2 参数特性图

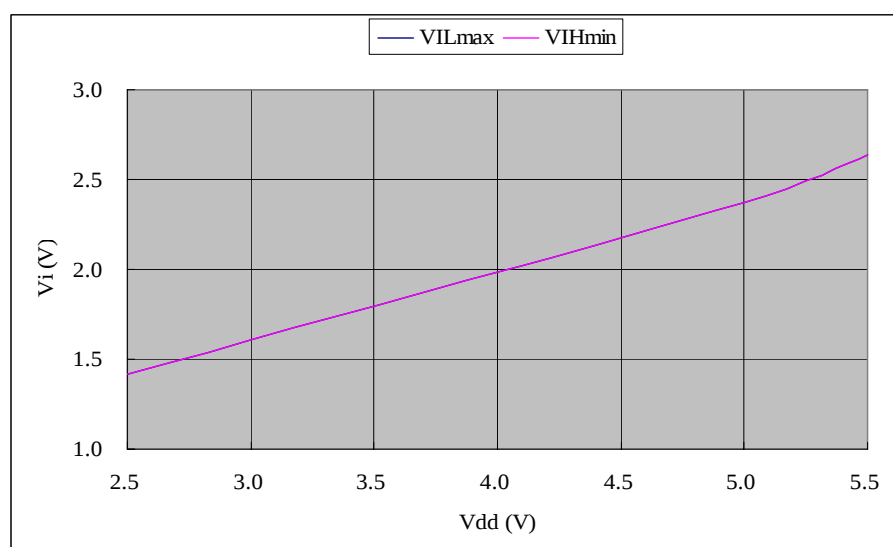
◆ 芯片静态电流随芯片电压变化特性图（室温 25℃）



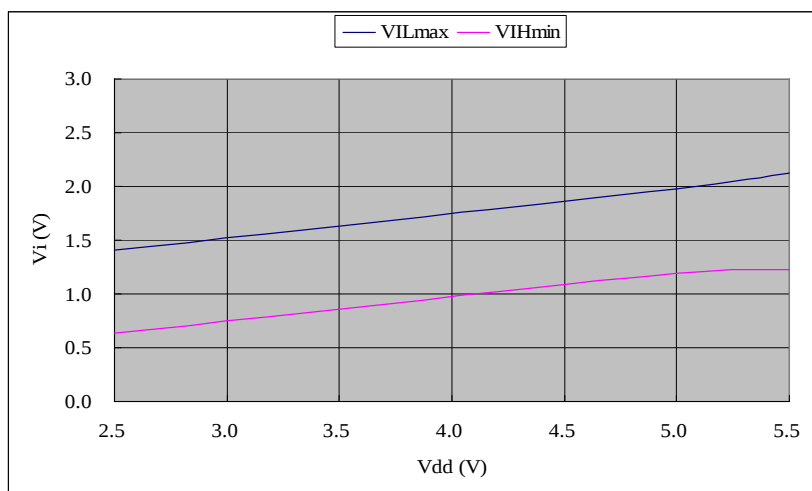
◆ 正常运行模式下芯片电流随时钟频率变化图（室温 25℃）



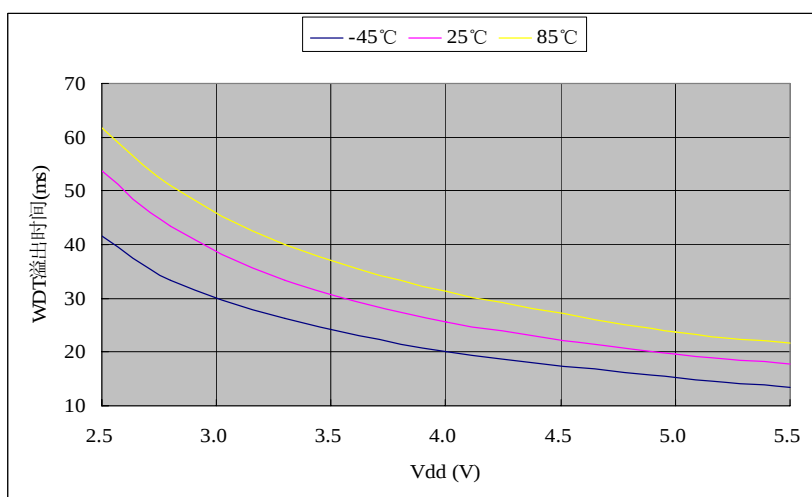
◆ 外部复位信号输入特性图（室温 25℃）



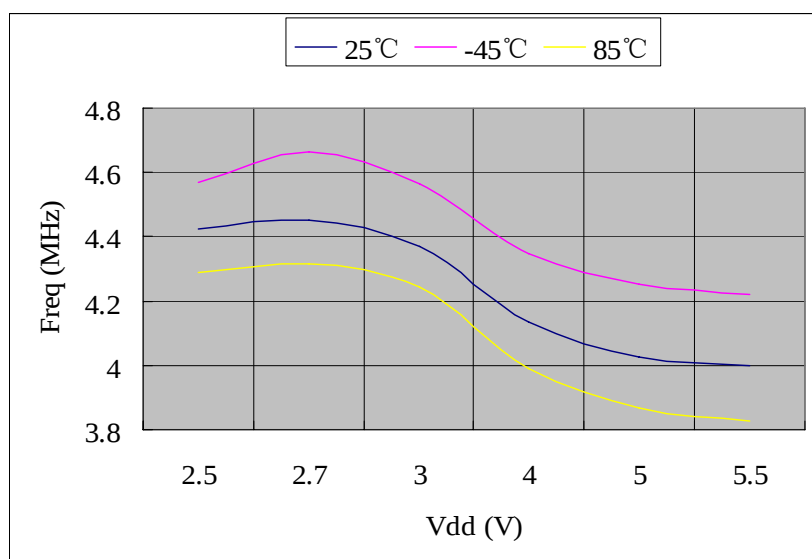
◆ I/O 端口信号输入特性图（室温 25℃）



◆ WDT 溢出时间随电压温度变化曲线图

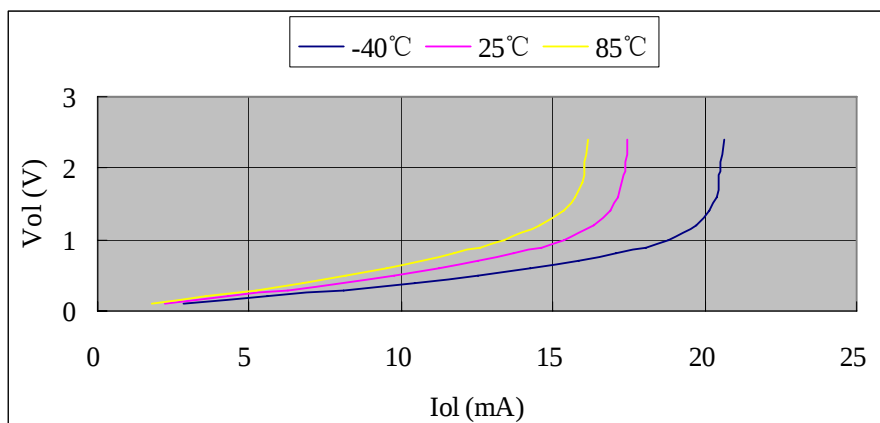


◆ 内部时钟频率随电压温度变化曲线图

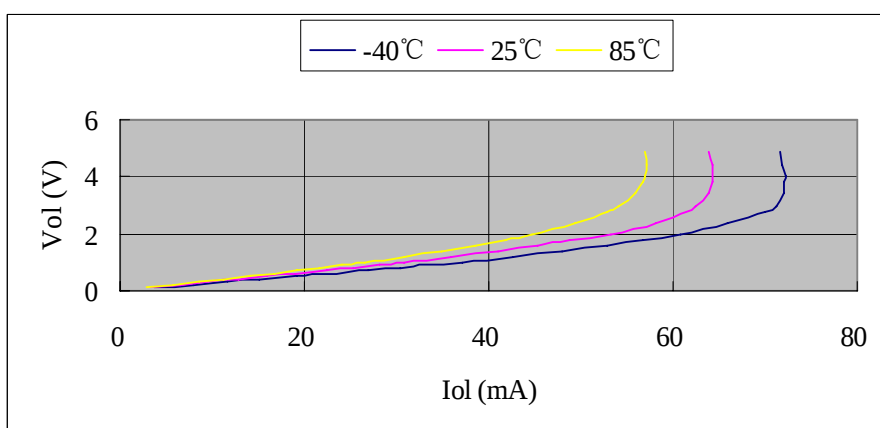


◆ I/O 端口信号输出特性图

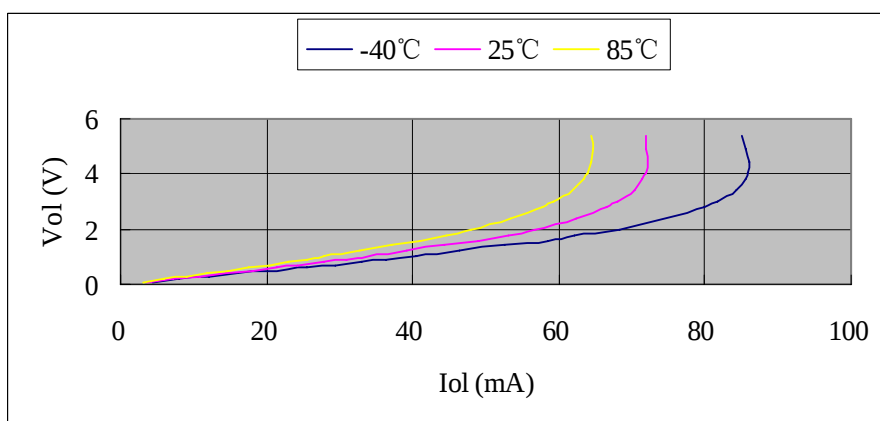
A: V_{OL} vs. I_{OL} @VDD = 2.5V



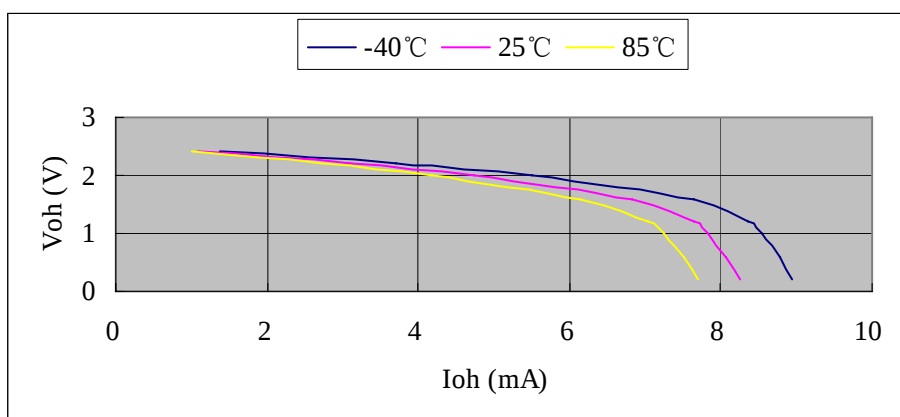
B: V_{OL} vs. I_{OL} @VDD = 5.0V



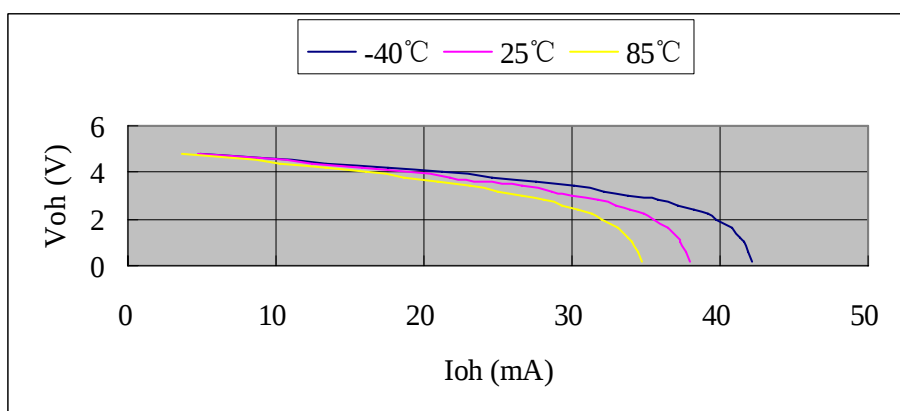
C: V_{OL} vs. I_{OL} @VDD = 5.5V



D: V_{OH} vs. I_{OH} @ $V_{DD} = 2.5V$



E: V_{OH} vs. I_{OH} @ $V_{DD} = 5.0V$



F: V_{OH} vs. I_{OH} @ $V_{DD} = 5.5V$

