

P89LPC9102/9103/9107 使用指南

1. 概述	4
1.1 逻辑符号.....	4
1.2 管脚配置.....	4
1.3 特殊功能寄存器.....	10
1.4 存储器结构.....	18
2. 时钟	18
2.1 增强型 CPU.....	18
2.2 时钟定义.....	18
2.3 时钟输出.....	19
2.4 含时钟倍频方式的片内 RC 振荡器选项.....	19
2.5 看门狗振荡器选项.....	19
2.6 外部时钟输入选项.....	20
2.7 CPU 时钟 (CCLK) 唤醒延迟	20
2.8 CCLK 调整: DIVM 寄存器	21
2.9 低功耗选择.....	21
3. A/D 转换器.....	21
3.1 特性.....	22
3.2 A/D 工作模式.....	22
3.2.1 固定通道, 单次转换模式.....	22
3.2.2 固定通道, 连续转换模式.....	22
3.2.3 自动扫描, 单次转换模式.....	23
3.2.4 自动扫描, 连续转换模式.....	23
3.2.5 双通道, 连续转换模式.....	23
3.2.6 单步模式.....	23
3.2.7 转换模式选择位.....	24
3.3 触发模式.....	24
3.3.1 定时器触发启动.....	24
3.3.2 立即启动.....	24
3.3.3 边界限制中断.....	24
3.4 DAC 输出到高输出阻抗的 I/O 口	24
3.5 时钟分频器.....	24
3.6 用作 A/D 转换器功能的 I/O 脚.....	25
3.7 掉电和空闲模式.....	25
4. 中断	27
4.1 中断优先级结构.....	27
4.1.1 外部中断输入.....	28
5. I/O 口.....	29
5.1 I/O 口配置	29
5.2 准双向口输出配置.....	30

5.3 开漏输出配置.....	31
5.4 仅为输入配置.....	31
5.5 推挽输出配置.....	31
5.6 P0 口模拟功能.....	32
5.7 附加端口特性.....	32
6. 电源监控功能.....	33
6.1 掉电检测.....	33
6.2 上电检测.....	34
6.3 节电模式.....	34
7. 复位.....	37
7.1 复位向量.....	38
8. 定时器 0 和 1.....	38
8.1 模式 0.....	40
8.2 模式 1.....	40
8.3 模式 2.....	40
8.4 模式 3.....	40
8.5 模式 6 (P89LPC9102, P89LPC9107).....	41
8.6 定时器溢出触发输出 (P89LPC9102, P89LPC9107).....	43
9. 实时时钟系统定时器.....	43
9.1 实时时钟源.....	44
9.2 RTCS1/ RTCS 0 的更改.....	44
9.3 实时时钟中断/唤醒.....	44
9.4 影响实时时钟的复位源.....	44
10. UART (P89LPC9103/9107).....	45
10.1 模式 0.....	45
10.2 模式 1.....	46
10.3 模式 2.....	46
10.4 模式 3.....	46
10.5 SFR 的地址.....	46
10.6 波特率发生器及选择.....	47
10.7 更新 BRGR1 和 BRGR0 SFR 寄存器.....	47
10.8 帧错误.....	48
10.9 间隔检测.....	48
10.10 更多关于 UART 模式 0 的信息.....	50
10.11 更多关于 UART 模式 1 的信息.....	50
10.12 更多关于模式 2 和模式 3 的信息.....	51
10.13 模式 2 和 3 中 SM2=1 时的帧错误和 RI.....	51
10.14 间隔检测.....	51
10.15 双缓冲.....	52
10.16 不同模式中的双缓冲.....	52
10.17 双缓冲使能时的发送中断 (模式 1, 2 和 3).....	52
10.18 双缓冲中的第 9 位数据 (模式 1、2 和 3).....	53
10.19 多机通信.....	54
10.20 自动地址识别.....	54

11. 模拟比较器	55
11.1 比较器配置.....	55
11.2 内部参考电压.....	56
11.3 比较器中断.....	56
11.4 比较器和节电模式.....	56
11.5 比较器配置举例.....	57
12. 键盘中断 (KBI)	57
13. 看门狗定时器(WDT)	59
13.1 看门狗功能.....	59
13.2 看门狗喂狗序列.....	60
13.3 看门狗时钟源.....	62
13.4 定时器模式中的看门狗定时器.....	63
13.5 掉电操作.....	63
13.6 不使用外部振荡器的掉电周期唤醒.....	63
14. 附加特性	63
14.1 软件复位.....	64
14.2 双数据指针.....	64
15. Flash 程序存储器	65
15.1 特性.....	65
15.2 Flash 编程和擦除.....	65
15.3 Flash 用作数据存储器: IAP-Lite.....	65
15.4 在线编程 (ICP)	69
15.5 上电复位代码的执行.....	69
15.6 Boot Vector 地址的硬件激活.....	69
15.7 Flash 写使能.....	69
15.8 配置字节保护.....	70
15.9 IAP-Lite 错误状态.....	70
15.10 用户配置字节.....	71
15.11 用户加密字节.....	71
15.12 引导向量寄存器.....	72
15.13 引导状态寄存器.....	73
16. 指令集	73
17. 修订记录	76

1. 概述

P89LPC9102/9103/9107 是单片封装的微控制器，适合于许多要求高集成度、低成本的情况，可以满足多方面的性能要求。P89LPC9102/9103/9107 采用了高性能的处理器结构，指令执行时间只需 2 到 4 个时钟周期，6 倍于标准 80C51 器件。P89LPC9102/9103/9107 集成了许多系统级的功能，这样可大大减少元件的数目和电路板面积并降低系统的成本。

1.1 逻辑符号

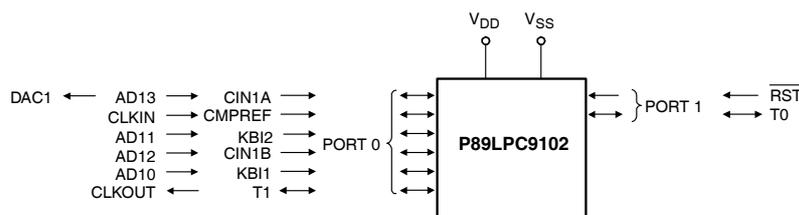


图 1 P89LPC9102 逻辑符号

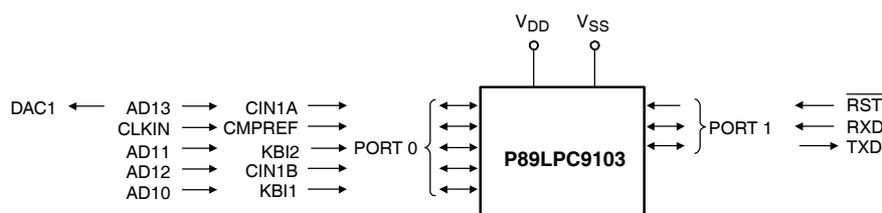


图 2 P89LPC9103 逻辑符号

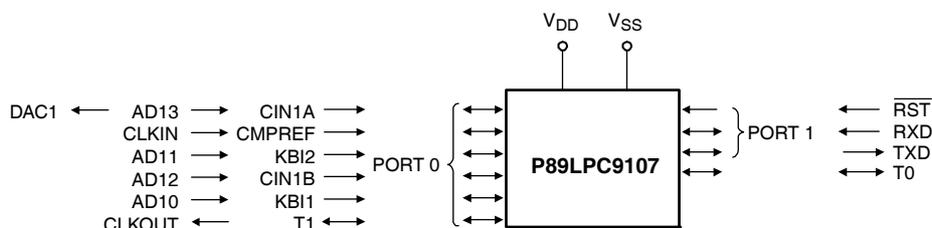


图 3 P89LPC9107 逻辑符号

1.2 管脚配置

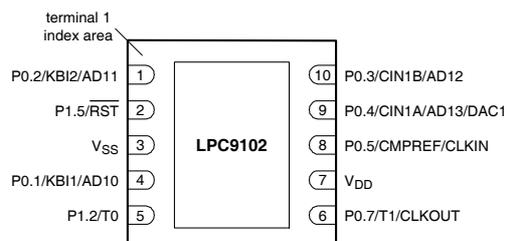


图 4 P89LPC9102 管脚配置(HVSON10)

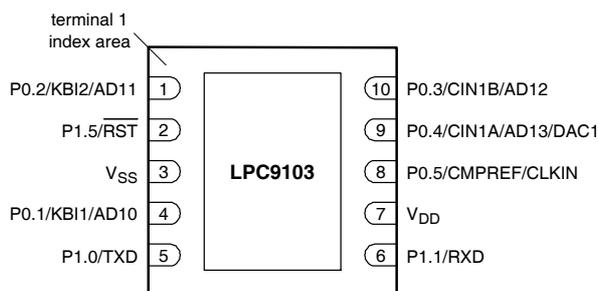


图 5 P89LPC9103 管脚配置(HVSON10)

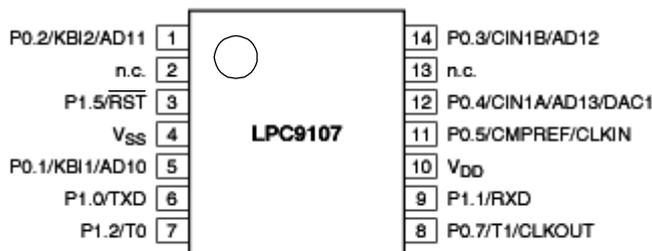


图 6 P89LPC9107 管脚配置(TSSOP14)

表 1 P89LPC9102 管脚描述

符号	管脚	类型	描述
P0.1~P0.5, P0.7		I/O	Port 0: P0 是一个可由用户定义输出类型的 I/O 口。在上电复位时, P0 锁存器配置为内部上拉禁止的仅为输入模式。P0 口由端口配置寄存器设定为输出或输入模式, 每一个管脚均可单独设定。请参考 5.1 节“ <u>I/O 口配置</u> ”部分。 P0 口具有键盘输入中断功能。 所有管脚都具有施密特触发输入。 P0 口还可提供如下特殊功能:
P0.1/KBI1/AD10	4	I/O I I	P0.1 —P0 口位 1。 KBI1 —键盘输入 1。 AD10 —ADC1 通道 0 模拟输入。
P0.2/KBI2/AD11	1	I/O I I	P0.2 —P0 口位 2。 KBI2 —键盘输入 2。 AD11 —ADC1 通道 1 模拟输入。
P0.3/CIN1B/AD12	10	I/O I I	P0.3 —P0 口位 3。 CIN1B —比较器 1 正相输入。 AD12 —ADC1 通道 2 模拟输入。
P0.4/CIN1A/AD13 /DAC1	9	I/O I I O	P0.4 —P0 口位 4。 CIN1A —比较器 1 正相输入。 AD13 —ADC1 通道 3 模拟输入。 DAC1 —数字到模拟转换器输出。
P0.5/CMPREF/ CLKIN	8	I/O I I	P0.5 —P0 口位 5。 CMPREF —比较器参考(反相)输入 CLKIN —外部时钟输入。

续上表...

符号	管脚	类型	描述
P0.7/T1/CLKOUT	6	I/O I/O I	P0.7 —P0 口位 7。 T1 —定时器/计数器 1 外部计数输入或溢出/PWM 输出。 CLKOUT —时钟输出。
P1.2, P1.5		I/O	Port1 : P1 口是一个可由用户定义输出类型的 I/O 口。在上电复位时, P1 锁存器配置为内部上拉禁止的仅为输入模式。P1 口由端口配置寄存器设定为输出或输入模式, 每一位均可单独设定。详细请参考 5.1 节“ <u>I/O 口配置</u> ”部分。P1.5 为仅为输入模式。所有管脚都具有施密特触发输入。 P1 口还可提供如下特殊功能:
P1.2/T0	5	I/O I/O	P1.2 —P1 口位 2。 T0 —定时器/计数器 0 外部计数输入或溢出/PWM 输出。
P1.5/ $\overline{\text{RST}}$	2	I I	P1.5 —P1 口位 5 (仅为输入)。 $\overline{\text{RST}}$ —上电时作为外部复位输入或通过用户配置寄存器 1(UCFG1)选择。作为复位管脚时, 输入的低电平会使微控制器复位, I/O 口和外围功能进入默认状态, 处理器从地址 0 开始执行。另外该管脚还可用于上电序列时强制进入在系统编程模式。当使用频率高于 12MHz 的振荡器时, 必须使能 P1.5 的复位输入功能。上电时, 需要一个外部电路使器件在上电时保持复位状态, 直至 V_{DD} 到达指定的电平。当系统电源被移走时, V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中, 当 V_{DD} 降至低于指定的最低工作电压时, 需要一个外部掉电检测电路使器件保持复位状态。
V_{SS}	3	I	地: 0V 参考点
V_{DD}	7	I	电源: 正常操作模式、空闲模式和掉电模式时的电源电压。

表 2 P89LPC9103 管脚描述

符号	管脚	类型	描述
P0.1~P0.5		I/O	Port 0 : P0 是一个可由用户定义输出类型的 I/O 口。在上电复位时, P0 锁存器配置为内部上拉禁止的仅为输入模式。P0 口由口配置寄存器设定为输出或输入模式, 每一个管脚均可单独设定。详细请参考 5.1 节“ <u>I/O 口配置</u> ”部分。 P0 口具有键盘输入中断功能。 所有管脚都具有施密特触发输入。 P0 口还可提供如下特殊功能:
P0.1/KBI1/AD10	4	I/O I I	P0.1 —P0 口位 1。 KBI1 —键盘输入 1。 AD10 —ADC1 通道 0 模拟输入。
P0.2/KBI2/AD11	1	I/O I I	P0.2 —P0 口位 2。 KBI2 —键盘输入 2。 AD11 —ADC1 通道 1 模拟输入。

续上表...

符号	管脚	类型	描述
P0.3/CIN1B/AD12	10	I/O I I	P0.3 —P0 口位 3。 CIN1B —比较器 1 正相输入。 AD12 —ADC1 通道 2 模拟输入。
P0.4/CIN1A/AD13 /DAC1	9	I/O I I O	P0.4 —P0 口位 4。 CIN1A —比较器 1 正相输入。 AD13 —ADC1 通道 3 模拟输入。 DAC1 —数字到模拟转换器输出。
P0.5/CMPREF/ CLKIN	6	I/O I I	P0.5 —P0 口位 5。 CMPREF —比较器参考（反相）输入 CLKIN —外部时钟输入。
P1.0~P1.5		I/O	Port1 : P1 是一个可由用户定义输出类型的 I/O 口。在上电复位时, P1 锁存器配置为内部上拉禁止的仅为输入模式。P1 口由口配置寄存器设定为输出或输入模式, 每一位均可单独设定。详细请参考 5.1 节 “I/O 口配置” 部分。P1.5 为仅为输入模式。 所有管脚都具有施密特触发输入。 P1 口还可提供如下特殊功能:
P1.0/TXD	5	I/O O	P1.0 —P1 口位 0。 TXD —串行口发送器数据。
P1.1/RXD	6	I/O I	P1.1 —P1 口位 1。 RXD —串行口接收器数据。
P1.5/ $\overline{\text{RST}}$	2	I I	P1.5 —P1 口位 5 (仅为输入)。 $\overline{\text{RST}}$ —上电时作为外部复位输入或通过用户配置寄存器 1(UCFG1)选择。作为复位管脚时, 输入的低电平会使微控制器复位, I/O 口和外围功能进入默认状态, 处理器从地址 0 开始执行。另外该管脚还可用于上电序列时强制进入在系统编程模式。当使用频率高于 12MHz 的振荡器时, 必须使能 P1.5 的复位输入功能。上电时, 需要一个外部电路使器件保持复位状态, 直至 V_{DD} 到达指定的电平。当系统电源被移走时, V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中, 当 V_{DD} 降至低于指定的最低工作电压时, 需要一个外部掉电检测电路使器件保持复位状态。
V_{SS}	3	I	地 : 0V 参考点
V_{DD}	7	I	电源 : 正常操作模式、空闲模式和掉电模式时的电源电压。

表 3 P89LPC9107 管脚描述

符号	管脚	类型	描述
P0.1~P0.5, P0.7		I/O	Port 0 : P0 是一个可由用户定义输出类型的 I/O 口。在上电复位时, P0 锁存器配置为内部上拉禁止的仅为输入模式。P0 口由口配置寄存器设定为输出或输入模式, 每一个管脚均可单独设定。请参考 5.1 节 “I/O 口配置” 部分。P0 口具有键盘输入中断功能。 所有管脚都具有施密特触发输入。 P0 口还可提供如下特殊功能:

符号	管脚	类型	描述
P0.1/KBI1/AD10	5	I/O I I	P0.1 —P0 口位 1。 KBI1 —键盘输入 1。 AD10 —ADC1 通道 0 模拟输入。
P0.2/KBI2/AD11	1	I/O I I	P0.2 —P0 口位 2。 KBI2 —键盘输入 2。 AD11 —ADC1 通道 1 模拟输入。
P0.3/CIN1B/AD12	14	I/O I I	P0.3 —P0 口位 3。 CIN1B —比较器 1 正相输入。 AD12 —ADC1 通道 2 模拟输入。
P0.4/CIN1A/AD13 /DAC1	12	I/O I I O	P0.4 —P0 口位 4。 CIN1A —比较器 1 正相输入。 AD13 —ADC1 通道 3 模拟输入。 DAC1 —数字到模拟转换器输出。
P0.5/CMPREF/ CLKIN	11	I/O I I	P0.5 —P0 口位 5。 CMPREF —比较器参考（反相）输入 CLKIN —外部时钟输入。
P0.7/T1/CLKOUT	8	I/O I/O I	P0.7 —P0 口位 7。 T1 —定时器/计数器 1 外部计数输入或溢出/PWM 输出。 CLKOUT —时钟输出。
P1.0~P1.2, P1.5		I/O	Port1: P1 是一个可由用户定义输出类型的 I/O 口。在上电复位时, P1 锁存器配置为内部上拉禁止的仅为输入模式。P1 口由口配置寄存器设定为输出或输入模式, 每一位均可单独设定。详细请参考 5.1 节“ <u>I/O 口配置</u> ”部分。P1.5 为仅为输入模式。 所有管脚都具有施密特触发输入。 P1 口还可提供如下特殊功能:
P1.0/TXD	6	I/O O	P1.0 —P1 口位 0。 TXD —串行口发送器数据。
P1.1/RXD	9	I/O I	P1.1 —P1 口位 1。 RXD —串行口接收器数据。
P1.2/T0	7	I/O I/O	P1.2 —P1 口位 2。 T0 —定时器/计数器 0 外部计数输入或溢出/PWM 输出。
P1.5/ $\overline{\text{RST}}$	3	I I	P1.5 —P1 口位 5 (仅为输入)。 $\overline{\text{RST}}$ —上电时作为外部复位输入或通过 UCFG1 选择。作为复位管脚时, 输入的低电平会使微控制器复位, I/O 口和外围功能进入默认状态, 处理器从地址 0 开始执行。另外该管脚还可用于上电序列时强制进入在系统编程模式。使用频率高于 12MHz 的振荡器时, 必须使能 P1.5 的复位输入功能。上电时, 需要一个外部电路使器件保持复位状态, 直至 V_{DD} 到达指定的电平。当系统电源被移走时, V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中, V_{DD} 降至低于指定的最低工作电压时, 需要一个外部掉电检测电路使器件保持复位状态。
V_{SS}	4	I	地: 0V 参考点
V_{DD}	10	I	电源: 正常操作模式、空闲模式和掉电模式时的电源电压。

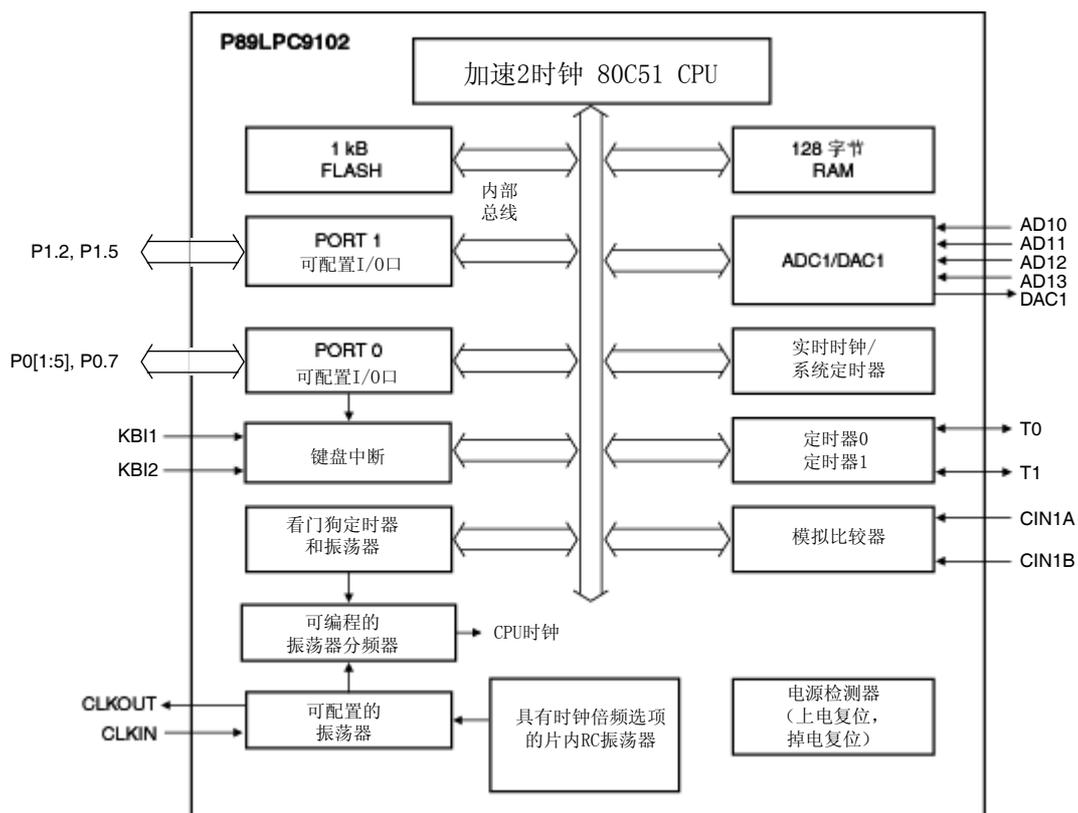


图 7 P89LPC9102 方框图

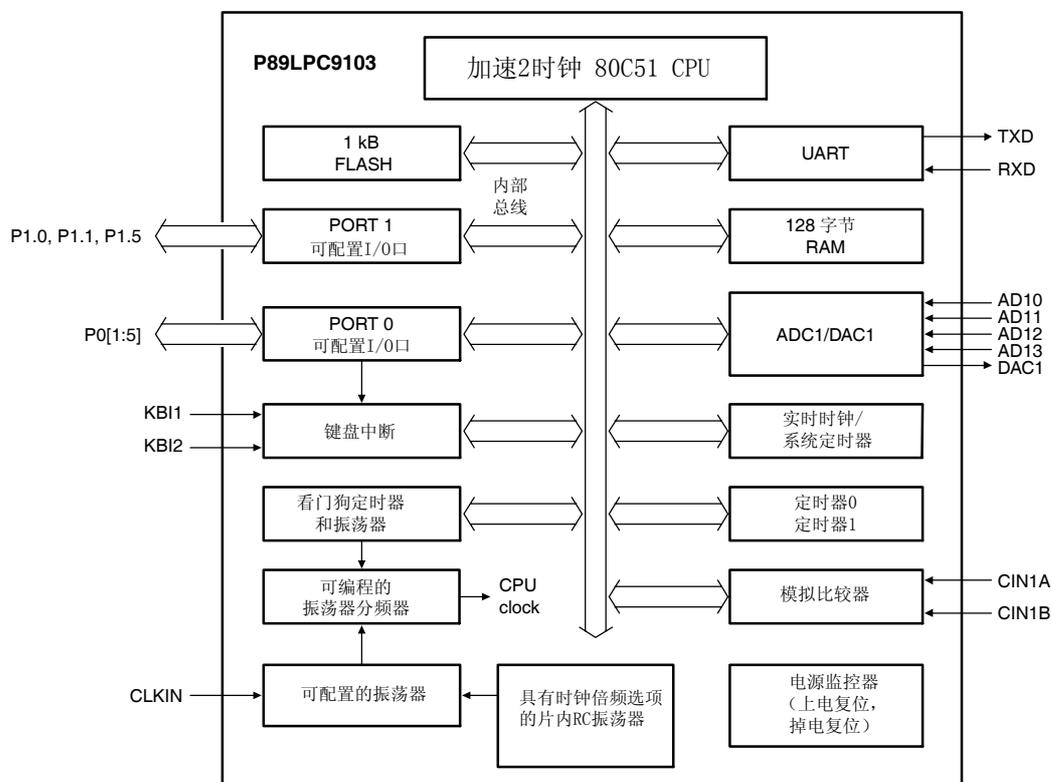


图 8 P89LPC9103 方框图

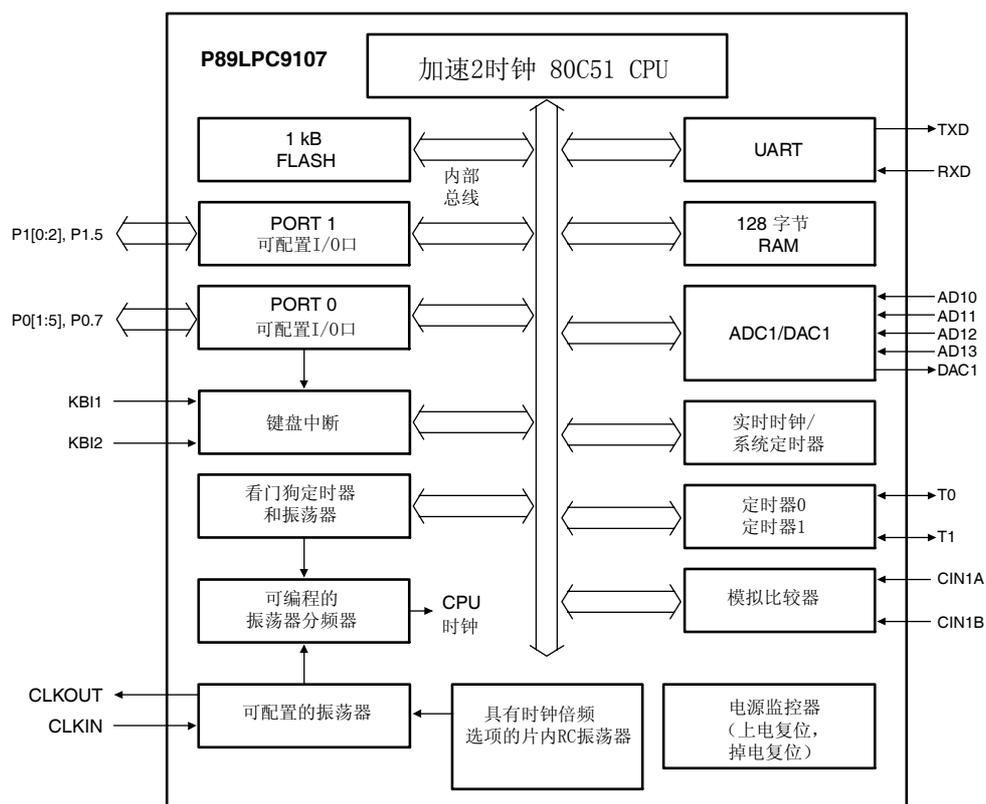


图 9 P89LPC9107 方框图

1.3 特殊功能寄存器

注：对特殊功能寄存器（SFR）的访问必须遵循以下方式：

- 用户不要试图访问任何未经定义的 SFR 地址。
- 对任何已定义的 SFR 的访问必须符合 SFR 的功能。
- 标注为 ‘-’，‘0’ 或 ‘1’ 的 SFR 位只能以如下方式读或写：
 - ‘-’ 除非有其它说明，必须写入 0，但读出时可返回任何值（即使已经写入 0）。这是一个保留位，可作为将来功能扩展之用。
 - ‘0’ 必须写入 0，并且在读出时返回 0。
 - ‘1’ 必须写入 1，并且在读出时返回 1。

表 4 P89LPC9102 特殊功能寄存器

*表示 SFR 可进行位寻址

名称	定义	地址	位功能和位地址								复位值
			MSB							LSB	
		位地址	E7	E6	E5	E4	E3	E2	E1	E0	
ACC*	累加器	E0H									00H
ADCON1	A/D 控制寄存器 1	97H	ENB11	ENADC11	TMM1	-	ADC11	ENADC1	ADCS11	ADCS10	00H
ADINS	A/D 输入选择	A3H	ADI13	AD12	ADI11	AD10	-	-	-	-	00H
ADMODA	A/D 模式寄存器 A	C0H	BND11	BURST1	SCC1	SCAN1	-	-	-	-	00H

续上表...

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
		位地址	E7	E6	E5	E4	E3	E2	E1	E0	
ADMODB	A/D 模式寄存器 B	A1H	CLK2	CLK1	CLK0	-	ENDAC1	-	BSA1	-	00H
AD1BH	A/D_1 边界高值寄存器	C4H									FFH
AD1BL	A/D_1 边界低值寄存器	BCH									00H
AD1DAT0	A/D_1 数据寄存器 0	D5H									00H
AD1DAT1	A/D_1 数据寄存器 1	D6H									00H
AD1DAT2	A/D_1 数据寄存器 2	D7H									00H
AD1DAT3	A/D_1 数据寄存器 3	F5H									00H
AUXR1	辅助功能寄存器	A2H	CLKLP	EBRR	-	-	SRST	0	-	DPS	00H[1]
		位地址	F7	F6	F5	F4	F3	F2	F1	F0	
B*	B 寄存器	F0H									00H
CMP1	比较器 1 控制寄存器	ACH	-	-	CE1	CP1	CN1	-	CO1	CMF1	00H
DIVM	CPU 时钟分频控制	95H									00H
DPTR	数据指针 (2 字节)										
DPH	数据指针高字节	83H									00H
DPL	数据指针低字节	82H									00H
FMADRH	编程 Flash 地址高字节	E7H									00H
FMADRL	编程 Flash 地址低字节	E6H									00H
FMCON	编程 Flash 控制 (读)	E4H	BUSY	-	-	-	HVA	HVE	SV	OI	70H
	编程 Flash 控制 (写)		FMCMD. 7	FMCMD. 6	FMCMD. 5	FMCMD. 4	FMCMD. 3	FMCMD. 2	FMCMD. 1	FMCMD. 0	
FMDATA	编程 Flash 数据	E5H									00H
IEN0*	中断使能 0	A8H	EA	EWDRT	EBO	-	ET1	-	ET0	-	00H
		位地址	EF	EE	ED	EC	EB	EA	E9	E8	
IEN1*	中断使能 1	E8H	EAD	-	-	-	-	EC	EKBI	-	00H[1]
		位地址	BF	BE	BD	BC	BB	BA	B9	B8	
IP0*	中断优先级 0	B8H	-	PWDRT	PBO	-	PT1	-	PT0	-	00H[1]
IP0H	中断优先级 0 高字节	B7H	-	PWDRT H	PBOH	-	PT1H	-	PT0H	-	00H[1]
		位地址	FF	FE	FD	FC	FB	FA	F9	F8	
IP1*	中断优先级 1	F8H	PAD	-	-	-	-	PC	PKBI	-	00H[1]
IP1H	中断优先级 1 高字节	F7H	PADH	-	-	-	-	PCH	PKBIH	-	00H[1]
KBCON	键盘控制寄存器	94H	-	-	-	-	-	-	PATN_SE L	KBIF	00H[1]
KBMASK	键盘中断屏蔽寄存器	86H		-	-	-	-	KBMAS K.2	KBMAS K.1	-	00H
KBPATN	键盘模式寄存器	93H	-	-	-	-	-	KBPATN. 2	KBPATN. 1	-	FFH

续上表...

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
		位地址	87	86	85	84	83	82	81	80	
P0*	P0 口	80H	CLKOUT/T 1	-	CMPREF/ CLKIN	CIN1A	CIN1B	CIN2A/ KBI2	KBI1	-	[2]
		位地址	97	96	95	94	93	92	91	90	
P1*	P1 口	90H	-	-	RST			T0	-	-	
P0M1	P0 口输出模式选择 1	84H	P0M1.7	-	P0M1.5	P0M1.4	P0M1.3	P0M1.2	P0M1.1	-	FFH
P0M2	P0 口输出模式选择 2	85H	P0M2.7	-	P0M2.5	P0M2.4	P0M2.3	P0M2.2	P0M2.1		00H
P1M1	P1 口输出模式选择 1	91H	-	-	-	-	-	P1M1.2	-	-	FFH[2]
P1M2	P1 口输出模式选择 2	92H	-	-	-	-	-	P1M2.2	-	-	00H[2]
PCON	电源控制寄存器	87H	-	-	BOPD	BOI	GF1	GF0	PMOD1	PMOD0	00H
PCONA	电源控制寄存器 A	B5H	RTCPD	-	VCPD	ADPD	-	-	-		00H[1]
PCONB	保留用于电源控制寄存器 B	B6H	-	-	-	-	-	-	-	-	00H[1]
		位地址	D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00H
PT0AD	P0 口数字输入禁能	F6H	-	-	PT0AD.5	PT0AD.4	PT0AD.3	PT0AD.2	PT0AD.1	-	00H
RSTSRC	复位源寄存器	DFH	-	-	BOF	POF	-	R_WD	R_SF	R_EX	[3]
RTCCON	实时时钟控制	D1H	RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN	60H[2][4]
RTCH	实时时钟寄存器高值	D2H									00H[4]
RTCL	实时时钟寄存器低值	D3H									00H[4]
SP	堆栈指针	81H									07H
TAMOD	定时器 0/1 附加模式	8FH	-	-	-	T1M2	-	-	-	T0M2	00H
		位地址	8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器 0/1 控制	88H	TF1	TR1	TF0	TR0	-	-	-	-	00H
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TMOD	定时器 0/1 模式	89H	-	-	T1M1	T1M0	-	-	T0M1	T0M0	00H
TRIM	内部振荡调整寄存器	96H	RCCLK	ENCLK	TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0	[5],[6][4] [5]
WDCON	看门狗控制寄存器	A7H	PRE2	PRE1	PRE0	-	-	WDRUN	WDTOF	WDCLK	[4], [6]
WDL	看门狗装载	C1H									FFH
WFEEED1	看门狗清零 1	C2H									
WFEEED2	看门狗清零 2	C3H									

[1] SFR 中不可执行的位 (用 '-' 标记) 总是为 X (未知)。除非特别说明, 这些位应被写入, 因为它们可用于将来扩展的其它用途中。当被读出时, 尽管这些位未知, 它们显示的复位值为 0。

[2] 上电复位后所有的 I/O 口都为仅为输入 (高阻) 状态。

[3] RSTSRC 寄存器反映 P89LPC9102/9103/9107 复位的原因。在上电复位时, 所有复位源标志都清零 (POF 和 BOF 除外)。上电复位值为 xx110000。

- [4] 上电复位是唯一影响这些特殊功能寄存器的复位。
 [5] 上电复位时, TRIM 寄存器初始化为出厂时的配置。其它复位将不会影响 TRIM 寄存器的初始化。
 [6] 复位后, 复位值为 111001x1, 即 PRE2-PRE0 全为逻辑 1, WDRUN=1 且 WDCLK=1。上电复位后, 看门狗定时器复位且为 0 后 WDTOF 位为逻辑 1。其它复位将不会影响 WDTOF。

表 5 P89LPC9103 特殊功能寄存器

*表示 SFR 可进行位寻址

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
		位地址	E7	E6	E5	E4	E3	E2	E1	E0	
ACC*	累加器	E0H									00H
ADCON1	A/D 控制寄存器 1	97H	ENBI1	ENADCI1	TMM1	-	ADCI1	ENADCI1	ADCS11	ADCS10	00H
ADINS	A/D 输入选择	A3H	ADI13	AD12	ADI11	AD10	-	-	-	-	00H
ADMODA	A/D 模式寄存器 A	C0H	BNDI1	BURST1	SCC1	SCAN1	-	-	-	-	00H
ADMODB	A/D 模式寄存器 B	A1H	CLK2	CLK1	CLK0	-	ENDAC1	-	BSA1	-	00H
AD1BH	A/D_1 边界高值寄存器	C4H									FFH
AD1BL	A/D_1 边界低值寄存器	BCH									00H
AD1DAT0	A/D_1 数据寄存器 0	D5H									00H
AD1DAT1	A/D_1 数据寄存器 1	D6H									00H
AD1DAT2	A/D_1 数据寄存器 2	D7H									00H
AD1DAT3	A/D_1 数据寄存器 3	F5H									00H
AUXR1	辅助功能寄存器	A2H	CLKLP	EBRR	-	-	SRST	0	-	DPS	00H[1]
		位地址	F7	F6	F5	F4	F3	F2	F1	F0	
B*	B 寄存器	F0H									00H
BRGR0 ^[3]	波特率发生器低字节	BEH									00H
BRGR1 ^[3]	波特率发生器高字节	BFH									00H
BRGCON	波特率发生器控制	BDH	-	-	-	-	-	-	SBRGS	BRGEN	00H[2]
CMP1	比较器 1 控制寄存器	ACH	-	-	CE1	CP1	CN1	-	CO1	CMF1	00H[3]
DIVM	CPU 时钟分频控制	95H									00H
DPTR	数据指针 (2 字节)										
DPH	数据指针高字节	83H									00H
DPL	数据指针低字节	82H									00H
FMADRH	编程 Flash 地址高字节	E7H									00H
FMADRL	编程 Flash 地址低字节	E6H									00H
FMCON	编程 Flash 控制 (读)	E4H	BUSY	-	-	-	HVA	HVE	SV	OI	70H
	编程 Flash 控制 (写)		FMCMD. 7	FMCMD. 6	FMCMD. 5	FMCMD. 4	FMCMD. 3	FMCMD. 2	FMCMD. 1	FMCMD. .0	
FMDATA	编程 Flash 数据	E5H									00H
IEN0*	中断使能 0	A8H	EA	EWDRT	EBO	ES/ESR	ET1	-	ET0	-	00H
		位地址	EF	EE	ED	EC	EB	EA	E9	E8	
IEN1*	中断使能 1	E8H	EAD	EST	-	-	-	EC	EKBI	-	00H[1]

续上表...

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
		位地址	BF	BE	BD	BC	BB	BA	B9	B8	
IP0*	中断优先级 0	B8H	-	PWDRT	PBO	PS/PSR	PT1	-	PT0	-	00H[1]
IP0H	中断优先级 0 高字节	B7H	-	PWDRTH	PBOH	PSH/PSRH	PT1H	-	PT0H	-	00H[1]
		位地址	FF	FE	FD	FC	FB	FA	F9	F8	
IP1*	中断优先级 1	F8H	PAD	PST	-	-	-	PC	PKBI	-	00H[1]
IP1H	中断优先级 1 高字节	F7H	PADH	PSTH	-	-	-	PCH	PKBIH	-	00H[1]
KBCON	键盘控制寄存器	94H	-	-	-	-	-	-	PATN_SEL	KBIF	00H[1]
KBMASK	键盘中断屏蔽寄存器	86H	-	-	-	-	-	KBMAS K.2	KBMASK .1	-	00H
KBPATN	键盘模式寄存器	93H	-	-	-	-	KBPATN. 2	KBPATN. 1	-	-	FFH
		位地址	87	86	85	84	83	82	81	80	
P0*	P0 口	80H	-	-	CMPREF/ CLKIN	CIN1A	CIN1B	KBI2	KBI1	-	[3]
		位地址	97	96	95	94	93	92	91	90	
P1*	P1 口	90H	-	-	RST	-	-	-	RXD	TXD	
P0M1	P0 口输出模式选择 1	84H	-	-	(P0M1.5)	(P0M1.4)	(P0M1.3)	(P0M1.2)	(P0M1.1)	-	FFH
P0M2	P0 口输出模式选择 2	85H	-	-	(P0M2.5)	(P0M2.4)	(P0M2.3)	(P0M2.2)	(P0M2.1)	-	00H
P1M1	P1 口输出模式选择 1	91H	-	-	-	-	-	-	(P1M1.1)	(P1M1.0)	FFH[3]
P1M2	P1 口输出模式选择 2	92H	-	-	-	-	-	-	(P1M2.1)	(P1M2.0)	00H[3]
PCON	电源控制寄存器	87H	SMOD1	SMOD0	BOPD	BOI	GF1	GF0	PMOD1	PMOD0	00H
PCONA	电源控制寄存器 A	B5H	RTCPD	-	VCPD	ADPD	-	-	SPD	-	00H[1]
PCONB	保留用于电源控制寄存器 B	B6H	-	-	-	-	-	-	-	-	00H[1]
		位地址	D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00H
PT0AD	P0 口数字输入禁能	F6H	-	-	PT0AD.5	PT0AD.4	PT0AD.3	PT0AD.2	PT0AD.1	-	00H
RSTSRC	复位源寄存器	DFH	-	-	BOF	POF	R_BK	R_WD	R_SF	R_EX	[4]
RTCCON	实时时钟控制	D1H	RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN	60H[3][5]
RTCH	实时时钟寄存器高值	D2H									00H[5]
RTCL	实时时钟寄存器低值	D3H									00H[5]
SADDR	串口地址寄存器	A9H									00H
SADEN	串口地址使能	B9H									00H
SBUF	串口数据缓冲区寄存器	99H									xxH
		位地址	9F	9E	9D	9C	9B	9A	99	98	
SCON*	串行口控制	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SSTAT	串行口扩展状态寄存器	BAH	DBMOD	INTLO	CIDIS	DBISEL	FE	BR	OE	STINT	00H
SP	堆栈指针	81H									07H

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
		位地址	8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器 0/1 控制	88H	TF1	TR1	TF0	TR0	-	-	-	-	00H
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TMOD	定时器 0/1 模式	89H	-	-	T1M1	T1M0	-	-	T0M1	T0M0	00H
TRIM	内部振荡调整寄存器	96H	RCCLK	ENCLK	TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0	[5][6]
WDCON	看门狗控制寄存器	A7H	PRE2	PRE1	PRE0	-	-	WDRUN	WDT0F	WDCLK	[5][7]
WDL	看门狗装载	C1H									FFH
WFEED1	看门狗清零 1	C2H									
WFEED2	看门狗清零 2	C3H									

[1] SFR 中不可执行的位（用‘-’标记）总是为 X（未知）。除非特别说明，这些位应被写入，因为它们可用于将来扩展的其它用途中。当被读出时，尽管这些位未知，它们显示的复位值为 0。

[2] 只有当 BRGCON SFR 中的 BRGEN 为逻辑 0 时，才可对 BRGR1 和 BRGR0 进行写操作。当 BRGEN=1, 写入其中任意一个，结果将是不可预知的。

[3] 上电复位后所有的 I/O 口都为仅为输入（高阻）状态。

[4] RSTSRC 寄存器反映 P89LPC9102/9103/9107 复位的原因。在上电复位时，所有复位源标志都清零（POF 和 BOF 除外）。上电复位值为 xx110000。

[5] 上电复位是唯一影响这些特殊功能寄存器的复位。

[6] 上电复位时，TRIM 寄存器初始化为出厂时的配置。其它复位将不会影响 TRIM 寄存器的初始化。

[7] 复位后，复位值为 111001x1，即 PRE2-PRE0 全为逻辑 1，WDRUN=1 且 WDCLK=1。上电复位后，看门狗定时器复位且为 0 后 WDT0F 位为逻辑 1。其它复位将不会影响 WDT0F。

表 6 P89LPC9107 特殊功能寄存器

*表示 SFR 可进行位寻址

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
		位地址	E7	E6	E5	E4	E3	E2	E1	E0	
ACC*	累加器	E0H									00H
ADCON1	A/D 控制寄存器 1	97H	ENBI1	ENADC11	TMM1	EDGE1	ADC11	ENADC1	ADCS11	ADCS10	00H
ADINS	A/D 输入选择	A3H	ADI13	ADI2	ADI11	AD10	-	-	-	-	00H
ADMODA	A/D 模式寄存器 A	C0H	BNDI1	BURST1	SCC1	SCAN1	-	-	-	-	00H
ADMODB	A/D 模式寄存器 B	A1H	CLK2	CLK1	CLK0	-	ENDAC1	-	BSA1	-	00H
AD1BH	A/D_1 边界高值寄存器	C4H									FFH
AD1BL	A/D_1 边界低值寄存器	BCH									00H
AD1DAT0	A/D_1 数据寄存器 0	D5H									00H
AD1DAT1	A/D_1 数据寄存器 1	D6H									00H
AD1DAT2	A/D_1 数据寄存器 2	D7H									00H
AD1DAT3	A/D_1 数据寄存器 3	F5H									00H
AUXR1	辅助功能寄存器	A2H	CLKLP	EBRR	ENT1	ENT0-	SRST	0	-	DPS	00H[1]

续上表...

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
		位地址	F7	F6	F5	F4	F3	F2	F1	F0	
B*	B 寄存器	F0H									00H
BRGR0 ^[3]	波特率发生器低字节	BEH									00H
BRGR1 ^[3]	波特率发生器高字节	BFH									00H
BRGCON	波特率发生器控制	BDH	-	-	-	-	-	-	SBRGS	BRGEN	00H[2]
CMP1	比较器 1 控制寄存器	ACH	-	-	CE1	CP1	CN1	-	CO1	CMF1	00H[3]
DIVM	CPU 时钟分频控制	95H									00H
DPTR	数据指针 (2 字节)										
DPH	数据指针高字节	83H									00H
DPL	数据指针低字节	82H									00H
FMADRH	编程 Flash 地址高字节	E7H									00H
FMADRL	编程 Flash 地址低字节	E6H									00H
FMCON	编程 Flash 控制 (读)	E4H	BUSY	-	-	-	HVA	HVE	SV	OI	70H
	编程 Flash 控制 (写)		FMCMD. 7	FMCMD. 6	FMCMD. 5	FMCMD. 4	FMCMD. 3	FMCMD. 2	FMCMD. 1	FMCMD. 0	
FMDATA	编程 Flash 数据	E5H									00H
IEN0*	中断使能 0	A8H	EA	EWDRT	EBO	ES/ESR	ET1	-	ET0	-	00H
		位地址	EF	EE	ED	EC	EB	EA	E9	E8	
IEN1*	中断使能 1	E8H	EAD	EST	-	-	-	EC	EKBI	-	00H[1]
		位地址	BF	BE	BD	BC	BB	BA	B9	B8	
IP0*	中断优先级 0	B8H	-	PWDRT	PBO	PS/PSR	PT1	-	PT0	-	00H[1]
IP0H	中断优先级 0 高字节	B7H	-	PWDRTH	PBOH	PSH/PSRH	PT1H	-	PT0H	-	00H[1]
		位地址	FF	FE	FD	FC	FB	FA	F9	F8	
IP1*	中断优先级 1	F8H	PAD	PST	-	-	-	PC	PKBI	-	00H[1]
IP1H	中断优先级 1 高字节	F7H	PADH	PSTH	-	-	-	PCH	PKBIH	-	00H[1]
KBCON	键盘控制寄存器	94H	-	-	-	-	-	-	PATN_SEL	KBIF	00H[1]
KBMASK	键盘中断屏蔽寄存器	86H						KBMASK. .2	KBMASK. .1	-	00H
KBPATN	键盘模式寄存器	93H	-	-	-	-	-	KBPATN. 2	KBPATN. 1	-	FFH
		位地址	87	86	85	84	83	82	81	80	
P0*	P0 口	80H	-	-	CMPREF/ CLKIN	CIN1A	CIN1B	KB12	KB11	-	[3]
		位地址	97	96	95	94	93	92	91	90	
P1*	P1 口	90H	-	-	RST			-	RXD	TXD	
P0M1	P0 口输出模式选择 1	84H	-	-	(P0M1.5)	(P0M1.4)	(P0M1.3)	(P0M1.2)	(P0M1.1)	-	FFH
P0M2	P0 口输出模式选择 2	85H	-	-	(P0M2.5)	(P0M2.4)	(P0M2.3)	(P0M2.2)	(P0M2.1)		00H
P1M1	P1 口输出模式选择 1	91H	-	-	-	-	-	-	(P1M1.1)	(P1M1.0)	FFH[3]
P1M2	P1 口输出模式选择 2	92H	-	-	-	-	-	-	(P1M2.1)	(P1M2.0)	00H[3]
PCON	电源控制寄存器	87H	SMOD1	SMOD0	BOPD	BOI	GF1	GF0	PMOD1	PMOD0	00H

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
		位地址	97	96	95	94	93	92	91	90	
PCONA	电源控制寄存器 A	B5H	RTCPD	-	VCPD	ADPD	-	-	SPD		00H[1]
PCONB	保留用于电源控制寄存器 B	B6H	-	-	-	-	-	-	-	-	00H[1]
		位地址	D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00H
PT0AD	P0 口数字输入禁能	F6H	-	-	PT0AD.5	PT0AD.4	PT0AD.3	PT0AD.2	PT0AD.1	-	00H
RSTSRC	复位源寄存器	DFH	-	-	BOF	POF	R_BK	R_WD	R_SF	R_EX	[4]
RTCCON	实时时钟控制	D1H	RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN	60H[3][5]
RTCH	实时时钟寄存器高值	D2H									00H[5]
RTCL	实时时钟寄存器低值	D3H									00H[5]
SADDR	串口地址寄存器	A9H									00H
SADEN	串口地址使能	B9H									00H
SBUF	串口数据缓冲区寄存器	99H									xxH
		位地址	9F	9E	9D	9C	9B	9A	99	98	
SCON*	串行口控制	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SSTAT	串行口扩展状态寄存器	BAH	DBMOD	INTLO	CIDIS	DBISEL	FE	BR	OE	STINT	00H
SP	堆栈指针	81H									07H
		位地址	8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器 0/1 控制	88H	TF1	TR1	TF0	TR0	-	-	-	-	00H
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TMOD	定时器 0/1 模式	89H	-	-	T1M1	T1M0	-	-	T0M1	T0M0	00H
TRIM	内部振荡调整寄存器	96H	RCCLK	ENCLK	TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0	[6][5]
WDCON	看门狗控制寄存器	A7H	PRE2	PRE1	PRE0	-	-	WDRUN	WDTOF	WDCLK	[7][5]
WDL	看门狗装载	C1H									FFH
WFEEED1	看门狗清零 1	C2H									
WFEEED2	看门狗清零 2	C3H									

- [1] SFR 中不可执行的位（用‘-’标记）总是为 X（未知）。除非特别说明，这些位应被写入，因为它们可用于将来扩展的其它用途中。当被读出时，尽管这些位未知，它们显示的复位值为 0。
- [2] 上电复位后所有的 I/O 口都为仅为输入（高阻）状态。
- [3] 只有当 BRGCON SFR 中的 BRGEN 为逻辑 0 时，才可对 BRGR1 和 BRGR0 进行写操作。当 BRGEN=1, 写入其中任意一个，结果将是不可预知的。
- [4] RSTSRC 寄存器反映 P89LPC9102/9103/9107 复位的原因。在上电复位时，所有复位源标志都清零（POF 和 BOF 除外）。上电复位值为 xx110000。
- [5] 复位后，复位值为 111001x1，即 PRE2-PRE0 全为逻辑 1，WDRUN=1 且 WDCLK=1。上电复位后，看门狗定时器复位且为 0 后 WDTOF 位为 1。其它复位将不会影响 WDTOF。
- [6] 上电复位时，TRIM 寄存器初始化为出厂时的配置。其它复位将不会影响 TRIM 寄存器的初始化。
- [7] 上电复位是唯一影响这些特殊功能寄存器的复位。

1.4 存储器结构

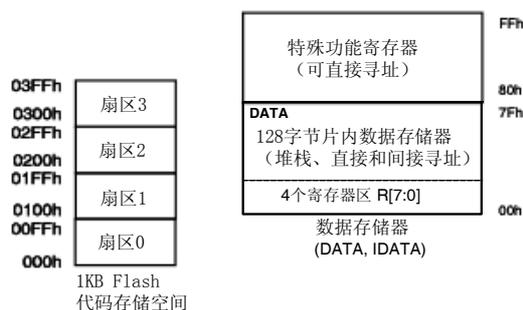


图 10 P89LPC9102/9103/9107 存储空间分配

P89LPC9102/9103/9107 的不同存储空间如下所示：

DATA—128 字节内部数据存储空间（00h:7Fh）。可使用除 MOVX 和 MOVC 之外的指令直接或间接寻址。全部或部分堆栈就位于此空间。

SFR—特殊功能寄存器。选择的 CPU 寄存器和外设控制及状态寄存器，只能通过直接寻址访问。

CODE—64K 字节代码存储空间。作为程序执行部分和通过 MOVC 指令访问。P89LPC9102/9103/9107 有 1KB 字节的片内代码存储器。

表 7 数据 RAM 分配

类型	数据 RAM	规格（字节）
DATA	可直接和间接寻址存储器	128

2. 时钟

2.1 增强型 CPU

P89LPC9102/9103/9107 采用增强型 80C51 CPU, 其运行速度是标准 80C51 器件的 6 倍。一个机器周期由 2 个 CPU 时钟周期组成，大多数指令执行时间为 1 到 2 个机器周期。

2.2 时钟定义

P89LPC9102/9103/9107 含多个内部时钟，定义如下：

OSCCLK—输入到 DIVM 时钟分频器。OSCCLK 可选择一个时钟源，也可分频为较低频率（见图 12 和 2.8 节“CCLK 调整：DIVM 寄存器”）。注：f_{osc} 定义成 OSCCLK 的频率。

CCLK—CPU 时钟；DIVM 时钟分频器的输出。每个机器周期包含 2 个 CCLK 周期，大多数指令执行时间为 1 到 2 个机器周期（2 到 4 个 CCLK 周期）。

RCCLK—内部 7.373MHz RC 振荡器的输出（使能 14.7456MHz 的时钟倍频器）。

PCLK—用于不同外围器件的时钟，为 CCLK/2。

2.3 时钟输出

P89LPC9102/9103/9107 支持 CLKOUT 管脚上可由用户选择的时钟输出功能。这样可使外部器件与 P89LPC9102/9103/9107 同步。该输出通过 TRIM 寄存器中的位 ENCLK 使能。

该时钟输出的频率为 CCLK/2。如果在空闲模式中不需要输出时钟，那么可在进入空闲模式之前将其关闭以降低功耗。注：复位时，TRIM SFR 初始化为出厂的预编程值。因此当用户需要置位或清零 ENCLK 位时，应当使 TRIM 寄存器其他位的内容保持不变。实现方法如下：可先读出 TRIM 的内容（例如读入 ACC），然后修改位 6 后再将这个结果写入 TRIM 寄存器；另外，可用‘ANL 直接’或‘ORL 直接’指令来清零或置位 TRIM 寄存器的位 6。

2.4 含时钟倍频方式的片内 RC 振荡器选项

P89LPC9102/9103/9107 含有一个 TRIM 寄存器，可对 RC 振荡器的频率进行调整。在复位时，TRIM 的值初始化为出厂时预编程值以将振荡器频率调整为 7.373MHz，±1%。（注：初始值误差小于 1%，请参考 P89LPC9102/9103/9107 数据手册的温度范围内的操作）。结束用户程序可通过写 TRIM 寄存器，将片内 RC 振荡器调整为其它频率。振荡器的频率随着 TRIM 值的增加而降低。

P89LPC9102/9103/9107 含有时钟倍频模式，它可使内部 RC 振荡器的频率倍频到 14.7456MHz。当 IRCDBL 位（UCFG1.3）置位时该模式被使能。

表 8 片内 RC 振荡器 TRIM 寄存器（TRIM—地址 96h）位分配

位	7	6	5	4	3	2	1	0
符号	RCCLK	ENCLK	TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0
复位	0	0	复位时，位 5:0 装入出厂编程值。					

表 9 片内 RC 振荡器 TRIM 寄存器（TRIM—地址 96h）位描述

位	符号	描述
0	TRIM.0	Trim 值。决定内部 RC 振荡器的频率。复位时，这些位装入出厂的预编程值。写该寄存器的位 6 或位 7 时，应小心处理，通过读该寄存器，按要求修改位 6 和位 7 的值并将结果装入该寄存器，这样可以保护当前的 TRIM 值。
1	TRIM.1	
2	TRIM.2	
3	TRIM.3	
4	TRIM.4	
5	TRIM.5	
6	ENCLK	当 ENCLK=1 时，CLKOUT 脚输出 CCLK/2 的时钟。
7	RCCLK	当 RCCLK=1 时，选择 RC 振荡器的输出用作 CPU 时钟（CCLK）。

2.5 看门狗振荡器选项

看门狗具有一个独立的振荡器，其频率为 400KHz。当不需要使用高时钟频率时，可使用该振荡器降低功耗。

2.6 外部时钟输入选项

在此配置中，提供 CPU 时钟的外部时钟源从 P0.5/CMPREF/CLKIN 脚输入。频率可从 0Hz 到 18MHz。该管脚也可作用标准的 I/O 口。

当使用频率高于 12MHz 的振荡器时，必须使能 P1.5 的复位输入功能。上电时，需要一个外部电路使器件保持复位状态，直至 V_{DD} 到达指定的电平。当系统电源被移走时， V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中，当 V_{DD} 降至低于指定的最低工作电压时，需要一个外部掉电检测电路使器件保持复位状态。当使用时钟倍频模式下的内部 RC 振荡器时，对高于 12MHz 的时钟频率的这些要求就不再适用了。

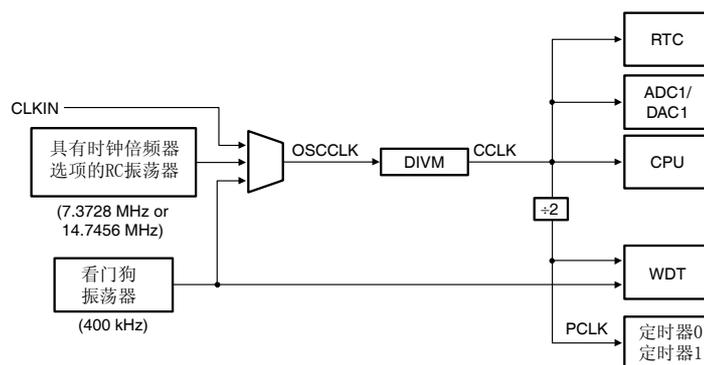


图 11 P89LPC9102 振荡器控制的方框图

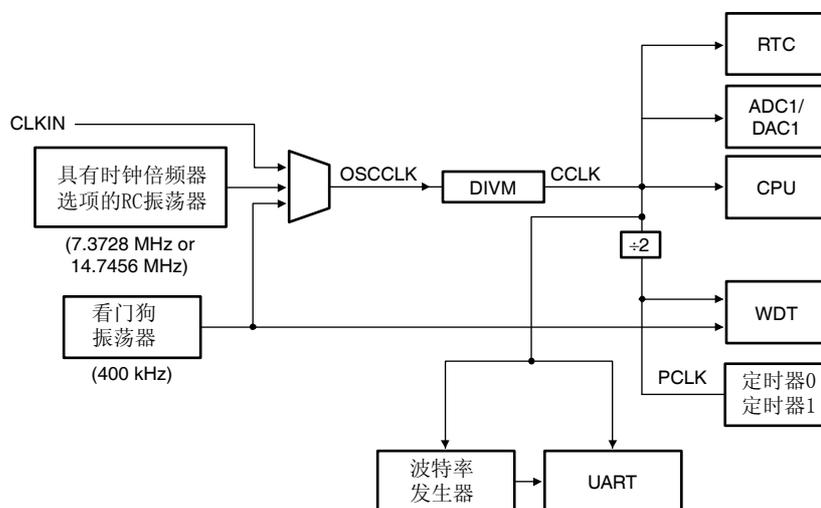


图 12 P89LPC9103/9107 振荡器控制的方框图

2.7 CPU 时钟 (CCLK) 唤醒延迟

P89LPC9102/9103/9107 含有一个内部唤醒定时器，可使时钟延迟直到稳定下来，其延迟时间取决于使用的时钟源。

2.8 CCLK 调整：DIVM 寄存器

OSCCLK 频率可通过整数倒分频，通过配置分频寄存器（DIVM）进行高达 510 分频来提供 CCLK。使用下列公式可以得到 CCLK 频率：

$$CCLK \text{ 频率} = f_{osc} / (2N)$$

此处， f_{osc} 为 OSCCLK 频率。

N 是 DIVM 的值。

由于 N 的取值范围为 $0 \sim 255$ ，因此，CCLK 的频率范围为 $f_{osc} \sim f_{osc}/510$ 。（ $N=0$ 时， $CCLK=f_{osc}$ ）。

该特性可使 CPU 暂时以较低频率工作以降低功耗。通过分频时钟，程序以较低速度运行时，使 CPU 仍保持对事件响应的能力，而不只是对能产生中断的事件（能使 CPU 从空闲模式退出）才响应。这常常会得到比空闲模式更低的功耗。并且比掉电模式少了振荡器起振时间。在程序内 DIVM 的值可随时改变而无需中断程序运行。

2.9 低功耗选择

P89LPC9102/9103/9107 最大工作频率为 18MHz(CCLK)。但是如果 CCLK 为 8MHz 或更低，CLKLP SFR 位（AUXR1.7）可置位以降低功耗。此外，在任何一次复位后，CLKLP 都为逻辑 0 以允许实现最高性能。如果 CCLK 运行在 8MHz 或更低的频率时，该位可以在软件中置位。

3. A/D 转换器

P89LPC9102/9103/9107 包含 1 个 8 位、4 路、逐步逼近式模数转换模块（ADC1）和 1 个 DAC 模块（DAC1）。A/D 转换器的原理框图见图 13。每个 A/D 转换器由一个 4 输入多路转换器组成，多路转换器的输出通过采样-保持电路，为两个比较器提供一个输入信号。控制逻辑连同逐次逼近式寄存器（SAR）来驱动一个数模转换器，为比较器提供另外一个输入。比较器的输出又回到 SAR。比较器的输出又回到 SAR。

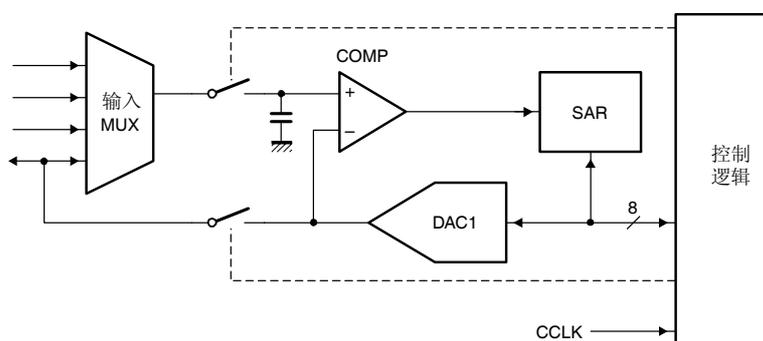


图 13 A/D 转换器原理框图

3.1 特性

- 1 个 8 位 4 路输入的逐次逼近式 A/D 转换器。
- 4 个结果寄存器。
- 6 种工作模式
 - 固定通道，单次转换模式
 - 固定通道，连续转换模式
 - 自动扫描，单次转换模式
 - 自动扫描，连续转换模式
 - 双通道，连续转换模式
 - 单步模式
- 3 种转换启动模式
 - 定时器触发起动
 - 立即起动
 - 边沿触发
- 在 3.3MHz 的 ADC 时钟下，8 位转换时间 $\geq 3.9\mu s$
- 中断或查询操作
- 边界限制中断
- DAC 输出到高输出阻抗的 I/O 口管脚
- 时钟分频器
- 掉电模式

3.2 A/D 工作模式

3.2.1 固定通道，单次转换模式

选择单个输入通道进行转换。执行单次转换并将转换结果存放到所选输入通道对应的结果寄存器中（见表 10）。如果中断使能，转换完成后将会产生中断。利用 ADINS 寄存器来选择输入通道。通过置位 ADMODA 寄存器的 SCAN1 位来选择该模式。

表 10 固定通道单次转换、自动扫描单次转换和自动扫描连续转换模式的输入通道和结果寄存器

结果寄存器	输入通道	结果寄存器	输入通道
AD1DAT0	AD10	AD1DAT2	AD12
AD1DAT1	AD11	AD1DAT3	AD13

3.2.2 固定通道，连续转换模式

选择单个输入通道进行连续转换。转换结果顺序存放在 4 个结果寄存器中（见表 11）。如果中断使能，完成 4 次转换后将会产生中断。转换结果超过 4 个时再循环存放到 4 个结果寄存器中，将之前的结果覆盖。连续转换过程由用户终止。通过置位 ADMODA 寄存器的 SCC1 位来选择该模式。

3.2.3 自动扫描，单次转换模式

通过置位 ADINS 寄存器中相应的位来选择 4 输入通道的任意组合进行转换。转换按照 ADINS 寄存器 LSB 到 MSB 方向选择的通道进行。执行每个所选输入的转换并将转换结果存放到所选输入通道对应的结果寄存器中（见表 10）。如果中断使能，完成所有选择通道的转换后将产生中断。如果只选择一个转换通道，该模式便与单通道，单次转换模式完全相同。通过置位 ADMODA 寄存器的 SCAN1 位来选择该模式。

表 11 固定通道，连续转换模式的结果寄存器和转换结果

结果寄存器	内容
AD1DAT0	所选通道第一个转换结果
AD1DAT1	所选通道第二个转换结果
AD1DAT2	所选通道第三个转换结果
AD1DAT3	所选通道第四个转换结果

3.2.4 自动扫描，连续转换模式

通过置位 ADINS 寄存器的相应通道位可选择 4 输入通道的任意组合进行连续转换。转换按照 ADINS 寄存器 LSB 到 MSB 方向选择的通道进行。执行所选每个通道的转换并将结果存放到转换通道相应的结果寄存器中（见表 10）。如果中断使能，完成所选通道的转换后将产生中断。自启动首次选择通道的转换开始，转换过程不断重复。转换结果超过 4 个时再循环存放到 4 个结果寄存器中，将之前的结果覆盖。连续转换过程由用户终止。通过置位 ADMODA 寄存器的 BURST1 位来选择该模式。

3.2.5 双通道，连续转换模式

从 4 个输入通道中选择任何 2 个通道进行转换。第一个输入通道的转换结果存放在第一个结果寄存器中，第二个输入通道的转换结果存放在第二个结果寄存器中。第一个通道的第二次转换结果存放在第三个寄存器中，第二个通道的第二次转换结果存放在第四个寄存器中（见表 12）。如果中断使能，每完成 4 次转换就会产生中断（每个通道执行两次转换）。通过置位 ADMODA 寄存器的 SCC1 位来选择该模式。

表 12 双通道，连续转换模式的结果寄存器和转换结果

结果寄存器	内容
AD1DAT0	第一个通道第一次转换的结果
AD1DAT1	第二个通道第一次转换的结果
AD1DAT2	第一个通道第二次转换的结果
AD1DAT3	第二个通道第二次转换的结果

3.2.6 单步模式

这是一种特殊的工作模式。它允许在自动扫描转换模式中进行‘单步’转换。该模式下，用户可选择 4 个输入通道的任意组合进行转换。每个通道转换结束后，产生中断（如果中断使能），A/D 转换器再等待下次转换的启动条件。每个通道的转换结果存放在所选输入通道相应的结果寄存器中（见表 10）。该模式可与任何一种启动模式结合使用。通过清零 ADMODA 寄存器的 BURST1、SCC1 和 SCAN1 位来选择该模式。

3.2.7 转换模式选择位

每次 A/D 转换均使用 ADMODA 寄存器的 3 位来选择转换模式。这 3 个模式选择位如下面的表 13 所示。除表中列出的组合外，3 个模式选择位的其它组合都未定义。

表 13 转换模式位

BURST1	SCC1	Scan1	ADC1 转换模式
0	0	0	单步
0	0	1	固定通道, 单次转换
			自动扫描, 单次转换
0	1	0	固定通道, 连续转换
			双通道, 连续转换
1	0	0	自动扫描, 连续转换

3.3 触发模式

3.3.1 定时器触发启动

定时器 0 溢出时启动一次 A/D 转换。一旦转换过程被启动，其它的定时器 0 触发操作均无效，直至转换过程结束。定时器触发启动模式适用于所有 A/D 工作模式。该模式通过 TMM1 位、ADCS11 和 ADCS10 位来选择（见表 15）。

3.3.2 立即启动

编程为该模式将立即启动一次转换。立即启动模式适用于所有 A/D 工作模式。该模式通过置位 ADCON1 寄存器的 ADCS11 和 ADCS10 位来选择（见表 15）。

3.3.3 边界限制中断

每个 A/D 转换器都包含一个高、低边界限制寄存器。当完成 4 个 MSB 位的转换后，将所得的 4 位与边界高、低寄存器的 4 位 MSB 相比较。如果转换所得的 4 位数据超出限制范围，将产生中断（如果中断使能）。如果转换结果在允许范围内，在完成所有 8 位的转换后再与边界限制值进行比较。如果中断使能，转换结果超出限制范围产生中断。边界限制通过清零边界限制中断使能位禁止。

3.4 DAC 输出到高输出阻抗的 I/O 口

AD0DAT3 寄存器用来存放输入到 DAC 的值。在把值写入 AD0DAT3 后，DAC 的输出将出现在 DAC1 管脚上。DAC 输出通过 ADMODB 寄存器的 ENDAC1 位来使能（见表 19）。

3.5 时钟分频器

为了保证转换精度，A/D 转换器要求其内部时钟源的频率范围为 500kHz~3.3MHz。可编程时钟分频器可对时钟进行 1~8 分频（见表 19）。

3.6 用作 A/D 转换器功能的 I/O 脚

用于 A/D 转换器的模拟输入管脚也具有数据输入和输出功能。为了得到最好的模拟特性，这些用于 ADC 或 DAC 的管脚应当禁止其数字输出和输入功能，并且断开与 5V 最大允许电压的连接。通过将端口设置成仅为输入模式来禁止数字信号输出，详情见 I/O 口配置中描述（见表 25）。

当通过置位 ADINS 寄存器中相应的位并且对应的 A/D 或 DAC 已被使能时，I/O 管脚的数字输入将自动断开。如果相应的 A/D 转换被使能且器件不处于掉电模式，则 ADINS 寄存器选中管脚的最大允许电压为 3V，否则这些管脚的最大允许电压仍为 5V。

3.7 掉电和空闲模式

空闲模式下，A/D 转换器（如果使能）将继续工作。如果 A/D 中断使能，转换过程结束后可使器件退出空闲模式。掉电模式和完全掉电模式下 A/D 转换器停止工作。如果 A/D 转换器被使能，它将消耗功率。因此，关闭 A/D 转换器可降低功耗。

表 14 A/D 控制寄存器 1 (ADCON1-地址 97h) 位分配

位	7	6	5	4	3	2	1	0
符号	ENB11	ENADCI1	TMM1	-	ADCI1	ENADCI1	ADCS11	ADCS10
复位	0	0	0	0	0	0	0	0

表 15 A/D 控制寄存器 1 (ADCON1-地址 97h) 位描述

位	符号	描述
0	ADCS10	A/D 启动模式位[11:10]:
1	ADCS11	00—TMM1=1 时为定时器触发模式。定时器 0 溢出时启动转换。TMM1=0 时为停止模式，不产生启动。 01—立即启动模式。转换立即启动。 10—保留。
2	ENADCI1	使能 A/D 通道 1。置位时使能 ADC1。该通道进行 D/A 转换时该位必须置位。
3	ADCI1	A/D 转换结束中断 1。任何一次转换或多个通道转换结束时该位置位。该位由软件清零。
4	-	保留。
5	TMM1	定时器触发模式 1。当 ADCS11 和 ADCS10 位=00 时，该位用来选择停止模式(TMM1=0)或定时器触发模式 (TMM1=1)。
6	ENADCI1	A/D 转换结束中断 1 使能位。如果该位被置位，当 ADCI1 标志置位且 A/D 中断使能时，产生中断。
7	ENB11	A/D 边界中断 1 使能位。如果该位被置位，当边界中断 1 标志 BNDI1 置位且 A/D 中断使能时，产生中断。

表 16 A/D 模式寄存器 A (ADMODA-地址 C0h) 位分配

位	7	6	5	4	3	2	1	0
符号	BNDI1	BURST1	SCC1	SCAN1	-	-	-	-
复位	0	0	0	0	0	0	0	0

表 17 A/D 模式寄存器 A (ADMODA-地址 C0h) 位描述

位	符号	描述
0:3	-	保留
4	SCAN1	该位被置位时, ADC1 选择单次转换模式 (自动扫描或固定通道)。
5	SCC1	该位被置位时, ADC1 选择固定通道, 连续转换模式。
6	BURST1	该位被置位时, ADC1 选择自动扫描, 连续转换模式。
7	BNDI1	ADC1 边界中断标志。如果该位被置位, 表明 ADC1 的转换结果超出了 ADC1 边界寄存器定义的范围。

表 18 A/D 模式寄存器 B (ADMODB-地址 A1h) 位分配

位	7	6	5	4	3	2	1	0
符号	CLK2	CLK1	CLK0	-	ENDAC1	-	BSA1	-
复位	0	0	0	0	0	0	0	0

表 19 A/D 模式寄存器 B (ADMODB-地址 A1h) 位描述

位	符号	描述	
0	-	保留	
1	BSA1	ADC1 所有边界选择。该位为 1 时, 当 ADC1 的任何输入超出边界限制时 BNDI1 置位; 该位为 0 时, 仅当 AD10 的输入超出边界限制时 BNDI1 置位。	
2	-	保留	
3	ENDAC1	该位为 1 时选择 ADC1 的 DAC 模式; 为 0 时选择 ADC 模式。	
4	-	保留	
5	CLK0	时钟分频器, 用来产生 ADC 时钟。CCLK 的分频值如下所示。分频后所得 ADC 时钟应该为 3.3MHz 或更低。为了保证 A/D 转换的精度, 要求时钟频率不能低于 0.5MHz。	
6	CLK1		
7	CLK2		
			CLK2:0 分频值
			000 1
		001 2	
		010 3	
		011 4	
		100 5	
		101 6	
		110 7	
		111 8	

表 20 A/D 输入选择寄存器 (ADINS-地址 A3h) 位分配

位	7	6	5	4	3	2	1	0
符号	AIN13	AIN12	AIN11	AIN10	-	-	-	-
复位	0	0	0	0	0	0	0	0

表 21 A/D 输入选择寄存器 (ADINS-地址 A3h) 位描述

位	符号	描述
0:3	-	保留。
4	AIN10	置位时, 使能 AD10 脚的采样和转换。
5	AIN11	置位时, 使能 AD11 脚的采样和转换。
6	AIN12	置位时, 使能 AD12 脚的采样和转换。
7	AIN13	置位时, 使能 AD13 脚的采样和转换。

4. 中断

P89LPC9102 支持 9 个中断源: 定时器 0 和 1、掉电检测、看门狗定时器/RTC、键盘中断、比较器 1 和 A/D 转换器。

P89LPC9103 支持 9 个中断源: 定时器 0 和 1、串口 Tx、串口 Rx、组合的串口 Rx/Tx、掉电检测、看门狗定时器/RTC、键盘中断、比较器和 A/D 转换器。

任何一个中断源均可通过置位或清零 IEN0 和 IEN1 中相应的位来实现单独的使能或禁用。IEN0 中还包含了一个全局禁止位 EA, 它可禁止所有的中断。

每个中断源都可被单独设置为四个中断优先级之一, 分别通过清零或置位 IP0, IP0H, IP1, IP1H 中相应位来实现。正在运行的中断服务程序可被更高优先级的中断源中断, 但是不能被同级或低级的中断源中断。最高级中断服务程序不能被其它任何中断源中断。如果两个不同中断优先级的中断源在指令开始时同时申请中断, 响应较高优先级的中断申请。

如果相同优先级的中断源在指令开始时同时申请中断, 那么将通过一个内部查询序列确定首先响应哪一个中断请求, 这叫做仲裁队列。注: 仲裁队列只用来处理相同优先级别中断源同时申请中断的情况。

4.1 中断优先级结构

表 22 中断优先级

优先级位		中断优先级
IPxH	IPx	
0	0	0 级(优先级最低)
0	1	1 级
1	0	2 级
1	1	3 级

有 4 个与中断优先级相关的特殊功能寄存器, 它们分别是: IP0、IP0H、IP1 和 IP1H。每个中断都由两个位 IPx 和 IPxH (x=0, 1) 控制, 这样可将其分配到 4 个优先级中的任意一个, 见表 22。

表 23 中断汇总

描述	中断标志位	中断向量地址	中断使能位	中断优先级	仲裁顺序	掉电唤醒
定时器 0 中断	TF0	000BH	ET0(IEN0.1)	IP0H.1,IP0.1	4	×
定时器 1 中断	TF1	001BH	ET1(IEN0.3)	IP0H.3,IP0.3	10	×
串口 Tx 和 Rx (9103, 9107)	TI&RI	0023H	ES/ESR (IEN0.4)	IP0H.4,IP0.4	13	×
串口 Rx (9103, 9107)	RI					
掉电检测	BOF	002BH	EBO(IEN0.5)	IP0H.5,IP0.5	2	√
看门狗定时器/ 实时时钟	WDOVF/ RTCF	0053H	EWDRT(IEN0.6)	IP0H.6,IP0.6	3	√
KBI 中断	KBIF	003BH	EKBI(IEN1.1)	IP0H.0,IP0.0	8	√
比较器 1 中断	CMF1	0043H	EC(IEN1.2)	IP0H.0,IP0.0	11	√
串口 Tx (9103, 9107)	TI	006BH	EST(IEN1.6)	IP0H.0,IP0.0	12	×
ADC	ADCI1,BNDI1	0073H	EAD(IEN1.7)	IP1H.7,IP1.7	15(最低)	×

4.1.1 外部中断输入

P89LPC9102/9103/9107 有 1 个键盘中断功能。这可用作外部中断输入。

如果 P89LPC9102/9103/9107 处于掉电或空闲状态时外部中断使能，中断将唤醒处理器使其恢复运行。详细内容请参考 6.3 节“节电模式”部分。

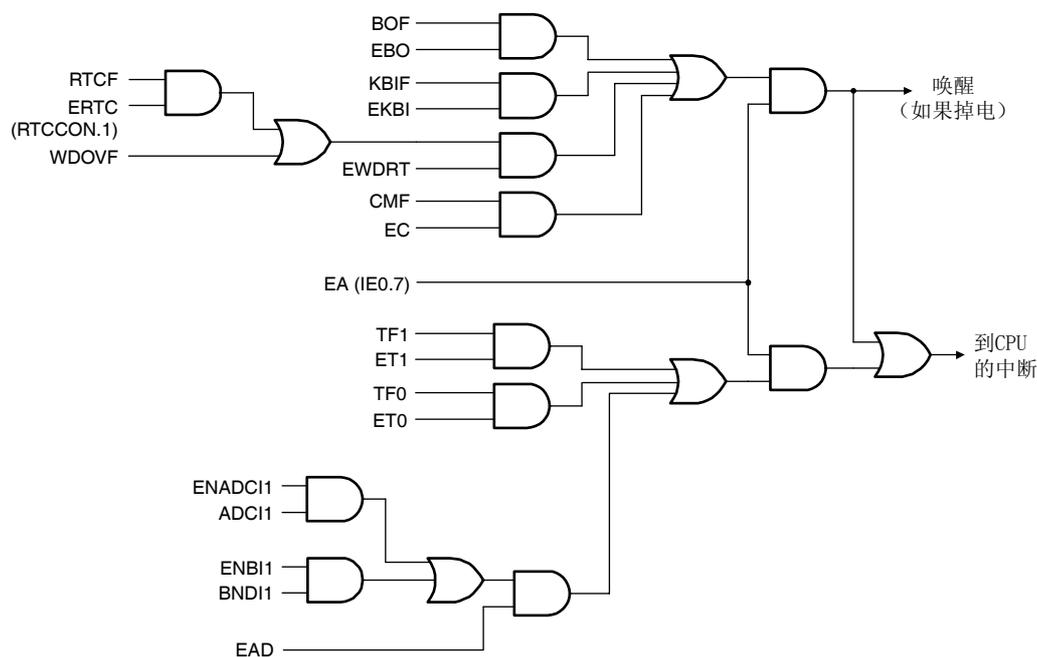


图 14 中断源、中断使能和掉电唤醒中断源 (P89LPC9102)

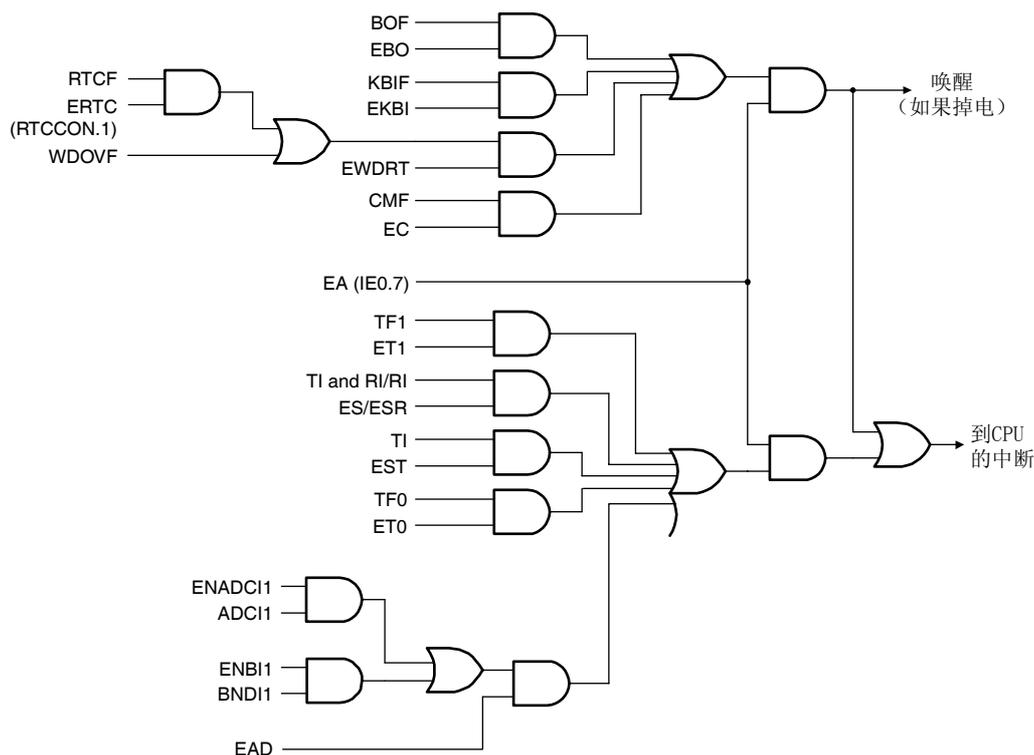


图 15 中断源, 中断使能, 掉电唤醒中断源(P89LPC9103/9107)

5. I/O 口

P89LPC9102/9103/9107 有 3 个 I/O 口, P0, P1 和 P3。I/O 口的具体数目取决于所选择的时钟源选项和复位管脚选项。(见表 24)。

表 24 可用的 I/O 口数目

时钟源	复位选项	I/O 口数目 (10/14 脚封装)
片内 RC 振荡器或看门狗振荡器	无外部复位 (上电时除外)	8
	支持外部复位脚 \overline{RST}	7
外部时钟输入	无外部复位 (上电时除外)	7
	支持外部复位脚 \overline{RST} ^[1]	6

[1] 要求外部时钟工作频率大于 12MHz。

5.1 I/O 口配置

除了 1 个 I/O 口以外, P89LPC9102/9103/9107 其他所有的 I/O 口均可由软件配置成 4 种输出类型之一, 如表 25 所示。四种输出类型分别为: 准双向口(标准 80C51 输出模式), 推挽, 开漏输出或仅为输入功能。每个口的 2 个配置寄存器控制每个管脚的输出类型。

P1.5(\overline{RST})只能作为输入口, 无法进行配置。

表 25 端口输出方式设定

PxM1.y	PxM2.y	端口输出模式
0	0	准双向模式
0	1	推挽
1	0	仅为输入（高阻抗）
1	1	开漏

5.2 准双向口输出配置

准双向口输出类型可用作输出和输入功能而不需重新配置口线输出状态。这可能是因为当口线输出为逻辑高电平时驱动能力很弱，允许外部装置将其拉低。当管脚输出为低时，它的驱动能力很强，可吸收相当大的电流。准双向口有三个上拉晶体管，可适应不同的需要。

在三个上拉晶体管中，有一个“极弱上拉”，当口线锁存为逻辑“1”时打开，当引脚悬空时，这个极弱的上拉源产生很弱的上拉电流将引脚上拉为高电平。

第二个上拉晶体管称为“弱”上拉，当口寄存器为 1 且管脚本身也为 1 时打开。此上拉提供基本源电流使准双向口输出为‘1’。如果该管脚被外部器件下拉低时，弱上拉关闭且只有“极弱上拉”保持开状态。在这些条件下为了拉低该管脚，外部器件必须有足够的灌电流能力使管脚上的电压降到阈值电压以下。

第三个上拉晶体管称为“强上拉”。当口线锁存器由 0 到 1 跳变时，这个上拉用来加快准双向口管脚低到高的跳变。当发生这种情况时，强上拉打开约 2 个 CPU 时钟周期以使管脚能够迅速上拉到高电平。

准双向口配置如图 16 所示。

尽管 P89LPC9102/9103/9107 为 3V 器件，但大部分管脚可承受 5V 电压。在准双向口模式中，如果用户在管脚加上 5V 电压，将会有电流从管脚流向 V_{DD}，这将导致额外的功率消耗。因此，建议不要在准双向口模式中向管脚施加 5V 电压。

准双向口管脚带有一个施密特触发输入以及一个干扰抑制电路。

（请参考 P89LPC9102/9103/9107 数据手册，“干扰滤波器的动态特性”）。

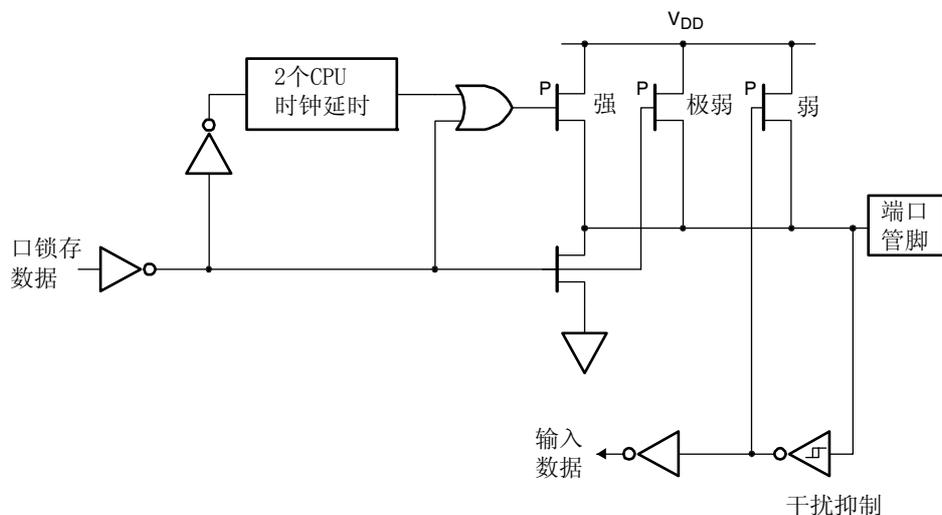


图 16 准双向输出

5.3 开漏输出配置

当口线锁存器为‘0’时，开漏输出关闭所有的上拉晶体管而仅驱动下拉晶体管。作为一个逻辑输出时，这种配置方式必须有外部上拉，一般通过电阻外接到 V_{DD} 。这种方式的下拉与准双向模式相同。

开漏输出端口配置如图 17 所示。

开漏端口管脚带有一个施密特触发输入以及一个干扰抑制电路。

(请参考 P89LPC9102/9103/9107 数据手册，“干扰滤波器的动态特性”)。

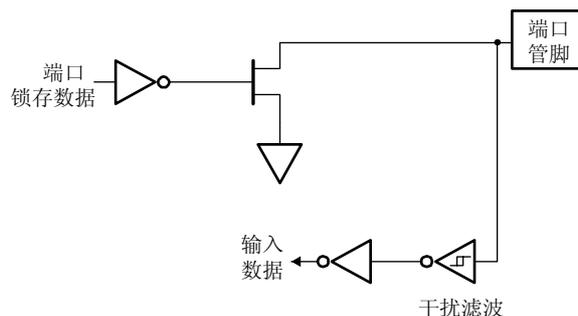


图 17 开漏输出

5.4 仅为输入配置

输入端口配置如图 18 所示。它带有一个施密特触发输入以及一个干扰抑制电路。

(请参考 P89LPC9102/9103/9107 数据手册，“干扰滤波器的动态特性”)。

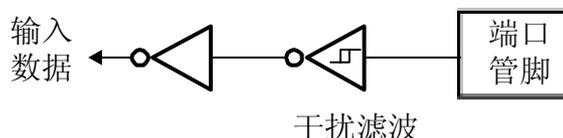


图 18 仅为输入

5.5 推挽输出配置

推挽输出配置的下拉结构和开漏输出以及准双向输出模式相同，但当口锁存器为‘1’时提供持续的强上拉。推挽模式一般用于需要更大供应电流的情况。

推挽输出口配置如图 19 所示。

推挽管脚带有一个施密特触发输入以及一个干扰抑制电路。

(请参考 P89LPC9102/9103/9107 数据手册，“干扰滤波器的动态特性”)。

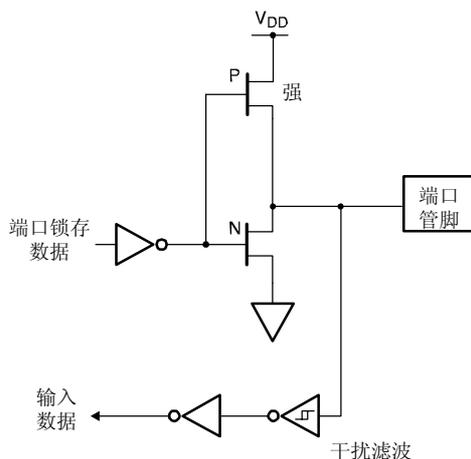


图 19 推挽输出

5.6 P0 口模拟功能

P89LPC9102/9103/9107 集成了 1 个模拟比较器。为了得到最佳的模拟性能并降低功耗，用于模拟功能的管脚必须禁止数字输入和输出功能。

通过将端口设置成仅为输入（在 I/O 口配置中描述）模式来禁止数字信号输出（见图 18）。

P0 口的数字输入可通过 PT0AD 寄存器来禁止。寄存器的位 1 到 5 分别对应 P0 口的 P0.1 到 P0.5。通过置位 PT0AD 寄存器的相应位来禁止管脚的数字输入。利用访问 I/O 口的指令来读取数字输入被禁止的各位时所得结果均为 0。

复位后，PT0AD 的位 1 到 5 默认为 0 以启用管脚的数字功能。

5.7 附加端口特性

上电后所有的管脚都仅为输入模式。请注意此配置不同于 LPC76x 器件系列。

- 上电之后，除 P1.5 之外，所有口都可由软件进行配置。
- P1.5 只可用于输入功能。

每个 P89LPC9102/9103/9107 输出口都可提供灌电流驱动 LED。但是所有口的输出电流总和不能超过规定的最大电流。详细内容请参考 P89LPC9102/9103/9107 数据手册。

所有可以用作输出的端口的电平转换速度都可以控制，这就可限制因电平转换过快而导致的噪声。转换速度在出厂时设定为大约 10ns 的上升时间和下降时间。

表 26 端口输出配置

端口管脚	配置 SFR 位		可选功能	注释
	PxM1.y	PxM2.y		
P0.1	P0M1.1	P0M2.1	KBI1, AD10 KBI2, AD11 KBI3, CIN1B, AD12 CIN1A, AD13, DAC1	用作模拟输入时请参考 5.6 节“P0 口模拟功能”。
P0.2	P0M1.2	P0M2.2		
P0.3	P0M1.3	P0M2.3		
P0.4	P0M1.4	P0M2.4		

端口管脚	配置 SFR 位		可选功能	注释
	PxM1.y	PxM2.y		
P0.5	P0M1.5	P0M2.5	KBI5, CMPREF, CLKIN	用作模拟输入时请参考 5.6 节“P0 口模拟功能”。
P0.7	P0M1.7	P0M2.7	T1, CLKOUT	
P1.0	P1M1.0	P1M2.0	TxD	
P1.1	P1M1.1	P1M2.1	RxD	
P1.2	P1M1.2	P1M2.2	T0	
P1.5	P1M1.5	P1M2.5	$\overline{\text{RST}}$	

6. 电源监控功能

P89LPC9102/9103/9107 内含电源监控功能用于防止初始上电及掉电时的错误操作。这是通过两个硬件功能完成的：上电检测及掉电检测。

6.1 掉电检测

掉电检测功能可用于检测电源电压是否降至某一特定值以下。掉电检测的默认操作是使处理器复位。然而，也可通过置位 BOI(PCON.4)和 EBO(IEN0.5)来产生中断。

掉电检测的使能和禁止是通过配置位 BOPD(PCON.5)、位域 PMOD1/0(PCON[1:0])和用户配置位 BOE(UCFG1.5)来实现。如果 BOE 处于未编程状态，不论 PMOD1/0 和 BOPD 取值如何，掉电检测被禁止。如果 BOE 处于编程状态，PMOD1/0 和 BOPD 将用来判断掉电检测是被使能还是被禁止。PMOD1/0 用来选择低功耗模式。如果 PMOD1/0=‘11’，掉电检测电路停止工作以降低功耗。BOPD 默认为‘0’，表示如果 BOE 被编程，掉电检测在上电时使能。

如果掉电检测使能，当 V_{DD} 低于掉电电压 V_{BO} （见 P89LPC9102/9103/9107 静态特性）时产生掉电条件，并在 V_{DD} 上升超过 V_{BO} 时取消。如果掉电检测被禁止， V_{DD} 操作电压范围为 2.4-3.6V。如果 P89LPC9102/9103/9107 器件的电源电压可以低于 2.7V，BOE 应当保持未编程状态，这样器件可在 2.4V 时工作。否则持续的掉电复位将使器件无法工作。

使用时钟倍频器模式下的内部 RC 振荡器和使用掉电检测的应用应当编程 BOE 位，以便掉电条件能在 V_{DD} 降至低于 2.7V 时被检测到。

如果掉电检测使能（BOE 被编程，PMOD1/0≠‘11’，BOPD=0），不管复位或中断是否被使能，检测到掉电时都将使 BOF(RSTSRC.5)置位。BOF 一直保持置位直到通过软件写入‘0’将其清除。注：如果 BOE 未编程，BOF 就无意义。如果 BOE 被编程，内部复位时，BOF 和上电标志（POF-RSTSRC.4）一同被置位。

若要正确检测到掉电， V_{DD} 上升和下降时间必须符合一定规格。请参考 P89LPC9102/9103 数据手册。

表 27 掉电检测选项

BOE (UCFG1.5)	PMOD1-0 (PCON[1:0])	BOPD (PCON.5)	BOI (PCON.4)	EBO (IEN0.5)	EA (IEN0.7)	描述		
0 (擦除)	xx	x	x	x	x	掉电检测禁止。V _{DD} 操作电压范围为 2.4-3.6V。		
1(已编程)	11 (完全掉电)	x	x	x	x			
	≠11 (完全掉电外的其它模式)	1 (掉电检测关闭)	x	x	x	掉电检测禁止。V _{DD} 操作电压范围为 2.4-3.6V。但在上电时 BOPD 默认为 0。		
		0 (掉电检测有效)	0 (掉电检测产生复位)	x	x	x	掉电复位使能。V _{DD} 操作范围为 2.7V-3.6V。掉电检测复位时，BOF (RSTSRC.5) 将置位用于指示复位源。BOF 可通过写入“0”清零。	
			1 (掉电检测产生中断)	1 (使能掉电中断)	1	1	1	掉电中断使能。V _{DD} 操作范围为 2.7-3.6V。掉电检测中断时，BOF (RSTSRC.5) 将置位。BOF 可通过写入“0”清零。
				0	0	x	x	掉电复位和中断都被禁止。V _{DD} 操作范围为 2.4-3.6V。但 BOF (RSTSRC.5) 将在 V _{DD} 下降至掉电检测点时置位。BOF 可通过写入“0”清零。
				x	0			

6.2 上电检测

上电检测功能类似于掉电检测，但设计成在电源初始上电后，电源电压上升到掉电检测门槛电平之前工作。当检测到初始上电时，POF (RSTSRC.4) 标志置位。POF 将会一直保持置位状态，直到通过软件将其清零。注：如果 BOE (UCFG1.5) 被编程，POF 置位时 BOF (RSTSRC.5) 置位。如果 BOE 未被编程，BOF 就没有意义。

6.3 节电模式

P89LPC9102/9103/9107 支持 3 种不同节电模式，由 SFR 的 PCON[1:0]位决定(见表 28)。

表 28 节电模式

PMOD1 (PCON.1)	PMOD0 (PCON.0)	描述
0	0	正常模式(默认)—非节电模式
0	1	空闲模式。空闲模式下片内外围功能继续工作，允许其在产生中断时激活处理器。任何一个使能的中断源或复位均可结束空闲模式。

续上表...

PMOD1 (PCON.1)	PMOD0 (PCON.0)	描述
1	0	<p>掉电模式： 掉电模式将振荡器停振以使功耗最小。</p> <p>P89LPC9102/9103/9107 可通过任何复位或特定的中断退出掉电模式。这些特定的中断包括— 掉电中断、键盘、实时时钟（系统定时器）、看门狗以及比较器触发。通过复位唤醒处理器时必须先使能相应的复位。通过中断唤醒处理器时，必须先使能相应的中断并置位 EA SFR 位（IEN0.7）。</p> <p>在掉电模式中，内部 RC 振荡器被禁止，除非选择 RC 振荡器作为系统时钟并使能 RTC。在掉电模式中，电源电压可以降低到 RAM 保持电压 V_{RAM}。这样将 RAM 内容保存为进入掉电模式时的状态。SFR 内容在 V_{DD} 低于 V_{RAM} 时不受保护。因此这种情况下建议通过复位唤醒处理器。在退出掉电模式前 V_{DD} 必须上升到操作电压范围之内。</p> <p>处理器从掉电模式中唤醒时，立即启动振荡器并且当振荡器稳定时开始执行程序。振荡器的稳定时间是指 256 个 CPU 时钟计数（内部 RC 启动或外部时钟输入配置后）。</p> <p>在掉电模式中某些芯片功能继续工作并消耗电流，这样就增加了掉电时的整体功耗。这些功能包括：</p> <ul style="list-style-type: none"> ● 掉电检测 ● 看门狗定时器（当 WDCLK(WDCON.0)为“1”时） ● 比较器（注：比较器可通过置位 PCONA.5 和禁止比较器单独实现掉电） ● 实时时钟/系统定时器(除非 RTCPD 为“1”)
1	1	<p>完全掉电模式：和掉电模式的区别在于：完全掉电模式下掉电检测电路和电压比较器都被关闭以节省功耗。注：此时不能产生掉电复位或中断。电压比较器中断和掉电中断都不可用作唤醒源。内部 RC 振荡器被禁能，除非 RC 振荡器用作系统时钟并且 RTC 被使能。</p> <p>下面是所支持的唤醒源：</p> <ul style="list-style-type: none"> ● 如果 WDCLK(WDCON.0)为“1”，看门狗定时器可以产生中断或复位来唤醒器件 ● 键盘中断 ● 实时时钟/系统定时器（除非 RTCPD，即 PCONA.7 为“1”） <p>注：在掉电模式下使用内部 RC 振荡器作为 RTC 时钟源会增加相当大的功耗。当实时时钟在掉电模式下运行时，使用外部低频时钟可实现较低的功耗。</p>

表 29 电源控制寄存器（PCON-地址 87h）位分配

位	7	6	5	4	3	2	1	0
符号	SMOD1	SMOD0	BOPD	BOI	GF1	GF0	PMOD1	PMOD0
复位	0	0	0	0	0	0	0	0

表 30 电源控制寄存器 (PCON-地址 87h) 位描述

位	符号	描述
0	PMOD0	节电模式 (见 6.3 节)。
1	PMOD1	
2	GF0	通用标志 0, 可通过用户软件读写, 但对器件的操作并无影响。
3	GF1	通用标志 1, 可通过用户软件读写, 但对器件的操作并无影响。
4	BOI	掉电检测中断使能。为 1 时, 检测到掉电时产生中断; 为 0 时产生复位。
5	BOPD	掉电检测关闭。为 1 时, 掉电检测功能处于掉电状态, 即关闭状态。为 0 时, 掉电检测使能。(注: 在任何编程或擦除命令执行之前, BOPD 必须为 0。否则这些命令不会执行。)
6	SMOD0	帧错误位置: <ul style="list-style-type: none"> ● 为 0 时, SCON 的位 7 作为 SM0 位被访问。 ● 为 1 时, SCON 的位 7 作为帧错误状态(FE)被访问 (P89LPC9103)。
7	SMOD1	当利用定时器 1 来产生波特率时, 该位为串口 (UART) 的双倍波特率位。为 1 时, UART 的波特率为定时器 1 的溢出速率。为 0 时, UART 的波特率为定时器 1 溢出速率/2。(见第 10 节) (P89LPC9103)。

表 31 电源控制寄存器 A (PCONA-地址 B5h) 位分配

位	7	6	5	4	3	2	1	0
符号	RTCPD	-	VCPD	ADPD	-	-	SPD	-
复位	0	0	0	0	0	0	0	0

表 32 电源控制寄存器 A (PCONA-地址 B5h) 位描述

位	符号	描述
0	-	保留
1	SPD	串口 (UART) 掉电: 该位为 1 时, UART 的内部时钟被禁止。注: 如果处于掉电或完全掉电模式下, 不管该位状态如何, UART 时钟都将被禁止 (P89LPC9103)。
2	-	保留
3	-	保留。
4	ADPD	A/D 转换器掉电: 该位为 1 时, 关闭 ADC 的时钟。要使 ADC 完全掉电, 用户应设置 ADCON1 和 ADCON0 寄存器的 ENADC1 和 ENADC0 位。
5	VCPD	模拟电压比较器掉电: 该位为 1 时, 电压比较器掉电。用户必须在置位该位之前禁止电压比较器。
6	-	保留
7	RTCPD	实时时钟掉电: 该位为 1 时, 用于实时时钟的内部时钟被禁止。

7. 复位

P1.5/ $\overline{\text{RST}}$ 管脚可作为低电平复位有效输入或数字输入口。当 UCFG1 寄存器中的位 RPE(复位管脚使能位)置位时, 在 P1.5 上使能外部复位输入功能。当清零时, P1.5 用作一个输入管脚。

注: 在上电过程中, RPE 选择无效, 该管脚总是作为外部复位输入。在上电过程中, 连接到该管脚的外部电路不应将其拉低, 否则将使器件一直处于复位状态。在上电完成之后, 该管脚根据 RPE 位的状态可用作外部复位输入或数字输入口。只有上电复位会暂时使 RPE 的设定失效, 其它复位源无法影响 RPE 位的设定。

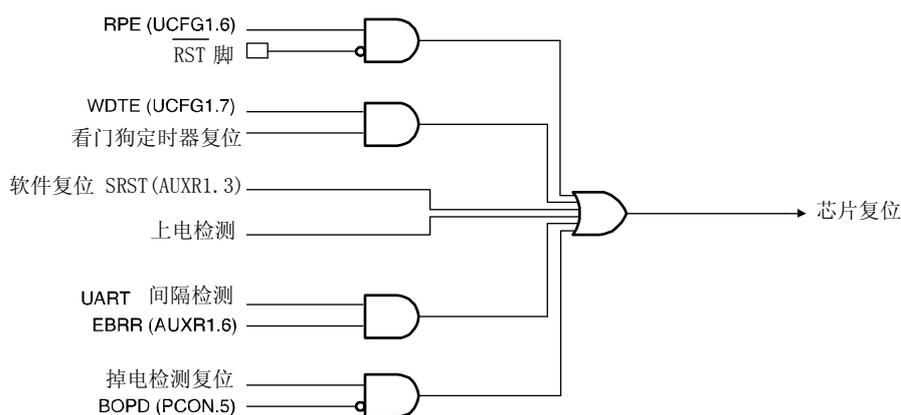
注: 为了确保上电复位的产生, 电源周期内, 电源再次使用前必须有一个 V_{DD} 下降到低于 V_{POR} 的过程 (见 P89LPC9102/9103/9107 静态特性)。

复位可由下列复位源引起 (见图 20):

- 外部复位管脚 (上电或如果用户通过 UCFG1 配置。要求外部时钟频率大于 12MHz。)
- 上电检测
- 掉电检测
- 看门狗定时器
- 软件复位
- UART 间隔检测复位 (P89LPC9103, P89LPC9107)

每一个复位源在复位寄存器 RSTSRC 中都有一个对应的标志。用户可读取该寄存器以判断最近的复位源是哪一个。这些标志位可通过软件写入“0”清零。可以有多个的标志位置位:

- 上电复位时, POF 和 BOF 都置位, 而其它标志位清零
- 对于其它的复位, 之前还没有清零的置位标志位将继续保持置位。



(1) P89LPC9103, P89LPC9107

图 20 复位方框图

表 33 复位源寄存器 (RSTSRC-地址 DFh) 位分配

位	7	6	5	4	3	2	1	0
符号	-	-	BOF	POF	R_BK	R_WD	R_SF	R_EX
复位 ^[1]	X	X	1	1	0	0	0	0

[1] 所示的值为上电复位的值。其它复位源将置位它们相应的位。

表 34 复位源寄存器 (RSTSRC-地址 DFh) 位描述

位	符号	描述
0	R_EX	外部复位标志。当该位为 1 时，它指示复位源为外部管脚复位。该标志位可通过软件写入 0 或上电复位清零。如果 $\overline{\text{RST}}$ 在上电复位结束后仍然保持有效，R_EX 将置位。
1	R_SF	软件复位标志。通过软件写入 0 或上电复位清零。
2	R_WD	看门狗定时器复位标志。通过软件写入 0 或上电复位清零（注：UCFG1.7 必须为 1）。
3	R_BK	间隔检测复位。当检测到间隔并且 EBRR(AUXR1.6)置位时，产生系统复位。如果该位被置位，表明系统复位是由间隔检测引起的。通过软件写入 0 或上电复位清零（P89LPC9103, P89LPC9107）。
4	POF	上电检测标志。当上电检测激活时，POF 置位以指示初始上电的状态。POF 标志将保持置位直到软件写入 0 将其清零。（注：上电复位时，BOF 和该位置位，而其它标志位都清零）。
5	BOF	掉电检测标志。当掉电检测激活时，该位置位。它将保持置位直到通过软件写入 0 将其清零。（注：上电复位时，POF 和该位置位，而其它标志位都清零）。
6:7	-	保留。

7.1 复位向量

在复位之后，P89LPC9102/9103/9107 将从地址 0000h 或引导 (Boot) 地址处取指令。引导地址通过将引导向量作为地址高字节，00h 作为地址低字节构成。在发生 UART 间隔复位 (P89LPC9103, P89LPC9107) 或非易失性引导状态位 (BOOTSTAT.0) =1，或器件已被强制进入 ISP 模式时，将会使用引导地址。否则，指令将从 0000H 开始执行。

8. 定时器 0 和 1

P89LPC9102/9103/9107 有两个通用定时/计数器，与标准 80C51 定时器 0 及定时器 1 兼容。两个定时/计数器均可配置为定时器或事件计数器（见表 36）。另外增加了定时器溢出时 Tx 脚自动翻转的功能选项。

用作“定时器”功能时，每经过一个 PCLK，寄存器值加 1。

用作“计数器”功能时，寄存器在对应的外部输入管脚 (T0 或 T1) 上每发生一次 1 到 0 的跳变时加 1。使用该功能时，外部输入每个机器周期被采样一次。当某一周期时管脚状态采样为高而下一周期采样为低时，计数器加 1。寄存器值在检测到跳变的下一个机器周期被更新。由于检测 1 到 0 的跳变需要花费两个机器周期 (4 个 CPU 时钟) 的时间，所以计

数频率最大值为 CPU 时钟频率的 1/4。对外部输入信号的占空比并无限制，但为了保证给定的电平信号在其改变之前至少被采样一次，信号必须至少保持一个完整的机器周期。

“定时”或“计数”功能通过特殊功能寄存器 TMOD 中的控制位 TnC/ \bar{T} (x=0 和 1, 分别对应定时器 0 和定时器 1) 选择。定时器 0 和定时器 1 有 5 种工作模式 (模式 0,1,2,3 和 6), 由 TMOD 的两位 (TnM1, TnM0) 和 TAMOD 的 TnM2 位决定。两个定时/计数器的模式 0、1、2 和 6 相同, 但模式 3 不同。操作模式在后面会作详细介绍。

表 35 定时/计数器模式寄存器 (TMOD-地址 89h) 位分配

位	7	6	5	4	3	2	1	0
符号	-	T1C/ \bar{T}	T1M1	T1M0	-	T0C/ \bar{T}	T0M1	T0M0
复位	0	0	0	0	0	0	0	0

表 36 定时/计数器模式寄存器 (TMOD-地址 89h) 位描述

位	符号	描述
0	T0M0	定时器 0 的工作模式选择器。这些位和 TAMOD 寄存器的 T0M2 位共同决定定时器 0 的工作模式 (见表 38)。
1	T0M1	
2	T0C/ \bar{T}	定时器 0 的定时或计数功能选择。该位清零时定时器 0 用作定时功能 (从 CCLK 输入脉冲); 该位置位时定时器 0 用作计数功能 (从 T0 脚输入脉冲)。(P89LPC9102, P89LPC9107)。
3	-	保留。
4	T1M0	定时器 1 的工作模式选择。这些位和 TAMOD 寄存器的 T1M2 位共同决定定时器 1 的工作模式 (见表 38)。
5	T1M1	
6	T1C/ \bar{T}	定时器 1 的定时或计数功能选择。该位清零时定时器 1 用作定时功能 (从 CCLK 输入脉冲); 该位置位时定时器 1 用作计数功能 (从 T1 脚输入脉冲)。(P89LPC9102, P89LPC9107)。
7	-	保留。

表 37 计数器/定时器辅助模式寄存器 (TAMOD-地址 8Fh) 位分配

位	7	6	5	4	3	2	1	0
符号	-	-	-	T1M2	-	-	-	T0M2
复位	x	x	x	0	x	x	x	0

表 38 计数器/定时器辅助模式寄存器 (TAMOD-地址 8Fh) 位描述

位	符号	描述
0	T0M2	定时器 0 的工作模式选择。这些位与 TAMOD 寄存器的位 T0M2 共同决定定时器 0 的工作模式 (见表 38)。
1:3	-	保留
4	T1M2	定时器 1 的工作模式选择。这些位与 TAMOD 寄存器的位 T1M2 共同决定定时器 1 的工作模式 (见表 38)。

续上表...

位	符号	描述
4	T1M2	<p>下列定时器模式由定时器模式位 TnM[2:0]选择:</p> <p>000—8048 定时器“TLn”用作 5 位预分频器 (模式 0)。</p> <p>001—16 位定时/计数器“THn”和“TLn”级联; 无预分频器 (模式 1)。</p> <p>010—8 位自动重装定时/计数器。溢出时 THn 的内容装入 TLn (模式 2)。</p> <p>011—该模式下定时器 0 用作 2 个 8 位的定时器/计数器。TLO 用作一个 8 位的定时/计数器, 由标准定时器 0 控制位来控制。TH0 只可用作一个 8 位的定时器, 由定时器 1 的控制位来控制 (见文中描述)。该模式下定时器 1 关闭 (模式 3)。</p> <p>100—保留。用户不要配置成该模式。</p> <p>101—保留。用户不要配置成该模式。</p> <p>110—PWM 模式 (见 8.5 节)。</p> <p>111—保留。用户不要配置成该模式。</p>
5:7	-	保留

8.1 模式 0

将定时器设置成模式 0 时类似 8048 定时器, 即带 32 分频-预分频器的 8 位计数器。如图 21 所示。

在此模式中, 定时器寄存器配置为 13 位寄存器。当计数值由全 1 变为全 0 时, 置位定时器中断标志 TFn。当 TRn=1 时, 使能定时器的计数输入。TRn 是特殊功能寄存器 TCON (表 40) 中的控制位。

该 13 位寄存器由 THn 的 8 位和 TLn 的低 5 位组成。TLn 的高 3 位不定, 可忽略。置位运行标志 (TRn) 不会清零寄存器。

定时器 0 和定时器 1 的模式 0 操作相同, 见图 21。

8.2 模式 1

模式 1 除了使用的是 16 位的定时器寄存器 (THn 和 TLn) 外, 其它与模式 0 相同, 见图 22。

8.3 模式 2

在此模式中, 定时器寄存器作为可自动重装的 8 位计数器 (TLn), 如图 23 所示。TLn 溢出不仅置位 TFn, 而且将 THn 的值重新装入 TLn (THn 的值由软件预置)。重装时 THn 不变。定时器 0 及定时器 1 在模式 2 中的操作相同。

8.4 模式 3

在模式 3 中定时器 1 停止工作。等效于使 TR1=0。

在此模式中，定时器 0 的 TL0 及 TH0 作为两个独立的 8 位计数器。定时器 0 模式 3 的逻辑如图 24 所示。TL0 使用定时器 0 的控制位：T0C/ \bar{T} ，TR0 和 TF0。TH0 只用作定时功能（计数器周期），占用定时器 1 的 TR1 和 TF1。因此，该模式下 TH0 控制“定时器 1”的中断。

模式 3 用于需要一个额外的 8 位定时器的场合。当定时器 0 处于模式 3 时，P89LPC9102/9103/9107 可以看成是拥有 3 个定时器/计数器的器件。

注：当定时器 0 工作在模式 3 时，定时器 1 可通过进入/退出其自身的模式 3 来起动/关闭。它仍可用作串口的波特率发生器，或应用在不需要中断的任何场合。

8.5 模式 6 (P89LPC9102, P89LPC9107)

在该模式中，相应的定时器可以变为一个具有 256 个定时器时钟周期的 PWM (见图 25)。除以下几点外，其结构与模式 2 相同：

- TF_n (n=0 和 1，分别对应定时器 0 和 1) 由硬件置位和清零；
- TF_n 的低电平宽度为 TH_n，必须在 1~254 之间，
TF_n 的高电平宽度为 256-TH_n。
- 在 TH_n 装入 00h 使 Tx 管脚强制为高电平，在 TH_n 装入 FFh 使 Tx 管脚强制为低电平。

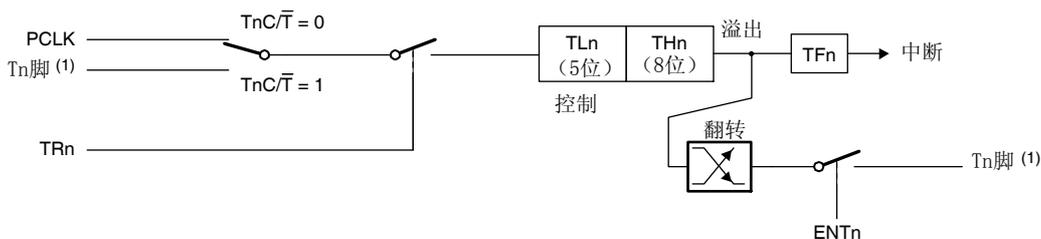
注：在 TF_n 低到高跳变时中断使能，并且 TF_n 可像其它模式一样由软件清零。

表 39 定时/计数器控制寄存器 (TCON-地址 88h) 位分配

位	7	6	5	4	3	2	1	0
符号	TF1	TR1	TF0	TR0	-	-	-	-
复位	0	0	0	0	0	0	0	0

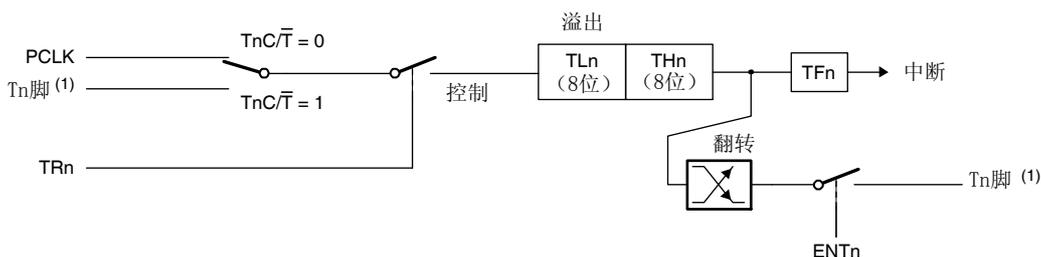
表 40 定时/计数器控制寄存器 (TCON-地址 88h) 位描述

位	符号	描述
0	-	保留。
1	-	保留。
2	-	保留。
3	-	保留。
4	TR0	定时器 0 运行控制位。通过软件将其置位/清零来起动/关闭定时/计数器 0。
5	TF0	定时器 0 溢出标志。定时器/计数器溢出时由硬件置位。中断执行时硬件清零，或由软件清零（硬件清零时，模式 6 不同）。
6	TR1	定时器 1 运行控制位。通过软件将其置位/清零来起动/关闭定时器/计数器 1。
7	TF1	定时器 1 溢出标志。定时器/计数器溢出时由硬件置位。中断执行时硬件清零，或由软件清零（硬件清零时，模式 6 不同，见以上有关模式 6 的描述）。



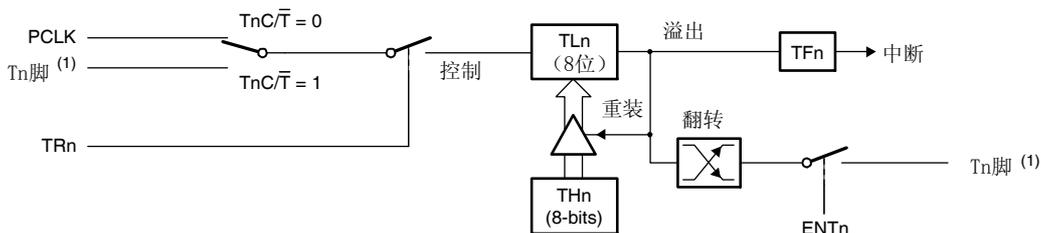
(1) Tn 脚的功能可用于 P89LPC9102, P89LPC9107

图 21 定时/计数器 0 或 1 的工作模式 0 (13 位计数器)



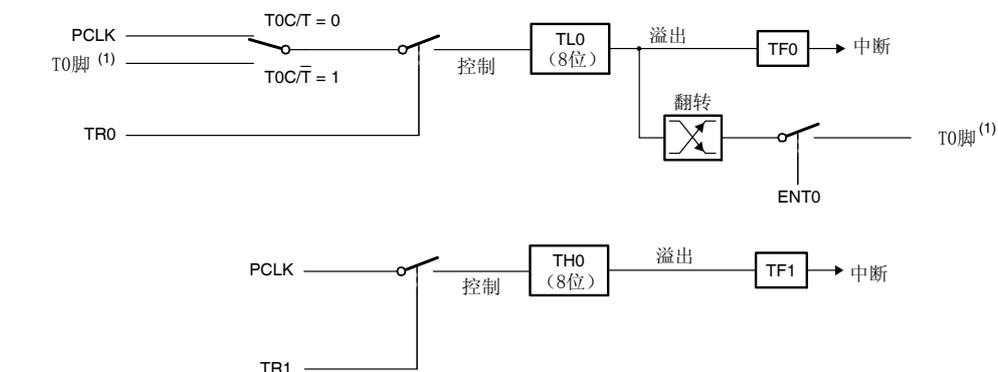
(1) Tn 脚的功能可用于 P89LPC9102, P89LPC9107

图 22 定时/计数器 0 或 1 的工作模式 1 (16 位计数器)



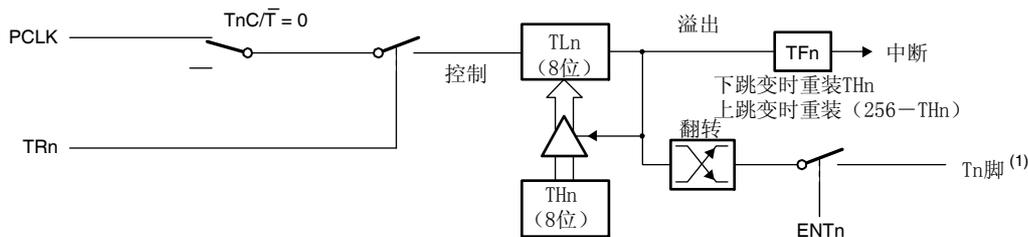
(1) Tn 脚的功能可用于 P89LPC9102, P89LPC9107

图 23 定时/计数器 0 或 1 的工作模式 2 (8 位自动重装)



(1) Tn 脚的功能可用于 P89LPC9102, P89LPC9107

图 24 定时/计数器 0 的工作模式 3 (2 个 8 位计数器)



(1) Tn 脚的功能可用于 P89LPC9102, P89LPC9107

图 25 定时/计数器 0 或 1 的工作模式 6 (PWM 自动重装)

8.6 定时器溢出触发输出 (P89LPC9102, P89LPC9107)

定时器 0 和 1 可配置为发生定时器溢出时自动触发端口输出。T0/T1 的计数输入和 PWM 输出占用相同的管脚，也可用作定时器触发输出。此功能由 AUXR1 寄存器的控制位 ENT0 和 ENT1 使能，并分别应用到定时器 0 或定时器 1。打开该模式后，在首次定时器溢出之前端口的输出为逻辑 1。为了实现该功能，C/T 必须清零来选择 PCLK 作为定时器的时钟源。

9. 实时时钟系统定时器

P89LPC9102/9103/9107 含一个简单实时时钟/系统定时器。允许用户在器件其它部分掉电时能够继续运行一个精确的定时器。实时时钟可以作为一个中断或一个唤醒源(见图 26)。

实时时钟是一个 23 位的倒计数器。该计数器的时钟源可以是 CPU 时钟 (CCLK) 或者一个外部时钟输入 (CLKIN)。RTC 有 3 个相关的 SFR:

- **RTCCON**—实时时钟控制。
- **RTCH**—实时时钟计数器重装高字节 (位[22:15])。
- **RTCL**—实时时钟计数器重装低字节 (位[14:7])。

实时时钟/系统定时器通过置位 RTCEN (RTCCON.0) 使能。实时时钟是一个 23 位倒计数器 (在 RTCEN=0 时初始化成全 '0')，由 1 个 7 位预分频器和 1 个 16 位可装载倒计数器组成。RTCEN 写入 '1' 时，计数器先装载 (RTCH, RTCL, '1111111')，然后向下计数。当为全 '0' 时，计数器再次重装 (RTCH, RTCL, '1111111')，并建立 RTCF (RTCCON.7) 标志。

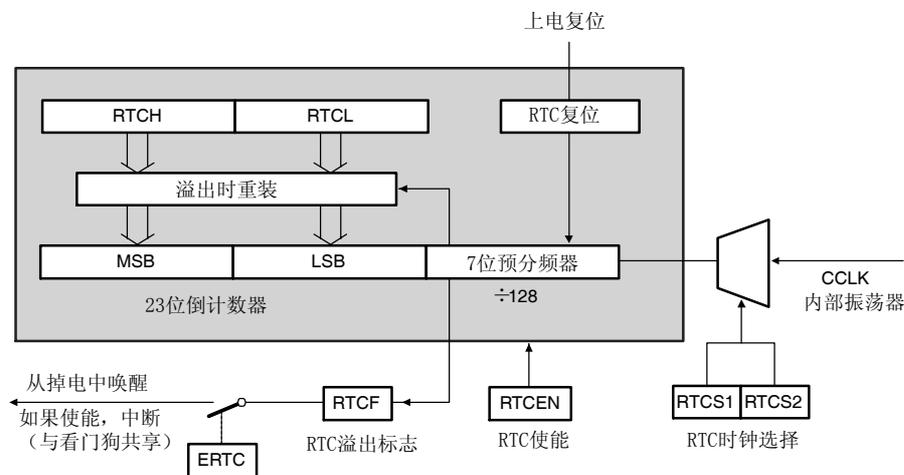


图 26 实时时钟/系统定时器框图

9.1 实时时钟源

如果内部 RC 振荡器或内部看门狗振荡器用作 CCLK，那么可通过配置 RTCS1/RTCS0 (RTCCON[6:5]) 来选择外部时钟输入或 CCLK 作为 RTC 的时钟源。如果 CCLK 在 P0.5 的外部时钟输入上得到，那么 RTC 将使用 CCLK (外部时钟输入/DIVM) 或外部输入作为它的时钟源。

9.2 RTCS1/ RTCS 0 的更改

若 RTC 当前使能 (RTCCON.0=1)，RTCS1/ RTCS 0 不能被改变。置位 RTCEN 和更改 RTCS1/RTCS0 可以在一条对 RTCCON 的写指令内完成。但如果 RTCEN=1，在更改 RTCS1/RTCS0 之前必须先清零 RTCEN。

9.3 实时时钟中断/唤醒

如果 ERTC(RTCCON.1), EWDRT(IEN1[6:0])和 EA(IEN0.7)置位为 1，RTCF 可作为一个中断源。该中断向量和看门狗定时器的中断向量相同。还可配置为器件的一个唤醒源。

9.4 影响实时时钟的复位源

只有上电复位会将实时时钟及其相关的 SFR 复位为默认状态。

表 41 实时时钟/系统定时器时钟源

FOSC2:0	RCCLK	RTCS1:0	RTC 时钟源	CPU 时钟源
000 001 010	X	XX	未定义	未定义
011	0	00	外部时钟输入	内部 RC 振荡器/DIVM
		01		
		10		
		11	内部 RC 振荡器/DIVM	
	1	00	外部时钟输入	内部 RC 振荡器
		01		
		10		
		11	内部 RC 振荡器	
100	0	00	外部时钟输入	看门狗振荡器/DIVM
		01		
		10		
		11	看门狗振荡器/DIVM	
	1	00	外部时钟输入	内部 RC 振荡器
		01		
		10		
		11	内部 RC 振荡器	

续上表...

FOSC2:0	RCCLK	RTCS1:0	RTC 时钟源	CPU 时钟源
101	X	X X	未定义	未定义
110				
111	0	00	外部时钟输入	外部时钟输入/DIVM
		01		
		10		
		11	外部时钟输入/DIVM	
	1	00	外部时钟输入	内部 RC 振荡器
		01		
		10		
		11	内部 RC 振荡器	

表 42 实时时钟控制寄存器 (RTCCON-地址 D1h) 位分配

位	7	6	5	4	3	2	1	0
符号	RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN
复位	0	1	1	x	x	x	0	0

表 43 实时时钟控制寄存器 (RTCCON-地址 D1h) 位描述

位	符号	描述
0	RTCEN	实时时钟使能。如果该位为 1，实时时钟使能。注：该位不会使实时时钟进入掉电状态。不管 RTCEN 的状态如何，RTCPD (PCONA.7)为 1 时会使实时时钟进入掉电，并且禁止该模块。
1	ERTC	实时时钟中断使能。实时时钟和看门狗定时器共用一个中断源。注：如果用户配置位 WDTE(UCFG1.7)为 0，看门狗定时器可使能以产生中断。用户可读取 RTCF(RTCCON.7)位以确定实时时钟是否会引起中断。
2:4	-	保留
5	RTCS0	实时时钟源选择（见表 41）
6	RTCS1	
7	RTCF	实时时钟标志。当 23 位实时时钟到达计数值 0 时，该位置位。该位可通过软件清零。

10. UART (P89LPC9103/9107)

P89LPC9103/9107 具有一个增强型的 UART。它和传统的 80C51 UART 兼容，但有一点除外，即定时器 2 的溢出不能用于产生波特率。P89LPC9103/9107 还带有一个独立的波特率发生器。波特率可以选择由振荡器（由一个常数分频），定时器 1 溢出或者独立的波特率发生器产生。除了产生波特率以外，在标准 80C51 UART 基础上还增加了帧错误检测、间隔检测、自动地址识别、可选的双缓冲以及几个中断选项。

UART 具有 4 种操作模式，在下列章节中描述。

10.1 模式 0

串行数据通过 RxD 进出。TxD 输出移位时钟。每次发送或接收都为 8 位，LSB（最低位）在前。波特率固定为 CPU 时钟频率的 1/16。

10.2 模式 1

TxD 脚发送, RxD 脚接收, 每次数据为 10 位: 1 个起始位 (逻辑 0), 8 个数据位 (LSB 在前) 以及 1 个停止位 (逻辑 1)。当接收数据时, 停止位保存于特殊功能寄存器 SCON 的 RB8 中。该模式的波特率可变, 由定时器 1 溢出速率或波特率发生器决定 (详见 10.6 节“波特率发生器及其选择”)。

10.3 模式 2

TxD 脚发送, RxD 脚接收, 每次数据为 11 位: 1 个起始位 (逻辑 0), 8 个数据位 (LSB 在前), 一个可编程第 9 位数据及 1 个停止位 (逻辑 1)。发送数据时, 第 9 个数据位 (SCON 中的 TB8 位) 可置为 0 或 1。或者, 例如可将奇偶位 (PSW 内 P 位) 放入 TB8。接收时, 第 9 位数据存入特殊功能寄存器 SCON 的 RB8 位, 而停止位不会被保存。波特率可编程为 CCLK 频率的 1/16 或 1/32, 由 PCON 内 SMOD1 位决定。

10.4 模式 3

TxD 脚发送, RxD 脚接收, 每次数据为 11 位: 1 个起始位 (逻辑 0), 8 个数据位 (LSB 在前), 1 个可编程的第 9 位数据及 1 个停止位 (逻辑 1)。实际上, 模式 3 除了波特率外其它均与模式 2 相同。模式 3 的波特率可变并由定时器 1 溢出率或波特率发生器决定 (详见 10.6 节“波特率发生器及其选择”)。

在上述 4 种模式中, 发送过程是以一条写 SBUF 作为目标寄存器的指令开始的。在模式 0 中接收过程通过设置 R1=0 及 REN=1 启动, 在其它模式中, 如果 REN=1 则通过接收起始位来启动。

10.5 SFR 的地址

UART 的 SFR 位于以下位置, 如表 44 所示:

表 44 UART 的 SFR 地址

寄存器	描述	SFR 地址
PCON	电源控制	87H
SCON	串口 (UART) 控制	98H
SBUF	串口 (UART) 数据缓冲器	99H
SADDR	串口 (UART) 地址	A9H
SADEN	串口 (UART) 地址使能	B9H
SSTAT	串口 (UART) 状态	BAH
BRGR1	波特率发生器速率高字节	BFH
BRGR0	波特率发生器速率低字节	BEH
BRGCON	波特率发生器控制	BDH

10.6 波特率发生器及选择

P89LPC9103/9107 的增强型 UART 具有一个独立的波特率发生器。波特率取决于对 BRGR1 和 BRGR0 预先编程的值。UART 也可使用定时器 1 或者波特率发生器的输出，由 BRGCON[2:1]决定（见图 27）。需要注意的是，如果 SMOD1(PCON.7)置位，定时器 T1 被 2 分频。独立的波特率发生器使用 CCLK 作为时钟源。

10.7 更新 BRGR1 和 BRGR0 SFR 寄存器

波特率 SFR 寄存器，BRGR1 和 BRGR0 只能在波特率发生器禁止（BRGCON 寄存器的 BRGEN 位为 ‘0’）时写入。这样避免了向波特率发生器装入临时的值（警告：当 BRGEN=1 时写入 BRGR0 或 BRGR1，结果将是不可预知的）。

表 45 UART 的波特率产生

SCON.7 (SM0)	SCON.6 (SM1)	PCON.7 (SMOD1)	BRGCON.1 (SBRGS)	UART 接收/发送波特率
0	0	X	X	CCLK/16
0	1	0	0	CCLK/(256-TH1)64
		1	0	CCLK/(256-TH1)32
		X	1	CCLK/((BRGR1, BRGR0)+16)
1	0	0	X	CCLK/32
		1	X	CCLK/16
1	1	0	0	CCLK/(256-TH1)64
		1	0	CCLK/(256-TH1)32
		X	1	CCLK/((BRGR1, BRGR0)+16)

表 46 波特率发生器控制寄存器（BRGCON-地址 BDh）位分配

位	7	6	5	4	3	2	1	0
符号	-	-	-	-	-	-	SBRGS	BRGEN
复位	x	x	x	x	x	x	0	0

表 47 波特率发生器控制寄存器（BRGCON-地址 BDh）位描述

位	符号	描述
0	BRGEN	波特率发生器使能位。只有当 BRGEN 为 0 时，才可对寄存器 BRGR1 和 BRGR0 进行写操作。
1	SBRGS	选择波特率发生器用于产生 UART 模式 1 和 3 的波特率（详见表 45）
2:7	-	保留

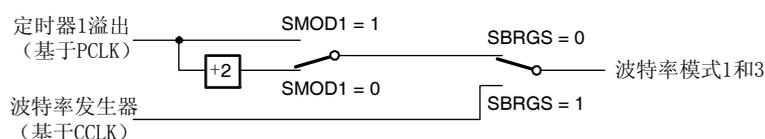


图 27 UART 波特率发生器（模式 1, 3）

10.8 帧错误

当检测到停止位为 0 时产生帧错误。帧错误在状态寄存器 (SSTAT) 中报告。此外, 如果 SMOD0(PCON.6)为 1, SCON.7 可单独作为帧错误位。如果 SMOD0 为 0, SCON.7 作为 SM0。建议在 SMOD0 为 0 时对 SM0 和 SM1(SCON[7:6])进行设置。

10.9 间隔检测

间隔检测在状态寄存器 (SSTAT) 中报告。当连续检测到 11 个位都为低电平位时, 则认为检测到一个间隔。由于间隔条件同样满足帧错误条件, 因此检测到间隔时也会报告帧错误。一旦检测到间隔条件, UART 将进入空闲模式并一直保持, 直至接收到停止位。间隔检测还可用于对器件复位并通过置位 EBRR 位 (AUXR1.6) 使器件进入 ISP 模式。

表 48 串行口控制寄存器 (SCON-地址 98h) 位分配

位	7	6	5	4	3	2	1	0
符号	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI
复位	x	x	x	x	x	x	0	0

表 49 串行口控制寄存器 (SCON-地址 98h) 位描述

位	符号	描述
0	RI	接收中断标志。模式 0 中, 第 8 位接收完成时由硬件置位。或模式 1 中, 在接收停止位的中间时刻由硬件置位。在模式 2 或 3 中, 如果 SMOD0=0, 在接近第 9 位 (位 8) 的中间时刻置位; 如果 SMOD0=1, 在接近停止位的中间时刻置位 (例外见 SM2-SCON.5)。必须通过软件清零。
1	TI	发送中断标志。模式 0 中, 在第 8 位数据发送结束时由硬件置位。在其它任何串行发送模式中, 在发送停止位时由硬件置位。(见 SSTAT 寄存器中 INTLO 位的描述)。必须通过软件清零。
2	RB8	模式 2 和 3 中接收的第 9 位数据位, 在模式 1 中 (SM2 必须为 0), RB8 是接收到的停止位。在模式 0 中, RB8 未定义。
3	TB8	模式 2 和 3 中将要发送的第 9 位数据位, 可以根据需要由软件置位或清零。
4	REN	使能串行接收。由软件置位以使能接收。软件清零则禁止接收。
5	SM2	模式 2 和 3 中的多机通信功能使能位。在模式 2 或 3 中, 如果 SM2=1 而且接收到的第 9 位数据 (RB8) 为 0 时, 则 RI 不会被激活。在模式 0 中, SM2 应当为 0。在模式 1 中, SM2 必须为 0。
6	SM1	和 SM0 定义串行口操作模式 (见表 50)。
7	SM0/FE	该位的用途由 PCON 寄存器中的 SMOD0 决定。如果 SMOD0=0, 该位作为 SM0 读和写, 和 SM1 一起定义串口模式; 如果 SMOD0=1, 该位作为 FE(帧错误)读和写。当检测到一个无效的停止位时, FE 被接收器置位。一旦置位后, 该位不能由有效帧清零, 只能通过软件清零。(注: UART 模式位 SM0 和 SM1 应当在 SMOD0=0 时进行设置——在任何复位后默认的状态)

表 50 串行口模式

SM0, SM1	UART 模式	UART 波特率
00	模式 0: 移位寄存器	CCLK/16 (任何复位时的默认模式)
01	模式 1: 8 位 UART	变量 (见表 45)
10	模式 2: 9 位 UART	CCLK/32 或 CCLK/16
11	模式 3: 9 位 UART	变量 (见表 45)

表 51 串行口状态寄存器 (SSTAT-地址 BAh) 位分配 (有问题)

位	7	6	5	4	3	2	1	0
符号	DBMOD	INTLO	CIDIS	DBISEL	FE	BR	OE	STINT
复位	X (0)	x (0)	x (0)	x (0)	x (0)	x (0)	0	0

表 52 串行口状态寄存器 (SSTAT-地址 BAh) 位描述

位	符号	描述
0	STINT	状态中断使能位。该位置位时, FE, BR 或 OE 可产生中断。这些中断 (向量地址 0023h)与 RI(CIDIS=1 时)或组合 TI/RI(CIDIS=0)共用中断。该位清零时, FE, BR, OE 不产生中断。(注: FE, BR 或 OE 位通常和 RI 一起使用, 不管 STINT 的状态如何, RI 都将产生中断。)注: 如果 EBRR(AUXR1.6)置位, BR 可导致间隔检测复位。
1	OE	溢出错误标志。当缓冲器仍然为满时 (在软件读出缓冲器中的前一个字符之前), 如果接收缓冲器接收到一个新的字符, (即: 当接收完一个新字节的第 8 位时 SCON 中的 RI 仍然处于置位的状态, 那么 OE 将置位。该位通过软件清零。
2	BR	间隔检测标志。当连续检测到连续 11 个位都为低电平时表明检测到一个间隔。该位通过软件清零。
3	FE	帧错误标志。当接收器在帧结束时没有收到有效的停止位时, 该标志置位。通过软件清零。
4	DBISEL	双缓冲发送中断选择位。只在双缓冲使能时使用。该位在双缓冲使能时控制中断产生的次数。当该位置位时, 每向 SBUF 写入一个字符就产生一个发送中断, 另外在最后一个发送字符的停止位开始 (INTLO=0) 或结束 (INTLO=1) 时再产生一次发送中断 (即缓冲区已空)。最后这次中断可用于指示所有发送操作已完成。当该位为 0 时, 每向 SBUF 写入一个字符只产生一次发送中断。另外在双缓冲被禁止时, 该位必须为 0。 注: 除了第一个写入的字符 (缓冲器为空时) 之外, 所有发送中断的位置都由 INTLO 决定。当写入第一个字符时, 在 SBUF 被写入后立即产生发送中断。
5	CIDIS	组合中断禁止位。该位置位时使用单独的 Rx 和 Tx 中断。该位清零时使用 Tx/Rx 组合中断 (与传统 80C51 UART 相同)。该位复位为 0 时选择组合中断。
6	INTLO	发送产生中断的位置。0: 在停止位的开始产生 Tx 中断; 1: 在停止位的结束产生 Tx 中断。模式 0 时必须为 0。注意: 在使用单缓冲时, 如果在停止位的结束产生 Tx 中断, 在下一个起始位之前可能存在一个间隙。
7	DBMOD	双缓冲模式位。该位置位时使能双缓冲。UART 模式 0 时必须为 0。为了和现有的 80C51 器件兼容, 该位复位时为 0 禁止双缓冲。

10.10 更多关于 UART 模式 0 的信息

在模式 0 中，执行写 SBUF 的指令将会启动发送。发送结束时，TI(SCON.1)置位，该位必须由软件清零。在该模式中必须禁止双缓冲。

通过清零 RI(SCON.0)启动接收。开始同步串行传送并且在传送结束时 RI 将再次置位。当 RI 清零时，开始下一个字符的接收，相关时序见图 28。

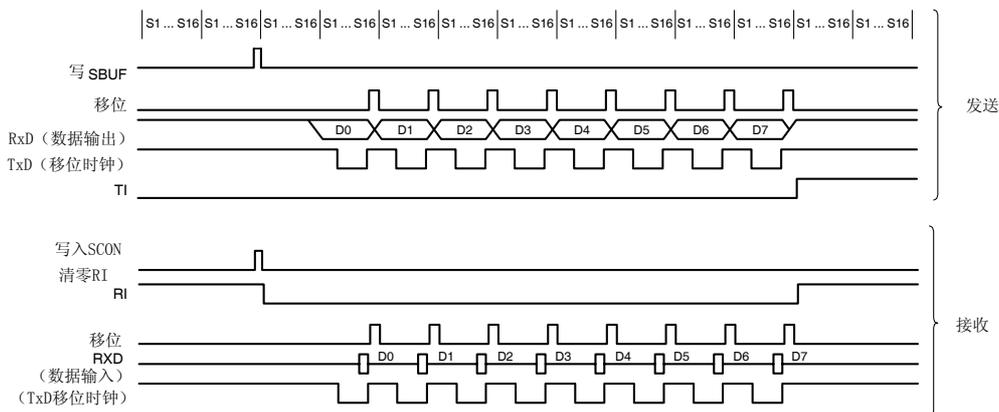


图 28 串口模式 0 (必须禁止双缓冲)

10.11 更多关于 UART 模式 1 的信息

接收在检测到 RxD 端电平 1 到 0 跳变时启动，CPU 对 RxD 不断采样，采速率为波特率的 16 倍。当检测到负跳变时，16 分频计数器立即复位。每个位时间被分成 16 个计数状态。在第 7、8、9 计数状态时，位检测器对 RxD 端的值进行采样。取值为三个采样值中取多数（至少 2 个）作为读入值，这样做是为了抑制噪声。如果在第一个位时间所接收的位不为 0，接收电路复位并等待另一个负跳变的到来。这样可以防止错误的起始位。如果起始位被证明是有效的，则被移入输入移位寄存器，并开始接收这一帧剩余的位。

当且仅当产生最后一位移位脉冲时满足下列条件：RI=0 以及 SM2=0 或接收到的停止位 =1，数据才会被装入 SBUF 和 RB8，并置位 RI。上述两个条件中的任何一个不满足，所接收到的数据帧都会丢失。两个条件都满足时，停止位就进入 RB8，而 8 位数据则进入 SBUF，并且 RI 被激活。

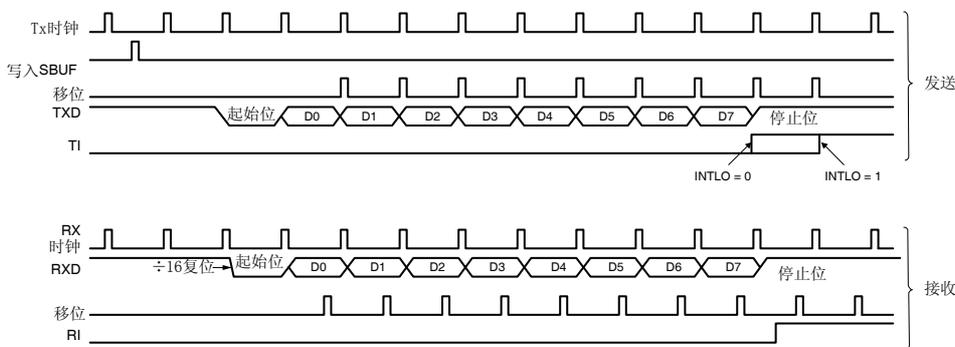


图 29 串口模式 1 (只显示单发送缓冲的状况)

10.12 更多关于模式 2 和模式 3 的信息

接收的工作方式与模式 1 相同。

当且仅当产生最后一位移位脉冲时满足下列条件: (a) RI=0, 以及(b) SM2=0 或接收到的第 9 位数据=1, 数据才会被装入 SBUF 和 RB8, 并置位 RI。上述两个条件中的任何一个不满足, 所接收到的数据帧都会丢失, RI 不被置位。两个条件都满足时, 接收到的第 9 位数据就进入 RB8, 而前 8 位数据则进入 SBUF。

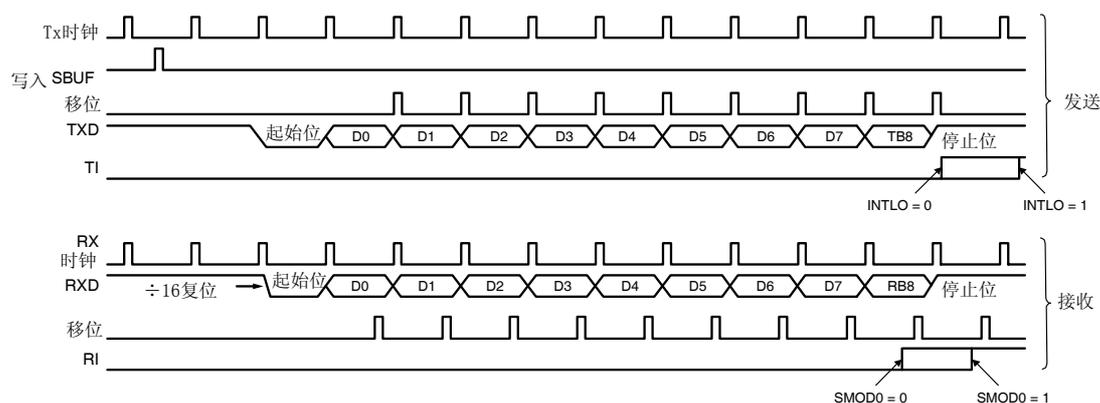


图 30 串口模式 2 或 3 (只显示单发送缓冲的状况)

10.13 模式 2 和 3 中 SM2=1 时的帧错误和 RI

如果在模式 2 和 3 中 SM2=1, RI 和 FE 的状态如下表所示。

表 53 模式 2 和 3 中 SM2=1 时 FE 和 RI 的状态

模式	PCON.6 (SMOD0)	RB8	RI	FE
2	0	0	当 RB8=0 时无 RI	发生在停止位
		1	和图 30 相似, SMOD0=0, RI 在 RB8 时发生, FE 的前一位	发生在停止位
3	1	0	当 RB8=0 时无 RI	不会发生
		1	和图 30 相似, SMOD0=1, RI 在停止位时发生	发生在停止位

10.14 间隔检测

当检测到连续 11 个位都为低时看成是检测到间隔, 间隔检测在状态寄存器 (SSTAT) 中报告。在模式 1 中, 11 个字符由起始位、8 个数据位和 2 个停止位组成。在模式 2 和 3 中, 11 个字符由起始位、9 个数据位和 1 个停止位组成。间隔检测位通过软件或复位清零。间隔检测也可用来复位器件和使器件强制进入 ISP 模式, 前提是 UART 使能且 EBRR 位 (AUXR1.6) 置位和产生间隔。

10.15 双缓冲

UART 具有一个发送双缓冲器,这就允许在发送第一个字符的时候向 SBUF 写入第二个字符。只要下个字符在前一个字符的起始位和停止位之间写入 SBUF,那么发送的字符串中相邻两个字符之间就只有一个停止位。

双缓冲可以被禁止。当禁止时 (DBMOD, 即 SSTAT.7=0), UART 和传统的 80C51 UART 兼容。如果使能该功能, UART 允许在前一个数据移位发送的过程中向 SnBUF 写入新数据。

10.16 不同模式中的双缓冲

只有在模式 1、2 和 3 中才可以使能双缓冲。当处于模式 0 时,必须禁止双缓冲 (DBMOD=0)。

10.17 双缓冲使能时的发送中断 (模式 1, 2 和 3)

与传统的 UART 不同的是,当使能双缓冲时, Tx 中断在双缓冲器准备接收新数据的时候发生。发送的过程是这样的 (假设为 8 个数据位):

1. 双缓冲器初始化为空。
2. CPU 将数据写入 SBUF
3. SBUF 的数据装入移位寄存器并立即产生一个 Tx 中断。
4. 如果有后续的数据, 执行第 6 步, 否则继续往下执行。
5. 如果没有后续的数据, 那么:
 - 如果 DBISEL=0, 不再产生任何中断。
 - 如果 DBISEL=1 且 INTLO=0, 在移位寄存器中当前数据 (也是最后的数据) 停止位的开始产生 Tx 中断。
 - 如果 DBISEL=1 且 INTLO=1, 在移位寄存器中当前数据 (也是最后的数据) 停止位的结束产生 Tx 中断。
 - 注意: 在上一个数据的停止位移出时, 如果 DBISEL=1, 而且 CPU 正将数据写入 SBUF, 这样就会出现一个不确定的状况。即, 在 UART 并不确定是否还有更多的数据要传送的时候, Tx (发送) 中断或许已经产生了。
6. 如果有后续的数据, CPU 再次将数据写入 SBUF。那么:
 - 如果 INTLO=0, 装入新数据并在移位寄存器中当前数据停止位的开始产生 Tx 中断。
 - 如果 INTLO=1, 装入新数据并在移位寄存器中当前数据停止位的结束产生 Tx 中断。
 - 跳到第 3 步。

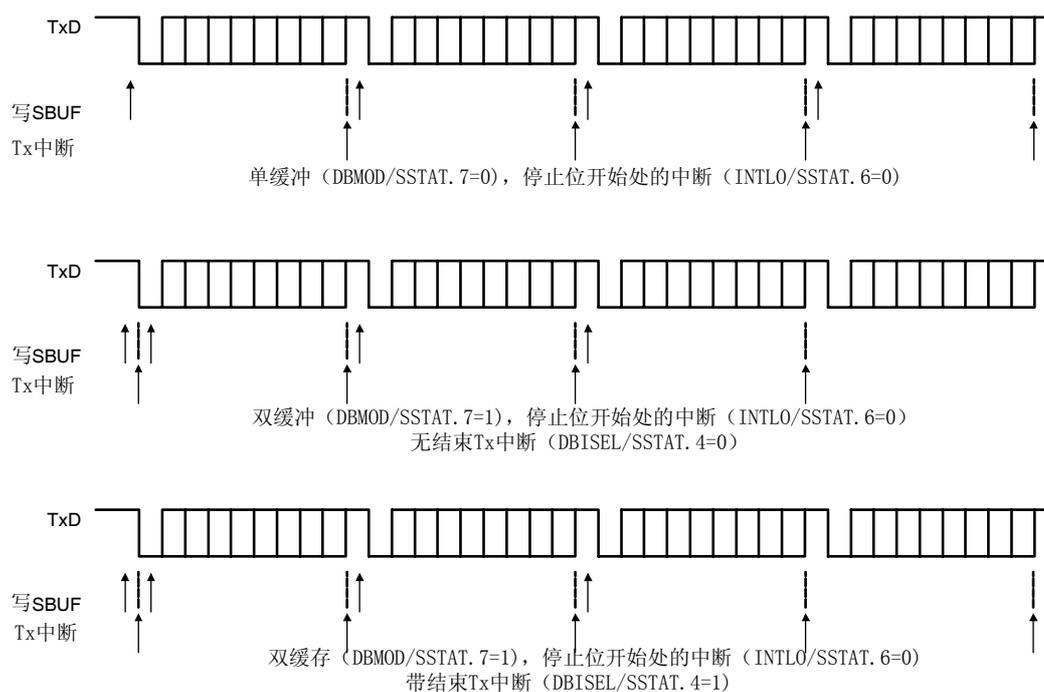


图 31 带双缓冲的发送和不带双缓冲的发送

10.18 双缓冲中的第 9 位数据（模式 1、2 和 3）

如果双缓冲被禁止 (DBMOD, 即 SSTAT.7=0), 对 TB8 的写操作可以在写入 SBUF 之前或之后进行, 只要在 TB8 移出之前被更新即可。TB8 只能在移出之后才能更改 (通过 Tx 中断指示)。

如果双缓冲使能, TB8 必须在写 SBUF 之前更新, 因为 TB8 将和 SBUF 的数据一起双缓冲。第 10.17 节所描述的“带有双缓冲使能的发送中断”操作变为下面这样:

1. 双缓冲器初始化为空。
2. CPU 对 TB8 进行写操作。
3. CPU 将数据写入 SBUF。
4. SBUF/TB8 的数据装入移位寄存器并立即产生一个 Tx 中断。
5. 如果有后续的数据, 执行第 7 步, 否则继续往下执行。
6. 如果没有后续的数据, 那么:
 - 如果 DBISEL=0, 不再产生任何中断。
 - 如果 DBISEL=1 且 INTLO=0, 在移位寄存器中当前数据 (也是最后的数据) 停止位发送的开始产生 Tx 中断。
 - 如果 DBISEL=1 且 INTLO=1, 在移位寄存器中当前数据 (也是最后的数据) 停止位发送的结束产生 Tx 中断。
7. 如果有后续的数据, CPU 再次写 TB8。
8. CPU 再次将数据写入 SBUF。那么:

- 如果 INTLO=0, 装入新数据并在移位寄存器中当前数据停止位发送的开始产生 Tx 中断。
- 如果 INTLO=1, 装入新数据并在移位寄存器中当前数据停止位发送的结束产生 Tx 中断。

9. 跳到第 4 步。

10. 注: 在上一个数据的停止位移出时, 如果 DBISEL=1, 而且 CPU 正将数据写入 SBUF, 这样就会出现一个不确定的状况。即, 在 UART 并不确定是否还有更多的数据要传送的时候, Tx (发送) 中断或许已经产生了。

10.19 多机通信

UART 模式 2 及模式 3 有一个专门的应用领域, 即多机通信。在这些模式下, 发送及接收均为 9 位数据。接收时第 9 位数据存入 RB8。UART 可编程为: 接收到停止位时, 仅当 RB8=1 时串口中断才激活。可通过置位 SCON 内 SM2 位来使能这一特性。下面讲述多机系统使用该特性的一种方法:

当主机需要发送一数据块给某一台从机时, 首先发送一个地址字节以识别目标从机。地址字节与数据字节的区别在于第 9 位数据, 地址字节的第 9 位为 1, 而数据字节的第 9 位为 0。SM2=1 时, 数据字节不会使从机产生中断, 而地址字节则会使所有从机都产生中断, 这样每个从机可以检查接收到的字节并判断是否被寻址。被寻址的从机将清零 SM2 位以准备接收随后的数据字节。未被寻址的从机的 SM2 位仍为 1, 这样就忽略随后的数据字节继续各自工作。

注: 在模式 0 中 SM2 无效, 在模式 1 中 SM2 必须为 0。

10.20 自动地址识别

自动地址识别是这样一种特性, 它允许 UART 使用硬件进行比较, 从串行数据流中识别出特定的地址。这样就不必花费大量软件资源去检查每一个从串口输入的串行地址。将 SCON 内 SM2 置位可使能该特性。在 9 位 UART 模式 (模式 2 和模式 3) 下, 如果接收的字节中包含“给定”地址或“广播”地址, 接收中断标志 (RI) 将自动置位。在 9 位模式下要求第 9 个信息位为 1 以表明接收的信息是地址而非数据。

使用自动地址识别特性时, 主机通过调用给定的从机地址选择与一个 (或多个) 从机通信。使用广播地址可以联系所有的从机。有两个特殊功能寄存器用来定义从机地址: SADDR 寄存器和地址屏蔽寄存器 SADEN。SADEN 用于定义 SADDR 内哪几位需要使用而哪几位是无关位。SADEN 屏蔽可以与 SADDR 逻辑“与”得出给定的地址, 主机使用该地址对每一从机进行寻址。使用给定地址可以识别多个从机而排除另外的从机。下面的例子就显示了该方案的通用性:

表 54 从机 0/1 举例

例 1		例 2	
从机 0	SADDR=1100 0000 SADEN= <u>1111 1101</u> 给定地址=1100 00x0	从机 1	SADDR=1100 0000 SADEN= <u>1111 1110</u> 给定地址=1100 000x

上例中 SADDR 相同，而 SADEN 的数据用于区分两个从机。从机 0 要求位 0 为 0 而忽略位 1。从机 1 则要求位 1 为 0 而忽略位 0。由于从机 1 要求位 1 必须为 0，从机 0 唯一的地址应当是 1100 0010。由于要排除从机 0，位 0 必须为 1，因此从机 1 唯一的地址应当为 1100 0001。而取地址 1100 0000 时两从机都可被寻址。

在更复杂的系统中，可用下面的例子来选择从机 1 和从机 2，不选择从机 0。

表 55 从机 0/1/2 举例

例 1	例 2	例 3
从机 0 SADDR=1100 0000 SADEN= <u>1111 1001</u> 给定地址=1100 0xx0	从机 1 SADDR=1110 0000 SADEN= <u>1111 1010</u> 给定地址=1110 0x0x	从机 2 SADDR=1100 0000 SADEN= <u>1111 1100</u> 给定地址=1110 00xx

上述三个从地址只有低 3 位不同。从机 0 要求位 0=0，它可通过 1110 0110 单独寻址；从机 1 要求位 1 为 0，可通过 1110 0101 单独寻址；从机 2 要求位 2 为 0，可通过 1110 0011 单独寻址。由于必须使地址字节的第 2 位为“1”以屏蔽从机 2，因此使用地址 1110 0100 可选择从机 0 和 1 同时屏蔽从机 2。将 SADDR 和 SADEN 相“或”后产生每个从机的“广播”地址，结果为零的位视为无关位。大多数情况下，无关位被解释为 1，这样，“广播”地址为 FFH。复位时 SADDR 和 SADEN 均为 00H，此时产生了一个所有位都是无关位的给定地址，即所有位都“无关”的广播地址。这样有效地禁止了自动寻址模式，允许微处理器使用不带有上述特性的标准 UART 驱动器。

11. 模拟比较器

P89LPC9102/9103/9107 有 1 个模拟比较器，输入和输出选项允许将比较器配置成为不同模式。当正向输入（二个可选择脚之一）电压大于反向输入时（可选择外部管脚输入或内部参考电压），输出信号为“1”（可从寄存器读出和/或输出到管脚），反之则输出为“0”。每个比较器都可配置为当输出值发生改变时产生中断。

11.1 比较器配置

每个比较器都有一个控制寄存器，CMP1，如表 57 所示。

比较器总的连接方式如图 32 所示。比较器有 8 种可能的配置方式，由对应 CMP1 寄存器的控制位：CP1, CN1 和 OE1 来决定。这些配置如图 33 所示。

当每个比较器刚被使能时，比较器输出和中断标志需要 10 微秒的稳定时间，在这段时间里，相应的比较器中断不应使能，并且在使能中断以前必须清零相应的比较器中断标志，以避免立即响应中断服务。

表 56 比较器控制寄存器（CMP1-地址 ACh）位分配

位	7	6	5	4	3	2	1	0
符号	-	-	CE1	CP1	CN1	-	CO1	CMF1
复位	x	x	0	0	0	x	0	0

表 57 比较器控制寄存器 (CMP1-地址 ACh) 位描述

位	符号	描述
0	CMF1	比较器中断标志。当比较器输出 CO1 状态改变时由硬件置位。使能比较器中断时, 该位置位可产生硬件中断。通过软件清零。
1	CO1	比较器输出, 和 CPU 同步以允许软件进行读取。
2	-	保留。
3	CN1	比较器反向输入选择位, 为 '0' 时选择 CMPREF 作为比较器反向输入, 为 '1' 时选择内部比较器参考电压 Vref 作为比较器反向输入。
4	CP1	比较器正向输入选择位, 为 '0' 时选择 CINnA 作为正向输入, 为 '1' 时选择 CINnB 作为正向输入。
5	CE1	比较器使能位。置位时, 使能对应的比较器。CE1 置位 10 微秒后比较器输出有效值。
6	-	保留。
7	-	保留。

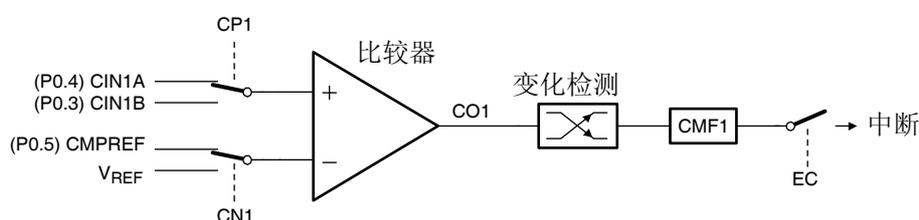


图 32 比较器输入和输出的连接

11.2 内部参考电压

当使用单个比较器输入管脚时, 内部参考电压 Vref 可提供一个默认的参考电压。详细内容请参考数据手册 P89LPC9102/9103/9107。

11.3 比较器中断

比较器配置寄存器中有一个比较器中断标志位 CMF1。当比较器输出状态改变时中断标志位位置, 此标志位可通过软件查询或用于产生一个中断。如果 IEN1 寄存器的中断使能位 EC 置位且通过配置 IEN0 寄存器的 EA 位使中断系统使能, 可产生中断。

当比较器被禁止时, 比较器的输出 CO1 变为高电平。如果比较器在输出为低电平时被禁止, 比较器的输出就由低变高, 这样将使比较器标志 CMF1 置位。如果比较器中断被使能, 将产生中断。因此, 用户必须在比较器被禁止前关闭比较器中断, 另外, 用户应在比较器被禁止后清除比较器标志 CMF1。

11.4 比较器和节电模式

在掉电模式或空闲模式下, 比较器可以继续保持使能状态。但在完全掉电模式中比较器自动被禁止。

当比较器中断使能时 (完全掉电模式除外), 比较器输出发生改变时将会产生一个中断并将处理器唤醒。

比较器在掉电和空闲模式以及正常工作模式下都会消耗功率。当系统功耗是一个重要的指标时，就必须将比较器的功耗考虑在内。若要降低功耗，用户可通过置位 PCONA.5 来禁止比较器，或将器件设置为完全掉电模式。

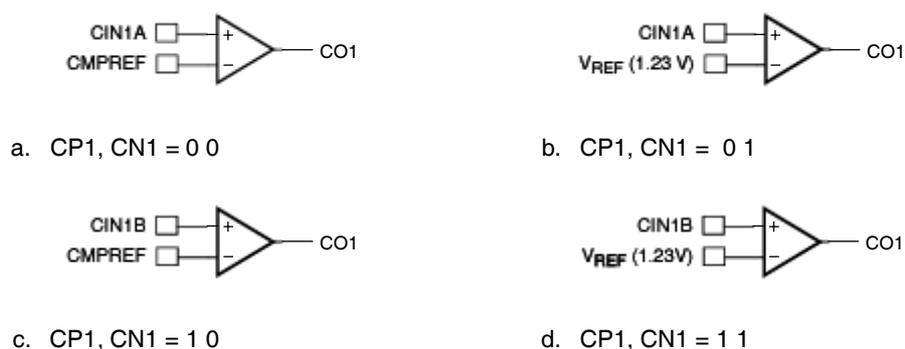


图 33 比较器配置

11.5 比较器配置举例

下面是一段比较器初始化的程序。比较器 1 配置如下：CIN1A 和 CMPREF 为输入，比较器输出改变时产生中断。

```

CMPINIT:
MOV    PT0AD,#030h    ; 禁止管脚 CIN1A,CMPREF 的数字输入功能
ANL    P0M2,#0CFh    ; 禁止 CIN1A,CMPREF 的数字输出功能
ORL    P0M1,#030h    ; 对于模拟功能: CIN1A, CMPREF
MOV    CMP1,#020h    ; 开启比较器 1, 并进行如下设置:
                    ; -CIN1A 为正向输入。
                    ; -CMPREF 管脚为反向输入。

CALL   delay10us    ; 比较器启动后至少 10us 方可使用
ANL    CMP1,#0FEh    ; 清除比较器 1 的中断标志。
SETB   EC           ; 使能比较器中断。当前值的中断优先级不变。
SETB   EA           ; 使能中断系统 (如果有必要)
RET    ; 返回调用处。
    
```

比较器中断服务程序返回前必须先清除中断标志 (CMF1)。

12. 键盘中断 (KBI)

键盘中断功能主要用于当 P0 口等于或不等于特定的模式时产生一个中断。该功能可用于总线地址识别或对键盘的识别。用户可通过 SFR 将端口配置为不同的用途。

有 3 个特殊功能寄存器用于该功能。键盘中断屏蔽寄存器 (KBMASK) 用于定义连接到 P0 口的使能触发中断的输入管脚。键盘模式寄存器 (KBPATN) 用于定义与 P0 口值相比较的模式。当键盘中断功能有效且条件匹配时，键盘中断控制寄存器 (KBCON) 中的键盘中断标志位 (KBIF) 置位。如果通过置位 IEN1 寄存器的 EKBI 位且 EA=1 将中断使能，则会产生一个中断。键盘中断控制寄存器 (KBCON) 中的 PATN_SEL 位用于比较时定义等于或不等于。

为了将键盘中断设置为类似 87LPC76x 的 KBI 功能，用户必须设置 KBPATN=0FFh 和 PATN_SEL=0（不相等），这样由 KBMASK 寄存器使能的任何连接到 P0 口管脚按键都将使硬件置位 KBIF 并产生中断（如果中断使能）。中断可用于将 CPU 从空闲模式或掉电模式中唤醒。此特性尤其适合便携式且使用电池供电的系统，因为这些系统需要对功耗进行管理同时又要方便用户使用。

为了置位中断标志并产生中断，P0 口的模式的保持时间必须长于 6 个 CCLK。

表 58 键盘模式寄存器（KBPATN-地址 93h）位分配

位	7	6	5	4	3	2	1	0
符号	-	-	-	-	-	KBPATN.2	KBPATN.1	-
复位	x	x	x	x	x	1	1	x

表 59 键盘模式寄存器（KBPATN-地址 93h）位描述

位	符号	访问	描述
0	-	-	保留
1: 2	KBPATN.1: 2	R/W	键盘模式位 1~位 2
3: 7	-	-	保留

表 60 键盘控制寄存器（KBCON-地址 94h）位分配

位	7	6	5	4	3	2	1	0
符号	-	-	-	-	-	-	PATN_SEL	KBIF
复位	x	x	x	x	x	x	0	0

表 61 键盘控制寄存器（KBCON-地址 94h）位描述

位	符号	访问	描述
0	KBIF	R/W	键盘中断标志。当 P0 与用户在 KBPATN,KBMASK 和 PATN_SEL 中定义的条件匹配时，该位置位。需要通过软件向其写入 0 清零。
1	PATN_SEL	R/W	模式匹配极性选择。置位时，P0 口必须等于用户在 KBPATN 中定义的模式才能产生中断。清零时，P0 口必须不等于 KBPATN 寄存器的值时才能产生中断。
2:7	-	-	保留

表 62 键盘中断屏蔽寄存器（KBMASK-地址 86h）位分配

位	7	6	5	4	3	2	1	0
符号	-	-	-	-	-	KBMASK.2	KBMASK.1	-
复位	x	x	x	x	x	0	0	x

表 63 键盘中断屏蔽寄存器（KBMASK-地址 86h）位描述

位	符号	描述
0	-	保留
1: 2	KBPATN.1: 2	键盘模式位 1~位 2
3: 7	-	保留

[1] 为了使 KBMASK 寄存器的设置有效，键盘中断必须被使能。

13. 看门狗定时器(WDT)

当软件没能在定时器到达终端计数之前将其重装而产生计数下溢时，看门狗定时器就会引起系统复位，这样使得看门狗定时器子系统保护系统避免它执行错误代码。看门狗定时器只能通过上电复位实现复位。

13.1 看门狗功能

用户可以使用 WDCON 和 UCFG1 寄存器控制 WDT 的开/关、WDT 的时钟源、预分频值和溢出时是否使能 WDT 使器件复位。另外，WDT 还含有一种安全机制，可利用 UCFG1 的配置值通过 IAP 或商业编程器来强制使能 WDT。

如果 WDTE 位（UCFG1.7）被置位，使能 WDT 溢出时对器件的复位。复位后，不管 WDTE 位是何种状态，WDT 将继续运行。

通过 WDRUN 位（WDCON.2）的置位和清零分别起动和关闭 WDT。复位后该位被置位，WDT 保持运行状态。每次写 WDCON 操作后都跟随一个喂狗序列（见 13.2 节）。用户可以通过 WDCON 的其它位来选择 WDT 的时钟源和预分频值。

当未使能看门狗溢出对器件的复位时，如果需要，WDT 可工作在“定时器模式”并被使能产生中断（IEN0.6）。

看门狗安全使能位 WDSE（UCFG1.4）和 WDTE 一起，可在上电时使看门狗强制进入某种工作状态。详情请参考表 64。

图 36 所示为看门狗定时器工作在看门狗模式。它包含一个可编程的 13 位预分频器和一个 8 位倒计数器。该倒计数器以预分频器的节拍作为时钟源（递减）。预分频器的时钟源可选择 PCLK 或看门狗振荡器，由 WDCON 寄存器的 WDCLK 位决定。（注：时钟源的切换不会立即生效——见 13.3 节。）

当看门狗复位使能且发生向下溢出时，看门狗将提交看门狗复位。当看门狗复位使能时，在写入 WDL 或 WDCON 后必须执行一个喂狗序列以使新的值生效。

如果发生看门狗复位，内部复位至少保持一个看门狗时钟周期（PCLK 或看门狗振荡器时钟）有效。如果 CCLK 仍然运行，代码将在复位周期之后立即开始执行。如果处理器处于掉电模式，看门狗复位将启动振荡器并在振荡器稳定之后恢复代码的执行。

表 64 看门狗定时器配置

WDTE (UCFG1.7)	WDSE (UCFG1.4)	功能
0	X	禁止看门狗复位。定时器可用作内部定时器并可用来产生中断。此时，WDSE 的值无影响。
1	0	使能看门狗复位。用户可通过设置 WDCLK 来选择时钟源。
1	1	使能看门狗复位，并具有以下安全特性： <ol style="list-style-type: none"> 1. WDCLK 强制为 1（使用看门狗振荡器） 2. WDCON 和 WDL 寄存器只可写一次 3. WDRUN 强制为 1 且不能通过软件清零。

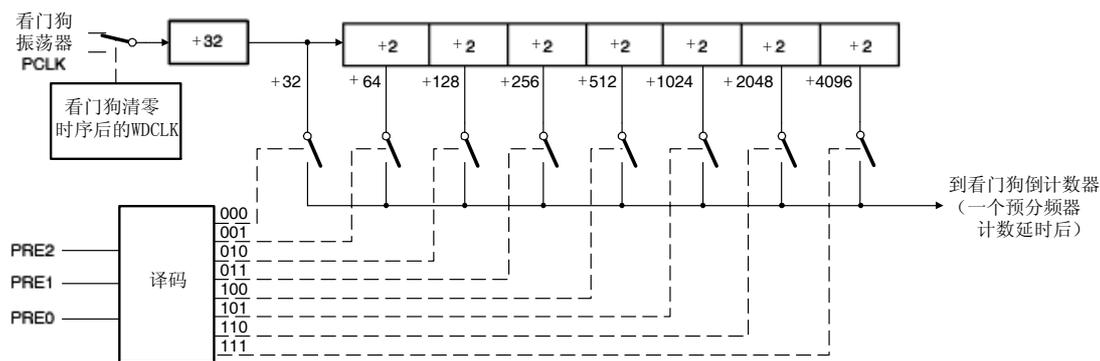


图 34 看门狗预分频器

13.2 看门狗喂狗序列

看门狗定时器控制寄存器和 8 位倒计数器(图 35)并不直接由用户装载。用户对 WDCON 和 WDL SFR 进行写操作。在喂狗序列结束时，WDCON 和 WDL SFR 寄存器的值装入控制寄存器和 8 位倒计数器。在喂狗序列之前，任何写入这两个寄存器的新值都将无效。为了避免看门狗复位，看门狗定时器必须在定时溢出前进行喂狗（通过一个叫做“喂狗序列”的特殊软件时序）。

要喂狗看门狗，必须按顺序执行两条指令。在这两条写指令之间允许读 SFR 但不允许写操作。这两条指令应该将 A5H 送入 WFEED1 寄存器并将 5AH 送入 WFEED2 寄存器。不正确的喂狗序列会立即导致看门狗复位。下面是一个喂狗序列操作实例：

CLR	EA	；禁止中断
MOV	WFEED1,#0A5h	；执行清零第一部分
MOV	WFEED2,#05Ah	；执行清零第二部分
SETB	EA	；使能中断

该序列假设 P89LPC9102/9103/9107 中断系统已经使能且有可能在看门狗喂狗过程中产生中断请求。若允许中断响应且该中断服务程序中包含对 SFR 的任意写操作，这种情况将会触发看门狗复位。如果在喂狗序列中不会发生中断，可以取消禁止和重新使能中断的指令。

在看门狗模式中（WDTE=1），写入 WDCON 后必须立即执行一次喂狗序列以把 WDL 装入 8 位倒计数器，WDCON 装入映像寄存器。如果不这样操作将立即导致看门狗复位。例如：设置 WDRUN=1：

MOV	ACC,WDCON	；取出 WDCON 的值
SETB	ACC.2	；设置 WD_RUN=1
MOV	WDL,#0FFh	；装入 8 位倒计数器的新值
CLR	EA	；禁止中断
MOV	WDCON,ACC	；写回到 WDCON（在看门狗使能后，必须立即执行喂狗序列）
MOV	WFEED1,#0A5h	；执行第一部分喂狗
MOV	WFEED2,#05Ah	；执行第二部分喂狗
SETB	EA	；使能中断

定时器模式中（WDTE=0），每 CCLK 周期将 WDCON 装入控制寄存器一次（无需喂狗序列），但在溢出发生之前，将 WDL SFR 寄存器值装入 8 位倒计数器时需要执行喂狗序列。

看门狗定时器在溢出前的时钟个数可由下面的等式得到:

$$tclks = (2^{(5+PRE)})(WDL+1)+1 \quad (1)$$

其中,

- PRE 为预分频器的值 (PRE2-PRE0), 范围为 0 到 7。
- WDL 为看门狗装载寄存器的值, 范围为 0 到 255。

因此 tclks 的最小个数为:

$$tclks = (2^{(5+0)})(0+1)+1 = 33 \quad (2)$$

tclks 的最大个数为:

$$tclks = (2^{(5+7)})(255+1)+1 = 1,048,577 \quad (3)$$

表 67 所示为 P89LPC9102/9103/9107 看门狗溢出值的取样。

表 65 看门狗定时器控制寄存器 (WDCON-地址 A7h) 位分配

位	7	6	5	4	3	2	1	0
符号	PRE2	PRE1	PRE0	-	-	WDRUN	WDTOF	WDCLK
复位	1	1	1	x	x	1	1/0	1

表 66 看门狗定时器控制寄存器 (WDCON-地址 A7h) 位描述

位	符号	描述
0	WDCLK	看门狗输入时钟选择位。置位时, 选择看门狗振荡器作为时钟源; 为 0 时, 选择 PCLK。(如果 CPU 处于掉电状态, 当 WDCLK=0 时, 看门狗被禁止, 见 13.5 节)。(注: 如果 WDTE 和 WDSE 都置位, 该位强制为 1。)详细内容请参考 13.3 节。
1	WDTOF	看门狗定时器溢出标志。该位在 8 位倒计时器溢出时置位。在看门狗模式中, 一个喂狗序列将清零该位。还可通过软件向其写入 0 将其清零。
2	WDRUN	看门狗运行控制位。看门狗定时器在 WDRUN=1 时启动并在 WDRUN=0 时停止。该位在 WDTE 和 WDSE 都置位时被强制设置为 1 (看门狗运行)。
3:4	-	保留
5	PRE0	时钟预分频器节拍选择, 详见表 67。
6	PRE1	
7	PRE2	

表 67 看门狗溢出值取样

PRE2-PRE0	WDL (十进制)	溢出周期 (看门狗时钟 周期)	看门狗时钟源	
			400KHz 看门狗振荡器时钟 (正常)	12MHz CCLK(6MHz CCLK/2 看门狗时钟)
000	0	33	82.5μs	5.50μs
	255	8,193	20.5ms	1.37 ms
001	0	65	162.5μs	10.8μs
	255	16,385	41.0ms	2.73 ms
010	0	129	322.5μs	21.5μs
	255	32,769	81.9ms	5.46 ms
011	0	257	642.5μs	42.8μs

PRE2-PRE0	WDL (十进制)	溢出周期 (看门狗时钟 周期)	看门狗时钟源	
			400KHz 看门狗振荡器时钟 (正常)	12MHz CCLK(6MHz CCLK/2 看门狗时钟)
011	255	65,537	163.8ms	10.9 ms
100	0	513	1.28ms	85.5μs
	255	131,073	327.7ms	21.8 ms
101	0	1,025	2.56ms	170.8μs
	255	262,145	655.4ms	43.7 ms
110	0	2,049	5.12ms	341.5μs
	255	524,289	1.31s	87.4 ms
111	0	4097	10.2ms	682.8ms
	255	1,048,577	2.62s	174.8 ms

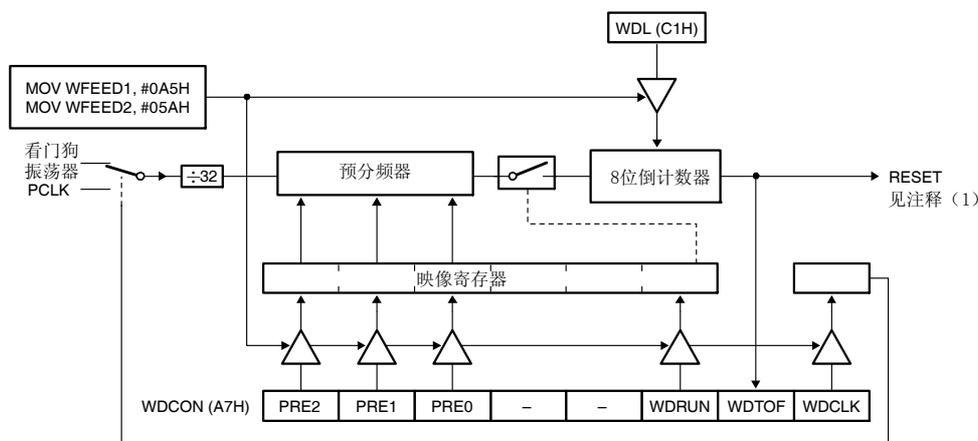
13.3 看门狗时钟源

看门狗定时器系统片内包含一个 400kHz 的振荡器。通过配置看门狗控制寄存器 WDCON 的 WDCLK 位来选择看门狗振荡器或 PCLK（参考图 34）作为看门狗的时钟源。如果看门狗特性被使能，为了防止看门狗溢出时复位 CPU，必须定时通过软件定期地将定时器喂狗。

在改变 WDCLK(WDCON.0)之后，对时钟源的切换不会立即生效。如图 36 所示，要在一个喂狗序列之后才将选择装入。此外，由于时钟同步逻辑的关系，在放弃旧的时钟源之前可经过两个旧的时钟周期。然后需要两个新的时钟周期以使新的时钟有效。

由于喂狗结束后预分频器立刻开始计数，切换时钟会造成预分频器的计数误差。此误差为 2 个旧时钟源加 2 个新时钟周期。

注：当切换时钟时，很重要的一点就是，在完成喂狗序列后将旧的时钟再保持 2 个时钟周期。否则，当旧的时钟源禁止时看门狗也被禁止。例如，假设 PCLK(WCLK=0)为当前的时钟源，在将 WCLK 设置为 1 后，程序在喂狗序列完成后至少应当等待 2 个 PCLK 周期(4 个 CCLK)才能进入掉电模式。否则，当 CCLK 关闭时，看门狗也会被禁止。看门狗振荡器永远也不可能成为时钟源，除非 CCLK 再次打开。



(1) 无效的喂狗序列或在喂狗序列后不立即写 WDCON 都可造成看门狗定时器的复位。

图 35 看门狗模式中的看门狗定时器 (WDTE=1)

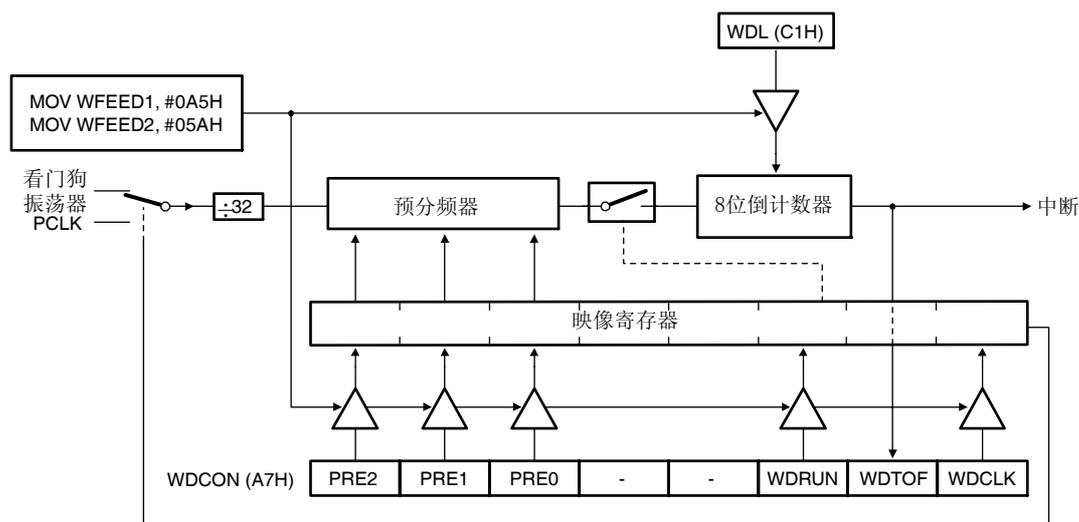


图 36 定时器模式中的看门狗定时器 (WDTE=0)

13.4 定时器模式中的看门狗定时器

图 36 所示为定时器模式中的看门狗定时器。在该模式中，WDCON 的任何改变都将 在一个看门狗时钟周期后写入映像寄存器。看门狗溢出将置位 WDTOF 位。如果 IEN0.6 置位，看门狗的溢出将使能以产生中断。WDTOF 通过软件向其写入 0 清零。看门狗溢出时，WDL 的内容重新装入倒计数器并且倒计数器立即重新开始计数。

溢出前，将 WDL 装入倒计数器仍然需要执行喂狗序列。错误的喂狗序列在该模式中将被忽略。

13.5 掉电操作

掉电模式下，只要 WDT 振荡器用作 WDT 的时钟源，WDT 振荡器将继续运行，消耗大约 50uA 的电流。如果选择 PCLK 作为 WDT 的时钟源，WDT 振荡器将和其它器件一同进入掉电模式（见 13.3 节）。掉电模式也将使 PCLK 停止运行，导致看门狗被禁止。

13.6 不使用外部振荡器的掉电周期唤醒

在不使用外部振荡器的条件下，周期性唤醒所需功耗取决于用来产生唤醒信号的内部振荡器的功耗。内部 RC 振荡器可用作实时时钟的时钟源，它消耗的电流大约为 300uA。如果用 WDT 代替 RC 振荡器来产生中断，消耗的电流可降至 50uA。WDT 溢出时可将器件唤醒。

14. 附加特性

AUXR1 寄存器包含了几个特殊用途的控制位，这些位分别与几种芯片功能相关联。AUXR1 在表 69 中描述。

表 68 AUXR1 寄存器（地址 A2h）位分配

位	7	6	5	4	3	2	1	0
符号	CLKLP	EBRR	ENT1	ENT0	SRST	0	-	DPS
复位	0	0	0	0	0	0	x	0

表 69 AUXR1 寄存器（地址 A2h）位描述

位	符号	描述
0	DPS	数据指针选择位。选择两个数据指针中的一个。
1	-	未用。允许设置成“1”。
2	0	该位固定为 0。这样就允许通过将 AUXR1 加 1 来使 DPS 位翻转而不影响寄存器的其它位。
3	SRST	软件复位。当 SRST 通过软件置位时，复位 P89LPC9102/9103/9107，就像产生了硬件复位一样。
4	ENT0	置位时，定时器 0 溢出使 P1.2 翻转。输出频率是定时器 0 溢出速率的一半。请参考定时/计数器的相关描述。（P89LPC9102/9107）
5	ENT1	置位时，定时器 1 溢出使 P0.7 翻转。输出频率是定时器 1 溢出速率的一半。请参考定时器/计数器的相关描述。（P89LPC9102/9107）
6	EBRR	UART 间隔检测复位使能位。如果该位为 1，UART 间隔检测将导致芯片复位并使器件强制进入 ISP 模式。（P89LPC9103）
7	CLKLP	时钟低功耗选择位。置位时降低时钟电路的功耗。当时钟频率为 8MHz 或以下时可置位该位。复位后该位清零以支持时钟频率高达 12MHz 的操作。

14.1 软件复位

AUXR1 寄存器的 SRST 位可使软件完全将处理器复位，就像产生了一个外部复位或看门狗复位一样。如果一个值写入 AUXR1（位 3 为逻辑 1），所有 SFR 将被初始化且在程序地址 0000 恢复执行。写入 AUXR1 时务必小心以防止产生意外的软件复位。

14.2 双数据指针

CPU 可利用双数据指针（DPTR）来指向指令中使用的地址。AUXR1 寄存器的 DPS 位选择两个数据指针中的一个。软件无法访问当前未被选择的 DPTR，除非 DPS 位状态改变。

受数据指针选择影响的指令有：

INC	DPTR	数据指针加 1
JMP	@A+DPTR	跳转到 DPTR 的相对间接地址
MOV	DPTR,#data16	数据指针装入一个 16 位的常数
MOVC	A,@A+DPTR	将 DPTR 相对地址的代码字节移入累加器
MOVX	A,@DPTR	将 DPTR 指向的数据存储单元的数据字节移入累加器
MOVX	@DPTR,A	将累加器的数据字节移入 DPTR 指向的数据存储单元

而且任何读取或操纵 DPH 和 DPL 寄存器（当前 DPTR 的高字节和低字节）的指令都受 DPS 位设置的影响。MOVX 指令在 P89LPC9102/9103/9107 中的应用受到限制，因为它们没有外部数据总线。但是，它们可用来访问 Flash 配置信息（见“Flash 配置”）或辅助数据（XDATA）存储器。

AUXR1 的位 2 固定为 0。这样 DPS 位可以简单地通过将 AUXR1 加 1 来翻转（由此来切换数据指针），而不会改变寄存器的其它位。

15. Flash 程序存储器

P89LPC9102/9103/9107 Flash 存储器提供在电路中的电擦除和编程。Flash 能够以字节为单位进行读取和写入。扇区和页擦除功能可擦除任何 Flash 扇区（256 字节）或页（16 字节）。芯片擦除操作可擦除整个程序存储器。可使用两种 Flash 编程方法。片内产生的擦除和写入时序为用户提供了友好的编程接口。P89LPC9102/9103/9107 Flash 存储器甚至在经过 100,000 次擦除和编程周期之后仍然能可靠地保存存储器的内容。存储单元的设计优化了擦除和编程结构。P89LPC9102/9103/9107 使用 V_{DD} 电压来执行编程/擦除算法。

15.1 特性

- 使用工业标准的商用编程器进行在在电路串行编程（ICP）。
- 在最终应用程序控制下，IAP-Lite 允许代码存储器的单个或多个字节用于数据存储和编程。可在整个操作电压范围内执行编程和擦除。
- 使用 IAP-Lite 进行读/编程/擦除。
- 任意 Flash 编程/擦除时间小于 2ms（4ms 擦除/编程）。
- 可对每一个 Flash 扇区进行编程加密
- 每个字节至少可执行 100,000 次擦除/编程周期。
- 数据至少可保存 10 年。

15.2 Flash 编程和擦除

P89LPC9102/9103/9107 程序存储器包含 256 字节的扇区。每个扇区可进一步分成 16 字节的页。除了扇区擦除和页擦除以外，还包含一个 16 字节页寄存器的擦除。页擦除可对给定页的 1 到 16 字节进行同时编程，彻底降低了整个编程的时间。

15.3 Flash 用作数据存储器：IAP-Lite

P89LPC9102/9103/9107 的 Flash 程序存储阵列还支持 IAP-Lite 操作。程序存储阵列中未加密扇区的任何字节都可通过 MOV_C 指令读取，因此，未加密扇区可用作非易失性数据存储器。IAP-Lite 还提供一种简易的擦除—编程功能，可方便地完成一页中一个或多个字节的擦除和编程，而不需擦除或编程该页中其它字节的内容。IAP-Lite 功能在微控制器的固件控制下实现，利用 4 个 SFR 和 1 个内部 16 字节“页寄存器”就可在未加密扇区内方便地执行擦除和编程操作。这 4 个 SFR 为：

- FMCON（Flash 控制寄存器）。读时用作状态寄存器；写时用作命令寄存器。注：写入命令时状态位被清零。
- FMDATA（Flash 数据寄存器）。存放要装入页寄存器的数据。
- FMADRL, FMADRH（Flash 存储器地址低字节, Flash 存储器地址高字节）。用来指示页寄存器的字节地址或用户程序存储器的页。

页寄存器包括 16 个字节，每个字节都有一个更新标志。当将一个 LOAD 命令写入 FMCON 时，页寄存器内容和所有更新标志都被清零。当 FMDATA 被写入数据时，写入的值存放在 FMADRL 低 4 位指定的页寄存器单元。另外，相应单元的更新标志置位。FMADRL 自动增加到下一个单元。在页寄存器的最后一个字节被写入后，FMADRL 重新指向页寄存器的第一个字节，但不影响 FMADRL[7:4] 的值。此时，不能继续向页寄存器写入数据了。通过在写入 FMDATA 前改变 FMADRL 的内容可将任何字节单元装入页寄存器。但是，每发布一个 LOAD 命令，页寄存器的每个单元只能被写入一次。不要试图对一个页寄存器单元执行多次写操作。

FMADRH 和 FMADRL[7:4] 用来选择执行擦除-编程功能的程序存储器页。当向 FMCON 写入擦除-编程命令后，页寄存器中被更新单元对应程序存储器页的单元的所有内容被清除，页寄存器中相应单元的内容被编程到程序存储器页中。只有用户程序阵列中装入页寄存器的字节才可被擦除和编程。用户程序存储器的其它字节不受影响。

向 FMCON 写入擦除-编程命令（68H）将启动擦除-编程过程并使 CPU 进入编程-空闲状态。CPU 会一直保持这种空闲状态直到擦除-编程周期结束或被一个中断终止。从编程-空闲状态退出后，FMCON 将包含该周期的状态信息。

如果在擦除/编程周期内有中断产生，擦除/编程操作被终止，FMCON 的 OI 标志（操作被中断）置位。如果某一应用允许在擦除-编程过程中产生中断，可通过用户程序在每次擦除-编程操作后检查 OI 标志（FMCON.0）来判断操作是否被终止。一旦擦除-编程操作被终止，用户程序需要从装载页寄存器开始重复整个过程。

不管有多少个字节装入页寄存器，擦除-编程周期的时间为 4ms（2ms 擦除，2ms 编程）。程序存储器中一个字节（或多个字节）的擦除-编程操作步骤如下：

- 向 FMCON 写入 LOAD 命令（00H）。LOAD 命令将清除页寄存器的所有存储单元及相应的更新标志。
- 将页寄存器内的地址写入 FMADRL。由于 FMADRL[3:0] 用来装载页寄存器地址，FMADRH 和 FMADRL[7:4] 用来装载擦除-编程命令，所以，用户此时可写入页寄存器内的字节单元（FMADRL[3:0]）和程序存储器页地址（FMADRH 和 FMADRL[7:4]）。
- 将要编程的数据写入 FMDATA。这可让 FMADRL 增加，使其指向页寄存器的下一个字节。
- 如果需要的话，将要编程的下一个字节的地址写入 FMADRL（如果是连续字节就不需要，因为 FMADRL 是自动递增的）。所有被编程的字节必须在同一页中。
- 将要编程的下一字节数据写入 FMDATA。
- 重复 FMADRL 和/或 FMDATA 的写操作，直至所有要编程的字节都被装入页寄存器。
- 将用户程序存储器的页地址写入 FMADRH 和 FMADRL[7:4]。（如果之前向 FMADRL[3:0] 写入页寄存器地址时，没有将用户程序存储器的页地址写入 FMADRH 和 FMADRL[7:4]）。
- 向 FMCON 写入擦除-编程命令（68H），启动擦除-编程周期。
- 读 FMCON 来检查状态。如果操作被终止，重新通过 LOAD 命令来启动操作。

表 70 Flash 存储器控制寄存器 (FMCON-地址 E4h) 位分配

位	7	6	5	4	3	2	1	0
符号(R)	-	-	-	-	HVA	HVE	SV	OI
符号(W)	FMCMD.7	FMCMD.6	FMCMD.5	FMCMD.4	FMCMD.3	FMCMD.2	FMCMD.1	FMCMD.0
复位	0	0	0	0	0	0	0	0

表 71 Flash 存储器控制寄存器 (FMCON-地址 E4h) 位描述

位	符号	访问	描述
0	OI	R	操作被中断。由于中断或复位而使擦除-编程终止时该位置位。
	FMCMD.0	W	命令字节位 0。
1	SV	R	加密出错位。试图对加密扇区或页进行编程、擦除或 CRC 校验时该位置位。
	FMCMD.1	W	命令字节位 1。
2	HVE	R	高电压错误位。高电压发生器出错时该位置位。
	FMCMD.2	W	命令字节位 2。
3	HVA	R	高电压终止位。当在编程或擦除周期内检测到中断或掉电时以及在编程或擦除周期开始时掉电检测被禁止时置位该位。
	FMCMD.3	W	命令字节位 3。
4:7	-	R	保留。
4:7	FMCMD.4	W	命令字节位 4。
4:7	FMCMD.5	W	命令字节位 5。
4:7	FMCMD.6	W	命令字节位 6。
4:7	FMCMD.7	W	命令字节位 7。

装载页寄存器和执行一次擦除/编程操作的汇编程序如下所示。

```

; *****
; *编程用户代码      *
; *****
; *
; * 输入:
; * R3 = 编程字节数 (字节)
; * R4 = 页地址 MSB (字节)
; * R5 = 页地址 LSB (字节)
; * R7 = RAM 数据缓冲区指针 (字节)
; * 输出:
; * R7 = 状态 (字节)
; * C = 无错时清零, 有错时置位
; *****

LOAD EQU 00H
EP EQU 68H

PGM_USER:
    MOV FMCON,#LOAD ; 装载命令, 清除页寄存器
    MOV FMADRH,R4 ; 写入高地址
    MOV FMADRL,R5 ; 写入低地址
    
```

```

MOV    A,R7                ;
MOV    R0,A                ; 指针装入 R0
LOAD_PAGE:
MOV    FMDAT,@R0          ; 数据写入页寄存器
INC    R0                  ; 指向下一个字节
DJNZ   R3,LOAD_PAGE       ; 一直操作直至编程字节数为零
MOV    FMCON,#EP          ; 否则擦除和编程页
MOV    R7,FMCON           ; 备份返回的状态
MOV    A,R7               ; 读状态
ANL    A,#0FH             ; 保存低四位
JNZ    BAD                ;
CLR    C                  ; 如果操作无误, 清除错误标志
RET                                ; 返回
BAD:
SETB   C                  ; 设置错误标志
RET                                ; 返回

```

装载页寄存器和执行一次擦除/编程操作的 C 语言程序如下所示。

```

#include <REG931.H>
unsigned char idata dbytes [64];           //数据缓冲区
unsigned char Fm_stat;                    //状态结果
bit PGM_USER (unsigned char , unsigned char );
bit prog_fail;
void main ( )
{
prog_fail = PGM_USER ( 0x1F ,0xC0 );
}

bit PGM_USER (unsigned char page_hi , unsigned char page_lo )
{
#define LOAD      0x00           // 清除页寄存器, 使能装载
#define EP        0x68           // 擦除和编程页
    unsigned char i;           // 循环次数
    FMCON = LOAD;              // 装载命令, 清除页寄存器
    FMADRH = page_hi;          //
    FMADRL = page_lo;         // 页地址写入地址寄存器

    for ( i= 0 ; i <64 ; i=i+1 )
    {
        FMDATA = dbytes [i] ;
    }
    FMCON = EP;                // 擦除和编程页命令
    Fm_stat = FMCON;           // 读结果状态
    if ( ( Fm_stat & 0xF ) !=0 ) prog_fail = 1 ; else prog_fail = 0;
    return (prog_fail);
}

```

15.4 在线编程 (ICP)

在线编程方法允许使用商业编程器来实现编程和擦除功能,而无需将微控制器从系统中移出。在线编程设备包含了一系列内部硬件资源,通过二线结构的串口对 P89LPC9102/9103/9107 进行远程编程。Philips 已为嵌入式应用提供了在线编程功能,最大限度减少了额外的元件开销和电路板面积。ICP 功能使用芯片的 5 个管脚 (V_{DD} , V_{SS} , P0.5, P0.4 和 \overline{RST})。只需要一个小的连接器将应用接口和外部编程器相连就可使用该特性。

15.5 上电复位代码的执行

P89LPC9102/9103/9107 包含两个特殊的 Flash 单元: BOOT VECTOR 和 Boot Status 位。复位后, P89LPC9102/9103/9107 检查 Boot Status 的内容。如果为 0, 则转去 0000H 地址开始执行程序。这是用户应用代码的正常起始地址。如果 Boot Status 为 1, 则将 BOOT VECTOR 的值作为程序计数器的高字节, 低字节固定为 00H。

P89LPC9102/9103/9107 的工厂默认设定值如下表 72 所示。

表 72 默认引导向量

器件	Flash 大小	截止地址	标识字节			向量大小	页规格	默认 Boot Vector
			Mfg.id	Id 1	Id 2			
P89LPC9102/9103/9107	1kB×8	03FFh	15h	DDh	1Bh	256×8	16×8	00h

15.6 Boot Vector 地址的硬件激活

在上电时, 可强制执行引导向量地址的程序 (见图 37)。此功能通过使复位脚初始化为低电平并将低电平一直保持到 V_{DD} 上升到正常工作值后的一段固定时间的方法来实现。然后, 再给复位管脚提供 3 个精确定时的低电平脉冲。只能是 3 个, 少于或多于 3 个脉冲都会导致器件无法进入 ISP 模式。相关时序请参考器件的数据手册。

它等效于含一个非 0 状态位, 这样就可以正常地执行用户代码, 但是又可以手动强制从其他地址处执行。

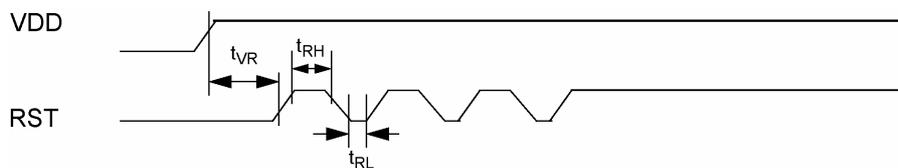


图 37 强制进入 ISP 模式

15.7 Flash 写使能

该器件含有硬件写使能保护功能。这种保护功能可应用于 IAP-Lite 模式以及用户程序存储器空间和用户配置字节 (UCFG1, BOOTVEC 和 BOOTSTAT), 但不能用于 ICP 编程模式。如果 BOOTSTAT.5 的激活写使能位 (AWE) 位为 0, 则内部写使能标志 (WE) 被强制置位, 使能 Flash 存储器和配置字节的写操作。如果激活写使能 (AWE) 位为 1, 内部 WE 标志的状态由用户控制。

WE 标志通过先向 FMCON 写入设置写使能 (08H) 命令, 再将关键值 (96H) 写入 FMDATA 来置位:

```
MOV FMCON, #08H
```

```
MOV FMDATA, #96H
```

WE 标志通过先向 FMCON 写入清零写使能(0BH)命令, 再将关键值(96H)写入 FMDAT 或复位来清零:

```
MOV FMCON, #0BH
```

```
MOV FMDATA, #96H
```

15.8 配置字节保护

除上述的硬件写使能保护外, 器件还可对“配置字节”进行单独写保护。这些配置字节包括 UCFG1, BOOTVEC 和 BOOTSTAT。该保护功能应用于 IAP-Lite 编程模式, 但不能用于 ICP 或编程器模式。

如果 BOOTSTAT.6 的配置写保护位 (CWP) 为 1, 则禁止配置字节的写操作。如果 BOOTSTAT.6 的配置写保护位 (CWP) 为 0, 则使能配置字节的写操作。CWP 位通过编程 BOOTSTAT 寄存器来置位, 通过清除配置保护命令 (67h) 来清零:

```
MOV FMCON, #67H
```

```
MOV FMDATA, #96H
```

IAP-Lite 模式的清除配置保护命令通过向 BOOTSTAT.7 的禁止清零配置保护位(DCCP) 写入 1 来禁能。DCCP 位置位时, ICP 编程模式可继续使用 CCP 命令。DCCP 位通过在 ICP 编程模式中写入清除配置保护命令来清零。

15.9 IAP—Lite 错误状态

程序指令是不可能存放在正在编程或擦除的 Flash 存储器中的。因此, 在 IAP 擦除、编程或 CRC 周期内, CPU 进入编程-空闲状态。CPU 将一直处于该状态直至擦除、编程或 CRC 周期结束。这些周期是自定时的。当擦除、编程或 CRC 周期结束后, 恢复代码的执行。如果在执行擦除、编程或 CRC 操作时出现中断, 那么这些操作都将被终止, 这样 Flash 存储器可用作代码存储器以响应中断。置位进位标志并返回状态信息, 表示 IAP-Lite 出错。返回的状态信息如表 73 所示。如果允许在擦除、编程或 CRC 周期内发生中断, 用户程序必须在每次擦除、编程或 CRC 操作后检查进位标志来判断是否发生错误。如果操作被终止, 用户代码必须使重复执行操作。

表 73 IAP 错误状态

位	标志	描述
0	OI	操作被中断标志。表示由于在编程或擦除周期内发生中断而使操作终止。
1	SV	加密出错。该位在由于安全设置而引起编程或擦除操作失败时置位。操作终止, 存储器内容不变, CRC 输出无效。
2	HVE	高电压错误。高电压发生电路出错时该位置位。操作终止, 存储器内容可能被破坏。
3-7	-	未定义。

15.10 用户配置字节

P89LPC9102/9103/9107 的众多用户可配置的特性必须在上电时定义，因此在开始执行程序后便不可再设置了。这些特性是通过配置 Flash 字节 UCFG1 实现，如表 75 所示。

表 74 Flash 用户配置字节 (UCFG1) 位分配

位	7	6	5	4	3	2	1	0
符号	WDTE	RPE	BOE	WDSE	IRCDBL	FOSC2	FOSC1	FOSC0
不可编程值	0	1	1	0	0	0	1	1

表 75 Flash 用户配置字节 (UCFG1) 位描述

位	符号	描述
0	FOSC0	CPU 振荡器类型选择位。详见第 2 节“时钟”。除了表 76 给出的组合外，其它值不能使用。它们被保留供将来使用。
1	FOSC1	
2	FOSC2	
3	IRCDBL	置位时，该位使内部 RC 振荡器的频率加倍。
4	WDSE	看门狗安全使能位。详见表 76。
5	BOE	掉电检测使能位（见 47 页 6.1 节“掉电检测”）。
6	RPE	复位脚使能位，当置 1 时，使能 P1.5 脚的复位功能。清零时，P1.5 可作为输入口使用。注：在上电过程中，RPE 选项无效，该管脚总是作为复位输入管脚。在复位之后，该管脚执行 RPE 位所定义的功能。只有上电复位才能暂时使 RPE 位的设定无效。其它复位源无法影响 RPE 位的设定。
7	WDTE	看门狗定时器复位使能位，置位时使能看门狗定时器的复位，清零时禁止看门狗定时器的复位。定时器仍可用于产生中断。详见表 76。

表 76 振荡器类型选择

FOSC [2:0]	振荡器配置
000	未定义
001	未定义
010	未定义
011	内部 RC 振荡器，7.373MHz±2.5%
100	看门狗振荡器，400KHz (+20%, -30% 误差)
101	未定义
110	未定义
111	CLKIN 上的外部时钟输入

15.11 用户加密字节

P89LPC9102/9103/9107 的 8 个扇区中的每一个都对应 3 个保密位，如表 77 所示：

表 77 扇区加密字节 (SECx) 位分配

位	7	6	5	4	3	2	1	0
符号	-	-	-	-	-	EDISx	SPEDISx	MOVCDISx
未编程值	0	0	0	0	0	0	0	0

表 78 扇区保密字节 (SECx) 位描述

位	符号	描述
0	MOVCDISx	MOVC 禁能位。禁止扇区 x 的 MOVC 命令。任何对 MOVC 指令受保护的扇区进行 MOVC 访问都将返回无效数据。只有当扇区 x 被擦除时才能将该位擦除。
1	SPEDISx	禁止对扇区 x 的擦除和编程。禁止对全部或部分扇区 x 进行编程或擦除。该位和扇区 x 可通过扇区擦除命令 (ISP, IAP, 商用编程器) 或 ‘全局’ 擦除命令 (商用编程器) 进行擦除。
2	EDISx	ISP 擦除禁能位。禁止在 ISP 或 IAP 模式下擦除扇区 x。通过编程, 该位和扇区 x 只可使用商用编程器的 ‘全局’ 擦除命令进行擦除。在 ISP 或 IAP 模式中, 不能将该位和扇区 x 擦除。
3:7	-	保留

表 79 加密位的作用

EDISx	SPEDISx	MOVCDISx	对编程的影响
0	0	0	无。
0	0	1	指定扇区进行 CRC 计算时置位加密出错标志; 如果 MOVCDISx 位置位, 加密出错标志置位来进行整体 CRC 计算; 操作周期终止; 存储器内容不变; CRC 无效; 执行编程/擦除命令不会造成加密出错。
0	1	X	执行编程命令或擦除页命令时置位加密出错标志; 操作周期终止; 存储器内容不变; 允许扇区擦除和全局擦除。
1	X	X	执行编程或擦除页命令时置位加密出错标志; 操作周期终止; 存储器内容不变; 允许全局擦除。

15.12 引导向量寄存器

表 80 引导向量 (BOOTVEC) 位分配

位	7	6	5	4	3	2	1	0
符号	-	-	-	BOOTV4	BOOTV3	BOOTV2	BOOTV1	BOOTV0
出厂默认值	0	0	0	1	1	1	1	1

表 81 引导向量 (BOOTVEC) 位描述

位	符号	描述
0:4	BOOTV0:4	引导向量。如果选择引导向量作为复位地址, P89LPC9102/9103/9107 复位后将从引导向量处 (BOOTVEC 作为地址高 8 位, 00h 作为地址低 8 位) 开始执行程序。
5:7	-	保留。

15.13 引导状态寄存器

表 82 引导状态 (BOOTSTAT) 位分配

位	7	6	5	4	3	2	1	0
符号	DDCP	CWP	AWE	-	-	-	-	BSB
出厂默认值	0	0	0	0	0	0	0	1

表 83 引导状态 (BOOTSTAT) 位描述

位	符号	描述
0	BSB	引导状态位。 如果该位编程为 1, 复位后 P89LPC9102/9103/9107 将一直从引导向量处 (BOOTVEC 作为地址高字节, 00h 作为地址低字节) 开始执行程序 (见 7.1 节“复位向量”)。
1:4	-	保留。
5	AWE	激活写使能位。 该位清零时, 内部写使能标志强制置位, 这时, 写 Flash 存储器总是使能。如果该位置位, 写使能内部标志通过向 FMCON 设置写使能 (SWE) 命令和清除写使能 (CWE) 命令来置位和清零。
6	CWP	配置写保护位。 保护用户可编程配置字节 (UCFG1,BOOTVEC 和 BOOTSTAT), 防止无意写动作的产生。如果该位为 1, 这些配置字节寄存器的写操作被禁止。如果该位为 0, 这些寄存器的写操作被使能。该位通过编程 BOOTSTAT 寄存器来置位, 通过先向 FMCON 写入清除配置保护 (CCP) 命令再将 96H 写入 FMDATA 来清零。
7	DCCP	禁能清除配置保护命令。 如果该位为 1, 清除配置保护 (CCP) 命令在 IAP-Lite 模式下被禁止, 但它仍可用于 ICP 模式。如果该位为 0, CCP 命令在所有编程模式下都可使用。该位通过编程 BOOTSTAT 寄存器置位, 通过在 ICP 模式中写入清除配置保护 (CCP) 命令来清零。

16. 指令集

表 84 指令集小结

助记符	描述	字节	周期	Hex 码
算术指令				
ADD A,Rn	寄存器的内容加到 A	1	1	28-2F
ADD A,dir	直接寻址字节的内容加到 A	2	1	25
ADD A,@Ri	间接寻址存储器单元的内容加到 A	1	1	26-27
ADD A,#data	立即数加到 A	2	1	24
ADDC A,Rn	寄存器的内容带进位位加到 A	1	1	38-3F
ADDC A,dir	直接寻址单元的内容带进位位加到 A	2	1	35
ADDC A,@Ri	间接寻址存储单元的内容带进位位加到 A	1	1	36-37
ADDC A,#data	立即数带进位位加到 A	2	1	34
SUBB A,Rn	从寄存器 A 中减去寄存器的内容, 可借位	1	1	98-9F
SUBB A,dir	从寄存器 A 中减去直接寻址单元的内容, 可借位	2	1	95
SUBB A,@Ri	从寄存器 A 中减去间接寻址存储单元的内容, 可借位	1	1	96-97

助记符	描述	字节	周期	Hex 码
算术指令				
SUBB A,#data	从寄存器 A 中减去立即数, 可借位	2	1	94
INC A	寄存器 A 的值加 1	1	1	04
INC Rn	寄存器的值加 1	1	1	08-0F
INC dir	直接寻址单元的内容加 1	2	1	05
INC @Ri	间接寻址存储单元的内容加 1	1	1	06-07
DEC A	寄存器 A 的值减 1	1	1	14
DEC Rn	寄存器的值减 1	1	1	18-1F
DEC dir	直接寻址单元的内容减 1	2	1	15
DEC @Ri	间接寻址存储单元的内容减 1	1	1	16-17
INC DPTR	数据指针加 1	1	2	A3
MUL AB	A 和 B 相乘, 乘积放在 A 中	1	4	A4
DIV AB	A 除以 B, 商放在 A 中	1	4	84
DAA	A 的内容十进制调整	1	1	D4
逻辑指令				
ANL A,Rn	寄存器与 A 相与, 结果放在 A 中	1	1	58-5F
ANL A,dir	直接寻址单元与 A 相与, 结果放在 A 中	2	1	55
ANL A,@Ri	间接寻址存储单元与 A 相与, 结果放在 A 中	1	1	56-57
ANL A,#data	立即数与 A 相与, 结果放在 A 中	2	1	54
ANL dir,A	直接寻址单元与 A 相与, 结果放在直接寻址单元中	2	1	52
ANL dir,#data	立即数与直接寻址单元相与, 结果放在直接寻址单元中	3	2	53
ORL A,Rn	寄存器与 A 相或, 结果放在 A 中	1	1	48-4F
ORL A,dir	直接寻址单元与 A 相或, 结果放在 A 中	2	1	45
ORL A,@Ri	间接寻址存储单元与 A 相或, 结果放在 A 中	1	1	46-47
ORL A,#data	立即数与 A 相或, 结果放在 A 中	2	1	44
ORL dir,A	直接寻址单元与 A 相或, 结果放在直接寻址单元中	2	1	42
ORL dir,#data	立即数与直接寻址单元相或, 结果放在直接寻址单元中	3	2	43
XRL A,Rn	寄存器与 A 相异或, 结果放在 A 中	1	1	68-6F
XRL A,dir	直接寻址单元与 A 相异或, 结果放在 A 中	2	1	65
XRL A,@Ri	间接寻址存储单元与 A 相异或, 结果放在 A 中	1	1	66-67
XRL A,#data	立即数与 A 相异或, 结果放在 A 中	2	1	64
XRL dir,A	直接寻址单元与 A 相异或, 结果放在直接寻址单元中	2	1	62
XRL dir,#data	立即数与直接寻址单元相异或, 结果放在直接寻址单元中	3	2	63
CLR A	A 清零	1	1	E4
CPL A	A 取反	1	1	F4
SWAP A	A 的内容高低半字节交换	1	1	C4
RL A	A 的内容循环左移	1	1	23
RLC A	A 的内容带进位位循环左移	1	1	33
RR A	A 的内容循环右移	1	1	03
RRC A	A 的内容带进位位循环右移	1	1	13

助记符	描述	字节	周期	Hex 码
数据传送				
MOV A,Rn	寄存器的数据传送给 A	1	1	E8-EF
MOV A,dir	直接寻址单元的内容传送给 A	2	1	E5
MOV A,@Ri	间接寻址存储单元的内容传送给 A	1	1	E6-E7
MOV A,#data	立即数传送给 A	2	1	74
MOV Rn,A	A 的内容传送给寄存器	1	1	F8-FF
MOV Rn,dir	直接寻址单元的内容传送给寄存器	2	2	A8-AF
MOV Rn,#data	立即数传送给寄存器	2	1	78-7F
MOV dir,A	A 的内容传送给直接寻址单元	2	1	F5
MOV dir,Rn	寄存器的内容传送给直接寻址单元	2	2	88-8F
MOV dir,dir	直接寻址单元的内容传送给直接寻址单元	3	2	85
MOV dir,@Ri	间接存储单元的内容传送给直接寻址单元	2	2	86-87
MOV dir,#data	立即数传送给直接寻址单元	3	2	75
MOV @Ri,A	A 的内容传送给间接寻址存储单元	1	1	F6-F7
MOV @Ri,dir	直接寻址单元的内容传送给间接寻址存储单元	2	2	A6-A7
MOV @Ri,#data	立即数传送给间接寻址存储单元	2	1	76-77
MOV DPTR,#data	立即数传送给数据指针	3	2	90
MOVC A,@A+DPTR	DPTR 相对地址单元的代码字节传送给 A	1	2	93
MOVC A,@A+PC	PC 相对地址单元的代码字节传送给 A	1	2	94
MOVX A,@Ri	外部数据 (A8) 传送给 A	1	2	E2-E3
MOVX A,@DPTR	外部数据 (A16) 传送给 A	1	2	E0
MOVX @Ri,A	A 的内容传送到外部数据单元 (A8)	1	2	F2-F3
MOVX @DPTR,A	A 的内容传送到外部数据单元 (A16)	1	2	F0
PUSH dir	直接寻址单元的内容压栈	2	2	C0
POP dir	直接寻址单元的内容出栈	2	2	D0
XCH A,Rn	交换 A 和寄存器的内容	1	1	C8-CF
XCH A,dir	交换 A 和直接寻址单元的内容	2	1	C5
XCH A,@Ri	交换 A 和间接寻址存储单元的内容	1	1	C6-C7
XCHD A,@Ri	交换 A 和间接寻址存储单元半字节的内容	1	1	D6-D7
位处理指令				
CLR C	进位位清零	1	1	C3
CLR bit	直接寻址位清零	2	1	C2
SETB C	进位位置位	1	1	D3
SETB bit	直接寻址位置位	2	1	D2
CPL C	进位位取反	1	1	B3
CPL bit	直接寻址位取反	2	1	B2
ANL C,bit	直接寻址位与进位位相与, 结果放在进位位中	2	2	82
ANL C,/bit	直接寻址位取反后与进位位相与, 结果放在进位位中	2	2	B0
ORL C,bit	直接寻址位与进位位相或, 结果放在进位位中	2	2	72
ORL C,/bit	直接寻址位取反后与进位位相或, 结果放在进位位中	2	2	A0

助记符	描述	字节	周期	Hex 码
位处理指令				
MOV C,bit	直接寻址位的值传送给进位位	2	1	A2
MOV bit,C	进位位传送给直接寻址位	2	2	92
转移指令				
ACALL addr11	子程序的绝对调用	2	2	116F1
LCALL addr16	长调用到子程序	3	2	12
RET	子程序返回	1	2	22
RETI	中断返回	1	2	32
AJMP addr11	无条件绝对跳转	2	2	016E1
LJMP addr16	无条件长跳转	3	2	02
SJMP rel	短跳转（相对地址）	2	2	80
JC rel	进位位=1 时跳转	2	2	40
JNC rel	进位位=0 时跳转	2	2	50
JB bit,rel	直接寻址位=1 时跳转	3	2	20
JNB bit,rel	直接寻址位=0 时跳转	3	2	30
JBC bit,rel	直接寻址位=1 时跳转，然后清零	3	2	10
JMP @A+DPTR	跳转到 DPTR 相对地址指向的地址	1	2	73
JZ rel	累加器=0 时跳转	2	2	60
JNZ rel	累加器≠0 时跳转	2	2	70
CJNE A,dir,rel	比较 A 和直接寻址单元的内容，不等时转移到相对地址	3	2	B5
CJNE A,#d,rel	比较 A 和立即数，不等时转移到相对地址	3	2	B4
CJNE Rn,#d,rel	比较寄存器和立即数，不等时转移到相对地址	3	2	B8-BF
CJNE @Ri,#d,rel	比较间接寻址单元和立即数，不等时转移到相对地址	3	2	B6-B7
DJNZ Rn,rel	寄存器减 1，不为零时转移到相对地址	2	2	D8-DF
DJNZ dir,rel	直接寻址单元减 1，不为零时转移到相对地址	3	2	D5
其它指令				
NOP	空操作	1	1	00

17. 修订记录

2005 年 6 月 14 日

第 2 版