

概述

P89C51/89C52/89C54/89C58 具有并行可编程的非易失性 FLASH 程序存储器, 要实现对器件串行在系统编程 (ISP) 和在应用中编程(IAP), 请参阅 P89C51Rx2 和 89C66x 数据手册。

该系列单片机是 80C51 微控制器的派生器件, 是采用先进 CMOS 工艺制造的 8 位微控制器, 指令系统与 80C51 完全相同。

FLASH 器件选择表

	MTP 器件		ISP/IAP 器件	
	89C51	89C52/54/58	89C51Rx2	89C66x
ROM/EPROM 存储器规格	4K	8K/16K/32K	16K-32K	16K-64K
RAM(字节)	128	256	512-1K	512-8K
并行编程	有	有	有	有
在系统编程 (ISP)	无	无	有	有
在应用中编程 (IAP)	无	无	有	有
PWM	无	无	有	有
可编程定时/计数器 (PCA)	无	无	有	有
硬件看门狗定时器	无	无	有	有
串行通信	UART	UART	UART	UART+I ² C

MTP=多次可编程 (通过并行编程器)

ISP=在系统编程(通过串行接口)

IAP=在应用中编程

注: FLASH 编程的算法已经作了修改, 详见下表

器件比较表

项目	老器件	新器件	变更原因
类型描述	P89C5xUBxx/ P89C5xUFxx	P89C5xBxx/ P89C5xFxx	字母 U 被取消, 以简化类型描述
编程算法	当使用并行编程器时, 请确定选中 P89C5xUxxx 器件	当使用并行编程器时, 请确定选中 P89C5xxxx (无字母 U)。如果无可选项, 请向销售商寻求软件升级。	制造工艺的改变
方形扁平封装类型	PQFP 封装 (P89C5xUxBB)	PQFP 封装由 LQFP 封装 (P89C5xUxBB) 取代, 见手册后的新尺寸图。	减小封装高度
封装标识	PLCC=AA PQFP=BB PDIP=PN	PLCC=A LQFP=BD PDIP=P	简化类型的描述
FLASH 编程/擦除次数	100 次	10,000 次	制造工艺的改变增加了编程/擦除次数
功耗	激活模式: $I_{CC(MAX)} = (0.9 * \text{FREQ.} + 20) \text{mA}$ 空闲模式: $I_{CC(MAX)} = (0.37 * \text{FREQ.} + 1.0) \text{mA}$	激活模式: $I_{CC(MAX)} = (0.55 * \text{FREQ.} + 8.0) \text{mA}$ 空闲模式: $I_{CC(MAX)} = (0.3 * \text{FREQ.} + 2.0) \text{mA}$	制造工艺的改变降低了功耗

特性

- 80C51 核心处理单元
- 片内 FLASH 程序存储器
- 速度可达 33MHz
- 全静态操作
- RAM 可扩展到 64K 字节
- 4 个中断优先级
- 6 个中断源
- 4 个 8 位 I/O 口
- 全双工增强型 UART
 - 帧数据错误检测
 - 自动地址识别
- 电源控制模式
 - 时钟可停止和恢复
 - 空闲模式
 - 掉电模式
- 可编程时钟输出
- 异步端口复位
- 双 DPTR 寄存器
- 低 EMI (禁止 ALE)
- 3 个 16 位定时器
- 掉电模式可通过外部中断唤醒

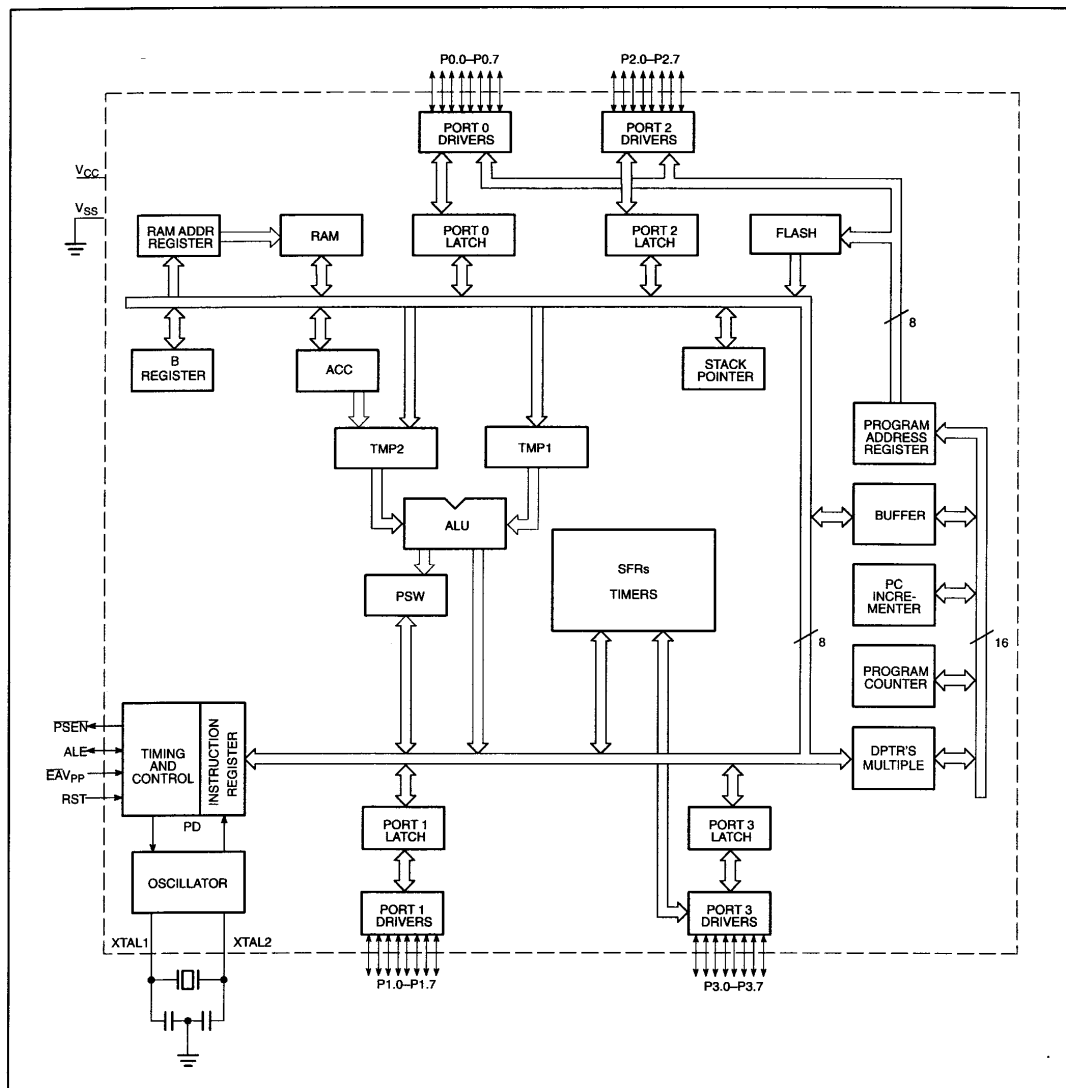
订购信息

类型				封装	温度范围 (°C)	电压范围 (V)	频率(MHz)
4K 存储器	8K 存储器	16K 存储器	32K 存储器	名称			
P89C51BA	P89C52BA	P89C54BA	P89C58BA	PLCC44	0~70	5V	0~33
P89C51BP	P89C52BP	P89C54BP	P89C58BP	DIP40	0~70	5V	0~33
P89C51BN	P89C52BN	P89C54BN	P89C58BN				
P89C51BBD	P89C52BBD	P89C54BBD	P89C58BBD	LQFP44	0~70	5V	0~33

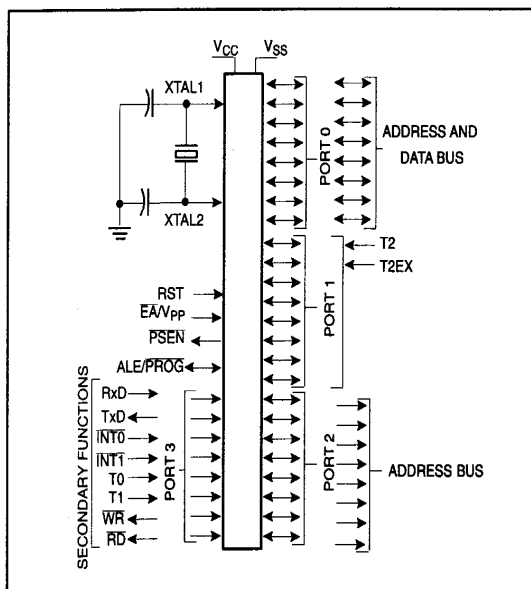
产品编号含义

器件编号(P89C5x)	温度范围(B)	封装
P89C51	B=0°C~70°C	BD=LQFP
P89C52	F=-40°C~+85°C	A=PLCC
P89C54		P=PDIP
P89C58		

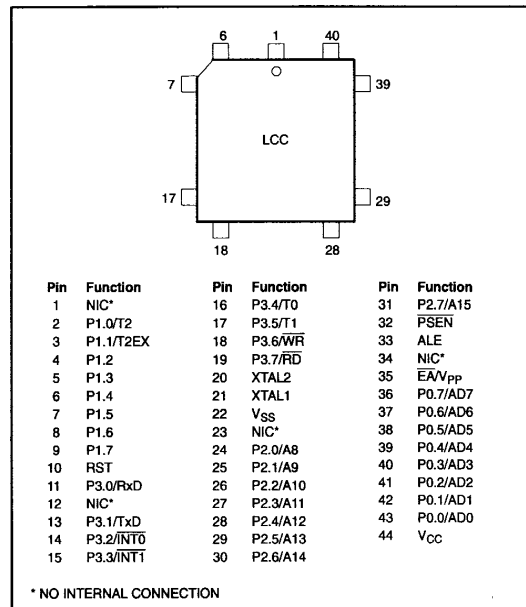
框图



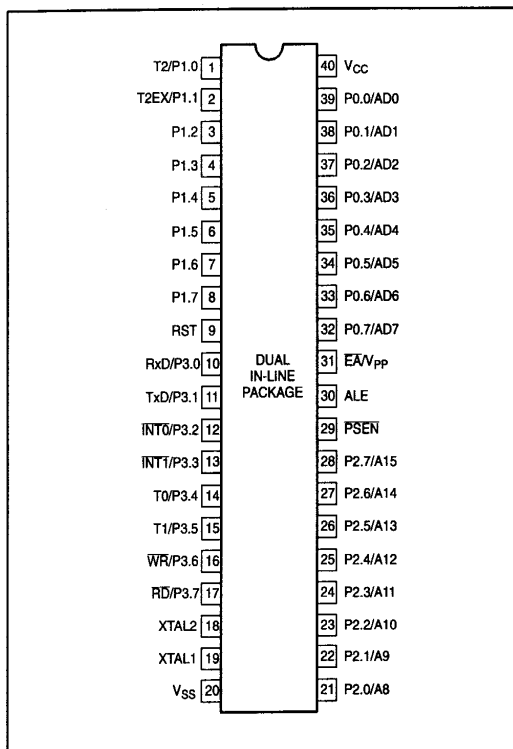
逻辑符号



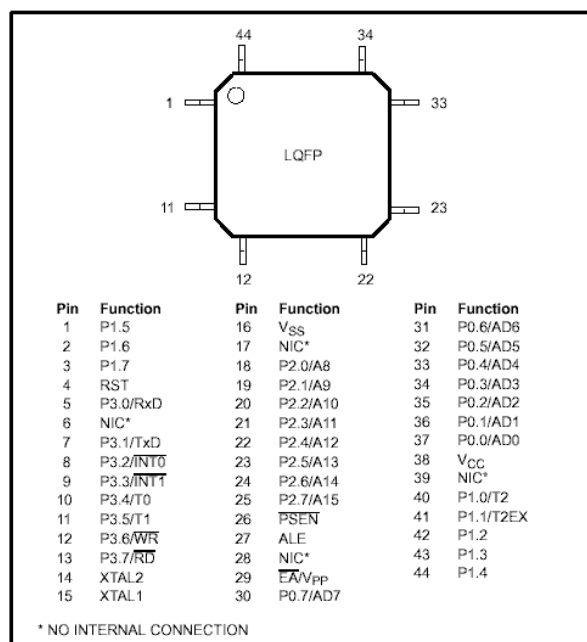
PLCC 和 CLCC 封装及管脚功能



DIP 封装及管脚功能



LQFP 封装及管脚功能



管脚描述

名称	管脚号			类型	名称和功能
	DIP	LCC	QFP		
Vss	20	22	16	I	地
Vcc	40	44	38	I	电源：提供掉电、空闲、正常工作电压
P0.0-0.7	39-32	43-36	37-30	I/O	P0 口：P0 口是开漏双向口，可以写为 1 使其状态为悬浮，用作高阻输入。P0 也可以在访问外部程序存储器时作地址的低字节，在访问外部数据存储器时作数据总线，此时通过内部强上拉传送 1。
P1.0-1.7	1-8	2-9	40-44 1-3	I/O	P1 口：P1 口是带内部上拉的双向 I/O 口，向 P1 口写入 1 时，P1 口被内部上拉为高电平，可用作输入口。当作为输入脚时，被外部拉低的 P1 口会因为内部上拉而输出电流(见 DC 电气特性)。P1 口第 2 功能： T2(P1.0)：定时/计数器 2 的外部计数输入/时钟输出(见可编程输出) T2EX(P1.1)：定时/计数器 2 重载/捕捉/方向控制

P2.0-2.7	21-28	24-31	18-25	I/O	P2 口: P2 口是带内部上拉的双向 I/O 口, 向 P2 口写入 1 时, P2 口被内部上拉为高电平, 可用作输入口。当作为输入脚时, 被外部拉低的 P2 口会因为内部上拉而输出电流(见 DC 电气特性)。在访问外部程序存储器和外部数据时分别作为地址高位字节和 16 位地址(MOVX @DPTR), 此时通过内部强上拉传送 1。当使用 8 位寻址方式(MOV @Ri)访问外部数据存储器时,P2 口发送 P2 特殊功能寄存器的内容。
P3.0-3.7	10-17	11, 13-19	5, 7-13	I/O	P3 口: P3 口是带内部上拉的双向 I/O 口, 向 P3 口写入 1 时, P3 口被内部上拉为高电平, 可用作输入口。当作为输入脚时, 被外部拉低的 P3 口会因为内部上拉而输出电流(见 DC 电气特性)。89C51/89C52/89C54/89C58 的 P3 口脚具有以下特殊功能: RxD(P3.0): 串行输入口 TxD(P3.1): 串行输出口 $\overline{\text{INT0}}$ (P3.2): 外部中断 0 $\overline{\text{INT1}}$ (P3.3): 外部中断 T0(P3.4): 定时器 0 外部输入 T1(P3.5): 定时器 1 外部输入 $\overline{\text{WR}}$ (P3.6): 外部数据存储器写信号 $\overline{\text{RD}}$ (P3.7): 外部数据存储器读信号
RST	9	10	4	I	复位: 当晶振在运行中, 只要复位管脚出现 2 个机器周期高电平即可复位, 内部有扩散电阻连接到 Vss, 仅需要外接一个电容到 Vcc 即可实现上电复位。
ALE	30	33	27	O	地址锁存使能: 在访问外部存储器时, 输出脉冲锁存地址的低字节, 在正常情况下, ALE 输出信号恒定为 1/6 振荡频率。并可用作外部时钟或定时, 注意每次访问外部数据时一个 ALE 脉冲将被忽略。ALE 可以通过置位 SFR 的 auxiliary.0 禁止, 置位后 ALE 只能在执行 MOVX 指令时被激活。
$\overline{\text{PSEN}}$	29	32	27	O	程序存储使能: 读外部程序存储。当从外部读取程序时, $\overline{\text{PSEN}}$ 每个机器周期被激活两次, 在访问外部数据存储器 $\overline{\text{PSEN}}$ 无效, 访问内部程序存储器时 $\overline{\text{PSEN}}$ 无效。
$\overline{\text{EA}}/\text{Vpp}$	31	35	29	I	外部寻址使能/编程电压: 在访问整个外部程序存储器时, $\overline{\text{EA}}$ 必须外部置低。如果 $\overline{\text{EA}}$ 为高时, 将执行内部程序, 除非程序计数器可以大于 0FFFH(4k 器件), 1FFFH(8k 器件), 3FFFH(16k 器件), 7FFFH(32k 器件)。当 RST 释放后 $\overline{\text{EA}}$ 脚的值被锁存, 任何时序的改变都将无效。该引脚在对 FLASH 编程时接 12V 编程电压(Vpp)。
XTAL1	19	21	15	I	晶体 1: 晶振和内部时钟输入
XTAL2	18	20	14	O	晶体 2: 晶振输出

注: 为了避免“latch-up”对上电的影响,任意管脚 (Vpp 除外) 上的电压最大不能高于 Vcc+0.5,最低不能低于 Vss- 0.5。

表 1 P89C51/89C52/89C54/89C58 特殊功能寄存器

名称	定义	地址	位功能和位地址								复位值
ACC*	累加器	E0H	E7	E6	E5	E4	E3	E2	E1	E0	00H
AUXR#	辅助功能寄存器	8EH	—	—	—	—	—	—	—	AO	xxxxxxx0B ¹
AUXR1#	辅助功能寄存器 1	A2H	—	—	—	—	GF2	0	—	DPS	02H ¹
B*	B 寄存器	F0H	F7	F6	F5	F4	F3	F2	F1	F0	00H
DPTR	数据指针（双字节）										
DPH	指针高字节	83H									00H
DPL	指针低字节	82H									00H
			AF	AE	AD	AC	AB	AA	A9	A8	
IE*	中断使能	A8H	EA	—	ET2	ES	ET1	EX1	ET0	EX0	0x000000B
			BF	BE	BD	BC	BBB	BA	B9	B8	
IP*	中断优先级	B8H	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	xx000000B
			B7	B6	B5	B4	B3	B2	B1	B0	
IPH#	中断优先级高字节	B7H	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	xx000000B
			87	86	85	84	83	82	81	80	
P0*	P0 口	80H	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	FFH
			97	96	95	94	93	92	91	90	
P1*	P1 口	90H	—	—	—	—	—	—	T2EX	T2	FFH
			A7	A6	A5	A4	A3	A2	A1	A0	
P2*	P2 口	A0H	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	FFH
			B7	B6	B5	B4	B3	B2	B1	B0	
P3*	P3 口	B0H	RD	WR	T1	T0	INT1	INT0	TxD	RxD	FFH
PCON# ¹	电源控制寄存器	87H	SMOD1	SMOD0	—	POF ²	GF1	GF0	PD	IDL	00xxx000B
			D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	—	P	000000x0B
RACAP2H#	定时器 2 捕获高字节	CBH									00H
RACAP2L#	定时器 2 捕获低字节	CAH									00H
SADDR#	从地址	A9H									00H
SADEN#	从地址屏蔽	B9H									00H
SBUF	串口数据缓冲区	99H									xxxxxxx0B
			9F	9E	9D	9C	9B	9A	99	98	
SCON*	串行口控制	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SP	堆栈指针	81H									07H
			8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器控制	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
			8F	8E	8D	8C	8B	8A	89	88	
T2CON*	定时器 2 控制	C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	00H
T2MOD#	定时器 2 模式控制	C9H	—	—	—	—	—	—	T2OE	DCEN	xxxxxx00B
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TH2#	定时器 2 高字节	CDH									00H

TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TL2#	定时器 2 低字节	CCH									00H
TMOD	定时器模式	89H	GATE	$\overline{C/T}$	M1	M0	GATE	$\overline{C/T}$	M1	M0	00H

注：带“*”号的 SFR 可位寻址。

带“#”号的 SFR 表示从 80C51 的 SFR 修改而来或新增加的。

“—”表示保留位

1. 复位值由复位源确定。
2. 此位不受复位影响。

FLASH EPROM 存储器

概述

P89C51/52/54/58 在 10000 次擦除和编程之后仍能可靠保存 FLASH 存储器的内容。存储单元的设计使擦除和编程结构最优化。此外，先进的沟道氧化工艺和低内部电场的结合使擦除和编程操作更加可靠。

特性

- FLASH EPROM 带片内擦除的内部程序存储器
- 内部程序存储器禁止时 ($\overline{EA}=0$)，外部程序存储器最多可达 64K
- 可编程加密位
- 每字节最少 10000 次擦除/编程周期
- 数据最少可保存 10 年
- 从一般供应商处可获得编程支持

振荡器特性

XTAL1 和 XTAL2 为输入和输出，可分别作为一个反向放大器的输入和输出。此管脚可配置为使用内部振荡器。要使用外部时钟源驱动器件时，XTAL2 可以不连接而由 XTAL1 驱动。外部时钟信号无占空比的要求，因为时钟通过触发器二分频输入到内部时钟电路。但高低电平的最长和最短时间必须符合手册的规定。

复位

在振荡器工作时，将 RST 脚保持至少两个机器周期高电平（24 个振荡器周期）可实现复位。为了保证上电复位的可靠，RST 必须保持足够长时间的高电平以使振荡器产生两个机器周期的脉冲（通常为几个微秒）。上电时 Vcc 和 RST 必须同时上升以实现正确的启动。当复位电压大于 $V_{IH1}(\min.)$ 时，I/O 口 1、2 和 3 不同步复位。当 RST 撤除时， $\overline{EA}$ 的值被锁存。

低功耗模式

时钟停止模式

静态设计使时钟频率可以降至 0MHz(停止)。当振荡器停振时，RAM 和 SFR 的值保持不变。该模式允许逐步应用并可时钟频率降至任意值以实现系统功耗的降低。如要实现最低功耗则建议使用掉电模式。

空闲模式

空闲模式（见表 2）中，CPU 进入睡眠状态，但片内的外围电路仍然保持工作状态。正常操作模式的最后一条指令执行进入空闲模式。空闲模式下，CPU 内容、片内 RAM 和所有 SFR 保持原来的值。任何被使能的中断（此时，程序从中断服务程序处恢复并继续执行）或硬件复位（与上电复位使用相同的方式启动处理器）均可终止空闲模式。

掉电模式

为了进一步降低功耗，通过软件可实现掉电模式(见表 2)。该模式中，振荡器停振并且在最后一条指令执行进入掉电模式。降到 2.0 伏时，片内 RAM 和 SFR 保持原值，在退出掉电模式之前 Vcc 必须升至规定的最低操作电压。

硬件复位或外部中断均可结束掉电模式。硬件复位使 SFR 值重新设置，但不改变片内 RAM 的值。外部中断允许 SFR 和片内 RAM 都保持原值。

要正确退出掉电模式，在 Vcc 恢复到正常操作电压范围之后，复位或外部中断开始执行并且要保持足够长的时间（通常小于 10ms）以使振荡器重新启动并稳定下来。

使用外部中断时，INT0 和 INT1 必须使能且配置为电平触发。将管脚电平拉低使振荡器重新启动，退出掉电模式后将管脚恢复为高电平。一旦中断被响应，RETI 之后所执行的是进入掉电模式指令的后一条指令。

表 2 空闲模式和掉电模式时外部管脚的状态

模式	程序存储器	ALE	PSEN	口 0	口 1	口 2	口 3
空闲	内部	1	1	数据	数据	数据	数据
空闲	外部	1	1	悬浮	数据	地址	数据
掉电	内部	0	0	数据	数据	数据	数据
掉电	外部	0	0	悬浮	数据	数据	数据

设计中的注意事项

当空闲模式被硬件复位所中止时，器件在内部复位之前从停止处恢复程序正常运行，时间为 2 个机器周期。这段时间内片内硬件禁止对内部 RAM 的访问，但对 I/O 口的访问未被禁止。当 Idle 模式被复位所中止时，为了消除可能产生的误写操作，应用 Idle 模式指令后的指令不应执行写 I/O 口或写外部存储器操作。

ONCE™ 模式

ONCE(在线仿真)模式实现了对系统的测试和调试而不需要将器件从电路中移去。进入 ONCE 模式的条件：

1. 当器件复位且 $\overline{\text{PSEN}}$ 为高电平时，将 ALE 置低电平；
2. 在 RST 撤除时，ALE 保持低电平。

当器件处于 ONCE 模式时，P0 口处于悬浮状态，其它 I/O 口、ALE 和 $\overline{\text{PSEN}}$ 为弱上拉。振荡电路保持工作状态，器件处于该模式时，可用仿真器或测试 CPU 驱动电路。执行正常复位时恢复正常操作。

可编程时钟输出

可从 P1.0 编程输出 50%占空比的时钟信号。P1.0 除了作为常规 I/O 口外，还有两个可选功能。它可编程为：

1. 用于定时/计数器 2 的外部时钟输入；
2. 在 16MHz 操作频率下输出 50%占空比的时钟信号（范围：61Hz~4MHz）。

要将定时/计数器 2 配置为时钟发生器，C/T2(T2CON.1)必须清零，T2MOD 中的 T20E 位必须置位。启动定时器 2 必须将 TR2(T2CON.2)置位。

时钟输出频率由振荡器频率和定时器 2 捕获寄存器的重新装入值确定，公式如下：

$$\frac{\text{振荡器频率}}{4 \times (65536 - \text{RCAP2H}, \text{RCAP2L})}$$

此处 (RCAP2H, RCAP2L) = RCAP2H 和 RCAP2L 的内容作为一个 16 位无符号整数

在时钟输出模式中，定时器 2 的翻转将不会产生中断。这和它作为波特率发生器时相似。定时器 2 可同时作为波特率发生器和时钟发生器。但需要注意的是，波特率和时钟输出频率相同。

定时器 2 的操作

定时器 2

定时器 2 是一个 16 位定时/计数器。通过设置特殊功能寄存器 T2CON 中的 C/T2 位,可将其作为定时器或计数器。定时器 2 有三种操作模式:捕获、自动重新装载(递增或递减计数)和波特率发生器,这三种模式由 T2CON 中的位进行选择(见表 3)。

捕获模式

在捕获模式中,通过 T2CON 中的 EXEN2 设置两个选项。如果 EXEN2=0,定时器 2 作为一个 16 位定时器或计数器(由 T2CON 中 C/T2 位选择),溢出时置位 TF2(定时器 2 溢出标志位)。该位可用于产生中断(通过使能 IE 寄存器中的定时器 2 中断使能位)。如果 EXEN2=1,与以上描述相同,但增加了一个特性,即外部输入 T2EX 由 1 变 0 时将定时器 2 中 TL2 和 TH2 的当前值各自捕获到 RCAP2L 和 RCAP2H。另外, T2EX 的负跳变使 T2CON 中的 EXF2 置位, EXF2 也象 TF2 一样能够产生中断(其向量与定时器 2 溢出中断地址相同,定时器 2 中断服务程序通过查询 TF2 和 EXF2 来确定引起中断的事件)。捕获模式如图 2 所示(在该模式中, TL2 和 TH2 无重新装载值。甚至当 T2EX 产生捕获事件时,计数器仍以 T2EX 的负跳变或振荡频率的 1/12 计数)。

自动重装模式(递增/递减计数器)

16 位自动重装模式中,定时器 2 可通过 C/T2 配置为定时器/计数器,编程控制递增/递减计数。计数的方向是由 DCEN(递减计数使能位)确定的, DCEN 位于 T2MOD 寄存器(见图 3)中。当 DCEN=0 时,定时器 2 默认为向上计数;当 DCEN=1 时,定时器 2 可通过 T2EX 确定递增或递减计数。

图 4 显示了当 DCEN=0 时,定时器 2 自动递增计数。在该模式中通过设置 EXEN2 位进行选择。如果 EXEN2=0,定时器 2 递增计数到 0FFFFH 并在溢出后将 TF2 置位,然后将 RCAP2L 和 RCAP2H 中的 16 位值作为重新装载值装入定时器 2。RCAP2L 和 RCAP2H 的值是通过软件预设的。

如果 EXEN2=1,16 位重新装载可通过溢出或 T2EX 从 1→0 的负跳变实现。此负跳变同时将 EXF2 置位。如果定时器 2 中断被使能,则当 TF2 或 EXF2 置 1 时产生中断。

在图 5 中 DCEN=1 时,定时器 2 可递增或递减计数。此模式允许 T2EX 控制计数的方向。当 T2EX 置 1 时,定时器 2 递增计数,计数到 0FFFFH 后溢出并置位 TF2。还将产生中断(如果中断被使能),定时器 2 的溢出将使 RCAP2L 和 RCAP2H 中的 16 位值作为重新装载值放入 TL2 和 TH2。

当 T2EX 置零时,将使定时器 2 递减计数。当 TL2 和 TH2 计数到等于 RCAP2L 和 RCAP2H 时,定时器产生溢出。定时器 2 溢出置位 TF2,并将 0FFFFH 重新装入 TL2 和 TH2。

当定时器 2 递增/递减产生溢出时,外部标志位 EXF2 翻转。如果需要,可将 EXF2 位作为第 17 位。在此模式中, EXF2 标志不会产生中断。

(最高位)				(最低位)			
TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2
符号	位	名称和意义					
TF2	T2CON. 7	定时器 2 溢出标志。定时器 2 溢出时置位，必须由软件清除。当 RCLK 或 TCLK=1 时，TF2 将不会置位。					
EXF2	T2CON. 6	定时器 2 外部标志。当 EXEN2=1 且 T2EX 的负跳变产生捕获或重装时，EXF2 置位。定时器 2 中断使能时，EXF2=1 将使 CPU 从中断向量处执行定时器 2 中断子程序。EXF2 位必须用软件清零。在递增/递减计数器模式 (DCEN=1) 中，EXF2 不会引起中断。					
RCLK	T2CON. 5	接收时钟标志。RCLK 置位时，定时器 2 的溢出脉冲作为串行口模式 1 和模式 3 的接收时钟。RCLK=0 时，将定时器 1 的溢出脉冲作为接收时钟。					
TCLK	T2CON. 4	发送时钟标志。TCLK 置位时，定时器 2 的溢出脉冲作为串行口模式 1 和模式 3 的发送时钟。TCLK=0 时，将定时器 1 的溢出脉冲作为发送时钟。					
EXEN2	T2CON. 3	定时器 2 外部使能标志。当其置位且定时器 2 未作为串行口时钟时，允许 T2EX 的负跳变产生捕获或重装。EXEN2=0 时，T2EX 的跳变对定时器 2 无效。					
TR2	T2CON. 2	定时器 2 启动/停止控制位。置 1 时启动定时器。					
C/T2	T2CON. 1	定时器/计数器选择。(定时器 2) 0=内部定时器 (OSC/12) 1=外部事件计数器 (下降沿触发)					
CP/RL2	T2CON. 0	捕获/重装标志。置位：EXEN2=1 时 T2EX 的负跳变产生捕获。清零：EXEN2=1 时定时器 2 溢出或 T2EX 的负跳变都可使定时器自动重装。当 RCLK=1 或 TCLK=1 时，该位无效且定时器强制为溢出时自动重装。					

图 1. 定时器/计数器 2 (T2CON) 控制寄存器

表 3 定时器 2 工作方式

RCLK+TCLK	CP/RL2	TR2	模式
0	0	1	16 位自动重装载
0	1	1	16 位捕获
1	X	1	波特率发生器
X	X	0	(关闭)

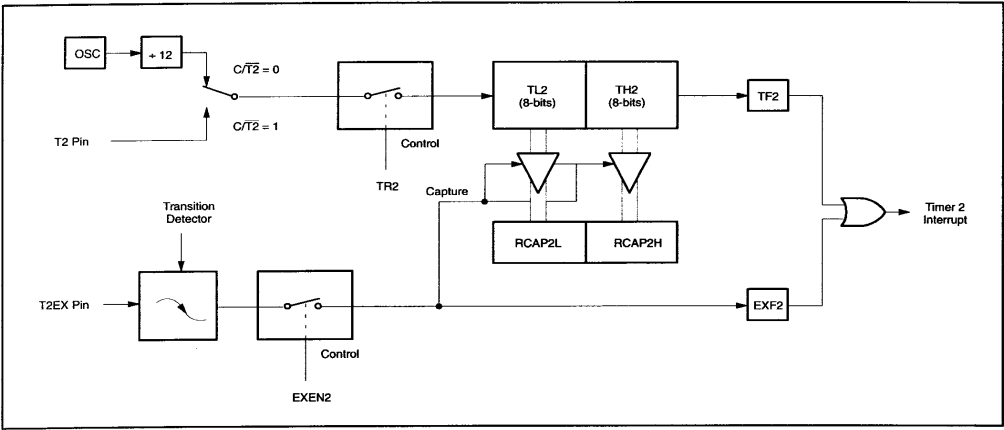


图 2 定时器 2 捕获模式

T2MOD 地址=0C9H								复位值=XXXX XX00B	
不可位寻址									
	—	—	—	—	—	—	T2OE	DCEN	
位	7	6	5	4	3	2	1	0	
符号	功能								
—	不可用，保留将来之用。*								
T2OE	定时器 2 输出使能位。								
DCEN	向下计数使能位。定时器 2 可配置成向上/向下计数器。								
* 用户勿将其置 1。这些位在将来 8051 系列产品中用来实现新的特性，这种情况下，以后用到保留位，复位时或非有效状态时，它的值应为 0，而这些位为有效状态时，它的值为 1。从保留位读到的值是不确定的。									

图 3 定时器 2 模式（T2MOD）控制寄存器

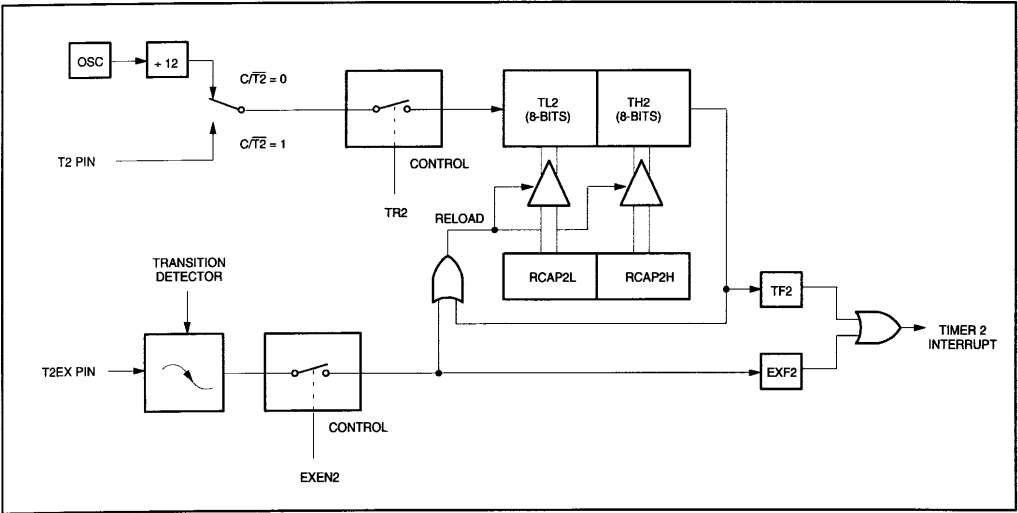


图 4 定时器 2 自动装载模式（DCEN=0）

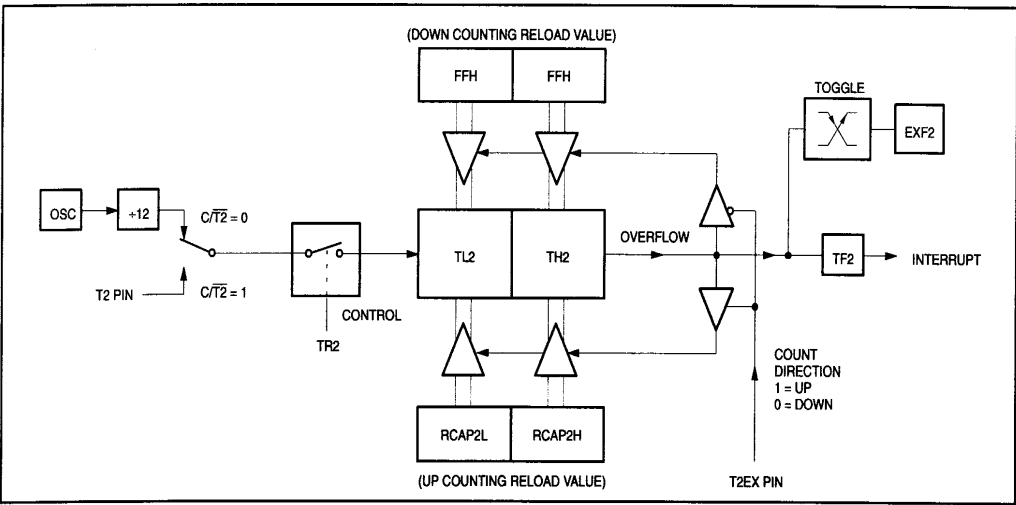


图 5 定时器 2 自动装载模式（DCEN=1）

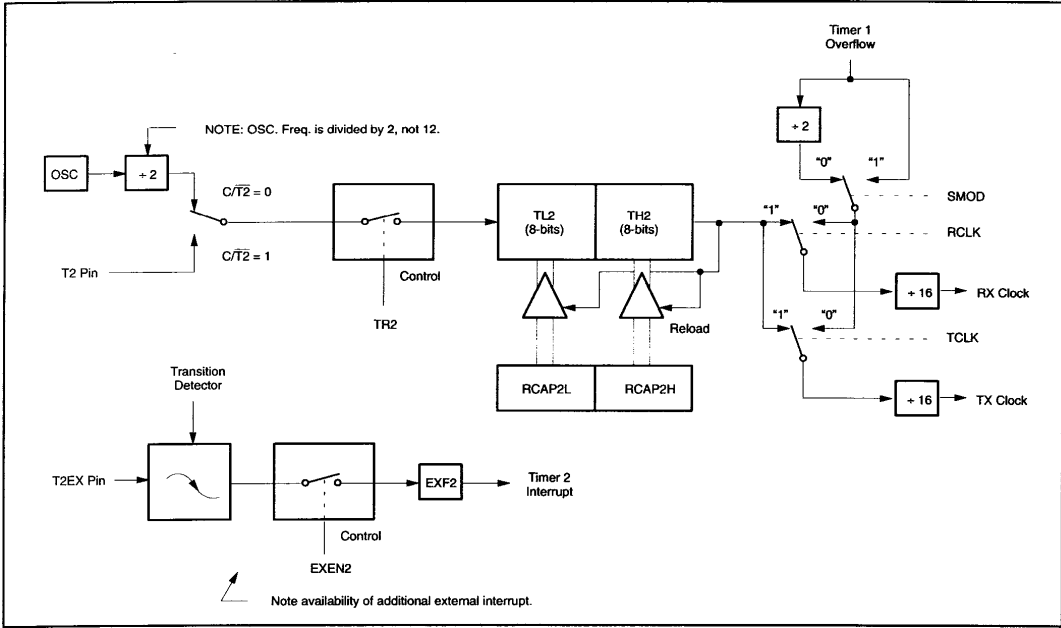


图 6 定时器 2 波特率发生器模式

表 4 由定时器 2 产生的常用波特率

波特率	振荡器频率	定时器 2	
		RCAP2H	RCAP2L
375K	12MHz	FF	FF
9.6K	12MHz	FF	D9
2.8K	12MHz	FF	B2
2.4K	12MHz	FF	64
1.2K	12MHz	FE	C8
300	12MHz	FB	1E
110	12MHz	F2	AF
300	6MHz	FD	8F
110	6MHz	F9	57

波特率发生器模式

寄存器 T2CON (表 4) 的位 TCLK 和 (或) RCLK 允许从定时器 1 或定时器 2 中得到串行口发送和接收的波特率。当 TCLK=0 时，定时器 1 作为串行口发送波特率发生器；当 TCLK=1 时，定时器 2 作为串行口发送波特率发生器。RCLK 对串行口接收波特率有同样的效果。通过这两位，串行口能得到不同的接收和发送波特率——一个通过定时器 1 产生，另一个通过定时器 2 产生。

图 6 所示为定时器 2 工作在波特率发生器模式。与自动重装载模式相似，当 TH2 溢出时，波特率发生器模式使定时器 2 寄存器重新装载来自寄存器 RCAP2H 和 RCAP2L 的 16 位的值，寄存器 RCAP2H 和 RCAP2LR 的值由软件预置。

当工作于模式 1 和模式 3 时，波特率由下面给出的定时器 2 溢出率所决定：

模式 1 和模式 3 的波特率= $\frac{\text{定时器 2 溢出率}}{16}$

定时器可配置成“定时”或“计数”方式，在许多应用上，定时器被设置在“定时”方式 (C/T2*=0)。当定时器 2 作为定时器时，它的操作不同于波特率发生器。

通常，定时器 2 作为定时器，它会在每个机器周期递增（1/12 振荡频率）。当定时器 2 作为波特率发生器时，它会在每个状态周期递增（例如 1/2 振荡频率）。这样，波特率公式如下：

$$\text{模式 1 和模式 3 的波特率} = \frac{\text{振荡器频率}}{[32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]]}$$

此处：RCAP2H,RCAP2L)=RCAP2H 和 RCAP2L 的内容，为 16 位无符号整数。

如图 6 所示，定时器 2 作为波特率发生器，仅当寄存器 T2CON 中的 RCLK 和（或）TCLK=1 时，定时器 2 作为波特率发生器才有效。注意 TH2 溢出并不置位 TF2，也不产生中断。这样，当定时器 2 作为波特率发生器时，定时器 2 中断不必被禁止。如果 EXEN2（T2 外部使能标志）被置位，在 T2EX 中，由 1 到 0 的转换会置位 EXF2（T2 外部标志位），但并不导致（TH2，TL2）重装载（RCAP2H，RCAP2L）。因此，当定时器 2 用作波特率发生器时，如果需要，T2EX 可用作附加的外部中断。

当定时器工作在波特率发生器模式下，则不要对 TH2 和 TL2 进行读写，每隔一个状态时间（0sc/2）或由 T2 进入的异步信号，定时器 2 将加 1；在此情况下对 TH2 和 TH1 进行读写是不准确的。可对 RCAP2 寄存器进行读，但不要进行写，否则将导致自动重装错误。当对定时器 2 或寄存器 RCAP 进行访问时，应关闭定时器（TR2 清零）。

表 4 列出了常用的波特率和如何用定时器 2 得到这些波特率。

波特率公式汇总

定时器 2 工作在波特率发生器模式，外部时钟信号由 T2 脚进入，波特率为：

$$\text{波特率} = \frac{\text{定时器 2 溢出率}}{16}$$

如果定时器 2 采用内部时钟信号，则波特率为：

$$\text{波特率} = \frac{f_{osc}}{[32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]]}$$

fosc 为晶振频率

自动重装值可由下式得到：

$$\text{RCAP2H}, \text{RCAP2L} = 65536 - (f_{osc} / 32 * \text{波特率})$$

定时器/计数器 2 的设置

除了波特率发生器模式，T2CON 不包括 TR2 位的设置，TR2 位需单独设置来启动定时器。表 5，表 6 给出了 T2 作为定时器和计数器的设置。

表 5 T2 作为定时器

模式	T2CON	
	内部控制（注 1）	外部控制（注 2）
16 位重装	00H	08H
16 位捕获	01H	09H
波特率发生器接收和发送相同波特率	34H	36H
只接收	24H	26H
只发送	14H	16H

表 6 T2 作为计数器

模式	TMOD	
	内部控制（注 1）	外部控制（注 2）
16 位	02H	0AH
自动重装	03H	0BH

- 注： 1. 定时器溢出时进行捕获和重装
2. 当时钟/计数器溢出并且 T2EX (P1. 1) 发生电平负跳变时产生捕获和重装（波特率方式除外）。

增强型 UART

UART 操作的一般模式，前部分已有描述。除了通过查询丢失的停止位进行帧错误检测和地址自动识别外，UART 和标准的 80C51 异步串行通信一样，支持多机通讯。

通过查询丢失的停止位对帧错误进行检测，丢失停止位时，将会置位 SCON 的 FE 位，FE 位与 SM0 共用 SCON. 7 位地址，通过对 PCON. 6 (SMOD0) 位进行设置来决定 SCON. 7 位的功能。SMOD0 为 1 时，SCON. 7 为 FE, SMOD0 为 0 时，SCON. 7 为 SM0。SCON. 7 位只能被软件清除。见图 8。

自动地址识别

自动地址识别是串行通讯一个特性，它允许 UART 用硬件对地址进行比较识别，无须一直用软件对地址进行查询。通过置位 SCON 的 SM2 位来激活该功能。在 9 位 UART 模式中，模式 2 和模式 3，当接收完特定地址或广播地址后，接收中断标志位 RI 将自动置位。第 9 位为 1，说明所接收为地址，而非数据。自动地址识别见图 9。

模式 1 为 8 位 UART 模式，当 SM2 使能，所接收的 8 位数据后有有效的停止位 时，RI 将置位，所接收的 8 位数据为特定地址或广播地址。

模式 0 为移位寄存器模式，与 SM2 无关。

使用地址自动识别特性时，主机通过调用特定从机地址选择与一个（或多个）从机通信。使用广播地址时，所有从机都被联系。在此使用了两个特殊功能寄存器：SADDR 表示从机地址，SADEN 表示地址屏蔽。SADEN 用于定义 SADDR 内哪几位需使用而哪几位不予考虑。SADEN 可以与 SADDR 逻辑“与”得出给定的地址，用于对每一从机进行寻址。示例如下：

从机 0 SADDR=1100 0000
 SADEN=1111 1101
 特定地址=1100 00X0

从机 1 SADDR=1100 0000
 SADEN=1111 1110
 特定地址=1100 000X

上例中 SADDR 相同，而 SADEN 不同以区分两个从机。从机 0 要求 0 位为 0 而忽略 1 位。从机 1 则要求 1 位为 0 而忽略 0 位。由于从机 1 的 1 位必须为 0，从机 0 只能取独有的地址 1100 0010 以区别。由于从机 0 的 0 位必须为 1，从机 1 只能取独有的地址 1100 0001 以区别。而取地址 1100 0000 时两从机都可被寻址。

下例所示为选择从机 1、2 而不选从机 0：

从机 0 SADDR=1100 0000
 SADEN=1111 1001
 特定地址=1100 0XX0

从机 1 SADDR=1110 0000
 SADEN=1111 1010
 特定地址=1100 0X0X

从机 2 SADDR=1110 0000
 SADEN=1111 1100
 特定地址=1110 00XX

上述三个从地址只有低 3 位不同。从机 0 要求位 0=0，它可通过 1110 0110 单独寻址；从机 1 要求位 1=0，可通过 1110 0101 单独寻址；从机 2 要求位 2 为 0，可通过 1110 0011 单独寻址。由于必须使地址字节的第 2 位为“1”以屏蔽从机 2，因此使用地址 1110 0100 可选通从机 0 和 1 同时屏蔽从机 2。将 SADDR 和 SADEN 相“或”后产生每个从机的“广播”地址，结果为零的位视为无关位。大多数情况下，无关位被认为是 1，这样，“广播”地址为 FFH。复位时 SADDR 和 SADEN 均为 00H，此时产生了一个所有位都是无关位的给定地址，也即“广播”地址。这样有效地禁止了自动寻址模式，并允许微处理器使用不带有上述特性的标准 UART 驱动器。

SCON Address=98H

复位值 00000000B

可位寻址

SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI
7	6	5	4	3	2	1	0

(SMOD0=0/1) *

符号

功能

FE

帧错误 位。当接收到无效停止位 时，该位置位。必须由软件清零。
如果要对 FE 进行访问，则应置位 SMOD。

SM0

串行口模式位 0（如果要对 SM0 进行访问，则应复位 SMOD）

SM1

串行口模式位 1

SM0	SM1	Mode	功能描述	波特率**
0	0	0	移位寄存器	fosc/12
0	1	1	8 位 UART	波特率可变
1	0	2	9 位 UART	fosc/64 或 fosc/32
1	1	3	9 位 UART	波特率可变

SM2

在模式 2 和 3 方式下使能自动地址识别功能。当 SM2=1 时，只有当传送的数据第 9 位（RB8）为 1，说明传送的是地址时，RI 才会置位。在模式 1 方式下，如果 SM2=1，只有当接收到有效的停止位 时，RI 才会置位，并且接收的位为特定或广播地址。模式 0 时，SM2 应该为 0。

REN

使能串行接收，软件置位允许串行接收，软件复位禁止串行接收。

TB8

在模式 2 和 3 方式下所发送的第 9 位数据，软件置位或清零。

RB8

在模式 2 和 3 方式下所接收的第 9 位数据，在模式 1 方式下，为所接收的停止位。模式 0 方式下，该位无效。

TI

发送中断标志位，模式 0 方式下发送完第 8 位后，由硬件置位。在其它模式下，在发送停止位之前由硬件置位。该位由软件复位。

RI

接收中断标志位，模式 0 方式下接收完第 8 位后，由硬件置位。在其它模式下，在接收停止位当中由硬件置位。该位由软件复位。

注： *SMOD0 在 PCON. 6 中

**fosc=晶振频率

图 7 SCON 串行口控制寄存器

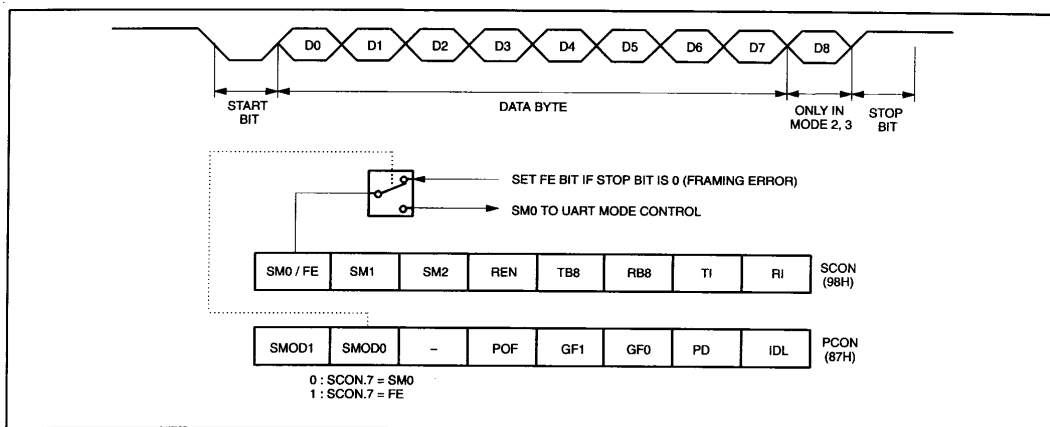


图 8 UART 帧错误检测

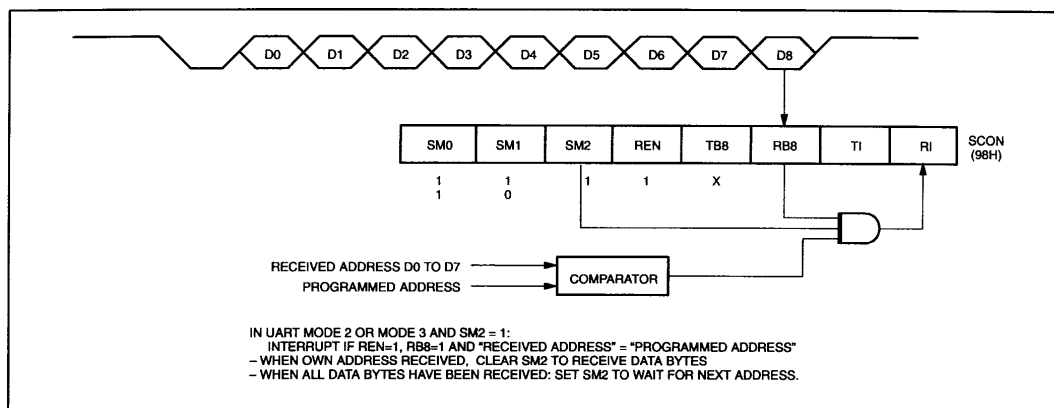


图 9 UART 多机通讯和地址的自动识别

中断优先级结构

89C51/89C52/89C54/89C58 有 6 个中断源，4 级中断优先级。

4 个中断优先级和 3 个特殊功能寄存器相关，他们分别是 IE，IP 和 IPH(见图 10、11、12)。

寄存器 IPH（中断优先级高）组成 4 级中断结构，IPH 的地址位于 SFR 中的 B7H。IPH 寄存器及其位的描述见图 12。

IPH 寄存器的功能很简单，IPH 和 IP 组合使用决定每一个中断的优先级。如下表所示：

优先级位		中断优先级
IPH. x	IP. x	
0	0	0 级(最低级)
0	1	1 级
1	0	2 级
1	1	3 级(最高级)

表 7 中断表

中断源	优先顺序	请求位	硬件清除	入口地址
X0	1	IE0	N(L) ¹ Y(T) ²	03H
T0	2	TP0	Y	0BH
X1	3	IE1	N(L) Y(T)	13H
T1	4	TF1	Y	1BH
SP	5	R1, T1	N	23H
T2	6	TF2, EXF2	N	2BH

注:

1. L=中断级激活
2. T= 转换激活

IE (0A8H)			7	6	5	4	3	2	1	0
			EA	—	ET2	ES	ET1	EX1	ET0	EX0
			使能位=1, 使能中断							
			使能位=0, 禁止中断							
位	标号	功能								
IE. 7	EA	全局使能位。如果 EA=0, 禁止所有中断, 如果 EA=1, 通过置位或清除使能位, 对应的每个中断被使能或禁止。								
IE. 6	—	无效, 保留将来之用								
IE. 5	ET2	定时器 2 中断使能位								
IE. 4	ES	串行口中断使能位								
IE. 3	ET1	定时器 1 中断使能位								
IE. 2	EX1	外部中断 1 使能位								
IE. 1	ET0	定时器 0 中断使能位								
IE. 0	EX0	外部中断 0 使能位								

图 10 IE 特殊功能寄存器

IP (0B8H)			7	6	5	4	3	2	1	0
			—	—	PT2	PS	PT1	PX1	PT0	PX0
			中断优先级控制位=1, 定义为高优先级中断							
			中断优先级控制位=0, 定义为低优先级中断							
位	标号	功能								
IP. 7	—	无效, 保留将来之用								
IP. 6	—	无效, 保留将来之用								
IP. 5	PT2	定时器 2 中断优先级控制位								
IP. 4	PS	串行口中断优先级控制位								
IP. 3	PT1	定时器 1 中断优先级控制位								
IP. 2	PX1	外部中断 1 中断优先级控制位								
IP. 1	PT0	定时器 0 中断优先级控制位								
IP. 0	PX0	外部中断 0 中断优先级控制位								

图 11 IP 寄存器

IPH (B7H)							
7	6	5	4	3	2	1	0
—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
中断优先级控制位=1, 定义为高优先级中断							
中断优先级控制位=0, 定义为低优先级中断							
位	标号	功能					
IPH. 7	—	无效, 保留将来之用					
IPH. 6	—	无效, 保留将来之用					
IPH. 5	PT2H	定时器 2 中断优先级控制位为高					
IPH. 4	PSH	串行口中断优先级控制位为高					
IPH. 3	PT1H	定时器 1 中断优先级控制位为高					
IPH. 2	PX1H	外部中断 1 中断优先级控制位为高					
IPH. 1	PT0H	定时器 0 中断优先级控制位为高					
IPH. 0	PX0H	外部中断 0 中断优先级控制位为高					

图 12 IPH 寄存器

4 个中断级比 80C51 多 2 个。在没有产生同级的中断和更高级的中断情况下, 中断将被执行, 如果同级的中断或更高级的中断正在执行, 新的中断只有等到正在执行的中断结束才能被执行。在更低级的中断正在执行情况下产生新的中断时, 低级的中断停止, 转而执行新的中断, 直到新中断完成才可以执行被停止的中断。

降低 EMI 模式

当位 AO 位 (AUXR.0) 置位时, 将禁止 ALE 输出。

AUXR (8EH)

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—
AUXR.0	AO	关闭 ALE 输出					

双 DPTR

通过双 DPTR 的结构 (见图 13) 可以使芯片指定外部数据存储器的地址。有 2 个 16 位 DPTR 寄存器可以对外部存储器进行寻址, 通过一个 DPS 标志位使程序代码可以在 2 个寄存器之间切换。

- 新寄存器名: AUXR1#
- 地址: A2H
- 复位值: xxxx00x0B

AUXR1 (A2H)

7	6	5	4	3	2	1	0
—	—	—	—	GF2	0	—	DPS

这里:

DPS 为 AUXR1 的位 0, 用于切换 DPTR0 和 DPTR1

选择寄存器	DPS
DPTR0	0
DPTR1	1

DPTR0 和 DPTR1 转化标志位 DPS 可以通过软件来保存

GF2 位是用户定义普通的标志, 注意 AUXR 的位 2 不能写, 读出来为 0, 这就要 DPS 位通过执行 INC AUXR1 命令不会影响 GF2 位快速写进。

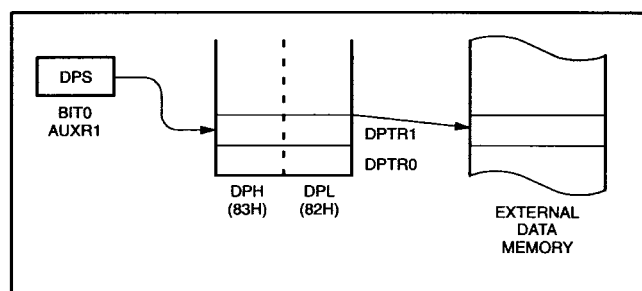


图 13

DPTR 指令

DPTR 指令根据当前数据指针所选特殊寄存器 AUXR 的位 1/0。下面是使用 DPTR 的 6 个指令：

INC	DPTR	数据指针加 1
MOV	DPTR,#data16	将 16 位常数装入 DPTR
MOV	A,@A+DPTR	将 DPTR 所寻址的代码字节送入 ACC
MOVX	A,@DPTR	将外部 RAM (16 位地址) 装入 ACC
MOVX	@DPTR, A	将外部 RAM (16 位地址) 装入 ACC
JMP	@A+DPTR	跳转到 DPTR 间接寻址的地址

可以通过寻址 SFRs 的低字节或高字节来寻址数据指针。

极限参数

参数	额定值	单位
操作温度	0~+70 或 -40~+85	℃
贮存温度范围	-65~+150	℃
EA/V _{pp} 脚相对于 V _{ss} 的电压	0~+13.0	V
其它任何脚相对于 V _{ss} 的电压	-0.5~+6.5	V
每个 I/O 脚的最大 I _{OL}	15	mA
功率损耗 (指器件表面的发热, 而非器件的功耗)	1.5	W

AC 电气特性

T_{amb}=0℃~+70℃或-40℃~+85℃

标号	参数	时钟频率范围		单位
		最小	最大	
1/t _{CLCL}	振荡器频率	0	33	MHz

DC 电气特性

Tamb=0℃~+70℃或-40℃~+85℃;5V±10%;Vss=0V

标号	参数	测试条件	极限			单位
			最小	典型 ¹	最大	
V _{IL}	输入低电压	4.5V<V _{CC} <5.5V	-0.5		0.2V _{CC} -0.1	V
V _{IH}	输入高电压(P0,1,2,3,EA)		0.2V _{CC} +0.9		V _{CC} +0.5	V
V _{IH1}	输入高电压,XTAL1,RST		0.7V _{CC}		V _{CC} +0.5	V
V _{OL}	输出低电压,P1,2,3 ⁸	V _{CC} =4.5V I _{OL} =1.6mA ²			0.4	V
V _{OL1}	输出低电压,P0 口,ALE,PSEN ^{7,8}	V _{CC} =4.5V I _{OL} =3.2mA ²			0.4	V
V _{OH}	输出高电压,P1,2,3 ³	V _{CC} =4.5V I _{OH} =-30uA	V _{CC} -0.7			V
V _{OH1}	输出高电压 ALE ⁹ ,PSEN ³	V _{CC} =4.5V I _{OH} =-3.2mA	V _{CC} -0.7			V
I _{IL}	逻辑 0 输入电流,P1,2,3	V _{IN} =0.4V	-1		-75	V
I _{TL}	逻辑 1 到 0 的转变电流,P1,2,3 ⁶	V _{IN} =2.0V 参见注释 4			-650	V
I _{LI}	输入漏电流,P0	0.45<V _{IN} <V _{CC} -0.3			±10	uA
I _{CC}	电源提供电流(参见图 21): 激活模式,空闲模式,掉电模式或 时钟停止(参见图 25 的条件)	参见注 5 Tamb=0℃~+70℃ Tamb=-40℃~+85℃		3	100 125	uA uA
R _{RST}	内部复位下拉电阻		40		225	kΩ
C _{IO}	管脚电容 ¹⁰ (EA 脚除外)				15	pF

注:

- 1) 不能保证典型值,因为这些值是在室温、5V 下测得。
- 2) P0 口和 P2 口上的容性负载会产生噪声叠加到 1 口、3 口和 ALE 的低电平上。噪声产生的原因是在总线操作期间,0 口和 2 口从 1 到 0 的跳变会使外部总线电容对口 0 和口 2 管脚放电,在最恶劣的情况下(容性负载>100pF),ALE 管脚上的噪声脉冲可超过 0.8V。在这种境况下,可以通过施密特触发器或者带有施密特触发 STROBE 输入的地址锁存器来校正 ALE。I_{OL} 会超过测试条件下的电流。
- 3) 容性负载加到口 0 和口 2 会导致 ALE 和 PSEN 管脚瞬时低于 V_{CC}-0.7V,当地址位稳定下来。
- 4) 当口 1、2、3 被外部电路拉低时,口上从 1 到 0 的跳变将产生跳变电流,当输入电压大约在 2V 时,跳变电流达到最大。
- 5) 图 22 到 25 所示为 I_{CC} 的测试条件,图 21 为 I_{CC} 和频率的关系。
 激活模式: $I_{CC(MAX)}=(0.56 \times \text{FREQ.}+8.0)\text{mA}$
 空闲模式: $I_{CC(MAX)}=(0.30 \times \text{FREQ.}+2.0)\text{mA}$
- 6) 应用温度 T=0℃~+70℃。
- 7) 口 0、ALE 和 PSEN 脚的负载电容为 100pF,其他输出口为 80 pF。
- 8) 在稳定的状态条件下,I_O 低被外部限制如下:
 - i. 每个管脚的最大 I_{OL} 15mA (注: 85℃规格)
 - ii. 每个 8 位口的最大 I_{OL} 26 mA
 - iii. I_{OL} 输出最大总和 71mA
 - iv. 如果 I_{OL} 超过测试条件,V_{OL} 可能会超过相应规格。不能保证超过测试电流。

- 9) ALE 的测试是 ALE 关断情况下，测出 ALE 的高电位值。
- 10) 管脚电容特性并不由测试得出，而是由其特性保证。管脚电容小于 25 pF。陶瓷电容小于 15pF（EA 是 25pF）。

AC 电气特性

$T_{amb} = 0^{\circ}\text{C}$ to $+70^{\circ}\text{C}$ or -40°C to $+85^{\circ}\text{C}$, $V_{CC} = 5\text{ V} \pm 10\%$, $V_{SS} = 0\text{V}^{1, 2, 3}$

SYMBOL	FIGURE	PARAMETER	VARIABLE CLOCK ⁴		33MHz CLOCK		UNIT
			MIN	MAX	MIN	MAX	
$1/t_{CLCL}$	14	Oscillator frequency Speed versions: I;J;U (33 MHz)	3.5	33	3.5	33	MHz
t_{LHLL}	14	ALE pulse width	$2t_{CLCL}-40$		21		ns
t_{AVLL}	14	Address valid to ALE low	$t_{CLCL}-25$		5		ns
t_{LLAX}	14	Address hold after ALE low	$t_{CLCL}-25$		5		ns
t_{LLIV}	14	ALE low to valid instruction in		$4t_{CLCL}-65$		55	ns
t_{LLPL}	14	ALE low to $\overline{\text{PSEN}}$ low	$t_{CLCL}-25$		5		ns
t_{PLPH}	14	$\overline{\text{PSEN}}$ pulse width	$3t_{CLCL}-45$		45		ns
t_{PLIV}	14	$\overline{\text{PSEN}}$ low to valid instruction in		$3t_{CLCL}-60$		30	ns
t_{PXIX}	14	Input instruction hold after $\overline{\text{PSEN}}$	0		0		ns
t_{PXIZ}	14	Input instruction float after $\overline{\text{PSEN}}$		$t_{CLCL}-25$		5	ns
t_{AVIV}	14	Address to valid instruction in		$5t_{CLCL}-80$		70	ns
t_{PLAZ}	14	$\overline{\text{PSEN}}$ low to address float		10		10	ns
Data Memory							
t_{RLRH}	15, 16	$\overline{\text{RD}}$ pulse width	$6t_{CLCL}-100$		82		ns
t_{WLWH}	15, 16	$\overline{\text{WR}}$ pulse width	$6t_{CLCL}-100$		82		ns
t_{RLDV}	15, 16	$\overline{\text{RD}}$ low to valid data in		$5t_{CLCL}-90$		60	ns
t_{RHDX}	15, 16	Data hold after $\overline{\text{RD}}$	0		0		ns
t_{RHDX}	15, 16	Data float after $\overline{\text{RD}}$		$2t_{CLCL}-28$		32	ns
t_{LLDV}	15, 16	ALE low to valid data in		$8t_{CLCL}-150$		90	ns
t_{AVDV}	15, 16	Address to valid data in		$9t_{CLCL}-165$		105	ns
t_{LLWL}	15, 16	ALE low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ low	$3t_{CLCL}-50$	$3t_{CLCL}+50$	40	140	ns
t_{AVWL}	15, 16	Address valid to $\overline{\text{WR}}$ low or $\overline{\text{RD}}$ low	$4t_{CLCL}-75$		45		ns
t_{QVWX}	15, 16	Data valid to $\overline{\text{WR}}$ transition	$t_{CLCL}-30$		0		ns
t_{WHQX}	15, 16	Data hold after $\overline{\text{WR}}$	$t_{CLCL}-25$		5		ns
t_{QVWH}	16	Data valid to $\overline{\text{WR}}$ high	$7t_{CLCL}-130$		80		ns
t_{RLAZ}	15, 16	$\overline{\text{RD}}$ low to address float		0		0	ns
t_{WHLH}	15, 16	$\overline{\text{RD}}$ or $\overline{\text{WR}}$ high to ALE high	$t_{CLCL}-25$	$t_{CLCL}+25$	5	55	ns
External Clock							
t_{CHCX}	18	High time	17	$t_{CLCL}-t_{CLCX}$			ns
t_{CLCX}	18	Low time	17	$t_{CLCL}-t_{CHCX}$			ns
t_{CLCH}	18	Rise time		5			ns
t_{CHCL}	18	Fall time		5			ns
Shift Register							
t_{XLXL}	17	Serial port clock cycle time	$12t_{CLCL}$		360		ns
t_{QVXH}	17	Output data setup to clock rising edge	$10t_{CLCL}-133$		167		ns
t_{XHDX}	17	Output data hold after clock rising edge	$2t_{CLCL}-80$		50		ns
t_{XHDX}	17	Input data hold after clock rising edge	0		0		ns
t_{XHDV}	17	Clock rising edge to input data valid		$10t_{CLCL}-133$		167	ns

AC 特性符号说明

每一时序符号有 5 个字符。首先是“t”（=时间），其字符基于他们的位置、名称和逻辑状态说明如下：

A—地址

C—时钟

D—输入数据

H—逻辑高电平

I—指令

L—逻辑低电平或 ALE

Z—悬浮

P— $\overline{\text{PSEN}}$

Q—数据输出

R— $\overline{\text{RD}}$ 信号

t—时间

W— $\overline{\text{WR}}$ 信号

X—不再是有效逻辑电平

V—有效

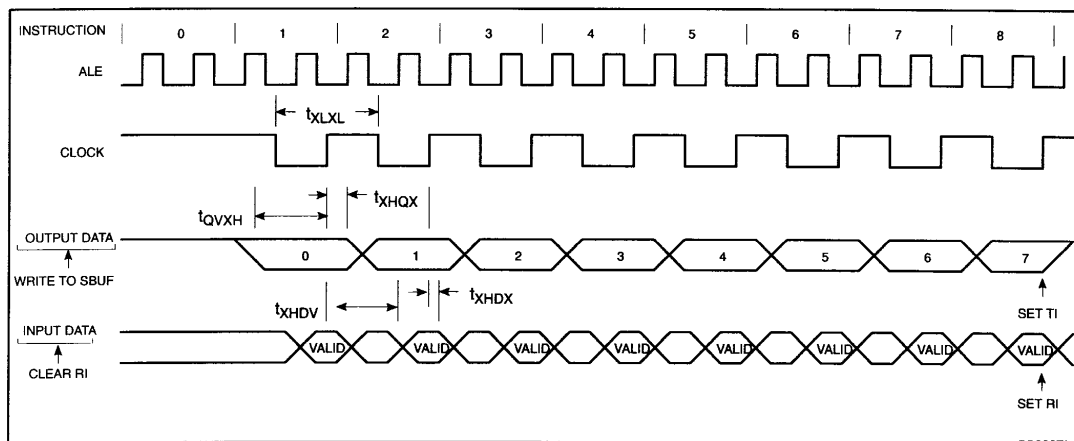


图 17 移位寄存器模式时序

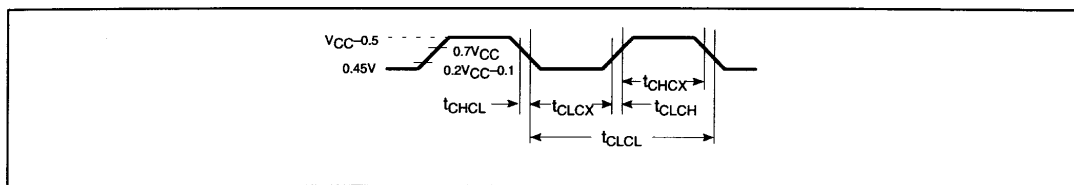


图 18 外部时钟驱动

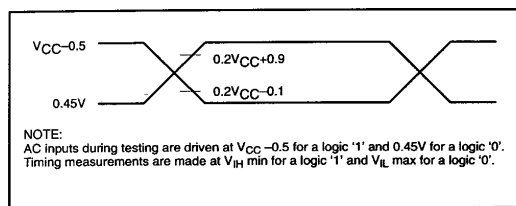


图 19 AC 输入/输出测试

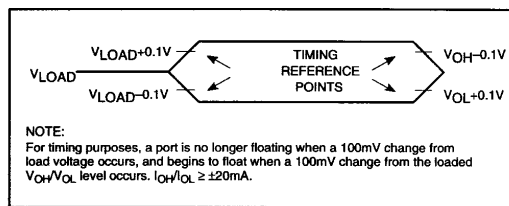


图 20 悬浮波形

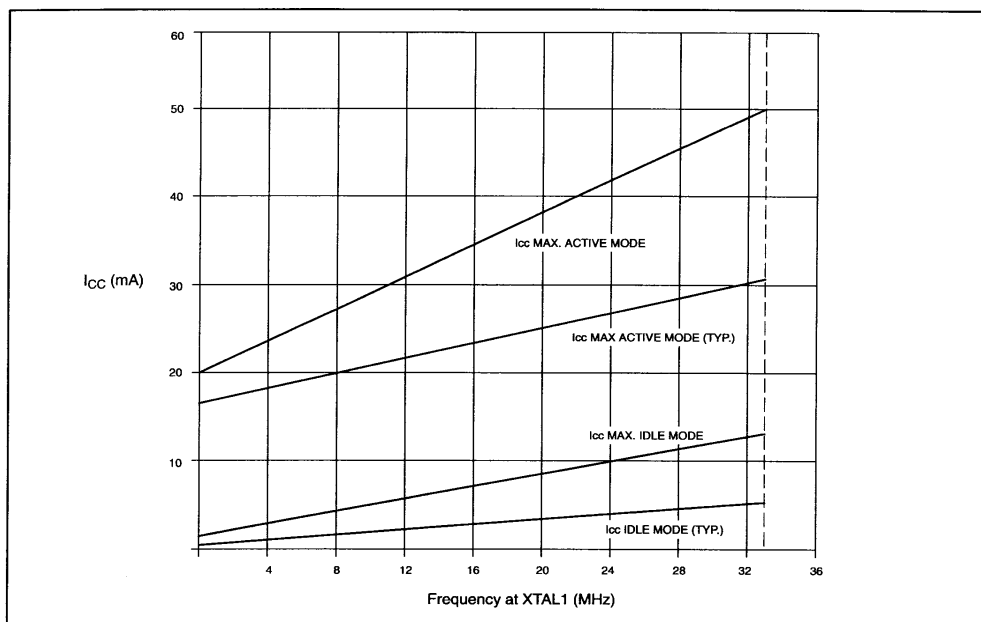


图 21 I_{CC} 与频率的关系 (频率范围内测得的有效数据)

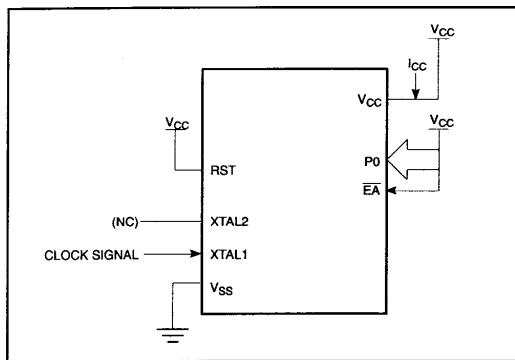


图 22 I_{cc} 测试条件(激活模式;未连接其他管脚)

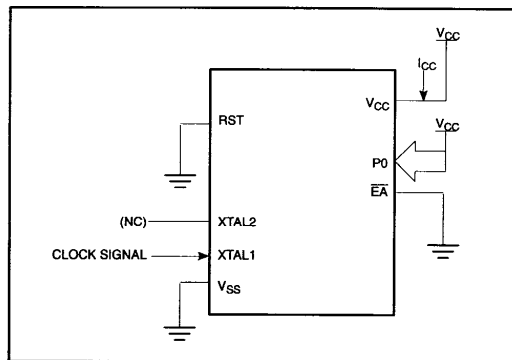


图 23 I_{cc} 测试条件(空闲模式; 未连接其他管脚)

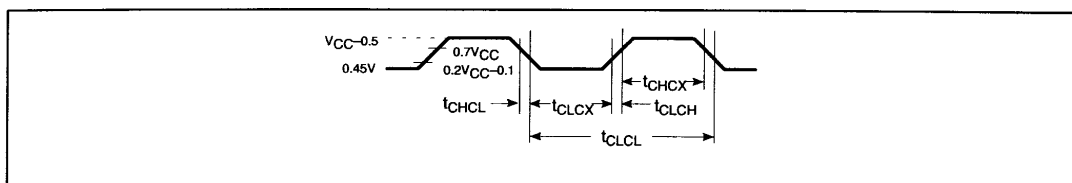


图 24 进行 I_{cc} 测试时激活和空闲模式下的时钟信号波形

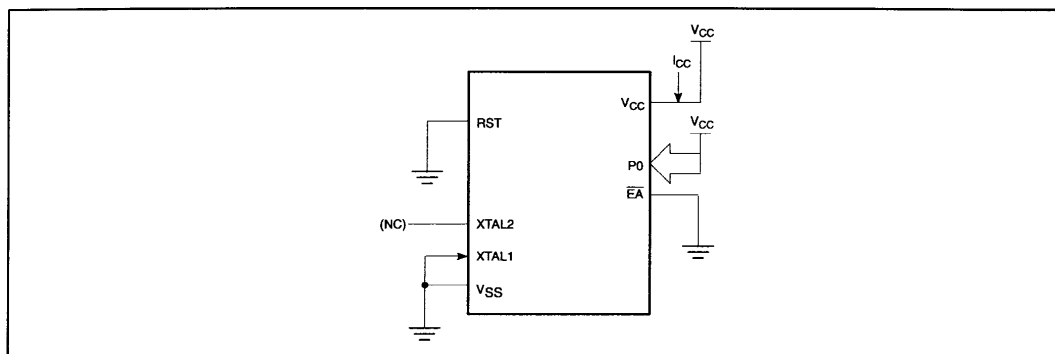


图 25 I_{cc} 测试条件(空闲模式; 未连接其他管脚; $V_{cc}=2V\sim 5.5V$)

保密性

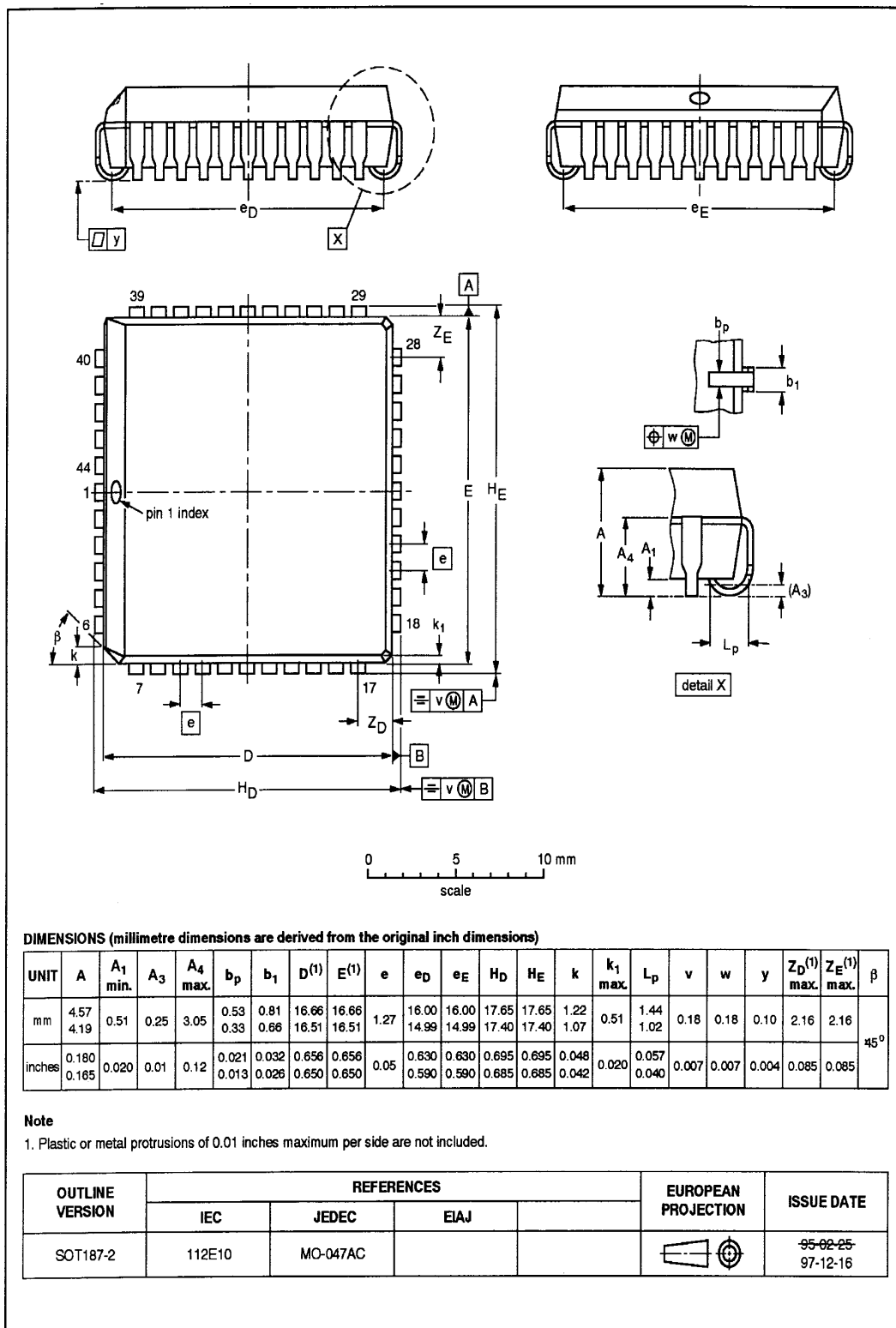
保密特性是为了保护软件的版权，防止 FLASH 的内容被读出，保密位位于 FLASH 中。89C51/89C52/89C54/89C58 有 3 个可编程保密位，可为片内的代码和数据提供不同级别的保护（见表 8）。与 ROM 和 OTP 版本不同的是，这 3 个保密位是独立的，LB3 包含了 LB1 的保密功能。

表 8

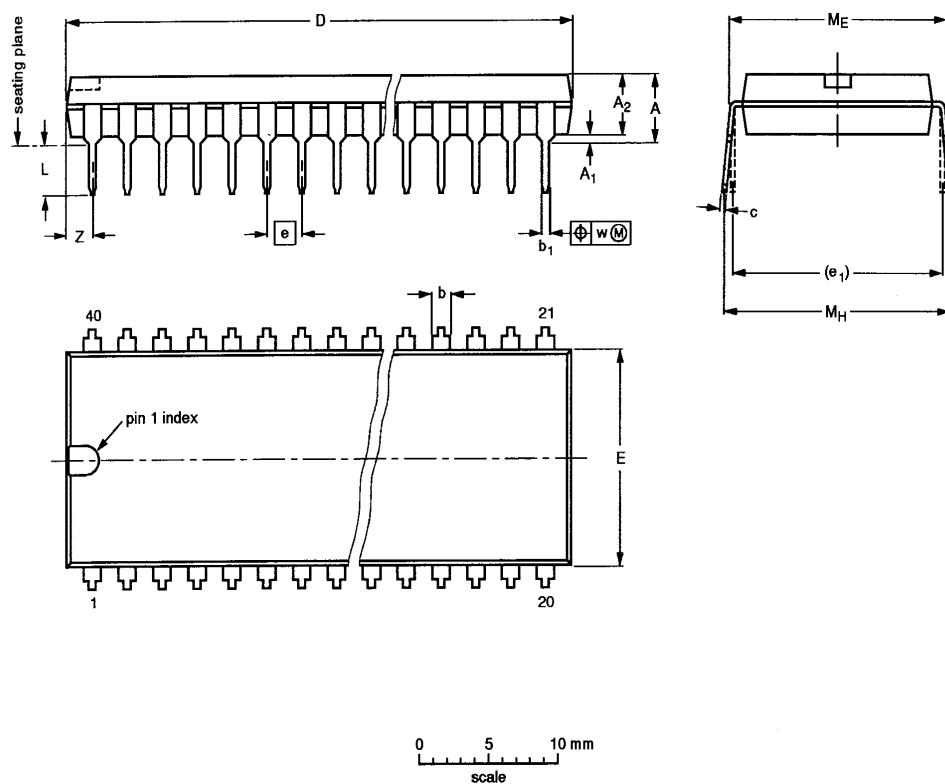
保密位	保护描述
级别	
LB1	禁止外部程序存储器中的指令 MOV _C 读取内部存储器的代码字节
LB2	禁止对程序进行校验
LB3	禁止执行外部程序

注：保密位是独立的

PLCC 封装: 44 脚



DIP 封装: 40 脚



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

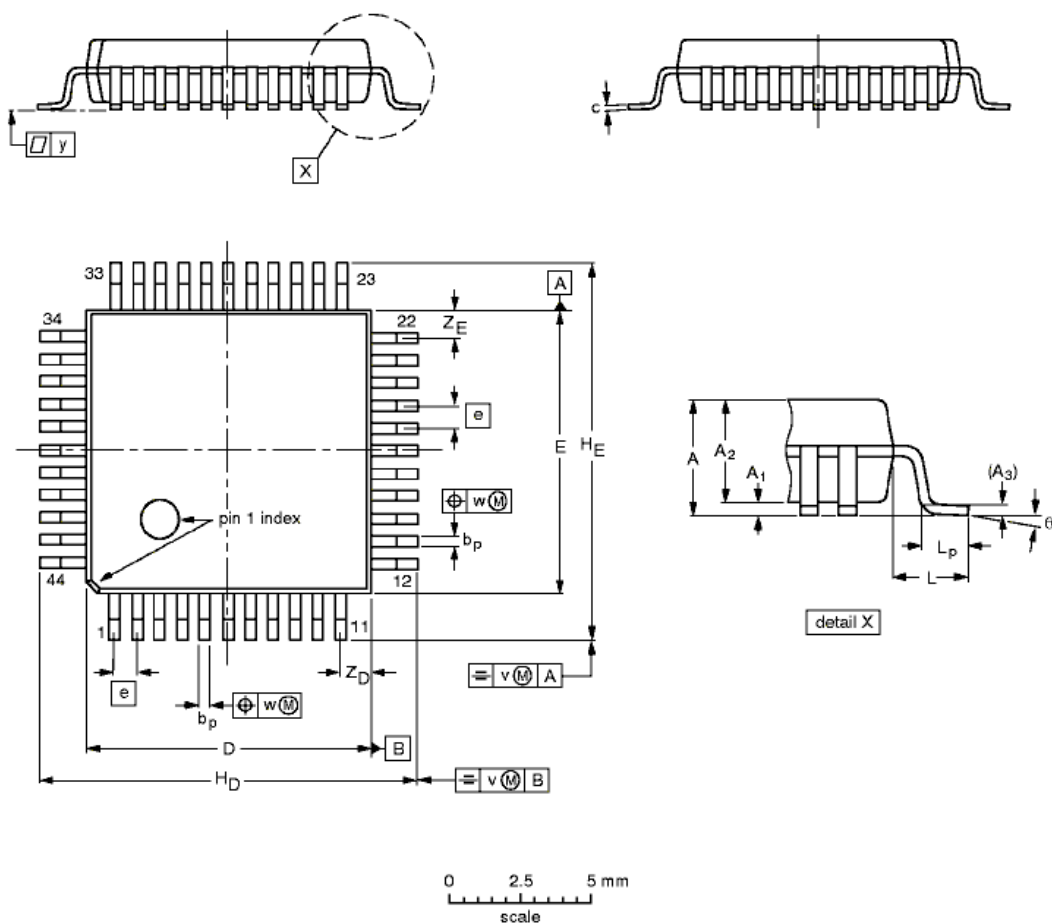
UNIT	A max.	A ₁ min.	A ₂ max.	b	b ₁	c	D ⁽¹⁾	E ⁽¹⁾	e	e ₁	L	M _E	M _H	w	Z ⁽¹⁾ max.
mm	4.7	0.51	4.0	1.70 1.14	0.53 0.38	0.36 0.23	52.50 51.50	14.1 13.7	2.54	15.24	3.60 3.05	15.80 15.24	17.42 15.90	0.254	2.25
inches	0.19	0.020	0.16	0.067 0.045	0.021 0.015	0.014 0.009	2.067 2.028	0.56 0.54	0.10	0.60	0.14 0.12	0.62 0.60	0.69 0.63	0.01	0.089

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT129-1	051G08	MO-015AJ				92-11-17 95-01-14

QFP 封装: 44 脚



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	e	D ⁽¹⁾	E ⁽¹⁾	e	H _D	H _E	L	L _p	v	w	y	Z _D ⁽¹⁾	Z _E ⁽¹⁾	θ
mm	1.60	0.15 0.05	1.45 1.35	0.25	0.45 0.30	0.20 0.12	10.10 9.90	10.10 9.90	0.80	12.15 11.85	12.15 11.85	1.0	0.75 0.45	0.20	0.20	0.10	1.14 0.85	1.14 0.85	7° 0°