Red Cyclone

开发板 RCII-CY1C6/12

用户手册 Ver 2.2

修订历史

版本	修订人	修订日期	修订内容
0.1	红色飓风	2004 年 10 月 15 日	初始版本
0.5	红色飓风	2004 年 10 月 17 日	建立基本框架，补充部分细节
0.9	红色飓风	2004 年 11 月 02 日	基本完善
1.1	红色飓风	2004 年 11 月 20 日	修订部分管脚
2.1	红色飓风	2005 年 03 月 17 日	重新改版，增加了 VGA，LCD,PS2 和 USB
2.1	红色飓风	2005 年 12 月 01 日	修改用户手册
2.2	红色飓风	2008 年 11 月	修改用户手册

目录

RED CYCLONE 1
主开发板（RCM） ..... 错误！未定义书签。
用户手册 VER 2.2 1
修订历史 2
内容介绍：本手册包括以下章节 5
CHAPTER 1 主要器件及特性 6
主要元器件介绍 6
支持的功能扩展板 8
开发板示意图 8
CHAPTER 2 开关、按键与数码管 9
拨码开关 9
按键开关 9
LEDs 10
CHAPTER 3 VGA 接口 12
CRT显示器的工作原理： 13
VGA信号的时序关系： 14
CHAPTER 4 PS/2 鼠标键盘接口 16
键盘 17
鼠标 19
CHAPTER 5 RS-232 串口 20
串行通信标准 21
接收机设计 23
发送机设计 23
CHAPTER 6 字符型液晶显示器 24
介绍 24
FPGA控制原理 26
CHAPTER 7 USB接口及芯片 28
CHAPTER 8 用户自定义串行接口 30
CHAPTER 9 高速异步SRAM 31
CHAPTER 10 高速同步SDRAM 33
CHAPTER 11 大容量，快速FLASH 35
CHAPTER 12 扩展板接口 37
扩展地址总线 37
扩展数据总线 38
扩展用户IO 39
说明 40
CHAPTER 13 JTAG 下载与调试接口 41
JTAG接口 41
AS接口 41
CHAPTER 14 电源分配 42
CHAPTER 15 复位电路 44

说明.....44
CHAPTER 16 时钟源.....45
EP1C6 和EP1C12 的区别.....47
附录A：原理图.....47
附录 B, 主要元件的相关材料.....47

内容介绍：本手册包括以下章节

- Chapter 1, “主要器件及特性”
- Chapter 2, “开关、按键与数码管”
- Chapter 3, “VGA 接口”
- Chapter 4, “PS/2 鼠标/键盘接口”
- Chapter 5, “RS-232 串口”
- Chapter 6，“字符型液晶显示器接口”
- Chapter 7，“USB2.0 接口与芯片”

Chapter 8，“用户自定义串行接口”

- Chapter 9，“高速异步SRAM”
- Chapter 10，“高速同步SDRAM”
- Chapter 11，“大容量快速FLASH”
- Chapter 12，“扩展板接口”
- Chapter 13, “JTAG 下载与调试接口”
- Chapter 14, “电源分配”
- Chapter 15, “复位电路”
- Chapter 16， “时钟源”
- “EP1C6 和EP1C12 的区别”
- 附录 A, “电路板原理图”
- 附录 B, “主要元件的相关材料”

Chapter 1 主要器件及特性

本手册中描述了 Red Cyclone 系列开发板的设计原理和使用方法，作为开发板的配套材料。

这套开发板主要是面向 FPGA 的初、中级者，或者对 FPGA 开发感兴趣的爱好者。所以，设计本着简单实用，扩展性好的原则，特别适合个人用户。也可以作为产品开发的原型验证板或者 IC 前端设计验证板。我们也希望大家在这套板上开发出有创意的产品。

同时，这套开发板也提供了一个 SOPC（System On Programming Chip）平台，可以实现嵌入式的软 CPU，如 NIOSII ，Open RISC 等，为嵌入式电子产品设计提供了又一种选择。

主要元器件介绍

●30 万门（或 15 万门）Altera Cyclone 系列 FPGA

采用 PQFP240 表贴封装（EP1C12Q240C8 或者 EP1C6Q240C8）。

芯片特性	EP1C6Q240C8	EP1C12Q240C8
LEs	5,980	12,060
M4K RAM BLOCK(128×36BIT)	20	52
TOTAL RAM BITs	92,160	239,616
PLLs	2	2
Maximum User I/Os pins	185	173

注：EP1C6Q240C8 的 12 个用户 IO 在 EP1C12Q240C8 中被作为电源和地管脚。

●支持 EPCS4 和 EPCS1

其中 EPCS1 可以配置 EP1C6,EPCS4 可以配置 EP1C12。

●512K Byte 高速，异步 SRAM

一片 256K×16Bit 的 SRAM，独立的字节使能信号

●4MB（128M bit） 高速 SDARM

一片 4M×32Bit SDRAM ，最高 166MHz 读写速度；

●4MB（32M bit） 快速 FLASH

一片 4M×8Bit 或者 12M×16Bit Flash 读写速度为 90ns；

灵活的页面方式，可以用来存储 FPGA 配置文件或者操作系统镜像文件；

●9 针 RS－232 串口

实现与计算机的数据通讯；

辅助调试，结果输出；

●8 色的 VGA 接口

直接 VGA 显示器对接，实现 8 种演示的显示；

用于验证 VGA 时序；

●PS/2 鼠标，键盘接口

标准的鼠标、键盘接口，支持 3.3V 和 5V 设备，可以用来验证 PS/2 的接口协议，实现一个 IO 设备扩展；

●USB2.0 高速数据接口

采用了应用广泛，性能稳定的 Cypress 公司 CY68013 芯片实现了 USB 接口的扩展，能够与计算机之间实现高速的数据传递；

●用户自定义串行接口

直接扩展 FPGA 的 IO 到 USB 接口，用于评估 FPGA 上实现 USB PHY 的性能或用户自定义的串行标准；

●功能扩展接口

通过相应的扩展板，可以实现 Video，Audio 和 Wireless 等应用。用户也可以开发自己定义的接口板。

支持的功能扩展板

●音视频接口板（RCE-AV）

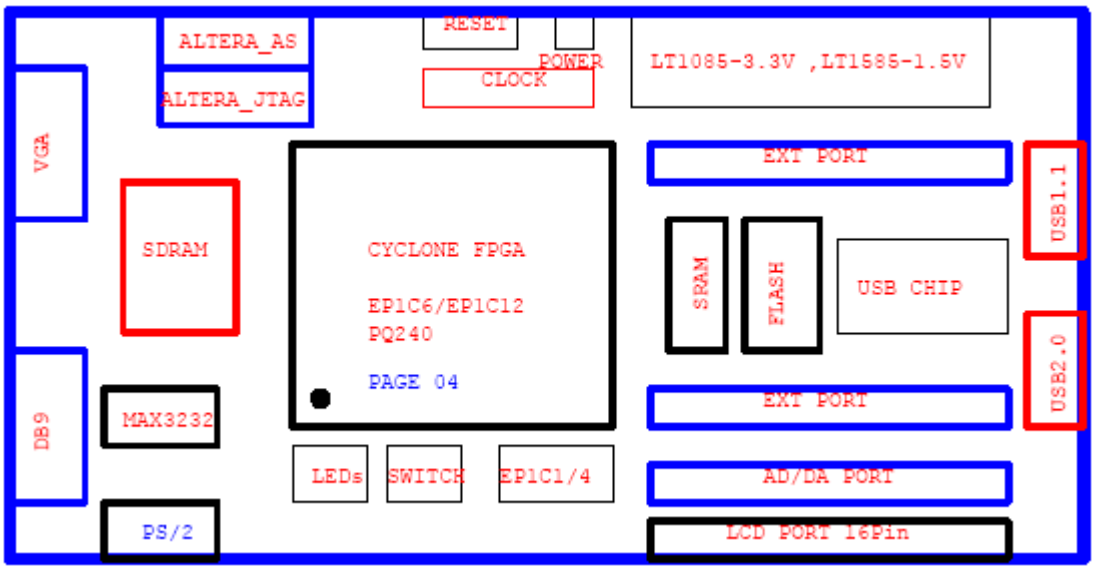
包括一个 Video Decoder（SAA7113），Video Encoder（SAA7123），音频的 Codec TL320AIC23 来完成音视频的输入和输出。

●网络接口扩展板（RCE-NET）

通过扩展总线实现一个 10M/100M 的 PHY/MAC，实现以太网络通信实验；也可以单独评估 MAC 的性能。

开发板示意图

图 1-1 开发板元件示意图



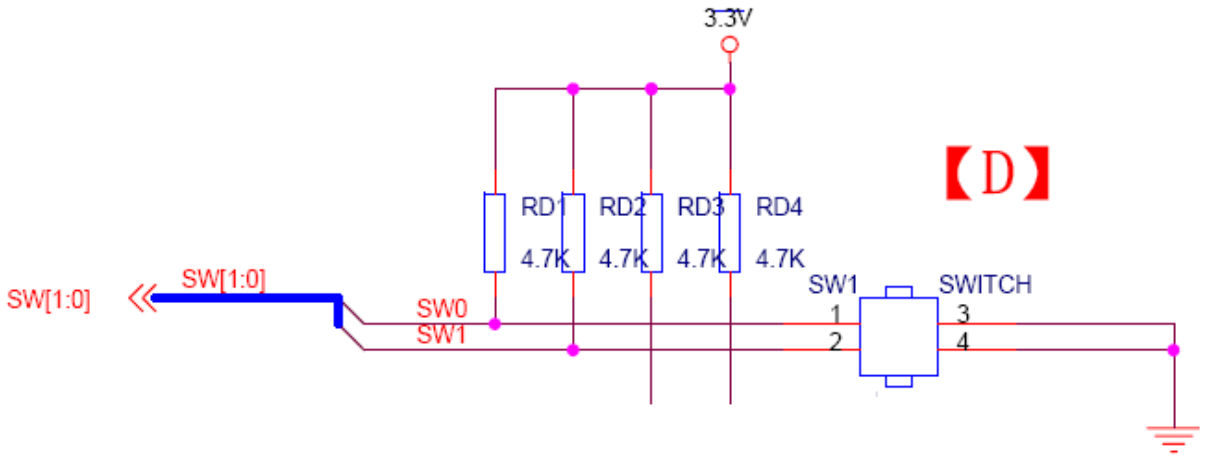
Chapter 2 开关、按键与数码管

用于辅助调试，直观显示运行结果。由于芯片管脚和电路板面积限制，每种器件数目都不多，主要是起到示例作用。如果需要更多的单元，请参考基础试验板的用户手册。

拨码开关

开发板上有 2 位拨码开关，如图 3-1.

图 3.1 拨码开关原理图



开关位于开发板的左下部。拨码开关名称为 SW1-SW2. 上面的是 SW2，下面的是 SW1。如表 3-1 所示连接到 FPGA 相应有户自定义管脚.

Table 3-1: 拨码开关管脚映射

Switch	SW1（下）	SW2（上）
FPGA PIN	Pin 13	Pin 14

当拨码当开关拨到 ON（开）时，SW 信号为低电平. 4.7KΩ 用来做上拉。

按键开关

开发板包括 2 位按键开关，位于拨码开关右侧，左边位 PD1，右边为 PD2 如图 3-2 所示. 开关保持不用时保持高电平，当按下再抬起产生一个下降沿或上升沿，管脚映射图见 表 3-2 所示.

图 3-2:按键开关电路原理图

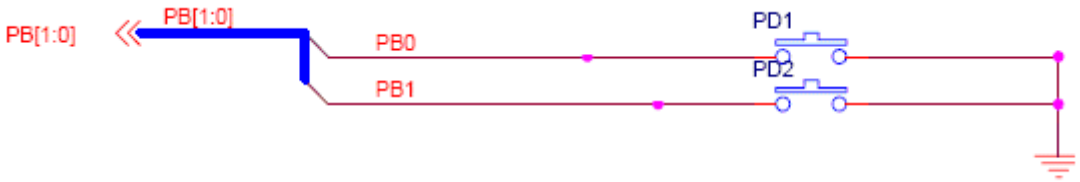


表 3-2:按键开关管脚映射图

Push Button	PD1（左）	PD2（右）
FPGA Pin	15	16

LEDs

开发板包括 4 个 LED 数码管 在拨码开关的上侧。电路原理图见 图 3-3. LED 从左到右依次为 LEDG0—LEDG3. 表 3-3 为 LEDs 的管脚映射

图 3-3: LEDs 电路原理图

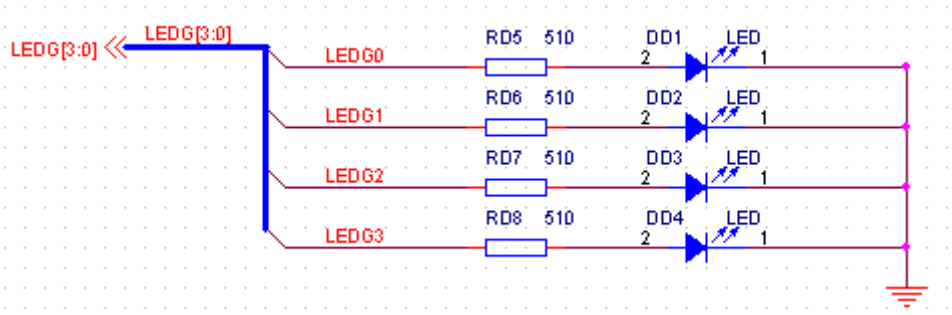


表 3-3：LEDs 管脚映射

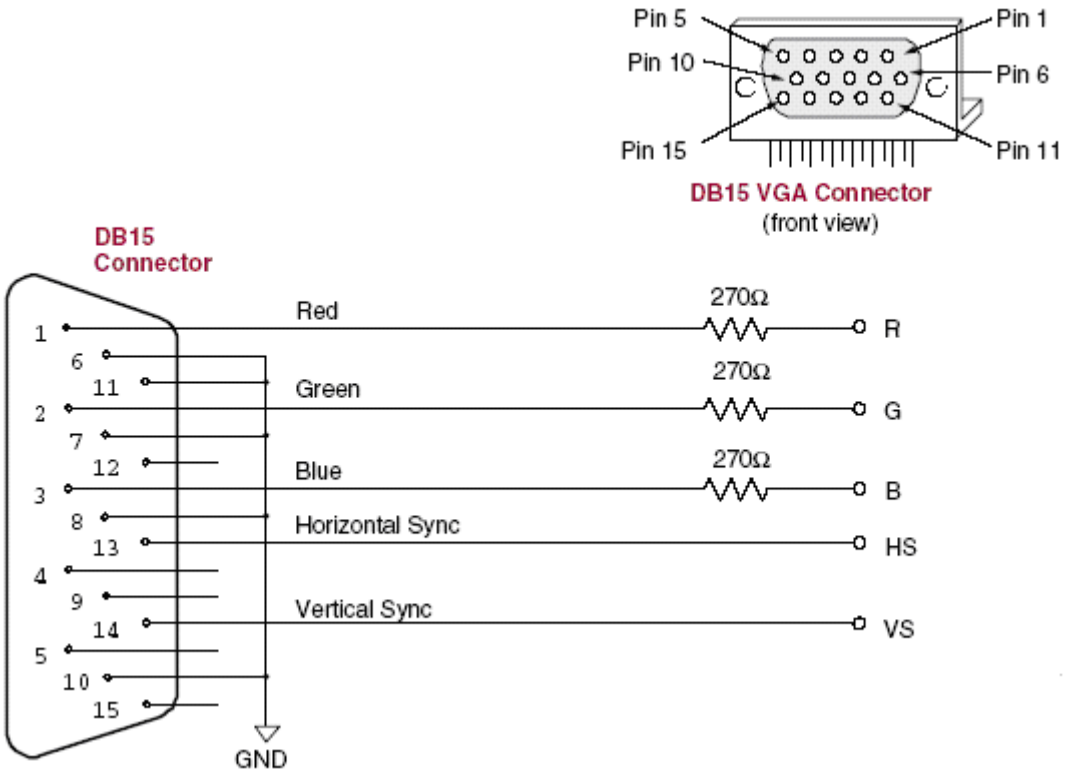
器件	信号名称	FPGA 对应管脚号
D0	LEDG0（左）	Pin 7
D1	LEDG1	Pin 8
D2	LEDG2	Pin 11
D3	LEDG3（右）	Pin 12

需要输入高电平才能点亮 LED。

Chapter 3 VGA 接口

开发板包括 VGA 显示功能与接口，电路原理图见 图 4-1 所示。可以用普通的 VGA 电缆连接到电脑的液晶或电子管显示器上

图 4-1: VGA 电路原理图与接口定义



控制信号有: Red (R), Green (G), Blue (B), Horizontal Sync (水平扫描 HS), and Vertical Sync (垂直扫描 VS), 表 4-1 为 VGA 信号连接 FPGA 的管脚映射图

表 4-1: VGA 信号连接 FPGA 的管脚映射图

Signal	FPGA Pin
Red (R)	160
Green (G)	159
Blue (B)	158
Horizontal Sync (HS)	156
Vertical Sync (VS)	141

每一个色线都有 3 位的色彩 分别为 红, 绿,蓝。串接 270 的电阻使色彩信号线阻抗匹配，可以正常的显示出预想的颜色。HS and VS 信号是 TTL 电平.R, G, B 信号不同的组合可以显示出 8 种颜色，如表 4-2 所示.

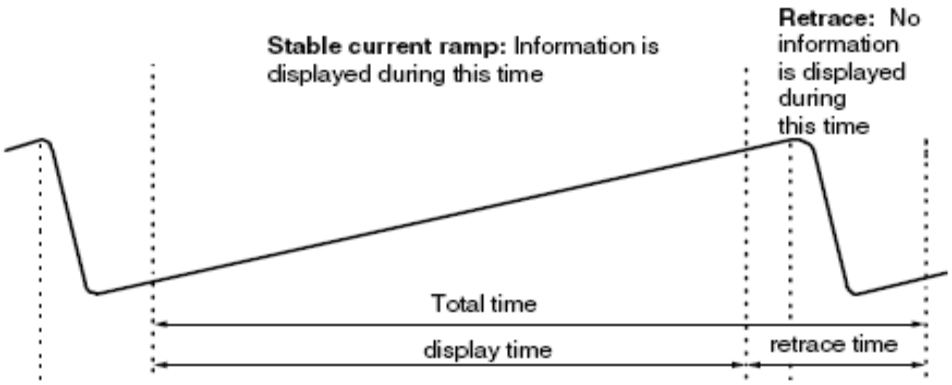
表 4-2: 3-Bit Display Color Codes

Red (R)	Green (G)	Blue (B)	Resulting Color
0	0	0	Black
0	0	1	Blue
0	1	0	Green
0	1	1	Cyan
1	0	0	Red
1	0	1	Magenta
1	1	0	Yellow
1	1	1	White

CRT显示器的工作原理：

在显示器内部，电流流过线圈产生磁场，控制电子束流过显示器表面，水平方向是从左向右流，垂直方向是从上向下流。如下图 4-2，水平方向为例所示，只有当电子沿正方向流的时候（即从左向右，从上向下）显示器工作，而当电子返回显示器的左面或上面的时候显示器不工作。虽然 LCD 显示器与 CRT 显示器的工作原理不一样，但是时序图是一样的。

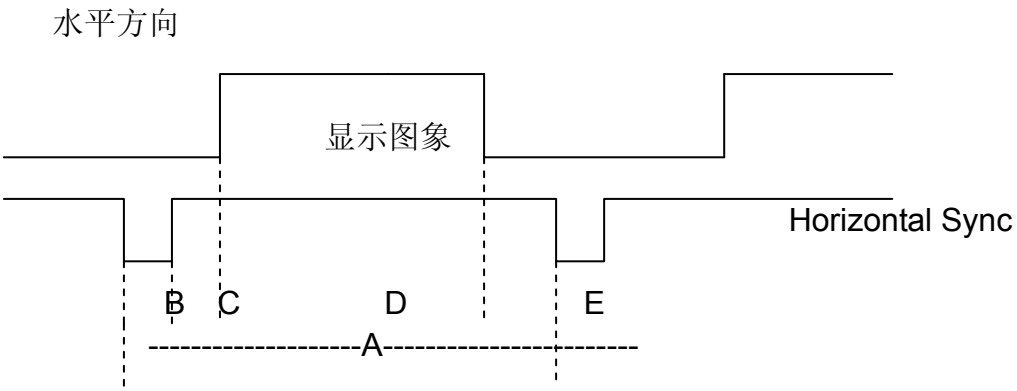
图 4-2：水平扫描信号时序



VGA信号的时序关系：

显示器要正常工作就要求有 VGA 端口输出的控制信号满足一定的时序关系。例如使用的显示器采用 800*600 分辨率，其时序如下：

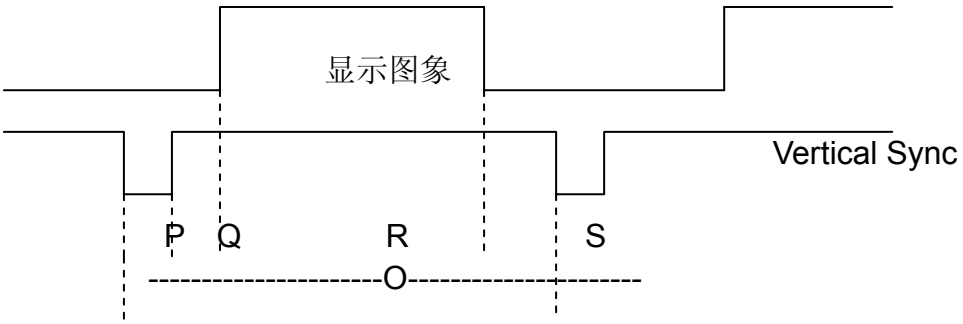
图 4-3：800X600 水平扫描与垂直扫描信号时序



	A	B	C	D	E
Pix	1056	128	85	806	37
Time/(us)	26.4	3.2	2.2	20.0	1

Fh= 37.88kHz

垂直方向



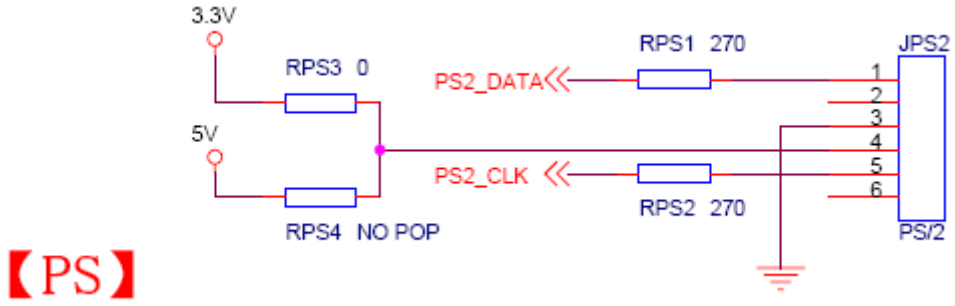
	O	P	Q	R	S
Lin	628	21	4	604	-1
Time/(ms)	16.579	0.026	0.607	15.84	0.106

Fv= 60.32Hz

Chapter 4 PS/2 鼠标键盘接口

开发板的鼠标/键盘接口采用标准的 6-针 mini-DIN 接口，电路原理图见图 5-1，接口信号定义图见图 5-2，只有 1 管脚与 5 管脚连接到 FPGA 的用户自定义管脚上。如表 5-1 为键盘鼠标信号线与 FPGA 的的管脚映射图

图 5-1：PS/2 电路原理图



现在一般用 3.3V 的键盘鼠标，也有一些 5V 的鼠标键盘已经不常见了。

图 5-2：PS/2 DIN 物理接口

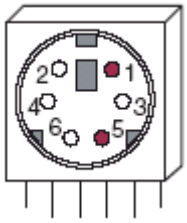


表 5-1：PS/2 键盘鼠标信号线与 FPGA 的的管脚映射图

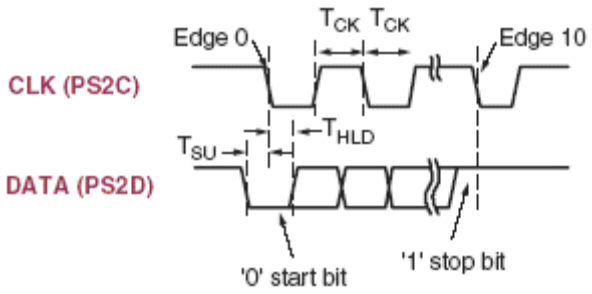
信号名称	FPGA PIN
PS2_CLK	240
PS2_DATA	1

PC 的鼠标键盘都使用 2 个信号线与逐句进行通信，开发板也是这样. PS/2 总线包括时钟和数据线，数据线都使用 11-bit 的串行信号包括：起始位、8 个数据位、奇偶校验位、结束位. 但是键盘和鼠标所发送的数据包是不一样的. 时序图见 表 5-2 and 图 5-3. 只有当有数据传输时总线上才有信号，其他情况总线锁在高电平上. 如图 5-3 所示，当时钟电平为高时设备向总线写入数据，当时钟线为低电平时主机接收信号。

表 5-2：PS/2 总线时序

Symbol	Parameter	Min	Max
T_{CK}	Clock High or Low time	30 µs	50 µs
T_{SU}	Data-to-clock setup time	5 µs	25 µs
T_{HLD}	Clock-to-data hold time	5 µs	25 µs

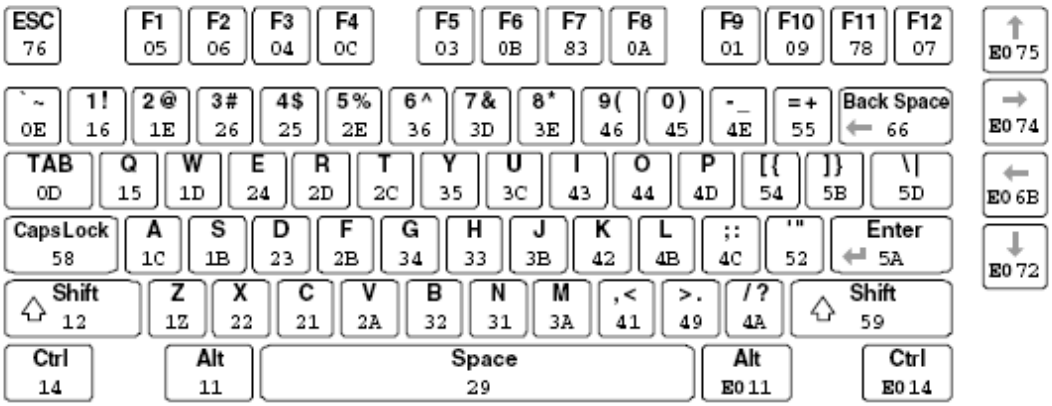
图 5-3: PS/2 总线时序波形



键盘

键盘的处理器花费很多的时间来扫描或监视按键矩阵。如果它发现有键被按下释放或按住键盘将发送扫描码的信息包到计算机，扫描码有两种不同的类型：“通码”和“断码”。当一个键被按下或按住就发送“通码”，当一个键被释放就发送“断码”。每个按键被分配了唯一的“通码”和“断码”，这样，主机通过查找唯一的扫描码就可以测定是哪个按键。每个键一整套的通断码组成了扫描码集。下图包含了键盘上面大部分按键的扫描码：

图 5-4 ps/2 键盘扫描码



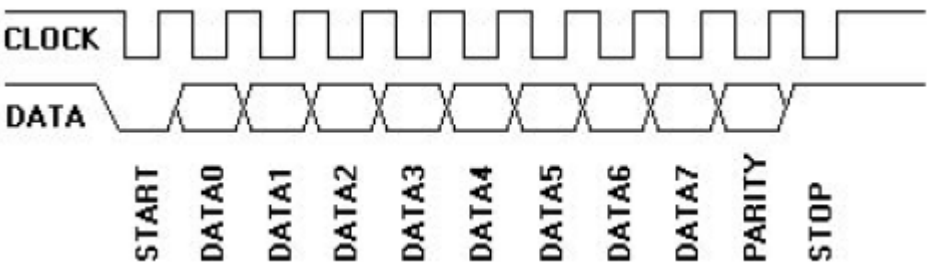
当按键被释放以后，键盘回在扫描码前面加上一个“F0”作为按键松开信号，同时

有的按键是 extended 按键，要在他们的扫描码前面加上一个“E0”作为开头，这样这种按键松起以后将在扫描码前面附加上“E0F0”。

下面我们来了解信号是如何从键盘输入通过 PS/2 端口的数据线输入的。首先键盘要检测数据线和时钟线是否都为高，只有它们都处在高的状态才可以写数据。从键盘发送到主机的数据在时钟信号的下降沿（当时钟从高变到低）的时候被读取。

键盘主要使用一种每贞包含 11 位的串行协议：第一位是起始位，始终为“0”；接下来是八位数据位，排列顺序是由低到高；再后面是奇偶校验位；最后是结束位，始终为“1”。

图 5-5 ps/2 接口时序图



读数据的具体过程为：

1) 等待 Clock = high
2) 延时 50 微秒
3) Clocks 仍旧为 high?
No—到第1 步
4) Data 是否为 high ?
No—放弃 (并且从主机读取字节)
5) 延迟 20 毫秒 (=40 微秒 to the time Clock is pulled low in sending the start bit.)
6) 输出起始位 (0) \ 在发送所有这些位的每一位后
7) 输出 8 个数据位 > 测试时钟确认主机是否把它拉低了
8) 输出校验位 / 这说明主机要放弃这次传送
9) 输出停止位 (1)
10) 延迟30 毫秒 (=50 微秒 from the time Clock is released in sending the stop bit)

按如下的过程发送单个位

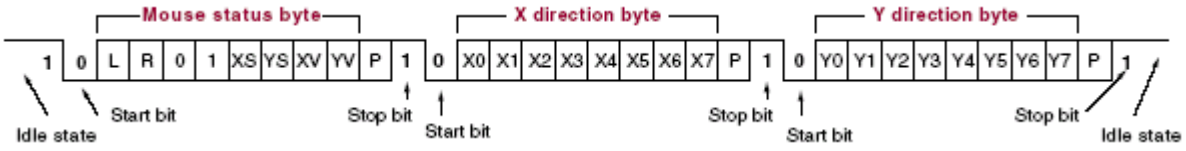
1) 设置/复位数据
2) 延迟20 微秒

3) 把时钟拉低
4) 延迟40 微秒
5) 释放时钟
6) 延迟20 微秒

鼠标

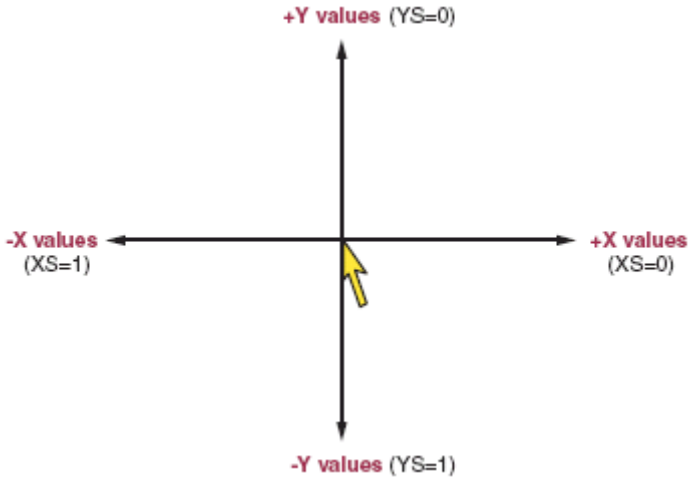
当鼠标产生位移时，每次向主机发送 3 个 11-bit 的数据位. 以起始位 0 开始, 8 个数据位(LSB first), 奇偶校验位, 终止位 1。总共发送 33-bit, 第 0, 11, 22 是‘0’ 为起始位；第 10, 21, 32 位是‘1’为停止位，见图 5-6。和键盘时序一样在时钟下降沿时读入数据, 时钟周期 20 -- 30 kHz.

图 5-6: PS/2 Mouse Transaction



如图 5-7 所示, 当鼠标向右移产生一个正值数据, 反之产生一个负值数据. Y 轴的变化同理. 状态数据包中的 XS 与 YS 标志着移动方向的正负用‘1’表示负值. 状态数据中的 XV 与 YV 表示当 X 轴或 Y 轴超过最大值时数据溢出，‘1’表示数据溢出。当鼠标连续移动时每隔 50ms 发送一次 33bit 的数据

图 5-7:鼠标用相对坐标变换定位



状态数据中的 L 和 R 鼠标的左、右键按下. ‘1’表示右键按下。

Chapter 5 RS-232 串口

开发板包括两个 RS-232 接口，可以同时分别发送或接收数据。使用标准 DB9 接口管脚定义见 图 6-1。接口电器图见 图 6-2。可以直接用串口电缆与个人电脑或终端相连。从口采用标准 2.54mm3-pin 插口。

图 6-1 DB9 接口电气图

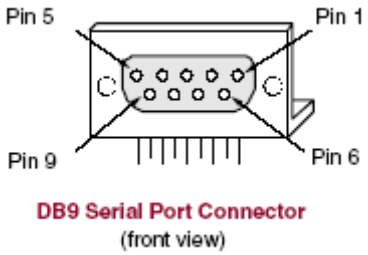


图 6-2 DB9 接口电路原理图

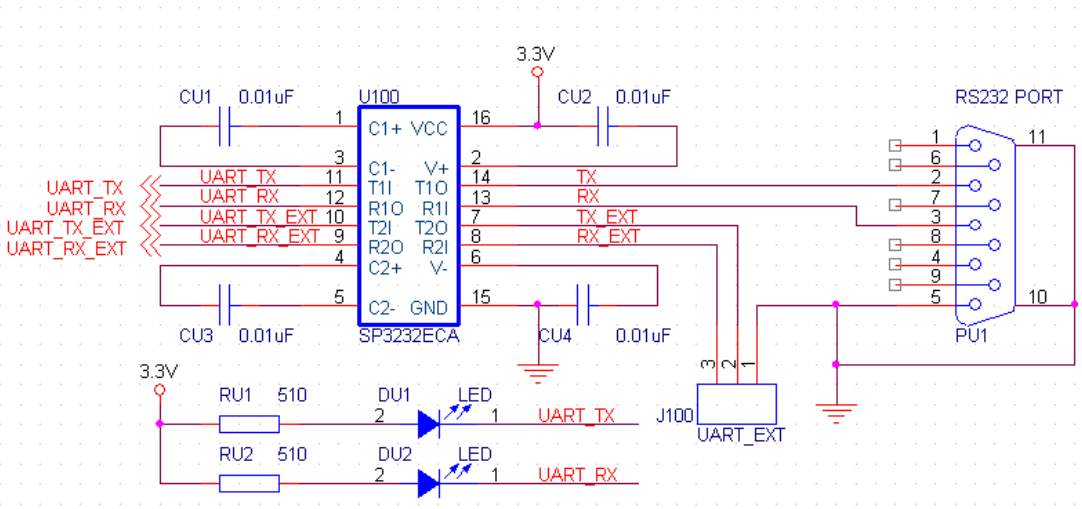


图 6-2 表示了 RS-232 接口与 FPGA 之间的连接关系，它们之间包括了一个 SP3232 电压转换芯片,SP3232 如图 6-2 所示，把串口发送或接收的数据转换成 TTL 电平。串接在 RXD 信号线的电阻用来防止意外的逻辑混乱.

FPGA 的管脚影射见 表 6-1

Table 6-1:FPGA 与串口芯片连接的管脚影射

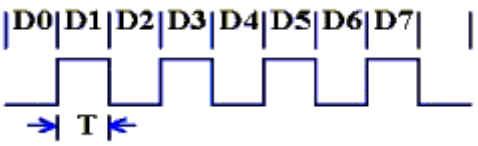
器件	信号名称	FPGA 对应管脚号
U100-11	UART_TX	Pin 236
U100-12	UART_RX	Pin 237
U100-10	UART_TX_EXT	Pin 238
U100-9	UART_RX_EXT	Pin 239

当传送数据时，相应的 LED 会闪亮，表示正在发送或接收数据。

串行通信标准

所谓“串行通信”是指外设和计算机间使用一根数据信号线(另外需要地线,可能还需要控制线),数据在一根数据信号线上一位一位地进行传输，每一位数据都占据一个固定的时间长度。如下图 6-3 所示。

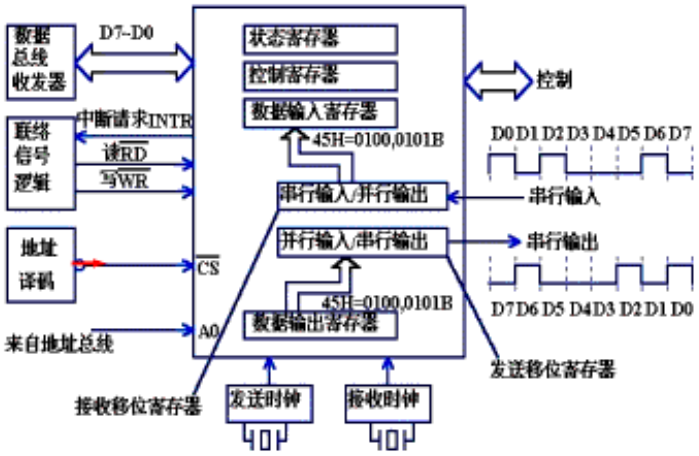
图 6-3 串行数据帧格式



这种通信方式使用的数据线少，在远距离通信中可以节约通信成本，当然，其传输速度比并行传输慢。

由于 CPU（FPGA 就相当是一个 CPU）与接口之间按并行方式传输，接口与外设之间按串行方式传输，因此，在串行接口中，必须要有“接收移位寄存器”（串→并）和“发送移位寄存器”（并→串）。典型的串行通信接口的结构如下图 6-4 所示。

图 6-4 串行设备结构图



在数据输入过程中，数据 1 位 1 位地从外设进入接口的“接收移位寄存器”，当“接收移位寄存器”中已接收完 1 个字符的各位后，数据就从“接收移位寄存器”进入“数据输入寄存器”。CPU 从“数据输入寄存器”中读取接收到的字符。(并行读取，即 D7~D0 同时被读至累加器中)。“接收移位寄存器”的移位速度由“接收时钟”确定。

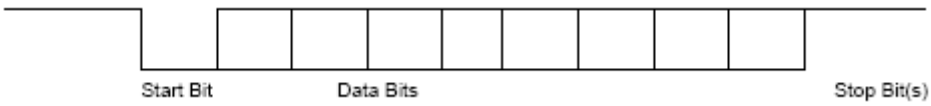
在数据输出过程中，CPU 把要输出的字符（并行地）送入“数据输出寄存器”，“数据输出寄存器”的内容传输到“发送移位寄存器”，然后由“发送移位寄存器”移位，把数据 1 位 1 位地送到外设。“发送移位寄存器”的移位速度由“发送时钟”确定。

接口中的“控制寄存器”用来容纳 CPU 送给此接口的各种控制信息，这些控制信息决定接口的工作方式。

能够完成上述“串<- ->并”转换功能的电路，通常称为“通用异步收发器”（UART：Universal Asynchronous Receiver and Transmitter）。包括：双缓存发送数据寄存器，并行转串行装置，双缓存输入数据寄存器，串行转并行装置。

RS232 通讯协议基本结构

起始位低，停止位高



波特率 300~115200 bit/s，8bi 数据位，一位或两位停止位，奇校验、偶校验或无校验

位。

接收机设计

可以用 16 倍时钟确定起始位、停止位。具体方法是设计两个输入数据寄存器，rxd1、rxd2：“rxd1〈=rxd；rxd2〈=rxd1；”当 16 倍时钟检测到 rxd1==0 并且 rxd2==1 时可以确定下降沿发生（检测到起始位）。当然为了确保接收数据的正确性可以用 16 倍时钟对数据位进行采样

发送机设计

同理需要设计两个输出寄存器，wrn1，wrn2。当十六倍时钟检测 wrn 1==0 并且 wrn 2==1 时可以确定下降沿发生（起始位开始）。wrn 可以由信号来控制，这样按下复位信号上才有数据发送出来

Chapter 6 字符型液晶显示器

介绍

开发板上包括一个 16X2 字符型液晶显示器，可以显示两行每行可以显示 16 个字。电路原理图见 图 8-1，与 FPGA 的管脚映射见表 8-1。

图 8-1 字符型液晶显示器电路原理图

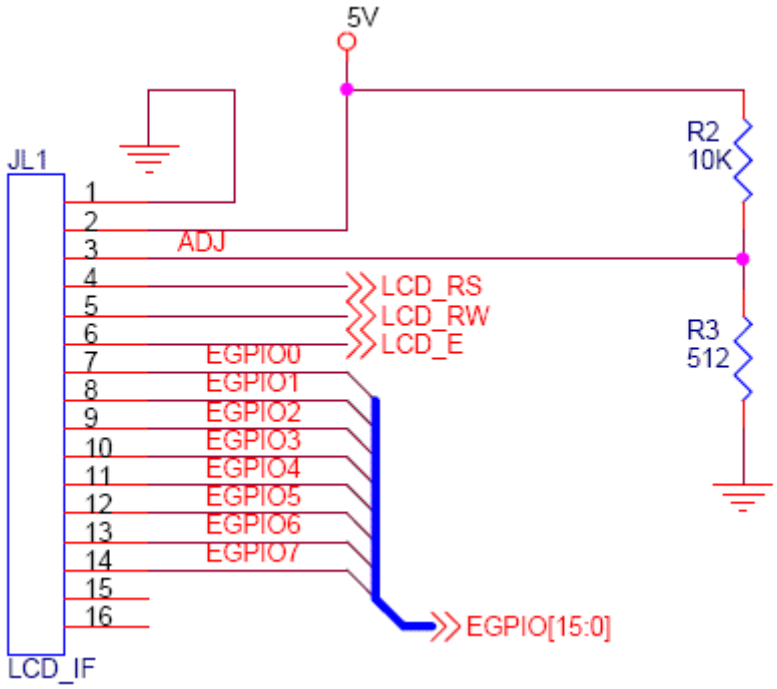


表 8-1 FPGA 管脚映射

器件	信号名称	FPGA 对应管脚号
J1-4	LCD_RS	Pin 2
J1-5	LCD_RW	Pin 3
J1-6	LCD_E	Pin 4
J1-7	LCD_D0	Pin 17
J1-8	LCD_D1	Pin 18
J1-9	LCD_D2	Pin 19
J1-10	LCD_D3	Pin 20
J1-11	LCD_D4	Pin 21
J1-12	LCD_D5	Pin 23
J1-13	LCD_D6	Pin 41
J1-14	LCD_D7	Pin 42

第 1 脚：VSS 为地电源

第 2 脚：VDD 接 5V 正电源

第 3 脚：VO 为液晶显示器对比度调整端，接正电源时对比度最弱，接地电源时对比度最高，对比度过高时会产生“鬼影”，使用时可以通过一个 10K 的电位器调整对比度

第 4 脚：RS 为寄存器选择，高电平时选择数据寄存器、低电平时选择指令寄存器。

第 5 脚：RW 为读写信号线，高电平时进行读操作，低电平时进行写操作。当 RS 和 RW 共同为低电平时可以写入指令或者显示地址，当 RS 为低电平 RW 为高电平时可以读忙信号，当 RS 为高电平 RW 为低电平时可以写入数据。

第 6 脚：E 端为使能端，当 E 端由高电平跳变成低电平时，液晶模块执行命令。

第 7～14 脚：D0～D7 为 8 位双向数据线。

1602 液晶模块内部的字符发生存储器(CGROM)已经存储了 160 个不同的点阵字符图形，如表 1 所示，这些字符有：阿拉伯数字、英文字母的大小写、常用的符号、和日文假名等，每一个字符都有一个固定的代码，比如大写的英文字母“A”的代码是 0100_0001B（41H），显示时模块把地址 41H 中的点阵字符图形显示出来，我们就能看到字母“A”

表 8-2 LCD 真值表

高位 / 低位	0000	0010	0011	0100	0101	0110	0111	1010	1011	1100	1101	1110	1111
××××0000	CGRAM (1)		0	@	P	\	p		ー	タ	三	α	P
××××0001	(2)	!	1	A	Q	a	q	口	ア	チ	ム	ä	q
××××0010	(3)	"	2	B	R	b	r	r	イ	川	メ	β	θ
××××0011	(4)	#	3	C	S	c	s	」	ウ	ラ	モ	ε	∞
××××0100	(5)	$	4	D	T	d	t	\	エ	ト	セ	μ	Ω
××××0101	(6)	%	5	E	U	e	u	ロ	オ	ナ	ユ	B	0
××××0110	(7)	&	6	F	V	f	v	テ	カ	ニ	ヨ	P	Σ
××××0111	(8)	>	7	G	W	g	w	ア	キ	ヌ	ラ	g	π
××××1000	(1)	(	8	H	X	h	x	イ	ク	ネ	リ	∫	X
××××1001	(2)	)	9	I	Y	i	y	ウ	ケ	」	ル	−1	y
××××1010	(3)	*	:	J	Z	j	z	エ	コ	リ	レ	j	千
××××1011	(4)	+	;	K	[	k	{	オ	サ	ヒ	ロ	x	万
××××1100	(5)	フ	<	L	¥	l	|	セ	シ	フ	ワ	¢	円
××××1101	(6)	−	=	M	]	m	}	ユ	ス	ヘ	ソ	ŧ	÷
××××1110	(7)	.	>	N	^	n	→	ヨ	セ	ホ	ハ	n̄	
××××1111	(8)	/	?	O	ー	o	←	ツ	ソ	マ	ロ	Ö	

表 8-3 LCD 控制命令真值表

指令名称	控制信号		控制代码								运行时间 (250 kHz)
	RS	R/W	D7	D6	D5	D4	D3	D2	D1	D0	
清屏	0	0	0	0	0	0	0	0	0	1	1.64 ms
归 home 位	0	0	0	0	0	0	0	0	1	*	1.64 ms
输入方式设置	0	0	0	0	0	0	0	1	I/D	S	40 μs
显示状态设置	0	0	0	0	0	0	1	D	C	B	40 μs
光标画面滚动	0	0	0	0	0	1	S/C	R/L	*	*	40 μs
工作方式设置	0	0	0	0	1	DL	N	F	*	*	40 μs
CGRAM 地址设置	0	0	0	1	A5	A4	A3	A2	A1	A0	40 μs
DDRAM 地址设置	0	0	1	A6	A5	A4	A3	A2	A1	A0	40 μs
读 BF 和 AC 值	0	1	BF	AC6	AC5	AC4	AC3	AC2	AC1	AC0	0 μs
写数据	1	0	数据								40 μs
读数据	1	1	数据								40 μs

I/D=1:数据读/写操作后,AC 自动增 1
I/D=0:数据读/写操作后,AC 自动减 1
S=1:数据读/写操作,画面平移
S=0:数据读/写操作,画面不动
D:显示开关,"1"开;"0"关
C:光标开关,"1"开;"0"关
B:闪烁开关,"1"开;"0"关

S/C=1:画面平移一个字符位
S/C=0:光标平移一个字符位
R/L=1:右移
R/L=0:左移
DL=1:8 位数据接口
DL=1:4 位数据接口

N=1:两行显示
N=0:一行显示
F=1:5×10 点阵
F=0:5×7 点阵
BF=1:忙
BF=0:准备好

注:"*"表示任意值,在实际应用时一般认为是"0"。

FPGA控制原理

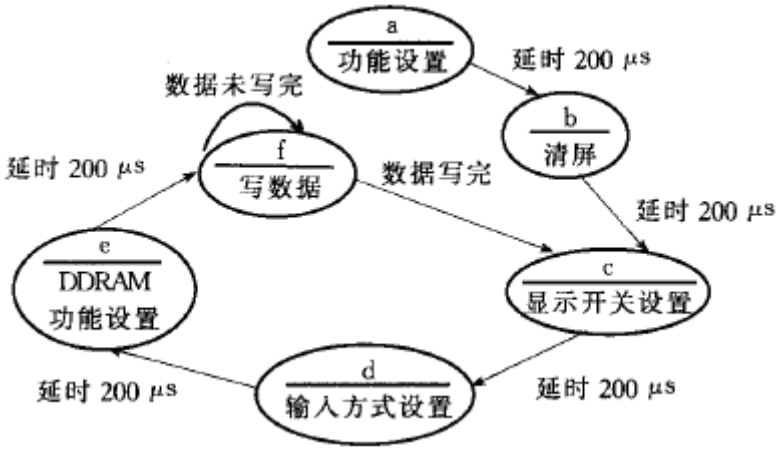
1 lcd 控制时钟可以把主时钟 50Mhz 分频 16 倍。

2 FPGA内部电路的工作流程是:首先预置数据，然后将被预置的数据通过led-decoder译

成液晶显示器中所对应的二进制代码，送人Icd-driver，由lcd driver模块的输出信号直接控制液晶显示器，输出对应的字符。

FPGA控制的lcd-driver内部的三大进程分别是数据预置(loaddata)、分频(divider)和控制进程(control)，其中分频是为了满足使能信号的使能周期的最小时间，这是由于FPGA的频率太高，要满足使能周期的最小时间就必须利用分频来实现。控制过程是利用状态机来完成的，状态转换如图3所示，分别为功能设置状态(set-dlnf)，清屏状态(clear-lcd)，输人方式设置状态(set-cursor)，限制开关控制状态(setdcb),DDRAM地址设置状态(set-location)，写数据状态(write-data)

图8-2 LCD显示状态转换图



Chapter 7 USB接口及芯片

试验板包括一个 USB 接口，它可以直接用 USB 电缆与主机（比如个人电脑）相连。试验板上包括一片 USB 芯片与 FPGA 相连，采用 Cypress 公司 CY68013 芯片，电路原理图见图 9-1。FPGA 管脚映射见表 9-1

图 9-1 USB 芯片原理图

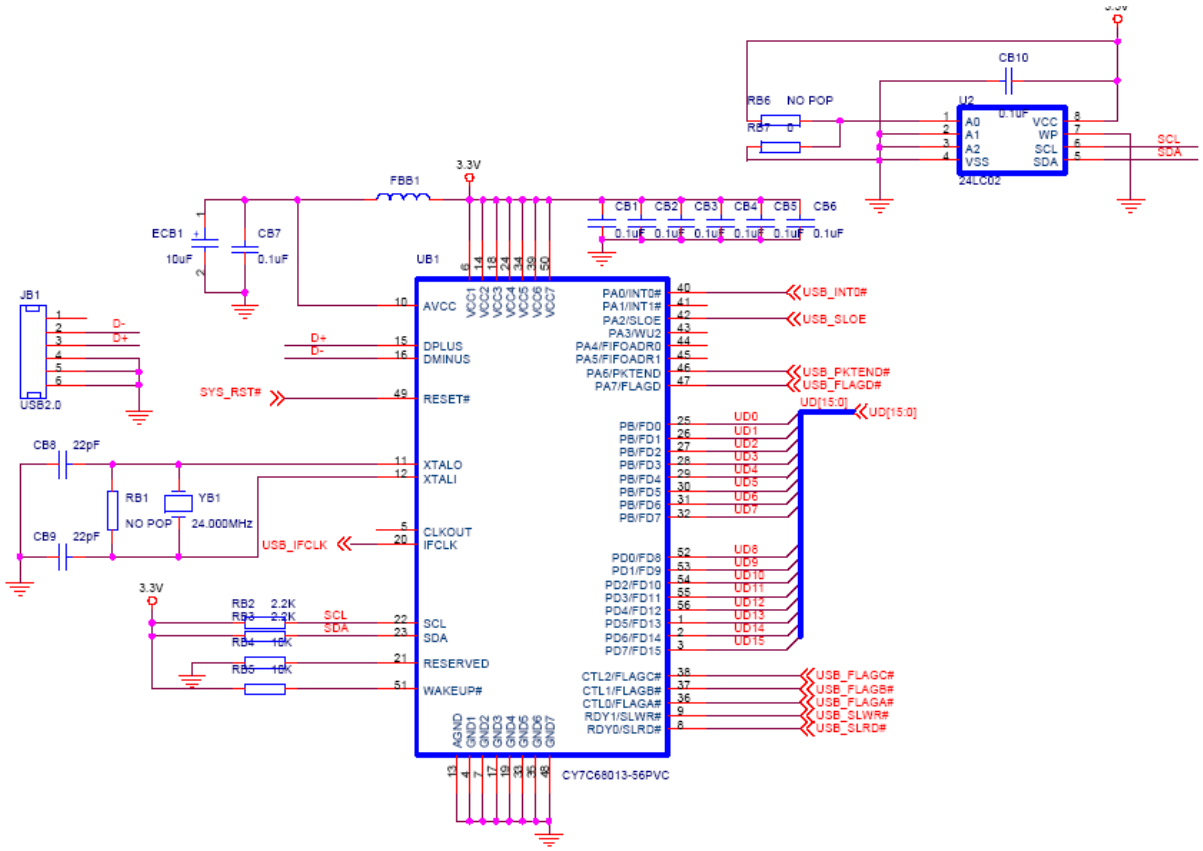


表 9-1 FPGA 管脚映射

数据信号

CY7C68013 管脚名称	信号名称	FPGA 对应管脚号
PB/FD0	UD0	PIN_58
PB/FD1	UD1	PIN_59
PB/FD2	UD2	PIN_60
PB/FD3	UD3	PIN_61
PB/FD4	UD4	PIN_62
PB/FD5	UD5	PIN_63
PB/FD6	UD6	PIN_64

PB/FD7	UD7	PIN_65
PB/FD8	UD8	PIN_66
PB/FD9	UD9	PIN_67
PB/FD10	UD10	PIN_68
PB/FD11	UD11	PIN_73
PB/FD12	UD12	PIN_74
PB/FD13	UD13	PIN_75
PB/FD14	UD14	PIN_76
PB/FD15	UD15	PIN_77

控制信号

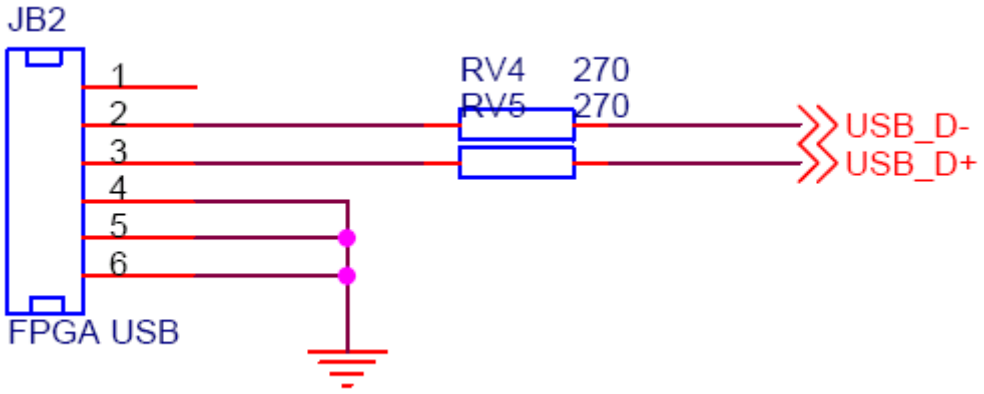
CY7C18013 管脚名称	FPGA 对应管脚号
RDY0/SLRD#	PIN_57
RDY1/SLWR#	PIN_56
CTL0/FLAGA#(pf 半满)	PIN_55
CTL1/FLAGB#(full)	PIN_54
CTL2/FLAGC#(empty)	PIN_53

芯片的详细介绍与使用说明见芯片用户手册

Chapter 8 用户自定义串行接口

开发板上可以使用用户自定义的串行接口标准。电路原理图见图 11-1。管脚分配见表 11-1

图 11-1 用户自定义串行接口与 I2C 接口电路原理图



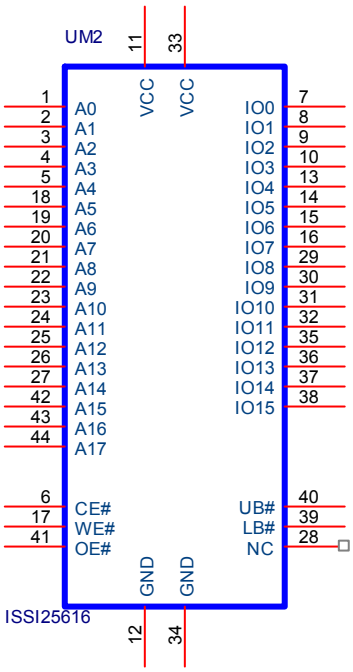
接口采用 USB 接口，可以作为 usb1.1 标准的调试口，用户还可以自己定义串行数据传输标准。

表 11-1 FPGA 连接的管脚映射

用户自定义总线信号	FPGA 管脚
USB1_1D-	6
USB1_1D+	5

Chapter 9 高速异步SRAM

图 12-1 原理框图



说明

采用 ISSI 公司的高速异步 SRAM，容量为 256K×16Bit。字节使能信号独立，可以对每一个 Byte 操作。

表 12-1 管脚连接

地址信号

SRAM 管脚名称	FPGA 对应管脚号	外部总线信号名称
A0	PIN_135	EA1
A1	PIN_128	EA2
A2	PIN_127	EA3
A3	PIN_126	EA4
A4	PIN_125	EA5
A5	PIN_124	EA6
A6	PIN_98	EA7
A7	PIN_95	EA8
A8	PIN_94	EA9

A9	PIN_93	EA10
A10	PIN_88	EA11
A11	PIN_106	EA12
A12	PIN_107	EA13
A13	PIN_108	EA14
A14	PIN_114	EA15
A15	PIN_113	EA16
A16	PIN_132	EA17
A17	PIN_133	EA18

数据信号

SRAM 信号名称	FPGA 对应管脚号	外部总线信号名称
sram_db[0]	PIN_122	ED0
sram_db[1]	PIN_121	ED1
sram_db[2]	PIN_120	ED2
sram_db[3]	PIN_119	ED3
sram_db[4]	PIN_105	ED4
sram_db[5]	PIN_104	ED5
sram_db[6]	PIN_101	ED6
sram_db[7]	PIN_100	ED7
sram_db[8]	PIN_78	ED8
sram_db[9]	PIN_79	ED9
sram_db[10]	PIN_82	ED10
sram_db[11]	PIN_83	ED11
sram_db[12]	PIN_84	ED12
sram_db[13]	PIN_85	ED13
sram_db[14]	PIN_86	ED14
sram_db[15]	PIN_87	ED15

控制信号

SRAM 信号名称	FPGA 对应管脚号
CE#	PIN_123
OE#	PIN_118
WE#	PIN_99
BE0	PIN_116
BE1	PIN_117

Chapter 10 高速同步SDRAM

图13-1 原理图

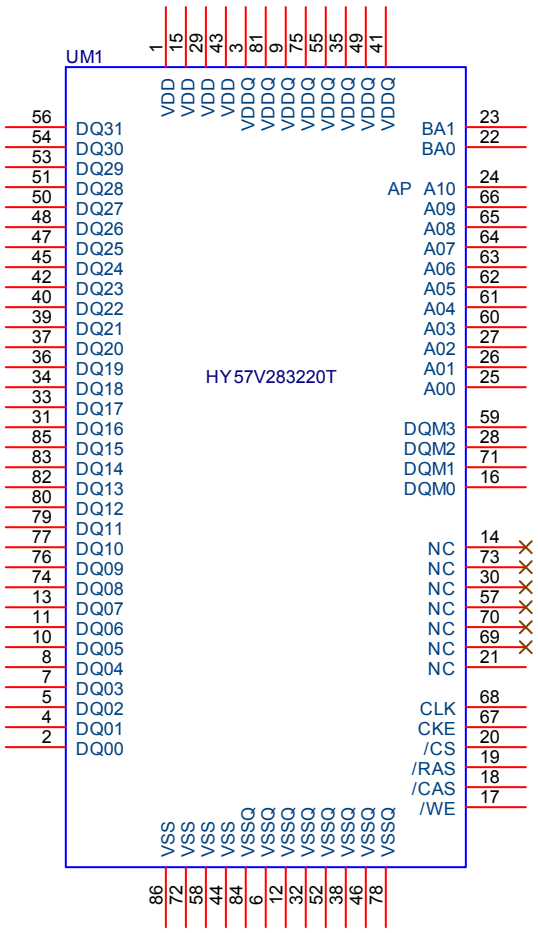


表13-1FPGA 管脚映射

地址信号

信号名称	FPGA 对应管脚号	信号名称	FPGA 对应管脚号
sa[0]	PIN_194	sa[8]	PIN_215
sa[1]	PIN_195	sa[9]	PIN_214
sa[2]	PIN_196	sa[10]	PIN_193
sa[3]	PIN_222	sa[11]	PIN_186
sa[4]	PIN_219		
sa[5]	PIN_218		
sa[6]	PIN_217		
sa[7]	PIN_216		

数据信号

信号名称	FPGA 对应管脚号	信号名称	FPGA 对应管脚号
dq[0]	PIN_180	dq[16]	PIN_200
dq[1]	PIN_179	dq[17]	PIN_201
dq[2]	PIN_178	dq[18]	PIN_202
dq[3]	PIN_177	dq[19]	PIN_203
dq[4]	PIN_176	dq[20]	PIN_206
dq[5]	PIN_175	dq[21]	PIN_207
dq[6]	PIN_174	dq[22]	PIN_208
dq[7]	PIN_173	dq[23]	PIN_213
dq[8]	PIN_168	dq[24]	PIN_235
dq[9]	PIN_167	dq[25]	PIN_234
dq[10]	PIN_166	dq[26]	PIN_233
dq[11]	PIN_165	dq[27]	PIN_228
dq[12]	PIN_164	dq[28]	PIN_227
dq[13]	PIN_163	dq[29]	PIN_226
dq[14]	PIN_162	dq[30]	PIN_225
dq[15]	PIN_161	dq[31]	PIN_224

控制信号

信号名称	FPGA 对应管脚号
SDCAS	PIN_183
SDCKE	PIN_170
SDCS	PIN_185
SDRAS	PIN_184
SDWE	PIN_182
SDDQM[0]	PIN_181
SDDQM[1]	PIN_169
SDDQM[2]	PIN_197
SDDQM[3]	PIN_223

说明

SDRAM 采用的是目前应用比较多的 2M×32Bit。其中，管脚 Pin21 是为了扩展 4M×32Bit，的需要才引到 FPGA 上，对应的是 A11。如果使用的是 2M×32Bit，那么 Pin21 为 NC。

Chapter 11 大容量，快速Flash

图 14-1 原理图

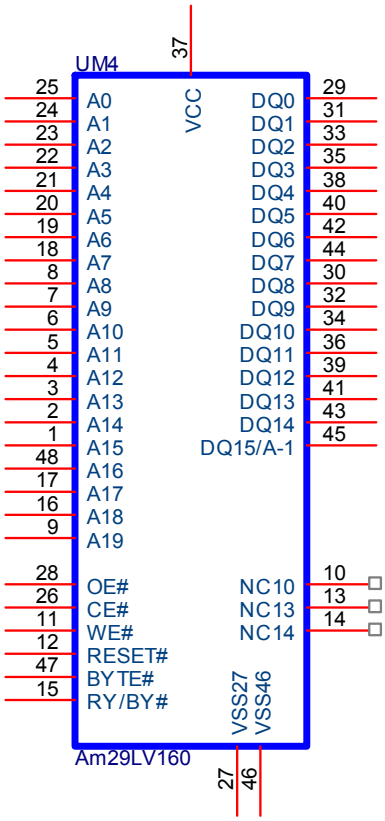


表 14-1 管脚映射

地址信号

Flash 芯片管脚名称	FPGA 对应管脚号	外部总线信号名称
A0	PIN_135	EA1
A1	PIN_128	EA2
A2	PIN_127	EA3
A3	PIN_126	EA4
A4	PIN_125	EA5
A5	PIN_124	EA6
A6	PIN_98	EA7
A7	PIN_95	EA8
A8	PIN_94	EA9
A9	PIN_93	EA10

A10	PIN_88	EA11
A11	PIN_106	EA12
A12	PIN_107	EA13
A13	PIN_108	EA14
A14	PIN_114	EA15
A15	PIN_113	EA16
A16	PIN_132	EA17
A17	PIN_133	EA18
A18	PIN_134	EA19
A19	PIN_115	EA20

数据信号

Flash 芯片管脚名称	FPGA 对应管脚号	外部总线信号名称
DQ0	PIN_122	ED0
DQ1	PIN_121	ED1
DQ2	PIN_120	ED2
DQ3	PIN_119	ED3
DQ4	PIN_105	ED4
DQ5	PIN_104	ED5
DQ6	PIN_101	ED6
DQ7	PIN_100	ED7
DQ8	PIN_78	ED8
DQ9	PIN_79	ED9
DQ10	PIN_82	ED10
DQ11	PIN_83	ED11
DQ12	PIN_84	ED12
DQ13	PIN_85	ED13
DQ14	PIN_86	ED14
DQ15/A-1	PIN_87	ED15

控制信号

Flash 芯片管脚名称	FPGA 对应管脚号
CE#	PIN_138
OE#	PIN_139
WE#	PIN_137
RY_BY#	PIN_136

Chapter 12 扩展板接口

扩展地址总线

图 15-1 扩展地址总线原理图

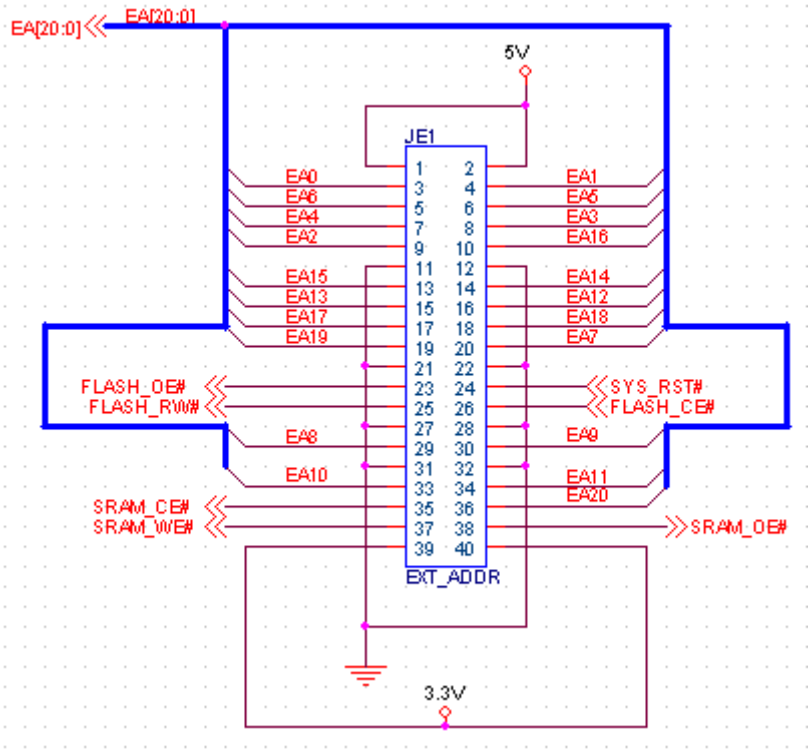


表 15-1 扩展地址总线与 FPGA 管脚连接

外部总线信号名称	FPGA 对应管脚号	外部总线信号名称	FPGA 对应管脚号
EA0	PIN_140	EA10	PIN_93
EA1	PIN_135	EA11	PIN_88
EA2	PIN_128	EA12	PIN_106
EA3	PIN_127	EA13	PIN_107
EA4	PIN_126	EA14	PIN_108
EA5	PIN_125	EA15	PIN_114
EA6	PIN_124	EA16	PIN_113
EA7	PIN_98	EA17	PIN_132
EA8	PIN_95	EA18	PIN_133
EA9	PIN_94	EA19	PIN_134

EA20	PIN_115	SYS_RST#	PIN_131
FLASH_RW#	PIN_137	SRAM_CE#	PIN_123
FLASH_CE#	PIN_138	SRAM_WE#	PIN_99
FLASH_OE#	PIN_139	SRAM_OE#	PIN_118

扩展数据总线

图 15-2 扩展数据总线原理图

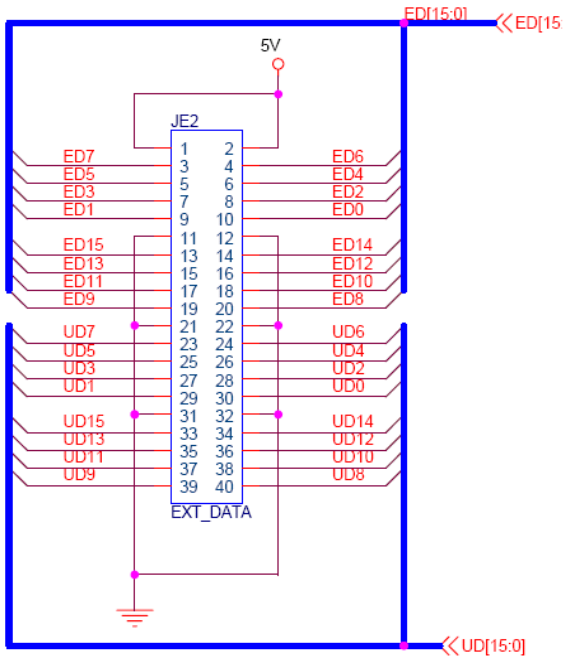


表 15-2 扩展数据总线与 FPGA 管脚连接

外部总线信号名称	FPGA 对应管脚号	外部总线信号名称	FPGA 对应管脚号
ED0	PIN_122	ED8	PIN_78
ED1	PIN_121	ED9	PIN_79
ED2	PIN_120	ED10	PIN_82
ED3	PIN_119	ED11	PIN_83
ED4	PIN_105	ED12	PIN_84
ED5	PIN_104	ED13	PIN_85
ED6	PIN_101	ED14	PIN_86
ED7	PIN_100	ED15	PIN_87
外部总线信号名称	FPGA 对应管脚号	外部总线信号名称	FPGA 对应管脚号
UD0	PIN_58	UD8	PIN_66
UD1	PIN_59	UD9	PIN_67

UD2	PIN_60	UD10	PIN_68
UD3	PIN_61	UD11	PIN_73
UD4	PIN_62	UD12	PIN_74
UD5	PIN_63	UD13	PIN_75
UD6	PIN_64	UD14	PIN_76
UD7	PIN_65	UD15	PIN_77

扩展用户IO

图 15-3 扩展用户 IO 原理图

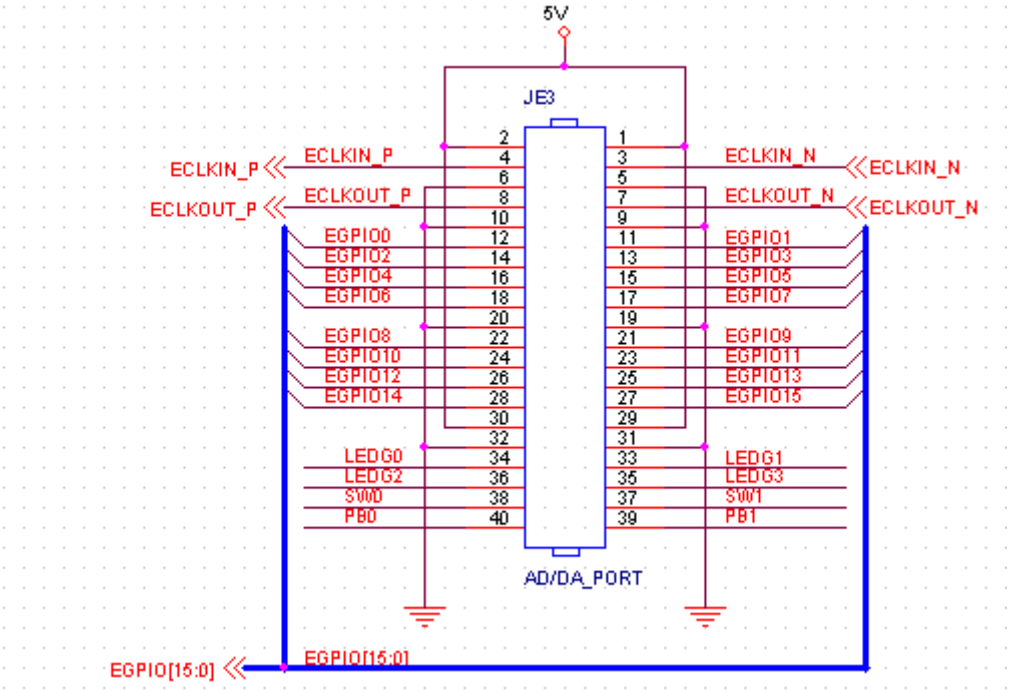


表 15-1 扩展用户 IO 与 FPGA 管脚连接

外部总线信号名称	FPGA 对应管脚号	外部总线信号名称	FPGA 对应管脚号
ECLKIN_P	PIN_28	EGPIO4	PIN_21
ECLKIN_N	PIN_29	EGPIO5	PIN_23
ECLKOUT_P	PIN_38	EGPIO6	PIN_41
ECLKOUT_N	PIN_39	EGPIO7	PIN_42
EGPIO0	PIN_17	EGPIO8	PIN_43
EGPIO1	PIN_18	EGPIO9	PIN_44
EGPIO2	PIN_19	EGPIO10	PIN_45
EGPIO3	PIN_20	EGPIO11	PIN_46

EGPIO12	PIN_47	LEDG2	Pin 11
EGPIO13	PIN_48	LEDG3	Pin 12
EGPIO13	PIN_49	PB0	Pin 15
EGPIO15	PIN_50	PB1	Pin 16
LEDG0	Pin 7	SW0	Pin 13
LEDG1	Pin 8	SW1	Pin 14

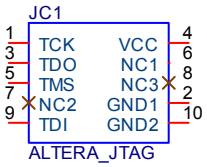
说明

扩展总线主要为了在扩展板上实现对各种接口芯片的操作，对于一些特殊的非总线方式的接口芯片，如 ADC/DAC，可以采用扩展用户 IO 来实现。JE3 提供了差分时钟的输入输出管脚。

Chapter 13 JTAG 下载与调试接口

JTAG接口

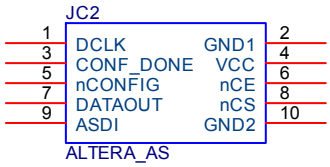
图 16-1 JTAG 接口电路原理图



JTAG 接口可以用来调试 FPGA，下载速度比较快，而且支持 SignalTAP。但是不能用来编程 EPCS 芯片。建议调试阶段采用 JTAG 模式。电缆可以采用 ByteBlaster（MV） 也可以用用 ByteBlaster II。

AS接口

图 61-2 AS 接口电路原理图

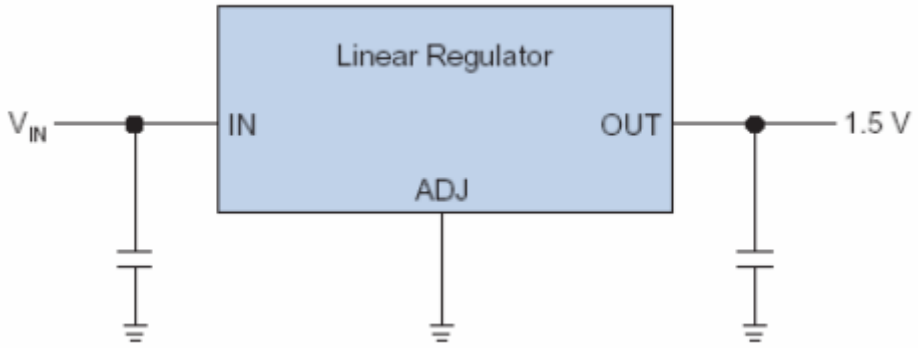


AS 接口主要是用来编程 EPCS 芯片，同时也可以用来调试。具体过程是首先编程 EPCS，然后通过 EPCS 配置 FPGA，运行程序。需要考虑的是 EPCS 的编程次数是有限制的，虽然比 EPC 系列要多，但是太频繁的擦除和写入对芯片还是有一定影响的。所以，我们建议在调试结束后，程序固化的时候才使用 AS 方式。 如果采用这种方式，必须采用 ByteBlasterII 电缆才行。

Chapter 14 电源分配

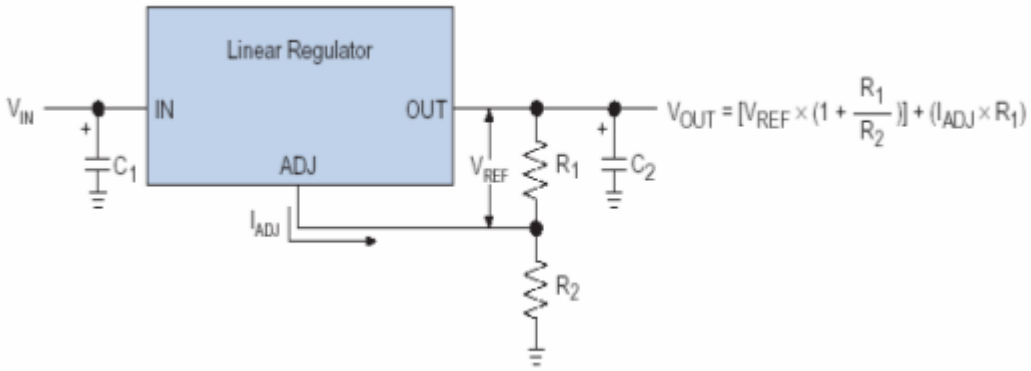
采用线性电源模块（LDO）优点是电路简单，但是散热是问题，适合的芯片为 LT1085/6，保证最大输出电流大于 2A 即可。

图 17-1 线性电源原理框图



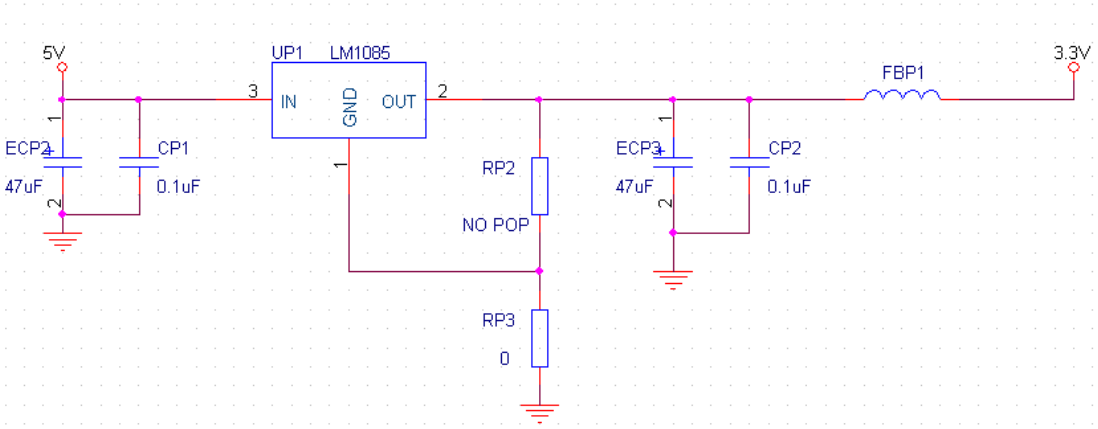
如果采用固定输出电源芯片，那么选择的范围就缩小了，只有 LT1085 等个别芯片提供 1.5V 的输出，大部分电源芯片的固定输出是 1.8V,2.5V 和 3.3V，但是都具有可调电压的型号。电路连接如下：

图 17-2 可调输出电压线性电源原理框图



VREF 一般是 1.25V，Iadj×R1 可以忽略。假定输入 Vin 为 5V，Vout 为 1.5V，那么 R1/R2=1/5，而 R1 一般要求 100～150 欧，那么可以选 R1＝100 欧，R2＝500 欧。如果采用了固定电平输出的芯片，只需要把 R2 焊 0 欧，R1 不焊即可。板上的电源部分采用了这种方式：

图 17-3 采用两种电源都可使用的电路原理图



Chapter 15 复位电路

说明

复位路采用了阻容复位。一般情况下，采用阻容复位就可以满足要求了。

图 18-1 电路原理图

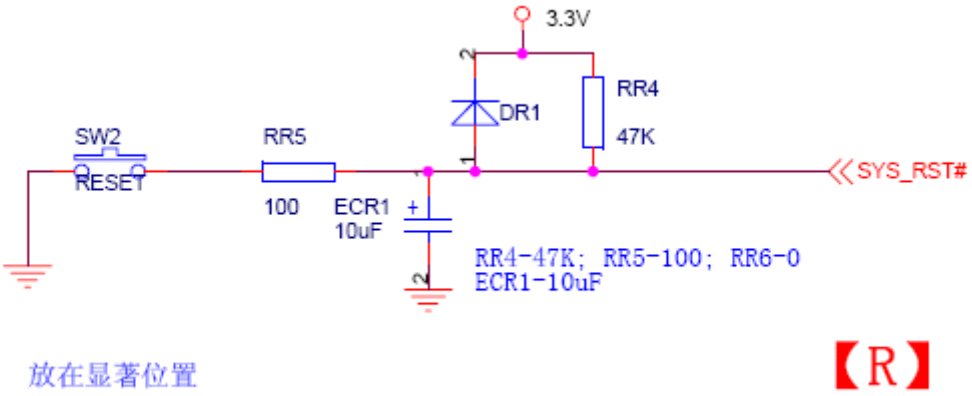


表 18-1 管脚映射

器件	信号名称	FPGA 对应管脚号
UR1-7	SYS_RST#	Pin 131

Chapter 16 时钟源

图 14-1 系统时钟电路原理图

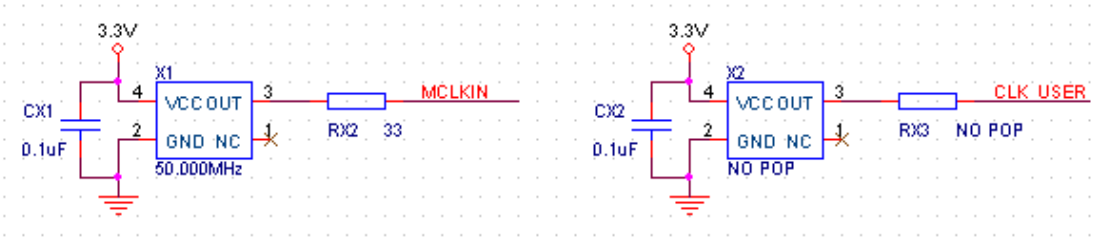


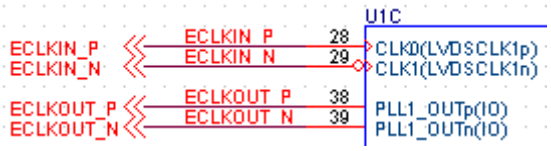
表 14-1 FPGA 管脚映射

时钟源	FPGA 对应管脚
50．000MHz	Pin 153
用户可选时钟	Pin 152

说明

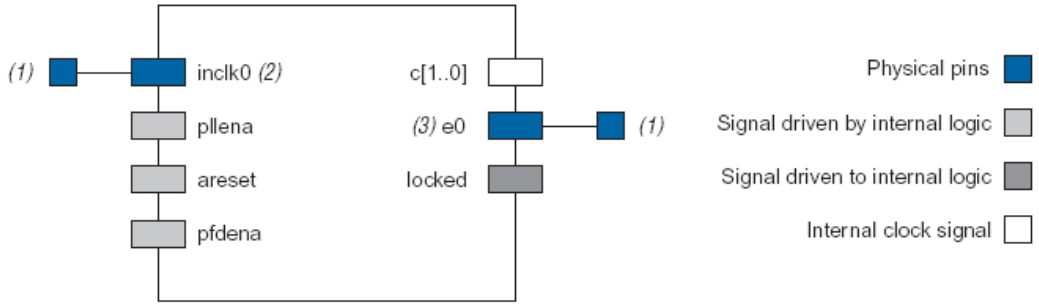
FPGA 内部有 PLL，可以把 50MHz 的时钟产生各种所需要频率。如果需要特殊频率无法通过 50MHz 来合成，可以利用板上的用户可选时钟源作为输入（焊接上所需要的晶振即可）。

此外，另外一个 PLL 对于的时钟管脚接到了扩展用户 IO 连接器上，允许扩展板的时钟作为输入，如图所示。



- SDRAM 的时钟产生

由于 SDRAM 的信号都工作在 100MHz 或者更高，所以稳定的时钟很重要。FPGA 的 PLL 可以实现时钟的倍频，分频，同步和补偿功能。典型接口如下所示：



PLL1：用于产生 SDRAM 的时钟 100MHz。外部输入为 50MHz，由 PLL1 产生可调时钟。

PLL0：为扩展用户 IO 提供时钟的调节。

EP1C6 和EP1C12 的区别

EP1C12与EP1C6的管脚区别：

EP1C12	EP1C6
VCCINT81	IO
VCCINT97	IO
VCCINT103	IO
VCCINT198	IO
VCCINT204	IO
VCCINT220	IO
GND80	IO
GND96	IO
GND102	IO
GND199	IO
GND205	IO
GND221	IO

如果采用EP1C6芯片，以上管脚应该全部置为输入。

或者将所有不用的 IO 置为输入状态。

附录A：原理图

参见 RCII-CY1C12.pdf

附录 B，主要元件的相关材料

参见相关芯片手册