

ZQL9729
技术手册（V1.3）

北京中庆微数字设备开发有限公司
ZHONGQING DIGITAL EQUIPMENT CO., LTD.
2007-1



目 录

一、产品简介.....	2
二、芯片特性	2
三、芯片管脚示意图和功能描述.....	3
四、功能图	4
五、时序图	5
六、使用描述	7
七、性能参数	13
八、封装外观图	14



一、产品简介

ZQL9729 是专门为 LED 显示屏应用设计的专用芯片，该芯片具有 16 个恒流驱动输出通道，带有移位寄存器和输出锁存功能；芯片输出驱动电流可以由一个外接电阻控制，驱动电流最高可达 70mA，ZQL9729 采用逐列快速打开模式，因此，它非常适合应用于中、高档显示屏，特别是对于噪声要求比较严格的 LED 显示屏的应用设计。

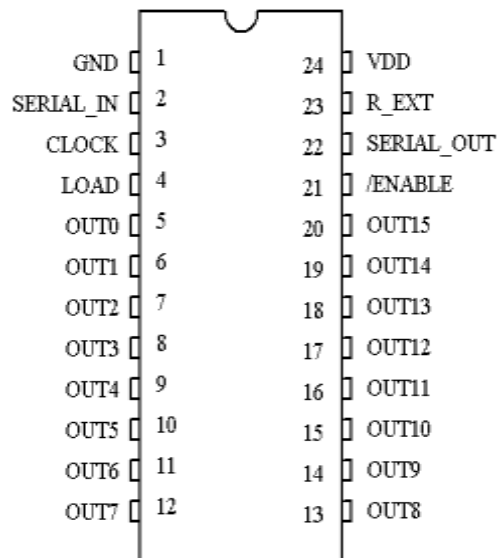
二、芯片特性

- 16 路恒流输出通路
- 最大 25MHz 串移时钟频率
- 输出电流列间偏差 $\pm 3\%$ ，片间偏差 $\pm 6\%$
- 采用逐列快速打开模式
- 可以通过外接电阻控制输出电流

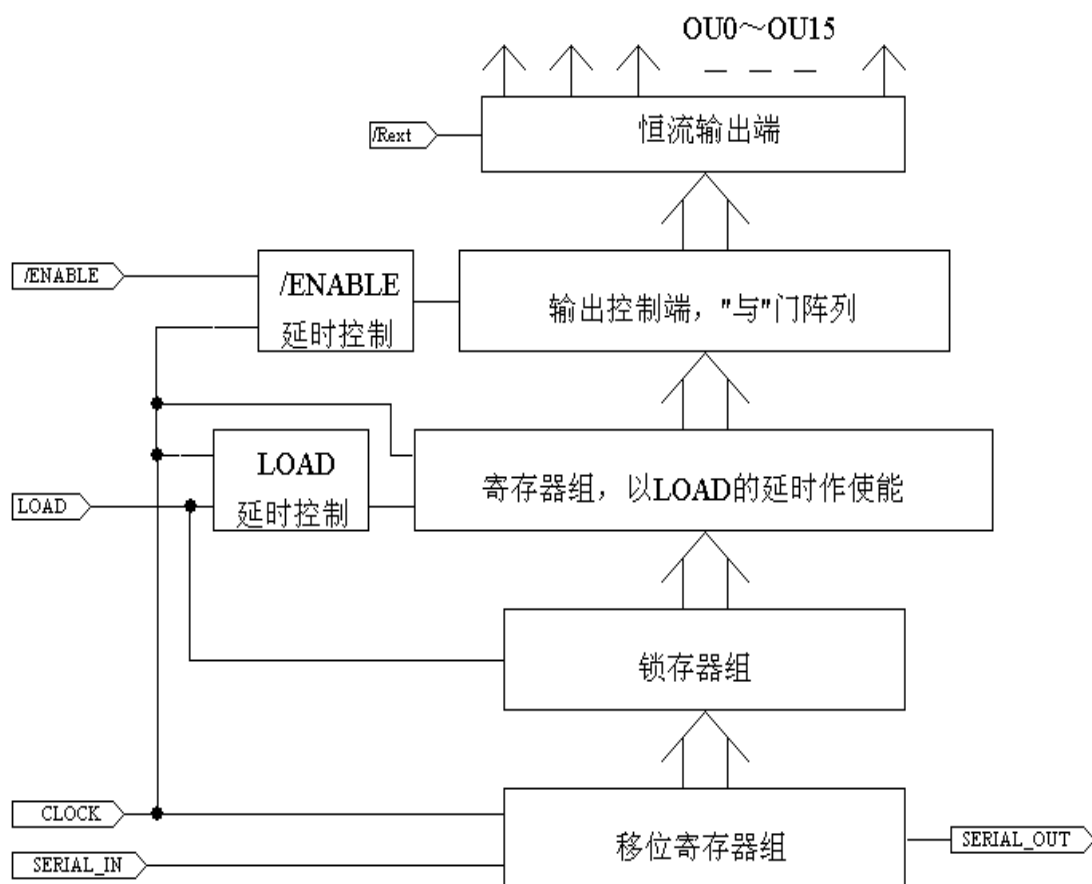
三、芯片管脚示意图和功能描述

表 1

管脚号	管脚名称	功能描述
1	GND	控制逻辑的接地端
2	SERIAL-IN	串行数据的输入端，输入到移位寄存器，高电平"H"输出端打开
3	CLOCK	时钟输入端，上升沿有效
4	LOAD	数据选通的输入端，高电平"H"锁存传递的数据，低电平"L"保持数据不变
5 - 20	OUT0~15	恒流驱动输出端
21	/ENABLE	输出使能的输入端，高电平"H"时输出端是高阻状态，低电平"L"时输出端打开，输出列使能数据
22	SERIAL-OUT	串行数据的输出端，把数据传递给下一个输入端
23	R-EXT	外接电阻输入端，通过电阻可以设置全部输出电流
24	VDD	5V 供给电压输入端



四、功能图



五、时序图

● /ENABLE 部分时间有效

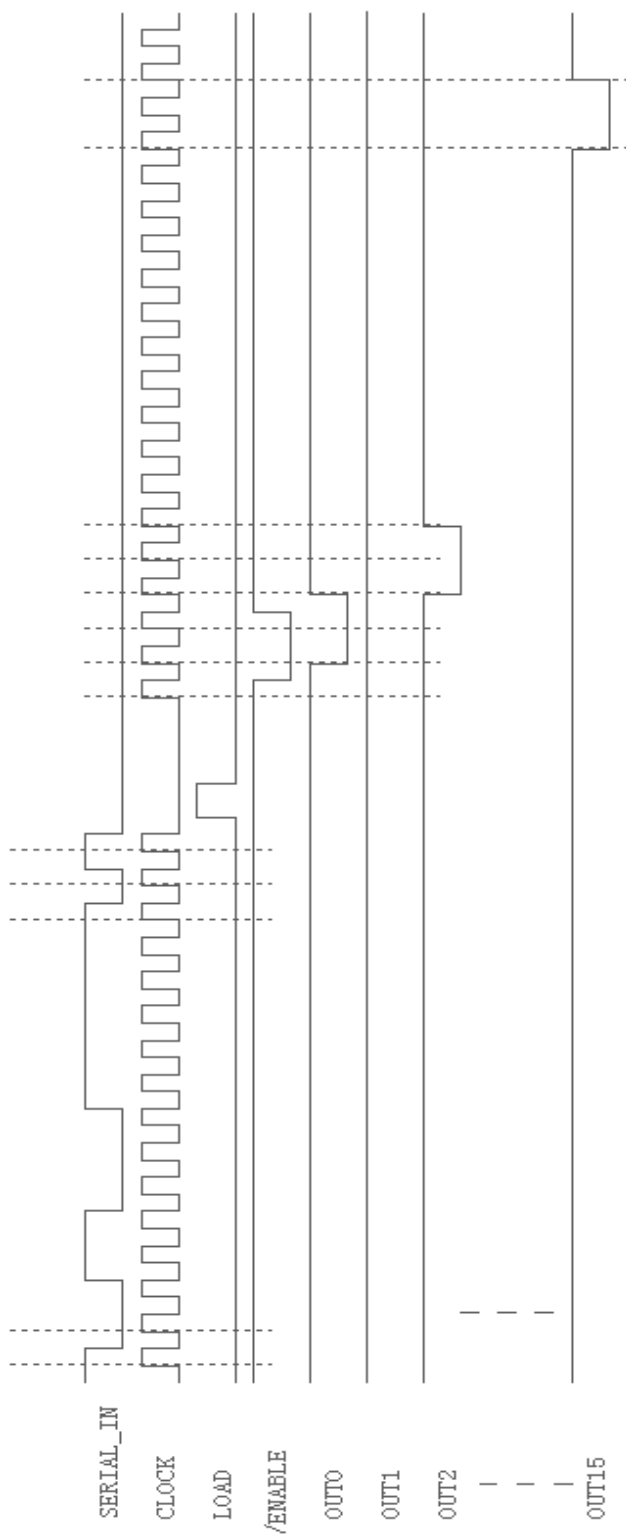
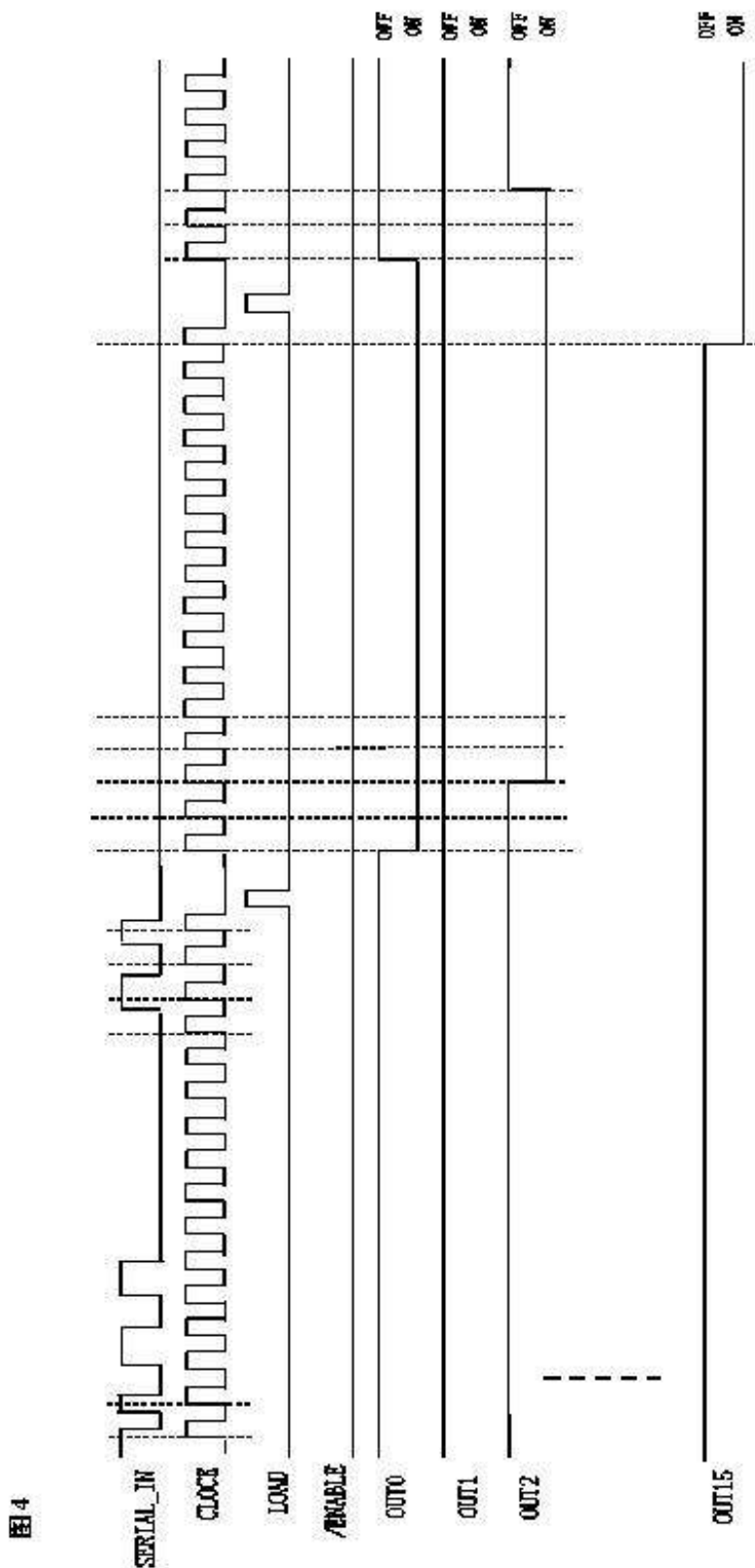


图 3

附注:

1. 输出端口 OUT0~OUT15 在 OFF 状态为高阻态, 在 ON 状态提供恒流驱动。
2. 由于 OUT0~OUT15 的状态由/ENABLE 和输出列电流数据控制, 在/ENABLE 有效的情况下, 如果列使能数据为 "H", 输出端状态为 ON; 如果列使能数据为 "L", 输出端状态为 OFF。

● /ENABLE 始终有效



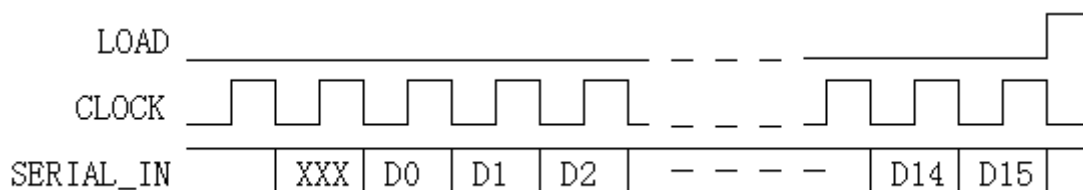
六、使用描述

● 输入串行数据和输出端口的对应关系

如图 5 所示，ZQL9729 在 LOAD 信号为高前的 16 个时钟上升沿在 SERIAL_IN 管脚上接收到的数据为列电流数据。

离 LOAD 信号为高最近的时钟上升沿接收到的数据为 OUT0 对应的列电流数据，离 LOAD 信号为高次近的时钟上升沿接收到的数据为 OUT1 对应的列电流数据，在图 11 中，D0 ~ OUT15，D15 ~ OUT0，依此类推。

列电流数据为 "H"，/ENABLE 的延时有效时对应的驱动管脚提供恒流驱动，列电流数据为 "L"，/ENABLE 的延时有效或 /ENABLE 始终无效时对应的管脚为高阻态。



● LOAD 与 CLOCK

从工作过程的时序图 (图 3) 可以看到，在 LOAD 高有效期间，没有 CLOCK 的上升沿；由功能图 (图 2) 可以看出，因为 LOAD 高有效期间，ZQL9729 中的锁存器需要把移位寄存器的输出结果锁存，锁存器又是通过电平锁存，在锁存期间，它需要移位寄存器的输出结果是稳定的，如果在锁存期间出现 CLOCK 上升沿，那么这个上升沿会引起移位寄存器输出结果的变化，锁存器锁存的结果可能是不确定的。

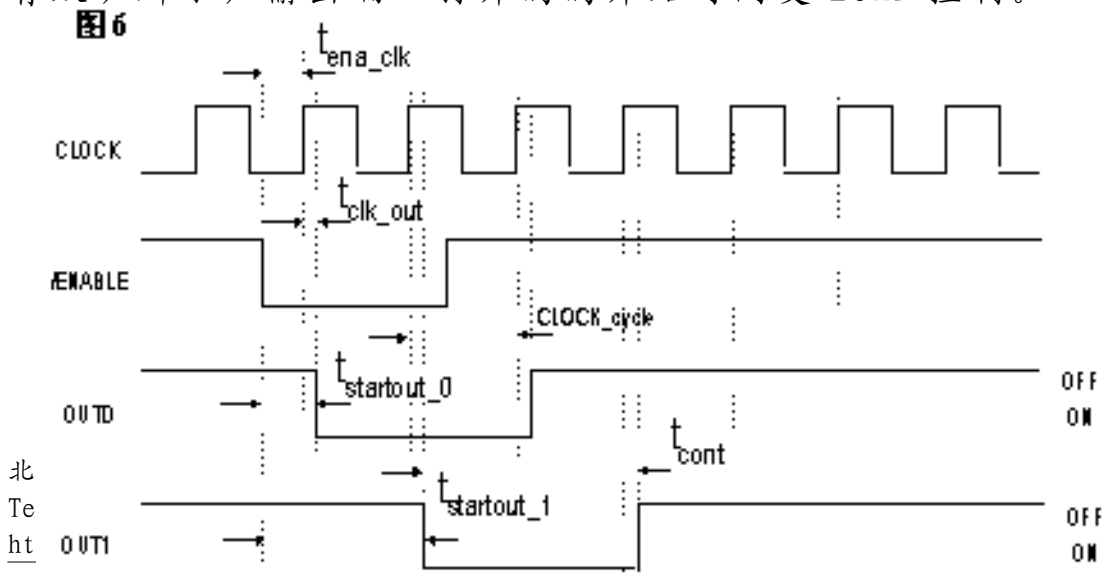
● 输出端口打开的开始时间 $t_{startout-n}$

输出端口打开的开始时间按照 /ENABLE 部分时间有效和 /ENABLE 始终有效两种情况说明。

对于 /ENABLE 部分时间有效的情况，如图 3 (/ENABLE 部分时间有效) 所示，输出端口打开的开始时间受 /ENABLE 控制。

在这里规定：从 /ENABLE 下降沿到第 n (n 从 0 到 15) 路输出端口打开的相对时间叫做第 n 路输出端口打开的开始时间 $t_{startout-n}$ 。例如第 0 路输出端口打开的开始时间记为 $t_{startout-0}$, $t_{startout-0} = t_{ena_clk} + t_{clk_out}$ (t_{ena_clk} , t_{clk_out} 的意义见图 6 附注); 第 1 路输出端口打开的开始时间 $t_{startout-1} = t_{ena_clk} + t_{clk_out} + \text{CLOCK_cycle} \times 1$ (CLOCK_cycle 的意义见图 6 附注); 第 15 路输出端口打开的开始时间 $t_{startout-15} = t_{ena_clk} + t_{clk_out} + \text{CLOCK_cycle} \times 15$, 其它情况类推。

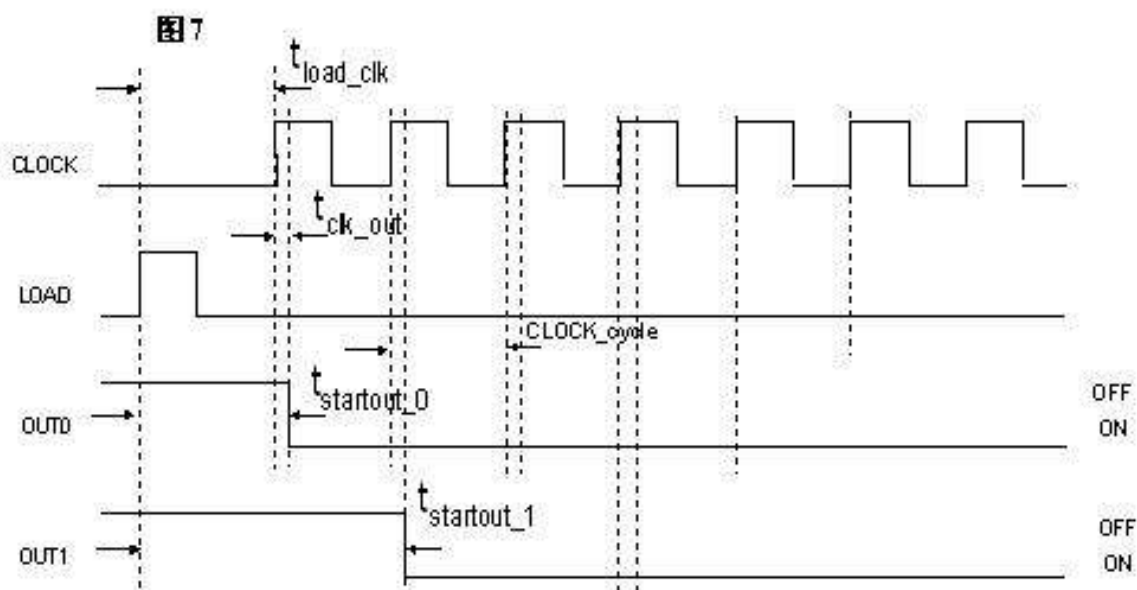
对于 /ENABLE 始终有效的情况下，如图 4 (/ENABLE 始终有效) 所示，输出端口打开的开始时间受 LOAD 控制。



附注:

1. 在这个图中假设第 1 列和第 2 列的列电流数据都为” H”
2. t_{ena_clk} : 从/ENABLE 的下降沿到第一个 CLOCK 上升沿的时间
3. t_{clk_out} : /ENABLE 部分时间有效情况下, 从 CLOCK 上升沿到输出有效的时间
4. CLOCK_cycle: 一个时钟周期

在这里规定: 从 LOAD 上升沿到第 n (n 从 0 到 15) 路输出端口打开的相对时间叫做第 n 路输出端口打开的开始时间 $t_{startout_n}$ 。例如第 0 路输出端口打开的开始时间记为 $t_{startout_0}$, $t_{startout_0} = t_{load_clk} + t_{clk_out}$ (t_{load_clk} , t_{clk_out} 的意义见图 7 附注); 第 1 路输出端口打开的开始时间 $t_{startout_1} = t_{load_clk} + t_{clk_out} + \text{CLOCK_cycle} \times 1$ (CLOCK_cycle 的意义见图 7 附注); 第 15 路输出端口打开的开始时间 $t_{startout_15} = t_{load_clk} + t_{clk_out} + \text{CLOCK_cycle} \times 15$, 其它情况类推。





附注:

1. 在这个图中假设第 1 列和第 2 列的列电流数据都为 "H"
2. t_{load_clk} : 从 LOAD 的下降沿到第一个 CLOCK 上升沿的时间
3. t_{clk_out} : /ENABLE 始终有效情况下, 从 CLOCK 上升沿到输出有效的时间
4. CLOCK_cycle: 一个时钟周期

● 输出端口打开的持续时间 t_{cont}

在 /ENABLE 无效或者对应的列电流输入数据 SERIAL-INn 为 "L" 的情况下, 输出端口 OUTn 关闭, 呈高阻态; 在 /ENABLE 有效且对应的列电流输入数据 DINn 为 "H" 的情况下, 输出端口 OUTn 打开, 提供恒流驱动。输出端口打开的状态所持续的时间叫做输出端口打开的持续时间, 记为 t_{cont} 。

输出端口打开的持续时间按照 /ENABLE 部分时间有效和始终有效, 分两种情况说明。

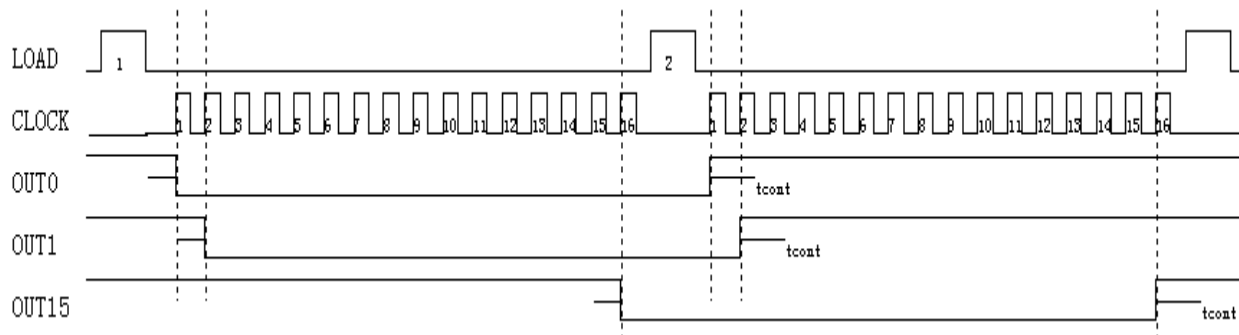
对于 /ENABLE 部分时间有效的情况, 如图 3 (/ENABLE 部分时间有效) 所示, 输出端口打开的持续时间如下。

如图 6 所示, 输出端口打开的持续时间 t_{cont} 是由 /ENABLE 低有效期间内 CLOCK 上升沿的个数决定的, 如果 CLOCK 上升沿的个数为 1, 那么 $t_{cont} = \text{CLOCK_cycle} \times 1$; 如果 CLOCK 上升沿的个数为 3, 那么 $t_{cont} = \text{CLOCK_cycle} \times 3$ 等等。在图 3 和图 6 中, /ENABLE 低有效期间内对应 2 个 CLOCK 上升沿, $t_{cont} = \text{CLOCK_cycle} \times 2$, 所以输出端口都是打开 2 个时钟周期之后关闭。

对于 /ENABLE 始终有效的情况, 输出端口打开的持续时间 t_{cont} 如图 8 所示。以 OUT1 打开的持续时间为例, OUT1

在第 1 个 LOAD 之后的第 2 个 CLOCK 上升沿打开, 在第 2 个 LOAD 之后的第 2 个 CLOCK 上升沿关闭, 持续的时间等于上述两个 CLOCK 的时间间隔。

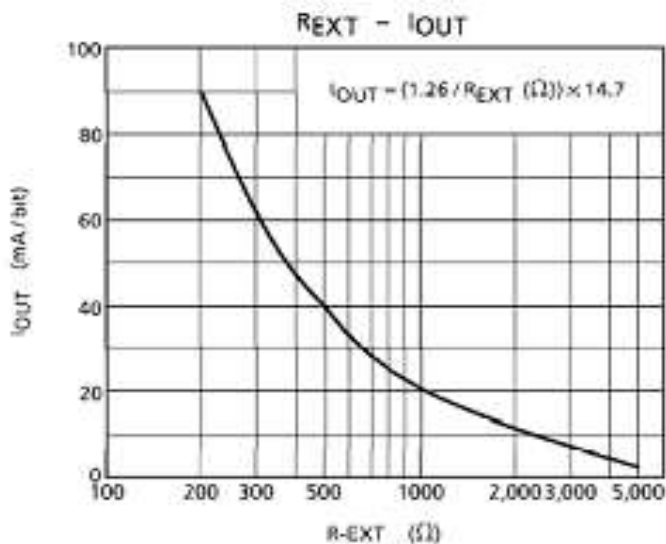
图 8



● 输出电流和外接电阻的对应关系

OUT0~OUT15 的输出电流 I_{out} 是通过一个外接电阻 R_{ext} 来控制的, 两者关系可以用公式表示, $I_{out} = 18/R_{ext}(\Omega)$ 。 I_{out} - R_{ext} 曲线如图 9。

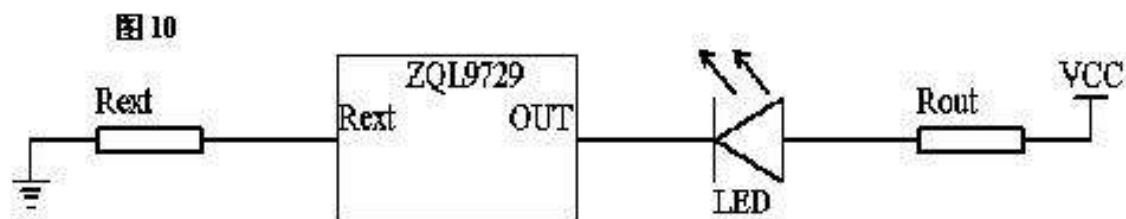
图 9



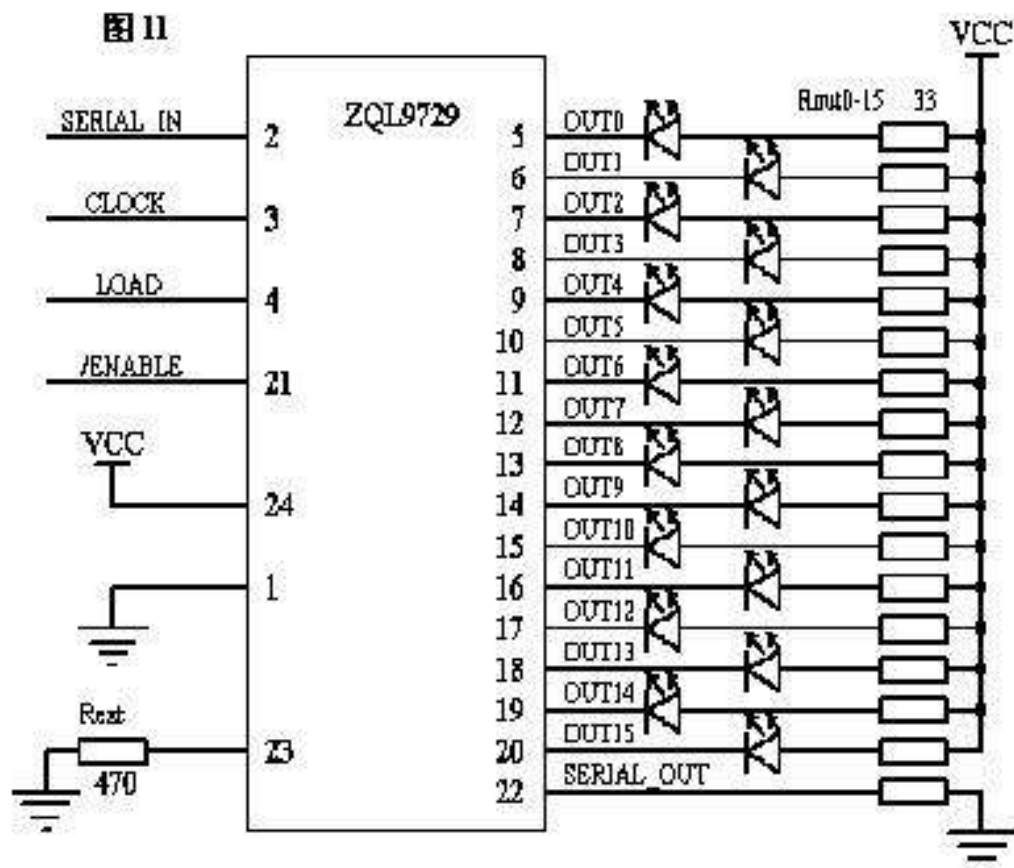
● 负载电阻的选择

如图 10 所示，假设需要 ZQL9729 提供指定大小的驱动电流 I_{out} ，对输出端负载的选择也要考虑。设 ZQL9729 输出管脚电压为 V_{out} ，LED 上的压降为 V_{led} ，灯电压为 V_{CC} ，则有关系式 $V_{out} = V_{CC} - V_{led} - I_{out} \times R_{out}$ 。当输出管脚的电压不足时，ZQL9729 无法保持输出电流恒定。

设定输出电流为 70mA 时，输出电压 > 1.0V 即可保持恒流。
设定输出电流为 50mA 时，输出电压 > 0.8V 即可保持恒流；
设定输出电流为 25mA 时，输出电压 > 0.5V 即可保持恒流。



● 应用实例



七、性能参数

● 最大工作范围

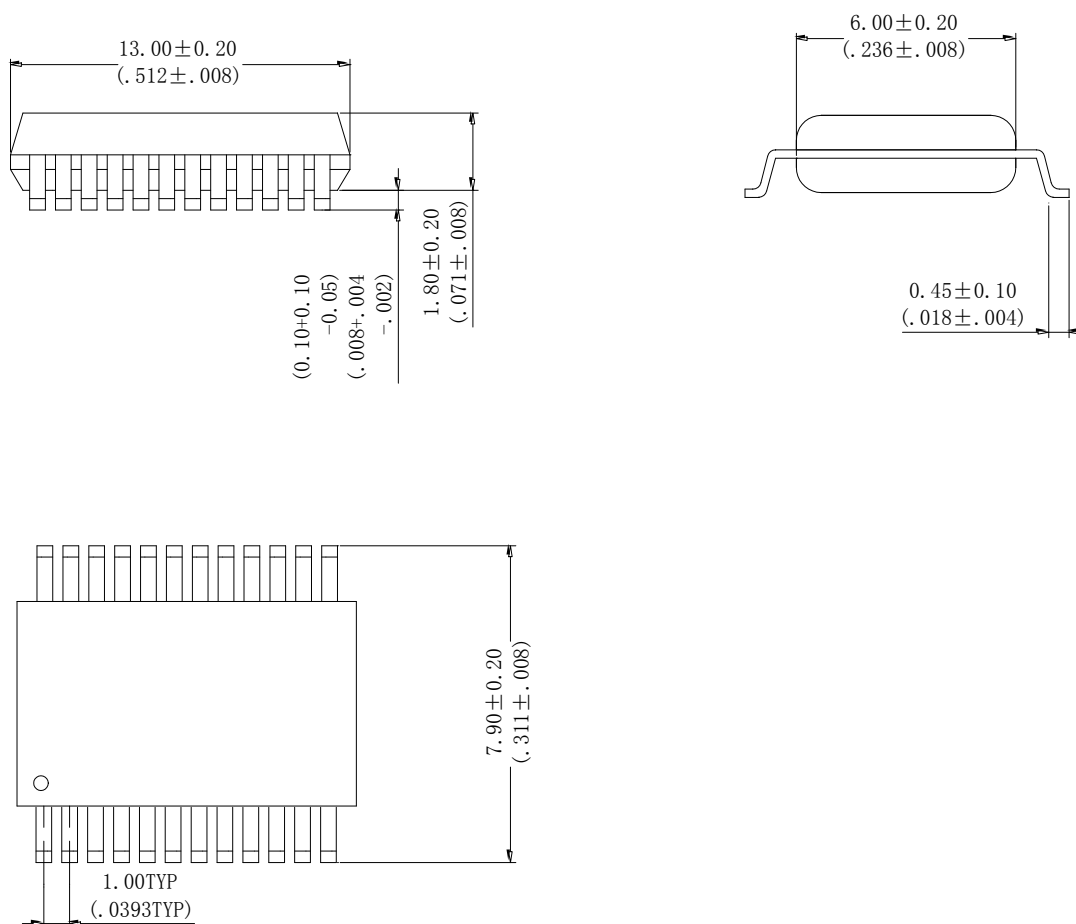
参数	符号	范围	单位
供电电压	VDD	0~7.0	V
输入电压	VIN	-0.4 ~ VDD+0.4V	V
输出电流	IOUT	5~70	mA
输出电压	VOUT	-0.5~7.0	V
时钟频率	FCLK	25	MHz
最大电流	IGND	1140	mA
散热系数	Rth(j-a)	70	℃/W
最大功耗	PD	1.0 (Ta=25℃)	W
工作温度	Topr	-40~85	℃
存储温度	Tstg	-40~100	℃

● 推荐工作范围

参数	符号	测试条件	最小	典型	最大	单位
供电电压	VDD		4.5	5.0	5.5	V
输出电压	VOUT		-	-	7	V
输出电流	IOUT	驱动输出	5		70	mA
	IOH	其它输出			1.0	mA
	IOL	其它输出			-1.0	mA
输入电压	VIH		0.7VDD		VDD+0.3	V
	VIL		-0.3		0.3VDD	V
时钟频率	FCLK				25	MHz
时钟高电平宽度	CLKh		12			ns
时钟低电平宽度	CLKl		12			ns

加载信号高电平宽度	Tw LAT		20			ns
输出使能信号高电平宽度	Tw EN		40			ns
信号建立时间	SETUP		10			ns
信号保持时间	HOLD		10			ns
功耗	PD					W

八、封装外观图



SOP24-300-1.0

注：除特殊注明，通常单位是毫米