

基于 ADSP2106X 的高速并行雷达数字信号处理系统

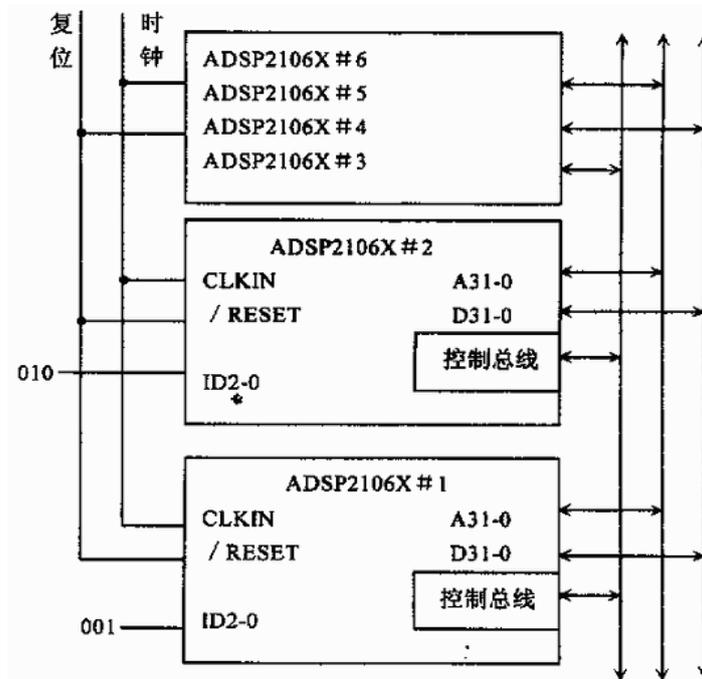
摘要: 以雷达信号处理领域中的应用为例,介绍了基于 ADSP2106X 的高速并行数字信号处理系统的设计方法。ADSP2106X 本身的特点使其非常适合于高速实时处理的场合,与可编程逻辑器件的组成应用更新得该系统具有通用性强、外围器件少等特点。

关键词: ADSP2106X, 雷达数字信号处理, 高速并行, DSP, TI, 多处理器并行系统

现代雷达的数字信号处理具有海量运行需求的应用背景,如巡航导弹末制导雷达地形匹配、合成孔径雷达的成像处理、相控阵雷达的时空二维滤波处理等领域。目前,单片 DSP 难以胜任许多信号处理系统的要求。

世界上第一颗 DSP 芯片是美国德州仪器(TI)公司于1982年推出的第一代产品:TMS32010。经过十几年的发展,DSP 器件在高速度、可编程、小型化、低功耗等方面有了长足的发展。单片 DSP 芯片最快每秒可完成 16 亿闪(1600MIPS,每秒 1600 兆次指令)的运行,生产 DSP 器件的公司也不断壮大。目前,市场占有率前四名依次为:Texas Instruments、Lucent、Analog Device、Motrola,涉足这一领域的公司还有 AT&T、Fujitsu、IDT、NEC、Samsung 等。

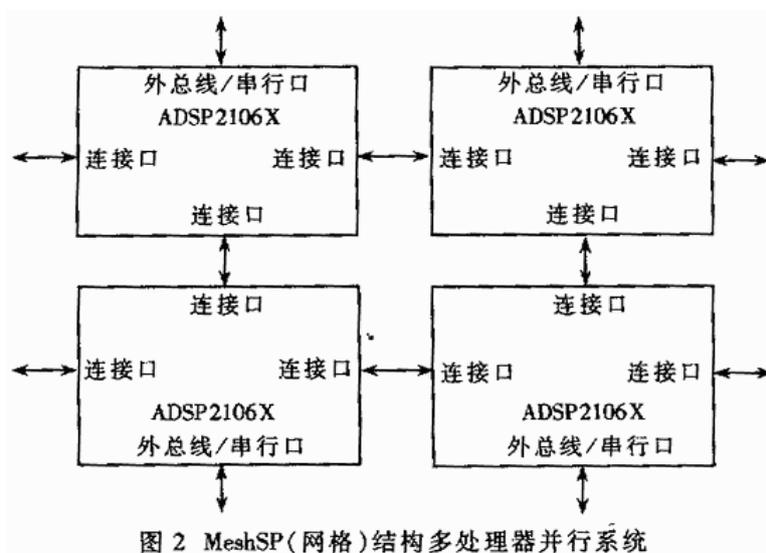
TI 公司的 DSP 档次齐全,应用广泛,但片内 RAM 较小;Motorola 公司的 68000 系列主要用于通信及仪表;AD 公司的 ADSP2106X 系列不仅具有很强的处理功能,而且有大容量的片内 RAM,被高速信号处理设计更为首选。



1 ADSP2106X 简介

ADSP2106X 是 AD 公司的一种高性能 32 位浮点 DSP，它的基本特点有：

- 最高工作频率为 40MHz，时钟周期 25ns。
- 数据线有 48 根，地址线有 32 根，地址范围 4G。
- 所有指令都是单周期指令，指令长度均为 48bit。
- 32-bit IEEE 浮点运算单元，内含乘法器、ALU 和移位器，支持 40bit 的扩展精度浮点运算。
- 10 个 DMA 通道。
- 4M bit 双口片内存储器。
- 有两个同步串口和六个连接口。
- 支持多处理器共享总线。



2 基于 ADSP2106X 的并行处理系统

ADSP2106X 提供了强大的实现多处理器并行处理的能力，允许某一处理器直接访问其它处理器的内部双口 SRAM，并且这种访问一般不影响被访问处理器的工作，片内的分布总线仲裁逻辑可直接管理 6 片 ADSP2106X 和一个宿主机组成的并行系统的信息交换。另外 ADSP2106X 还具有 6 个 4bit 的连接口 (Link Ports)，每个连接口可以两倍于系统工作时钟的速率传送数据，因此每个连接口在一个时钟周期内能够传送一个 8bit 数据。在多处理器应用中，ADSP2106X 通过其它 6 个连接口实现处理器之间点到点的通信。由 ADSP2106X 构成的典型多处理器并行系统主要有以下三种形式：共享总线的多处理器并行系统；MeshSP(网络)结构多处理器并行系统；集束多处理器并行系统。

2.1 共享总线的多处理器并行系统

ADSP2106X 处理器支持最为常用的共享总线多处理器并行系统，把各处理器的相应信号线相互连接，如 DATA 47-0, ADDR 31-0 等。此时组成多处理器系统的每一片 ADSP2106X 的片内存储器统一编址，任何一片 ADSP2106X 都可以访问其它 ADSP2106X 的片内存储空间。由于片内 SRAM 为双口存储器，因而这种访问并不中断被访问处理器的正常工作。在不增加辅助电路的条件下，通过外部总线接口（External Port）直接相连的处理器数量最多为 6 个，如图 1 所示。

2.2 MeshSP（网络）结构多处理器并行系统

MeshSP 是 MIT 的 Lincoln 实验室开发的一种大规模并行计算结构。在合适的应用背景下，MeshSP 具有很高的效率和灵活性。通过连接口把相邻的 ADSP2106X 连接在一起，构成了 MeshSP 结构，如图 2 所示。具有 6 个连接口是 ADSP2106X 的最重要的特征之一，连接口每周期可传送 8bit 数据，处理器之间传送数据的最大速率为 240MB/s。每个连接口都有自己的双缓冲输入和输出寄存器。时钟/回答握手信号控制连接口的传送，传送可编程为发送（输出）或接受（输入）数据。在这种结构中，每片 ADSP2106X 只与相邻的节点直接通信，避免了总线瓶颈，所以很适合大规模并行系统。若干个 ADSP2106X 组成一个二维或三维多处理器阵列，阵列中各个处理器通过连接口实现信息交换，数据流输入和输出通过外部总线接口或串行口实现。这种多处理器并行系统特别适合于多维信号处理（如二维 FFT 算法等）。

2.3 集束多处理器并行系统

集束多处理器并行系统通过 ADSP2106X 的外部总线接口和连接接口实现各处理器信息交换，如图 3 所示。集束多处理器并行系统可包括多个相互之间通过并行总线相连接、处理器之间相互可存取对方片内双口 SRAM 的子系统组成，每个子系统可包括 6 个处理器和一个宿主主机处理器。处理器之间还可通过连接口实现点到点的通信。通常这种系统比较复杂，但它具有广泛的通用性。

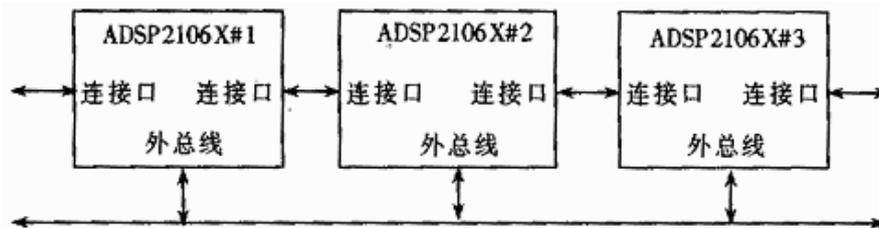


图 3 集束多处理器并行系统

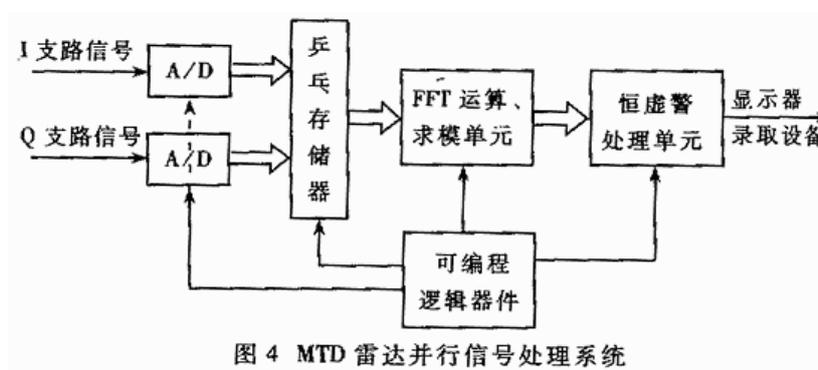
3 雷达信号处理中应用实例

在 MTD（动目标检测）雷达信号处理系统中，信号经过 A/D 采样后由 DSP 进行 FFT 运算，结果再作恒虚警处理，以检测动目标的有无。由以上三种典型连接方式，结合本系统的特点，进行比较：

(1) 通过连接口把相邻的 ADSP2106X 连接在一起构成 MeshSP 网络结构（图 2 所示）。这种结构中，每个 ADSP2106X 只与相邻的节点直接通信，避免了总线瓶颈，所以很适合大规模并行系统。

ADSP2106X 拥有 6 个接口，可以组成二维或三维网络结构，但布线的难度也比较大。另外，考虑到本系统数据量大，只通过接口传输速度太慢，故不采用这种连接方式。

(2) 共享总线的多 ADSP2106X 系统 (如图 1 所示)，由于 ADSP2106X 片内具有较大容量的双口 SRAM，可以省掉外接全局存储器和各个处理器外接的局部存储器。每个处理器片内存储器既是其局部存储器，又是系统共享存储器 (全局存储器) 的一部分。由于每个处理器的工作程序放在其片内的双口 SRAM 中，因此各个处理器可真正实现并行处理。这是 ADSP2106X 的存储器结构所决定的，也是其它类型 DSP 处理器 (如 TMS3200C40 等) 所不具备的优良性能。这种连接方式能达到高速传输数据的要求。但是对于本系统来说，要使用 6 片 DSP 共总线，达到了 ADSP2106X 共总线的极限，可能总线的驱动功能不足，故对布线提出很高的要求。



(3) 为了保证系统的可靠性，决定采用共总线的时候，将接口也相应的连接起来，增加系统的灵活性，确保系统能够完成实时处理，即采用图 3 所示的结构。但结合实际要求，本系统的结构框图见图 4。其中 FFT 运算求模单元为 6 片 ADSP2106X 的集束多处理器并行结构，恒虚警处理单元为 2 片 ADSP2106X 的集束多处理器并行结构，显示录取设备为笔记本电脑。可编程逻辑器件负责控制整个系统的时序及相关逻辑。经过实际电路的测试，该系统达到了设计指标的要求。

综上所述，基于 ADSP2106X 并行结构的雷达信号处理系统，所需外围器件少，电路设计简单。通过对处理单元进行各种软件编程就可实现系统的功能，具有很强扩展功能和通用性，大大缩短了研制周期，提高了系统的可靠性。这种通用结构还适用于很多高速实时处理的应用场合，具有广泛的推广应用价值。

来源：摘自电子技术应用