

2. CYFROWE UKŁADY SCALONE TTL

SERII UCY 74 ... /UCA 64 ...

Wykaz oznaczeń parametrów technicznych

C_L	pojemność linii
h_{21E}	statyczny współczynnik wzmacnienia prądowego w układzie OE
I_B	prąd bazy
I_C	prąd kolektora
I_{CC}	prąd zasilania
$I_{CC^+ \text{ on}}$	prąd zasilania z U_{CC^+} w stanie włączenia
$I_{CC^- \text{ on}}$	prąd zasilania z U_{CC^-} w stanie włączenia
I_{CCH}	prąd zasilania w stanie wysokim
I_{CCH^+}	dodatni prąd zasilania w stanie wysokim
I_{CCH^-}	ujemny prąd zasilania w stanie wysokim
I_{CCL}	prąd zasilania w stanie niskim
I_E	prąd emitera
I_I	prąd wejściowy
I_{IH}	prąd wejściowy w stanie wysokim
$I_{IH/A/}$	prąd wejściowy w stanie wysokim na wejściu A
$I_{IH/G/}$	prąd wejściowy w stanie wysokim na wejściu G
$I_{IH/S/}$	prąd wejściowy w stanie wysokim na wejściu S
I_{IL}	prąd wejściowy w stanie niskim
$I_{IL/A/}$	prąd wejściowy w stanie niskim na wejściu A
$I_{IL/G/}$	prąd wejściowy w stanie niskim na wejściu G
$I_{IL/S/}$	prąd wejściowy w stanie niskim na wejściu S
I_O	prąd wyjściowy
I_{CH}	prąd wyjściowy w stanie wysokim
I_{OL}	prąd wyjściowy w stanie niskim
$I_{O \text{ off}}$	prąd wyjściowy w stanie blokady
$I_{O \text{ on}}$	prąd wyjściowy w stanie włączenia
N	obciążalność wyjścia
P_{tot}	całkowita moc tracona
R_L	rezystancja linii
t_{amb}	temperatura otoczenia w czasie pracy
t_{CLR}	szerokość impulsu kasującego
$t_{CLR \text{ set up}}$	czas ustalania impulsu na wejściu CLR
t_{CP}	szerokość impulsu zegarowego
$t_{CP \text{ set up}}$	czas ustalania impulsu na wejściu zegarowym
t_D	szerokość impulsu na wejściu D

t_D set up	czas ustalania impulsu na wejściu D
t_{hold}	czas przetrzymywania
t_L	szerokość impulsu na wejściu LOAD
t_{MC} set up	czas ustalania impulsu na wejściu MC
t_{PHL}	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od dowolnego wejścia
$t_{PHL/A,B/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejść A lub B
$t_{PHL/C,D/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejść C lub D
$t_{PHL/D/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejścia D
$t_{PHL/S/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejścia S
t_{PLH}	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od dowolnego wejścia
$t_{PLH/A,B/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejść A lub B
$t_{PLH/C,D/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejść C lub D
$t_{PLH/D/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejścia D
$t_{PLH/S/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejścia S
t_{P1}	szerokość impulsu na wejściu równoległym
t_{P1} set up	czas ustalania impulsu na wejściu równoległym
$t_{RO,R9}$	szerokość impulsu zerującego
t_{set} up	czas ustalania impulsu
t_{Si}	szerokość impulsu na wejściu szeregowym
t_{Si} set up	czas ustalania impulsu na wejściu szeregowym
t_{stg}	temperatura przechowywania
t_W	czas trwania impulsu wejściowego
t_{WE}	szerokość impulsu wpisu do pamięci
U_{CB}	napięcie kolektor-baza
U_{CC}	napięcie zasilania
U_{CC+}	dodatnie napięcie zasilania
U_{CC-}	ujemne napięcie zasilania
U_{CC-SUB}	napięcie zasilanie-podłoże
U_{C-SUB}	napięcie kolektor-podłoże
U_{CE}	napięcie kolektor-emiter
$U_{CE sat}$	napięcie nasycenia kolektor-emiter
U_{EB}	napięcie emiter-baza
U_I	napięcie wejściowe

U_{IC}	napięcie nieróżnicowe
U_{ID}	napięcie różnicowe
U_{IDH}	napięcie różnicowe w stanie wysokim
U_{IDL}	napięcie różnicowe w stanie niskim
U_{IH}	napięcie wejściowe w stanie wysokim
U_{IL}	napięcie wejściowe w stanie niskim
U_O	napięcie wyjściowe
U_{O+}	dodatnie napięcie wyjściowe
U_{O-}	ujemne napięcie wyjściowe
U_{OH}	napięcie wyjściowe w stanie wysokim
U_{OL}	napięcie wyjściowe w stanie niskim

Seria UCY 74/UCY 64

Parametry dopuszczalne dla wszystkich układów:

$U_{CC\ max} = 7\ V$ | przy $t_{amb} = 25^{\circ}C$
 $U_{I\ max} = 5,5\ V$
 $t_{stg} = -55 \dots +125^{\circ}C$
 2 eczne warunki pracy:
 $0 \dots +70^{\circ}C$ dla serii UCY 74 ...
 $t_{amb} = -40 \dots +60^{\circ}C$ dla serii UCA 64 ...
 $U_{CC} = 5 \pm 0,25\ V$

Parametry charakterystyczne w zalecanym zakresie temperatur:

$U_{OL\ max} = 0,4\ V$ dla wszystkich układów
 $U_{OH\ min} = 2\ V$ dla wszystkich układów z wyjątkiem układów OPEN COLLECTOR
 $I_{OH} = 250\ \mu A$ wyłącznie dla układów OPEN COLLECTOR
 $I_{OH} = 100\ \mu A$ wyłącznie dla układów OPEN COLLECTOR serii UCY 74LS ...

Oznaczenie wyrobu	Funkcja	Parametry charakterystyczne /w zalecanym zakresie temperatur/						Parametry przełączania				Obudo- wa	
		-I _{IL} mA	I _{IH} μA	I _{CCL} /I _{CC} /		I _{CCH} mA	t _{PHL} ns	t _{PLH} ns					
				WEJŚCIE	max				WEJŚCIE	max			
											max		max
1	2	3	4	5	6	7	8	9	10				
UCY 7400N	czterokrotna dwuwę- ściowa bramka NAND	1,6		40	22	8	10	15	22	CE 70			
UCY 7401N	czterokrotna dwuwę- ściowa bramka NAND z otwartym kolekto- rem /OPEN COLLECTOR/	1,6		40	22	8		15	45	CE 70			
UCA 6401N													
UCY 7402N	czterokrotna dwuwę- ściowa bramka NOR	1,6		40	27	16	10	15	22	CE 70			
UCA 6402N													
UCY 7403N	czterokrotna dwuwę- ściowa bramka NAND z otwartym kolekto- rem /OPEN COLLECTOR/	1,6		40	22	8		15	45	CE 70			
UCA 6403N													
UCY 7404N	sześcioletny inwer- ter	1,6		40	33	12	10	15	22	CE 70			
UCA 6404N													

1	2	3	4	5	6	7	8	9	10
UCY 7406N UCA 6406N	sześciokrotny inwer- ter-bufor z otwartym kolektorem /OPEN COLLECTOR-30 V/	1,6	40	51	48		25	15	CE 70
UCY 7407N UCA 6407N	sześciokrotny bufor z otwartym kolekto- rem /OPEN COLLECTOR- -30 V/	1,6	40	30	41		25	15	CE 70
UCY 7408N UCA 6408N	czterokrotna dwuej- ściowa bramka AND	1,6	40	33	21	10	27	19	CE 70
UCY 7409N UCA 6409N	czterokrotna dwuej- ściowa bramka AND z otwartym kolektorem /OPEN COLLECTOR/	1,6	40	33	21		24	32	CE 70
UCY 7410N UCA 6410N	trzykrotna trzywej- ściowa bramka NAND	1,6	40	16,5	6	10	15	22	CE 70
UCY 7416N UCA 6416N	sześciokrotny inwer- ter-bufor z otwartym kolektorem /OPEN COLLECTOR-15 V/	1,6	40	51	48		25	15	CE 70
UCY 7417N UCA 6417N	sześciokrotny bufor z otwartym kolekto- rem /OPEN COLLECTOR- -15 V/	1,6	40	30	41		25	15	CE 70
UCY 7420N UCA 6420N	dwukrotna czterowej- ściowa bramka NAND	1,6	40	11	4	10	15	22	CE 70
UCY 7430N UCA 6430N	ośmiowejściowa bramka NAND	1,6	40	6	2	10	15	22	CE 70
UCY 7437N UCA 6437N	czterokrotna dwuej- ściowa bramka NAND	1,6	40	54	16	30	15	22	CE 70

1	2	3	4	5	6	7	8	9	10
UCY 7438N	czterokrotna dwuwejściowa bramka NAND z otwartym kolektorem / OPEN COLLECTOR -5 V/	1,6	40	54	9		18	22	CE 70
UCA 7438N									
UCY 7440N	dwukrotna czterowejściowa bramka NAND	1,6	40	27	8	30	15	22	CE 70
UCA 6440N									
UCY 7442N	dekoder kodu BCD na kod dziesiętny	1,6	40	/56/		10	25	25	CE 71
UCA 6442N									
UCY 7447N	dekoder kodu BCD na kod siedmiosegmentowy	1,6	40	/103/			100	A → a+g	CE 71
UCA 6447N		4,0					100	RBI → a+f	100
UCY 7450N	dwukrotna 2 x dwuwejściowa bramka AND-OR-INVERT z możliwością ekspansji OR	1,6	40	14	8	10	15	22	CE 70
UCA 6450N									
UCY 7451N	dwukrotna 2 x dwuwejściowa bramka AND-OR-INVERT	1,6	40	14	8	10	15	22	CE 70
UCA 6451N									
UCY 7453N	4 x dwuwejściowa bramka AND-OR-INVERT z możliwością ekspansji OR	1,6	40	9,5	8	10	15	22	CE 70
UCA 6453N									
UCY 7454N	4 x dwuwejściowa bramka AND-OR-INVERT	1,6	40	9,5	8	10	15	22	CE 70
UCA 6454N									
UCY 7460N	dwukrotny czterowejściowy ekspander	1,6	40			2	20	30	CE 70
UCA 6460N									
UCY 7472N	przerzutnik typu J-K / MASTER-SLAVE/	1,6	J ₁ , K ₁	/20/		10	40	CP → Q	CE 70
UCA 6472N		3,2	S, R, CP				40	R, S → Q	25

1	2	3	4	5	6	7	8	9	10
UCY 7473N UCA 6473N	dwukrotny przerzut- nik typu J-K /MASTER-SLAVE/	J, K CP, R 1,6 3,2	J, K CP, R 40 80	/40/		10	CP → Q R → Q 40 40	CP → Q R → Q 25 25	CE 70
UCY 7474N UCA 6474N	dwukrotny przerzut- nik typu D	S, D R, CP 1,6 3,2	D S, CP R 40 80 120	/30/		10	CP → Q R, S → Q t _{set} up t _{hold} 40 40 20 5	CP → Q R, S → Q 25 25	CE 70
UCY 7475N UCA 6475N	ostrokrotny prze- rzutnik typu D ste- rowany poziomem /LATCH/	D CP 3,2 6,4	D CP 80 160	/53/		10	D → Q D → Q CP → Q t _{set} up "1" t _{hold} "1" 25 15 15 20 0	D → Q D → Q CP → Q t _{set} up "0" t _{hold} "0" 30 40 30 20 0	CE 71
UCY 7476N UCA 6476N	dwukrotny przerzut- nik typu J-K /MASTER-SLAVE/	J, K S, R, CP 1,6 3,2	J, K S, R, CP 40 80	/40/		10	CP → Q S, R → Q 40 40	CP → Q S, R → Q 25 25	CE 71
UCY 7483N UCA 6483N	czterobitowy sumator binarny	3,2	80	/80/		10	C ₀ → Σ ₁ C ₀ → Σ ₂ C ₀ → Σ ₃ C ₀ → Σ ₄ C ₀ → C ₄ A ₁ → Σ ₁ 35 35 40 50 50 30 35	C ₀ → Σ ₁ C ₀ → Σ ₂ C ₀ → Σ ₃ C ₀ → Σ ₄ C ₀ → C ₄ A ₁ → Σ ₁ 35 35 50 50 30 35	CE 71
UCY 7485N UCA 6485N	czterobitowy kompa- rator binarny	A > B A < B A = B A ₁ , B ₁ 1,6 1,6 4,8 4,8	A > B A < B A = B A ₁ , B ₁ 40 40 120 120	/88/		10	A ₁ → A < B B ₁ → A > B A ₁ → A = B B ₁ 22 25	A ₁ → A < B B ₁ → A > B A ₁ → A = B B ₁ 26 40	CE 71

1	2	3	4	5	6	7	8	9	10
UCY 7486N UCA 6486N	czterokrotna dwuwę- ściowa bramka EXCLUSIVE-OR	1,6	40	/55/		10	$A_1=B_1=0$ $A_1=B_1=1$	$A_1=B_1=0$ $A_1=B_1=1$	CE 70 23 30
UCY 7490N UCA 6490N	licznik dekadowy	R_0, R_9 $\overline{CP}_A$ $\overline{CP}_B$	R_0, R_9 40 80 160	/53/		10	$\overline{CP}_A \rightarrow Q_C$ $t_{CP \min}$ t_{R_0, R_9}	$\overline{CP}_A \rightarrow Q_C$	CE 70 100
UCY 7492N	licznik modulo 12	R_0 $\overline{CP}_A$ $\overline{CP}_B$	40 80 160	/51/		10	$\overline{CP}_A \rightarrow Q_D$ $t_{CP \min}$ $t_{RO \min}$	$\overline{CP}_A \rightarrow Q_D$	CE 70 100
UCY 7493N UCA 6493N	czterobitowy licznik binarny	R_0 $\overline{CP}_A, \overline{CP}_B$	40 80	/53/		10	$\overline{CP}_A \rightarrow Q_D$ $t_{CP \min}$ $t_{RO \min}$	$\overline{CP}_A \rightarrow Q_D$	CE 70 135
UCY 7495N UCA 6495N	czterobitowy uniwer- salny rejestr prze- suwny	MC 1,6 3,2	40 80	/63/		10	$\overline{CP} \rightarrow Q_1$	$\overline{CP} \rightarrow Q_1$	CE 70 27
UCY 74107N UCA 64107N	dwukrotny przerzut- nik typu J-K /MASTER-SLAVE/	J, K $\overline{CP}, \overline{R}$	40 80	/40/		10	$\overline{CP} \rightarrow Q$ $\overline{R} \rightarrow Q$	$\overline{CP} \rightarrow Q$ $\overline{R} \rightarrow Q$	CE 70 25 25
UCY 74121N UCA 64121N	przerzutnik monosta- bilny z wejściem Schmitta	A_1, A_2 B	40 80	/40/		10	$A_1 \rightarrow Q$ B $\rightarrow Q$	$A_1 \rightarrow Q$ B $\rightarrow Q$	CE 70 70 55
UCY 74123N UCA 64123N	dwukrotny przerzut- nik monostabilny z wejściem zerującym	A, B $\overline{R}$	40 80	/66/		10	$\overline{R} \rightarrow Q$ A $\rightarrow Q$ B $\rightarrow Q$ $t_{set \uparrow}$ t_{hold}	$\overline{R} \rightarrow Q$ A $\rightarrow Q$ B $\rightarrow Q$	CE 71 40 33 28

1	2	3	4	5	6	7	8	9	10
UCY 74132N UCA 64132N	ośrodkrotna dwu- wejściowa bramka NAND z wejściem Schmitta	1,6	40	72	56	10	30	35	CE 70
UCY 74145N UCA 64145N	dekoder kodu BCD na kod dziesiętny z otwartym wyjściem kolektorowym /OPEN COLLECTOR-15 V/	1,6	40	/70/			50	50	CE 71
UCY 74150N UCA 64150N	szesnastowejsiowy selektor-multiplek- ser	1,6	40	/68/		10	33 30 14	DS _{A,B,C,D} →W ST→W DI ₁ →W	CE 73
UCY 74151N UCA 64151N	ośmiowejsiowy se- lektor-multiplekser	1,6	40	/48/		10	33 30 14	DS _{A,B,C} →W ST→W DI ₁ →W	CE 71
UCY 74153N UCA 64153N	dwukrotny czterowej- ściowy selektor-mul- tiplekser	1,6	40	/60/		10	34 23 23	DS _{A,B} →Y ST→Y DI ₁ →Y	CE 71
UCY 74154N UCA 64154N	dekoder-demultiplek- ser z 4 liniami 16 linii	1,6	40	/56/		10	33 27	A,B,C,D→Y ₁ ST ₁ →Y ₁	CE 73
UCY 74155N UCA 64155N	dwukrotny dekoder demultiplekser z 2 liniami na 4 linie	1,6	40	/40/			27 32 24	ST→Y ₁ DS _{A,B} →Y ₁ DI→Y ₁	CE 71
UCY 74157N UCA 64157N	czterokrotny dwu- wejściowy selektor- multiplekser	1,6	40	/48/		10	14 21 27	DI ₁ →Y ST→Y DS→Y	CE 71

1	2	3	4	5	6	7	8	9	10
UCY 74164N UCA 64164N	synchroniczny ośmio- bitowy rejestr prze- suwny z wejściem szeregowym i wyjścia- mi równoległymi	$\overline{\text{CLR}}$ 1,6 3,2	$\overline{\text{CLR}}$ 40 80	/54/ /63/		10	$\text{CP} \rightarrow \text{Q}_i$ $\overline{\text{CLR}} \rightarrow \text{Q}_i$ $t_{\text{set up}}$ t_{hold} $t_{\text{CP min}}$ $t_{\text{CLR min}}$ 32 36 15 0 20 20	$\text{CP} \rightarrow \text{Q}_i$ 27	CE 70
UCY 74165N UCA 64165N	synchroniczny ośmio- bitowy rejestr prze- suwny z wejściami równoległymi i wyj- ściem szeregowym	$\overline{\text{L}}$ 1,6 3,2	$\overline{\text{L}}$ 40 80	/63/		10	$\overline{\text{L}} \rightarrow \text{Q}_H$ $\text{CP} \rightarrow \text{Q}_H$ $\text{P}_H \rightarrow \text{Q}_H$ $t_{\text{CP set up}}$ $t_{\text{PI set up}}$ $t_{\text{SI set up}}$ t_{hold} $t_{\text{CP min}}$ $t_{\text{L min}}$ 40 31 36 30 10 20 0 25 15	$\overline{\text{L}} \rightarrow \text{Q}_H$ $\text{CP} \rightarrow \text{Q}_H$ $\text{P}_H \rightarrow \text{Q}_H$ 31 24 17	CE 71
UCY 74174N UCA 64174N	sześcioletny prze- rzućnik typu D z ze- rowaniem	1,6	40	/65/		10	$\text{CP} \rightarrow \text{Q}$ $\overline{\text{CLR}} \rightarrow \text{Q}$ $t_{\overline{\text{CLR}} \text{ set up}}$ $t_{\text{D set up}}$ t_{hold} $t_{\text{CP min}}$ 35 35 25 20 5 20	$\text{CP} \rightarrow \text{Q}$ 30	CE 71
UCY 74175N UCA 64175N	czterokrotny prze- rzućnik typu D z ze- rowaniem	1,6	40	/45/		10	$\text{CP} \rightarrow \text{Q}$ $\overline{\text{CLR}} \rightarrow \text{Q}$ $t_{\overline{\text{CLR}} \text{ set up}}$ $t_{\text{D set up}}$ t_{hold} $t_{\text{CP min}}$ 35 35 25 20 5 20	$\text{CP} \rightarrow \text{Q}$ 30	CE 71
UCY 74180N UCA 64180N	ośmio-bitowy genera- tor parzystości	DI I_E, I_D 1,6 3,2	DI I_E, I_D 40 80	/56/		10	$\text{I}_E \rightarrow \sum \text{Q}_E$ $\text{I}_O \rightarrow \sum \text{Q}_O$ 10 10	$\text{I}_E \rightarrow \sum \text{Q}_E$ $\text{I}_O \rightarrow \sum \text{Q}_O$ 20 20	CE 71

1	2	3	4	5	6	7	3	9	10
UCY 74181N UCA 64181N	czterobitowa uniwersalna jednostka arytmetycznologiczna	M A _i , B _i S _i C _i	1,6 4,8 6,4 8	/150/		10	C _n → C _{n+4} A _i , B _i → C _{n+4} C _n → P _n	C _n → C _{n+4} A _i , B _i → C _{n+4} C _n → P _n	CE 73 18 43 19
UCY 74182N	generator przeniesienia	C _n P ₃ P ₂ P ₀ , P ₁ , G ₃ G ₀ , G ₂ G ₁	3,2 4,8 6,4 8 14,8 16	72	65	10			CE 71 22
UCY 74192N UCA 64192N	synchroniczny dziesiętny licznik rewersyjny		1,6	/102/		10	A, B, C, D → Q CP _D , CP _U → Q CP _U → C _{OUT} CP _D → B _{OUT} I → Q CLR → Q t _{set up} t _{hold} t _{w min}	A, B, C, D → Q CP _U , CP _D → Q CP _U → C _{OUT} CP _D → B _{OUT} I → Q	CE 71 30 38 26 24 35
UCY 74193N UCA 64193N	synchroniczny binarny licznik rewersyjny /czterobitowy/		1,6	/102/		10	A, B, C, D → Q CP _D , CP _U → Q CP _U → C _{OUT} CP _D → B _{OUT} I → Q CLR → Q t _{set up} t _{hold} t _w	A, B, C, D → Q CP _U , CP _D → Q CP _U → C _{OUT} CP _D → B _{OUT} I → Q	CE 71 30 38 26 24 35

1	2	3	4	5	6	7	8	9	10
UCY 74194N UCA 64194N	uniwersalny czterobitowy rejestr przesuwny	1,6	40	/63/		10	CP → Q _i CLR → Q _i t _{CP min} t _{CLR min} t _{MC set up} t _{set up} t _{hold}	CP → Q _i 22	CE 71
UCY 74198N UCA 64198N	uniwersalny ośmio-bitowy rejestr przesuwny	1,6	40	/116/		10	CP → Q _i CLR → Q _i CP = 1 CLR → Q _i CP = 0 t _{CP min} t _{CLR min} t _{MC set up} t _{set up} t _{hold}	CP → Q 26 CE 73	
UCY 74547N	układ sterujący wyświetlaczem kalkulatora /U _{CC max} = 15 V/	0,025	500	5,5	0,3		5000	5000	CE 78
UCY 74548N	układ sterujący wyświetlaczem kalkulatora /U _{CC max} = 15 V/	0,025	500	23	0,35		5000	5000	CE 78
UCY 74549N	układ sterujący wyświetlaczem kalkulatora /U _{CC max} = 15 V/	0,025	500	5,5	0,3		5000	5000	CE 78

1	2	3	4	5	6	7	8	9	10
UCY 780101N UCA 680101N	sześcioletnia pamięć RAM	0,25	10	/105/		10	$A_i \rightarrow Y_i$ $\overline{CS} \rightarrow Y_i$ $t_{WE} \min$ $t_{DI} \text{ hold}$	$A_i \rightarrow Y_i$ $\overline{CS} \rightarrow Y_i$	60 30 40 40 CE 71
UCY 74H00N UCA 64H00N	czterokrotna dwuwejściowa bramka NAND	2	50	40	17	10	10		10 CE 70
UCY 74H10N	trójkrotna trzywejściowa bramka NAND	2	50	30	12,6	10	10		10 CE 70
UCY 74H40N UCA 64H40N	dwukrotna czterowejściowa bramka NAND	4	100	40	16	30	12		12 CE 70
UCY 74H50N UCA 64H50N	dwukrotna 2 x dwuwejściowa bramka AND-OR-INVERT z możliwością ekspansji OR	2	50	12,8	24	10	11		11 CE 70
UCY 74H53N UCA 64H53N	4 x dwuwejściowa bramka AND-OR-INVERT z możliwością ekspansji OR	2	50	14	11	10	11		11 CE 70
UCY 74H72N UCA 64H72N	przerzutnik typu J-K /MASTER-SLAVE/	J, K S, R, CP 2 4	J, K S, R, CP 50 100	/25/		10	S, R → Q CP Q	S, R → Q CP Q	24 27 13 21 CE 70
UCY 74H74N UCA 64H74N	dwukrotny przerzutnik typu D	S, D R, CP 2 4	D S, CP R 50 100 150	/50/		10	S, R → Q CP → Q $t_{set up}$ t_{hold}	S, R → Q CP → Q	30 20 15 0 20 15 CE 70
UCY 74S00N	czterokrotna dwuwejściowa bramka NAND	2	50	36	16	10			5 4,5 CE 70

1	2	3	4	5	6	7	8	9	10
UCY 74S03M	czterokrotna dwuej- ściowa bramka NAND z otwartym kolekto- rem /OPEN COLLECTOR/	2	50	36	13,2	10	7	7,5	CE 70
UCY 74S10N	trzykrotna trzywej- ściowa bramka NAND	2	50	27	12	10	5	4,5	CE 70
UCY 74S11N	trzykrotna trzywej- ściowa bramka AND	2	50	42	24	10	7,5	7	CE 70
UCY 74S15N	trzykrotna trzywej- ściowa bramka AND	2	50	42	24	10	5	4,5	CE 70
UCY 74S20N	dwukrotna czterowej- ściowa bramka NAND	2	50	18	8	10	5	4,5	CE 70
UCY 74S22N	dwukrotna czterowej- ściowa bramka NAND z otwartym kolekto- rem /OPEN COLLECTOR/	2	50	18	6,6	10	7	7,5	CE 70
UCY 74LS00N	czterokrotna dwuej- ściowa bramka NAND	0,36	20	4,4	1,6	10	15	15	CE 70
UCY 74LS01M	czterokrotna dwuej- ściowa bramka NAND z otwartym kolekto- rem /OPEN COLLECTOR/	0,36	20	4,4	1,6	10	28	32	CE 70
UCY 74LS02M	czterokrotna dwuej- ściowa bramka NOR	0,36	20	5,4	3,2	10	15	15	CE 70
UCY 74LS03N	czterokrotna dwuej- ściowa bramka NAND z otwartym kolekto- rem /OPEN COLLECTOR/	0,36	20	4,4	1,6	10	28	32	CE 70

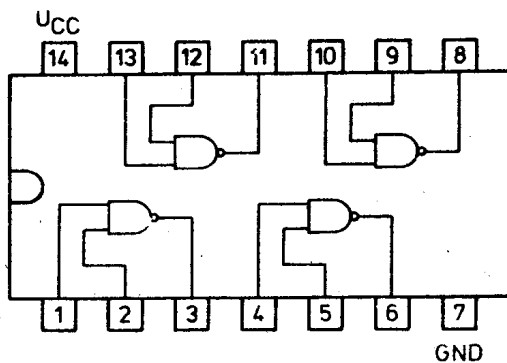
1	2	3	4	5	6	7	8	9	10
UCY 74LS04N	sześcioletni inwerter	0,36	20	6,6	2,4	10	15	15	CE 70
UCY 74LS08N	czterokrotna dwuwęściowa bramka AND	0,36	20	8,8	4,8	10	20	20	CE 70
UCY 74LS10N	trójkrotna trzywęściowa bramka NAND	0,36	20	3,3	1,2	10	15	15	CE 70

z/ podane parametry dla współpracy z układami kalkulacyjnymi

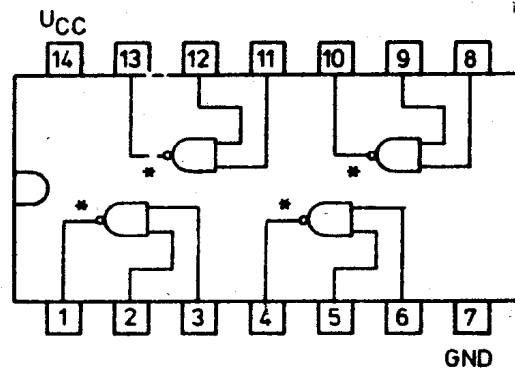
2.1. Schematy logiczne

Wykaz niektórych skrótów stosowanych na schematach logicznych układów cyfrowych

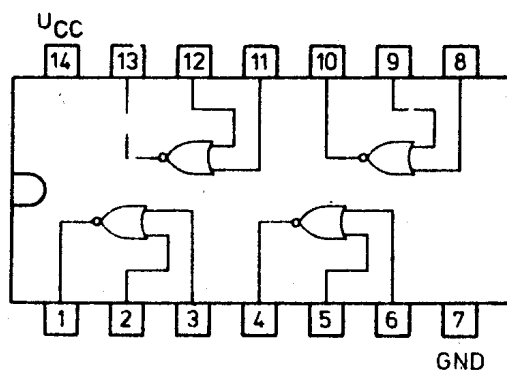
B _{OUT}	- BORROW OUTPUT - wyjście przeniesienia przy zliczaniu w dół /UCY 74192 i UCY 74193/
C _{IN}	- CARRY INPUT - wejście sygnału przeniesienia
C _{OUT}	- CARRY OUTPUT - wyjście impulsu przeniesienia
CLR	- CLEAR - wejście zerujące
CP	- CLOCK PULSE - wejście zegarowe
CS	- CHIP SELECT - wejście zezwalające na pracę układu
DI	- DATA INPUT - wejście danych
DS	- DATA SELECT - wejście wybierające
FS	- FUNCTION SELECT - wejście wybierające wykonywaną funkcję
INH	- INHIBIT - wejście zezwalające
I _E	- INPUT EVEN - wejście nieparzyste
I _O	- INPUT ODD - wejście parzyste
L	- LOAD - wejście ładujące
MC	- MODE CONTROL - wejście rodzaju pracy
PI	- PARALLEL INPUT - wejście równoległe
R	- RESET - wejście kasujące
S	- SET - wejście ustawiające
SI	- SERIAL INPUT - wejście szeregowo
ST	- STROBE - wejście strobuujące
SUB	- SUBSTRAT - podłoże
X	- wejście-wyjście ekspanderowe
Y	- wyjście bramkowe



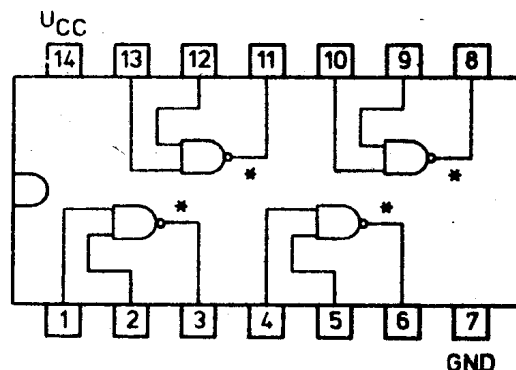
7400



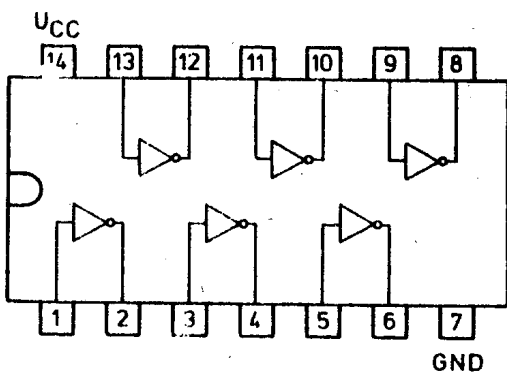
7401



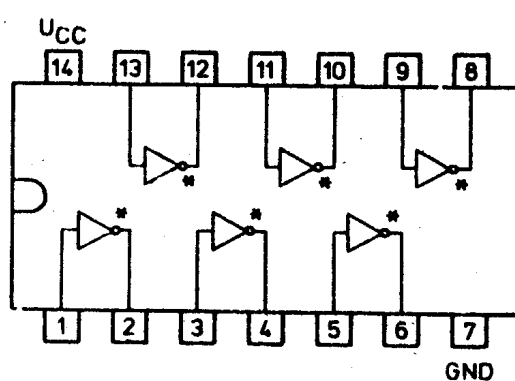
7402



7403

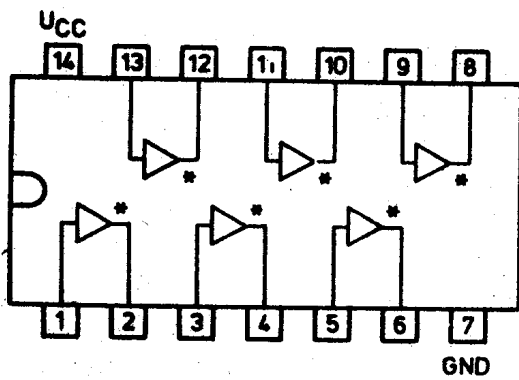


7404

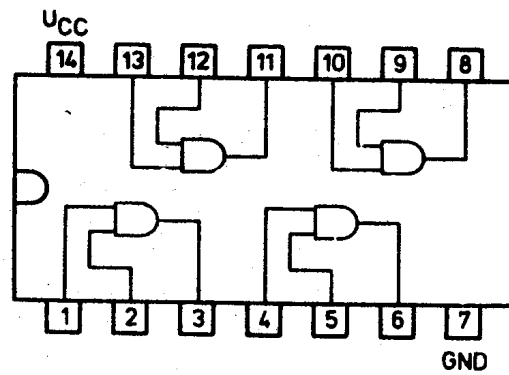


7406

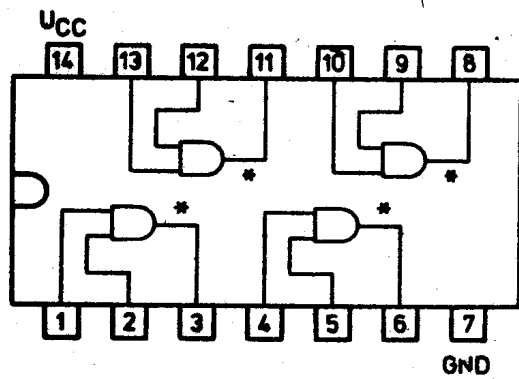
*OPEN COLLECTOR



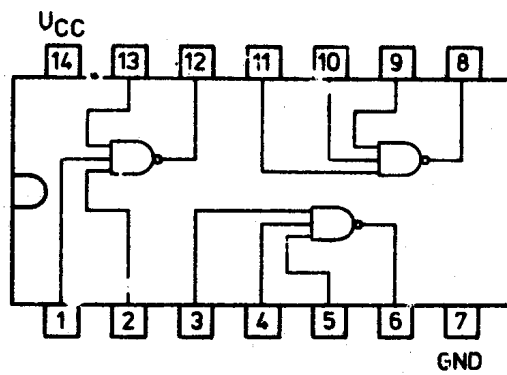
7407



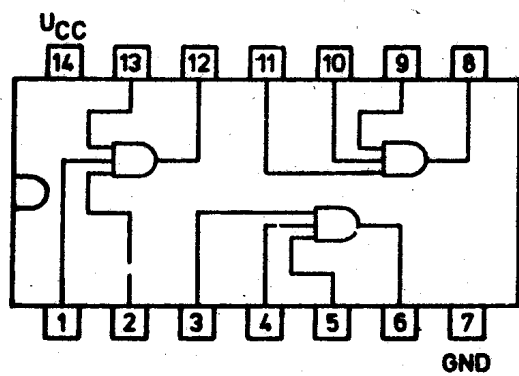
7408



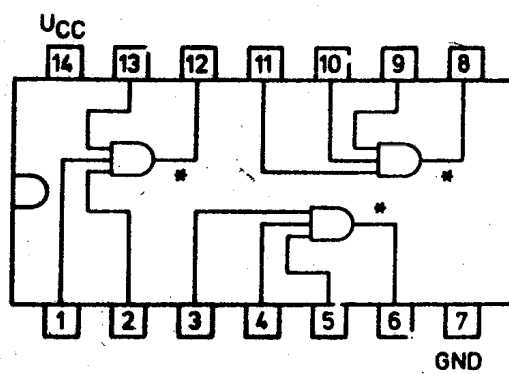
7409



7410

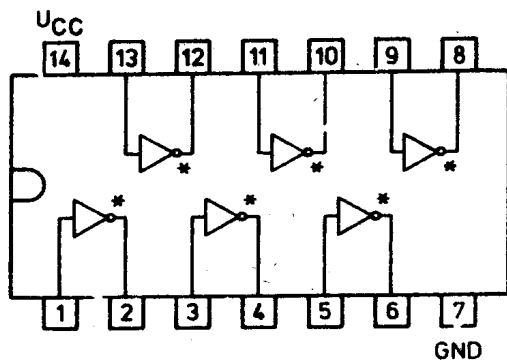


7411

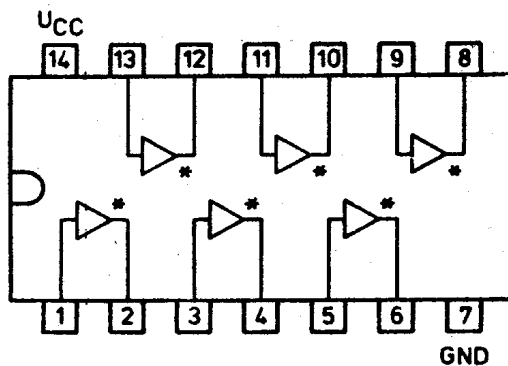


7415

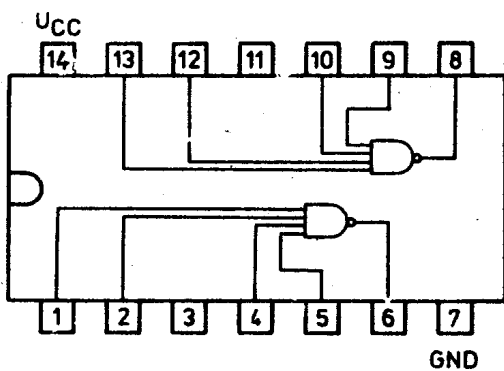
*OPEN COLLECTOR



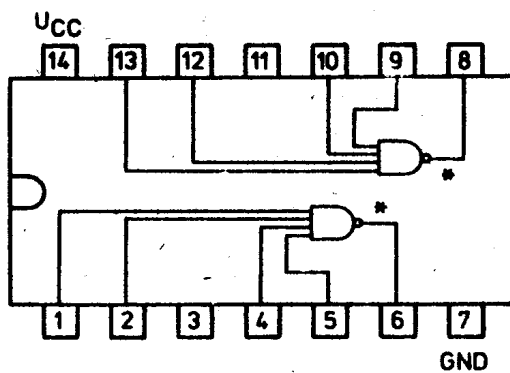
7416



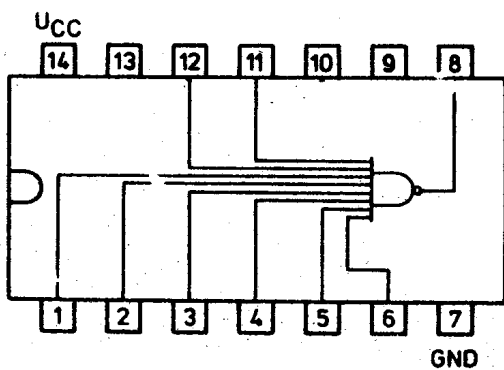
7417



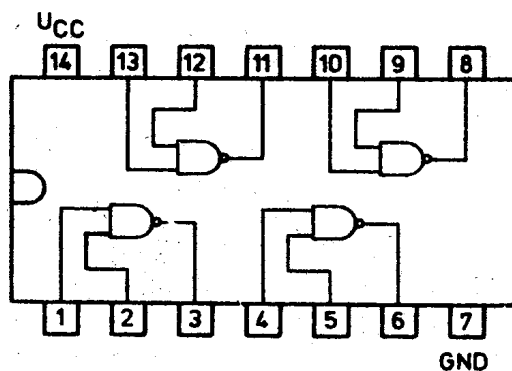
7420



7422

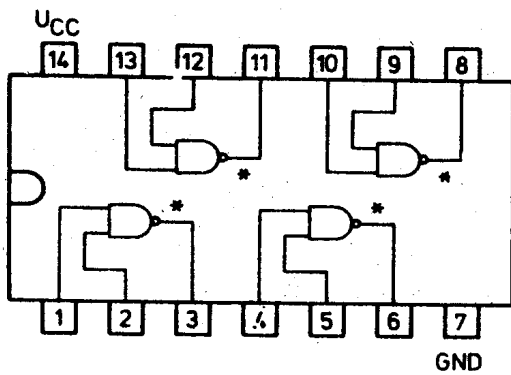


7430

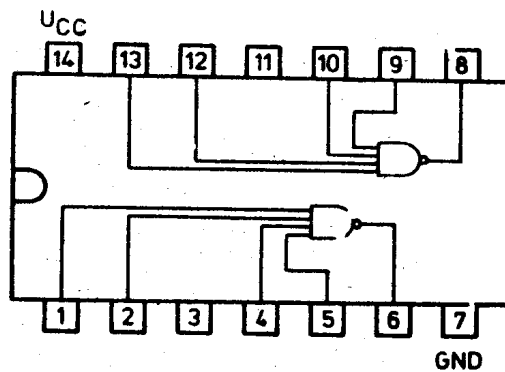


7437

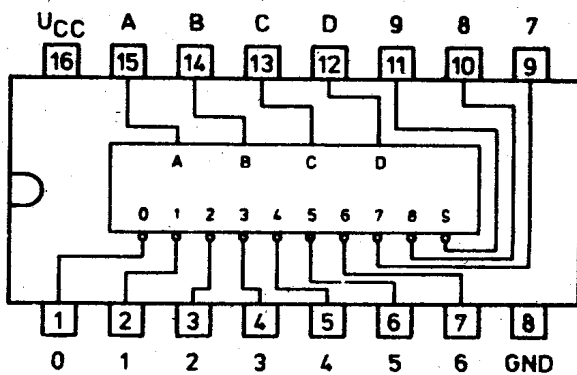
*OPEN COLLECTOR



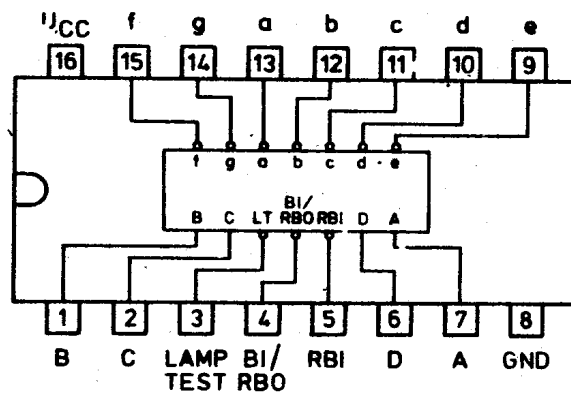
7438



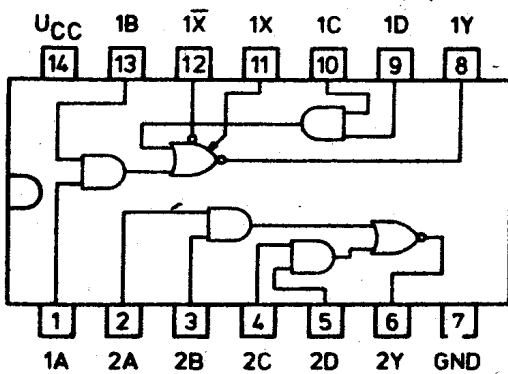
7440



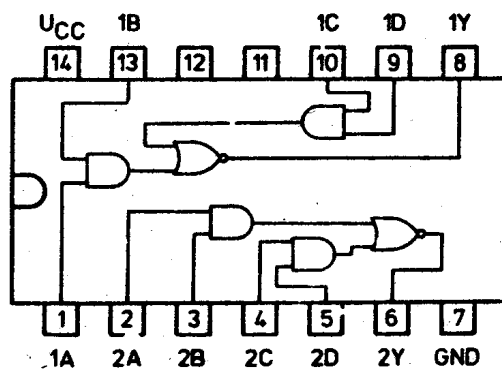
7442



7447

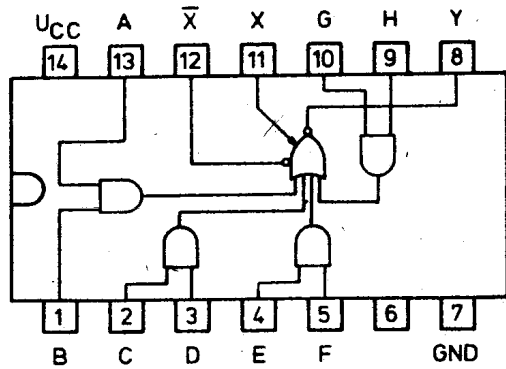


7450

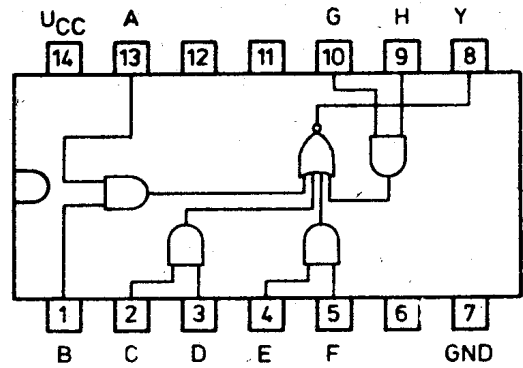


7451

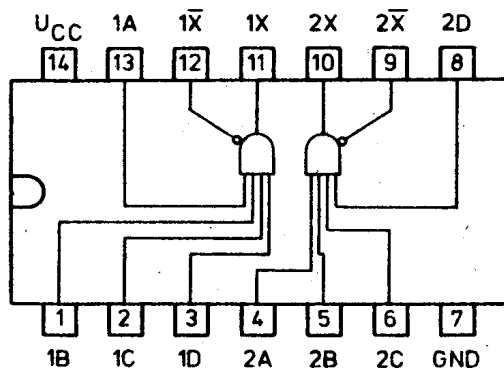
*OPEN COLLECTOR



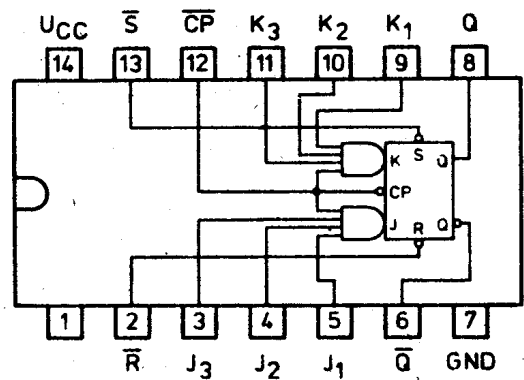
7453



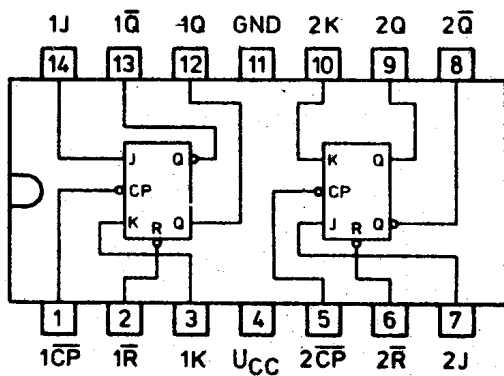
7454



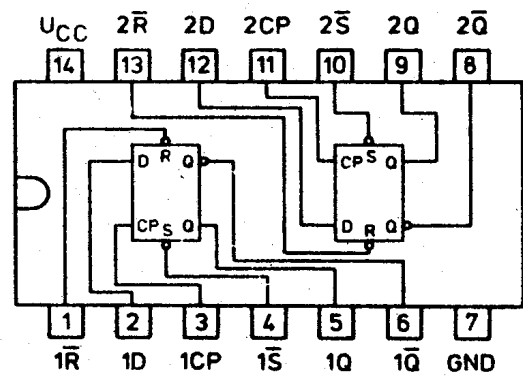
7460



7472

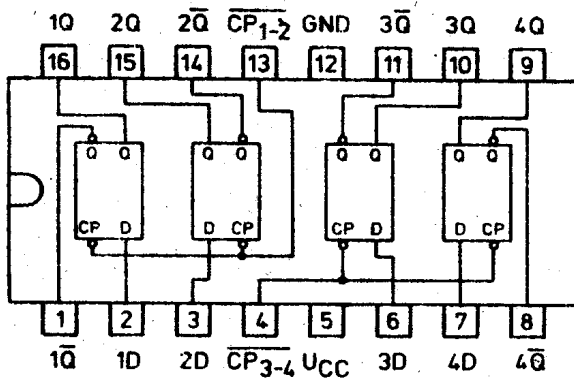


7473

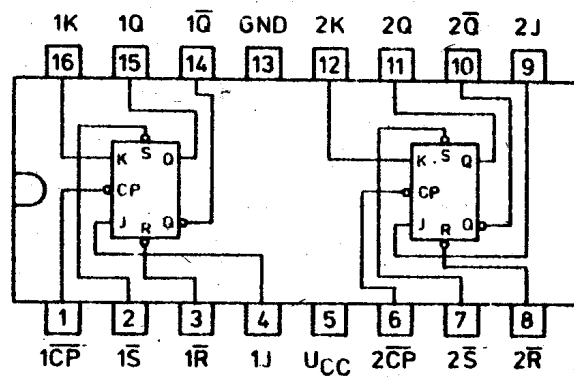


7474

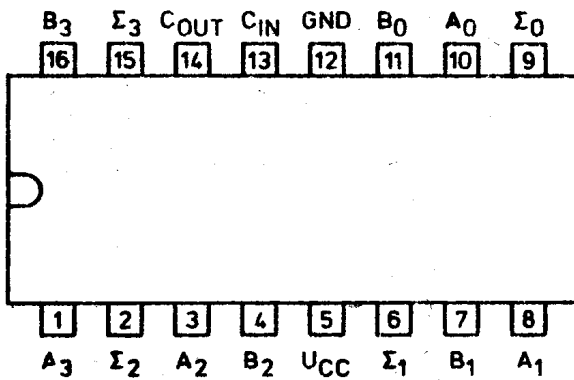
*OPEN COLLECTOR



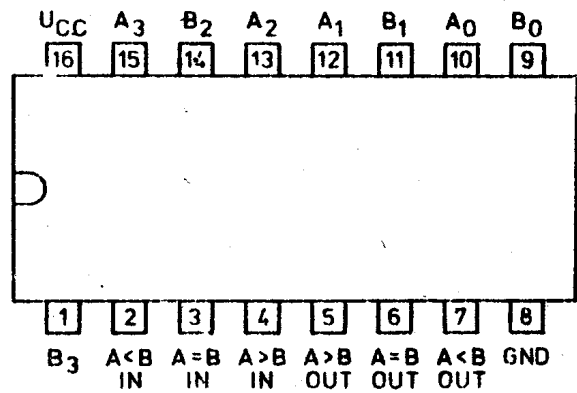
7475



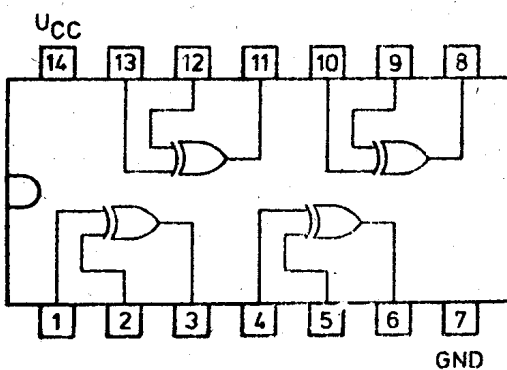
7476



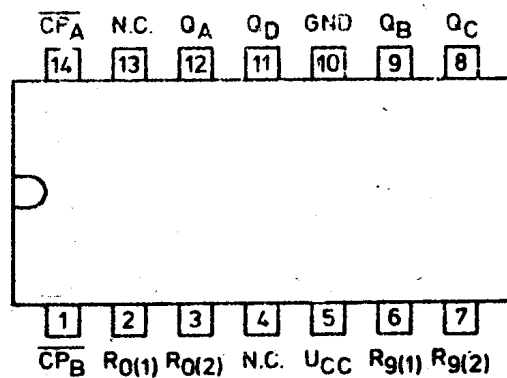
7483



7485

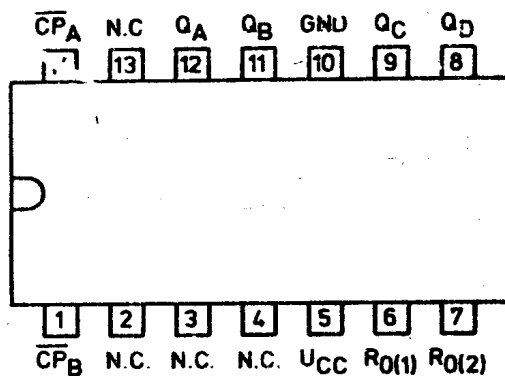


7486

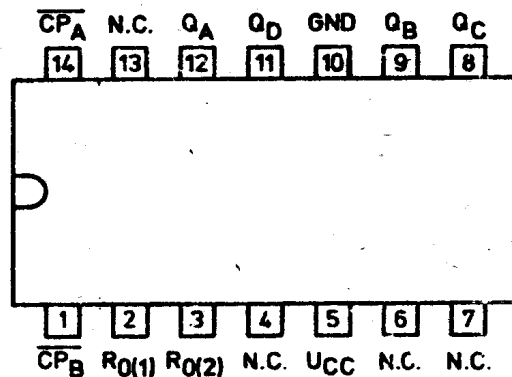


7490

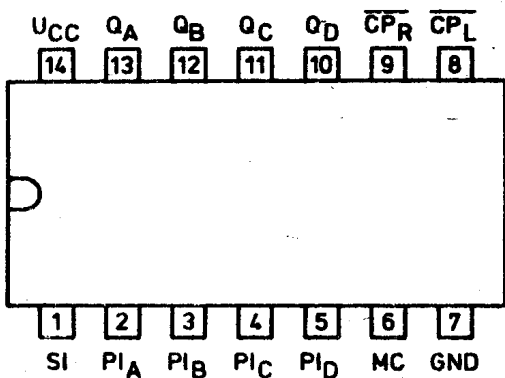
*OPEN COLLECTOR



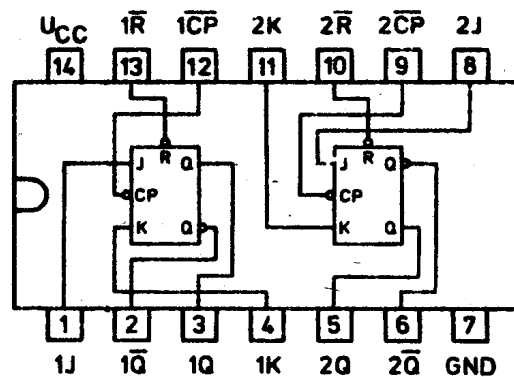
7492



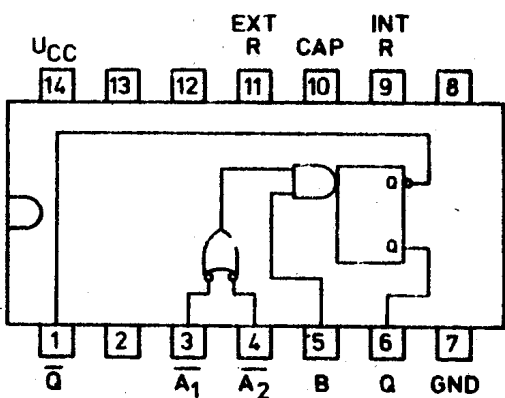
7493



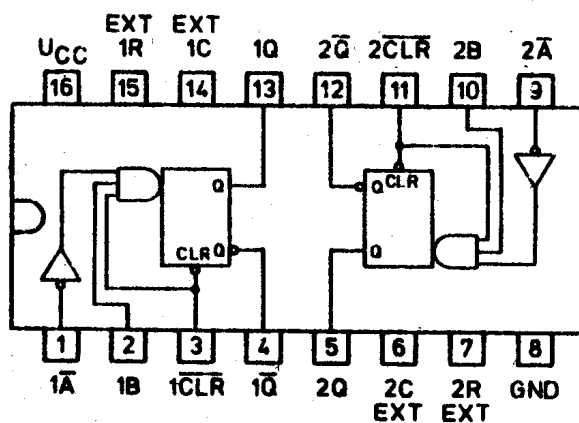
7495



74107

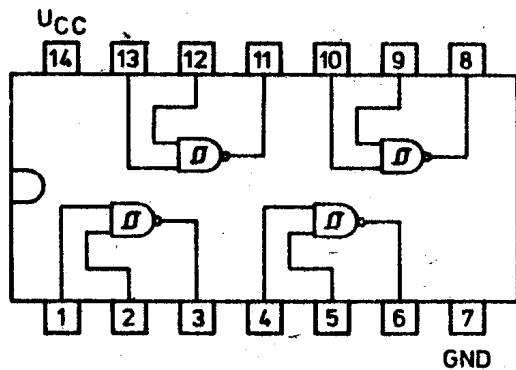


74121

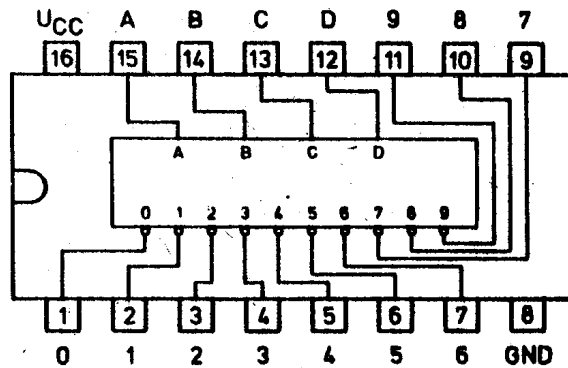


74123

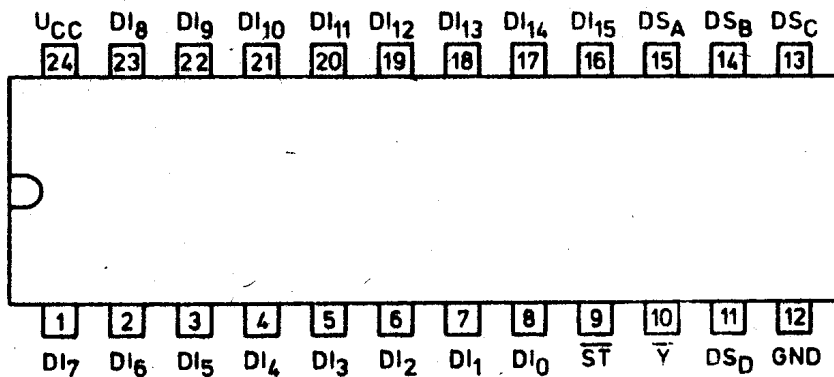
*OPEN COLLECTOR



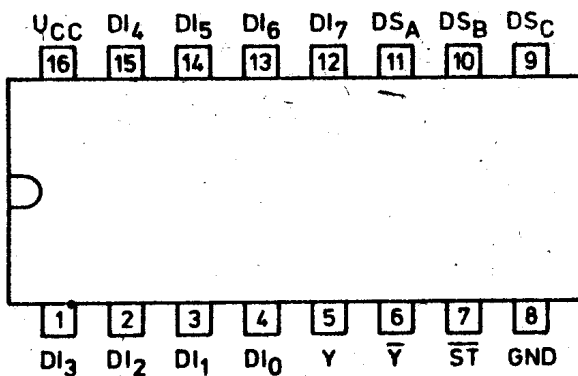
74132



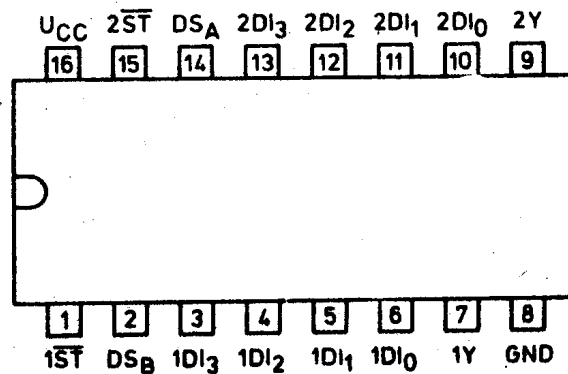
74145



74150

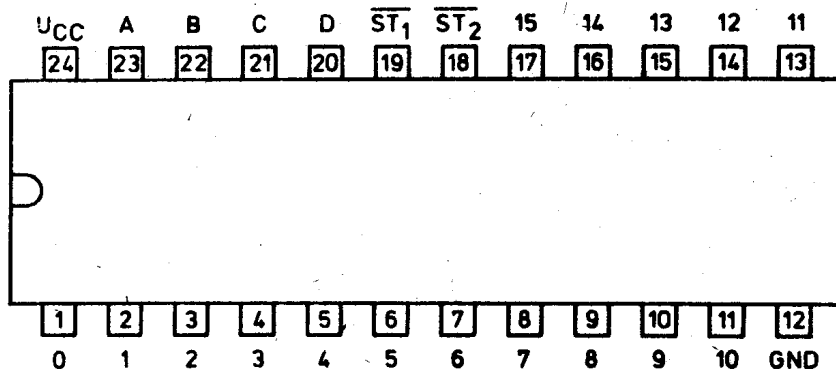


74151

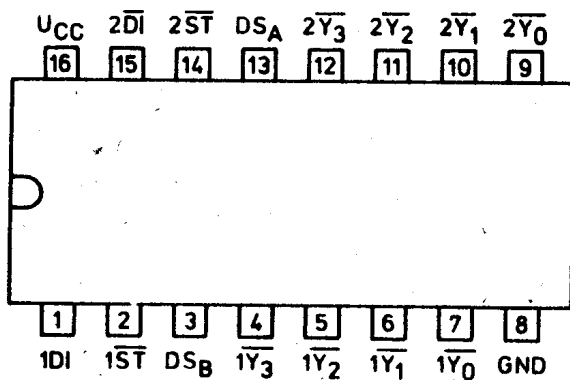


74153

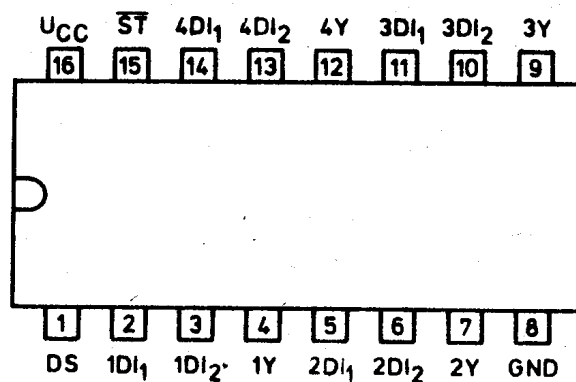
*OPEN COLLECTOR



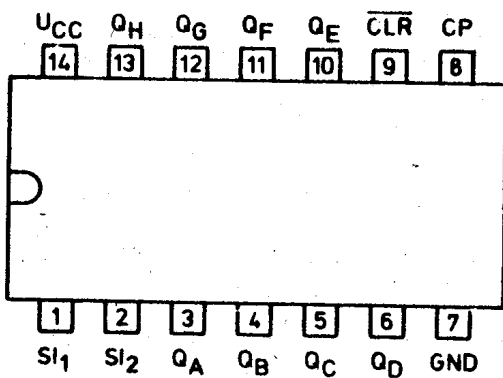
74154



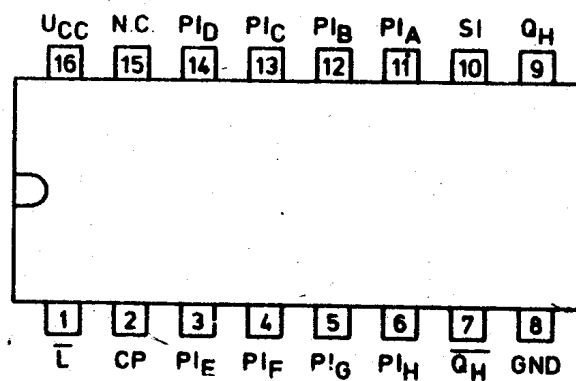
74155



74157

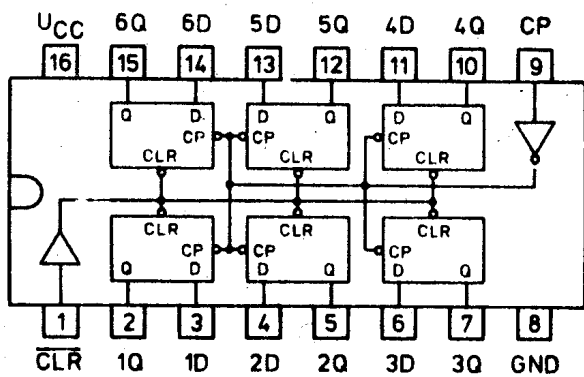


74164

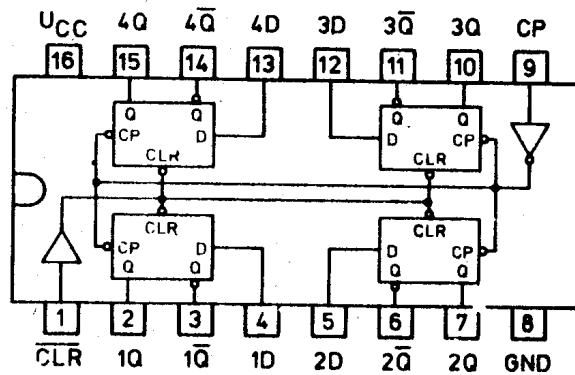


74165

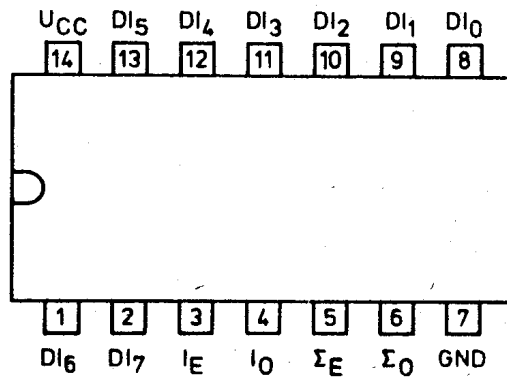
*OPEN COLLECTOR



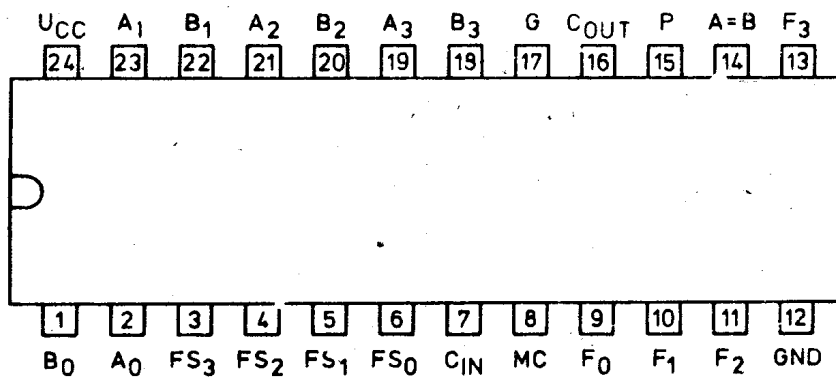
74174



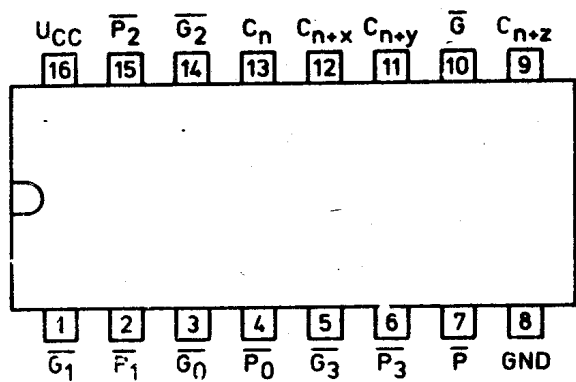
74175



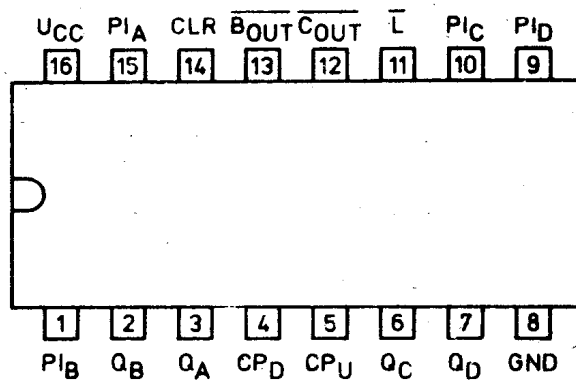
74180



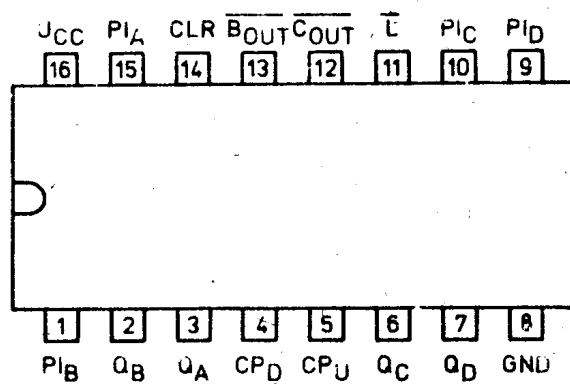
74181



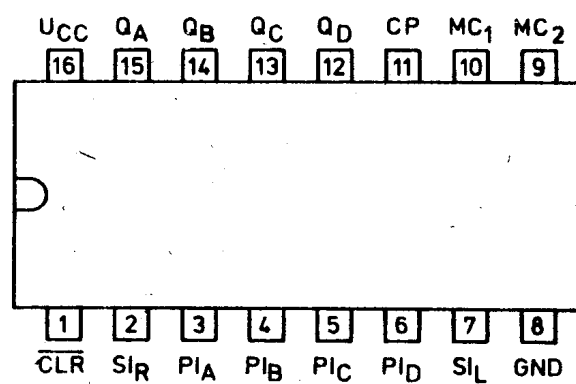
74182



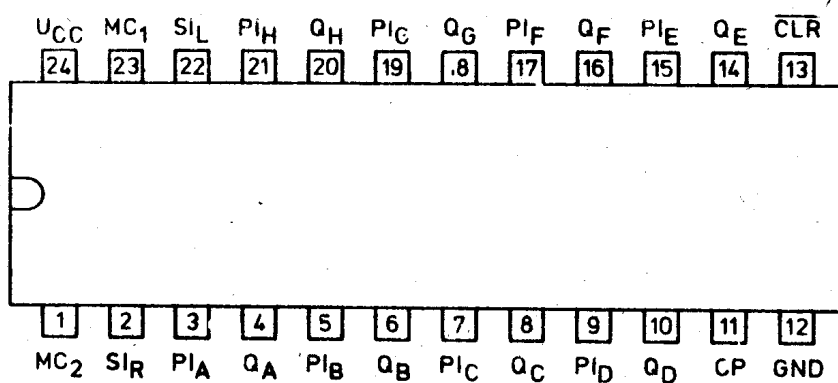
74192



74193

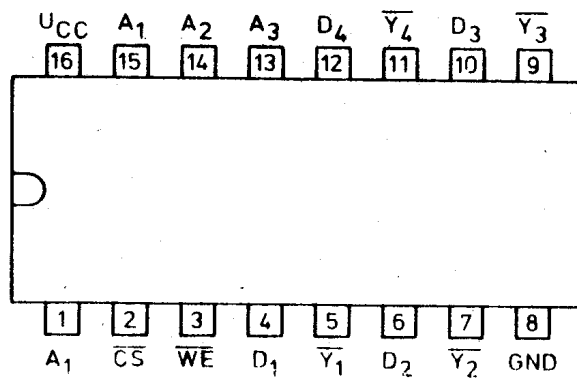


74194

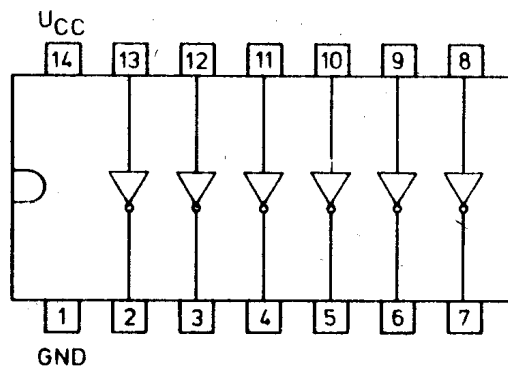


74198

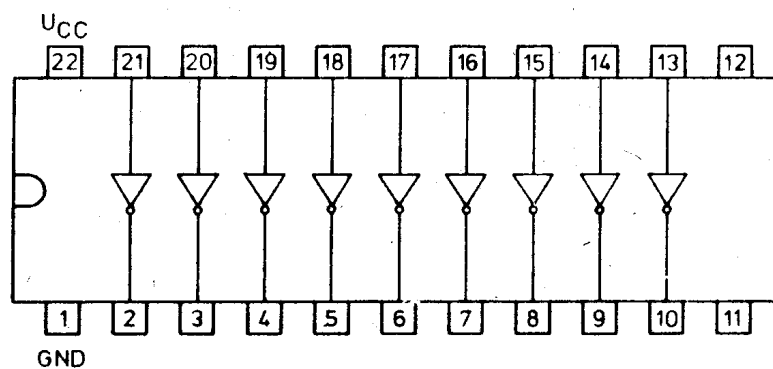
*OPEN COLLECTOR



780101



74547



74548, 74549

*OPEN COLLECTOR