

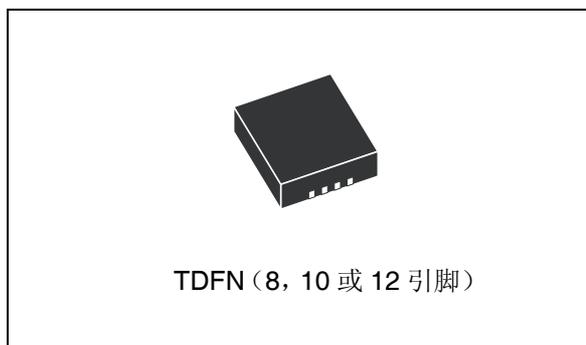


STCD1020, STCD1030, STCD1040

多通道时钟分配电路

特性

- 2, 3 或 4 路输出缓冲时钟分配
- 单端正弦波或方波时钟输入和输出
- 每路输出拥有独立时钟使能
- 降低时钟源扇出
- 输入端无需交流耦合电容
- 超低相噪和待机电流
- 电源电压范围: 2.5 V 至 3.6 V^(a)
- 电容负载驱动能力: 10 pF 典型值
- 采用 TDFN 封装
 - STCD1020 - 8 脚 (2 mm x 2 mm)
 - STCD1030 - 10 脚 (2 mm x 2.5 mm)
 - STCD1040 - 12 脚 (2 mm x 3 mm)
- 工作温度范围: -40°C 至 85°C



应用

- 多模射频的时钟基准
- 基带外设的时钟基准

a. 如需电源电压范围为 1.65 至 2.75 V 的时钟分配电路，请联系当地的 ST 销售部门

表 1. 产品概要

型号	工作温度范围	通道	电压	封装
STCD1020RDG6E	-40°C 至 85°C	2	2.8 V	TDFN8
STCD1030RDH6E ⁽¹⁾	-40°C 至 85°C	3	2.8 V	TDFN10
STCD1040RDM6F	-40°C 至 85°C	4	2.8 V	TDFN12

1. 查看产品供货情况，请联系当地 ST 销售部门

内容

1	产品概述	6
2	器件综述	7
3	器件工作原理	11
4	应用信息	12
	4.1 典型应用	12
	4.2 时钟源与 MCLK 的连接	13
5	最大额定值	15
6	直流和交流参数	16
7	典型工作特性	19
8	封装机械数据	31
9	器件命名规则	38
10	修订历史	39

表格列表

表 1.	产品概要	1
表 2.	引脚名称及其功能	9
表 3.	使能信号 (EN 1-4) 和输出时钟 (CLK1-4) 真值表	11
表 4.	绝对最大额定值 (1.8 V 电源)	15
表 5.	绝对最大额定值 (2.8 V 电源)	15
表 6.	工作和 AC 测量条件 (1.8 V 电源)	16
表 7.	直流和交流特性 (1.8 V 电源)	16
表 8.	工作和 AC 测量条件 (2.8 V 电源)	17
表 9.	直流和交流特性 (2.8 V 电源)	17
表 10.	TDFN - 8 引脚 (2 x 2 mm) 封装机械数据	32
表 11.	TDFN - 10 引脚 (2 x 2.5 mm) 封装机械数据	33
表 12.	TDFN - 12 引脚 (2 x 3 mm) 封装机械数据	34
表 13.	TDFN8, TDFN10 和 TDFN12 封装承载带的尺寸	35
表 14.	STCD10x0 顶部标记信息	36
表 15.	焊盘图案参数 (TDFN8, TDFN10, TDFN12)	37
表 16.	订购信息表	38
表 17.	文件修订历史	39

图片列表

图 1.	逻辑框图	7
图 2.	连接框图 (STCD1020, 2 通道)	7
图 3.	连接框图 (STCD1030, 3 通道)	8
图 4.	连接框图 (STCD1030, 4 通道)	8
图 5.	内部框图	9
图 6.	硬件连接图	10
图 7.	在 TDSCDMA/GSM 双模移动电话射频终端中使用 STCD1040 的典型应用电路	12
图 8.	在移动电话的基带外设中使用 STCD1040 的典型应用电路	13
图 9.	源时钟直接连接	13
图 10.	隔直电容和偏置电路之间的连接	14
图 11.	静态电流 (I_Q) vs. 电源电压 (V_{CC}) (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=1, 无主时钟输入)	19
图 12.	静态电流 (I_Q) vs. 温度 (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=1, $C_L = 30$ pF, 无主时钟输入)	19
图 13.	待机电流 (I_{SB}) vs. 电源电压 (V_{CC}) (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=0, 无主时钟输入)	20
图 14.	工作电流 (I_{ACT}) vs. 电源电压 (V_{CC}) (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=1, 26 MHz 正弦波主时钟从 TCXO 输入)	20
图 15.	工作电流 (I_{ACT}) vs. 主时钟输入电压水平 (V_{pp}) (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=1, 26 MHz 正弦波主时钟输入)	21
图 16.	工作电流 (I_{ACT}) vs. 输入频率 (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=1, 主时钟输入 $V_{pp} = 1$ V)	21
图 17.	STCD10x0 从待机状态到工作状态所需的恢复时间 (STCD1040, 2.8 V 版本, EN2=EN3=EN4=0, 当 EN1 从 0 到 1 时测量 CLK1)	22
图 18.	STCD10x0 缓冲器从关闭到开启所需的恢复时间 (STCD1040, 2.8 V 版本, EN2=EN3=EN4=1, 当 EN1 从 0 到 1 时测量 CLK1)	22
图 19.	正弦波输入时钟 vs. 输出时钟 (STCD1040, 2.8 V 版本, 26 MHz 正弦波主时钟从 TCXO 输入)	23
图 20.	方波输出的上升下降时间 (STCD1040, 2.8 V 版本, 10MHz 方波主时钟输入, $C_L = 20$ pF)	23
图 21.	输入时钟相噪 (STCD1040, 2.8 V 版本, 26 MHz 正弦波主时钟从 TCXO 输入)	24
图 22.	输出时钟相噪 (STCD1040, 2.8 V 版本, 这一相噪包含 TCXO 和 STCD1040 的加性相噪)	24
图 23.	时钟带宽 (STCD1040, 2.8 V 版本, $C_L = 10$ pF)	25
图 24.	静态电流 (I_Q) vs. 电源电压 (V_{CC}) (STCD1040, 1.8 V 版本, EN1=EN2=EN3=EN4=1, 无主时钟输入)	25
图 25.	静态电流 (I_Q) vs. 温度 (STCD1040, 1.8 V 版本, EN1=EN2=EN3=EN4=1, $C_L = 30$ pF, 无主时钟输入)	25
图 26.	待机电流 (I_{SB}) vs. 电源电压 (V_{CC}) (STCD1040, 1.8 V 版本, EN1=EN2=EN3=EN4=0, 无主时钟输入)	26
图 27.	工作电流 (I_{ACT}) vs. 电源电压 (V_{CC}) (STCD1040, 1.8 V 版本, EN1=EN2=EN3=EN4=1, 26 MHz 正弦波主时钟从 TCXO 输入)	26
图 28.	工作电流 (I_{ACT}) vs. 主时钟输入电压水平 (V_{pp}) (STCD1040, 1.8 V 版本, EN1=EN2=EN3=EN4=1, 26 MHz 正弦波主时钟输入)	26
图 29.	工作电流 (I_{ACT}) vs. 输入频率 (STCD1040, 1.8 V 版本, EN1=EN2=EN3=EN4=1, 主时钟输入 $V_{pp}=1$ V)	27
图 30.	STCD10x0 从待机状态到工作状态所需的恢复时间 (STCD1040, 1.8 V 版本, EN2=EN3=EN4=0, 当 EN1 从 0 到 1 时测量 CLK1)	27

图 31.	STCD10x0 缓冲器从关闭到开启所需的恢复时间 (STCD1040, 1.8 V 版本, EN2 = EN3 = EN4 = 1, 当 EN1 从 0 到 1 时测量 CLK1)	28
图 32.	正弦波输入时钟 vs. 输出时钟 (STCD1040, 1.8 V 版本, 26 MHz 正弦波主时钟从 TCXO 输入)	28
图 33.	方波输出的上升下降时间 (STCD1040, 1.8 V 版本, 10 MHz 方波主时钟输入, $C_L = 20$ pF)	29
图 34.	输入时钟相噪 (STCD1040, 1.8 V 版本, 26 MHz 正弦波主时钟从 TCXO 输入)	29
图 35.	输出时钟相噪 (STCD1040, 1.8 V 版本, 这一相噪包含了 TCXO 和 STCD1040 的加性相噪)	30
图 36.	时钟带宽 (STCD1040, 1.8 V 版本, $C_L = 10$ pF)	30
图 37.	TDFN - 8 引脚, 2 x 2 mm 封装略图	32
图 38.	TDFN - 10 引脚, 2 x 2.5 mm 封装略图	33
图 39.	TDFN - 12 引脚, 2 x 3 mm 封装略图	34
图 40.	TDFN8, TDFN10 和 TDFN12 封装承载带	35
图 41.	DG 封装顶部标记信息 (TDFN8)	36
图 42.	DH 和 DM 封装顶部标记信息 (TDFN10 和 TDFN12)	36
图 43.	焊盘图案 - TDFN8 2 x 2 mm, TDFN10 2 x 2.5 mm, TDFN12 2 x 3 mm	37

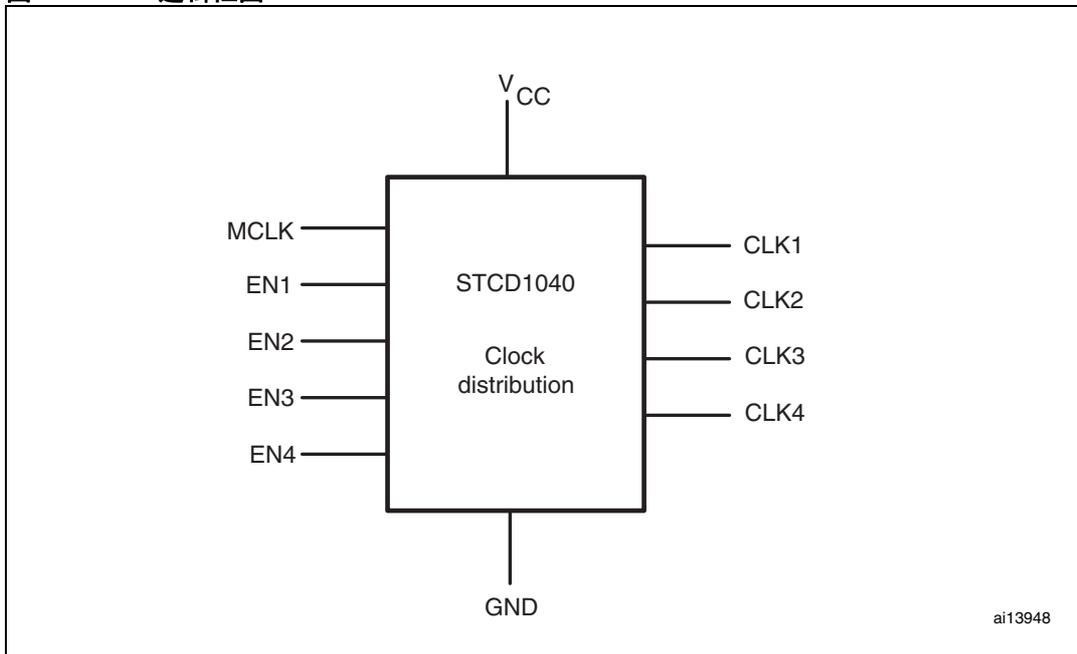
1 产品概述

STCD1020, STCD1030 和 STCD1040 是有 2, 3 或者 4 路输出的单位增益时钟分配电路, 用于给多模移动射频提供通用频率时钟。它同时可以作为时钟基准, 应用于移动电话中的基带外设, 如: WLAN, 蓝牙, GPS 和 DVB-H。STCD1020, STCD1030 和 STCD1040 中由时钟输出端驱动的器件彼此隔离, 最大限度的降低了这些器件之间的相互干扰。如果相连接的器件不需要时钟, 每一个时钟缓冲器都可以被关闭以降低功耗。STCD1020, STCD1030 和 STCD1040 适用于常用的 10 MHz 到 52 MHz 手机主时钟频率。

STCD1020, STCD1030 和 STCD1040 采用 2 mm x 2 mm 8 脚, 2 mm x 2.5 mm 10 脚和 2 mm x 3 mm 12 脚的 TDFN 封装方式, 工作电压为单电源 2.8 V (或 1.8 V)。工作温度范围为: -40°C 至 85°C。

2 器件综述

图 1. 逻辑框图



注: STCD1020 无 EN3, EN4, CLK3 和 CLK4, STCD1030 无 EN4 和 CLK4。

图 2. 连接框图 (STCD1020, 2 通道)

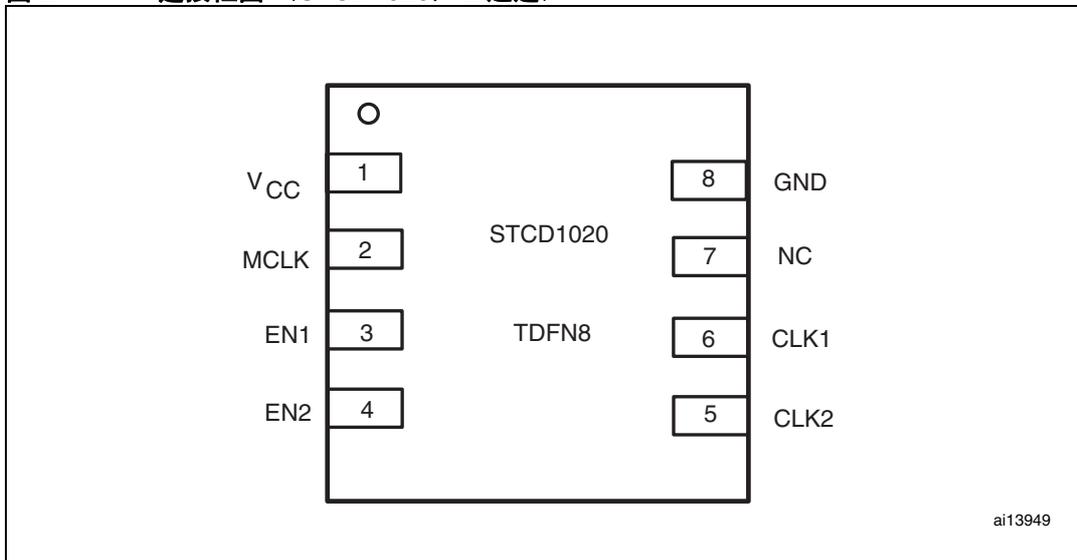


图 3. 连接框图 (STCD1030, 3 通道)

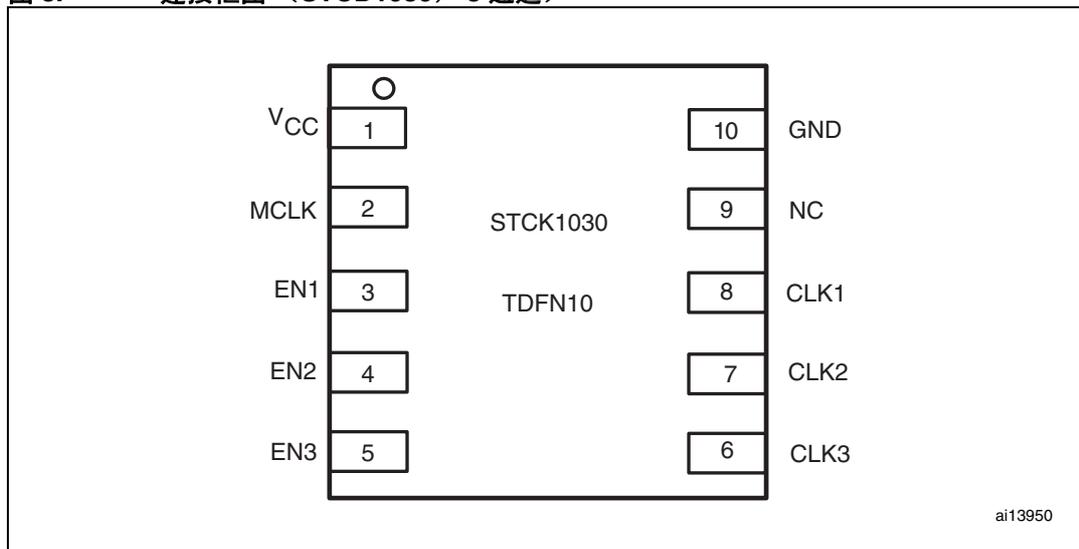


图 4. 连接框图 (STCD1030, 4 通道)

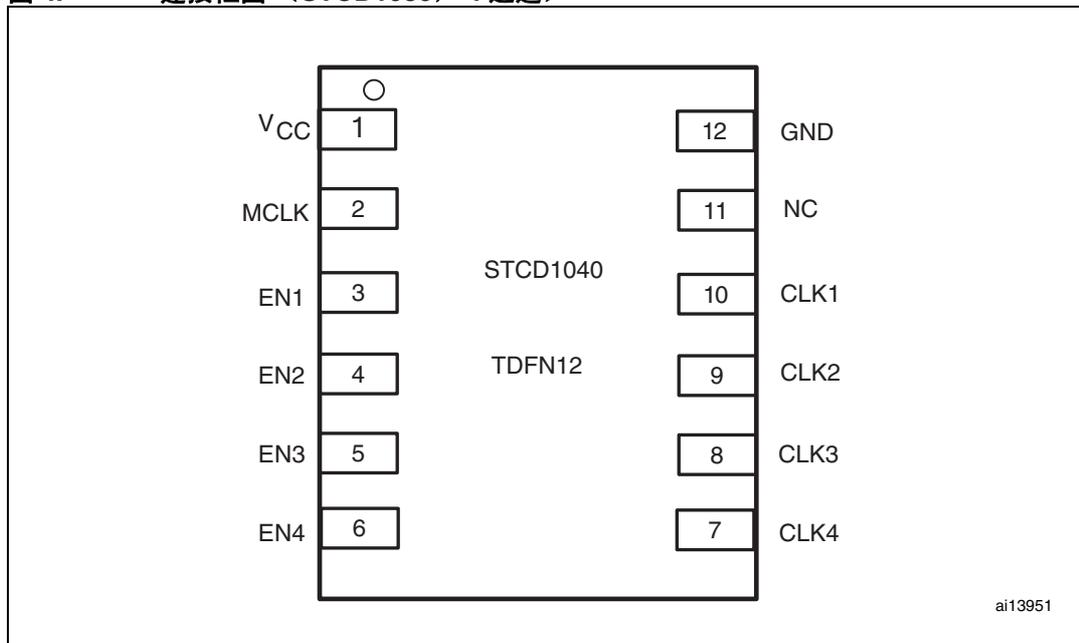


表 2. 引脚名称及其功能

引脚	类型	功能
CLK1, CLK2, CLK3, CLK4	输出	时钟输出通道 #1, #2, #3, #4。输出端需要 0.001 μ F 隔直电容。
EN1, EN2, EN3, EN4	输入	时钟输出通道 #1, #2, #3, #4 使能, 高电平有效。
MCLK	输入	主时钟输入
V _{CC}	电源	电源电压。与地之间使用 0.1 μ F 电容去耦。
GND	电源	电源地
NC		浮空

图 5. 内部框图

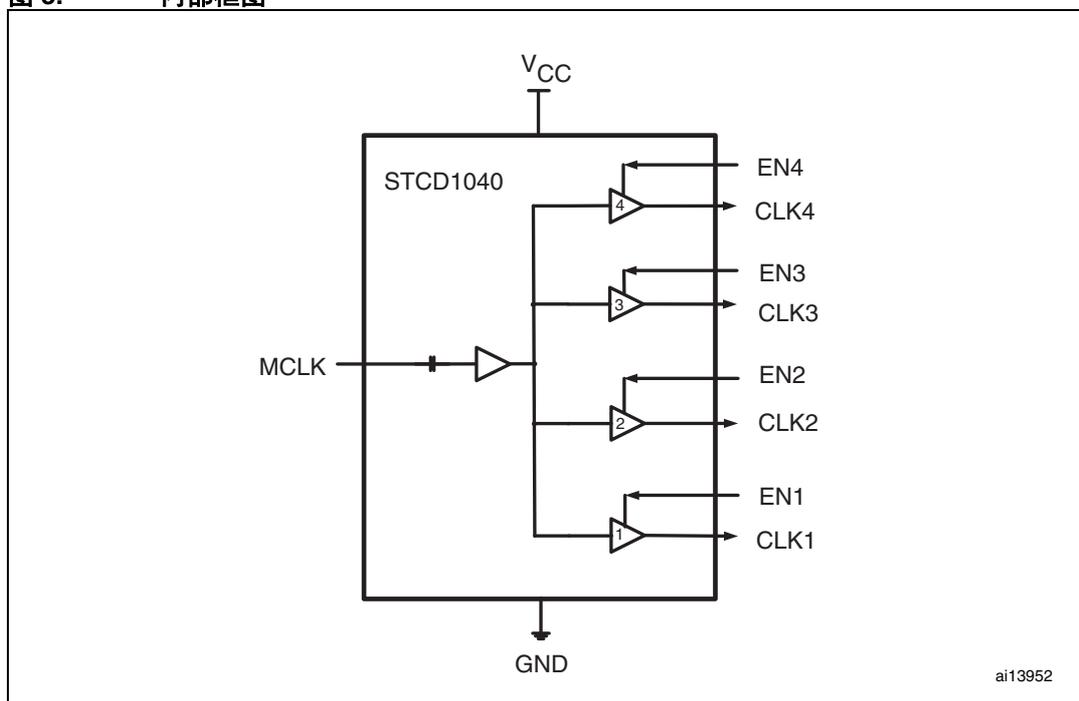
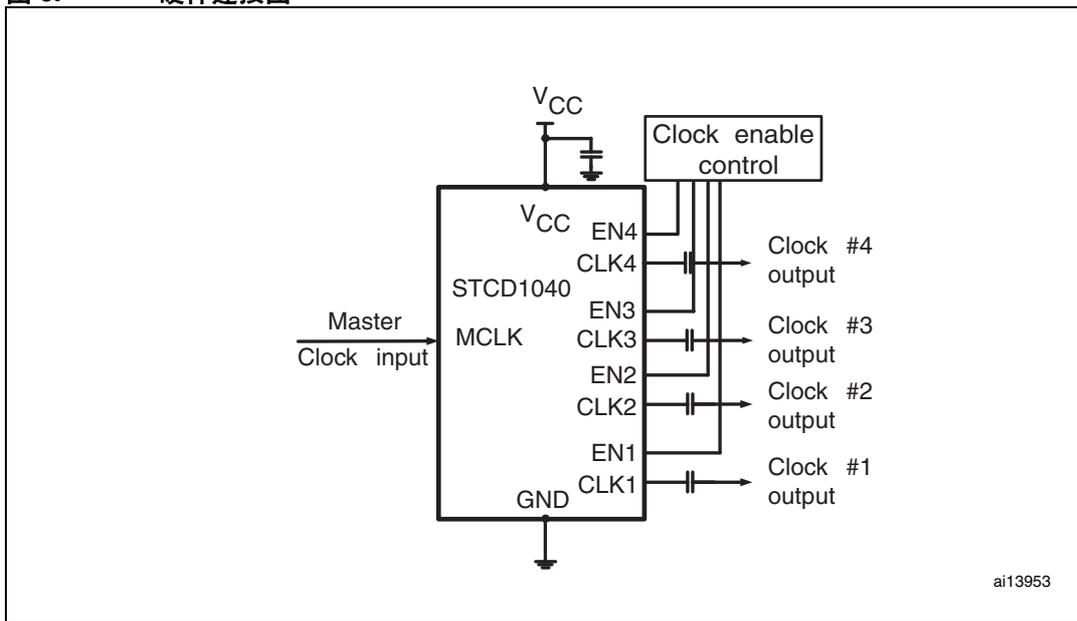


图 6. 硬件连接图



3 器件工作原理

STCD1020, STCD1030 和 STCD1040 是有 2, 3 或 4 路缓冲的单位增益时钟分配电路。能够接受来自外部时钟源的时钟输入, 并且发送 2, 3 或 4 路缓冲输出到不同的器件。

STCD1020, STCD1030 和 STCD1040 的每一个时钟输出都可以为与它相连接的器件而开启。如果这个相连的器件处于待机状态而不需要时钟, 缓冲器可以被关闭以节省功耗。如果所有的与之相连接的器件都处于待机状态, STCD1020, STCD1030 和 STCD1040 也能进入待机模式而进一步降低功耗。使能信号和输出时钟信号真值表见表 3。

STCD1020, STCD1030 和 STCD1040 内置输入隔直电容。应用中, 每一个时钟输出端都需要一个外部电容。STCD1020, STCD1030 和 STCD1040 在输出端的内部直流偏置为 $1/2 V_{CC}$ 。

表 3. 使能信号 (EN 1-4) 和输出时钟 (CLK1-4) 真值表

EN1	EN2	EN3	EN4	CLK1	CLK2	CLK3	CLK4
0	0	0	0	NO CLOCK	NO CLOCK	NO CLOCK	NO CLOCK
1	0	0	0	CLOCK	NO CLOCK	NO CLOCK	NO CLOCK
1	1	0	0	CLOCK	CLOCK	NO CLOCK	NO CLOCK
...
1	1	1	1	CLOCK	CLOCK	CLOCK	CLOCK

注: “0”代表逻辑低, “1”代表逻辑高。当无时钟输出时, CLKx 引脚保持高阻。

4 应用信息

4.1 典型应用

STCD1020, STCD1030 和 STCD1040 将一路源时钟（例如：从 VCTCXO）分配至 2, 3 或 4 路输出。使用 STCD1040 的典型应用电路如 [图 7](#) 和 [图 8](#) 所示：

在 [图 7](#) 中，来自 VCTCXO 的时钟被分别分配到 TD-SCDMA 收发器和 GSM 收发器。

在 [图 8](#) 中，缓冲器 4 输出被馈入蓝牙系统中。为了能达到最低功耗，蓝牙系统都具有时钟请求功能。如果蓝牙系统不需要时钟，时钟请求信号就会关闭时钟输出。

使能引脚能够与逻辑高相连接使通道输出常通。如果 STCD1020, STCD1030 和 STCD1040 的通道在应用中不被使用，这些通道的使能引脚应在电路板上接地。

图 7. 在 TDSCDMA/GSM 双模移动电话射频终端中使用 STCD1040 的典型应用电路

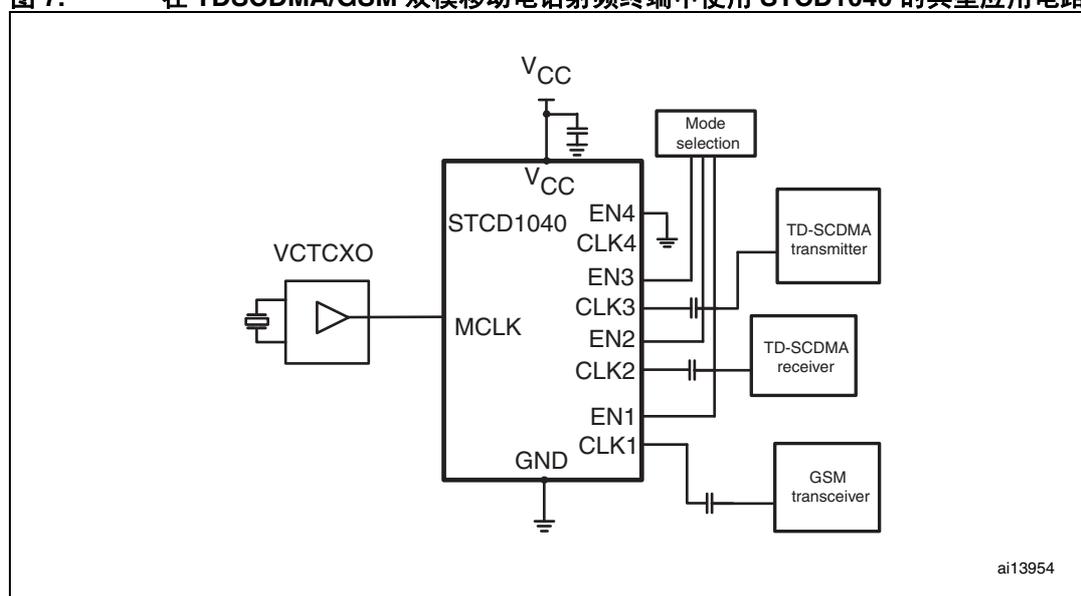
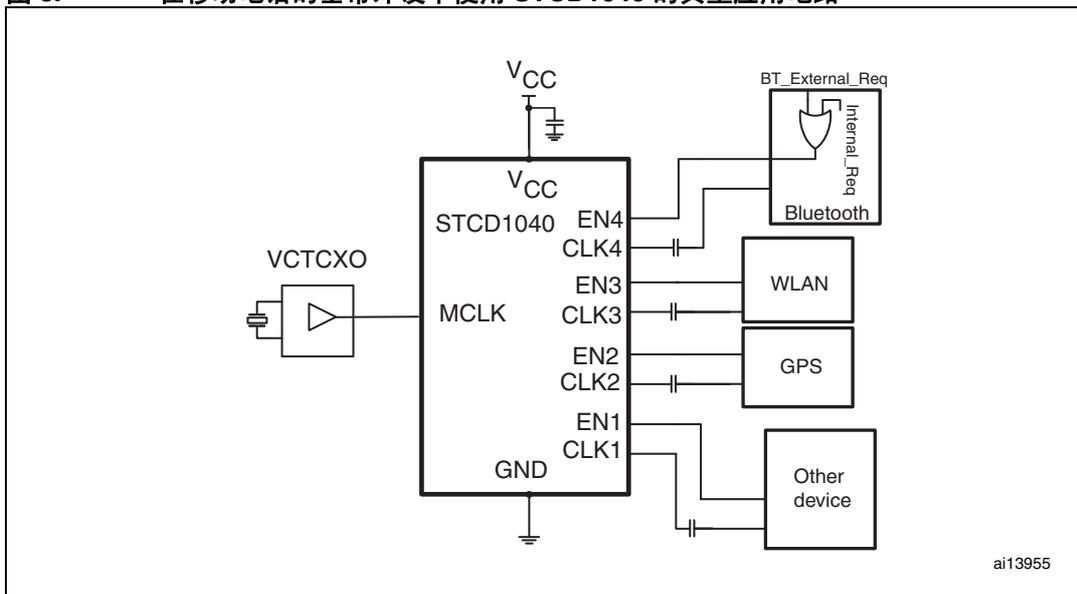


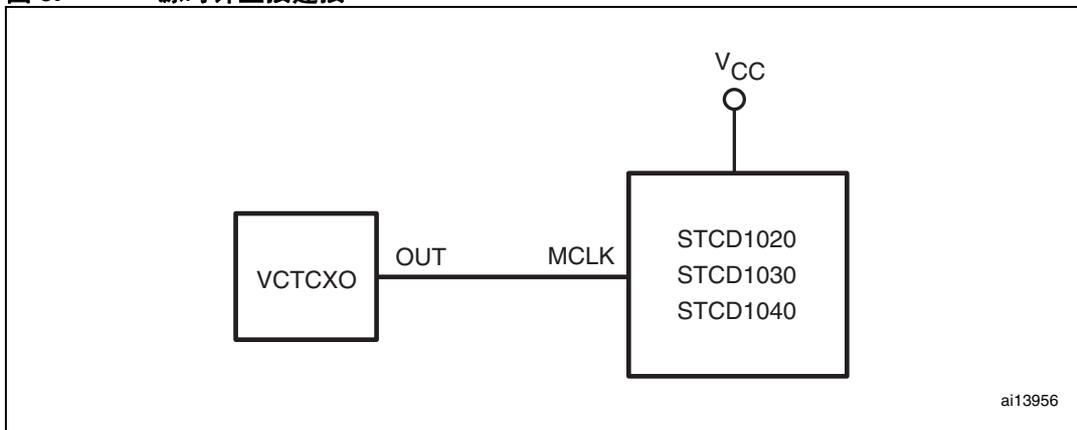
图 8. 在移动电话的基带外设中使用 STCD1040 的典型应用电路



4.2 时钟源与 MCLK 的连接

如果时钟源输出电平不超出 STCD1020, STCD1030 和 STCD1040 的电源范围, 源时钟输出端应该直接连接至时钟分配电路的 MCLK 端。如图 9 中所示。源时钟的直接连接是常见方式, 这样可以在电路板上节省一个隔直电容。

图 9. 源时钟直接连接

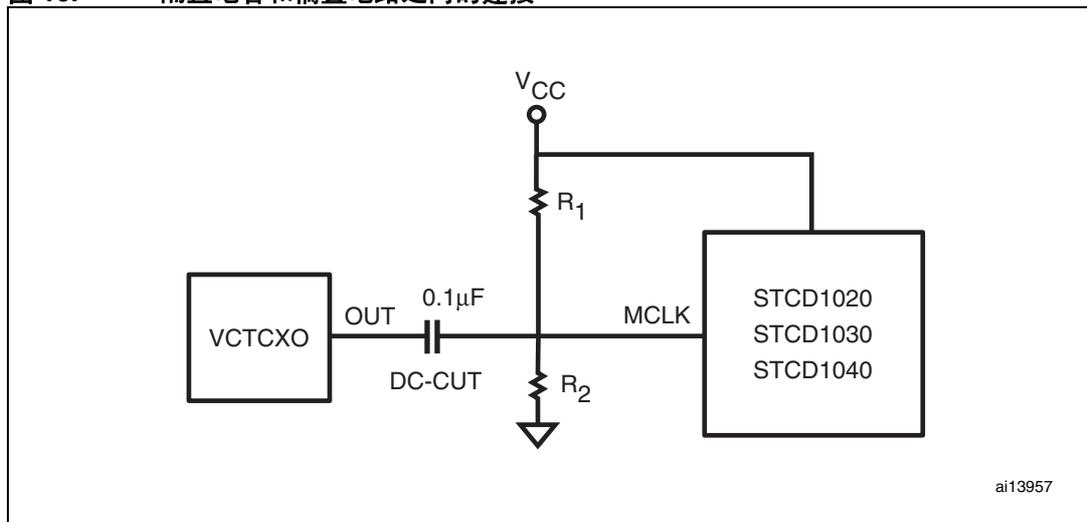


注:

当与源时钟直接相连时, STCD1020, STCD1030 和 STCD1040 的输入时钟电平不能超过电源电压。如果需要连接一个电平超出时钟分配电路电源电压的源时钟, 用户需要串接一个隔直电容, 如图 10 所示。同时需要一个由电阻串形成的分压电路为 STCD1020, STCD1030 和 STCD1040 的时钟输入提供适当的直流偏置。直流电压应为电源电压的一半左右。

STCD1020, STCD1030 和 STCD1040 的隔直电容和偏置电路只有在 VCTCXO 电压的输出超出时钟分布电路的电源电压的时候才需要。(见 图 10)

图 10. 隔直电容和偏置电路之间的连接



5 最大额定值

器件被施加的条件超出“绝对最大额定值”表中列出的额定值可能会对器件造成永久的损坏。这些仅仅是耐受额定值，并不意味着器件可在这些条件下或是超出本说明书工作原理部分指示的任何条件下工作。长期处在绝对最大额定值的条件下会影响器件的可靠度。

表 4. 绝对最大额定值（1.8 V 电源）

Symbol	Parameter	Value	Unit	
T_{STG}	Storage temperature (V_{CC} off)	-55 to 150	$^{\circ}C$	
$T_{SLD}^{(1)}$	Lead solder temperature for 10 seconds	-55 to 150	$^{\circ}C$	
T_J	Maximum junction temperature	260	$^{\circ}C$	
V_{CC}	Supply voltage	150	$^{\circ}C$	
V_{IN}	Input voltage level	-0.3 to 3.6	V	
V_{EN}	Voltage on enable pins	-0.3 to 3.6	V	
θ_{JA}	Thermal resistance (junction to ambient)	TDFN8	-0.3 to 3.6	V
		TDFN10	149.0	$^{\circ}C/W$
		TDFN12	136.6	$^{\circ}C/W$

1. Reflow at peak temperature of 260 $^{\circ}C$. The time above 255 $^{\circ}C$ must not exceed 30 seconds.

表 5. 绝对最大额定值（2.8 V 电源）

Symbol	Parameter	Value	Unit	
T_{STG}	Storage temperature (V_{CC} off)	-55 to 150	$^{\circ}C$	
$T_{SLD}^{(1)}$	Lead solder temperature for 10 seconds	260	$^{\circ}C$	
T_J	Maximum junction temperature	150	$^{\circ}C$	
V_{CC}	Supply voltage	-0.3 to 6	V	
V_{IN}	Input voltage level	-0.3 to 6	V	
V_{EN}	Voltage on enable pins	-0.3 to 6	V	
θ_{JA}	Thermal resistance (junction to ambient)	TDFN8	149.0	$^{\circ}C/W$
		TDFN10	136.6	$^{\circ}C/W$
		TDFN12	132.4	$^{\circ}C/W$

1. Reflow at peak temperature of 260 $^{\circ}C$. The time above 255 $^{\circ}C$ must not exceed 30 seconds.

6 直流和交流参数

这一章节概括了工作测量条件，及器件的直流和交流特性。直流和交流特性表中的参数在测试中获得，这些测试在表6中所概括的条件下进行。当需要依靠本节提供的参数时，设计师需要检查电路中的工作条件是否一致。

表 6. 工作和 AC 测量条件 (1.8 V 电源)

Parameter	Condition	Unit
V _{CC} supply	1.65 to 2.75	V
Output clock voltage (CLK1...CLK4)	0 to V _{CC}	V
Device enable voltage (EN1...EN4)	0 to V _{CC}	V
Ambient operating temperature (T _A)	-40 to +85	°C

表 7. 直流和交流特性 (1.8 V 电源)

Symbol	Parameter	Condition ⁽¹⁾	Min	Typ	Max	Unit
f _{MCLK}	Master clock (eg. from VCTCXO)	Sine wave/square wave	10	26	52	MHz
V _{CC}	Supply voltage		1.65	1.8	2.75	V
V _{in}	Input clock voltage level ⁽²⁾		0.75	1		V _{pp}
V _{out}	Output gain level ⁽³⁾	C _L = 10 pF	-1.5	-0.5		dB
I _Q	Quiescent current ⁽⁴⁾	2 buffers version		1.6	2.6	mA
		3 buffers version		2.0	3.3	
		4 buffers version		2.6	4	
I _{ACT}	Active current ⁽⁵⁾	1 channel enabled		1.7		mA
		2 channels enabled		2.2		
		3 channels enabled		2.7		
		4 channels enabled		3.2		
I _{SB}	Standby current	All buffers disabled			1	μA
R _{IN}	Input resistance	At DC level		>100		kΩ
C _{IN}	Input capacitance	f = 26 MHz		3	4	pF
t _{r/f}	Rise/fall time ⁽⁶⁾	V _{in} = 1 V _{pp} , C _L = 10 pF Square wave input/output		2	5	ns

表 7. 直流和交流特性 (1.8 V 电源) (续上)

Symbol	Parameter	Condition ⁽¹⁾	Min	Typ	Max	Unit
BW	Signal bandwidth ⁽³⁾	V _{in} = 1 V _{pp} , -1 dB, CL = 10 pF Sine wave input/output		52		MHz
V _{ENH}	Enable voltage high ⁽⁷⁾	EN1~EN4	1.2			V
P _N	Additive phase noise ⁽³⁾⁽⁸⁾	at 1 kHz offset		-135		dBc/Hz
		at 10 kHz offset		-145		
		at 100 kHz offset		-150		
t _{RECB}	Buffer recovery time from off to on	STCD10x0 active		20		μs
t _{RECC}	STCD10x0 active recovery time from standby to active			50		μs
C _L	Capacitive load for each channel			10	20	pF
R _L	Resistive load for each channel		10			kΩ

- Valid for ambient operating temperature: T_A = -40°C to 85°C; V_{CC} = 1.65 V to 2.75 V; typical T_A = 25°C; Load capacitance = 10 pF (except where noted).
- Clock input voltage level should not exceed supply rails.
- Simulated and determined via design and NOT 100% tested.
- The quiescent current is measured when the enable pins are active, but without input master clock signal (fmclk = 0 Hz).
- The active current is dependent on the master clock input V_{pp} and frequency and the capacitive load condition. The typical test condition is 26 MHz sine wave with 1 V_{pp} master clock input, C_L = 10 pF.
- The rise time is measured when clock edge transfers from 10% V_{CC} to 90% V_{CC}. The fall time is measured when clock edge transfers from 90% V_{CC} to 10% V_{CC}.
- Other test results are under test condition V_{ENH} = 1.8 V and V_{ENL} = 0 V.
- Guaranteed with the supply noise of 30 μV_{rms} from 300 Hz to 50 kHz.

表 8. 工作和 AC 测量条件 (2.8 V 电源)

Parameter	Condition	Unit
V _{CC} supply	2.5 to 3.6	V
Output clock voltage (CLK1...CLK4)	0 to V _{CC}	V
Device enable voltage (EN1...EN4)	0 to V _{CC}	V
Ambient operating temperature (T _A)	-40 to +85	°C

表 9. 直流和交流特性 (2.8 V 电源)

Symbol	Parameter	Condition ⁽¹⁾	Min	Typ	Max	Unit
f _{MCLK}	Master clock (eg. from VCTCXO)	Sine wave/square wave	10	26	52	MHz
V _{CC}	Supply voltage		2.5	2.8	3.6	V
V _{in}	Input clock voltage level ⁽²⁾		0.75	1		V _{pp}
V _{out}	Output gain level ⁽³⁾	C _L = 10 pF	-1.5	-0.5		dB

表 9. 直流和交流特性 (2.8 V 电源) (续上)

Symbol	Parameter	Condition ⁽¹⁾	Min	Typ	Max	Unit
I _Q	Quiescent current ⁽⁴⁾	2 buffers version		1.7	2.6	mA
		3 buffers version		2.2	3.3	
		4 buffers version		2.8	4	
I _{ACT}	Active current ⁽⁵⁾	1 channel enabled		1.8		mA
		2 channels enabled		2.3		
		3 channels enabled		2.85		
		4 channels enabled		3.4		
I _{SB}	Standby current	All buffers disabled			1	μA
R _{IN}	Input resistance	At DC level		>100		kΩ
C _{IN}	Input capacitance	f = 26 MHz		3	4	pF
t _{r/f}	Rise/fall times ⁽⁶⁾	V _{in} = 1V _{pp} , C _L = 10 pF Square wave input/output		2	5	ns
BW	Signal bandwidth ⁽³⁾	V _{in} = 1 V _{pp} , -1dB, C _L = 10 pF Sine wave input/output		52		MHz
V _{ENH}	Enable voltage high ⁽⁷⁾	EN1~EN4	1.2			V
V _{ENL}	Enable voltage low ⁽⁷⁾	EN1~EN4			0.6	V
P _N	Additive phase noise ⁽³⁾⁽⁸⁾	at 1 kHz offset		-135		dBc/ Hz
		at 10 kHz offset		-145		
		at 100 kHz offset		-150		
t _{RECB}	Buffer recovery time from off to on	STCD10x0 active		20		μs
t _{RECC}	STCD10x0 active recovery time from standby to active			50		μs
C _L	Capacitive load for each channel			10	20	pF
R _L	Resistive load for each channel		10			kΩ

- Valid for ambient operating temperature: T_A = -40°C to 85°C; V_{CC} = 2.5 V to 3.6 V; typical T_A = 25°C; Load capacitance = 10 pF (except where noted).
- Clock input voltage level should not exceed supply rails.
- Simulated and determined via design and NOT 100% tested.
- The quiescent current is measured when the enable pins are active, but without input master clock signal (f_{MCLK} = 0 Hz).
- The active current is dependent on the master clock input V_{pp} and frequency and the capacitive load condition. The typical test condition is 26 MHz sine wave with 1 V_{pp} master clock input, C_L = 10 pF.
- The rise time is measured when clock edge transfers from 10% V_{CC} to 90% V_{CC}. The fall time is measured when clock edge transfers from 90% V_{CC} to 10% V_{CC}.
- Other test results are under test condition V_{ENH} = 1.8 V and V_{ENL} = 0 V.
- Guaranteed with the supply noise of 30 μ V_{rms} from 300 Hz to 50 kHz.

7 典型工作特性

STCD1040 的典型工作特性为: $V_{CC} = 2.8\text{ V}$; $T_A = 25^\circ\text{C}$;

负载电容 = 10 pF, 26 MHz TCXO 型号为 NDK 的 ENE3127B (标注除外)。

图 11. 静态电流 (I_Q) vs. 电源电压 (V_{CC}) (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=1, 无主时钟输入)

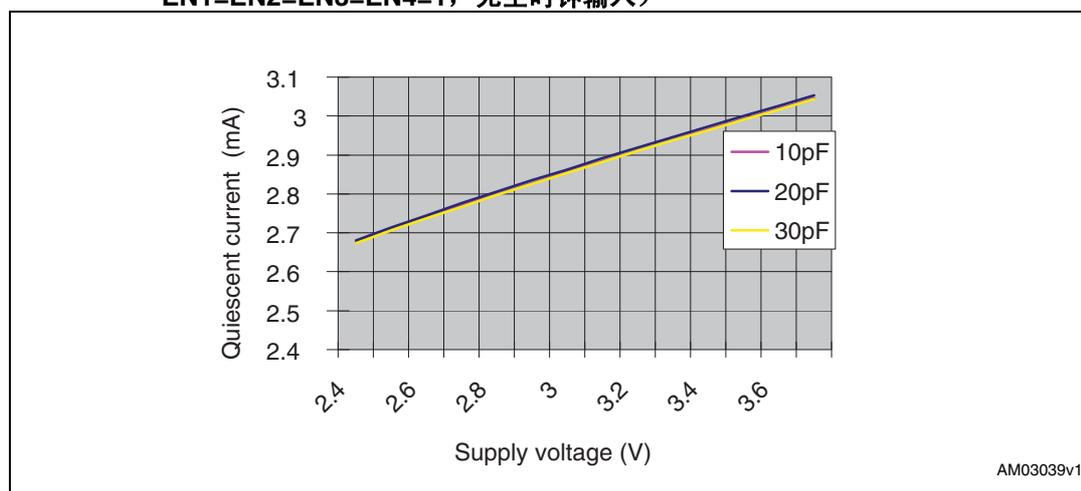


图 12. 静态电流 (I_Q) vs. 温度 (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=1, $C_L = 30\text{ pF}$, 无主时钟输入)

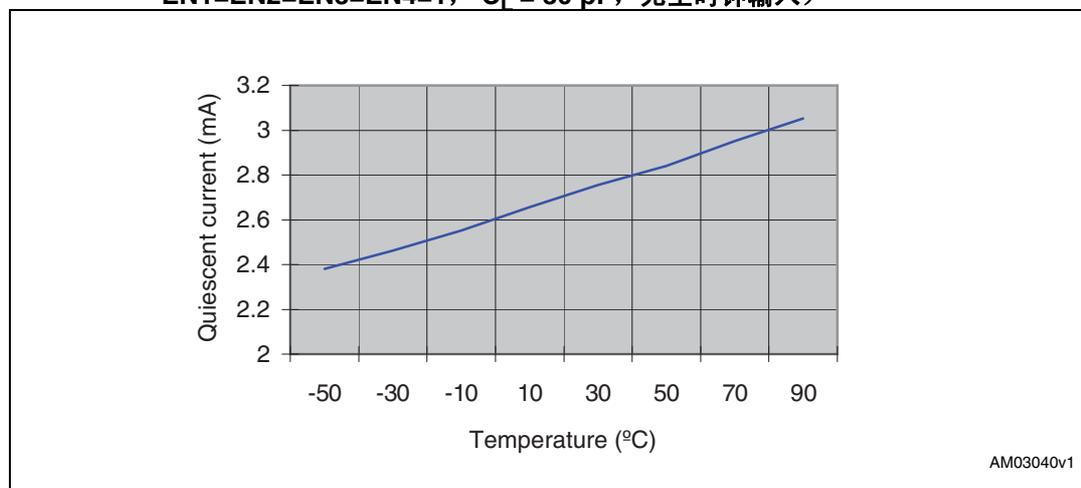


图 13. 待机电流 (I_{SB}) vs. 电源电压 (V_{CC}) (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=0, 无主时钟输入)

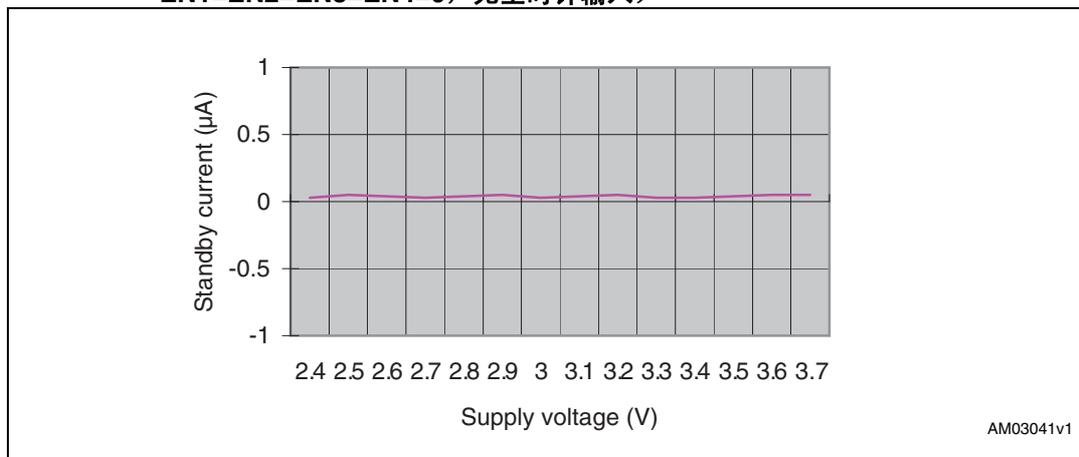


图 14. 工作电流 (I_{ACT}) vs. 电源电压 (V_{CC}) (STCD1040, 2.8 V 版本, EN1=EN2=EN3=EN4=1, 26 MHz 正弦波主时钟从 TCXO 输入)

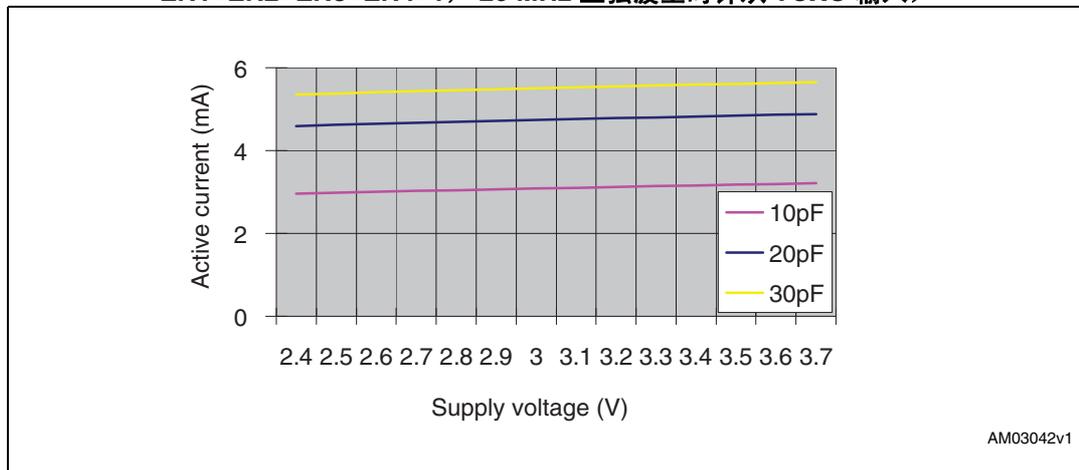


图 15. 工作电流 (I_{ACT}) vs. 主时钟输入电压水平 (V_{pp}) (STCD1040, 2.8 V 版本, $EN1=EN2=EN3=EN4=1$, 26 MHz 正弦波主时钟输入)

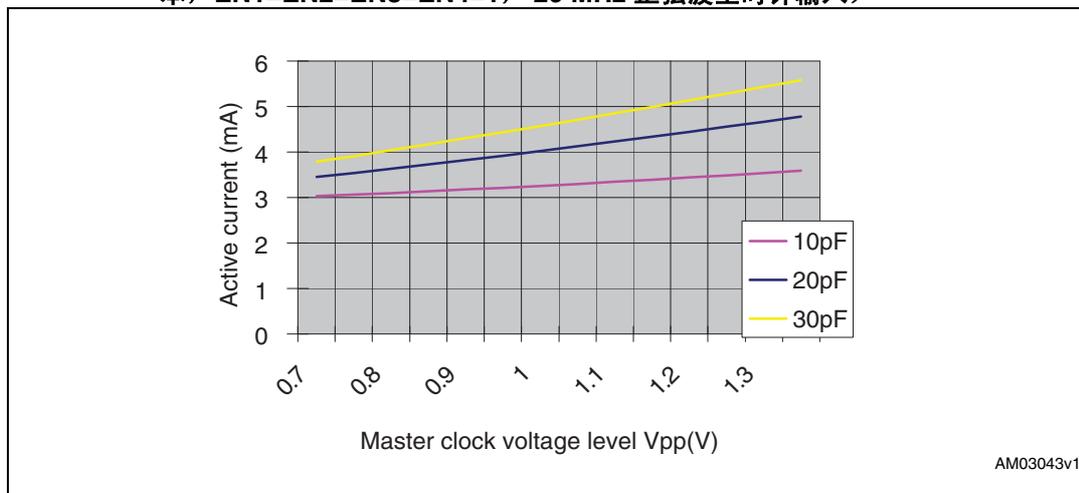


图 16. 工作电流 (I_{ACT}) vs. 输入频率 (STCD1040, 2.8 V 版本, $EN1=EN2=EN3=EN4=1$, 主时钟输入 $V_{pp} = 1 V$)

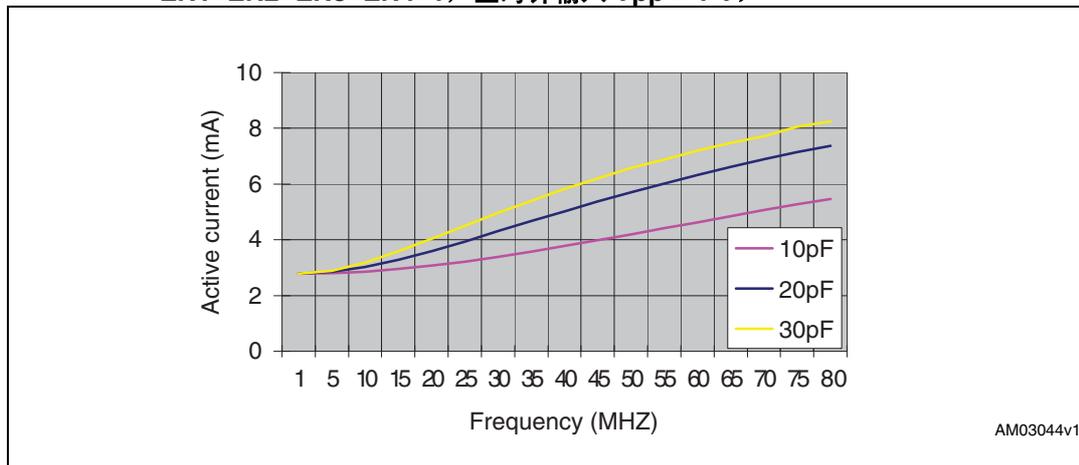


图 17. STCD10x0 从待机状态到工作状态所需的恢复时间 (STCD1040, 2.8 V 版本, EN2=EN3=EN4=0, 当 EN1 从 0 到 1 时测量 CLK1)

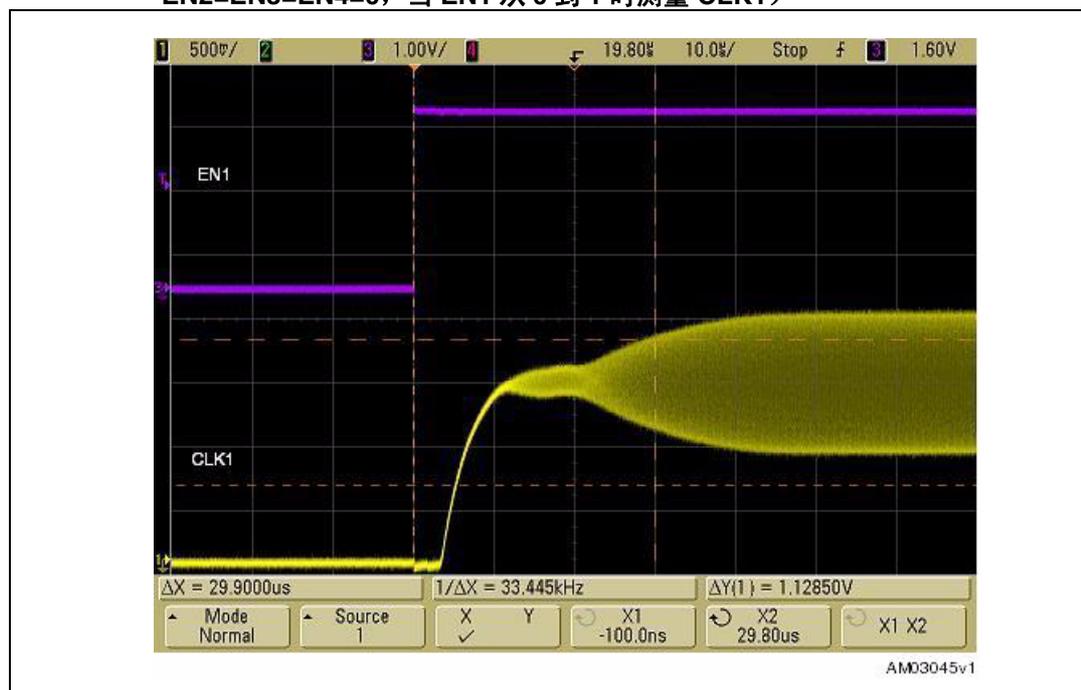


图 18. STCD10x0 缓冲器从关闭到开启所需的恢复时间 (STCD1040, 2.8 V 版本, EN2=EN3=EN4=1, 当 EN1 从 0 到 1 时测量 CLK1)



图 19. 正弦波输入时钟 vs. 输出时钟 (STCD1040, 2.8 V 版本, 26 MHz 正弦波主时钟从 TCXO 输入)

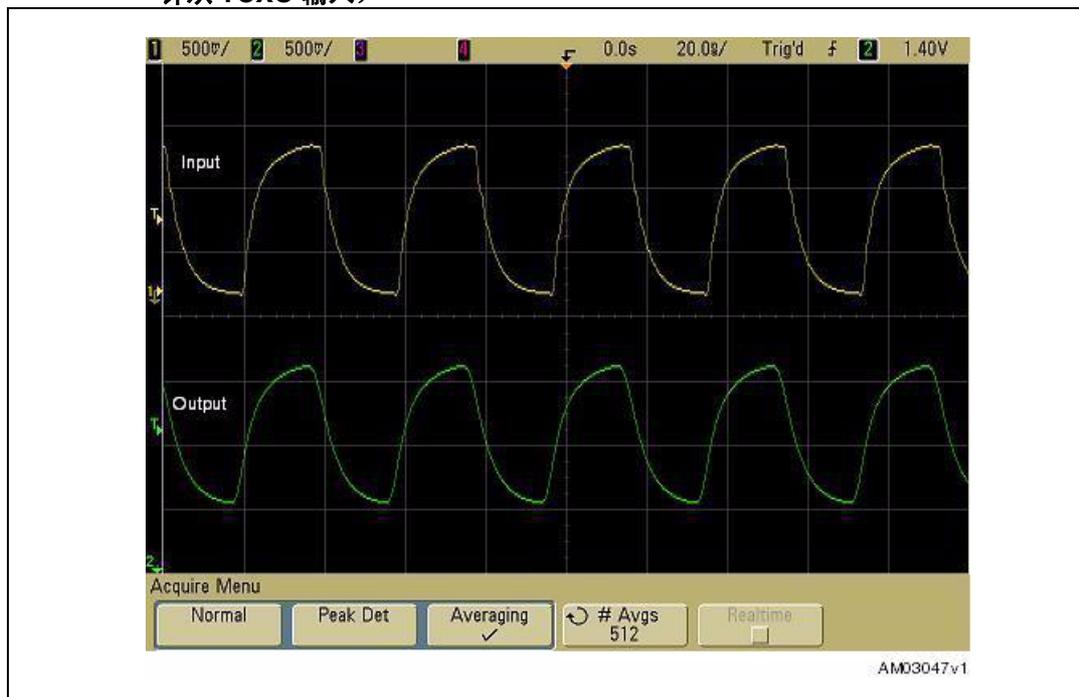


图 20. 方波输出的上升下降时间 (STCD1040, 2.8 V 版本, 10MHz 方波主时钟输入, $C_L = 20$ pF)



图 21. 输入时钟相噪 (STCD1040, 2.8 V 版本, 26 MHz 正弦波主时钟从 TCXO 输入)

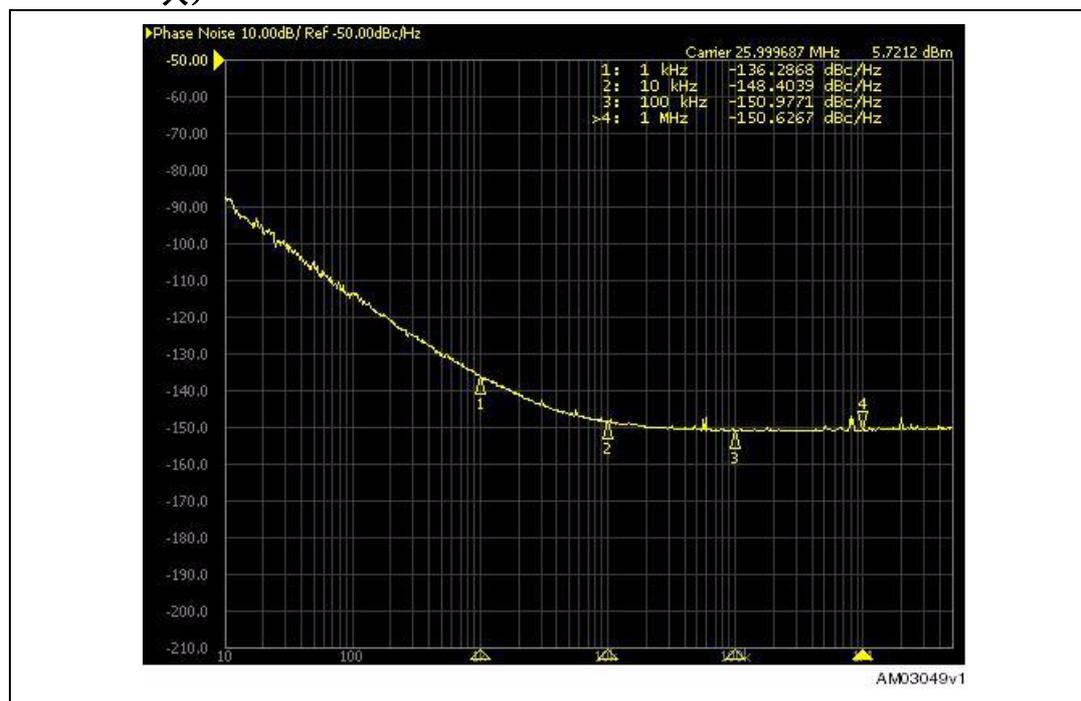


图 22. 输出时钟相噪 (STCD1040, 2.8 V 版本, 这一相噪包含 TCXO 和 STCD1040 的加性相噪)

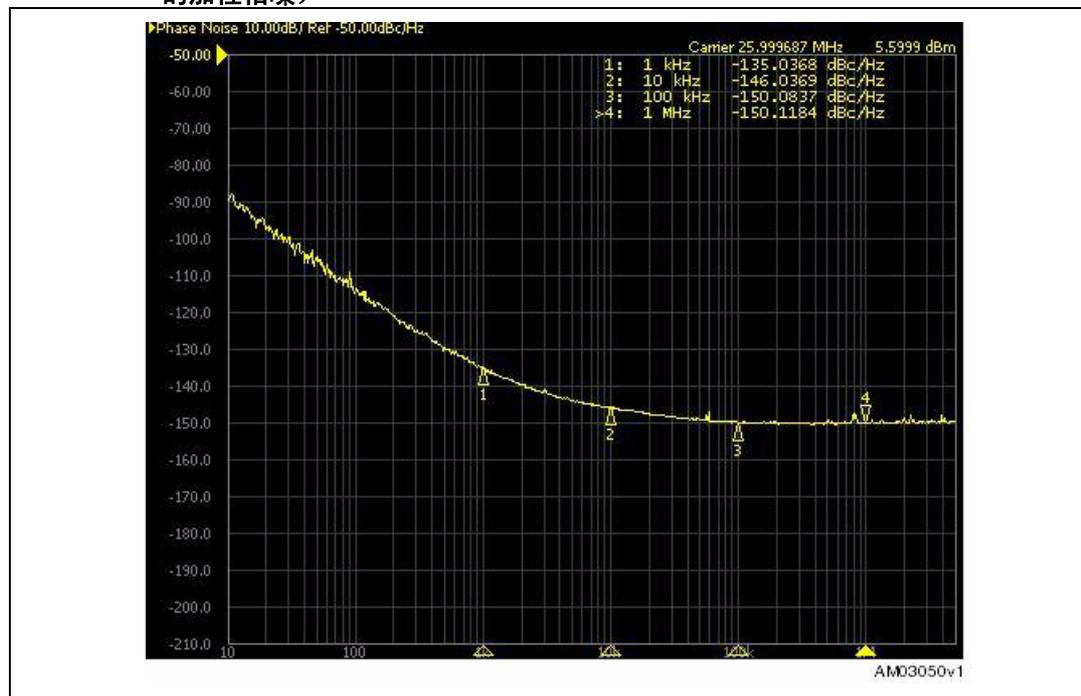


图 23. 时钟带宽 (STCD1040, 2.8 V 版本, $C_L = 10 \text{ pF}$)

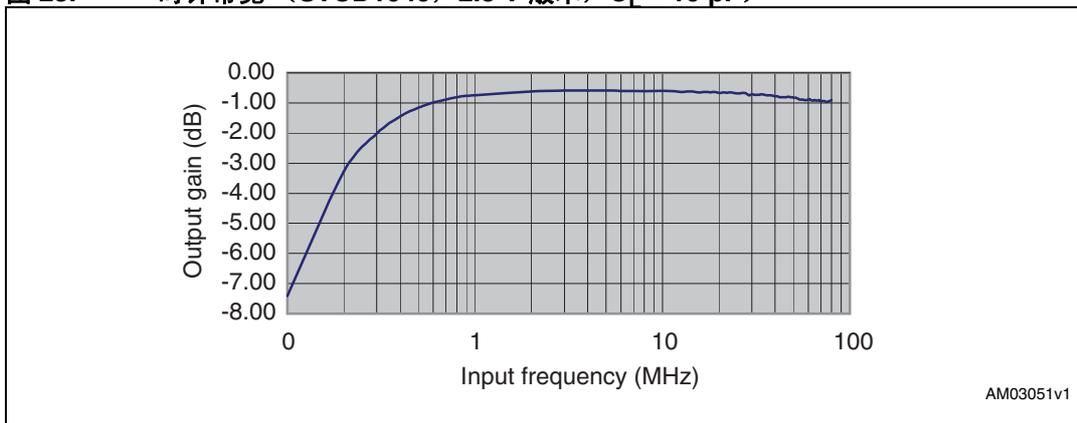


图 24. 静态电流 (I_Q) vs. 电源电压 (V_{CC}) (STCD1040, 1.8 V 版本, $EN1=EN2=EN3=EN4=1$, 无主时钟输入)

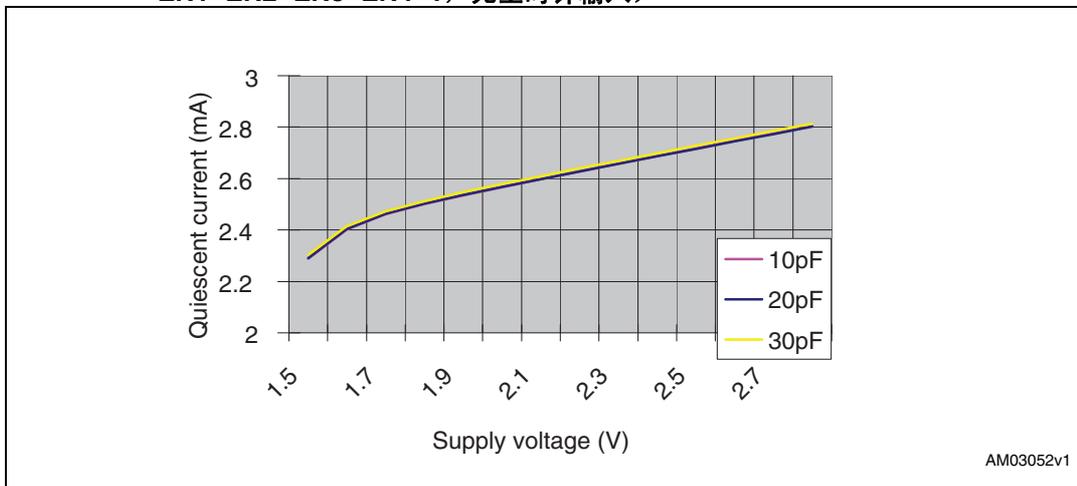


图 25. 静态电流 (I_Q) vs. 温度 (STCD1040, 1.8 V 版本, $EN1=EN2=EN3=EN4=1$, $C_L = 30 \text{ pF}$, 无主时钟输入)

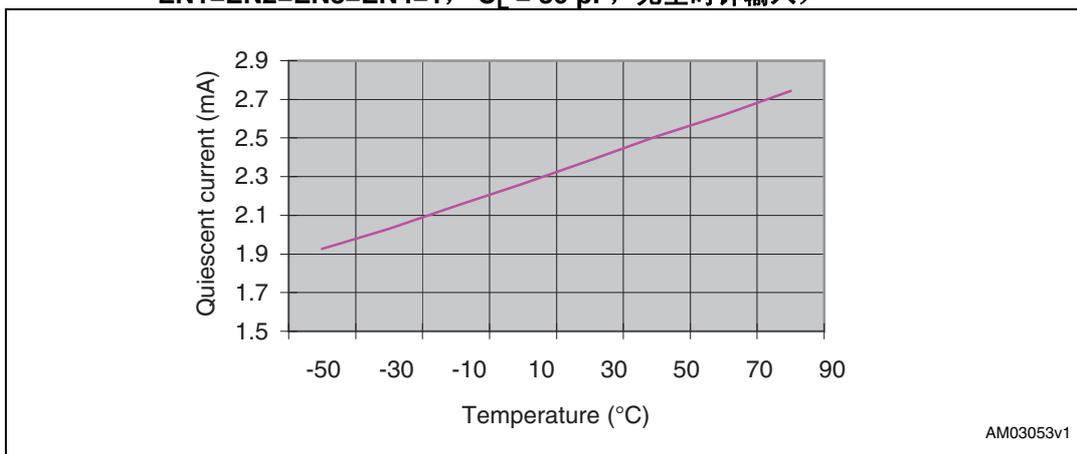


图 26. 待机电流 (I_{SB}) vs. 电源电压 (V_{CC}) (STCD1040, 1.8 V 版本, $EN1=EN2=EN3=EN4=0$, 无主时钟输入)

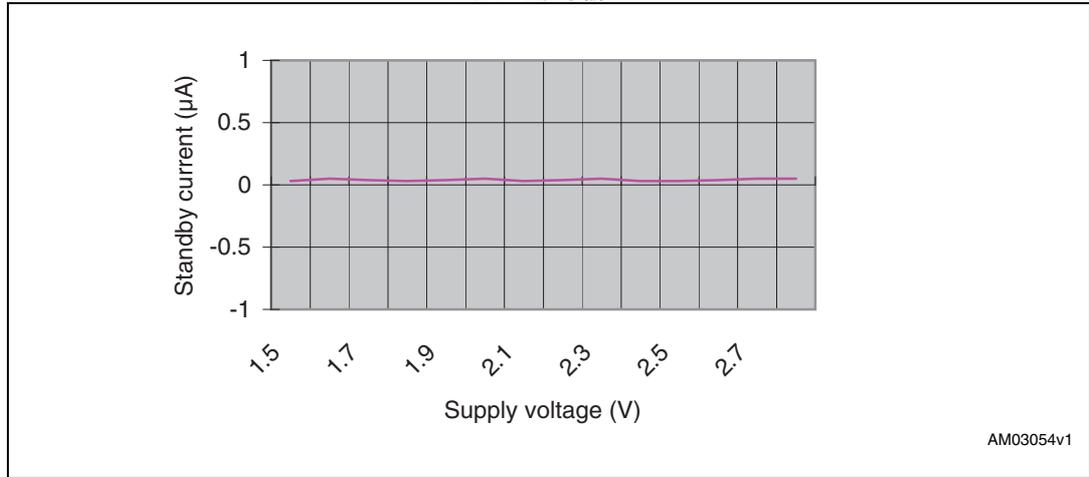


图 27. 工作电流 (I_{ACT}) vs. 电源电压 (V_{CC}) (STCD1040, 1.8 V 版本, $EN1=EN2=EN3=EN4=1$, 26 MHz 正弦波主时钟从 TCXO 输入)

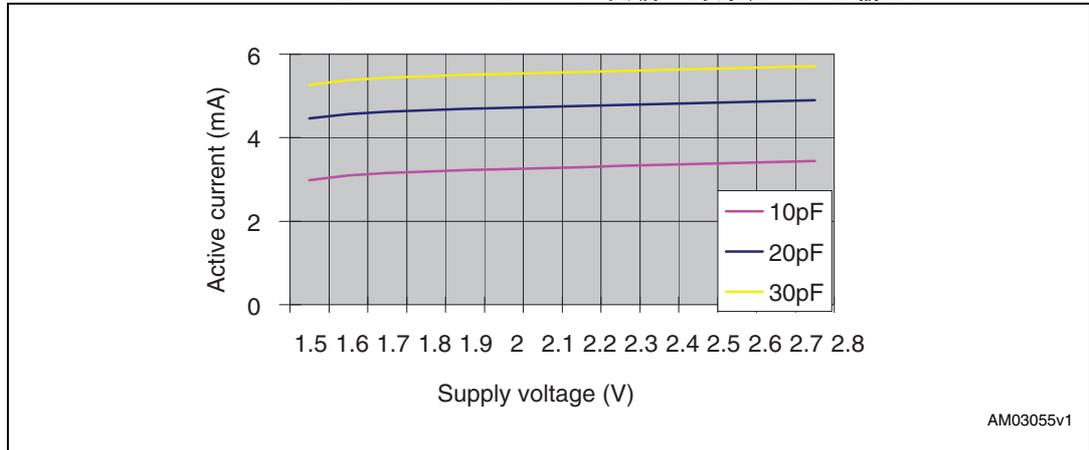


图 28. 工作电流 (I_{ACT}) vs. 主时钟输入电压水平 (V_{pp}) (STCD1040, 1.8 V 版本, $EN1=EN2=EN3=EN4=1$, 26 MHz 正弦波主时钟输入)

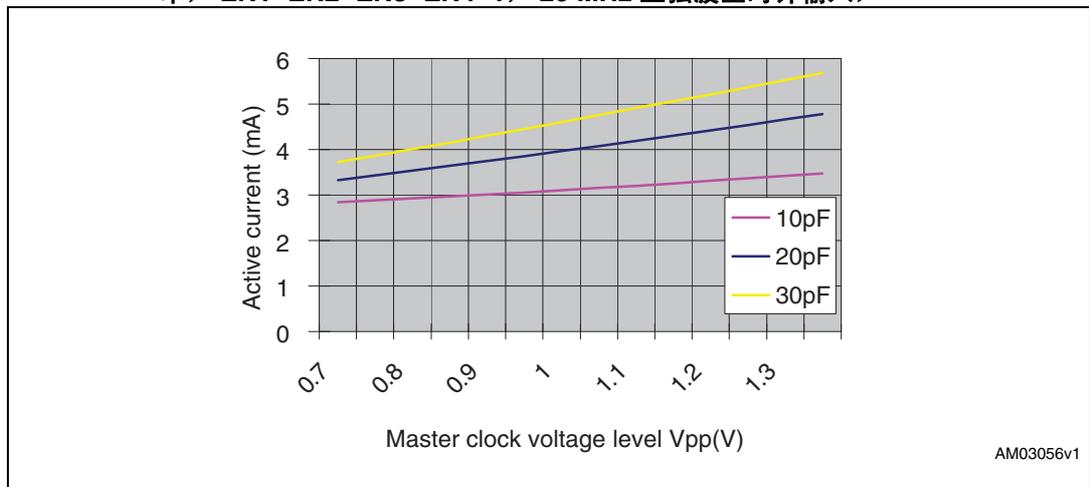


图 29. 工作电流 (I_{ACT}) vs. 输入频率 (STCD1040, 1.8 V 版本, EN1=EN2=EN3=EN4=1, 主时钟输入 $V_{pp}=1 V$)

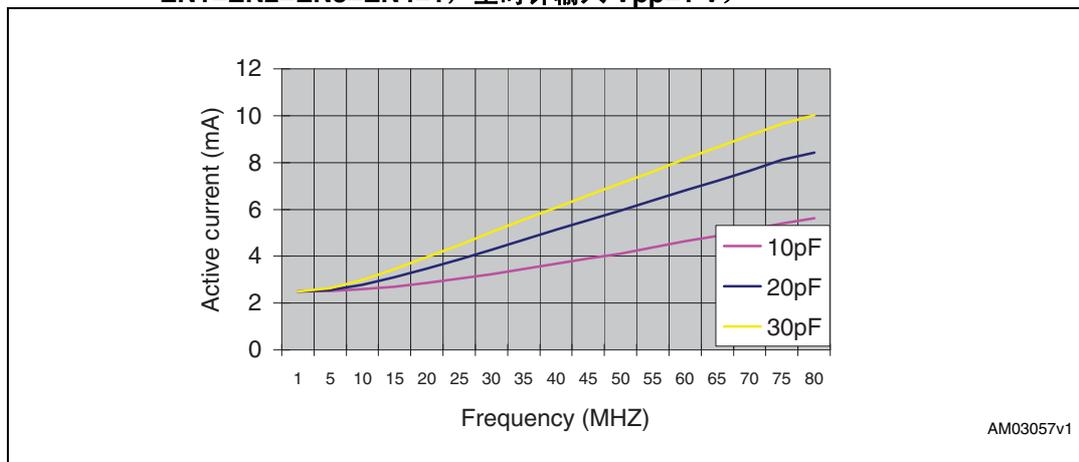


图 30. STCD10x0 从待机状态到工作状态所需的恢复时间 (STCD1040, 1.8 V 版本, EN2=EN3=EN4=0, 当 EN1 从 0 到 1 时测量 CLK1)



图 31. STCD10x0 缓冲器从关闭到开启所需的恢复时间 (STCD1040, 1.8 V 版本, EN2 = EN3 = EN4 = 1, 当 EN1 从 0 到 1 时测量 CLK1)

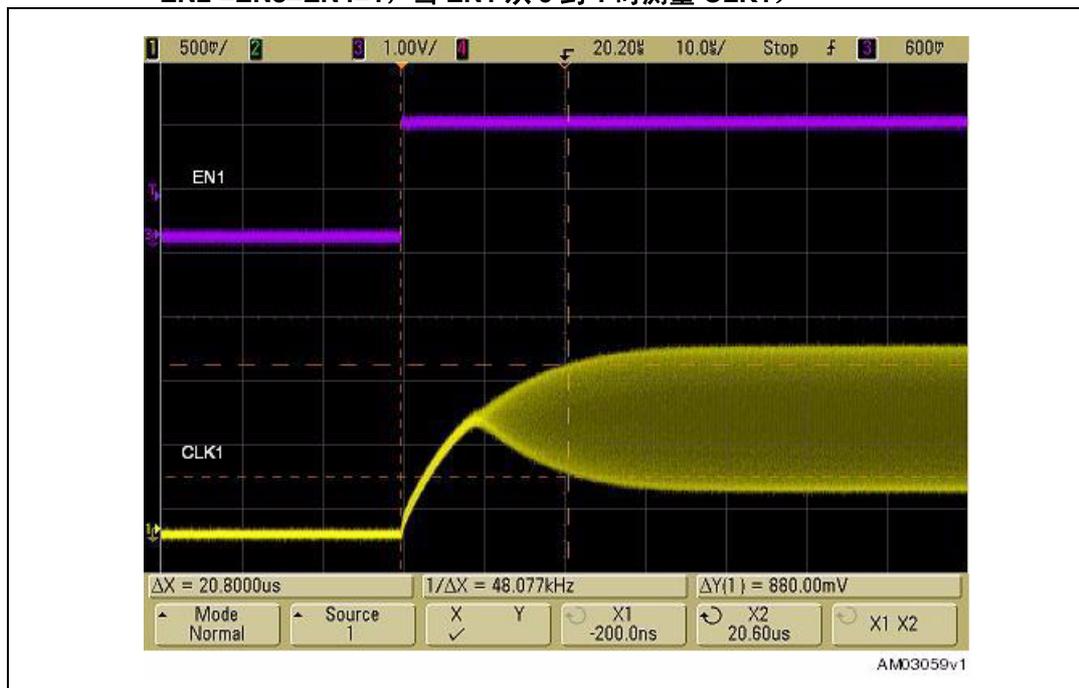


图 32. 正弦波输入时钟 vs. 输出时钟 (STCD1040, 1.8 V 版本, 26 MHz 正弦波主时钟从 TCXO 输入)



图 33. 方波输出的上升下降时间 (STCD1040, 1.8 V 版本, 10 MHz 方波主时钟输入, $C_L = 20$ pF)

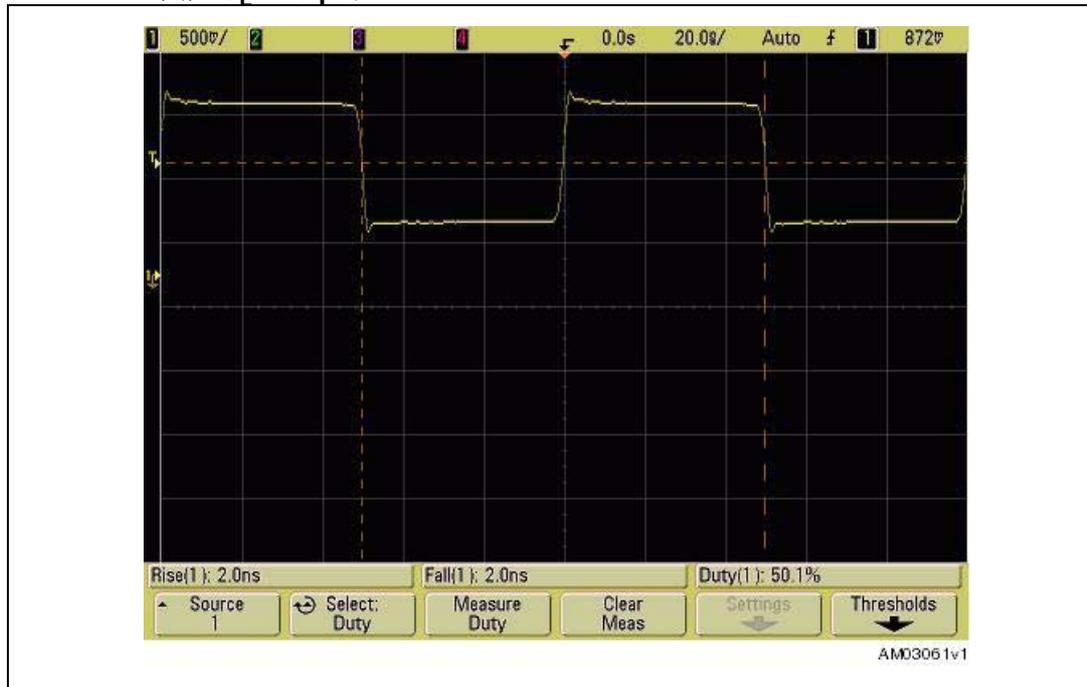


图 34. 输入时钟相噪 (STCD1040, 1.8 V 版本, 26 MHz 正弦波主时钟从 TCXO 输入)

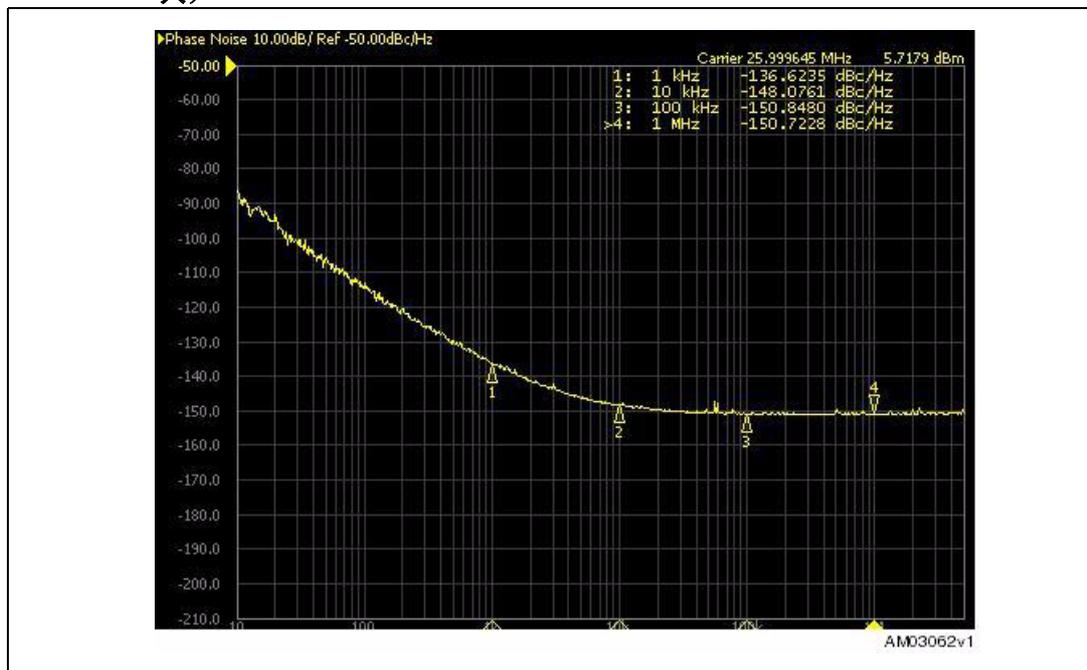


图 35. 输出时钟相噪 (STCD1040, 1.8 V 版本, 这一相噪包含了 TCXO 和 STCD1040 的加性相噪)

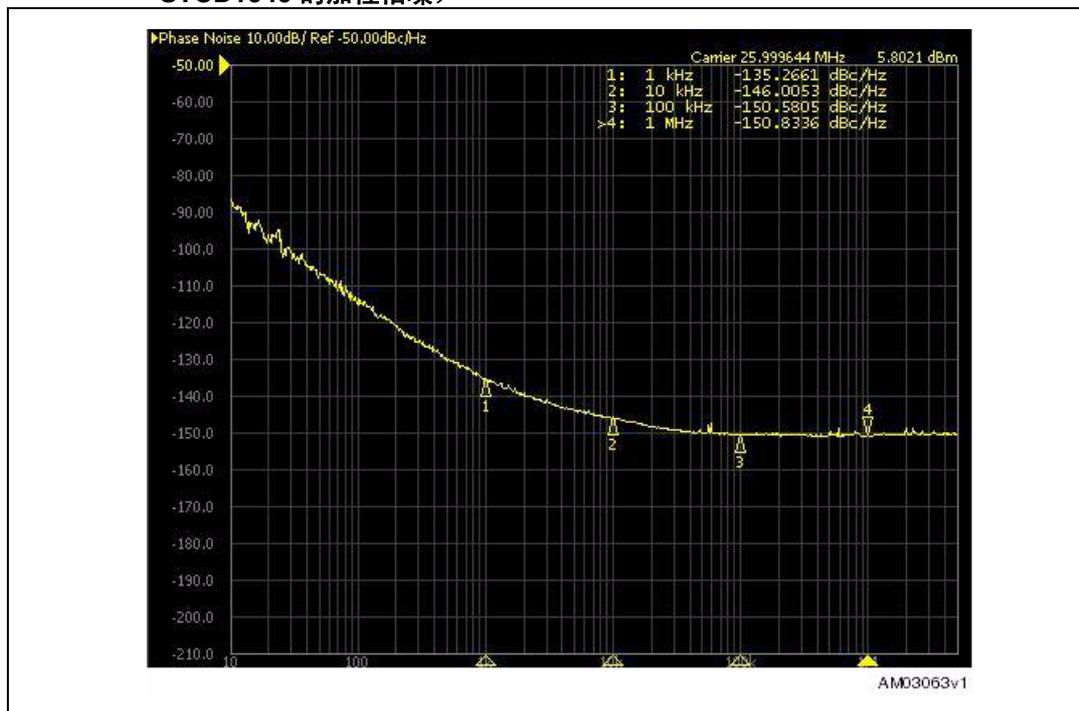
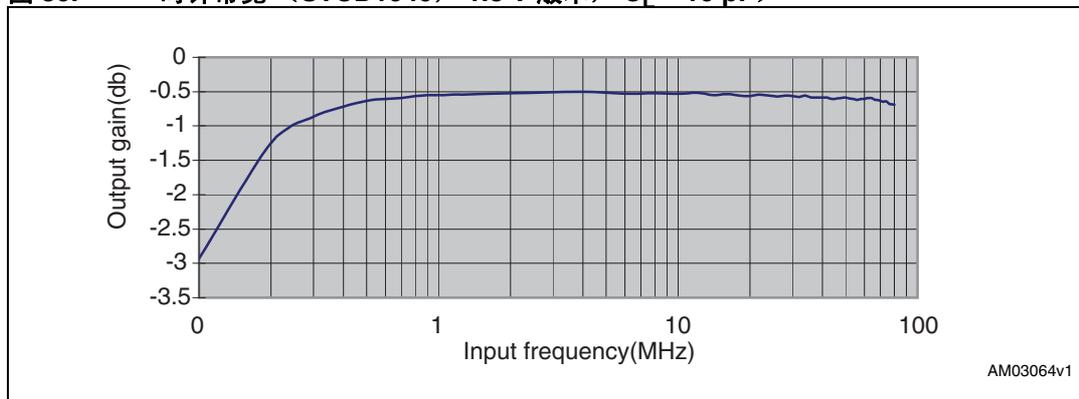


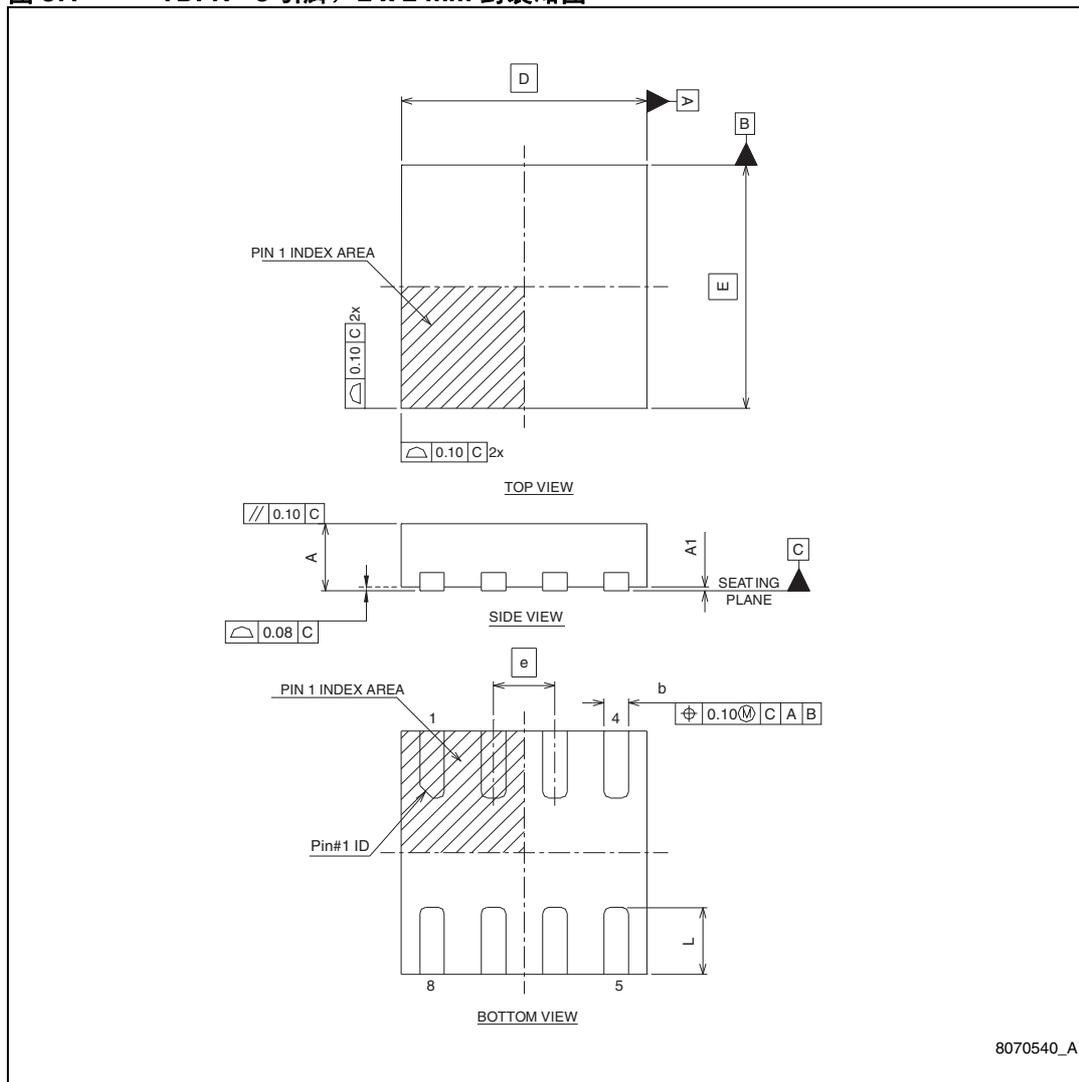
图 36. 时钟带宽 (STCD1040, 1.8 V 版本, $C_L = 10 \text{ pF}$)



8 封装机械数据

为了符合环境要求，ST 的这些产品根据他们各自需要遵守的环境准则，采用不同级别的 ECOPACK[®] 封装。ECOPACK[®] 的规格，级别定义和产品状态可在：www.st.com 网站上查询。ECOPACK[®] 为 ST 商标。

图 37. TDFN - 8 引脚, 2 x 2 mm 封装略图



8070540_A

表 10. TDFN - 8 引脚 (2 x 2 mm) 封装机械数据

Symbol	mm			inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.000	0.001	0.002
b	0.15	0.20	0.25	0.006	0.008	0.010
D		2.00 BSC			0.079 BSC	
E		2.00 BSC			0.079 BSC	
e		0.50			0.020	
L	0.45	0.55	0.65	0.018	0.022	0.026

图 38. TDFN - 10 引脚, 2 x 2.5 mm 封装略图

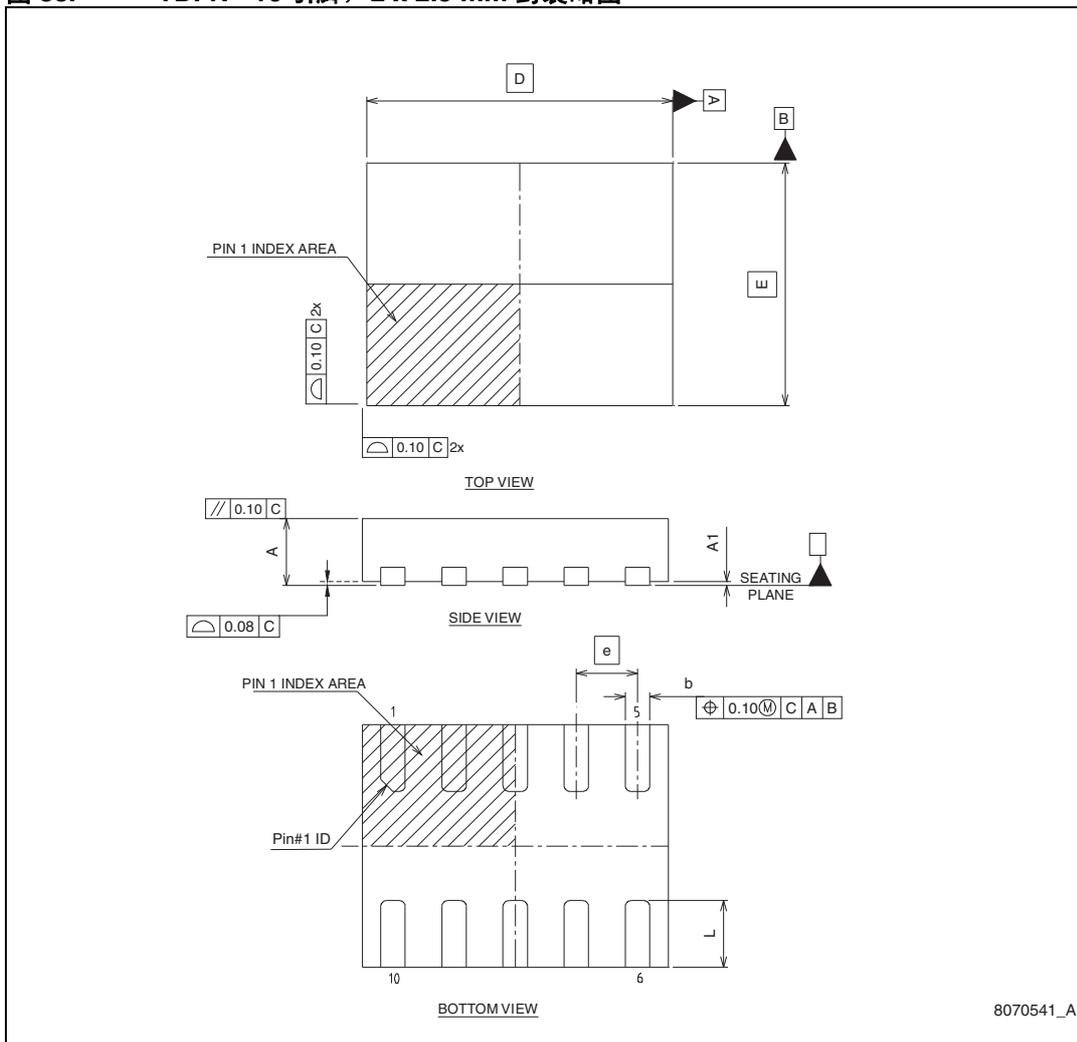
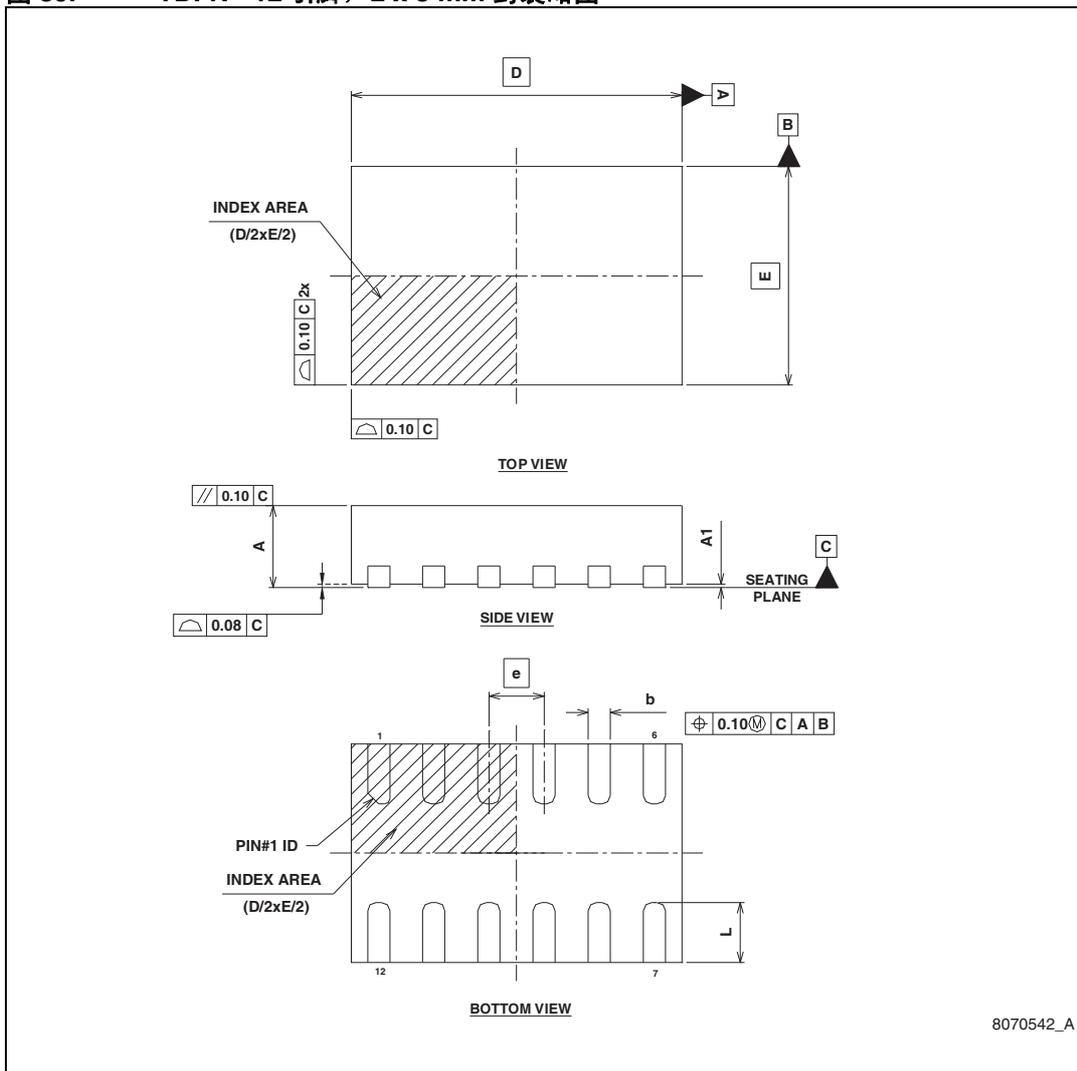


表 11. TDFN - 10 引脚 (2 x 2.5 mm) 封装机械数据

Symbol	mm			inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.000	0.001	0.002
b	0.15	0.20	0.25	0.006	0.008	0.010
D		2.50 BSC			0.098 BSC	
E		2.00 BSC			0.079 BSC	
e		0.50			0.020	
L	0.45	0.55	0.65	0.018	0.022	0.026

图 39. TDFN - 12 引脚, 2 x 3 mm 封装略图

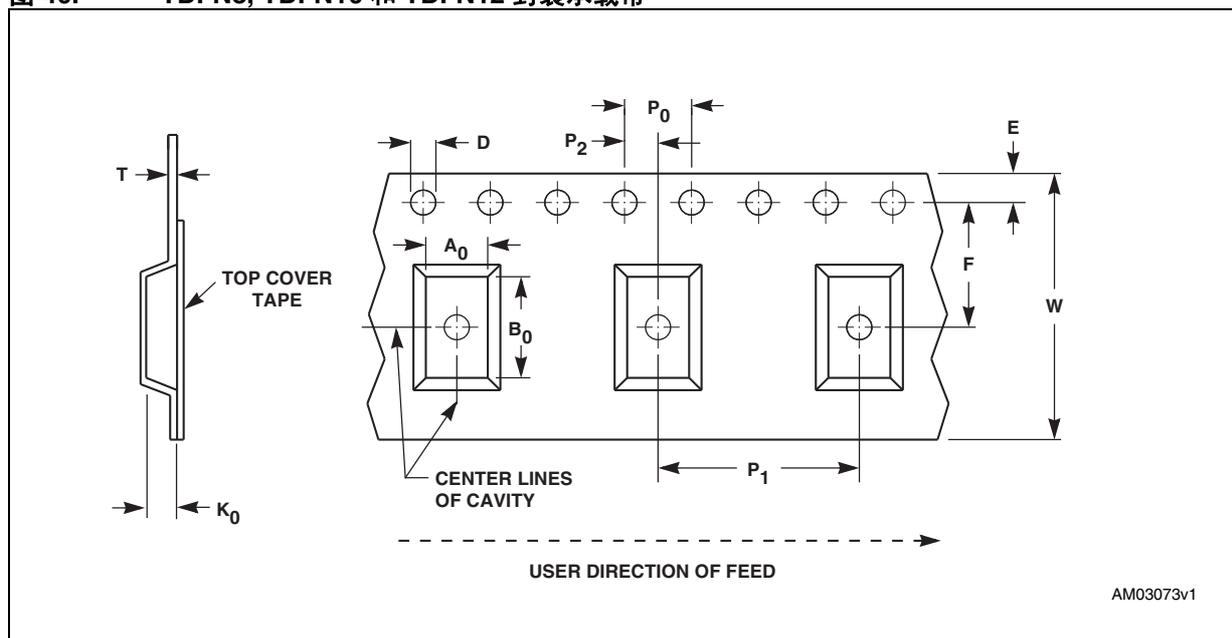


8070542_A

表 12. TDFN - 12 引脚 (2 x 3 mm) 封装机械数据

Symbol	mm			inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.000	0.001	0.002
b	0.15	0.20	0.25	0.006	0.008	0.010
D		3.00 BSC			0.118	
E		2.00 BSC			0.079	
e		0.50			0.020	
L	0.45	0.55	0.65	0.018	0.022	0.026

图 40. TDFN8, TDFN10 和 TDFN12 封装承载带

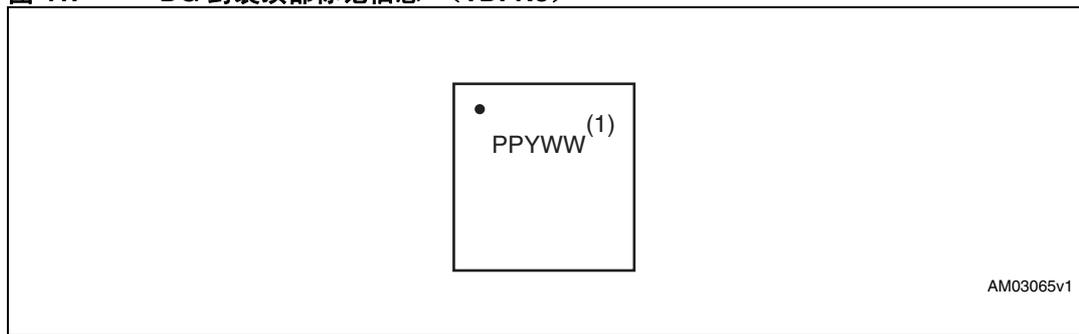


AM03073v1

表 13. TDFN8, TDFN10 和 TDFN12 封装承载带的尺寸

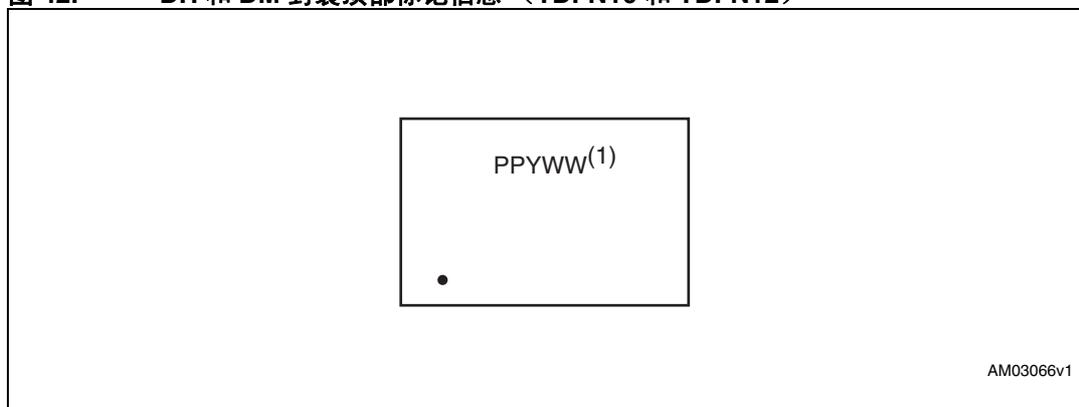
Package	W	D	E	P ₀	P ₂	F	A ₀	B ₀	K ₀	P ₁	T	Unit	Bulk qty.
TDFN8	8.00 +0.30/ -0.10	1.50 +0.10/ -0.00	1.75 ±0.10	4.00 ±0.10	2.00 ±0.10	3.50 ±0.05	2.30 ±0.05	2.30 ±0.05	1.00 ±0.05	4.00 ±0.10	0.250 ±0.05	mm	3000
TDFN10	12.00 ±0.30	1.50 +0.10/ -0.00	1.75 ±0.10	4.00 ±0.10	2.00 ±0.10	5.50 ±0.05	2.30 ±0.10	2.80 ±0.10	1.10 ±0.01	4.00 ±0.10	0.30 ±0.05	mm	3000
TDFN12	12.00 ±0.30	1.50 +0.10/ -0.00	1.75 ±0.10	4.00 ±0.10	2.00 ±0.10	5.50 ±0.05	2.30 ±0.10	3.20 ±0.10	1.10 ±0.01	4.00 ±0.10	0.30 ±0.05	mm	3000

图 41. DG 封装顶部标记信息 (TDFN8)



- 1. 可追溯性代码
 PP = 装配厂
 Y = 装配年份
 WW = 装配周

图 42. DH 和 DM 封装顶部标记信息 (TDFN10 和 TDFN12)

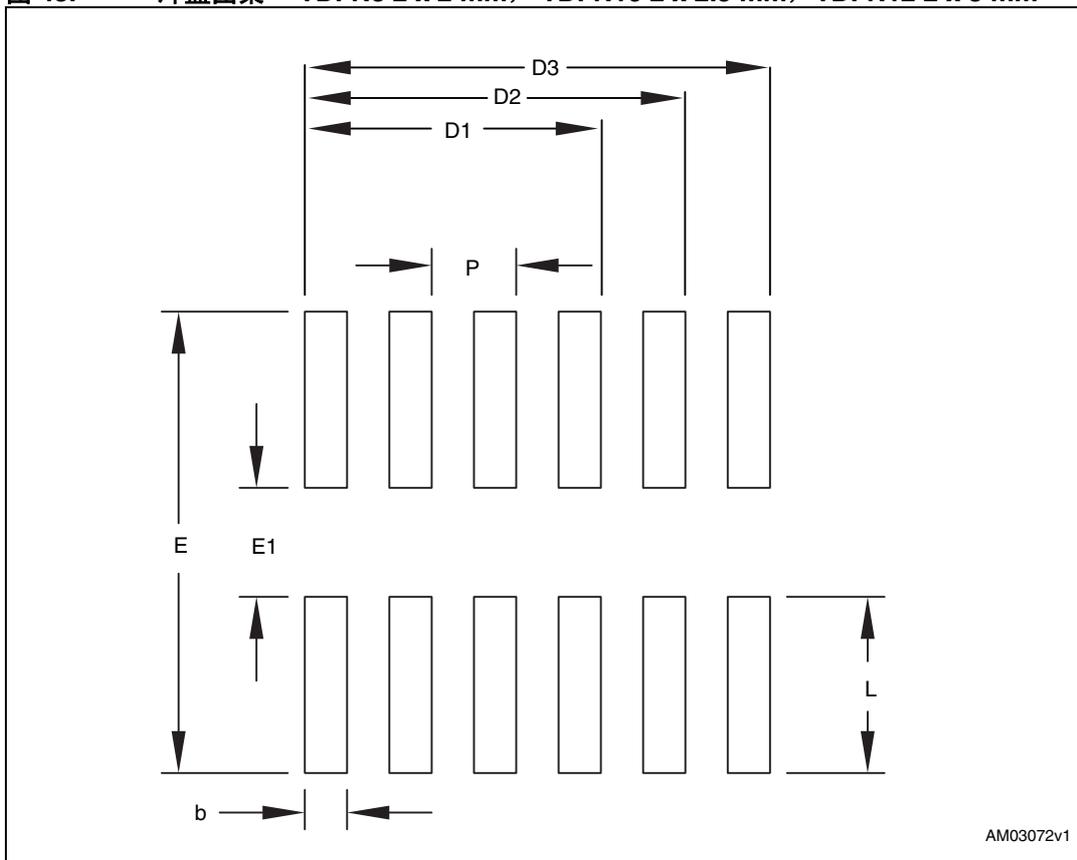


- 1. 可追溯性代码
 PP = 装配厂
 Y = 装配年份
 WW = 装配周

表 14. STCD10x0 顶部标记信息

Part number	Marking
STCD1020RDG	CD20
STCD1020PDG	CD2L
STCD1030RDH	CD30
STCD1030PDH	CD3L
STCD1040RDM	CD40
STCD1040PDM	CD4L

图 43. 焊盘图案 - TDFN8 2 x 2 mm, TDFN10 2 x 2.5 mm, TDFN12 2 x 3 mm



AM03072v1

表 15. 焊盘图案参数 (TDFN8, TDFN10, TDFN12)

Parameter	Description	Dimension (mm)		
		Min	Nom	Max
L	Contact length	1.05	-	1.15
b	Contact width	0.25	-	0.30
E	Max landing pattern Y-direction	-	2.75	-
E1	Contact gap spacing	-	0.65	-
D1	Max landing pattern X-direction	TDFN8	-	1.75
D2		TDFN10	-	2.25
D3		TDFN12	-	2.75
P	Contact pitch	-	0.5	-

9 器件命名规则

表 16. 订购信息表

例:	STCD	1020	R	DG	6	E
产品类型 STCD = 时钟分配电路						
通道 1020 = 2- 通道 1030 = 3- 通道 ⁽¹⁾ 1040 = 4- 通道						
工作电压 R = 2.5 至 3.6 V P = 1.65 至 2.75 V ⁽¹⁾						
封装 DG = TDFN8 (2- 通道) DH = TDFN10 (3- 通道) DM = TDFN12 (4- 通道)						
工作温度范围 6 = -40°C 至 +85°C						
装运方式 E = ECOPACK® 封装, 套管式 F = ECOPACK® 封装, 带卷式						

1. 查看产品供货情况，请联系当地 ST 销售部门。

其它选择，或需了解产品任何方面的更多信息，请联系最近的 ST 销售办事处。

10 修订历史

表 17. 文件修订历史

日期	版本	修改内容
2007-08-08	1	初始版本。
2007-10-08	2	表 7: 直流和交流特性 (1.8 V 电源) 中加入脚注 4; 表 7 和表 9 中更新 V_{out} ; 少数文字改动。
2008-04-03	3	更新封面, 表 2, 5, 7, 9, 16, 图 1, 6, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 第 3 章和 7; 加入图 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36。
2008-05-08	4	更新封面, 表 7, 8, 图 14, 15, 27, 28 和 第 7 章; 数据表状态更新到完成状态。
2009-09-07	5	加入带卷规格 (图 40, 表 13), 顶部标记信息 (图 41, 42, 表 14) 和焊盘图案 (图 43, 表 15); 更新封面信息表 4, 5, 16 和 第 9 章: 器件命名规则 的文字; 重新格式文件。
2010-05-14	6	更新图 42; 少量文字改动。

本文是相关正式英文文档之中文译文。我们试图提供内容的精确翻译，如因翻译中可能存在的差异或错误，对用户或第三方造成损害或其它后果，意法半导体公司概不负责。如需确认本产品完整精确的信息，请参考意法半导体公司提供的正式英文文档。

请仔细阅读下列内容：

本文中的信息仅和相关的 ST 产品相联系。意法半导体公司和它的子公司（“ST”）保留在任何时候对本文以及本文所述的产品和服务做出变动，更正，修改或升级的权利，恕不另行通知。

所有 ST 的产品都按照 ST 的销售条款和条件进行销售。

买方独自对本文所述的 ST 的产品及服务的选用，选择和使用负责，ST 不对任何与选用，选择和使用 ST 的产品及服务的相关事务负责。

本文并未通过默许或采用其它方式明示或暗示，对任何知识产权予以授权。如果本文任何一部分涉及到第三方产品或服务，不能认为是 ST 授权使用这些第三方产品或服务，或任何包含其中的知识财产；也不能作为以任何方式使用这些第三方产品或服务，或任何包含其中的知识财产的担保。

除非 ST 的销售条款和条件中另有规定，ST 否认任何明示或暗示的关于使用和 / 或出售 ST 产品的担保，包括但不限于商用性，针对特定用途的适用性（及其任何司法管辖范围内的法律等效性），或侵犯任何专利，版权或其他知识产权的默示担保。

如果没有 ST 授权代表明确的书面批准，ST 的产品不推荐，授权或许可用于军事，航天，航空，救生，或生命支持应用，也不用于因失灵或故障可能导致人身伤害，死亡，或严重的财产或环境破坏的产品或系统中。没有被指定为“汽车级”的 ST 产品如被用于汽车应用，则由用户自己承担风险。

转售的 ST 产品的规定若与本文中阐明的陈述和 / 或技术特性不同，则本文所述的对 ST 的产品和服务的担保都将立即无效，ST 不对以任何方式产生或延伸的责任负责。

ST 和 ST 标识是意法半导体公司在不同的国家的商标或注册商标。

本文中的信息取代和替换以前提供的所有中文版本的信息。

ST 标识是意法半导体公司的注册商标。所有其他名称是他们各自拥有者的财产。

© 2010 意法半导体公司 - 版权所有

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马尔他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美国

www.st.com