

SP605 ハードウェア ユーザー ガイド

UG526 (v1.1) 2009 年 11 月 9 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the "Documentation") to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU "AS-IS" WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© 2009 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners. PCI, PCI Express, PCIe, and PCI-X are trademarks of PCI-SIG.

本資料は英語版 (v1.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2009 年 10 月 7 日	1.0	初版リリース
2009 年 11 月 9 日	1.1	- 図 1-17 および図 1-23 の更新。 - スピード グレードを -2 から -3 に変更。 - その他誤植の修正。

目次

改訂履歴.....	2
このユーザー ガイドについて	
ユーザー ガイドの内容	5
その他の資料.....	5
その他のリソース	6
第 1 章：SP605 評価ボード	
概要	7
その他の資料	7
機能.....	8
ブロック図	9
関連資料.....	10
詳細説明.....	10
1. Spartan-6 XC6SLX45T-3FGG484 FPGA	13
コンフィギュレーション	13
I/O 電圧範囲	13
2. 128 MB DDR3 コンポーネント メモリ	14
3. SPI x4 フラッシュ	17
4. リニア BPI フラッシュ.....	19
コンフィギュレーション フラッシュに関する FPGA デザインの考察事項.....	21
5. System ACE CF および CompactFlash コネクタ	21
6. USB JTAG	24
7. クロック生成	25
オシレータ (差動)	25
オシレータ ソケット (シングル エンド、2.5V または 3.3V).....	25
SMA コネクタ (差動)	26
8. マルチギガビット トランシーバ (GTP MGT).....	26
9. PCI Express エンドポイントの接続.....	28
10. SFP モジュール コネクタ.....	29
11. 10/100/1000 トライスピード イーサネット PHY	31
12. USB-UART ブリッジ	33
13. DVI CODEC	34
14. IIC バス	35
8Kb NV メモリ	36
15. ステータス LED.....	37
イーサネット PHY ステータス LED.....	38
FPGA INIT および DONE LED	39
16. ユーザー I/O	40
ユーザー LED	40
ユーザー プッシュボタン スイッチ.....	41
ユーザー DIP スイッチ	42
ユーザー SIP ヘッド	43
ユーザー SMA GPIO.....	44
17. スイッチ	45
電源オン/オフ用のスライド スイッチ SW2	45
FPGA_PROG_B プッシュボタン SW3 (アクティブ Low)	46
SYSACE_RESET_B プッシュボタン SW9 (アクティブ Low).....	46
System ACE CF イメージ選択 DIP スイッチ S1 (アクティブ High).....	47
モード DIP スイッチ SW1 (アクティブ High).....	48
18. VITA 57.1 FMC LPC コネクタ	49

パワー マネジメント	51
AC アダプタおよび 12V 入力電源ジャック/スイッチ	51
オンボード電源	52
コンフィギュレーション オプション	54

付録 A：ジャンパおよびスイッチのデフォルト設定

付録 B：VITA 57.1 FMC LPC コネクタのピン配置

付録 C：SP605 マスタ UCF

付録 D：参考資料

このユーザー ガイドについて

このマニュアルは、Spartan®-6 FPGA SP605 評価ボードに付属し、SP605 のハードウェアおよびソフトウェア ツールに関する情報を記載しています。

ユーザー ガイドの内容

このユーザー ガイドは、次の各章から構成されています。

- 第 1 章「SP605 評価ボード」では、エンベデッド開発ボードの概要と、SP605 ボードのコンポーネントおよび機能の詳細を説明します。
- 付録 A 「ジャンパおよびスイッチのデフォルト 設定」
- 付録 B 「VITA 57.1 FMC LPC コネクタのピン配置」
- 付録 C 「SP605 マスタ UCF」
- 付録 D 「参考資料」

その他の資料

次の資料も、<http://japan.xilinx.com/products/spartan6/> からダウンロードできます。

- 『Spartan-6 ファミリ 概要』
Spartan-6 ファミリの特徴と製品群の概要を説明しています。
- 『Spartan-6 FPGA データシート: DC 特性およびスイッチ特性』
Spartan-6 ファミリの DC 特性およびスイッチ特性の仕様が記載されています。
- 『Spartan-6 FPGA パッケージおよびピン配置仕様』
デバイス/パッケージの組み合わせおよび最大 I/O 数の表、ピン定義、ピン配置表、ピン配置図、機械的図面、温度仕様が記載されています。
- 『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』
この包括的なコンフィギュレーション ガイドは、コンフィギュレーション インターフェイス (シリアルとパラレル)、マルチビットストリームの管理、ビットストリームの暗号化、バウンダリ スキャンおよび JTAG コンフィギュレーション、リコンフィギュレーション テクニックの各章で構成されています。
- 『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』
Spartan-6 の各デバイスで使用可能な SelectIO™ リソースについて説明しています。

- 『Spartan-6 FPGA クロック リソース ユーザー ガイド』
Spartan-6 の各デバイスで使用可能な DCM や PLL などのクロッキング リソースについて説明しています。
- 『Spartan-6 FPGA ブロック RAM リソース ユーザー ガイド』
Spartan-6 デバイスのブロック RAM の機能について説明しています。
- 『Spartan-6 FPGA GTP トランシーバ ユーザー ガイド』
Spartan-6 LXT FPGA で使用可能な GTP トランシーバについて説明しています。
- 『Spartan-6 FPGA DSP48A1 スライス ユーザー ガイド』
Spartan-6 FPGA の DSP48A1 スライスのアーキテクチャについて説明し、コンフィギュレーション例も記載しています。
- 『Spartan-6 FPGA メモリ コントローラ ユーザー ガイド』
Spartan-6 FPGA と一般的なメモリ規格のインターフェイスを大幅に簡略化する専用の組み込みマルチポート メモリ コントローラ、Spartan-6 FPGA メモリ コントローラ ブロックについて説明します。
- 『Spartan-6 FPGA PCB デザイン ガイド』
PCB およびインターフェイス レベルのデザインを決定する方法に焦点を当てた Spartan-6 デバイスの PCB デザイン情報を提供します。

その他のリソース

シリコンやソフトウェア、IP に関するアンサー データベースを検索したり、テクニカル サポートのウェブ ケースを開く場合は、次の Web サイトにアクセスしてください。

<http://japan.xilinx.com/support>

SP605 評価ボード

概要

SP605 ボードにより、ハードウェアおよびソフトウェアの開発者は Spartan®-6 XC6SLX45T-3FGG484 FPGA をターゲットとしたデザインの設計および評価が可能となります。

SP605 は、多くのエントリ レベルの開発環境に共通する Spartan-6 ファミリを評価するための幅広い機能を備えています。使用頻度の高い機能には、DDR3 コンポーネント メモリ、1 レーン PCI Express® インターフェイス、トライモード イーサネット PHY、汎用 I/O、および UART などがあります。メザニン カードをボード上の VITA-57 FPGA メザニン コネクタ (FMC) のローピン カウント (LPC) コネクタに接続することによって、ユーザー指定の機能がさらに追加できます。

8 ページの「機能」では、10 ページの「詳細説明」で詳細に説明されるボードの一般的な機能をリストしています。

その他の資料

SP605 ボードに関するその他の情報およびサポート 資料は、<http://japan.xilinx.com/sp605> から次を参照してください。

- このユーザー ガイドの最新バージョン (PDF)
- Spartan-6 FPGA の機能およびテクノロジーを示すデザイン例のファイル
- System ACE CF コントローラ、Platform Flash コンフィギュレーション ストレージ デバイス、およびリニア フラッシュ チップ向けのハードウェアおよびソフトウェア コンフィギュレーションのデモ ファイル
- リファレンス デザイン ファイル
- PDF および DxDesigner 形式の回路図
- BOM (部品表)
- Allegro 社の PCB フォーマットのプリント基板 (PCB) レイアウト
- PC ボード用のガーバー ファイル (これらのファイルを表示、印刷するには、インターネットから無償で入手可能またはシェアウェアのガーバー ファイル ビューアを使用します。)
- その他の資料、エラッタ、よくある質問 (FAQ)、および最新ニュース

製品の概要、データシート、ユーザー ガイド、およびアプリケーション ノートなどの Spartan-6 ファミリ FPGA デバイスに関する情報は、<http://japan.xilinx.com/support/documentation/spartan-6.htm> を参照してください。

機能

SP605 ボードは次の機能を備えています。

- 1. Spartan-6 XC6SLX45T-3FGG484 FPGA
- 2. 128 MB DDR3 コンポーネント メモリ
- 3. SPI x4 フラッシュ
- 4. リニア BPI フラッシュ
- 5. System ACE CF および CompactFlash コネクタ
- 6. USB JTAG
- 7. クロック生成
 - 固定 200MHz オシレータ (差動)
 - ソケット付き 2.5V 27MHz オシレータ (シングル エンド)
 - SMA コネクタ (差動)
 - MGT クロッキング用の SMA (差動)
- 8. マルチギガビット トランシーバ (GTP MGT)
 - FMC LPC コネクタ
 - SMA
 - PCIe
 - SFP モジュール コネクタ
- 9. PCI Express エンドポイントの接続
 - Gen1 x1
- 10. SFP モジュール コネクタ
- 11. 10/100/1000 トライスピード イーサネット PHY
- 12. USB-UART ブリッジ
- 13. DVI CODEC
- 14. IIC バス
 - IIC EEPROM - 1KB
 - DVI CODEC
 - DVI コネクタ
 - FMC LPC コネクタ
 - SFP モジュール コネクタ
- 15. ステータス LED
 - イーサネット ステータス
 - FPGA INIT
 - FPGA DONE
- 16. ユーザー I/O
 - USER LED GPIO
 - ユーザー プッシュボタン
 - CPU リセットのプッシュボタン

- ユーザー DIP スイッチ - GPIO
- ユーザー SMA GPIO コネクタ
- 17. スイッチ
 - 電源オン/オフ用のスライド スイッチ
 - System ACE CF リセット プッシュボタン
 - System ACE CF ビットストリーム選択 DIP スイッチ
 - モード DIP スイッチ
- 18. VITA 57.1 FMC LPC コネクタ
- コンフィギュレーション オプション
 - 3. SPI x4 フラッシュ (ボードの上およびボードの外の両方)
 - 4. リニア BPI フラッシュ
 - 5. System ACE CF および CompactFlash コネクタ
 - 6. USB JTAG
- パワー マネジメント
 - AC アダプタおよび 12V 入力電源ジャック/スイッチ
 - オンボード電源

ブロック図

図 1-1 に、SP605 および周辺機器の高レベル ブロック図を示します。

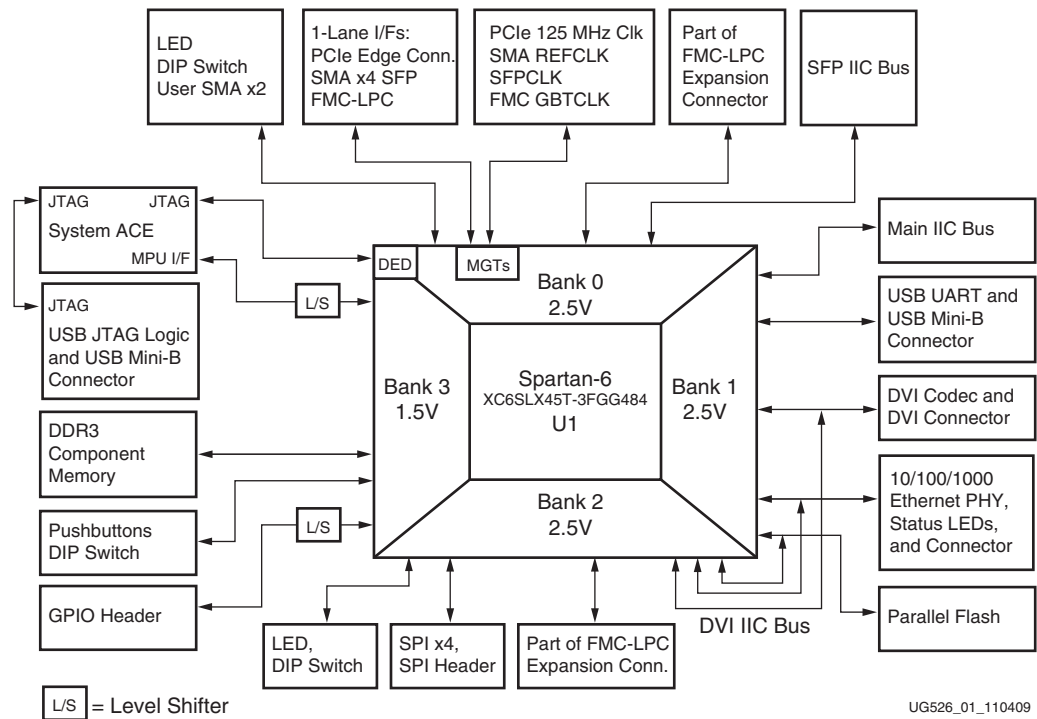


図 1-1 : SP605 の機能およびバンク

関連資料

SP605 評価ボードを使用する前に、ザイリンクスのリソースに目を通しておいてください。ザイリンクス ツールおよびソリューションに関する情報は、次のウェブ サイトから参照できます。

- ISE : japan.xilinx.com/ise
- アンサー ブラウザ : japan.xilinx.com/support
- IP (Intellectual Property) : japan.xilinx.com/ipcenter

詳細説明

図 1-2 にボードの写真を示します。この図中の番号は、表 1-1 および本文書内の各セクション番号に対応するものです。

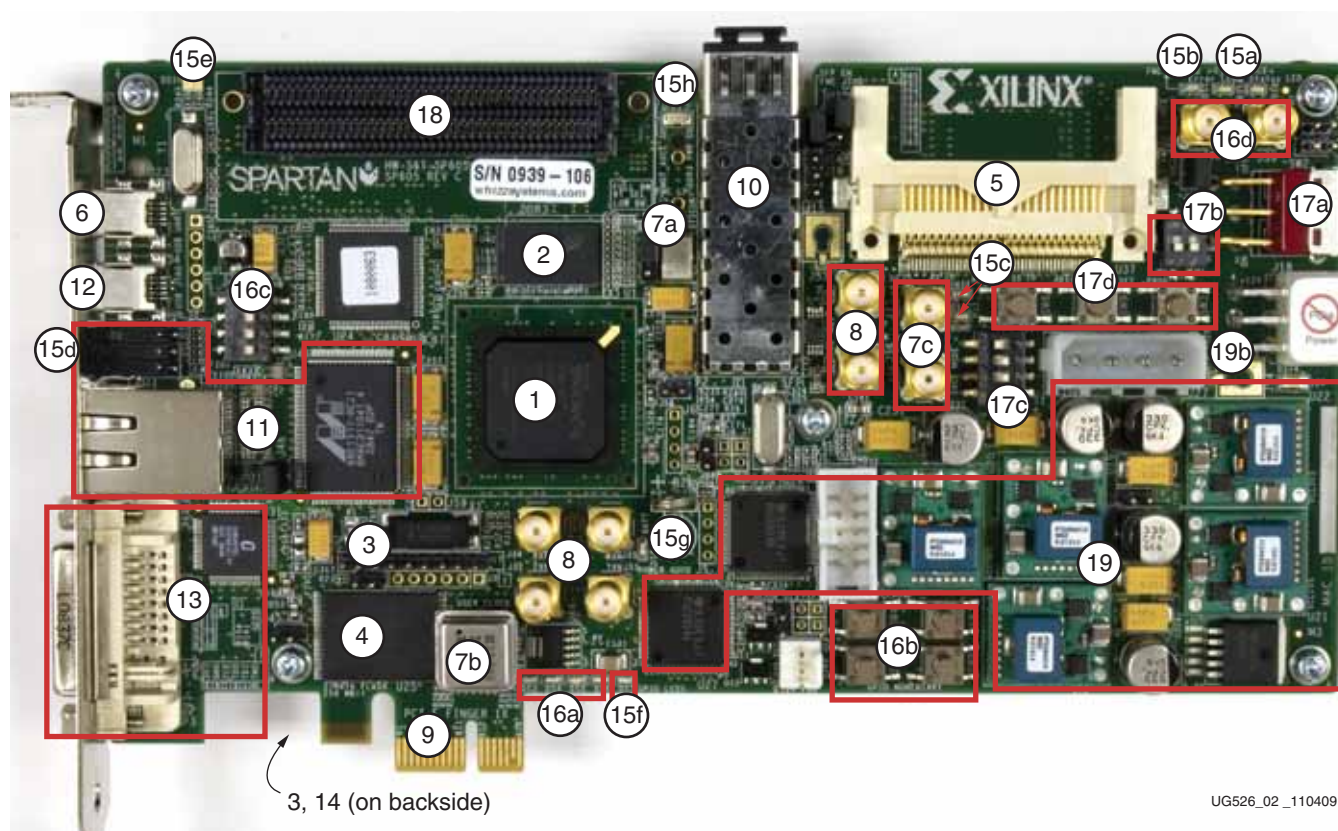


図 1-2 : SP605 ボードの写真

図 1-2 に示されている番号の機能は、表 1-1 内の機能および備考に対応します。

表 1-1 : SP605 の機能

番号	機能	備考	回路図のページ
1	Spartan-6 FPGA	XC6SLX45T-3FPG484 FPGA	2-7
2	DDR3 コンポーネント メモリ	Micron 社製 MT41J64M16LA-187E	9
3	SPI Header Ext. x4 SPI Flash x4 (背面)	Winbond 社製 W25Q64VSFIG	18
4	リニア BPI Flash x16	Numonyx 社製 JS28F256P30T95	19
5	SystemACE CompactFlash ソケット	XCCACE-TQ144I コントローラ	20
6	USB JTAG コネクタ (USB Mini-B)	USB JTAG ダウンロード回路	32
7	クロック生成	200MHz OSC、オシレータ ソケット、SMA コネクタ	13、14
	a. 200MHz オシレータ	Epson 社製 200MHz 2.5V LVDS	14
	b. オシレータ ソケット、 シングルエンド、LVCMOS	MMD コンポーネント 2.5V 27MHz	14
	c. SMA コネクタ	SMA ペア P(J41)/N(J38)	13
8	GTP ポート SMA x4 および MGT SMA クロック (REFCLK)	MGT RX、TX ペア x4 SMA MGT REFCLK x2 SMA	13
9	PCIe 1 レーン エッジ コネクタ (Gen 1)	カード エッジ コネクタ、1 レーン	12
10	SFP モジュール ケージ/コネクタ	AMP 136073-1	12
11	Ethernet 10/100/1000	Marvell 社製 M88E1111 EPHY	11
12	USB UART (USB-UART ブリッジ)	Silicon Laboratories 社製 CP2103GM	15
13	DVI コーデックおよび ビデオ コネクタ	Chrontel 社製 CH7301C-TF	16、17
14	IIC EEPROM (背面)	ST Micro 社製 M24C08-WDW6TP	15

表 1-1：SP605 の機能 (続き)

番号	機能	備考	回路図の ページ
15	ステータス LED		10、11、14、 18、20、25、 27、31、33
	a. FMC Power Good		10
	b. System ACE CF ステータス		11
	c. FPGA INIT および DONE		14
	d. Ethernet PHY ステータス		18
	e. JTAG USB ステータス		20
	f. FPGA Awake		27
	g. TI Power Good		31
	h. MGT AVCC、DDR3 Term Power Good		33
16	a. ユーザー LED (4)	赤色 LED (アクティブ High)	14
	b. ユーザー プッシュボタン (4)	アクティブ High	14
	c. ユーザー DIP スイッチ (4)	4 本 (アクティブ Hgh)	14
	d. ユーザー SMA (2)	GPIO x2 SMA	13
17	スイッチ	電源、コンフィギュレーション、 プッシュボタン スイッチ	14、18、20、 25
	a. SP605 電源オン/オフの スライド スイッチ		25
	b. FPGA モード DIP スイッチ		18
	c. System ACE CF コンフィ ギュレーション DIP スイッチ		20
	d. FPGA PROG、CPU リセット および System ACE CF リセット プッシュボタン スイッチ		14、20
18	FMC LPC コネクタ	Samtec 社製 ASP-134603-01	10
19	a. 電力管理コントローラ	2x TI UCD9240PFC	21、26
	b. ミニフィット タイプ 6 ピン、 ATX タイプ 4 ピン	12V 入力電源コネクタ	25

1. Spartan-6 XC6SLX45T-3FGG484 FPGA

エンベデッド開発ボードには、ザイリックスの Spartan-6 XC6SLX45T-3FGG484 FPGA が搭載されています。

参考資料

詳細は、『Spartan-6 FPGA データシート』を参照してください。[参照 1]

コンフィギュレーション

SP605 では、次のコンフィギュレーション モードがサポートされています。

- JTAG (付属の USB-A と Mini-B 間ケーブルを使用)
- JTAG (System ACE CF および CompactFlash カードを使用)
- マスタ SPI x 4
- オフボード デバイスを用いたマスタ SPI x 4
- リニア BPI フラッシュ

FPGA のコンフィギュレーションの詳細は、『コンフィギュレーション オプション』を参照してください。

モード スイッチ SW1 (54 ページの表 1-30 参照) は、System ACE CF デフォルト設定の **10 = Slave SelectMAP** に設定されます。

参考資料

詳細は、『Spartan-6 FPGA コンフィギュレーション ガイド』を参照してください。[参照 2]

I/O 電圧範囲

XC6SLX45T-3FGG484 デバイスには、4 つのバンクがあります。バンク 0、1、および 2 は、2.5V I/O に接続されます。バンク 3 は、Spartan-6 FPGA のハード メモリ コントローラ用の 1.5V DDR3 コンポーネント メモリ インターフェイスに使用されます。表 1-2 に、SP605 ボードで使用される FPGA I/O バンクの電圧を示します。

表 1-2 : FPGA バンクの I/O 電圧範囲

FPGA バンク	I/O 電圧範囲
0	2.5V
1	2.5V
2	2.5V
3	1.5V

参考資料

ザイリックス Spartan-6 FPGA デバイスに関する詳細は、
<http://www.xilinx.com/support/documentation/spartan-6.htm> を参照してください。

2. 128 MB DDR3 コンポーネント メモリ

SP605 ボードは、128MB の DDR3 メモリを備えています。Micron 社の 1Gb MT41J64M16LA-187E (96 ボール) DDR3 メモリ コンポーネントは、LX45T デバイスのバンク 3 を使用してアクセスできます。Spartan-6 FPGA ハード メモリ コントローラは、SSTL15 信号の送受信によって DDR3 メモリ インターフェイスの 16 ビット データ バス全域にわたるデータ転送に使用されます。サポートされる最高データ レートは 800Mb/s で、メモリ クロックは 400MHz で動作します。表 1-3 および表 1-4 で示すように、シグナル インテグリティは、DDR3 抵抗終端およびメモリのオンダイ終端 (ODT) を使用して保持されます。

表 1-3：終端抵抗の要件

信号名	ボード 終端	ODI (オンダイ終端)
MEM1_A[14:0]	V_{TT} へは 49.9 Ω	—
MEM1_BA[2:0]	V_{TT} へは 49.9 Ω	—
MEM1_RAS_N	V_{TT} へは 49.9 Ω	—
MEM1_CAS_N	V_{TT} へは 49.9 Ω	—
MEM1_WE_N	V_{TT} へは 49.9 Ω	—
MEM1_CS_N	V_{TT} へは 100 Ω	—
MEM1_CKE	GND へは 4.7K Ω	—
MEM1_ODT	GND へは 4.7K Ω	—
MEM1_DQ[15:0]	—	ODT
MEM1_UDQS[P,N], MEM1_LDQS[P,N]	—	ODT
MEM1_UDM, MEM1_LDM	—	ODT
MEM1_CK[P,N]	メモリ コンポーネントでは 100 Ω の差動	—

メモ：

1. DDR3 インターフェイスの V_{TT} の公称値は、0.75V です。

表 1-4：FPGA オンチップ (OCT) 終端の外部レジスタ要件

U1 FPGA ピン	FPGA ピン番号	OCT のボード接続
ZIO	P3	未接続
RZQ	L6	GROUND へは 100 Ω

表 1-5 に、DDR3 コンポーネント メモリの接続およびピン番号を示します。

表 1-5 : DDR2 コンポーネント メモリの接続

U1 FPGA ピン	回路図のネット名	メモリ U42	
		ピン番号	ピン名
K2	MEM1_A0	N3	A0
K1	MEM1_A1	P7	A1
K5	MEM1_A2	P3	A2
M6	MEM1_A3	N2	A3
H3	MEM1_A4	P8	A4
M3	MEM1_A5	P2	A5
L4	MEM1_A6	R8	A6
K6	MEM1_A7	R2	A7
G3	MEM1_A8	T8	A8
G1	MEM1_A9	R3	A9
J4	MEM1_A10	L7	A10/AP
E1	MEM1_A11	R7	A11
F1	MEM1_A12	N7	A12/BCN
J6	MEM1_A13	T3	NC/A13
H5	MEM1_A14	T7	NC/A14
J3	MEM1_BA0	M2	BA0
J1	MEM1_BA1	N8	BA1
H1	MEM1_BA2	M3	BA2
R3	MEM1_DQ0	G2	DQ6
R1	MEM1_DQ1	H3	DQ4
P2	MEM1_DQ2	E3	DQ0
P1	MEM1_DQ3	F2	DQ2
L3	MEM1_DQ4	H7	DQ7
L1	MEM1_DQ5	H8	DQ5
M2	MEM1_DQ6	F7	DQ1
M1	MEM1_DQ7	F8	DQ3
T2	MEM1_DQ8	C2	DQ11
T1	MEM1_DQ9	C3	DQ9
U3	MEM1_DQ10	A2	DQ13
U1	MEM1_DQ11	D7	DQ8

表 1-5：DDR2 コンポーネント メモリの接続 (続き)

U1 FPGA ピン	回路図のネット名	メモリ U42	
		ピン番号	ピン名
W3	MEM1_DQ12	A3	DQ15
W1	MEM1_DQ13	C8	DQ10
Y2	MEM1_DQ14	B8	DQ14
Y1	MEM1_DQ15	A7	DQ12
H2	MEM1_WE_B	L3	WE_B
M5	MEM1_RAS_B	J3	RAS_B
M4	MEM1_CAS_B	K3	CAS_B
L6	MEM1_ODT	K1	ODT
K4	MEM1_CLK_P	J7	CLK_P
K3	MEM1_CLK_N	K7	CLK_N
F2	MEM1_CKE	K9	CKE
N3	MEM1_LDQS_P	F3	LDQS_P
N1	MEM1_LDQS_N	G3	LDQS_N
V2	MEM1_UDQS_P	C7	UDQS_P
V1	MEM1_UDQS_N	B7	UDQS_N
N4	MEM1_LDM	E7	LDM
P3	MEM1_UDM	D3	UDM
E3	MEM1_RESET_B	T2	RESET_B

参考資料

詳細は、Micron Technology 社が提供している DDR3 SDRAM の仕様書を参照してください。

[\[参照 12\]](#)

その他の詳細は、『Spartan-6 FPGA メモリ コントローラ ユーザー ガイド』を参照してください。

[\[参照 3\]](#)

3. SPI x4 フラッシュ

ザイリンクス Spartan-6 FPGA は、ザイリンクス iMPACT コンフィギュレーション ツールから確認できる SPI インターフェイスのホストとして機能します。SPI メモリ デバイスは 3.0V で動作します。Spartan-6 FPGA の I/O は 3.3V 耐性があり、2.5V バンクにおいて SPI フラッシュへ直接アクセスできる電氣的互換性を持っています。XC6SLX45T-3FGG484 は、外部 SPI フラッシュ メモリ デバイスへアクセスする場合にはマスタ デバイスとなります。

SP605 SPI インターフェイスには、並列接続のコンフィギュレーション オプションが 2 種類あります (図 1-3 参照)。それらは、64Mb の SPI X4 (Winbond 社の W25Q64VFIG) フラッシュ メモリ デバイス (U32) とフラッシュ プログラミング ヘッド (J17) です。J17 は、ユーザー指定の SPI メザニン ボードをサポートします。SPI コンフィギュレーション ソースは、SPI セレクト ジャンパ J15 を使用して選択します。FPGA のコンフィギュレーションの詳細は、「[コンフィギュレーション オプション](#)」を参照してください。

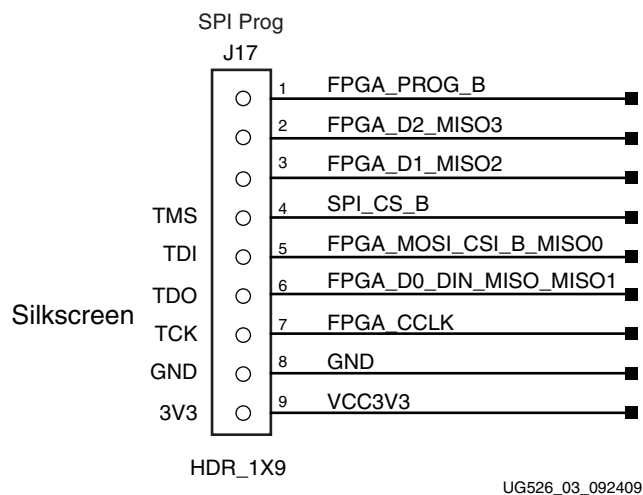


図 1-3 : J17 SPI フラッシュ プログラミング ヘッド

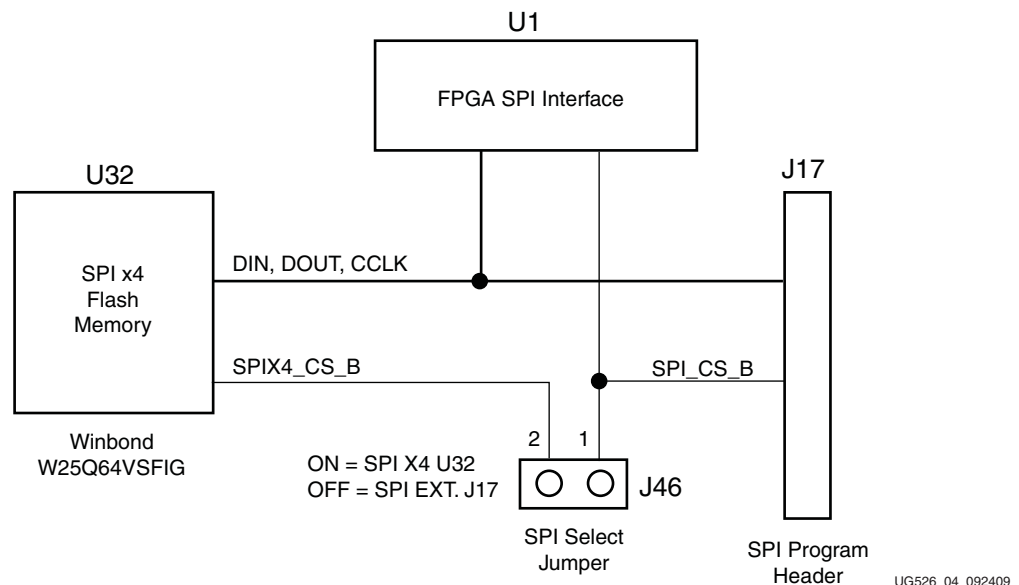


図 1-4 : SPI フラッシュ インターフェイス トポロジ

表 1-6：SPI x4 メモリ接続

U1 FPGA ピン	回路図のネット名	SPI MEM U32		SPI HDR J17	
		ピン #	ピン名	ピン #	ピン名
AB2	FPGA_PROG_B	–	–	1	–
T14	FPGA_D2_MISO3	1	IO3_HOLD_B	2	–
R13	FPGA_D1_MISO2_R	9	IO2_WP_B	3	–
AA3	SPI_CS_B	–	–	4	TMS
AB20	FPGA_MOSI_CSI_B_MISO0	15	DIN	5	TDI
AA20	FPGA_D0_DIN_MISO_MISO1	8	IO1_DOUT	6	TDO
Y20	FPGA_CCLK	16	CLK	7	TCK
–	–	–	–	8	GND
–	–	–	–	9	VCC3V3
J46.2 ⁽¹⁾	SPIX4_CS_B	7	CS_B	–	–

メモ：

1. U1 FPGA ピンではありません。

参考資料

詳細は、Winbond 社が提供する『Serial Flash Memory Data Sheet』を参照してください。[参照 13]

詳細は、『XPS Serial Peripheral Interface Data Sheet』を参照してください。[参照 4]

4. リニア BPI フラッシュ

Numonyx 社の JS28F256P30 リニア フラッシュ メモリ (U25) (図 1-5 参照) は、32MB の不揮発性メモリであり、ソフトウェアやコンフィギュレーション情報の格納に使用されます。リニア フラッシュは非同期モードで動作します。

FPGA のコンフィギュレーションの詳細は、「[コンフィギュレーション オプション](#)」を参照してください。

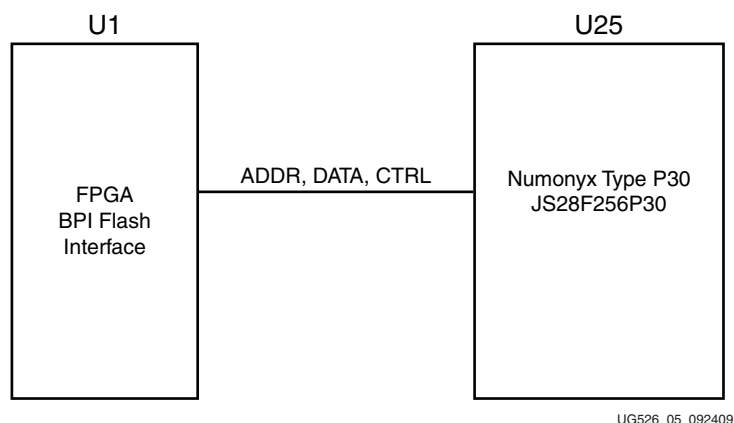


図 1-5 : リニア BPI フラッシュ インターフェイス

表 1-7 : BPI メモリの接続

U1 FPGA ピン	回路図のネット名	U25 BPI フラッシュ	
		ピン番号	ピン名
N22	FLASH_A0	29	A1
N20	FLASH_A1	25	A2
M22	FLASH_A2	24	A3
M21	FLASH_A3	23	A4
L19	FLASH_A4	22	A5
K20	FLASH_A5	21	A6
H22	FLASH_A6	20	A7
H21	FLASH_A7	19	A8
L17	FLASH_A8	8	A9
K17	FLASH_A9	7	A10
G22	FLASH_A10	6	A11
G20	FLASH_A11	5	A12
K18	FLASH_A12	4	A13
K19	FLASH_A13	3	A14
H20	FLASH_A14	2	A15

表 1-7：BPI メモリの接続 (続き)

U1 FPGA ピン	回路図のネット名	U25 BPI フラッシュ	
		ピン番号	ピン名
J19	FLASH_A15	1	A16
E22	FLASH_A16	55	A17
E20	FLASH_A17	18	A18
F22	FLASH_A18	17	A19
F21	FLASH_A19	16	A20
H19	FLASH_A20	11	A21
H18	FLASH_A21	10	A22
F20	FLASH_A22	9	A23
G19	FLASH_A23	26	A24
AA20	FPGA_D0_DIN_MISO_MISO1	34	DQ0
R13	FPGA_D1_MISO2	36	DQ1
T14	FPGA_D2_MISO3	39	DQ2
AA6	FLASH_D3	41	DQ3
AB6	FLASH_D4	47	DQ4
Y5	FLASH_D5	49	DQ5
AB5	FLASH_D6	51	DQ6
W9	FLASH_D7	53	DQ7
T7	FLASH_D8	35	DQ8
U6	FLASH_D9	37	DQ9
AB19	FLASH_D10	40	DQ10
AA18	FLASH_D11	42	DQ11
AB18	FLASH_D12	48	DQ12
Y13	FLASH_D13	50	DQ13
AA12	FLASH_D14	52	DQ14
AB12	FLASH_D15	54	DQ15
V13	FMC_PWR_GOOD_FLASH_RST_B	44	RST_B
R20	FLASH_WE_B	14	WE_B
P22	FLASH_OE_B	32	OE_B
P21	FLASH_CE_B	30	CE_B

表 1-7 : BPI メモリの接続 (続き)

U1 FPGA ピン	回路図のネット名	U25 BPI フラッシュ	
		ピン番号	ピン名
T19	FLASH_ADV_B	46	ADV_B
T18	FLASH_WAIT	56	WAIT

コンフィギュレーション フラッシュに関する FPGA 設計の考察事項

FPGA のコンフィギュレーション後、FPGA デザインではコンフィギュレーション フラッシュを無効にしたり、コンフィギュレーション フラッシュにコードやデータの読み出し/書き込み動作を実行させることが可能です。

FPGA デザインでコンフィギュレーション フラッシュを使用しない場合は、FLASH_OE_B ピンを High 駆動し、コンフィギュレーション フラッシュを無効にして停止状態、つまり低電力状態にする必要があります。High 駆動しない場合は、フラッシュ メモリがアレイ データをデータ バスに送信できる状態となり、不要なスイッチング ノイズや電力消費が発生します。

FPGA デザインがフラッシュへアクセスし、格納されているコードやデータへの読み出し/書き込み動作を実行する場合は、19 ページの表 1-7 に定義されている任意のピンを使用して FPGA デザイン (つまり EDK エンベデッド メモリ コントローラ (EMC) ペリフェラル) をフラッシュへ接続してください。

参考資料

詳細は、Numonyx 社が提供する『StrataFlash Embedded Memory Data Sheet』を参照してください。
[参照 14]

その他の詳細は、『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』を参照してください。
[参照 2]

5. System ACE CF および CompactFlash コネクタ

ザイリンクスの System ACE CompactFlash (CF) コンフィギュレーション コントローラは、タイプ I またはタイプ II の CompactFlash カードを使用して JTAG ポートから FPGA をプログラム可能にします。JTAG ポート経由では、ハードウェア データとソフトウェア データの両方がダウンロード可能です。System ACE CF コントローラは、1 つの CompactFlash カードに最大 8 つのコンフィギュレーション イメージを格納できます。ユーザーはコンフィギュレーション アドレス スイッチを使用し、8 つのコンフィギュレーション イメージの 1 つを選択して使用できます。

ボードに付属する CompactFlash (CF) カードは、CompactFlash (CF) コントローラがカード内に格納されたデータへアクセスできるよう適切にフォーマットされています。System ACE CF コントローラは、1 つのリザーブ セクタのみ許可され、1 つのクラスタに 2 個以上のセクタ (UnitSize は 512 以上) がある FT16 ファイル システムが必要です。FAT16 ファイル システムは最大 2GB までのパーティションをサポートします。複数のパーティションを使用する場合は、CompactFlash の最初のパーティションに System ACE CF ディレクトリ構造が必要となり、xilinx.sys ファイルはルート ディレクトリに置きます。xilinx.sys ファイルは System ACE CF コントローラで使用され、プロジェクト ディレクトリ構造 (1 つのメイン フォルダの下に 8 つのサブフォルダがあり、それらの中にはコンフィギュレーション イメージを含む 8 つの ACE ファイルが格納されている) を定義します。各サブフォルダには 1 つの ACE ファイルのみ存在します。これらすべてのフォルダ名は、DOS 8.3 形式の短いファイル名形式にする必要があります。つまり、フォルダ名には最大 8 文字のみ含まれ、「<>" \ / |」などの予約文字は含まれません。この DOS 8.3 形式のファイル名制限は、実際の ACE ファイル名には適用されません。

その他のフォルダおよびファイルが、System ACE CF プロジェクトと共に FAT16 パーティション内に存在する場合があります。ただし、ルート ディレクトリには、合計 16 個以上の削除したエントリを含むフォルダやファイル エントリを置かないでください。CompactFlash デバイスを取り外す場合には、CompactFlash デバイスへの読み出し/書き込み動作を安全に停止し、データを破損しないように注意が必要です。

System ACE CF のエラー LED とステータス LED が System ACE CF コントローラの動作状態を示します。

- エラー LED の赤色点滅は、CompactFlash カードが検出されていないことを示します。
- エラー LED の赤色点灯は、コンフィギュレーション中にエラーが発生したことを示します。
- ステータス LED の緑色点滅は、コンフィギュレーションが実行中であることを示します。
- ステータス LED の緑色点灯は、正常にダウンロードが完了したことを示します。

モード ピンがマスタ モードに設定されている場合、System ACE CF は FPGA をコンフィギュレーションしないため、モード スイッチ SW1 を設定する必要があります (54 ページの表 1-30 参照)。マスタ モード コンフィギュレーションの失敗は INIT_B ピンを Low 駆動するため、System ACE CF がコンフィギュレーション ACE ファイルをダウンロードできなくなります。System ACE CF がコンフィギュレーションできるようにするには、FPGA モードピンを表 1-30 に従って設定する必要があります。

モード スイッチ SW1 を 10 (つまり、スレーブ SelectMAP、表 1-30 参照) に設定した場合、Compact Flash (CF) カードが CF ソケット U37 にインストールされると、System ACE CF はイメージ セレクト スイッチ S1 で選択した CF カード イメージのアドレスからビットストリームをロードします。

CompactFlash カードが System ACE CF ソケットに挿入されるたびに、コンフィギュレーション動作が開始します。System ACE CF リセット ボタンを押すと、FPGA を再プログラムできます。

メモ： System ACE CF の設定は、DIP スイッチ S1 を使用して選択できます。詳細は、45 ページの「17. スイッチ」を参照してください。

System ACE CF MPU ポート (表 1-8 参照) は、FPGA へ接続されます。この接続によって、FPGA は System ACE CF コントローラを使用してシステムを再コンフィギュレーション、あるいは一般的な FAT ファイル システムとして CompactFlash カードへアクセスできます。

表 1-8：System ACE CF の接続

U1 FPGA ピン	回路図のネット名 ⁽¹⁾	U17 XCCACETQ144I	
		ピン番号	ピン名
N6	SYSACE_D0	66	MPD00
N7	SYSACE_D1	65	MPD01
U4	SYSACE_D2	63	MPD02
T4	SYSACE_D3	62	MPD03
P6	SYSACE_D4	61	MPD04
P7	SYSACE_D5	60	MPD05
T3	SYSACE_D6	59	MPD06
R4	SYSACE_D7	58	MPD07

表 1-8 : System ACE CF の接続 (続き)

U1 FPGA ピン	回路図のネット名 ⁽¹⁾	U17 XCCACETQ144I	
		ピン番号	ピン名
V5	SYSACE_MPA00	70	MPA00
V3	SYSACE_MPA01	69	MPA01
P5	SYSACE_MPA02	68	MPA02
P4	SYSACE_MPA03	67	MPA03
H4	SYSACE_MPA04	45	MPA04
G4	SYSACE_MPA05	44	MPA05
D2	SYSACE_MPA06	43	MPA06
AA1	SYSACE_MPBRDY	39	MPBRDY
W4	SYSACE_MPCE	42	MPCE
AA2	SYSACE_MPIRQ	41	MPIRQ
T6	SYSACE_MPOE	77	MPOE
T5	SYSACE_MPWE	76	MPWE
G17	SYSACE_CFGTDI	81	CFGTDI
A21	FPGA_TCK	80	CFGTCK
E18	FPGA_TDI	82	CFGTDO
D20	FPGA_TMS	85	CFGTMS
N19	CLK_33MHZ_SYSACE(2)	93	CLK

メモ :

1. U17 System ACE CF コントローラの 3.3V 信号は、TXB0108 レベルシフタ (3.3V から 1.5V へ変換) へ接続されています。レベルシフタの 1.5V 側と U1 FPGA の間のネット名は、オリジナルの名前に _LS が追加された名前に変更されます。
2. System ACE CF のクロックは、U29 32.000MHz オシレータから供給されます。

参考資料

System ACE CF 製品に関する詳細は、

http://japan.xilinx.com/support/documentation/system_ace_solutions.htm から資料を参照してください。

その他の詳細は、『System ACE CompactFlash ソリューションのデータシート』を参照してください。[参照 5]

6. USB JTAG

オンボードの USB-JTAG 間のコンフィギュレーション ロジックを用いて JTAG コンフィギュレーションが可能です。このロジックでは、コンピュータ ホストが USB ケーブルのタイプ A (コンピュータ ホスト側) からタイプ Mini-B (SP605 側) を通って SP605 の JTAG チェーンへアクセスします。図 1-6 に、ボードの JTAG チェーンを示します。JTAG コンフィギュレーションは、モードピンの設定にかかわらず常時可能です。JTAG を使用するコンフィギュレーションは、モードピンの設定よりも優先されます。

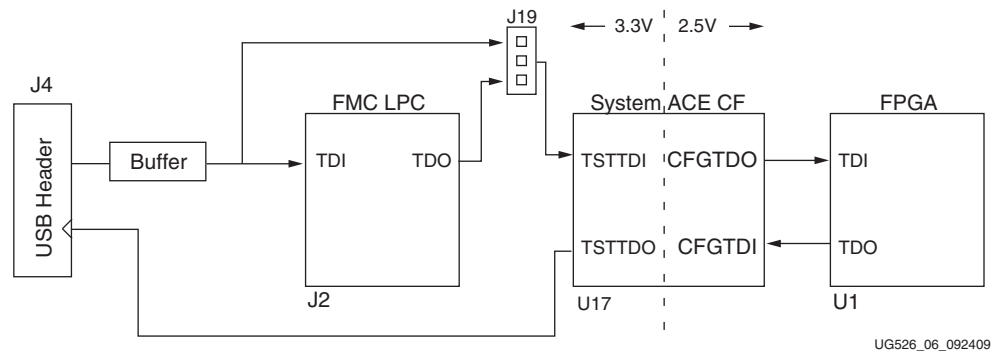


図 1-6：JTAG チェーン

図 1-7 に示すように、JTAG が SP605 ボードの FPGA にアクセスできるようにするため、FMC バイパス ジャンパ J19 は 1 ～ 2 (バイパス) ピンに接続してください (FMC 拡張モジュールがインストールされていない場合)。VITA 57.1 FMC LPC の拡張コネクタに JTAG チェーンを持つ拡張モジュールが接続される場合は、FMC 拡張モジュールの JTAG チェーンが主要な SP605 JTAG チェーンに含まれるように、ジャンパ J19 は 2 ～ 3 ピンに接続する必要があります。

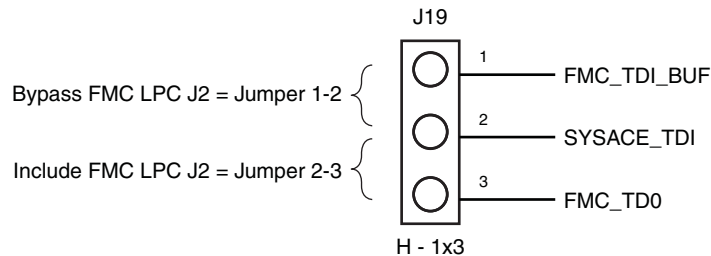


図 1-7：VITA 57.1 FMC LPC (J2) の JTAG バイパス ジャンパ J19

JTAG チェーンを使用すると、FPGA のプログラミングやハードウェア/ソフトウェアのデバッグが可能になります。

JTAG コネクタ (USB Mini-B J4) によって、ホスト コンピュータはザイリンクスの iMPACT ソフトウェア ツールを使用して FPGA ヘビットストリームをダウンロードできます。また、JTAG コネクタを介することで、ChipScope® Pro Analyzer ツールやソフトウェア デバッグなどのデバッグ ツールを使用して FPGA へアクセスできます。iMPACT ソフトウェア ツールは、USB J4 接続を用いて BPI フラッシュをプログラムすることも可能です。iMPACT は、JTAG を使用して一時的なデザインを FPGA にダウンロードできます。これにより、FPGA の JTAG ポートから FPGA の BPI インターフェイスまでの FPGA 内部接続が可能となります。FPGA 内に一時的にデザインされた接続を介して、iMPACT は、JTAG USB J4 コネクタから間接的に BPI フラッシュをプログラムできます。FPGA のコンフィギュレーションの詳細は、54 ページの「コンフィギュレーション オプション」を参照してください。

7. クロック生成

SP605 では 3 つのクロック ソースが使用できます。

オシレータ (差動)

SP605 は、2.5V LVDS 差動の 200MHz オシレータ (U6) を 1 つ備えており、ボードにハンダ付けされて FPGA グローバル クロック入力に接続されています。

- クリスタル オシレータ : Epson 社製 EG-2121CA-200.0000M-LHPA
- PPM 周波数およびジッタ : 50ppm

参考資料

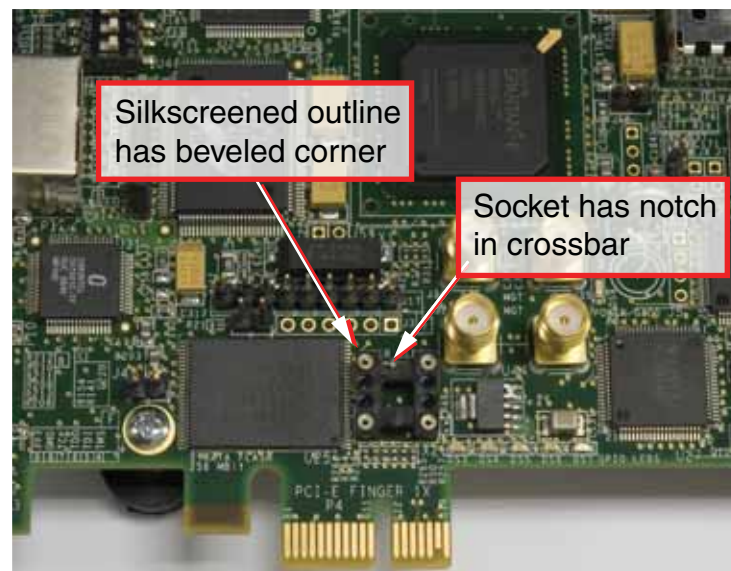
詳細は、『Epson EG-2121CA Data Sheet』を参照してください ([Epson Toyocom](#) の検索ボックスに [EG-2121CA] と入力して検索)。[参照 15]

オシレータ ソケット (シングル エンド、2.5V または 3.3V)

ユーザー アプリケーション向けにシングル エンド クロック ソケット (X2) を提供しています。2.5V または 3.3V 電源オプションは、0 Ω 抵抗を使用して選択できます。SP605 ボードは、オシレータ (27MHz、2.5V) がインストールされた状態で出荷されます。

図 1-8 に、オシレータが実装されていないソケット部分およびソケットのピン 1 の位置を示します。

図 1-9 には、オシレータが実装されたボードおよびピン 1 の位置を示します。



UG526_08_100509

図 1-8 : SP605 X2 オシレータ ソケットのピン 1 の位置



UG526_09_100509

図 1-9：SP605 X2 オシレータのピン 1 の位置

SMA コネクタ (差動)

オンボードの 50Ω SMA コネクタ J38 (N)/J41 (P) を介する差動クロック信号を使用し、FPGA デバイスに高精度クロック信号を入力できます。

表 1-9：SP605 クロック ソースの接続

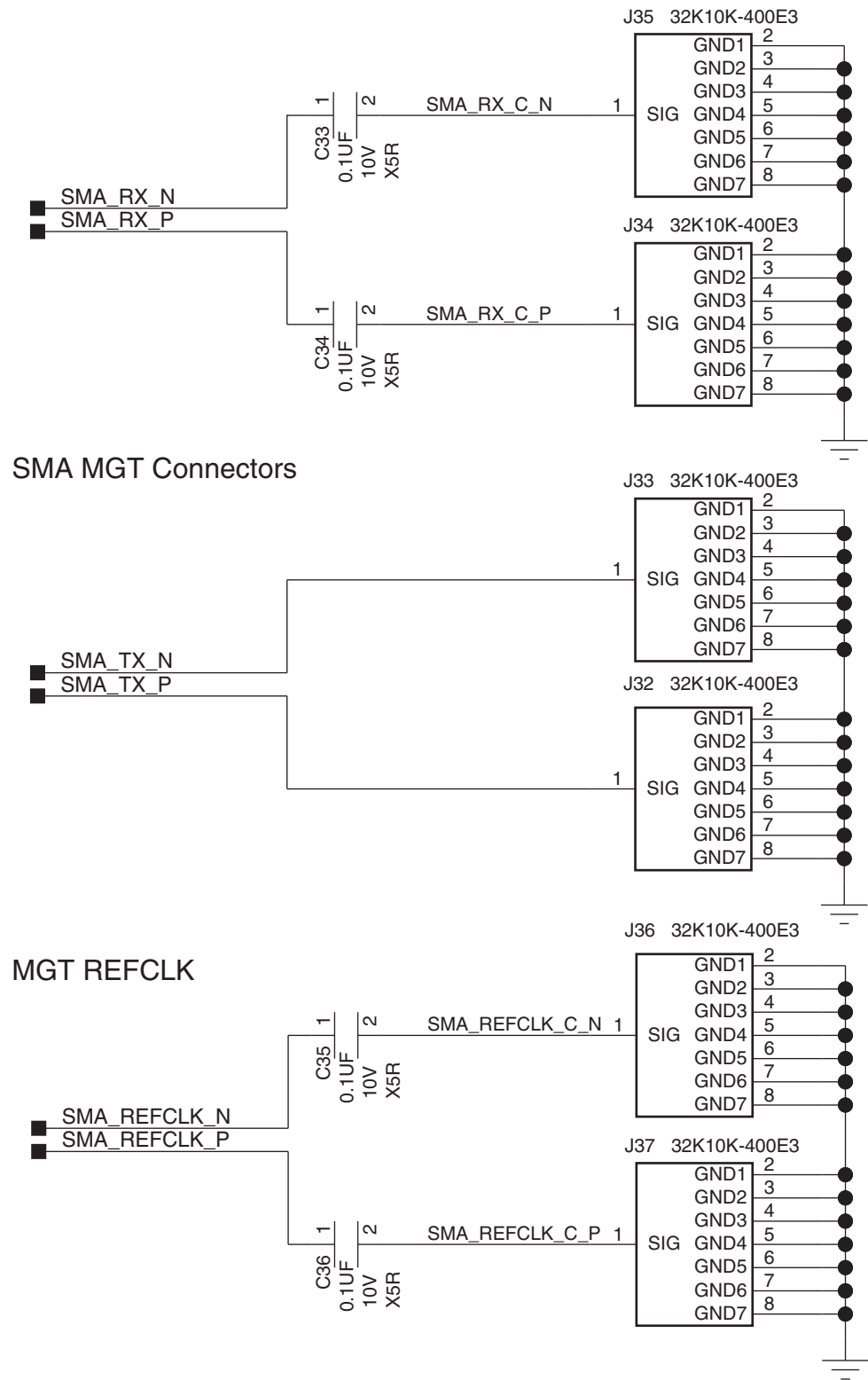
ソース	U1 FPGA ピン	回路図のネット名	ピン番号	ピン名
U6 200MHZ OSC	K22	SYSCCLK_N	5	OUT_B
	K21	SYSCCLK_P	4	OUT
X2 27MHZ OSC	AB13	USER_CLOCK	5	OUT
USER_SMA_CLOCK	M19	USER_SMA_CLOCK_N	J38.1	—
SMA コネクタ	M20	USER_SMA_CLOCK_P	J41.1	—

8. マルチギガビット トランシーバ (GTP MGT)

SP605 は、4 つの MGT へのアクセスが可能です。

- 1 つの MGT は、PCIe x1 Endpoint (P4) のエッジ コネクタ フィンガへ接続します。
- 1 つの MGT は、FMC LPC コネクタ (J2) へ接続します。
- 1 つの MGT は、MGT SMA コネクタ (J36、J37) へ接続します。
- 1 つの MGT は、SFP モジュール コネクタ (P4) へ接続します。

図 1-10 および表 1-10 に示すように、SP605 には、GTP (MGT) RX/TX ポート用および GTP (MGT) クロック用に 6 つの SMA コネクタがあります。



UG526_10_092409

図 1-10 : GTP SMA クロック

表 1-10：GTP SMA クロックの接続

U1 FPGA ピン	回路図のネット名	SMA ピン
C9	SMA_RX_N	J35.1
D9	SMA_RX_P	J34.1
A8	SMA_TX_N	J33.1
B8	SMA_TX_P	J32.1
D11	SMA_REFCLK_N	J36.1
C11	SMA_REFCLK_P	J37.1

9. PCI Express エンドポイントの接続

1 レーン PCIe のエッジ コネクタは、Gen1 アプリケーションの場合 2.5GT/s でデータ転送を実行します。1 秒あたりのビット数がマルチギガビットのシリアル インターフェイスには、Spartan-6 FPGA GTP MGT を使用します。

PCIe レーン上の SP605 ボード トレース インピーダンスは、Gen1 アプリケーションをサポートします。SP605 は Gen1 x1 をサポートします。

表 1-11：PCIe エッジ コネクタの接続

U1 FPGA ピン	回路図のネット名	P4 PCIe エッジ コネクタ	
		ピン番号	ピン名
C7	PCIE_RX0_N	B15	PETn0
D7	PCIE_RX0_P	B14	PETp0
A6	PCIE_TX0_N ⁽¹⁾	A17	PERn0
B6	PCIE_TX0_P ⁽¹⁾	A16	PERp0
–	PCIE_CLK_QO_N ⁽²⁾	A14	REFCLK-
–	PCIE_CLK_QO_P ⁽²⁾	A13	REFCLK+
B10	PCIE_250M_N ⁽³⁾	U48.17 ⁽⁴⁾	NQ
A10	PCIE_250M_P ⁽³⁾	U48.18 ⁽⁴⁾	Q
J7	PCIE_PERST_B_LS	A11	PERST ⁽⁵⁾

メモ：

- 各 TX0_N/P 信号には、直列に接続された 0.1uF のキャパシタが 1 個あります。
- PCIE_CLK_QO_N/P は、PC マザーボードの 100MHZ REFCLK です。
- 各 PCIE_250M_N/P 信号には、直列に接続された 0.1uF のキャパシタが 1 個あります。
- U48 は、ICS874001 クロック乗算器デバイスです (U48.17 または U48.18 は、P4 ピンではありません)。
- ピン P4 からの PERST 信号です。すべての信号は直列抵抗で分離され、FPGA のピン U1.J7 へ接続する前に U52 でレベル変換されます。

PCIe インターフェイスは、SP605 にある DC 電源または 12V ATX 電源コネクタから電源が供給されます。電源接続には PCIe エッジ コネクタは使用されません。

ボードは、2つの12V電源ソースのいずれかから供給できます。1つは、6ピン(2x3)ミニフィットコネクタ(J18)、もう1つは、4ピン(インライン)ATXディスク駆動型コネクタ(J27)です。

6ピンのミニフィットコネクタは、ボード上のAC電源アダプタから60W(12V@5A)を供給します。一方、PCシャーシに4ピンのATXディスク駆動型コネクタがインストールされている場合は、これを使用してボードに電源を供給します。

非常に大きな電力を必要とする拡張カードを使用するアプリケーションなど、追加電力が必要なアプリケーションには、より大規模なACアダプタが必要な場合があります。異なるACアダプタを使用する場合は、負荷レギュレーションが±10%より良いものを使用するようにしてください。

ボードへの12V電源を制御することで、SP605電源スライドスイッチSW2はボードの電源をオン/オフに切り替えます。

注意：ボード破損の原因となりますので、6ピンミニフィットコネクタ(J18)と4ピンATXディスク駆動型コネクタ(J27)へ同時に電源を供給しないでください。また、予備用PCIe 6ピンの電源コネクタをSP605ボード上の6ピンミニフィットコネクタ(J18)へ接続した場合もPCIeマザーボードやSP605ボードの破損の原因となりますので注意が必要です。不注意による破損を防ぐため、6ピンミニフィットコネクタには、PCIe電源に使用できないことを示すラベルが付けられています。

参考資料

詳細は、『Spartan-6 FPGA GTP トランシーバ ユーザー ガイド』を参照してください。[参照 6]

Spartan-6 FPGA PCI Express 用インテグレイテッド エンドポイント ブロックに関する詳細は、次のウェブサイトを参照してください。

- 製品情報：<http://japan.xilinx.com/products/ipcenter/S6 PCI Express Block.htm>
- IP データ シート：
<http://japan.xilinx.com/support/documentation/ipbusinterfacei-o pci-express.htm#131486>

また、PCI Express に関する詳細は、PCI Express の仕様書を参照してください。[参照 16]

10. SFP モジュール コネクタ

ボードには、SFP (small form-factor pluggable) コネクタおよび SFP モジュール用のケージ アセンブリが含まれています。SFP インターフェイスは、FPGA 上の MGT バンク 123 へ接続されます。SFP モジュール シリアル ID インターフェイスは、SFP の IIC バスへ接続されます (詳細は 35 ページの「14. IIC バス」を参照してください)。SFP モジュールの制御信号およびステータス信号は、表 1-12 に示すジャンパおよびテスト ポイントへ接続されます。表 1-13 に、SFP モジュールの接続を示します。

表 1-12 : SFP モジュールの制御およびステータス信号

SFP の制御/ステータス信号	ボード接続
SFP_TX_FAULT	テスト ポイント J15 High = エラー Low = 通常動作
SFP_TX_DISABLE	ジャンパ J44 Off = SFP が有効 On = SFP が無効

表 1-12：SFP モジュールの制御およびステータス信号 (続き)

SFP の制御/ステータス信号	ボード接続
SFP_MOD_DETECT	テスト ポイント J16 High = モジュールが存在しない Low = モジュールが存在する
SFP_RT_SEL	ジャンパ J22 ジャンパ ピン 1-2 = 全帯域幅 ジャンパ ピン 2-3 = 帯域幅が減少
SFP_LOS	テスト ポイント J14 High = 受信信号の喪失 Low = 通常動作

表 1-13：SFP モジュール コネクタ

U1 FPGA ピン	回路図のネット名	P2 SFP モジュール コネクタ	
		ピン番号	ピン名
D13	SFP_RX_P	13	RDP
C13	SFP_RX_N	12	RDN
B14	SFP_TX_P	18	TDP
A14	SFP_TX_N	19	TDN
T17	SFP_LOS	8	LOS
Y8	SFP_TX_DISABLE_FPGA	3	TX_DISABLE
A12	SFPCLK_QO_N ⁽¹⁾	U47.6 ⁽²⁾	-
B12	SFPCLK_QO_P ⁽¹⁾	U47.7 ⁽²⁾	-

メモ：

1. 125MHz SFP クロックは、クロック ドライバ U47 から供給されます。
2. P2 SFP モジュール ピンではありません。

11. 10/100/1000 トライスピード イーサネット PHY

SP605 は、Marvell 社製 オンボード Alaska PHY デバイス (88E1111) を使用して 10/100/1000Mb/s でのイーサネット通信を行います。FPGA と PHY の間は GMII インターフェイスをサポートします。イーサネット ケーブルに接続する PHY は、Halo 社の内蔵マグネティックス付き HFJ11-1G01E RJ-45 コネクタを介して使用します。

起動時およびリセット時には、PHY は表 1-14 に示す設定を使用して PHY アドレス 0b00111 において GMII モードで動作するように設定されています。これらの設定は、MDIO インターフェイスに渡されるソフトウェア コマンドを使用して上書き可能です。

表 1-14 : PHY コンフィギュレーション ピン

ピン	ボード上の接続	ビット[2] 定義および値	ビット[1] 定義および値	ビット[0] 定義および値
CFG2	V _{CC} 2.5V	ANEG[3] = 1	ANEG[2] = 1	ANEG[1] = 1
CFG3	V _{CC} 2.5V	ANEG[0] = 1	ENA_XC = 1	DIS_125 = 1
CFG4	V _{CC} 2.5V	HWCFG_MD[2] = 1	HWCFG_MD[1] = 1	HWCFG_MD[0] = 1
CFG5	V _{CC} 2.5V	DIS_FC = 1	DIS_SLEEP = 1	HWCFG_MD[3] = 1
CFG6	PHY_LED_RX	SEL_BDT = 0	INT_POL = 1	75/50Ω = 0

表 1-15 に、PHY の接続およびピン番号を示します。

表 1-15 : イーサネット PHY の接続

U1 FPGA ピン	回路図のネット名	U46 M88E111	
		ピン番号	ピン名
V20	PHY_MDIO	33	MDIO
R19	PHY_MDC	35	MDC
J20	PHY_INT	32	INT_B
J22	PHY_RESET	36	RESET_B
N15	PHY_CRS	115	CRS
M16	PHY_COL	114	COL
P20	PHY_RXCLK	7	RXCLK
U20	PHY_RXER	8	RXER
T22	PHY_RXCTL_RXDV	4	RXDV
P19	PHY_RXD0	3	RXD0
Y22	PHY_RXD1	128	RXD1
Y21	PHY_RXD2	126	RXD2
W22	PHY_RXD3	125	RXD3
W20	PHY_RXD4	124	RXD4
V22	PHY_RXD5	123	RXD5

表 1-15：イーサネット PHY の接続 (続き)

U1 FPGA ピン	回路図のネット名	U46 M88E111	
		ピン番号	ピン名
V21	PHY_RXD6	121	RXD6
U22	PHY_RXD7	120	RXD7
AB7	PHY_TXC_GTPCLK	14	GTCLK
L20	PHY_TXCLK	10	TXCLK
U8	PHY_TXER	13	TXER
T8	PHY_TXCTL_TXEN	16	TXEN
U10	PHY_TXD0	18	TXD0
T10	PHY_TXD1	19	TXD1
AB8	PHY_TXD2	20	TXD2
AA8	PHY_TXD3	24	TXD3
AB9	PHY_TXD4	25	TXD4
Y9	PHY_TXD5	26	TXD5
Y12	PHY_TXD6	28	TXD6
W12	PHY_TXD7	29	TXD7

参考資料

詳細は、Marvell 社の製品ページ「Alaska Gigabit Ethernet Transceivers」を参照してください。

[\[参照 17\]](#)

また、『LogiCORE™ IP トライモード イーサネット MAC ユーザー ガイド』も参照してください。

12. USB-UART ブリッジ

SP605 は、Silicon Laboratories 社の CP2103GM USB-UART 間ブリッジ デバイス (U4) を内蔵しているため、USB ケーブルでホスト コンピュータに接続可能です。USB ケーブルは、この評価キットに付属されています (タイプ A はホスト コンピュータへ、タイプ Mini-B は SP605 コネクタ J23 へ接続)。表 1-16 に、SP605 J23 ピン配置の詳細を示します。

ザイリンクス UART IP コア (例: XPS UART Lite) は、FPGA デバイスにインプリメントするものです。FPGA は、4 つの信号ピン (送信 (TX)、受信 (RX)、送信要求 (RTS)、送信クリア (CTS)) を使用して USB-UART ブリッジをサポートします。

Silicon Laboratories 社は、無償の仮想 COM ポート (VCP) ドライバを提供しています。この VCP ドライバで、CP2103GM USB-UART 間ブリッジは、ホスト コンピュータの通信アプリケーションソフトウェア (たとえば、HyperTerm または TeraTerm) で COM ポートとして認識されます。SP605 を使用して通信を確立する前にホスト PC に VCP デバイス ドライバをインストールする必要があります。ドライバインストールの手順は、『SP605 スタートアップガイド』を参照してください。

表 1-16 : USB タイプ B ピンの割り当ておよび信号の定義

USB コネクタ ピン	信号名	説明
1	VBUS	ホスト システムから +5V (使用されません)
2	USB_DATA_N	双方向差動シリアル データ (N 側)
3	USB_DATA_P	双方向差動シリアル データ (P 側)
4	グラウンド	シグナル グラウンド

表 1-17 : USB-UART 間の接続

U1 FPGA ピン	FPGA 内での UART の機能	回路図のネット名	U30 CP2103GM ピン	CP2103GM 内での UART の機能
F18	RTS、出力	USB_1_CTS	22	CTS、入力
F19	CTS、入力	USB_1_RTS	23	RTS、出力
B21	TX、データ出力	USB_1_RX	24	RXD、データ入力
H17	RX、データ入力	USB_1_TX	25	TXD、データ出力

メモ :

1. 回路図のネット名は、CP2103GM のピン名と機能に対応しています。それに応じての UART IP を接続してください。

参考資料

CP2103GM および VCP ドライバに関する技術的な詳細は、[Silicon Laboratories](http://www.siliconlabs.com) 社のウェブサイト参照してください。

ザイリンクスの UART IP コアの仕様については、次の資料を参照してください。

- http://japan.xilinx.com/support/documentation/ip_documentation/xps_uartlite.pdf
- http://japan.xilinx.com/support/documentation/ip_documentation/xps_uart16550.pdf

13. DVI CODEC

ボード上にある DVI コネクタ (P3) は、外部ビデオ モニタをサポートします。DVI 回路は、24 ビットカラー、解像度 1600 X 1200 の Chrontel 社製 CH7301C を使用します。ビデオ インターフェイス チップは、DVI コネクタへのデジタル信号およびアナログ信号の両方を駆動します。DVI モニタは、ボードに直接接続できます。また、DVI-VGA アダプタを使用すると VGA モニタもボードに接続できます。Chrontel 社製の CH7301C は、IIC バスを使用して制御されます。

DVI コネクタ (表 1-18 参照) は IIC プロトコルをサポートしているため、モニタのコンフィギュレーション パラメータをボードで読み出すことが可能です。これらのパラメータは、DVI IIC バスを使用して FPGA で読み出すことができます (35 ページの「14. IIC バス」参照)。

表 1-18 : DVI コントローラの接続

U1 FPGA ピン	回路図のネット名	Chrontel 社製 CH7301C (U31)	
		ピン番号	ピン名
K16	DVI_D0	63	D0
U19	DVI_D1	62	D1
T20	DVI_D2	61	D2
N16	DVI_D3	60	D3
P16	DVI_D4	59	D4
M17	DVI_D5	58	D5
M18	DVI_D6	55	D6
R15	DVI_D7	54	D7
R16	DVI_D8	53	D8
P17	DVI_D9	52	D9
P18	DVI_D10	51	D10
R17	DVI_D11	50	D11
J17	DVI_DE	2	DE
J16	DVI_H	4	H
L15	DVI_RESET_B	13	RESET_B
B22	DVI_V	5	V
C22	DVI_XCLK_N	56	XCLK_N
C20	DVI_XCLK_P	57	XCLK_P
未接続	DVI_GPIO0	8	GPIO0
D22	DVI_GPIO1	7	GPIO1

14. IIC バス

SP605 は、3つの IIC バス インターフェイスを FPGA に実装しています。

MAIN IIC バスは、次の4つの接続に対するホストとなります。

- FPGA (U1) BANK 1 の MAIN IIC インターフェイス
- 8Kb NV メモリ (U4)
- FMC LPC コネクタ (J2)
- 2 ピンの外部アクセス ヘッド (J45)

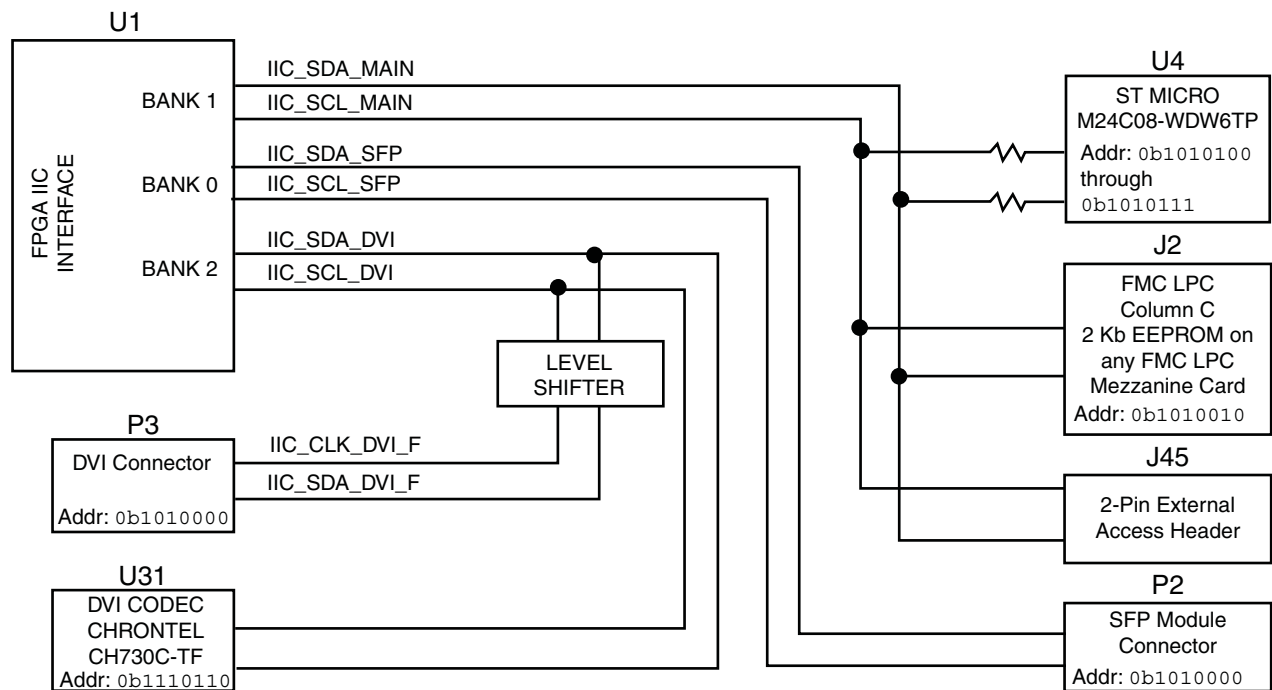
DVI IIC バスは、次の2つの接続に対するホストとなります。

- FPGA (U1) BANK 2 の DVI IIC インターフェイス
- DVI CODEC (U31) および DVI コネクタ (P3)

SFP IIC バスは、次の2つの接続に対するホストとなります。

- FPGA (U1) BANK 0 の SFP IIC インターフェイス
- SFP モジュール コネクタ (P2)

図 1-11 に、SP605 IIC バスのトポロジを示します。



UG526_11_092609

図 1-11 : IIC バスのトポロジ

表 1-19：IIC バスの接続

U1 FPGA ピン	回路図ネット名	接続先	レベルシフトされた接続	レベルシフトされたネット名
R22	IIC_SDA_MAIN	J2.C31、U4.5 ⁽¹⁾	—	—
T21	IIC_SCL_MAIN	J2.C30、U4.6 ⁽¹⁾	—	—
AA4	IIC_SDA_DVI	Q8.2、U31.14	Q8.3、P3.7	IIC_SDA_DVI_F
W13	IIC_SCL_DVI	Q7.2、U31.15	Q7.3、P3.6	IIC_CLK_DVI_F
E6	IIC_SDA_SFP	P2.4	—	—
E5	IIC_SCL_SFP	P2.5	—	—

メモ：

- U4 の IIC バス信号には、 0Ω の抵抗が付いています。
- 記号の説明
J2 = FMC LPC コネクタ
P2 = SFP モジュール コネクタ
P3 = DVI コネクタ
Qn.n = レベルシフト トランジスタ
U31 = Chrontel 社製の CH7301C

8Kb NV メモリ

SP605 は、ST Microelectronics 社の M24C08-WDW6TP (8Kb 用)、IIC パラメータ格納メモリ デバイス (U4) をサポートします。U4 の IIC アドレスは `0b1010100` で、ライト プロテクトされています (WP ピン 7 は GND に固定)。

図 1-12 に、IIC メモリを示します。

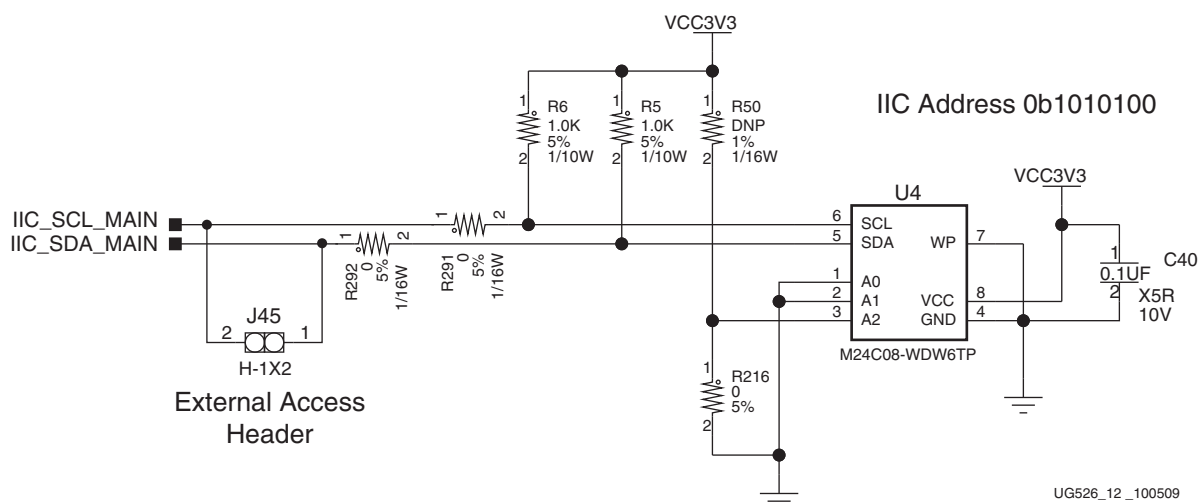


図 1-12：IIC メモリ U4 の接続

表 1-20 : IIC メモリの接続

U1 FPGA ピン	回路図ネット名	IIC メモリ U4	
		ピン番号	ピン名
N/A	GND に固定	1	A0
N/A	GND に固定	2	A1
N/A	(0Ω) を VCC3V3 にプルアップ	3	A2
R22	IIC_SDA_MAIN	5	SDA
T21	IIC_SCL_MAIN	6	SCL
N/A	GND に固定	7	WP

参考資料

詳細は、ST Micro 社の『M24C08 Data Sheet』を参照してください。[参照 18]

その他の詳細は、ザイリンクスの『XPS IIC バス インターフェイス データシート』を参照してください。[参照 8]

15. ステータス LED

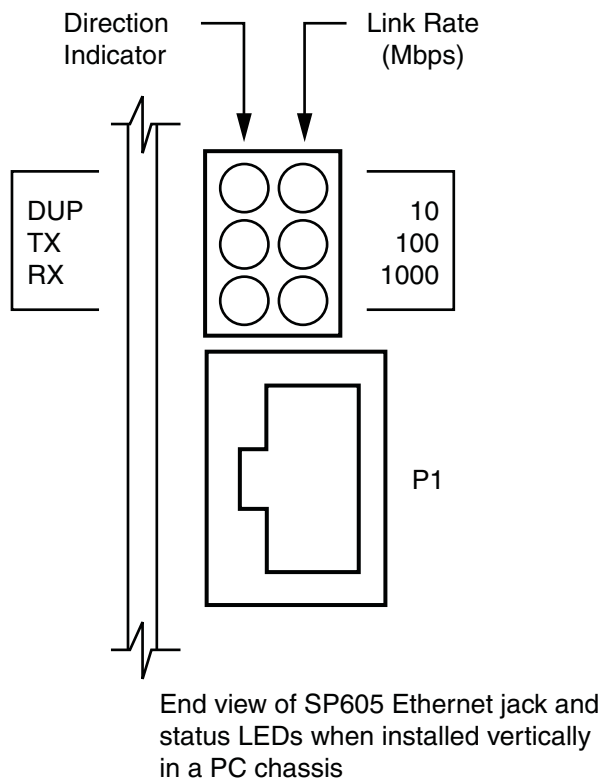
表 1-21 に、ステータス LED の定義を示します。

表 1-21 : ステータス LED

リファレンス 番号	信号名	色	ラベル	説明
DS1	FMC_PWR_GOOD_FLASH_RST_B	緑	FMC PWR GD	FMC の電源がオン
DS2	FPGA_DONE	緑	DONE	FPGA のコンフィギュレーション完了
DS3	GPIO_LED_0	緑		GPIO_LED_0
DS4	GPIO_LED_1	緑		GPIO_LED_1
DS5	GPIO_LED_2	緑		GPIO_LED_2
DS6	GPIO_LED_3	緑		GPIO_LED_3
DS7	FPGA_AWAKE	緑		FPGA AWAKE
DS8	SYSACE_STAT_LED	緑	System ACE CF Status LED	System ACE CF ステータス
DS9	TI_PWRGOOD (AND) MGT_TI_PWRGOOD	緑	POWER GOOD	TI_CORE_PWR+TI_MGT_PWRGOOD
DS10	LED_RED / LED_GRN	赤/緑	STATUS	USB JTAG コントローラのステータス
DS14	VCC12_P	緑	12V	12V の電源がオン
DS15	(U11.9 PGOOD PIN)	緑	DDR3 PWR GD	DDR3 1.5V の電源がオン
DS17	FPGA_INIT_B	赤	INIT	FPGA INIT
DS18	SYSACE_ERR_LED	赤	System ACE CF Error LED	System ACE CF エラー
DS19	MGT_POWERGOOD	緑	MGT_AVCC GD	MGT_AVCC の電源がオン

イーサネット PHY ステータス LED

イーサネット PHY ステータス LED (DS11-DS13) は、SP605 ボードが PC マザーボードへインストールされるときに、ボードのコネクタ エンドで LED を確認できるようにするため、直角に取り付けられたプラスチックの枠に実装されています。6 つの LED クラスタは、RJ45 イーサネットジャック P1 の隣に装置されています。



UG526_13_092409

図 1-13：イーサネット PHY ステータス LED

FPGA INIT および DONE LED

SP605 には、ザイリンクス FPGA の電源投入ステータスおよびコンフィギュレーション ステータスを示す一般的な LED があります。

赤色の INIT LED DS10 は、FPGA の電源投入後に点灯し、内部電源投入プロセス中も点灯状態を維持します。DONE LED DS2 は、FPGA プログラム ビットストリームがダウンロードされて FPGA が正常にコンフィギュレーションされると点灯します。

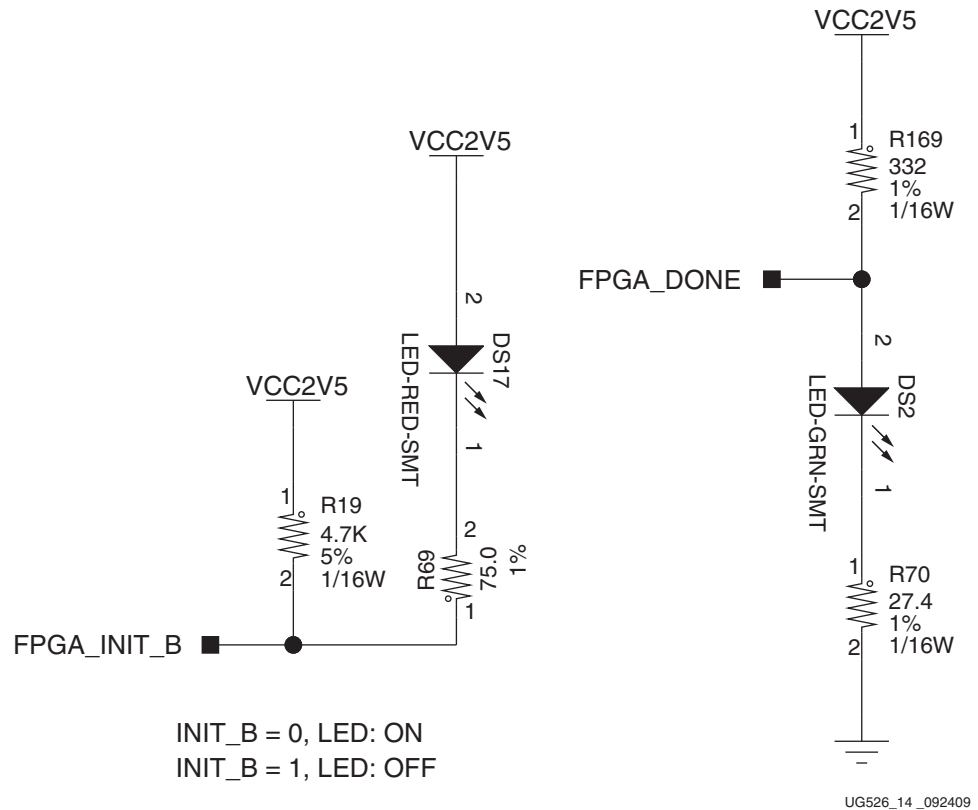


図 1-14 : FPGA INIT および DONE LED

表 1-22 : FPGA INIT および DONE LED の接続

U1 FPGA ピン	回路図のネット名	制御 LED
Y4	FPGA_INIT_B	DS17 INIT、赤色
AB21	FPGA_DONE	DS2 DONE、緑色

16. ユーザー I/O

SP605 は、次のユーザー I/O および汎用 I/O 機能を備えています。

- ユーザー LED
- ユーザー プッシュボタン スイッチ
- ユーザー DIP スイッチ
- ユーザー SIP ヘッド
- ユーザー SMA GPIO

ユーザー LED

図 1-15 および表 1-23 に示すように、SP605 はアクティブ High の緑色の LED を 4 個備えています。

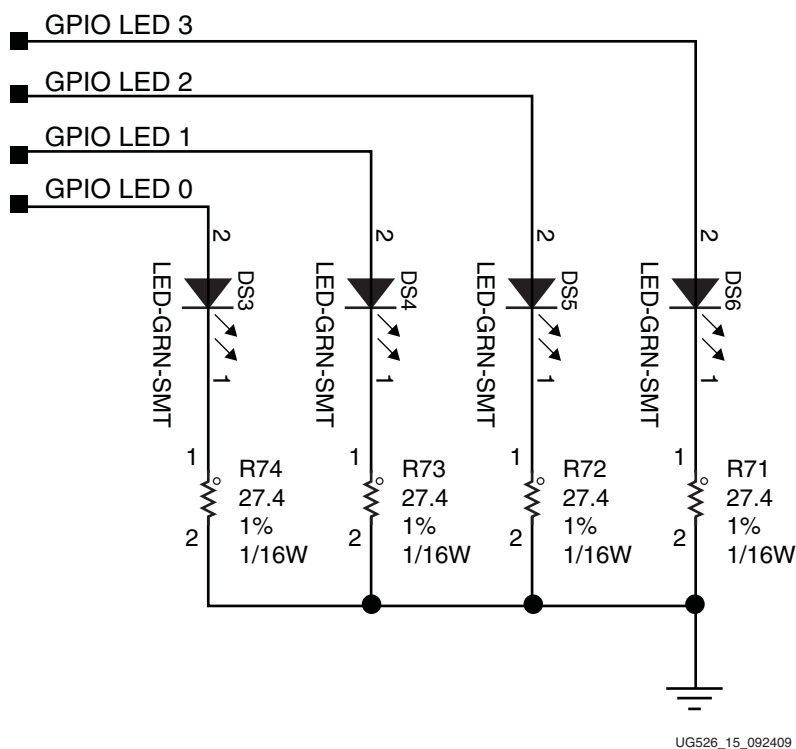


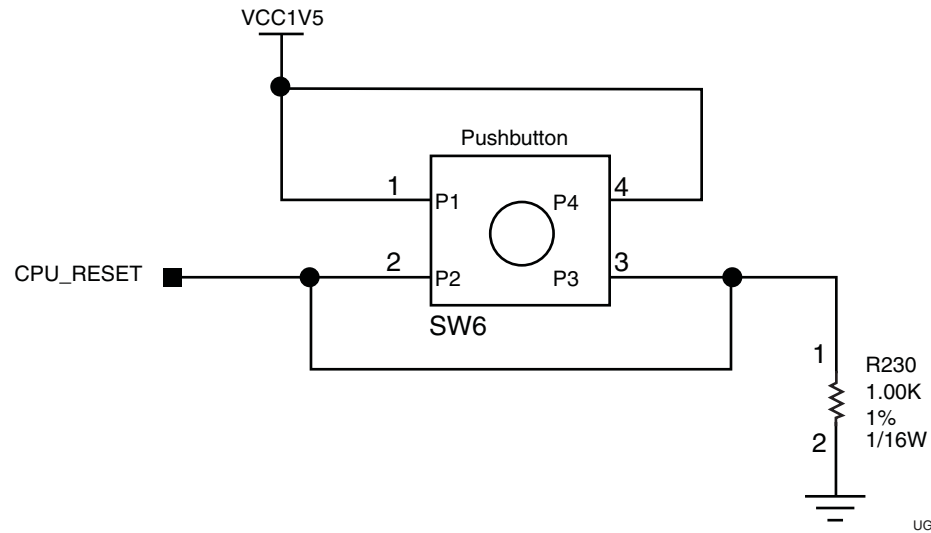
図 1-15：ユーザー LED

表 1-23：ユーザー LED の接続

U1 FPGA ピン	回路図のネット名	制御 LED
D17	GPIO_LED_0	DS3
AB4	GPIO_LED_1	DS4
D21	GPIO_LED_2	DS5
W15	GPIO_LED_3	DS6

ユーザー プッシュボタン スイッチ

SP605 は、5 個のアクティブ High プッシュボタン スイッチ (SW4, SW5, SW6, SW7, および SW8) を備えています。5 つのプッシュボタンはすべて、図 1-16 に示すサンプルと同じトポロジです。4 つのプッシュボタンは GPIO に割り当てられ、5 つ目のプッシュボタンは CPU_RESET に割り当てられます。図 1-16 および表 1-24 で、プッシュボタン スイッチについて説明しています。



UG526_16_092409

図 1-16 : ユーザー プッシュボタン スイッチ (標準)

表 1-24 : プッシュボタン スイッチの接続

U1 FPGA ピン	回路図ネット名	スイッチ ピン
P4	GPIO_BUTTON_0	SW6.2
F6	GPIO_BUTTON_1	SW4.2
E4	GPIO_BUTTON_2	SW5.2
F5	GPIO_BUTTON_3	SW7.2
N4	CPU_RESET	SW9.2

ユーザー DIP スイッチ

図 1-17 および表 1-25 に示すように、SP605 はアクティブ High で 4 極の DIP スイッチを備えています。これらはクローズ状態のとき、3 極 (スイッチ 1 ~ 3) は 2.5V でプルアップされ、1 極 (スイッチ 4) は 1.5V でプルアップされます。

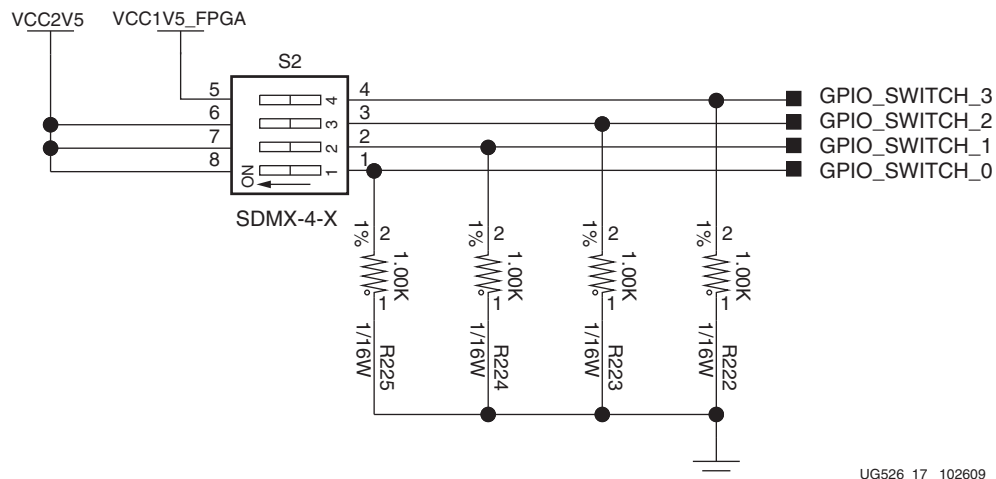


図 1-17：ユーザー DIP スイッチ S2

表 1-25：ユーザー DIP スイッチの接続

U1 FPGA ピン	回路図のネット名	DIP スイッチ ピン
C18	GPIO_SWITCH_0	S2.1
Y5	GPIO_SWITCH_1	S2.2
Y6	GPIO_SWITCH_2	S2.3
E4	GPIO_SWITCH_3	S2.4

ユーザー SIP ヘッド

SP605 には、FPGA GPIO アクセス用に 6 本の SIP オス型ピンヘッド (J55) があります。そのうちの 4 ピンは 200Ω の直列抵抗を介して FPGA へ接続され、残りの 2 ピンは 3.3V と GND に接続されます。図 1-18 および表 1-26 に、J55 ヘッドの詳細を示します。

メモ：このヘッドは、ビルトとして SP605 にインストールされていません。

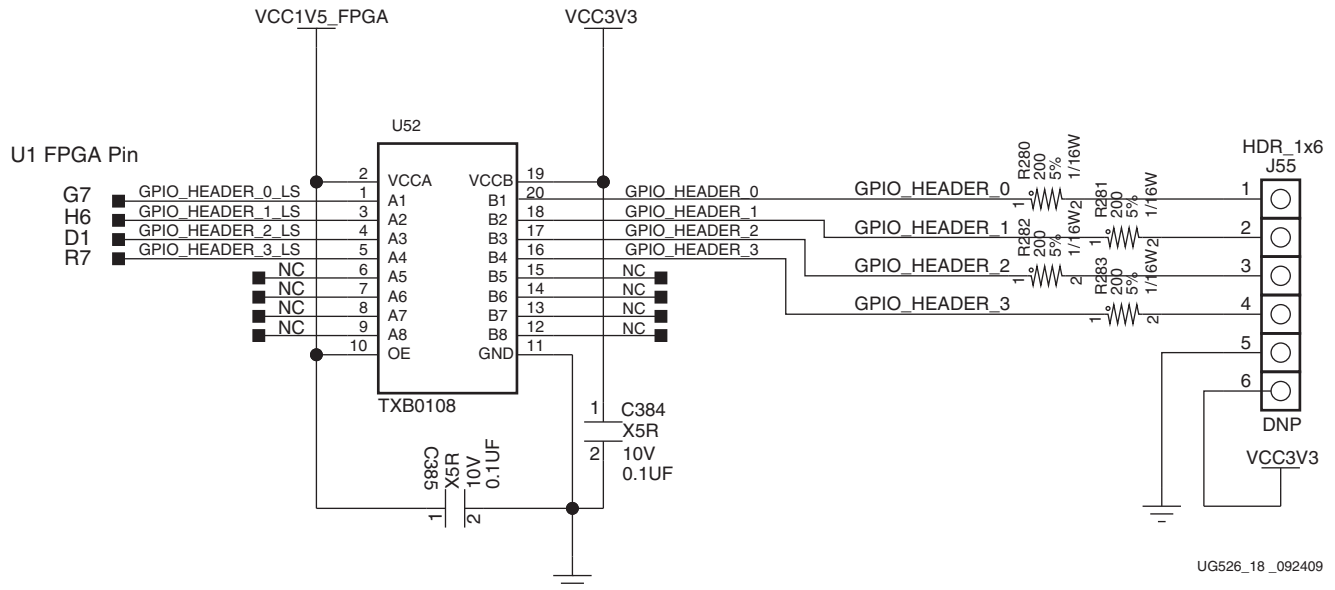


図 1-18 : ユーザー SIP ヘッド J55

表 1-26 : ユーザー SIP ヘッドの接続

U1 FPGA ピン	回路図のネット名	GPIO ヘッド ピン
G7	GPIO_HEADER_0	J55.1
H6	GPIO_HEADER_1	J55.2
D1	GPIO_HEADER_2	J55.3
R7	GPIO_HEADER_3	J55.4
—	GND	J55.5
—	VCC3V3	J55.6

メモ：

1. FPGA から送信される各 GPIO_HEADER_n 信号は、レベル シフタで <netname>_LS という名前に変更され、その後 J55 ヘッドへ送信されます。
2. 各 GPIO_HEADER_n ネットのレベル シフタとヘッド ピンの間には 200Ω の直列抵抗があります。

ユーザー SMA GPIO

図 1-19 および表 1-27 に示すように、SP605 はアクティブ High で 4 極の DIP スイッチを備えています。

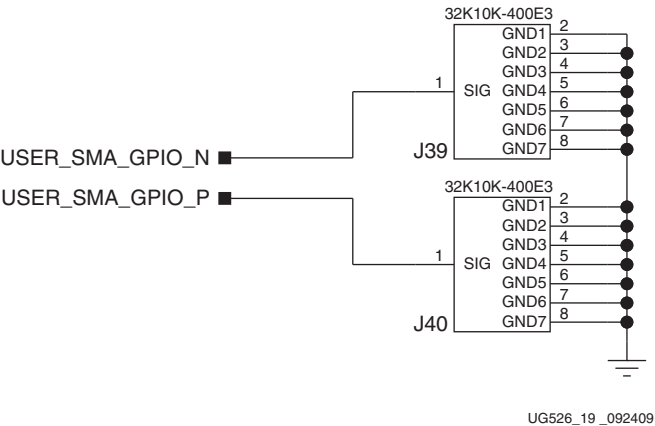


図 1-19：ユーザー SMA GPIO

表 1-27：ユーザー SMA の接続

U1 FPGA ピン	回路図のネット名	GPIO SMA ピン
A3	USER_SMA_GPIO_N	J39.1
B3	USER_SMA_GPIO_P	J40.1

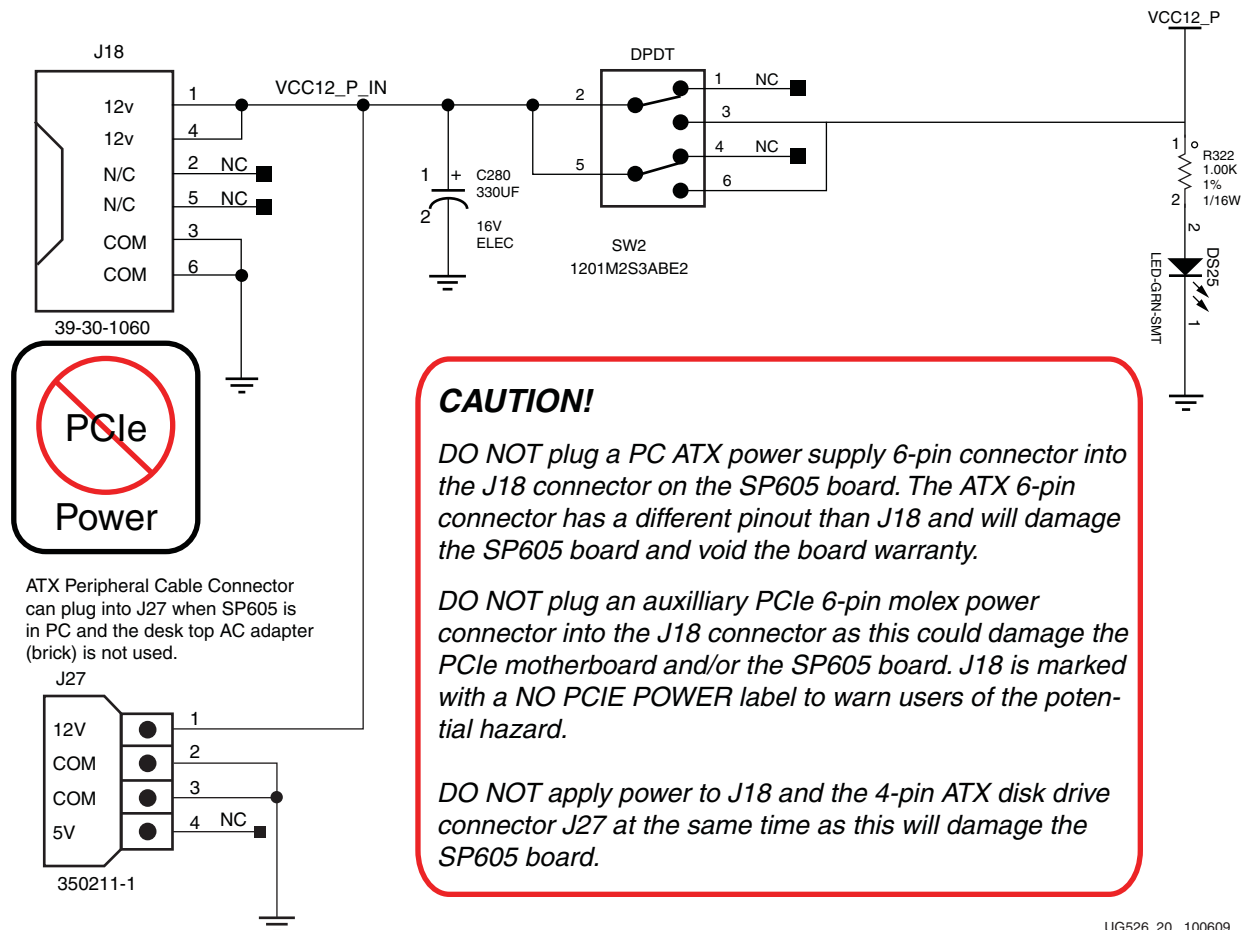
17. スイッチ

SP605 評価ボードには、次のスイッチがあります。

- 電源オン/オフ用のスライド スイッチ SW2
- FPGA_PROG_B プッシュボタン SW3 (アクティブ Low)
- SYSACE_RESET_B プッシュボタン SW9 (アクティブ Low)
- System ACE CF イメージ選択 DIP スイッチ S1 (アクティブ High)
- モード DIP スイッチ SW1 (アクティブ High)

電源オン/オフ用のスライド スイッチ SW2

SW2 は、SP605 ボードの主電源オン/オフ スイッチです。スイッチをオフからオンへスライドさせると、J18 (6 ピン ミニフィット) または J27 (4 ピン ATX) 電源コネクタのいずれかから VCC12_P 電源プレーンへ 12V の電源が供給されます。SPL605 ボードに電源が投入されると、緑色の LED DS14 が点灯します。ボード上の電源システムの詳細は、51 ページの「パワー マネジメント」を参照してください。

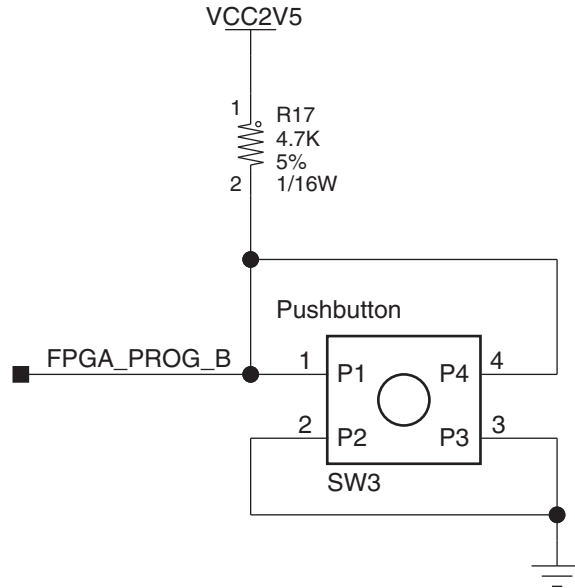


UG526_20_100609

図 1-20 : 電源オン/オフ用のスライド スイッチ SW2

FPGA_PROG_B プッシュボタン SW3 (アクティブ Low)

SW3 スイッチ (図 1-21 参照) を押すと、FPGA PROG_B ピンがグランドに接続されます。これにより、FPGA はクリアされます。FPGA の内容をクリアする際の詳細は、『Spartan-6 FPGA データシート』を参照してください。

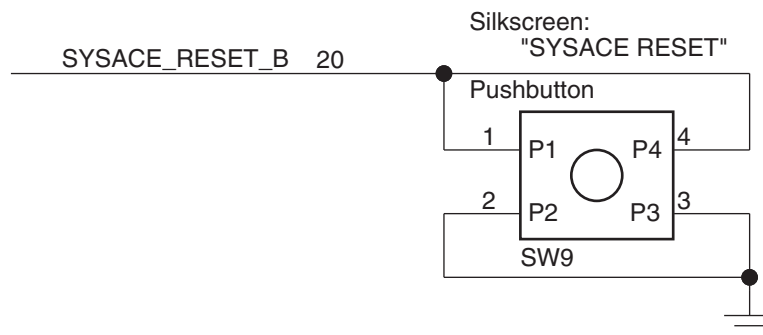


UG526_21_092409

図 1-21 : FPGA PROG_B プッシュボタン SW3

SYSACE_RESET_B プッシュボタン SW9 (アクティブ Low)

ACE CF コンフィギュレーション モード ピンが High (DIP スイッチ S1 スイッチ 4 をクローズする) の場合、CompactFlash カードが挿入されたとき、または SYSACE RESET ボタンが押されたときに System ACE CF コントローラは CompactFlash カードから FPGA をコンフィギュレーションします。詳細は、21 ページの「5. System ACE CF および CompactFlash コネクタ」を参照してください。



UG526_22_092409

図 1-22 : System ACE CF RESET_B プッシュボタン SW9

System ACE CF イメージ選択用 DIP スイッチ S1 (アクティブ High)

System ACE CF CompactFlash (CF) イメージ選択 DIP スイッチ S1 のスイッチ 1~3 (図 1-23 参照) は、CF から FPGA ヘダウンロードするビットストリーム イメージを選択します。S1 スイッチ 1~3 は 8 ビットのバイナリ アドレスを提供します。S1 スイッチ 4 が オン (High) の場合、System ACE CF コントローラが有効になり、CompactFlash カードが挿入されたとき、または SYSACE RESET ボタンが押されたときに CompactFlash カードから FPGA ヘコンフィギュレーションが開始されます。詳細は、21 ページの「5. System ACE CF および CompactFlash コネクタ」を参照してください。

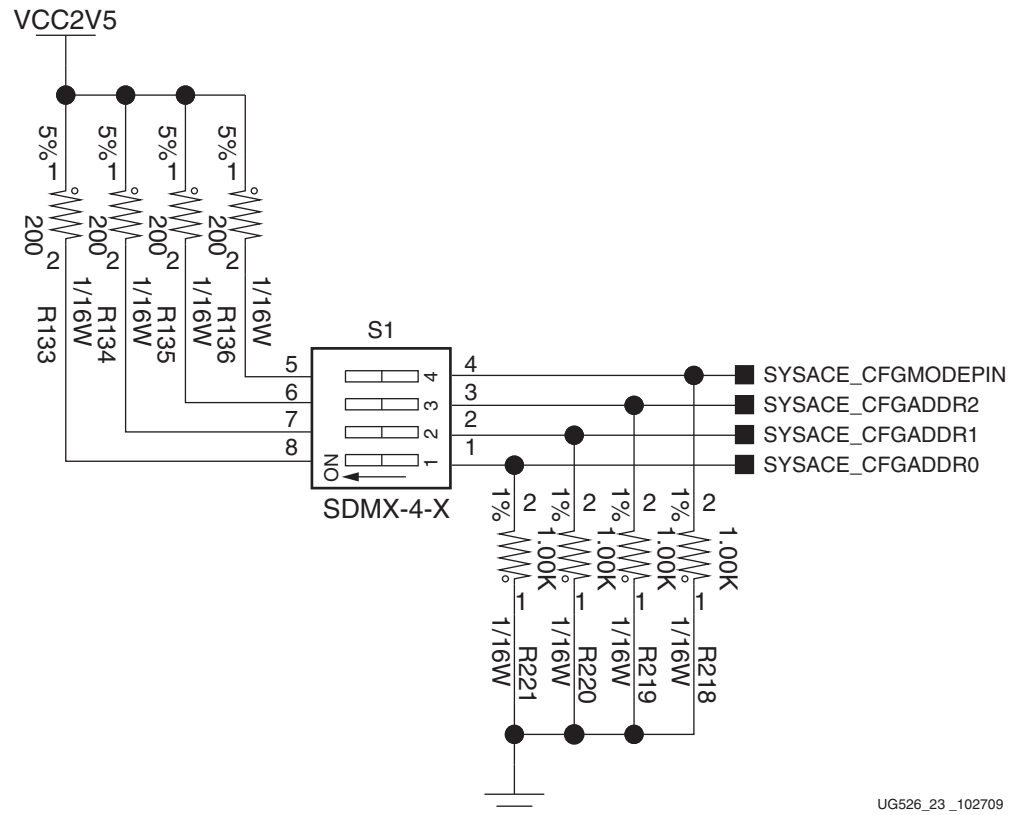


図 1-23 : System ACE CF CompactFlash イメージ選択 DIP スイッチ S1

モード DIP スイッチ SW1 (アクティブ High)

DIP スイッチ SW1 は、[図 1-24](#) および [54 ページの表 1-30](#) に示すように FPGA のモードを設定します。

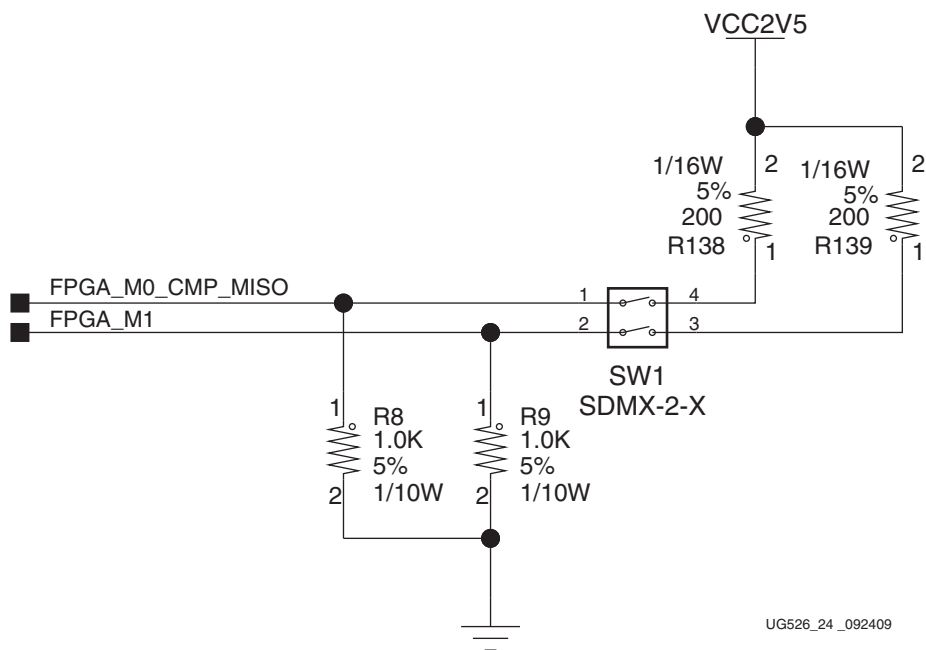


図 1-24 : FPGA モード DIP スイッチ SW1

参考資料

詳細は、『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』を参照してください。[\[参照 2\]](#) コンフィギュレーション モードの詳細は、[54 ページの表 1-30](#) を参照してください。

18. VITA 57.1 FMC LPC コネクタ

SP605 は、VITA 57.1.1 FMC 規格準拠のロー ピン カウント (LPC、J2) コネクタ オプションを実装します。

FMC 規格は、ハイ ピン カウント (HPC) およびロー ピン カウント (LPC) のインプリメントによる 2 種類のコネクタ集積度を規定しています。どちらの集積度においても、一般的な 10 x 40 ポジション (400 ピンのロケーション) のコネクタ フォーム ファクタが使用されます。HPC の場合は 400 ピンを使用する完全接続となり、LPC の場合は 160 ピンを使用する部分的な接続となります。

10 x 40 行の FMC LPC コネクタは、次のコネクティビティを提供します。

- 68 のシングル エンド ユーザー定義信号、または 34 の差動ユーザー定義信号ペア
- 1 つの MGT
- 1 つの MGT クロック
- 2 つの差動クロック
- 61 のグラウンド接続、10 の電源接続

上記の信号およびクロックのコネクティビティのうち、SP605 は次の全セットを実装しています。

- 34 の差動ユーザー定義信号ペア
 - 34 の LA ペア
- 1 つの MGT
- 1 つの MGT クロック
- 2 つの差動クロック

メモ： SP605 ボードの FMC LPC コネクタ J2 の VADJ 電圧は 2.5V で固定されています (調整不可)。この 2.5V レールはオフにはできません。SP605 VITA 57.1 FMC インターフェイスは、2.5V VADJ のサポートが可能な 2.5V のメザニン カードと互換性があります。

表 1-28 に、VITA 57.1 FMC LPC の接続を示します。コネクタのピン配置の詳細は、付録 B「VITA 57.1 FMC LPC コネクタのピン配置」を参照してください。

表 1-28：VITA 57.1 FMC LPC の接続

J63 FMC LPC ピン	回路図のネット名	U1 FPGA ピン	J63 FMC LPC ピン	回路図のネット名	U1 FPGA ピン
			D1	FMC_PWR_GOOD_FLASH_RST_B	V13
C2	FMC_DP0_C2M_P	B16	D4	FMC_GBTCLK0_M2C_P	E12
C3	FMC_DP0_C2M_N	A16	D5	FMC_GBTCLK0_M2C_N	F12
C6	FMC_DP0_M2C_P	D15	D8	FMC_LA01_CC_P	F14
C7	FMC_DP0_M2C_N	C15	D9	FMC_LA01_CC_N	F15
C10	FMC_LA06_P	D4	D11	FMC_LA05_P	C4
C11	FMC_LA06_N	D5	D12	FMC_LA05_N	A4
C14	FMC_LA10_P	H10	D14	FMC_LA09_P	F7
C15	FMC_LA10_N	H11	D15	FMC_LA09_N	F8
C18	FMC_LA14_P	C17	D17	FMC_LA13_P	G16
C19	FMC_LA14_N	A17	D18	FMC_LA13_N	F17
C22	FMC_LA18_CC_P	T12	D20	FMC_LA17_CC_P	Y11
C23	FMC_LA18_CC_N	U12	D21	FMC_LA17_CC_N	AB11
C26	FMC_LA27_P	AA10	D23	FMC_LA23_P	U9
C27	FMC_LA27_N	AB10	D24	FMC_LA23_N	V9
C30	IIC_SCL_MAIN	T21	D26	FMC_LA26_P	U14
C31	IIC_SDA_MAIN	R22	D27	FMC_LA26_N	U13
G2	FMC_CLK1_M2C_P	E16	H2	FMC_PRSNT_M2C_L	Y16
G3	FMC_CLK1_M2C_N	F16	H4	FMC_CLK0_M2C_P	H12
G6	FMC_LA00_CC_P	H10	H5	FMC_CLK0_M2C_N	G11
G7	FMC_LA00_CC_N	H11	H7	FMC_LA02_P	G8
G9	FMC_LA03_P	B18	H8	FMC_LA02_N	F9
G10	FMC_LA03_N	A18	H10	FMC_LA04_P	C19
G12	FMC_LA08_P	B20	H11	FMC_LA04_N	A19
G13	FMC_LA08_N	A20	H13	FMC_LA07_P	B2
G15	FMC_LA12_P	H13	H14	FMC_LA07_N	A2
G16	FMC_LA12_N	G13	H16	FMC_LA11_P	H14
G18	FMC_LA16_P	C5	H17	FMC_LA11_N	G15

表 1-28 : VITA 57.1 FMC LPC の接続 (続き)

J63 FMC LPC ピン	回路図のネット名	U1 FPGA ピン	J63 FMC LPC ピン	回路図のネット名	U1 FPGA ピン
G19	FMC_LA16_N	A5	H19	FMC_LA15_P	D18
G21	FMC_LA20_P	R9	H20	FMC_LA15_N	D19
G22	FMC_LA20_N	R8	H22	FMC_LA19_P	R11
G24	FMC_LA22_P	V7	H23	FMC_LA19_N	T11
G25	FMC_LA22_N	W8	H25	FMC_LA21_P	V11
G27	FMC_LA25_P	W14	H26	FMC_LA21_N	W11
G28	FMC_LA25_N	Y14	H28	FMC_LA24_P	AA14
G30	FMC_LA29_P	T15	H29	FMC_LA24_N	AB14
G31	FMC_LA29_N	U15	H31	FMC_LA28_P	AA16
G33	FMC_LA31_P	U16	H32	FMC_LA28_N	AB16
G34	FMC_LA31_N	V15	H34	FMC_LA30_P	Y15
G36	FMC_LA33_P	Y17	H35	FMC_LA30_N	AB15
G37	FMC_LA33_N	AB17	H37	FMC_LA32_P	W17
			H38	FMC_LA32_N	Y18

パワー マネジメント

AC アダプタおよび 12V 入力電源ジャック/スイッチ

SP605 は、6 ピン (2 x 3) のライトアングル ミニフィット タイプ コネクタ J18 を介して 12V 電源ソースから電源が供給されます。キットに含まれている AC-DC 電源には、はめ合わせ型の 6 ピンプラグがあります。

SP605 がテーブルトップまたはタワー型 PC の PCIe スロットにインストールされる場合は、通常 PC ATX 電源から電力が供給されます。PC の ATX ハードディスク タイプの 4 ピン電源 コネクタのいずれかを SP605 コネクタ J27 へ接続します。PC の PCIe マザーボード スロットへ接続した場合でも、SP605 は AC 電源アダプタで電源が投入されます (J18 へ接続)。ただし、この場合ユーザーは PC ATX タイプ 4 ピン電源コネクタを J27 へ接続しないように注意が必要です。次の注意事項および [45 ページの図 1-20](#) を参照してください。

注意： PC ATX 電源供給の 6 ピン コネクタを SP605 コネクタ J18 へ接続しないでください。ATX 6 ピン コネクタのピン配置は SP605 J18 とは異なるため、ATX 6 ピン コネクタを接続すると SP605 が破損し、またボード保証対象外となります。

注意： 6 ピン ミニフィット コネクタ (J18) と 4 ピン ATX ディスク駆動型コネクタ (J27) へ同時に電源を供給すると、SP605 ボードは破損する可能性があります。詳細は、[45 ページの図 1-20](#) を参照してください。SP605 の電源は、ボードに実装されたスライド スイッチ SW2 を使用してオン/オフの切り替えができます。スイッチがオンのときは、緑色の LED (DS14) が点灯します。

オンボード電源

図 1-25 に、SP605 のオンボード電源供給の構造を示します。SP605 は、Texas Instruments 社製の電源コントローラを使用してコア電源の制御および監視を行います。

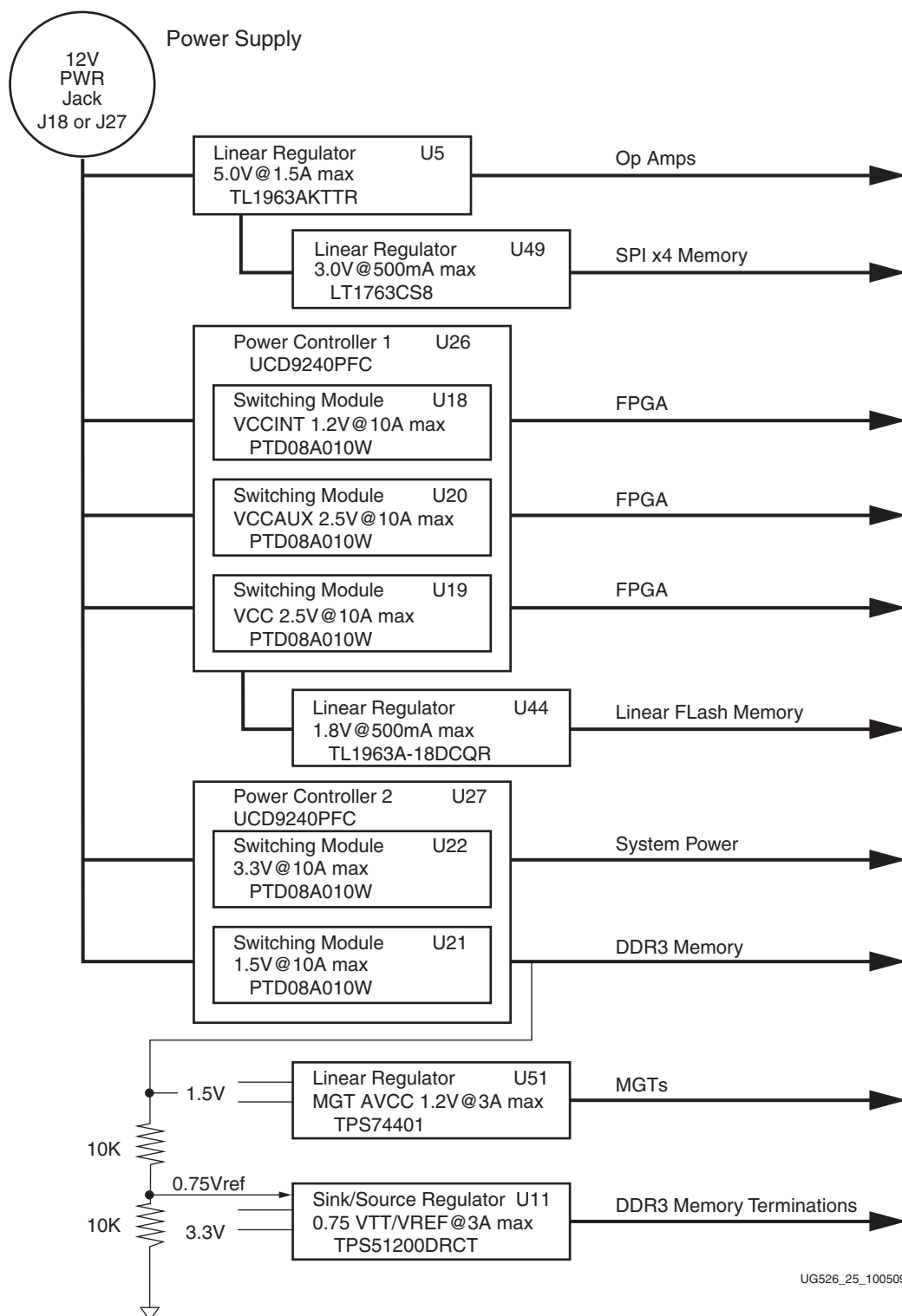


図 1-25：オンボード電源レギュレータ

表 1-29 : オンボード電源システム デバイス

デバイスの種類	リファレンス 番号	説明	電源レール ネット名	電源レール 電圧	回路図の ページ
UCD9240PFC	U26	PMBus コントローラ - コア (Addr = 52)			21
PTD08A010W	U18	10A 0.6V - 3.6V 調整、 スイッチング レギュレータ	VCCINT_FPGA	1.20V	22
PTD08A010W	U19	10A 0.6V - 3.6V 調整、 スイッチング レギュレータ	VCC2V5_FPGA	2.50V	23
PTD08A010W	U20	10A 0.6V - 3.6V 調整、 スイッチング レギュレータ	VCCAUX	2.50V	24
UCD9240PFC	U27	PMバス コントローラ - コア (Addr = 53)			26
PTD08A010W	U21	10A 0.6V - 3.6V 調整、 スイッチング レギュレータ	VCC1V5_FPGA	1.50V	29
PTD08A010W		10A 0.6V - 3.6V 調整、 スイッチング レギュレータ	VCC3V3	3.30V	30
TL1963AKTTR	U5	1.5A 12V IN、 5.0V OUT リニア レギュレータ	VCC5	5.00V	21
TPS74401	U51	3A 1.5V IN、 1.2V OUT リニア レギュレータ	MGT_AVCC	1.20V	27
TPS512300DRCT	U11	3A DDR3 VTERM トラッキング リニア レギュレータ	VTTDDR	0.75V	31
TPS512300DRCT	U11	10mA トラッキング リファレンス出力	VTTVREF	0.75V	31
TL1963-18DCQR	U44	1.5A 2.5V IN、 1.8V OUT リニア レギュレータ	VCC1V8	1.80V	31
LT1763CS8	U49	500mA 5V IN、 3.0V OUT リニア レギュレータ	VCC3V0	3.00V	31
TPS73633DBVT	U10	400mA 5V IN、 3.30V OUT リニア レギュレータ	DVI_VCCA	3.30V	17

選択した電源レールの電圧および電流の監視および制御は、Texas Instruments 社製の Fusion Digital Power™ グラフィカル ユーザー インターフェイス (GUI) を介して行います。ボードに配置された TI 社のコントローラは両方とも同じ PMBus へ接続されます。TI USB Interface Adapter PMBus ポッドおよび関連する TI GUI で使用するために、PMBus コネクタ (J1) が提供されています。

参考資料

電力管理コントローラおよびレギュレータ モジュールの詳細は、[Texas Instruments](http://www.ti.com) 社のウェブサイト
を参照してください。

コンフィギュレーション オプション

SP605 評価ボードの FPGA は、次の方法でコンフィギュレーションできます。

- 17 ページの「3. SPI x4 フラッシュ」
- 19 ページの「4. リニア BPI フラッシュ」
- 21 ページの「5. System ACE CF および CompactFlash コネクタ」
- 24 ページの「6. USB JTAG」

詳細は、『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』を参照してください。[\[参照 2\]](#)

表 1-30：SP605 FPGA のコンフィギュレーション モード

コンフィギュレーション モード	M[1:0]	バス幅	CCLK の方向	コンフィギュレーション ソリューション	ユーザー ガイドのセクション
マスタ シリアル/SPI	01	1、2、4 ⁽¹⁾	出力	SPI X4 メモリ U32 (J46 オン)、または外部 SPI ヘッダ J17 (J46 オフ)	3. SPI x4 フラッシュ
マスタ SelectMAP/BPI ⁽²⁾	00	8、16	出力	リニア フラッシュ メモリ U25 (BPI)	4. リニア BPI フラッシュ
JTAG ⁽³⁾	xx	1	入力 (TCK)	ザイリンクスの Platform Cable USB を J4 へ接続	6. USB JTAG
スレーブ SelectMAP ⁽²⁾	10	8、16	入力	System ACE CF コントローラ および CompactFlash カード	5. System ACE CF および CompactFlash コネクタ
スレーブ シリアル ⁽⁴⁾	11	1	入力	サポートされていない	—

メモ：

1. デュアルおよびクワッド SPI モードを使用します。
2. コンフィギュレーション ロジックによって、パラレル コンフィギュレーション モードが自動検知されます。
3. Spartan-6 デバイスにも、モード ピン設定に関わらず常に使用可能な JTAG (IEEE Std 1149.1) ポートが 4 本あります。
4. デフォルト設定は、モード ピンの内部プルアップ終端によります。

モード スイッチ SW1 が 01 に設定されている場合は、SPI セレクト ジャンパ J46 のコンフィギュレーションに従って、SP605 が SPI X4 フラッシュ デバイス U32 を起動、または SPI プログラミング ヘッダ J17 にインストールされた SPI フラッシュ メモリ メザニン カードを起動し、ビットストリームをロード開始します ([表 1-30](#) 参照)。モードが 00 に設定されている場合は、リニア フラッシュ デバイス U25 (BPI) からビットストリームをロードします。

モード スイッチ SW1 が 10 に設定されている場合、Compact Flash (CF) カードが CF ソケット U37 にインストールされると、System ACE CF はイメージセレクト スイッチ S1 で選択した CF カード イメージのアドレスからビットストリームをロードします。CF カードがない場合は、[24 ページの「6. USB JTAG」](#)で説明したように、SP605 はオンボードの JTAG コントローラおよび USB ダウンロード ケーブルを使用してコンフィギュレーションできます。

ジャンパおよびスイッチのデフォルト設定

表 A-1 に SP605 のスイッチのデフォルト設定を、56 ページの表 A-2 にジャンパのデフォルト設定を示します。

表 A-1 : スwitchのデフォルト設定

REFDES	機能/タイプ		デフォルト
SW2	Board power slide-switch		off
SW1	FPGA mode 2-pole DIP switch, Slave SelectMAP default selects System ACE CF configuration		
	2	M1 = 1	on
	1	M0 = 0	off
S1	System ACE CF configuration and image select 4-pole DIP switch		
	4	SysAce Mode = 1	on
	3	SysAce CFGAddr2 = 0	off
	2	SysAce CFGAddr1 = 0	off
	1	SysAce CFGAddr0 = 0	off
S2	User GPIO 4-pole DIP switch		
	4		off
	3		off
	2		off
	1		off

表 A-2：ジャンパのデフォルト設定

Jumper REFDES	機能	デフォルト
FMC JTAG Bypass		
J19	exclude FMC LPC connector J2	Jump 1-2
SFP Module		
J22	SFP Full BW	Jump 1-2
J44	SFP Enabled	Jump 1-2
SPI Memory Select		
J46	SPI Select SPI X4 Memory U32	Jump 1-2
System ACE CF Error LED		
J60	System ACE CF Error LED DS18 Enabled	Jump 1-2

VITA 57.1 FMC LPC コネクタのピン配置

図 B-1 に FMC LPC コネクタのピン配置を示します。NC のマークの付いたピンは未接続です。

	K	J	H	G	F	E	D	C	B	A
1	NC	NC	VREF_A_M2C	GND	NC	NC	PG_C2M	GND	NC	NC
2	NC	NC	PR_SNT_M2C_L	CLK1_M2C_P	NC	NC	GND	DP0_C2M_P	NC	NC
3	NC	NC	GND	CLK1_M2C_N	NC	NC	GND	DP0_C2M_N	NC	NC
4	NC	NC	CLK0_M2C_P	GND	NC	NC	GBTCLK0_M2C_P	GND	NC	NC
5	NC	NC	CLK0_M2C_N	GND	NC	NC	GBTCLK0_M2C_N	GND	NC	NC
6	NC	NC	GND	LA00_P_CC	NC	NC	GND	DP0_M2C_P	NC	NC
7	NC	NC	LA02_P	LA00_N_CC	NC	NC	GND	DP0_M2C_N	NC	NC
8	NC	NC	LA02_N	GND	NC	NC	LA01_P_CC	GND	NC	NC
9	NC	NC	GND	LA03_P	NC	NC	LA01_N_CC	GND	NC	NC
10	NC	NC	LA04_P	LA03_N	NC	NC	GND	LA06_P	NC	NC
11	NC	NC	LA04_N	GND	NC	NC	LA05_P	LA06_N	NC	NC
12	NC	NC	GND	LA08_P	NC	NC	LA05_N	GND	NC	NC
13	NC	NC	LA07_P	LA08_N	NC	NC	GND	GND	NC	NC
14	NC	NC	LA07_N	GND	NC	NC	LA09_P	LA10_P	NC	NC
15	NC	NC	GND	LA12_P	NC	NC	LA09_N	LA10_N	NC	NC
16	NC	NC	LA11_P	LA12_N	NC	NC	GND	GND	NC	NC
17	NC	NC	LA11_N	GND	NC	NC	LA13_P	GND	NC	NC
18	NC	NC	GND	LA16_P	NC	NC	LA13_N	LA14_P	NC	NC
19	NC	NC	LA15_P	LA16_N	NC	NC	GND	LA14_N	NC	NC
20	NC	NC	LA15_N	GND	NC	NC	LA17_P_CC	GND	NC	NC
21	NC	NC	GND	LA20_P	NC	NC	LA17_N_CC	GND	NC	NC
22	NC	NC	LA19_P	LA20_N	NC	NC	GND	LA18_P_CC	NC	NC
23	NC	NC	LA19_N	GND	NC	NC	LA23_P	LA18_N_CC	NC	NC
24	NC	NC	GND	LA22_P	NC	NC	LA23_N	GND	NC	NC
25	NC	NC	LA21_P	LA22_N	NC	NC	GND	GND	NC	NC
26	NC	NC	LA21_N	GND	NC	NC	LA26_P	LA27_P	NC	NC
27	NC	NC	GND	LA25_P	NC	NC	LA26_N	LA27_N	NC	NC
28	NC	NC	LA24_P	LA25_N	NC	NC	GND	GND	NC	NC
29	NC	NC	LA24_N	GND	NC	NC	TCK	GND	NC	NC
30	NC	NC	GND	LA29_P	NC	NC	TDI	SCL	NC	NC
31	NC	NC	LA28_P	LA29_N	NC	NC	TDO	SDA	NC	NC
32	NC	NC	LA28_N	GND	NC	NC	3P3VAUX	GND	NC	NC
33	NC	NC	GND	LA31_P	NC	NC	TMS	GND	NC	NC
34	NC	NC	LA30_P	LA31_N	NC	NC	TRST_L	GA0	NC	NC
35	NC	NC	LA30_N	GND	NC	NC	GA1	12P0V	NC	NC
36	NC	NC	GND	LA33_P	NC	NC	3P3V	GND	NC	NC
37	NC	NC	LA32_P	LA33_N	NC	NC	GND	12P0V	NC	NC
38	NC	NC	LA32_N	GND	NC	NC	3P3V	GND	NC	NC
39	NC	NC	GND	VADJ	NC	NC	GND	3P3V	NC	NC
40	NC	NC	VADJ	GND	NC	NC	3P3V	GND	NC	NC

UG526_26_092709

図 B-1 : FMC LPC コネクタのピン配置

SP605 マスタ UCF

SP605 をターゲットとしたデザイン向けに UCF テンプレートが用意されています。次に示すネット名の制約は、SP605 rev. C の回路のネット名に対応しています。適切なピンを識別するには、このネット名をユーザー RTL のネット名に置き換える必要があります。詳細は、『[制約ガイド](#)』を参照してください。

```

NET "CLK_33MHZ_SYSACE"      LOC = "N19";    ## 93 on U17
NET "CPU_RESET"             LOC = "H8";    ## 2 on SW6 pushbutton (active-high)
##
NET "DVI_D0"                LOC = "K16";    ## 63 on U31 (thru series R39 47.5 ohm)
NET "DVI_D1"                LOC = "U19";    ## 62 on U31 (thru series R38 47.5 ohm)
NET "DVI_D2"                LOC = "T20";    ## 61 on U31 (thru series R37 47.5 ohm)
NET "DVI_D3"                LOC = "N16";    ## 60 on U31 (thru series R36 47.5 ohm)
NET "DVI_D4"                LOC = "P16";    ## 59 on U31 (thru series R35 47.5 ohm)
NET "DVI_D5"                LOC = "M17";    ## 58 on U31 (thru series R34 47.5 ohm)
NET "DVI_D6"                LOC = "M18";    ## 55 on U31 (thru series R33 47.5 ohm)
NET "DVI_D7"                LOC = "R15";    ## 54 on U31 (thru series R32 47.5 ohm)
NET "DVI_D8"                LOC = "R16";    ## 53 on U31 (thru series R31 47.5 ohm)
NET "DVI_D9"                LOC = "P17";    ## 52 on U31 (thru series R30 47.5 ohm)
NET "DVI_D10"               LOC = "P18";    ## 51 on U31 (thru series R29 47.5 ohm)
NET "DVI_D11"               LOC = "R17";    ## 50 on U31 (thru series R28 47.5 ohm)
NET "DVI_DE"                LOC = "J17";    ## 2 on U31 (thru series R40 47.5 ohm)
NET "DVI_GPIO1"             LOC = "D22";    ## 18 on U31
NET "DVI_H"                  LOC = "J16";    ## 4 on U31 (thru series R41 47.5 ohm)
NET "DVI_RESET_B"           LOC = "L15";    ## 13 on U31
NET "DVI_V"                  LOC = "B22";    ## 5 on U31 (thru series R42 47.5 ohm)
NET "DVI_XCLK_N"            LOC = "C22";    ## 56 on U31
NET "DVI_XCLK_P"            LOC = "C20";    ## 57 on U31
##
NET "FLASH_A0"              LOC = "N22";    ## 29 on U25
NET "FLASH_A1"              LOC = "N20";    ## 25 on U25
NET "FLASH_A2"              LOC = "M22";    ## 24 on U25
NET "FLASH_A3"              LOC = "M21";    ## 23 on U25
NET "FLASH_A4"              LOC = "L19";    ## 22 on U25
NET "FLASH_A5"              LOC = "K20";    ## 21 on U25
NET "FLASH_A6"              LOC = "H22";    ## 20 on U25
NET "FLASH_A7"              LOC = "H21";    ## 19 on U25
NET "FLASH_A8"              LOC = "L17";    ## 8 on U25
NET "FLASH_A9"              LOC = "K17";    ## 7 on U25
NET "FLASH_A10"             LOC = "G22";    ## 6 on U25
NET "FLASH_A11"             LOC = "G20";    ## 5 on U25
NET "FLASH_A12"             LOC = "K18";    ## 4 on U25
NET "FLASH_A13"             LOC = "K19";    ## 3 on U25
NET "FLASH_A14"             LOC = "H20";    ## 2 on U25
NET "FLASH_A15"             LOC = "J19";    ## 1 on U25
NET "FLASH_A16"             LOC = "E22";    ## 55 on U25
NET "FLASH_A17"             LOC = "E20";    ## 18 on U25
NET "FLASH_A18"             LOC = "F22";    ## 17 on U25
NET "FLASH_A19"             LOC = "F21";    ## 16 on U25
NET "FLASH_A20"             LOC = "H19";    ## 11 on U25
NET "FLASH_A21"             LOC = "H18";    ## 10 on U25
NET "FLASH_A22"             LOC = "F20";    ## 9 on U25
NET "FLASH_A23"             LOC = "G19";    ## 26 on U25
NET "FPGA_D0_DIN_MISO_MISO1" LOC = "AA20";    ## 34 on U25, 8 on U32 (thru series R132 100 ohm), 6 on J17
NET "FPGA_D1_MISO2"          LOC = "R13";    ## 36 on U25, 3 on J17
NET "FPGA_D2_MISO3"          LOC = "T14";    ## 39 on U25, 2 on J17
NET "FLASH_D3"              LOC = "AA6";    ## 41 on U25
NET "FLASH_D4"              LOC = "AB6";    ## 47 on U25
NET "FLASH_D5"              LOC = "Y5";    ## 49 on U25
NET "FLASH_D6"              LOC = "AB5";    ## 51 on U25
NET "FLASH_D7"              LOC = "W9";    ## 53 on U25
NET "FLASH_D8"              LOC = "T7";    ## 35 on U25
NET "FLASH_D9"              LOC = "U6";    ## 37 on U25
NET "FLASH_D10"             LOC = "AB19";    ## 40 on U25
NET "FLASH_D11"             LOC = "AA18";    ## 42 on U25
NET "FLASH_D12"             LOC = "AB18";    ## 48 on U25
NET "FLASH_D13"             LOC = "Y13";    ## 50 on U25
NET "FLASH_D14"             LOC = "AA12";    ## 52 on U25
NET "FLASH_D15"             LOC = "AB12";    ## 54 on U25
NET "FLASH_WAIT"            LOC = "T18";    ## 56 on U25

```

```

NET "FLASH_WE_B"          LOC = "R20";    ## 14 on U25
NET "FLASH_OE_B"         LOC = "P22";    ## 32 on U25
NET "FLASH_CE_B"         LOC = "P21";    ## 30 on U25
NET "FLASH_ADV_B"        LOC = "T19";    ## 46 on U25
## NET "FMC_PWR_GOOD_FLASH_RST_B" LOC = "V13";    ## 44 on U25 (this signal goes to multiple destinations, see below)
##
NET "FMC_CLK0_M2C_N"      LOC = "G11";    ## H5 on J2
NET "FMC_CLK0_M2C_P"      LOC = "H12";    ## H4 on J2
NET "FMC_CLK1_M2C_N"      LOC = "F16";    ## G3 on J2
NET "FMC_CLK1_M2C_P"      LOC = "E16";    ## G2 on J2
NET "FMC_DP0_C2M_N"       LOC = "A16";    ## C3 on J2
NET "FMC_DP0_C2M_P"       LOC = "B16";    ## C2 on J2
NET "FMC_DP0_M2C_N"       LOC = "C15";    ## C7 on J2
NET "FMC_DP0_M2C_P"       LOC = "D15";    ## C6 on J2
NET "FMC_GBTCLK0_M2C_N"   LOC = "F12";    ## D5 on J2
NET "FMC_GBTCLK0_M2C_P"   LOC = "E12";    ## D4 on J2
## NET "IIC_SCL_MAIN"      LOC = "T21";    ## C30 on J2 (this signal goes to multiple destinations, see below)
## NET "IIC_SDA_MAIN"      LOC = "R22";    ## C31 on J2 (this signal goes to multiple destinations, see below)
NET "FMC_LA00_CC_N"       LOC = "F10";    ## G7 on J2
NET "FMC_LA00_CC_P"       LOC = "G9";    ## G6 on J2
NET "FMC_LA01_CC_N"       LOC = "F15";    ## D9 on J2
NET "FMC_LA01_CC_P"       LOC = "F14";    ## D8 on J2
NET "FMC_LA02_N"          LOC = "F9";    ## H8 on J2
NET "FMC_LA02_P"          LOC = "G8";    ## H7 on J2
NET "FMC_LA03_N"          LOC = "A18";    ## G10 on J2
NET "FMC_LA03_P"          LOC = "B18";    ## G9 on J2
NET "FMC_LA04_N"          LOC = "A19";    ## H11 on J2
NET "FMC_LA04_P"          LOC = "C19";    ## H10 on J2
NET "FMC_LA05_N"          LOC = "A4";    ## D12 on J2
NET "FMC_LA05_P"          LOC = "C4";    ## D11 on J2
NET "FMC_LA06_N"          LOC = "D5";    ## C11 on J2
NET "FMC_LA06_P"          LOC = "D4";    ## C10 on J2
NET "FMC_LA07_N"          LOC = "A2";    ## H14 on J2
NET "FMC_LA07_P"          LOC = "B2";    ## H13 on J2
NET "FMC_LA08_N"          LOC = "A20";    ## G13 on J2
NET "FMC_LA08_P"          LOC = "B20";    ## G12 on J2
NET "FMC_LA09_N"          LOC = "F8";    ## D15 on J2
NET "FMC_LA09_P"          LOC = "F7";    ## D14 on J2
NET "FMC_LA10_N"          LOC = "H11";    ## C15 on J2
NET "FMC_LA10_P"          LOC = "H10";    ## C14 on J2
NET "FMC_LA11_N"          LOC = "G15";    ## H17 on J2
NET "FMC_LA11_P"          LOC = "H14";    ## H16 on J2
NET "FMC_LA12_N"          LOC = "G13";    ## G16 on J2
NET "FMC_LA12_P"          LOC = "H13";    ## G15 on J2
NET "FMC_LA13_N"          LOC = "F17";    ## D18 on J2
NET "FMC_LA13_P"          LOC = "G16";    ## D17 on J2
NET "FMC_LA14_N"          LOC = "A17";    ## C19 on J2
NET "FMC_LA14_P"          LOC = "C17";    ## C18 on J2
NET "FMC_LA15_N"          LOC = "D19";    ## H20 on J2
NET "FMC_LA15_P"          LOC = "D18";    ## H19 on J2
NET "FMC_LA16_N"          LOC = "A5";    ## G19 on J2
NET "FMC_LA16_P"          LOC = "C5";    ## G18 on J2
NET "FMC_LA17_CC_N"       LOC = "AB11";    ## D21 on J2
NET "FMC_LA17_CC_P"       LOC = "Y11";    ## D20 on J2
NET "FMC_LA18_CC_N"       LOC = "U12";    ## C23 on J2
NET "FMC_LA18_CC_P"       LOC = "T12";    ## C22 on J2
NET "FMC_LA19_N"          LOC = "T11";    ## H23 on J2
NET "FMC_LA19_P"          LOC = "R11";    ## H22 on J2
NET "FMC_LA20_N"          LOC = "R8";    ## G22 on J2
NET "FMC_LA20_P"          LOC = "R9";    ## G21 on J2
NET "FMC_LA21_N"          LOC = "W11";    ## H26 on J2
NET "FMC_LA21_P"          LOC = "V11";    ## H25 on J2
NET "FMC_LA22_N"          LOC = "W8";    ## G25 on J2
NET "FMC_LA22_P"          LOC = "V7";    ## G24 on J2
NET "FMC_LA23_N"          LOC = "V9";    ## D24 on J2
NET "FMC_LA23_P"          LOC = "U9";    ## D23 on J2
NET "FMC_LA24_N"          LOC = "AB14";    ## H29 on J2
NET "FMC_LA24_P"          LOC = "AA14";    ## H28 on J2
NET "FMC_LA25_N"          LOC = "Y14";    ## G28 on J2
NET "FMC_LA25_P"          LOC = "W14";    ## G27 on J2
NET "FMC_LA26_N"          LOC = "U13";    ## D27 on J2
NET "FMC_LA26_P"          LOC = "U14";    ## D26 on J2
NET "FMC_LA27_N"          LOC = "AB10";    ## C27 on J2
NET "FMC_LA27_P"          LOC = "AA10";    ## C26 on J2
NET "FMC_LA28_N"          LOC = "AB16";    ## H32 on J2
NET "FMC_LA28_P"          LOC = "AA16";    ## H31 on J2
NET "FMC_LA29_N"          LOC = "U15";    ## G31 on J2
NET "FMC_LA29_P"          LOC = "T15";    ## G30 on J2
NET "FMC_LA30_N"          LOC = "AB15";    ## H35 on J2
NET "FMC_LA30_P"          LOC = "Y15";    ## H34 on J2
NET "FMC_LA31_N"          LOC = "V15";    ## G34 on J2
NET "FMC_LA31_P"          LOC = "U16";    ## G33 on J2
NET "FMC_LA32_N"          LOC = "Y18";    ## H38 on J2
NET "FMC_LA32_P"          LOC = "W17";    ## H37 on J2
NET "FMC_LA33_N"          LOC = "AB17";    ## G37 on J2
NET "FMC_LA33_P"          LOC = "Y17";    ## G36 on J2
NET "FMC_PRSENT_M2C_L"    LOC = "V16";    ## H2 on J2
NET "FMC_PWR_GOOD_FLASH_RST_B" LOC = "V13";    ## D1 on J2, 1 of Q2 (LED DS1 driver), U1 AB2 FPGA_PROG (thru series R260 DNP), 44 of U25
##
NET "FPGA_AWAKE"          LOC = "V19";    ## 2 on DS7 LED
NET "FPGA_CCLK"           LOC = "Y20";    ## 7 on J17
NET "FPGA_CMP_CLK"        LOC = "V17";    ## 3 on J3

```

```

NET "FPGA_CMP_CS_B"          LOC = "V18";    ## 4   on J3
NET "FPGA_CMP_MOSI"         LOC = "W18";    ## 2   on J3

## NET "FPGA_D0_DIN_MISO_MISO1" LOC = "AA20";    ## this pin is part of the FLASH_nn group
## NET "FPGA_D1_MISO2"        LOC = "R13";    ## this pin is part of the FLASH_nn group
## NET "FPGA_D2_MISO3"        LOC = "T14";    ## this pin is part of the FLASH_nn group

NET "FPGA_DONE"              LOC = "AB21";    ## 2   on DS2 LED
NET "FPGA_HSWAPEN"           LOC = "C3";      ## 1   on R125 100 ohm to GND
NET "FPGA_INIT_B"            LOC = "Y4";      ## 1   on DS17 (thru sereis R69 75 ohm), 78 on U17
NET "FPGA_M0_CMP_MISO"       LOC = "AA21";    ## 1   on SW1 DIP switch (active-high), 1 on J3
NET "FPGA_M1"                LOC = "Y19";    ## 2   on SW1 DIP switch (active-high)
NET "FPGA_MOSI_CSI_B_MISO0"  LOC = "AB20";    ## 15  on U32, 5 on J17
NET "FPGA_ONCHIP_TERM1"      LOC = "M7";     ## 1   on R124 DNP to GND
NET "FPGA_ONCHIP_TERM2"      LOC = "K7";     ## 1   on R126 100 ohm to GND
NET "FPGA_PROG_B"            LOC = "AB2";     ## 1   on SW3 pushbutton (active-high) 1 on J17, 2 on J48, 2 on R260 DNP connected to
NET "FMC_PWR_GOOD_FLASH_RST_B"
NET "FPGA_SUSPEND"           LOC = "AA22";    ## 2   on J47
NET "FPGA_TCK"               LOC = "A21";    ## 80  on U17
NET "FPGA_TDI"               LOC = "E18";    ## 82  on U17
NET "FPGA_TMS"               LOC = "D20";    ## 85  on U17
NET "FPGA_VBATT"             LOC = "T16";    ## 1   on B2 (battery), 2 on D11 (charging circuit)
NET "FPGA_VTEMP"            LOC = "Y3";     ## 2   on R207 150 ohm to VCC1V5
##
NET "GPIO_BUTTON0"           LOC = "F3";     ## 2   on SW4 pushbutton (active-high)
NET "GPIO_BUTTON1"           LOC = "G6";     ## 2   on SW7 pushbutton (active-high)
NET "GPIO_BUTTON2"           LOC = "F5";     ## 2   on SW5 pushbutton (active-high)
NET "GPIO_BUTTON3"           LOC = "C1";     ## 2   on SW8 pushbutton (active-high)
##
NET "GPIO_HEADER_0_LS"       LOC = "G7";     ## 1   on U52 (level shifter, U52.20 <-> GPIO_HEADER_0 <-> series R280 200 ohm <-> 1 on J55
NET "GPIO_HEADER_1_LS"       LOC = "H6";     ## 3   on U52 (level shifter, U52.18 <-> GPIO_HEADER_0 <-> series R281 200 ohm <-> 2 on J55
NET "GPIO_HEADER_2_LS"       LOC = "D1";     ## 4   on U52 (level shifter, U52.17 <-> GPIO_HEADER_0 <-> series R282 200 ohm <-> 3 on J55
NET "GPIO_HEADER_3_LS"       LOC = "R7";     ## 5   on U52 (level shifter, U52.16 <-> GPIO_HEADER_0 <-> series R283 200 ohm <-> 4 on J55
##
NET "GPIO_LED_0"             LOC = "D17";    ## 2   on DS3 LED
NET "GPIO_LED_1"             LOC = "AB4";    ## 2   on DS4 LED
NET "GPIO_LED_2"             LOC = "D21";    ## 2   on DS5 LED
NET "GPIO_LED_3"             LOC = "W15";    ## 2   on DS6 LED
##
NET "GPIO_SWITCH_0"          LOC = "C18";    ## 1   on S2 DIP switch (active-high)
NET "GPIO_SWITCH_1"          LOC = "Y6";     ## 2   on S2 DIP switch (active-high)
NET "GPIO_SWITCH_2"          LOC = "W6";     ## 3   on S2 DIP switch (active-high)
NET "GPIO_SWITCH_3"          LOC = "E4";     ## 4   on S2 DIP switch (active-high)
##
NET "IIC_SCL_DVI"            LOC = "W13";    ## 15  on U31, 2 on Q7 (level shifter, Q7.3 <-> IIC_CLK_DVI_F <-> series ferrite F9
220 ohm <-> 6 on P3
NET "IIC_SDA_DVI"            LOC = "AA4";    ## 14  on U31, 2 on Q8 (level shifter, Q7.3 <-> IIC_SDA_DVI_F <-> series ferrite F8
220 ohm <-> 7 on P3
NET "IIC_SCL_MAIN"           LOC = "T21";    ## C30 on J2
NET "IIC_SDA_MAIN"           LOC = "R22";    ## C31 on J2
NET "IIC_SCL_SFP"            LOC = "E5";     ## 5   on P2
NET "IIC_SDA_SFP"            LOC = "E6";     ## 4   on P2
##
NET "MEM1_A0"                LOC = "K2";     ## N3  on U42
NET "MEM1_A1"                LOC = "K1";     ## P7  on U42
NET "MEM1_A2"                LOC = "K5";     ## P3  on U42
NET "MEM1_A3"                LOC = "M6";     ## N2  on U42
NET "MEM1_A4"                LOC = "H3";     ## P8  on U42
NET "MEM1_A5"                LOC = "M3";     ## P2  on U42
NET "MEM1_A6"                LOC = "L4";     ## R8  on U42
NET "MEM1_A7"                LOC = "K6";     ## R2  on U42
NET "MEM1_A8"                LOC = "G3";     ## T8  on U42
NET "MEM1_A9"                LOC = "G1";     ## R3  on U42
NET "MEM1_A10"               LOC = "J4";     ## L7  on U42
NET "MEM1_A11"               LOC = "E1";     ## R7  on U42
NET "MEM1_A12"               LOC = "F1";     ## N7  on U42
NET "MEM1_A13"               LOC = "J6";     ## T3  on U42
NET "MEM1_A14"               LOC = "H5";     ## T7  on U42
NET "MEM1_BA0"               LOC = "J3";     ## M2  on U42
NET "MEM1_BA1"               LOC = "J1";     ## N8  on U42
NET "MEM1_BA2"               LOC = "H1";     ## M3  on U42
NET "MEM1_CAS_B"             LOC = "M4";     ## K3  on U42
NET "MEM1_CKE"               LOC = "F2";     ## K9  on U42
NET "MEM1_CLK_N"             LOC = "K3";     ## K7  on U42
NET "MEM1_CLK_P"             LOC = "K4";     ## J7  on U42
NET "MEM1_DQ0"               LOC = "R3";     ## G2  on U42
NET "MEM1_DQ1"               LOC = "R1";     ## H3  on U42
NET "MEM1_DQ2"               LOC = "P2";     ## E3  on U42
NET "MEM1_DQ3"               LOC = "P1";     ## F2  on U42
NET "MEM1_DQ4"               LOC = "L3";     ## H7  on U42
NET "MEM1_DQ5"               LOC = "L1";     ## H8  on U42
NET "MEM1_DQ6"               LOC = "M2";     ## F7  on U42
NET "MEM1_DQ7"               LOC = "M1";     ## F8  on U42
NET "MEM1_DQ8"               LOC = "T2";     ## C2  on U42
NET "MEM1_DQ9"               LOC = "T1";     ## C3  on U42
NET "MEM1_DQ10"              LOC = "U3";     ## A2  on U42
NET "MEM1_DQ11"              LOC = "U1";     ## D7  on U42
NET "MEM1_DQ12"              LOC = "W3";     ## A3  on U42
NET "MEM1_DQ13"              LOC = "W1";     ## C8  on U42
NET "MEM1_DQ14"              LOC = "Y2";     ## B8  on U42
NET "MEM1_DQ15"              LOC = "Y1";     ## A7  on U42
NET "MEM1_LDM"               LOC = "N4";     ## E7  on U42

```

```

NET "MEM1_LDQS_N"          LOC = "N1";      ## G3 on U42
NET "MEM1_LDQS_P"          LOC = "N3";      ## F3 on U42
NET "MEM1_ODT"             LOC = "L6";      ## K1 on U42
NET "MEM1_RAS_B"           LOC = "M5";      ## J3 on U42
NET "MEM1_RESET_B"         LOC = "E3";      ## T2 on U42
NET "MEM1_UDM"             LOC = "P3";      ## D3 on U42
NET "MEM1_UDQS_N"          LOC = "V1";      ## B7 on U42
NET "MEM1_UDQS_P"          LOC = "V2";      ## C7 on U42
NET "MEM1_WE_B"            LOC = "H2";      ## L3 on U42
##
NET "PCIE_250M_N"           LOC = "B10";     ## 1 on series C301 0.1uF, C300 pin 2 -> PCIE_250M_MGT1_C_N -> 17 on U48
NET "PCIE_250M_P"           LOC = "A10";     ## 1 on series C300 0.1uF, C300 pin 2 -> PCIE_250M_MGT1_C_P -> 18 on U48
NET "PCIE_PERST_B_LS"      LOC = "J7";      ## 6 on U52 (level shifter, U52.20 <-> PCIE_PERST_B <-> series R55 15 ohm <-> A11 on P4
NET "PCIE_RX0_N"           LOC = "C7";      ## B15 on P4
NET "PCIE_RX0_P"           LOC = "D7";      ## B14 on P4
NET "PCIE_TX0_N"           LOC = "A6";      ## 2 on series C26 0.1uF, C26 pin 1 -> PCIE_TX0_C_N -> A17 of P4
NET "PCIE_TX0_P"           LOC = "B6";      ## 2 on series C27 0.1uF, C26 pin 1 -> PCIE_TX0_C_P -> A16 of P4
##
NET "PHY_COL"              LOC = "M16";     ## 114 on U46
NET "PHY_CRS"              LOC = "N15";     ## 115 on U46
NET "PHY_INT"              LOC = "J20";     ## 32 on U46
NET "PHY_MDC"              LOC = "R19";     ## 35 on U46
NET "PHY_MDIO"             LOC = "V20";     ## 33 on U46
NET "PHY_RESET"            LOC = "J22";     ## 36 on U46
NET "PHY_RXCLK"            LOC = "P20";     ## 7 on U46
NET "PHY_RXCTL_RXDV"       LOC = "T22";     ## 4 on U46
NET "PHY_RXD0"             LOC = "P19";     ## 3 on U46
NET "PHY_RXD1"             LOC = "Y22";     ## 128 on U46
NET "PHY_RXD2"             LOC = "Y21";     ## 126 on U46
NET "PHY_RXD3"             LOC = "W22";     ## 125 on U46
NET "PHY_RXD4"             LOC = "W20";     ## 124 on U46
NET "PHY_RXD5"             LOC = "V22";     ## 123 on U46
NET "PHY_RXD6"             LOC = "V21";     ## 121 on U46
NET "PHY_RXD7"             LOC = "U22";     ## 120 on U46
NET "PHY_RXER"             LOC = "U20";     ## 8 on U46
NET "PHY_TXCLK"            LOC = "L20";     ## 10 on U46
NET "PHY_TXCTL_TXEN"       LOC = "T8";      ## 16 on U46
NET "PHY_TXC_GTXCLK"       LOC = "AB7";     ## 14 on U46
NET "PHY_TXD0"             LOC = "U10";     ## 18 on U46
NET "PHY_TXD1"             LOC = "T10";     ## 19 on U46
NET "PHY_TXD2"             LOC = "AB8";     ## 20 on U46
NET "PHY_TXD3"             LOC = "AA8";     ## 24 on U46
NET "PHY_TXD4"             LOC = "AB9";     ## 25 on U46
NET "PHY_TXD5"             LOC = "Y9";      ## 26 on U46
NET "PHY_TXD6"             LOC = "Y12";     ## 28 on U46
NET "PHY_TXD7"             LOC = "W12";     ## 29 on U46
NET "PHY_TXER"             LOC = "U8";      ## 13 on U46
##
NET "PMBUS_ALERT"          LOC = "D3";      ## 35 on U26, 35 on U27
NET "PMBUS_CLK"            LOC = "W10";     ## 19 on U26, 19 on U27
NET "PMBUS_CTRL"           LOC = "H16";     ## 36 on U26, 36 on U27
NET "PMBUS_DATA"           LOC = "Y10";     ## 20 on U26, 20 on U27
##
NET "SFPCLK_Q0_N"          LOC = "B12";     ## 2 on series C298 0.1uF, C298 pin 1 <- SFPCLK_Q0_C_N <- 6 of U47
NET "SFPCLK_Q0_P"          LOC = "A12";     ## 2 on series C299 0.1uF, C299 pin 1 <- SFPCLK_Q0_C_P <- 7 of U47
NET "SFP_LOS"              LOC = "T17";     ## 8 on P2, 1 on J14
NET "SFP_RX_N"             LOC = "C13";     ## 12 on P2
NET "SFP_RX_P"             LOC = "D13";     ## 13 on P2
NET "SFP_TX_DISABLE_FPGA"  LOC = "Y8";      ## 3 on P2, 1 on J44
NET "SFP_TX_N"             LOC = "A14";     ## 19 on P2
NET "SFP_TX_P"             LOC = "B14";     ## 18 on P2
##
NET "SMA_REFCLK_N"         LOC = "D11";     ##
NET "SMA_REFCLK_P"         LOC = "C11";     ##
NET "SMA_RX_N"             LOC = "C9";      ##
NET "SMA_RX_P"             LOC = "D9";      ##
NET "SMA_TX_N"             LOC = "A8";      ##
NET "SMA_TX_P"             LOC = "B8";      ##
##
NET "SPI_CS_B"             LOC = "AA3";     ##
##
NET "SYSACE_CFGTDI"        LOC = "G17";     ##
NET "SYSACE_D0_LS"         LOC = "N6";      ##
NET "SYSACE_D1_LS"         LOC = "N7";      ##
NET "SYSACE_D2_LS"         LOC = "U4";      ##
NET "SYSACE_D3_LS"         LOC = "T4";      ##
NET "SYSACE_D4_LS"         LOC = "P6";      ##
NET "SYSACE_D5_LS"         LOC = "P7";      ##
NET "SYSACE_D6_LS"         LOC = "T3";      ##
NET "SYSACE_D7_LS"         LOC = "R4";      ##
NET "SYSACE_MPA00_LS"      LOC = "V5";      ##
NET "SYSACE_MPA01_LS"      LOC = "V3";      ##
NET "SYSACE_MPA02_LS"      LOC = "P5";      ##
NET "SYSACE_MPA03_LS"      LOC = "P4";      ##
NET "SYSACE_MPA04_LS"      LOC = "H4";      ##
NET "SYSACE_MPA05_LS"      LOC = "G4";      ##
NET "SYSACE_MPA06_LS"      LOC = "D2";      ##
NET "SYSACE_MPB RDY_LS"    LOC = "AA1";     ##
NET "SYSACE_MPCE_LS"       LOC = "W4";      ##
NET "SYSACE_MPIRQ_LS"      LOC = "AA2";     ##
NET "SYSACE_MPOE_LS"       LOC = "T6";      ##
NET "SYSACE_MPWE_LS"       LOC = "T5";      ##

```

```
##
NET "SYSCLK_N"          LOC = "K22";  ##
NET "SYSCLK_P"          LOC = "K21";  ##
##
NET "USB_1_CTS"         LOC = "F18";  ##
NET "USB_1_RTS"         LOC = "F19";  ##
NET "USB_1_RX"          LOC = "B21";  ##
NET "USB_1_TX"          LOC = "H17";  ##
##
NET "USER_CLOCK"        LOC = "AB13"; ##
NET "USER_SMA_CLOCK_N"  LOC = "M19";  ##
NET "USER_SMA_CLOCK_P"  LOC = "M20";  ##
NET "USER_SMA_GPIO_N"   LOC = "A3";   ##
NET "USER_SMA_GPIO_P"   LOC = "B3";   ##
```

メモ：

1. ネットから分岐するプルアップ抵抗およびプルダウン抵抗は含まれていません。
2. シングルポイントの電源または GND とのプルアップ抵抗およびプルダウン抵抗は含まれています。
3. 直列抵抗は含まれています。
4. DNP = Do Not Populate、PCB のこの位置にはコンポーネントをインストールしません。

参考資料

このセクションでは、Spartan-6 FPGA、ツール、および IP に関する資料の参照先を示します。

詳細は、japan.xilinx.com/support/documentation/index.htm を参照してください。

SP605 評価ボードのサポート資料

1. [DS162](#) 『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』
2. [UG380](#) 『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』
3. [UG388](#) 『Spartan-6 FPGA メモリ コントローラ ユーザー ガイド』
4. [DS570](#) 『XPS シリアルペリフェラルインターフェイス (SPI) データシート』
5. [DS080](#) 『System ACE CompactFlash ソリューション データシート』
6. [UG386](#) 『Spartan-6 FPGA GTP トランシーバ ユーザー ガイド』
7. [UG138](#) 『LogiCORE™ IP トライモード イーサネット MAC v4.2 ユーザー ガイド』
8. [DS606](#) 『XPS IIC バス インターフェイス データシート』
9. [UG381](#) 『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』
10. [DS614](#) 『クロック ジェネレータ (v3.01a) データシート』
11. [DS643](#) 『マルチポート メモリ コントローラ (MPMC) (v5.02a) データシート』

その他の資料

12. [Micron Technology, Inc.](#), DDR3 SDRAM Specification (MT41J64M16LA-187E)
13. [Winbond](#), Serial Flash Memory Data Sheet (W25Q64VFIG)
14. [Numonyx](#), StrataFlash Embedded Memory Data Sheet (JS28F256P30)
15. [Epson Toyocom](#), Oscillator Data Sheet (EG-2121CA-200.0000M-LHPA)
16. [PCI SIG](#), PCI Express Specifications
17. [Marvell](#), Alaska Gigabit Ethernet Transceivers Product Page
18. [ST Micro](#), M24C08 Data Sheet

