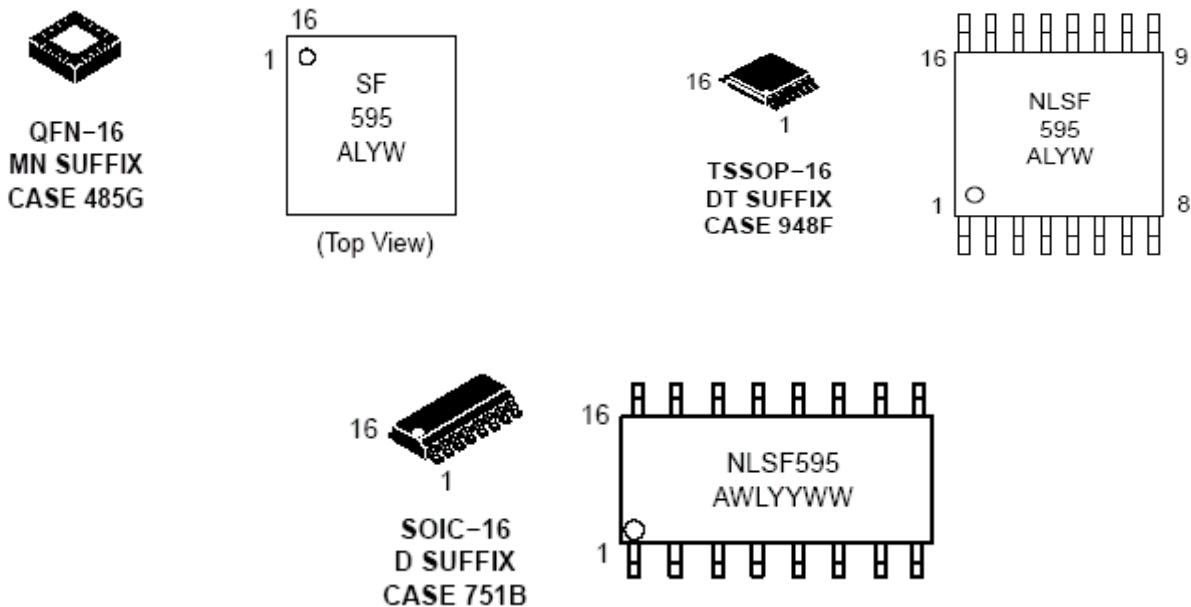


NLSF595

串行（SPI 总线）三色 LED 驱动器

安森美公司的NLSF595 是一个先进漏级开路输出的CMOS移位寄存器。采用的是 0.6 μ m硅片CMOS制造工艺。通过专线直接与微控制器连接。所有的管脚都具有过电压保护功能，且不论工作电压是多少，可允许管脚上的电压高于V_{CC}达 7.0V，而不会造成损害或中断器件的工作。器件工作电压为 2.0~5.5V，输出电压独立于电源电压，可达 0~7.0V。

标识图



A=装配地点
WL, L=晶片批号
YY, Y=年
WW, W=工作周

特点

- 并行漏级开路输出，可吸收 12mA 以上的电流，可经受 7.0V 电压，不受电源电压限制。
- 标准的串行（SPI）接口：时钟、数据、使能（低有效）
- 兼容所有 CMOS 输入等级
- 释放微控制器周围的 I/O 口
- 只有一个管脚专用于器件（锁存使能控制）
- 输出使能可以始终拉低
- 高速时钟频率 $F_{max} > 25 \text{ MHz}$ (移位时钟)

- 8 位并行输出
- 双缓冲输出，这样可以在不影响输出的情况下填充寄存器
- STD CMOS 串行输出，可用于多个设备的级联
- 每个器件可以控制 2 个三色 LED
- 2 个器件级联可以控制 5 个三色 LED
- 低功耗：T_A = 25℃时，I_{CC} = 2.0 μA（最大值）
- 闭锁性能超过 100mA
- QFN-16/TSSOP-16 封装
- ESD 性能：人体模式> 2000 V
- 机器模式> 200 V
- 功能上类似通用的 74VHC595

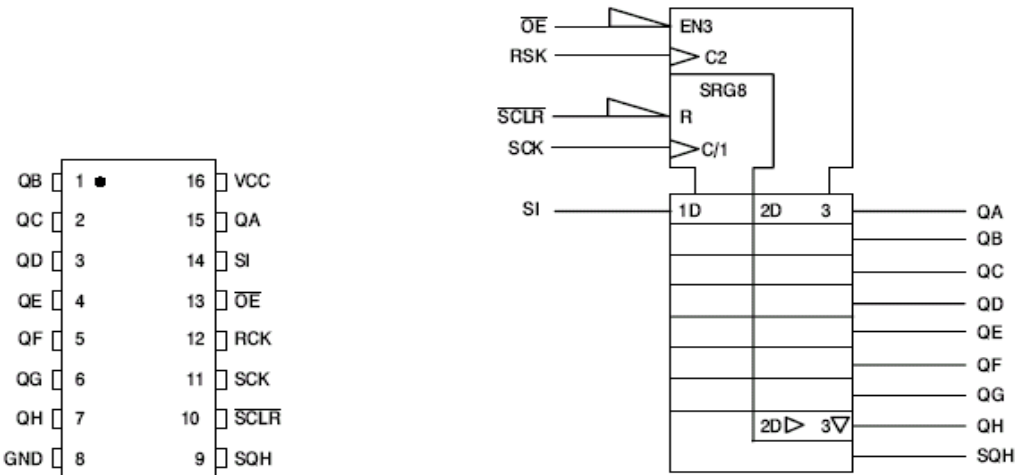


图 1 管脚图（TSSOP-16/SOIC-16）

图 2 IEC 逻辑符号

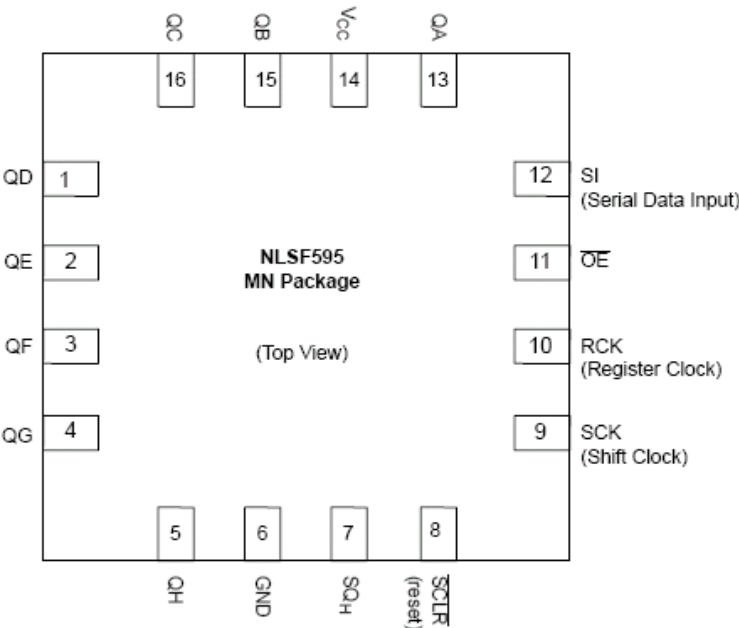


图 3 管脚图（QFN-16）

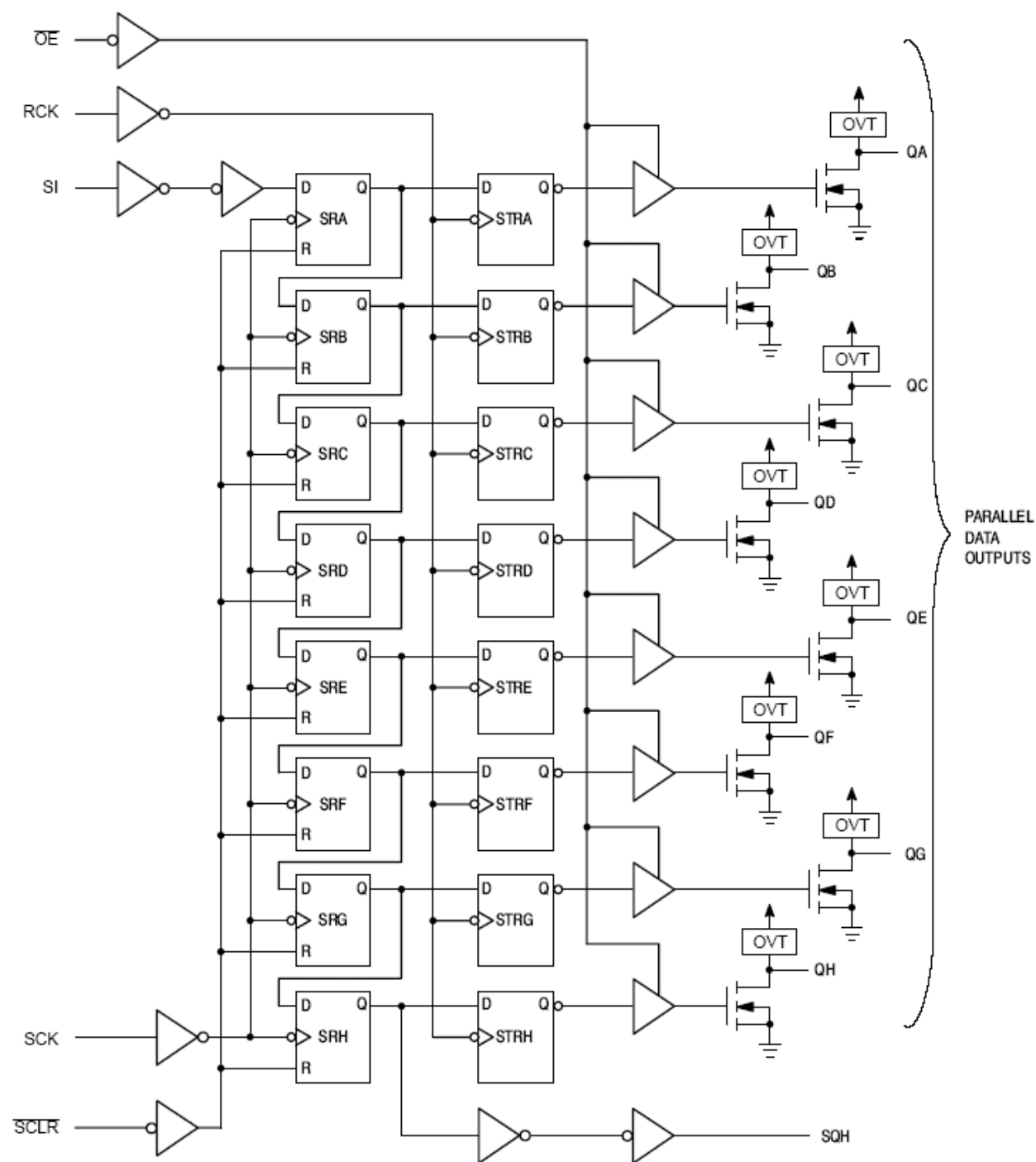


图 4 扩展逻辑图



极限参数（注释1）

符 号	参 数	值	单 位
V _{CC}	正 DC 电源电压	—0.5 到+7.0	V
V _{IN}	数字输入电压	—0.5 到+7.0	V
V _{OUT}	DC 输出电压	—0.5 到V _{CC} +7.0	V
I _{IK}	输入二极管电流	—20	mA
I _{OK}	输出二极管电流	± 50	mA
I _{OUT}	DC 输出电流，每根管脚	+50	mA
I _{CC}	DC电源电流，V _{CC} 与GND脚	± 75	mA
P _D	静止空气中的功率消耗	450	mW
T _{STG}	贮存温度范围	—65 到+150	°C
I _{LATCH-UP}	锁存性能 125°C时高于V _{CC} 低于GND（注释 2）	± 300	mA
θ _{JA}	热电阻，结点到周围环境	128	°C/W

- 1、超出极限参数会对器件造成损害。对器件进行功能性操作应限制在“推荐工作条件”内进行。
2、进行了 EIA/JESD78 测试。

推荐工作条件

符 号	特 性	最小值	最大值	单位
V _{CC}	DC 电源电压	2.0	5.5	V
V _{IN}	DC 输入电压	0	5.5	V
V _{OUT}	DC 输出电压	0	V _{CC}	V
T _A	工作温度范围，所有封装类型	—55	125	°C
t _r , t _f	输入上升或下降时间 V _{CC} =3.3V±0.3V V _{CC} =5.0V±0.5V	0	50 15	ns/V

功能表

Operation	Inputs					Resulting Function			
	Reset (SCLR)	Serial Input (SI)	Shift Clock (SCK)	Reg Clock (RCK)	Output Enable (OE)	Shift Register Contents	Storage Register Contents	Serial Output (SQH)	Parallel Outputs (QA – QH)
Clear shift register	L	X	X	L, H, ↓	L	L	U	L	U
Shift data into shift register	H	D	↑	L, H, ↓	L	D→SR _A ; SR _N →SR _{N+1}	U	SR _G →SR _H	U
Registers remains unchanged	H	X	L, H, ↓	X	L	U	**	U	**
Transfer shift register contents to storage register	H	X	L, H, ↓	↑	L	U	SR _N →STR _N	*	SR _N
Storage register remains unchanged	X	X	X	L, H, ↓	L	*	U	*	U
Enable parallel outputs	X	X	X	X	L	*	**	*	Enabled
Force outputs into high impedance state	X	X	X	X	H	*	**	*	Z

SR=移位寄存器的内容 D=数据（低，高）逻辑电平 ↓=从高到低 *=取决于复位与移位时钟输入
STR=存储寄存器的内容 U=保持不变 ↑=从低到高 **=取决于寄存器时钟输入

DC电气特性

Symbol	Parameter	Test Conditions	V _{CC} (V)	T _A = 25°C			T _A = ≤ 85°C		T _A = ≤ 125°C		Unit
				Min	Typ	Max	Min	Max	Min	Max	
V _{IH}	Minimum High-Level Input Voltage		2.0 3.0 4.5 5.5	1.5 2.1 3.15 3.85			1.5 2.1 3.15 3.85		1.5 2.1 3.15 3.85		V
V _{IL}	Maximum Low-Level Input Voltage		2.0 3.0 4.5 5.5			0.59 0.9 1.35 1.65		0.59 0.9 1.35 1.65		0.59 0.9 1.35 1.65	V
V _{OH}	Minimum High-Level Serial Output Only Output Voltage V _{IN} = V _{IH} or V _{IL}	V _{IN} = V _{IH} or V _{IL} I _{OH} = -50 μA	2.0 3.0 4.5	1.9 2.9 4.4	2.0 3.0 4.5		1.9 2.9 4.4		1.9 2.9 4.4		V
		V _{IN} = V _{IH} or V _{IL} I _{OH} = -8 mA	3.0 4.5	2.58 3.94			2.48 3.80		2.34 3.66		
V _{OL}	Maximum Low-Level Output Voltage V _{IN} = V _{IH} or V _{IL}	I _{OL} = 50 μA	2.0 3.0 4.5		0.0 0.0 0.0	0.1 0.1 0.1		0.1 0.1 0.1		0.1 0.1 0.1	V
		I _{OL} = 4 mA I _{OL} = 8 mA	3.0 4.5			0.36 0.36		0.44 0.44		0.52 0.52	
V _{OL2}	Maximum Low-Level Output Voltage with Max. Load V _{IN} = V _{IH} or V _{IL}	I _{OL} = 20 mA I _{OL} = 25 mA	3.0 4.5		0.8 0.5	1.0 0.6		1.1 0.7		1.25 0.8	V
I _{IN}	Maximum Input Leakage Current	V _{IN} = 5.5 V or GND	0 to 5.5			± 0.1		± 1.0		± 1.0	μA
I _{CC}	Maximum Quiescent Supply Current	V _{IN} = V _{CC} or GND	5.5			4.0		40.0		40.0	μA
I _{OZ}	Three-State Output Off-State Current QA-QH	V _{IN} = V _{IH} or V _{IL} V _{OUT} = V _{CC} or GND	5.5			±0.25		±2.5		± 2.5	μA
I _{LKG}	Active (2) State Off Output Leakage Current QA-QH	V _{IN} = V _{IH} or V _{IL} V _{OUT} = V _{CC} or GND	5.5			±0.25		±2.5		± 2.5	μA
I _{OFF}	Power Off Output Leakage All Outputs	V _{IN} = 0 or 5.5 V V _{OUT} = 5.5 V	0			±0.25		±2.5		± 2.5	μA

AC电气特性 (输入 $t_r=t_f=3.0\text{ns}$)

Symbol	Parameter	Test Conditions	$T_A = 25^\circ\text{C}$			$T_A \leq 85^\circ\text{C}$		$T_A \leq 125^\circ\text{C}$		Unit
			Min	Typ	Max	Min	Max	Min	Max	
f_{max}	Maximum Clock Frequency (50% Duty Cycle)	$V_{\text{CC}} = 3.3 \pm 0.3\text{ V}$	80	150		70		70		MHz
		$V_{\text{CC}} = 5.0 \pm 0.5\text{ V}$	135	185		115		115		
$t_{\text{PLH}}, t_{\text{PHL}}$	Propagation Delay, SCK to SQH	$V_{\text{CC}} = 3.3 \pm 0.3\text{ V}$ $C_L = 15\text{ pF}$ $C_L = 50\text{ pF}$		8.8 11.3	13.0 16.5	1.0 1.0	15.0 18.5	1.0 1.0	15.0 18.5	ns
		$V_{\text{CC}} = 5.0 \pm 0.5\text{ V}$ $C_L = 15\text{ pF}$ $C_L = 50\text{ pF}$		6.2 7.7	8.2 10.2	1.0 1.0	9.4 11.4	1.0 1.0	9.4 11.4	
t_{PHL}	Propagation Delay, SCLR to SQH	$V_{\text{CC}} = 3.3 \pm 0.3\text{ V}$ $C_L = 15\text{ pF}$ $C_L = 50\text{ pF}$		8.4 10.9	12.8 16.3	1.0 1.0	13.7 17.2	1.0 1.0	13.7 17.2	ns
		$V_{\text{CC}} = 5.0 \pm 0.5\text{ V}$ $C_L = 15\text{ pF}$ $C_L = 50\text{ pF}$		5.9 7.4	8.0 10.0	1.0 1.0	9.1 11.1	1.0 1.0	9.1 11.1	
t_{PLZ}	Output Disable Time RCK to QA-QH Output Enable Time RCK to QA-QH	$V_{\text{CC}} = 3.3 \pm 0.3\text{ V}$ $C_L = 15\text{ pF}$ $C_L = 50\text{ pF}$		7.7 10.2	11.9 15.4	1.0 1.0	13.5 17.0	1.0 1.0	13.5 17.0	ns
		$V_{\text{CC}} = 5.0 \pm 0.5\text{ V}$ $C_L = 15\text{ pF}$ $C_L = 50\text{ pF}$		5.4 6.9	7.4 9.4	1.0 1.0	8.5 10.5	1.0 1.0	8.5 10.5	
t_{PZL}	Output Disable Time RCK to QA-QH Output Enable Time RCK to QA-QH	$V_{\text{CC}} = 3.3 \pm 0.3\text{ V}$ $C_L = 15\text{ pF}$ $C_L = 50\text{ pF}$		7.7 10.2	11.9 15.4	1.0 1.0	13.5 17.0	1.0 1.0	13.5 17.0	ns
		$V_{\text{CC}} = 5.0 \pm 0.5\text{ V}$ $C_L = 15\text{ pF}$ $C_L = 50\text{ pF}$		5.4 6.9	7.4 9.4	1.0 1.0	8.5 10.5	1.0 1.0	8.5 10.5	
t_{PZL}	Output Enable Time, OE to QA-QH	$V_{\text{CC}} = 3.3 \pm 0.3\text{ V}$ $C_L = 15\text{ pF}$ $R_L = 1\text{ k}\Omega$ $C_L = 50\text{ pF}$		7.5 9.0	11.5 15.0	1.0 1.0	13.5 17.0	1.0 1.0	13.5 17.0	ns
		$V_{\text{CC}} = 5.0 \pm 0.5\text{ V}$ $C_L = 15\text{ pF}$ $R_L = 1\text{ k}\Omega$ $C_L = 50\text{ pF}$		4.8 8.3	8.6 10.6	1.0 1.0	10.0 12.0	1.0 1.0	10.0 12.0	
t_{PLZ}	Output Disable Time, OE to QA-QH	$V_{\text{CC}} = 3.3 \pm 0.3\text{ V}$ $C_L = 50\text{ pF}$ $R_L = 1\text{ k}\Omega$		12.1	15.7	1.0	16.2	1.0	16.2	ns
		$V_{\text{CC}} = 5.0 \pm 0.5\text{ V}$ $C_L = 50\text{ pF}$ $R_L = 1\text{ k}\Omega$		7.6	10.3	1.0	11.0	1.0	11.0	
C_{IN}	Input Capacitance			4	10		10		10	pF
C_{OUT}	Three-State Output Capacitance (Output in High-Impedance State), QA-QH			6			10		10	pF

C _{PD}	Power Dissipation Capacitance (Note 3)	Typical @ 25°C, V _{CC} = 5.0 V	pF
		87	

3、CPD的定义是内部等效电容的值，是依据没有负载条件下的工作电流消耗算得。平均工作电流可以通过以下公式算得： $I_{\text{CC (OPR)}} = C_{\text{PD}} \cdot V_{\text{CC}} \cdot f_{\text{in}} + I_{\text{CC}}$ 。 C_{PD} 用于确定无负载动态功耗： $P_{\text{D}} = C_{\text{PD}} \cdot V_{\text{CC}}^2 \cdot f_{\text{in}} + I_{\text{CC}} \cdot V_{\text{CC}}$ 。

噪声特性 (输入 $t_r=t_f=3.0\text{ns}$ ， $C_L=50\text{pF}$ ， $V_{\text{CC}}=5.0\text{V}$)

符号	特 性	$T_A=25^\circ\text{C}$		单 位
		典型值	最大值	
V_{OLP}	静态输出最大动态 V_{OL}	0.8	1.0	V
V_{OLV}	静态输出最小动态 V_{OL}	—0.8	—1.0	V
V_{IHD}	最低高电平动态输入电压		3.5	V
V_{ILD}	最高低电平动态输入电压		1.5	V

时序要求 (输入 $t_r=t_f=3.0\text{ns}$)

Symbol	Parameter	V _{CC} V	T _A = 25°C		T _A = - 40 to 85°C	T _A = - 55 to 125°C	Unit
			Typ	Limit	Limit	Limit	
t _{su}	Setup Time, SI to SCK	3.3 5.0		3.5 3.0	3.5 3.0	3.5 3.0	ns
t _{su(H)}	Setup Time, SCK to RCK	3.3 5.0		8.0 5.0	8.5 5.0	8.5 5.0	ns
t _{su(L)}	Setup Time, $\overline{\text{SCLR}}$ to RCK	3.3 5.0		8.0 5.0	9.0 5.0	9.0 5.0	ns
t _h	Hold Time, SI to SCK	3.3 5.0		1.5 2.0	1.5 2.0	1.5 2.0	ns
t _{h(L)}	Hold Time, $\overline{\text{SCLR}}$ to RCK	3.3 5.0		0 0	0 0	1.0 1.0	ns
t _{rec}	Recovery Time, $\overline{\text{SCLR}}$ to SCK	3.3 5.0		3.0 2.5	3.0 2.5	3.0 2.5	ns
t _w	Pulse Width, SCK or RCK	3.3 5.0		5.0 5.0	5.0 5.0	5.0 5.0	ns
t _{w(L)}	Pulse Width, $\overline{\text{SCLR}}$	3.3 5.0		5.0 5.0	5.0 5.0	5.0 5.0	ns

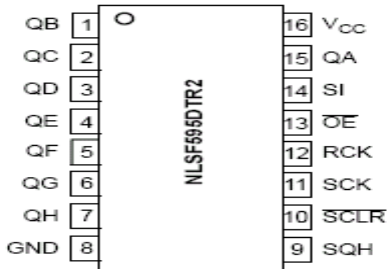
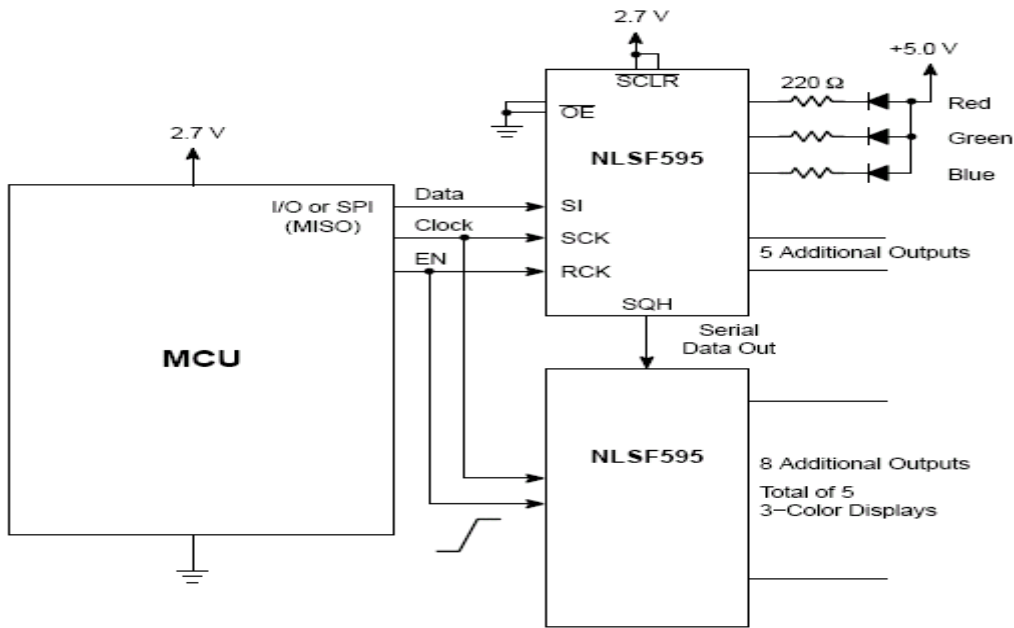


图5 NLSF595 驱动 5 个三色 LED

转换波形

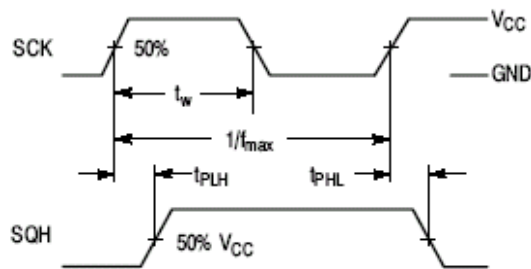


图 6

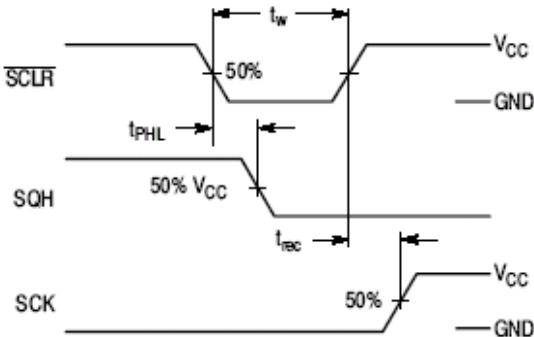


图 7

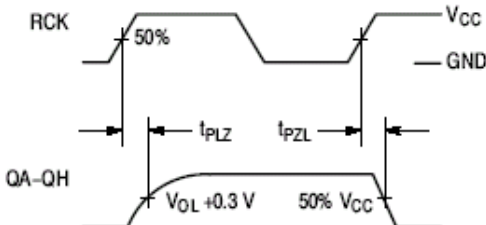


图 8

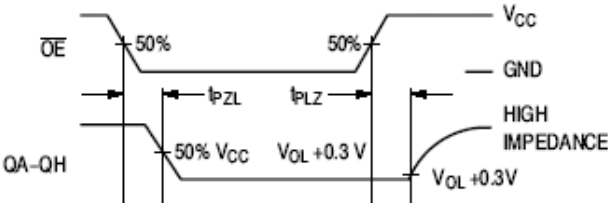


图 9

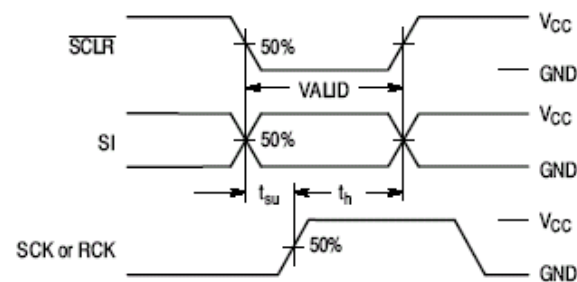


图 10

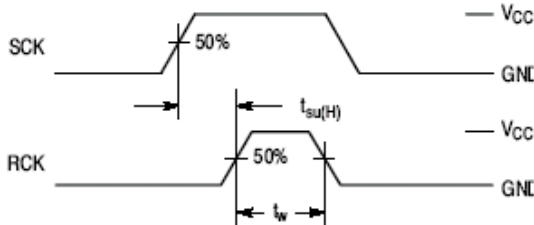
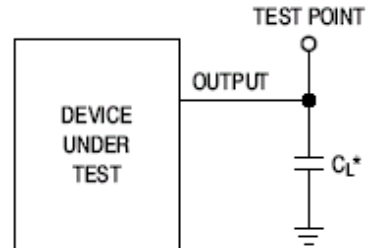


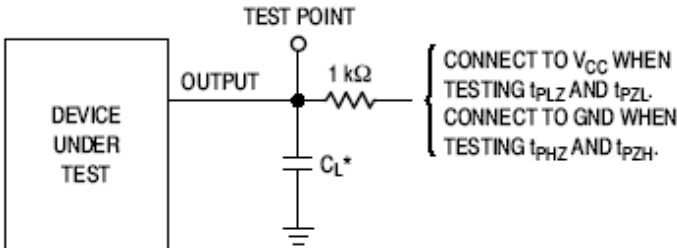
图 11

测试电路



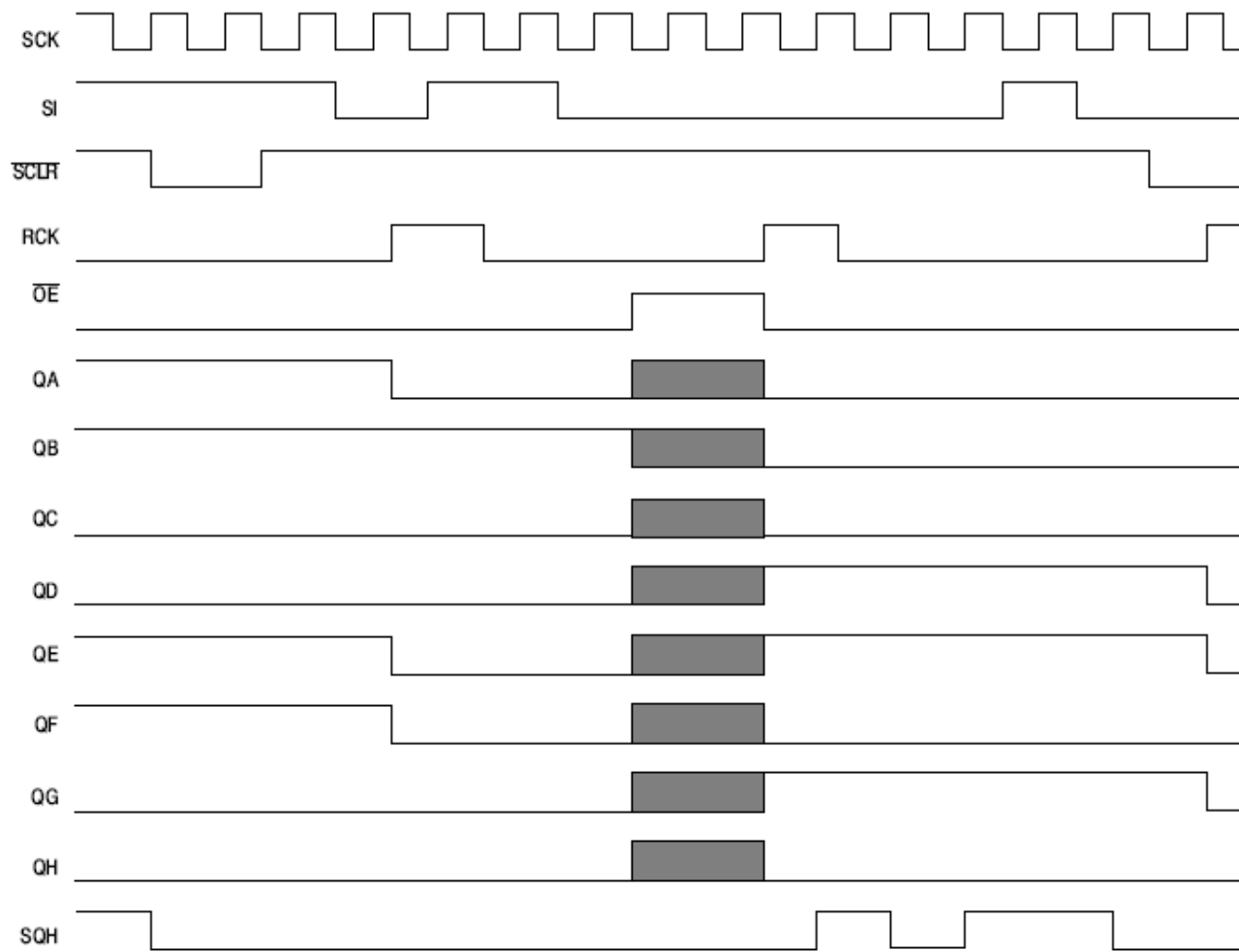
*包括所有的探头与夹具电容。

图 12



*包括所有的探头与夹具电容。

图 13



注：■ 输出处于高阻抗状态。

图 14 时序图

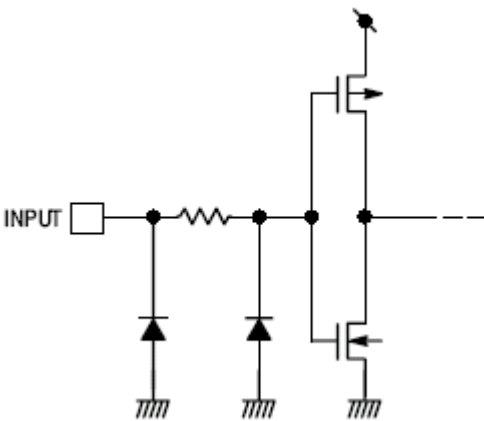


图 15 输入等效电路

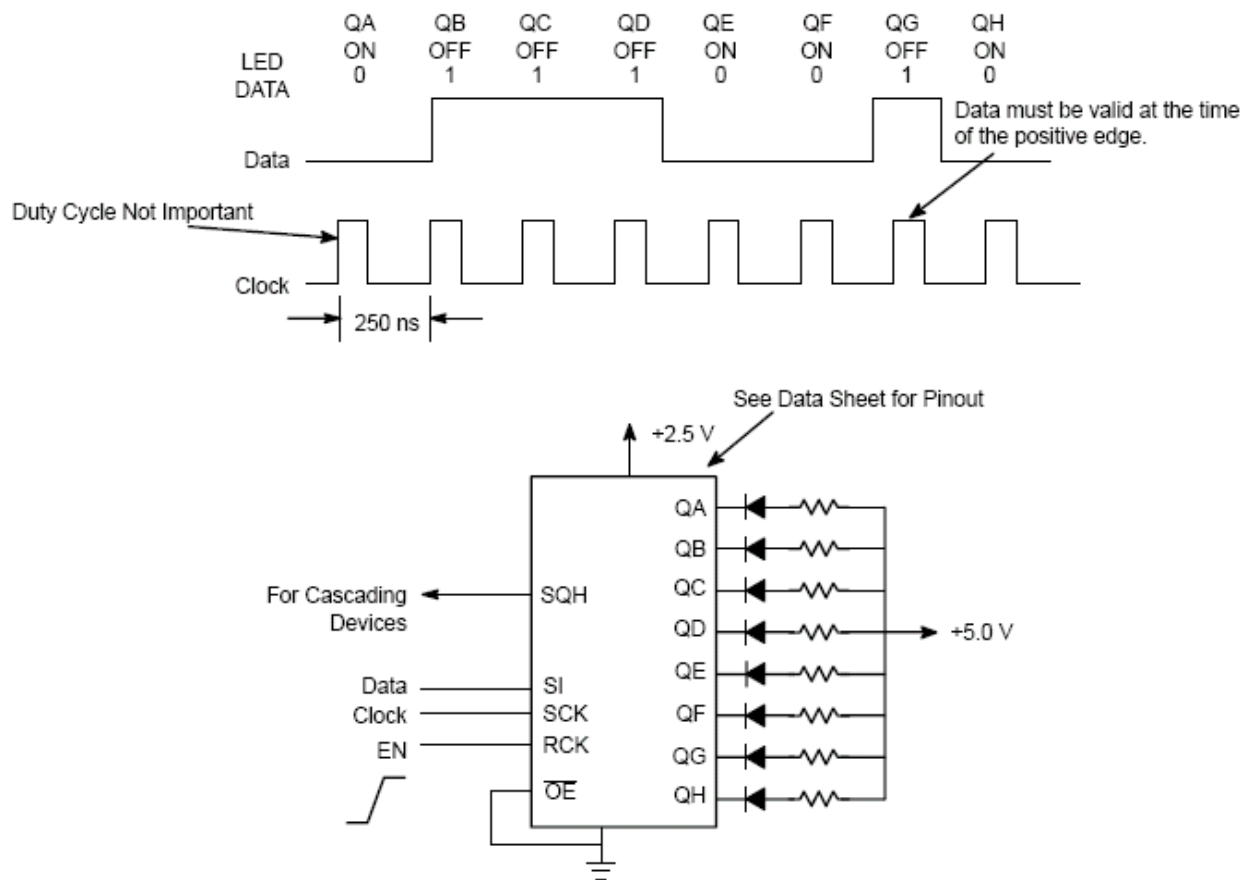


图 16 NLSF595 示例

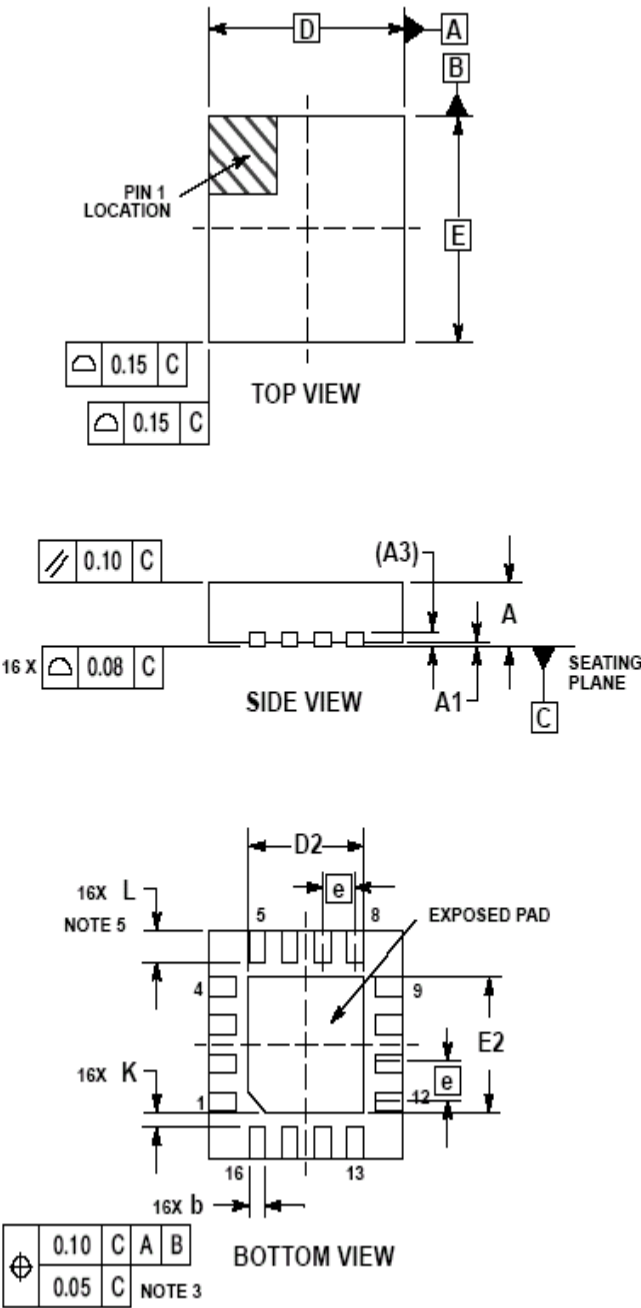
器件订购信息

Device Order Number	Device Nomenclature					Package Type	Tape & Reel Size†
	Circuit Indicator	Technology	Device Function	Package Suffix	Tape & Reel Suffix		
NLSF595MNR2	NL	SF	595	MN	R2	QFN	13-inch/2500 Unit
NLSF595DTR2	NL	SF	595	DT	R2	TSSOP	13-inch/2500 Unit
NLSF595DR2	NL	SF	595	D	R2	SOIC	13-inch/2500 Unit

†盘装与卷装的详细信息，包括器件定位与盘装大小，请参考我公司“盘装与卷装规格手册”——BRD8011/D。

封装尺寸

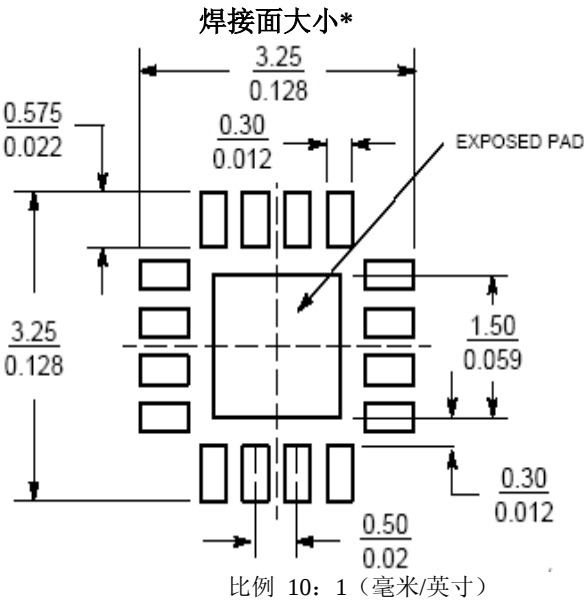
QFN-16
后缀 MN
CASE 485G-01
ISSUE B



注释:

- 1、量度与容度遵循 ASME Y14.5M, 1994。
- 2、控制尺寸：毫米。
- 3、尺寸 b 用于电镀端，在距该端 0.25 到 0.30 毫米的位置测得。
- 4、共面性适用于无遮蔽焊盘与管脚端。
- 5、Lmax 条件不能超出管脚末端与标记 (FLAG) 之间的最小间距——0.2 毫米。

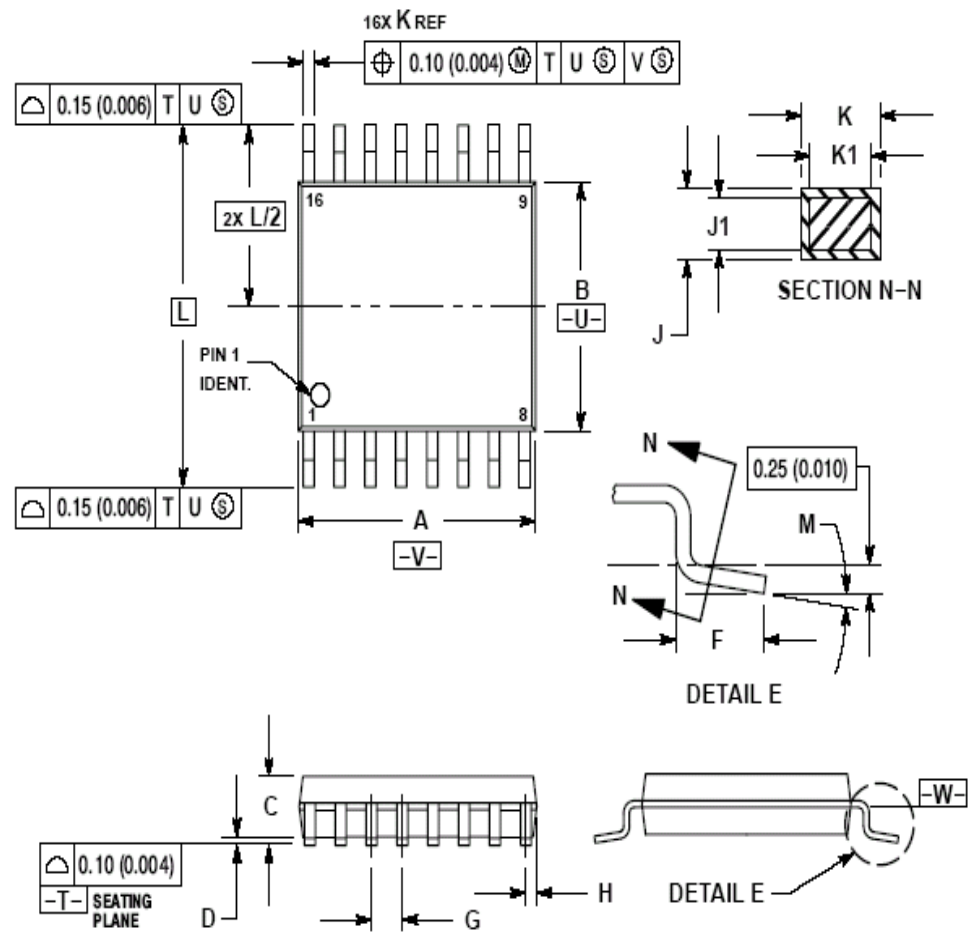
MILLIMETERS		
DIM	MIN	MAX
A	0.80	1.00
A1	0.00	0.05
A3	0.20 REF	
b	0.18	0.30
D	3.00 BSC	
D2	1.65	1.85
E	3.00 BSC	
E2	1.65	1.85
e	0.50 BSC	
K	0.20	---
L	0.30	0.50



*欲了解我公司的无铅产品策略与焊接技术详情，请下载安森美公司“焊接与安装技术参考手册”——SOLDERRM/D。

封装尺寸

TSSOP-16
后缀 DT
CASE 948F-01
ISSUE O

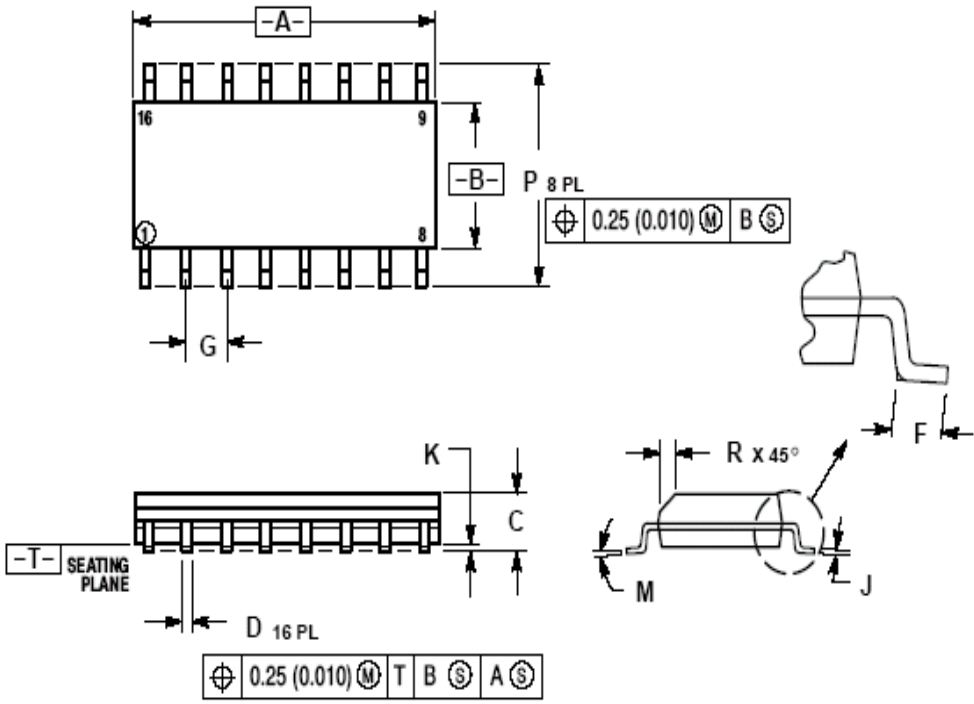


- 注释:
- 1、量度与容度遵循 ANSI Y14.5M, 1982。
 - 2、控制尺寸：毫米。
 - 3、尺寸 A 不包括模型薄膜、凸出部分或门栅毛边。每一边的模型薄膜或门栅毛边不应超过 0.15 (0.006)。
 - 4、尺寸 B 不包括管脚之间的薄膜或凸出部分。每一边的管脚之间的薄膜或凸出部分不应超过 0.25 (0.010)。
 - 5、尺寸 K 不包括挡板凸出部分。可接受的挡板凸出部分为 0.08 (0.003)，在最大材料条件下超过尺寸 K。
 - 6、图中给出的管脚端个数仅供参考。
 - 7、尺寸 A 与 B 在基准面-W-上确定。

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.90	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	---	1.20	---	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.18	0.28	0.007	0.011
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

封装尺寸

SOIC-16
后缀 D
CASE 751B-05
ISSUE J



- 注释：
- 1、量度与容度遵循 ANSI Y14.5M, 1982。
 - 2、控制尺寸：毫米。
 - 3、尺寸 A 与 B 不包括模型凸出部分。
 - 4、模型每一边的凸出部分最大值为 0.15 (0.005)。
 - 5、尺寸 D 不包括挡板凸出部分。可接受的挡板凸出部分为 0.127 (0.005)，在最大材料条件下超过尺寸 D。

声明：本资料仅供参考，如有疑问，请以相应英文资料为准。