

TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900/L シリーズ

TMP93CS20

株式会社 **東芝** セミコンダクター社

低電圧/低消費電力

CMOS 16 ビット マイクロコントローラ TMP93CS20F

1. 概要と特長

TMP93CS20は、低電圧/低消費電力動作が可能な高速・高機能16ビットマイクロコントローラです。TMP93CS20Fは144ピンフラットパッケージ製品です。

特長は、次のとおりです。

- (1) オリジナル16ビットCPU (900/L CPU 使用)
 - TLCS-90 と命令ニモニックで上位互換
 - 16 M バイトのリニアアドレス空間
 - 汎用レジスタ、レジスタバンク方式
 - 16 ビット乗除算命令、ビット転送/演算命令
 - マイクロ DMA: 4 チャンネル (1.6 μ s/2 バイト@20 MHz)
- (2) 最小命令実行時間: 200 ns (20 MHz 発振時)
- (3) 内蔵 RAM: 2 K バイト
内蔵 ROM: 64 K バイト
- (4) LCD ドライバ
 - 昇圧回路内蔵 (基準電圧外部入力)
 - 最大 40 segment \times 4 common
 - 1/4、1/3、1/2 デューティ、スタティック駆動の選択
- (5) 時計専用タイマ: 1 チャンネル
- (6) 8 ビットタイマ: 4 チャンネル
- (7) 16 ビットタイマ: 4 チャンネル
- (8) 汎用シリアルインタフェース: 2 チャンネル
 - UART/同期両モード対応: 1 チャンネル
 - UART 専用: 1 チャンネル

030519TBP1

• マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので必ずお読みください。

• 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。

• 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下“特定用途”という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。

• 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。

• 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。

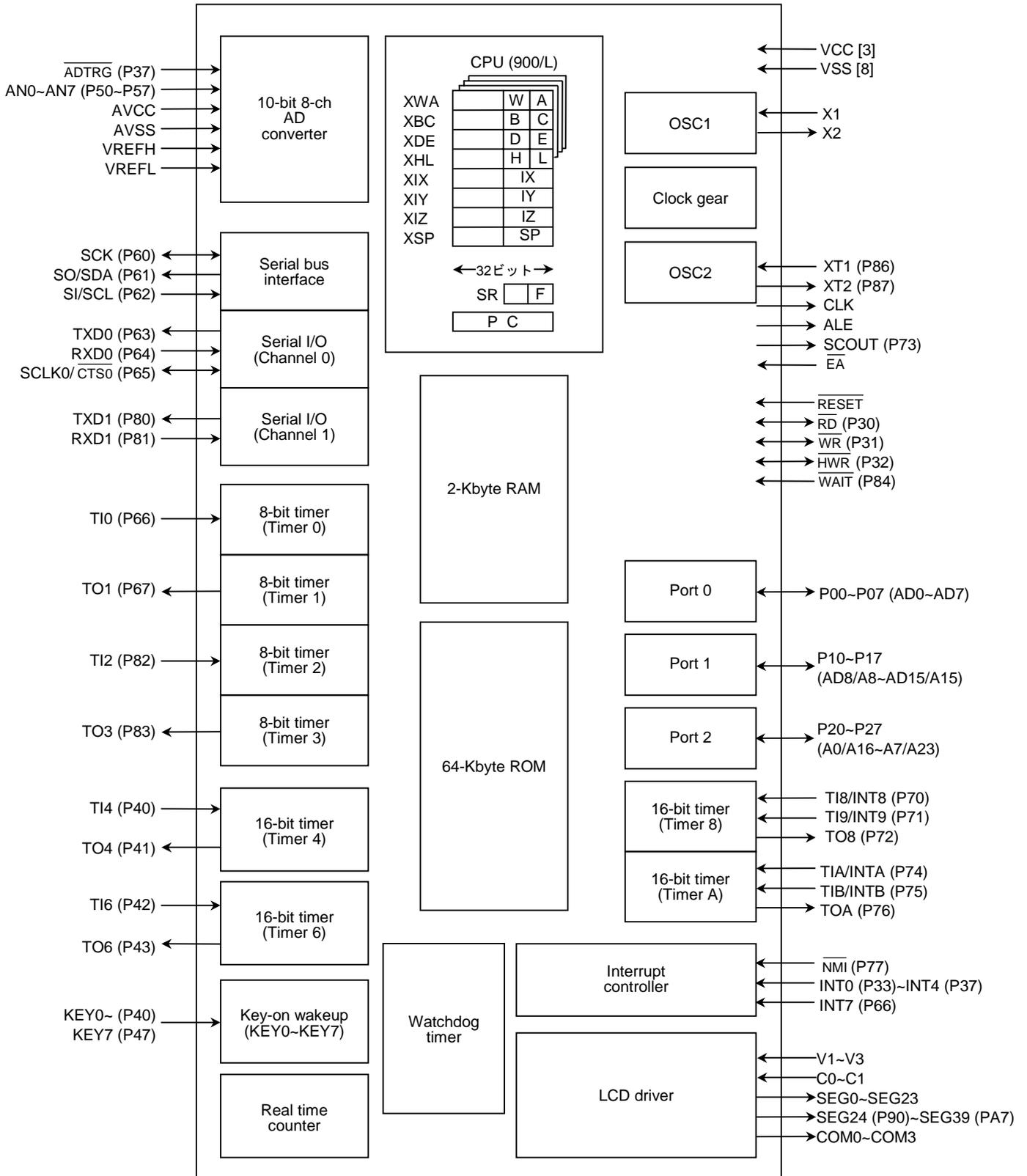
• 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。

• 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。



Purchase of TOSHIBA I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

- (9) シリアルバスインタフェース: 1チャンネル
- I²Cバスモード/クロック同期式8ビットSIOモード
- (10) 10ビットADコンバータ: 8チャンネル
- (11) 大電流駆動対応ポート: 8ポート(ポートA)
- (12) ウォッチドッグタイマ
- (13) キーオンウェイクアップ(キー入力割り込み)
- (14) 割り込み機能
- CPU 9本 ソフトウェア割り込み命令、未定義命令実行違反
 - 内部 24本
 - 外部 12本
- 7レベルの優先順位の設定が可能
- (15) 入出力ポート: 88端子(XT1/XT2を含む)
- 大電流出力: 8端子、LED直接駆動可能
- (16) スタンバイ機能
- 4種類のHALTモード(RUN、IDLE2、IDLE1、STOP)
- (17) クロックギア選択機能
- クロックギア: 高周波クロック $f_c \sim f_c/16$ まで切り替え可能
 - デュアルクロック
- (18) 低電圧動作
- $V_{cc} = 2.7 \sim 5.5 \text{ V}$
- (19) パッケージ: P-LQFP144-1616-0.40



注) リセット後、兼用端子は () 内の機能が選択されています。

図 1.1 TMP93CS20 ブロック図

2. ピン配置とピン機能

TMP93CS20 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

ピン配置図は、図 2.1.1 のとおりです。

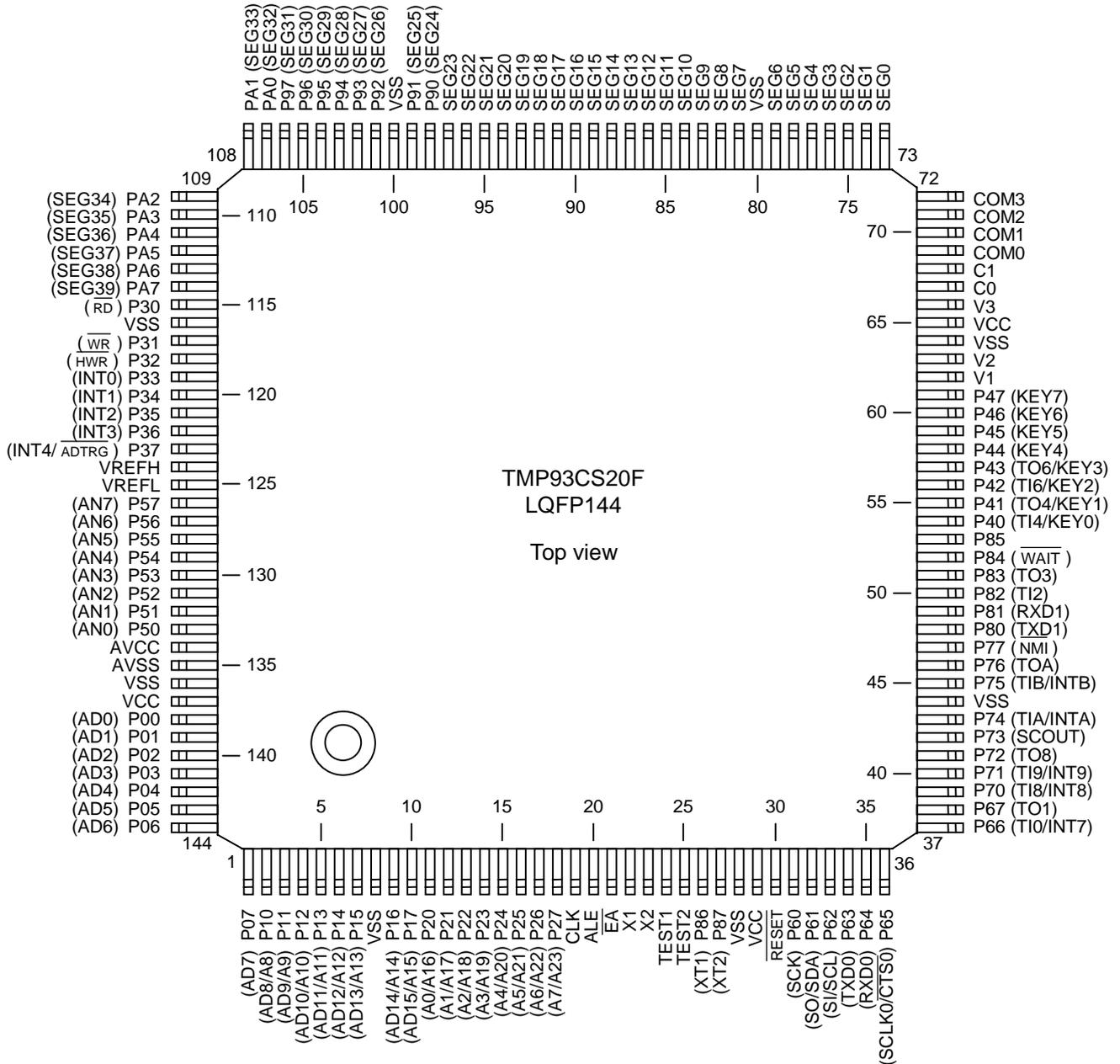


図 2.1.1 ピン配置図 (144 ピン LQFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は、表 2.2.1 のとおりです。

表 2.2.1 ピン名称と機能 (1/3)

ピン名称	ピン数	入出力	機能
P00~P07 AD0~AD7	8	入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポート アドレスデータ (下位): アドレス/データバス 0~7
P10~P17 AD8~AD15 A8~A15	8	入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート アドレスデータ (上位): アドレス/データバス 8~15 アドレス: アドレスバス 8~15
P20~P27 A0~A7 A16~A23	8	入出力 出力 出力	ポート 2: ビット単位で入出力の設定ができる入出力ポート (プルアップ付き) アドレス: アドレスバス 0~7 アドレス: アドレスバス 16~23
P30 RD	1	出力 出力	ポート 30: 出力専用ポート リード: 外部メモリをリードするためのストロープ信号 ($P3 < P30 > = 0$, $P3FC < P30F > = 1$ にすることにより、内部エリアをリードしたときも RD が出ます。)
P31 WR	1	出力 出力	ポート 31: 出力専用ポート ライト: AD0~AD7 端子のデータをライトするためのストロープ信号
P32 HWR	1	入出力 出力	ポート 32: 入出力ポート (プルアップ付き) 上位ライト: AD8~AD15 端子のデータをライトするためのストロープ信号
P33 INT0	1	入出力 入力	ポート 33: 入出力ポート (プルアップ付き) 割り込み要求端子 0: プログラマブル割り込み (レベルまたは立ち上がり/立ち下がりエッジ) 要求端子
P34 INT1	1	入出力 入力	ポート 34: 入出力ポート (プルアップ付き) 割り込み要求端子 1: プログラマブル割り込み (立ち上がり/立ち下がりエッジ) 要求端子
P35 INT2	1	入出力 入力	ポート 35: 入出力ポート (プルアップ付き) 割り込み要求端子 2: プログラマブル割り込み (立ち上がり/立ち下がりエッジ) 要求端子
P36 INT3	1	入出力 入力	ポート 36: 入出力ポート (プルアップ付き) 割り込み要求端子 3: プログラマブル割り込み (立ち上がり/立ち下がりエッジ) 要求端子
P37 INT4 ADTRG	1	入出力 入力 入力	ポート 37: 入出力ポート (プルアップ付き) 割り込み要求端子 4: プログラマブル割り込み (立ち上がり/立ち下がりエッジ) 要求端子 AD 外部トリガ端子: AD 変換開始用外部トリガ端子
P40 TI4 KEY0	1	入出力 入力 入力	ポート 40: 入出力ポート (プルアップ付き) タイマ入力 4: 16 ビットタイマ 4 の入力 キー入力 0: キーオンウェイクアップ端子 0
P41 TO4 KEY1	1	入出力 出力 入力	ポート 41: 入出力ポート (プルアップ付き) タイマ出力 4: 16 ビットタイマ 4 の出力 キー入力 1: キーオンウェイクアップ端子 1
P42 TI6 KEY2	1	入出力 入力 入力	ポート 42: 入出力ポート (プルアップ付き) タイマ入力 6: 16 ビットタイマ 6 の入力 キー入力 2: キーオンウェイクアップ端子 2
P43 TO6 KEY3	1	入出力 出力 入力	ポート 43: 入出力ポート (プルアップ付き) タイマ出力 6: 16 ビットタイマ 6 の出力 キー入力 3: キーオンウェイクアップ端子 3
P44~P47 KEY4~KEY7	4	入出力 入力	ポート 44~47: 入出力ポート (プルアップ付き) キー入力 4~7: キーオンウェイクアップ端子 4~7
P50~P57 AN0~AN7	8	入力 入力	ポート 50~57: 入力専用ポート アナログ入力 0~7
P60 SCK	1	入出力 入出力	ポート 60: 入出力ポート シリアルバスインタフェースの SIO モード時クロック入出力端子

表 2.2.1 ピン名称と機能 (2/3)

ピン名称	ピン数	入出力	機能
P61 SO SDA	1	入出力 出力 入出力	ポート 61: 入出力ポート (プログラマブルオープンドレイン機能付き) シリアルバスインタフェースの SIO モード時データ送信チャンネル シリアルバスインタフェースの I ² C バスモード時データ入出力端子
P62 SI SCL	1	入出力 入力 入出力	ポート 62: 入出力ポート (プログラマブルオープンドレイン機能付き) シリアルバスインタフェースの SIO モード時データ受信チャンネル シリアルバスインタフェースの I ² C バスモード時クロック入出力端子
P63 TXD0	1	入出力 出力	ポート 63: 入出力ポート (プログラマブルオープンドレイン機能付き) シリアル送信データ 0
P64 RXD0	1	入出力 入力	ポート 64: 入出力ポート シリアル受信データ 0
P65 SCLK0 CTS0	1	入出力 入出力 入力	ポート 65: 入出力ポート シリアルクロック入出力 0 シリアルデータ送信可能 0 (Clear to send)
P66 TI0 INT7	1	入出力 入力 入力	ポート 66: 入出力ポート タイマ入力 0: 8 ビットタイマ 0 の入力 割り込み要求端子 7: プログラマブル割り込み (立ち上がり/立ち下がりエッジ) 要求端子
P67 TO1	1	入出力 出力	ポート 67: 入出力ポート タイマ出力 1: 8 ビットタイマ 0 またはタイマ 1 の出力
P70 TI8 INT8	1	入出力 入力 入力	ポート 70: 入出力ポート (プルアップ付き) タイマ入力 8: 16 ビットタイマ 8 の入力 割り込み要求端子 8: プログラマブル割り込み (立ち上がり/立ち下がりエッジ) 要求端子
P71 TI9 INT9	1	入出力 入力 入力	ポート 71: 入出力ポート (プルアップ付き) タイマ入力 9: 16 ビットタイマ 8 の入力 割り込み要求端子 9: 立ち上がりエッジの割り込み要求端子
P72 TO8	1	入出力 出力	ポート 72: 入出力ポート (プルアップ付き) タイマ出力 8: 16 ビットタイマ 8 の出力
P73 SCOUT	1	入出力 出力	ポート 73: 入出力ポート (プルアップ付き) システムクロック出力: 外部回路同期用にシステムクロックまたはその 2 倍の クロックを出力します
P74 TIA INTA	1	入出力 入力 入力	ポート 74: 入出力ポート (プルアップ付き) タイマ入力 A: 16 ビットタイマ A の入力 割り込み要求端子 A: プログラマブル割り込み (立ち上がり/立ち下がりエッジ) 要求端子
P75 TIB INTB	1	入出力 入力 入力	ポート 75: 入出力ポート (プルアップ付き) タイマ入力 B: 16 ビットタイマ B の入力 割り込み要求端子 B: 立ち上がりエッジの割り込み要求端子
P76 TOA	1	入出力 出力	ポート 76: 入出力ポート (プルアップ付き) タイマ出力 A: 16 ビットタイマ A の出力
P77 NMI	1	入出力 入力	ポート 77: 入出力ポート (プルアップ付き) ノンマスクابل割り込み要求端子: 立ち下がり/両エッジがプログラマブルな割 り込み要求端子
P80 TXD1	1	入出力 出力	ポート 80: 入出力ポート (プログラマブルオープンドレイン機能付き) シリアル送信データ 1
P81 RXD1	1	入出力 入力	ポート 81: 入出力ポート (プログラマブルオープンドレイン機能付き) シリアル受信データ 1
P82 TI2	1	入出力 入力	ポート 82: 入出力ポート (プログラマブルオープンドレイン機能付き) タイマ入力 2: 8 ビットタイマ 2 の入力端子
P83 TO3	1	入出力 出力	ポート 83: 入出力ポート (プログラマブルオープンドレイン機能付き) タイマ出力 3: 8 ビットタイマ 2, 3 の出力端子
P84 WAIT	1	入出力 入力	ポート 84: 入出力ポート (プログラマブルオープンドレイン機能付き) ウェイト: CPU へのバスウェイト要求端子
P85	1	入出力	ポート 85: 入出力ポート (プログラマブルオープンドレイン機能付き)
P86 XT1	1	入出力 入力	ポート 86: 入出力ポート (オープンドレイン) 低周波発振器接続端子

表 2.2.1 ピン名称と機能 (3/3)

ピン名称	ピン数	入出力	機能
P87 XT2	1	入出力 出力	ポート 87: 入出力ポート (オープンドレイン) 低周波発振器接続端子
P90-P97 SEG24-SEG31	8	出力 出力	ポート 90-97: 出力専用ポート (オープンドレイン) セグメントデータ出力端子
PA0-PA7 SEG32-SEG39	8	出力 出力	ポート A0-A7: 出力専用ポートで、大電流ポート (オープンドレイン) セグメントデータ出力端子
SEG0-SEG23	24	出力	LCD セグメント出力
COM0-COM3	4	出力	LCD コモン出力
AVCC	1	電源	AD コンバータ 電源端子
AVSS	1	電源	AD コンバータ GND 端子 (0 V)
VREFH	1	入力	AD コンバータ用基準電源入力端子 (H)
VREFL	1	入力	AD コンバータ用基準電源入力端子 (L)
X1	1	入力	発振器接続端子
X2	1	出力	発振器接続端子
RESET	1	入力	リセット: LSI を初期化します。
ALE	1	出力	アドレスラッチイネーブル (ノイズ削減のため、出力禁止に設定できます。)
CLK	1	出力	クロック出力: 「外部入力クロック X1÷4」のクロックが出力されます。リセット期間中は、プルアップされます (ノイズ削減のため出力禁止に設定できます)。
$\overline{\text{EA}}$	1	入力	VCC に接続
VCC	3	電源	電源端子 (全 VCC 端子を電源に接続)
VSS	8	電源	GND 端子 (全 VSS 端子を GND (0 V) に接続)
TEST1 TEST2	2	出力 入力	テスト用端子 (両端子を基盤上で接続) その他の端子とは接続しないでください。
C0, C1, V1-V3	5	LCD 用 端子	LCD 駆動用昇圧端子。C0、C1 間および V1、V2、V3 と GND 間にコンデンサを接続。

注) プルアップ抵抗付き端子は、ソフトウェアによりその抵抗を端子から電氣的に切り離すことができます。

3. 動作説明

ここでは、TMP93CS20 の機能および基本動作について、ブロックごとに説明します。

なお、本章の最後に 7. 「使用上の注意、制限事項」としてブロック別の注意、制限事項などを掲載していますので、ご確認ください。

3.1 CPU

本デバイスには、高性能な 16 ビット CPU (TLCS-900/L CPU) が内蔵されています。CPU の動作については、前章の“TLCS-900/L CPU”を参照してください。

ここでは、“TLCS-900/L CPU”にて説明されていない、TMP93CS20 独自の CPU 機能について説明します。

3.1.1 リセット動作

本デバイスにリセットをかけるには電源電圧が動作範囲内であり、内部高周波発振器の発振が安定した状態で少なくとも 10 システムクロック間 (20 MHz クロック発振時で 16 μ s)、 $\overline{\text{RESET}}$ 入力を Low レベルにしてください。また、電源投入時は $\overline{\text{RESET}}$ 入力が Low レベルで、電源電圧が動作範囲内になり、内部高周波発振器の発振が安定した状態で、少なくとも 10 システムクロック間、 $\overline{\text{RESET}}$ 入力の Low レベルを保持してください。

なお、リセット動作にてクロックギアは 1/16 モードに初期化されるので、システムクロック f_{SYS} は $f_c/32 (= f_c/16 \times 1/2)$ となります。

- プログラムカウンタ PC をアドレス FFFF00H~FFFF02H に格納されているリセットベクタに従いセット

PC<7:0> ← アドレス FFFF00H の値

PC<15:8> ← アドレス FFFF01H の値

PC<23:16> ← アドレス FFFF02H の値

- スタックポインタ XSP を 100H にセット
- ステータスレジスタ SR<IFF2:0>を 111 にセット (割り込みレベルのマスクレジスタをレベル 7 にセット)
- ステータスレジスタ SR<MAX>を 1 にセット (マキシマムモードにセット)
- ステータスレジスタ SR<RFP2:0>を 000 にクリア (レジスタバンクを 0 にセット)

リセットが解除されると、セットされた PC に従い命令の実行を開始します。なお、上記以外の CPU 内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵 I/O およびその他の端子は、下記の動作を行います。

- 仕様で決められているとおりに、内蔵 I/O のレジスタを初期化
- ポート端子 (内蔵 I/O にも使用できる兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートにセット
- CLK 端子を 1 レベルにプルアップ
- ALE 端子を“ハイインピーダンス”にセット

注 1) リセット動作により、CPU の PC, SR, XSP 以外のレジスタ、内蔵 RAM のデータは変化しません。

注 2) リセット中、CLK 端子は H レベルにプルアップされますが、外部にて電圧レベルを下げないようにしてください。それにより誤動作する可能性があります。

図 3.1.1 にリセットタイミング例を示します。

3.2 メモリマップ

図 3.2.1 に、TMP93CS20 のメモリマップと、CPU の各アドレッシングモードのアクセス範囲を示します。

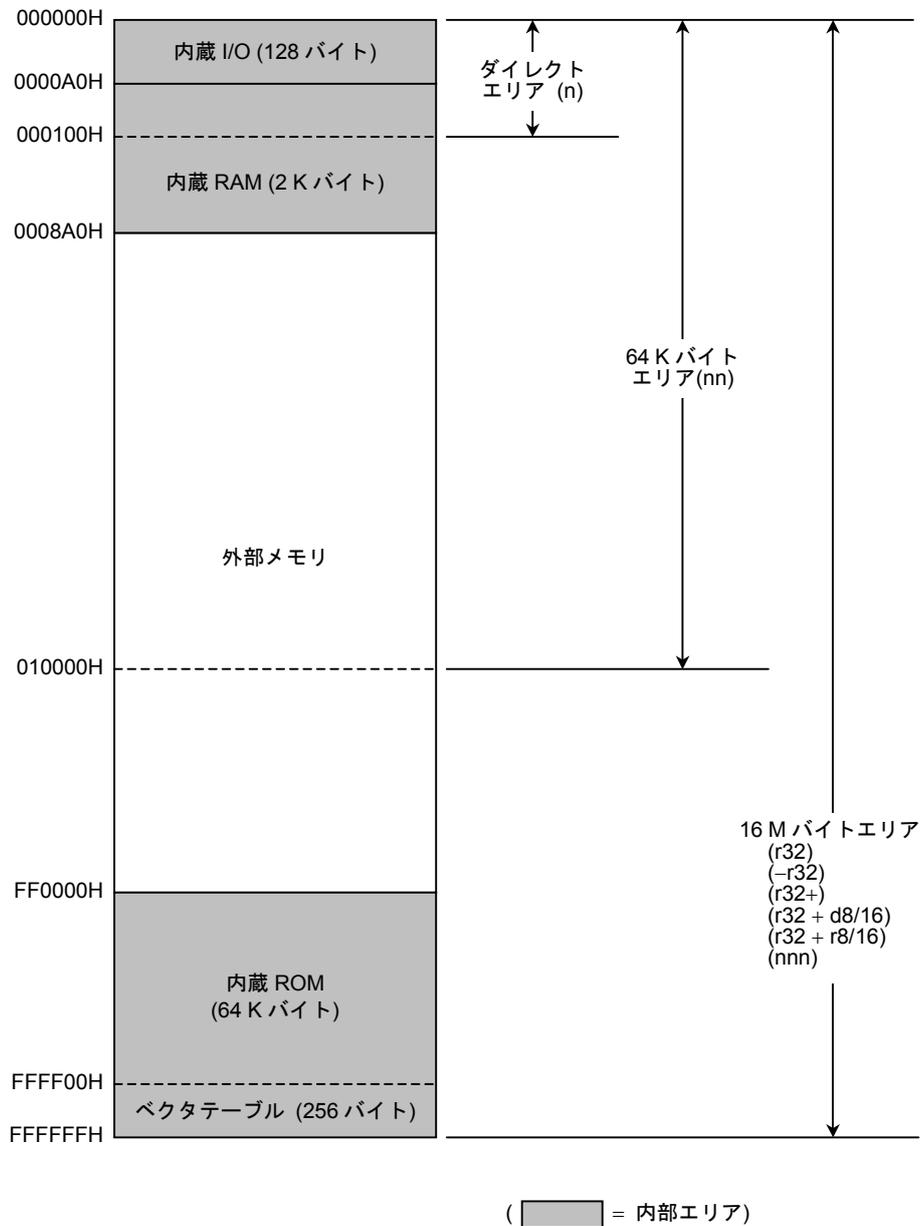


図 3.2.1 TMP93CS20 メモリマップ

4. 電気的特性

4.1 最大定格 (TMP93CS20F)

計算式に使用している“X”は、SYSCR1 <SYSCK> で選択されたクロック f_{FPH} の周期を示しますので、クロックギアや低速発振器を選択すると“X”の値が異なります。なお、例としての計算値は f_c 、ギア = $f_c/1$ (SYSCR1 <SYSCK, GEAR2:0> = 0000) のときの値です。

項目	記号	定格	単位
電源電圧	V_{CC}	-0.5~6.5	V
入力電圧	V_{IN}	-0.5~ $V_{CC} + 0.5$	V
出力電流 (1 端子当たり), 大電流ポート	I_{OL1}	20	mA
出力電流 (1 端子当たり)	I_{OL2}	2	mA
出力電流 (大電流ポート合計)	ΣI_{OL1}	80	mA
出力電流 (全端子合計)	ΣI_{OL}	120	mA
出力電流 (全端子合計)	ΣI_{OH}	-80	mA
消費電力 ($T_a = 85^\circ\text{C}$)	P_D	600	mW
はんだ付け温度 (10 s)	T_{SOLDER}	260	$^\circ\text{C}$
保存温度	T_{STG}	-65~150	$^\circ\text{C}$
動作温度	T_{OPR}	-40~85	$^\circ\text{C}$

注) 最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC 電気的特性 (1/2)

$T_a = -40\sim 85^\circ\text{C}$

項目		記号	条件	Min	Typ. (注)	Max	単位
電源電圧 ($A V_{CC} = V_{CC}$ $A V_{SS} = V_{SS} = 0\text{ V}$)		V_{CC}	$f_c = 4\sim 20\text{ MHz}$ $f_c = 4\sim 12.5\text{ MHz}$	$f_s = 30\sim 34\text{ kHz}$	4.5 2.7	5.5	V
低レベル 入力電圧	AD0~AD15	V_{IL}	$V_{CC} \geq 4.5\text{ V}$	-0.3		0.8	V
	ポート	V_{IL1}	$V_{CC} < 4.5\text{ V}$			0.6	
	KEY0~KEY7, NMI, INT0~INT4	V_{IL2}	$V_{CC} = 2.7\sim 5.5\text{ V}$			$0.3 V_{CC}$	
	\overline{EA}	V_{IL3}				0.3	
	X1	V_{IL4}				$0.2 V_{CC}$	
	\overline{RESET}	V_{IL5}				$0.1 V_{CC}$	
高レベル 入力電圧	AD0~AD15	V_{IH}	$V_{CC} \geq 4.5\text{ V}$	2.2		$V_{CC} + 0.3$	
	ポート	V_{IH1}	$V_{CC} \geq 4.5\text{ V}$	2.0			
	KEY0~KEY7, \overline{NMI} , INT0~INT4	V_{IH2}	$V_{CC} = 2.7\sim 5.5\text{ V}$		$0.7 V_{CC}$		
	\overline{EA}	V_{IH3}			$V_{CC} - 0.3$		
	X1	V_{IH4}			$0.8 V_{CC}$		
	\overline{RESET}	V_{IH5}			$0.6 V_{CC}$		

注) Typ.値は特に指定のない限り、 $T_a = 25^\circ\text{C}$ 、 $V_{CC} = 5\text{ V}$ です。

4.2 DC 電気的特性 (2/2)

項目	記号	条件	Min	Typ.(注 1)	Max	単位		
低レベル出力電圧	V_{OL}	$I_{OL} = 1.6 \text{ mA}$ ($V_{CC} = 2.7 \sim 5.5 \text{ V}$)			0.45	V		
低レベル出力電流 (PA0~PA7)	I_{OLA}	$V_{OL} = 1.0 \text{ V}$ ($V_{CC} = 5 \text{ V} \pm 10\%$)	16			mA		
		($V_{CC} = 3 \text{ V} \pm 10\%$)	7					
高レベル出力電圧	V_{OH1}	$I_{OH} = -400 \mu\text{A}$ ($V_{CC} = 3 \text{ V} \pm 10\%$)	2.4			V		
	V_{OH2}	$I_{OH} = -400 \mu\text{A}$ ($V_{CC} = 5 \text{ V} \pm 10\%$)	4.2					
出力ポート電流 (8 出力ピン max)	I_{DAR} (注 2)	$V_{EXT} = 1.5 \text{ V}$ $R_{EXT} = 1.1 \text{ k}\Omega$ ($V_{CC} = 5 \text{ V} \pm 10\%$ のみ)	-1.0		-3.5	mA		
入力リーク電流	I_{LI}	$0.0 \leq V_{IN} \leq V_{CC}$		0.02	± 5	μA		
出力リーク電流	I_{LO}	$0.2 \leq V_{IN} \leq V_{CC} - 0.2$		0.05	± 10			
パワーダウン電圧 (@STOP, RAM バックアップ)	V_{STOP}	$V_{IL2} = 0.2 V_{CC}$, $V_{IH2} = 0.8 V_{CC}$	2.0		6.0	V		
端子容量	C_{IO}	$f_c = 1 \text{ MHz}$			10	pF		
シュミット幅 KEYx, \overline{NMI} , INT0~INT4, \overline{RESET}	V_{TH}		0.4	1.0		V		
プログラマブル プルアップ抵抗	R_{KH}	$V_{CC} = 5 \text{ V} \pm 10\%$	50		150	k Ω		
		$V_{CC} = 3 \text{ V} \pm 10\%$	100		300			
NORMAL	I_{CC}	$V_{CC} = 5 \text{ V} \pm 10\%$ $f_c = 20 \text{ MHz}$		25	28	mA		
RUN				20	25			
IDLE2				14	17			
IDLE1				3.5	5			
NORMAL			$V_{CC} = 3 \text{ V} \pm 10\%$ $f_c = 12.5 \text{ MHz}$ (Typ.値は $V_{CC} = 3.0 \text{ V}$)		11		14	mA
RUN					9		12	
IDLE2				6	7.5			
IDLE1				1.5	2.0			
SLOW		$V_{CC} = 3 \text{ V} \pm 10\%$ $f_s = 32.768 \text{ kHz}$ (Typ.値は $V_{CC} = 3.0 \text{ V}$) 昇圧周波数 1 kHz 時			28	37	μA	
RUN					21	27		
IDLE2				14	19			
IDLE1				7	9			
STOP		$T_a \leq 50^\circ\text{C}$			10	μA		
		$T_a \leq 70^\circ\text{C}$		0.2	20			
		$T_a \leq 85^\circ\text{C}$			50			

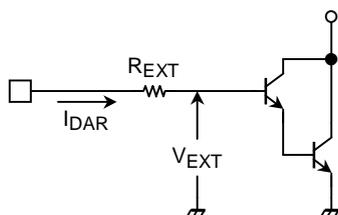
注 1) Typ.値は特に指定のない限り、 $T_a = 25^\circ\text{C}$ 、 $V_{CC} = 5 \text{ V}$ です。

注 2) I_{DAR} は、任意の出力ポートについて合計 8 本までこのスペックを保証します。

注 3) セグメント/コモン出力に無負荷の場合です。

注 4) I_{CC} NORMAL, SLOW の測定条件: CPU のみ動作、出力端子は開放、入力端子はレベル固定。

(参) I_{DAR} の定義図



4.3 AC 電気的特性

(1) $V_{cc} = 5 V \pm 10\%$

No.	項目	記号	計算式		16 MHz		20 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	発振周期 (= x)	t _{OSC}	50	31250	62.5		50		ns
2	CLK パルス幅	t _{CLK}	2x - 40		85		60		ns
3	A0~A23 有効 → CLK 保持	t _{AK}	0.5x - 20		11		5		ns
4	CLK 有効 → A0~A23 保持	t _{KA}	1.5x - 70		24		5		ns
5	A0~A15 有効 → ALE 立ち下がり	t _{AL}	0.5x - 15		16		10		ns
6	ALE 立ち下がり → A0~A15 保持	t _{LA}	0.5x - 20		11		5		ns
7	ALE High パルス幅	t _{LL}	x - 40		23		10		ns
8	ALE 立ち下がり → $\overline{RD}/\overline{WR}$ 立ち下がり	t _{LC}	0.5x - 25		6		0		ns
9	$\overline{RD}/\overline{WR}$ 立ち上がり → ALE 立ち上がり	t _{CL}	0.5x - 20		11		5		ns
10	A0~A15 有効 → $\overline{RD}/\overline{WR}$ 立ち下がり	t _{ACL}	x - 25		38		25		ns
11	A0~A23 有効 → $\overline{RD}/\overline{WR}$ 立ち下がり	t _{ACH}	1.5x - 50		44		25		ns
12	$\overline{RD}/\overline{WR}$ 立ち上がり → A0~A23 保持	t _{CA}	0.5x - 25		6		0		ns
13	A0~A15 有効 → D0~D15 入力	t _{ADL}		3.0x - 55		133		95	ns
14	A0~A23 有効 → D0~D15 入力	t _{ADH}		3.5x - 65		154		110	ns
15	\overline{RD} 立ち下がり → D0~D15 入力	t _{RD}		2.0x - 60		65		40	ns
16	\overline{RD} Low パルス幅	t _{RR}	2.0x - 40		85		60		ns
17	\overline{RD} 立ち上がり → D0~D15 保持	t _{HR}	0		0		0		ns
18	\overline{RD} 立ち上がり → A0~A15 出力	t _{RAE}	x - 15		48		35		ns
19	\overline{WR} Low パルス幅	t _{WW}	2.0x - 40		85		60		ns
20	D0~D15 有効 → \overline{WR} 立ち上がり	t _{DW}	2.0x - 55		70		45		ns
21	\overline{WR} 立ち上がり → D0~D15 保持 <small>($\frac{(1+N) \text{ WAIT}}{\text{モード}}$)</small>	t _{WD}	0.5x - 15		16		10		ns
22	A0~A23 有効 → \overline{WAIT} 入力 <small>($\frac{(1+N) \text{ WAIT}}{\text{モード}}$)</small>	t _{AWH}		3.5x - 90		129		85	ns
23	A0~A15 有効 → \overline{WAIT} 入力 <small>($\frac{(1+N) \text{ WAIT}}{\text{モード}}$)</small>	t _{AWL}		3.0x - 80		108		70	ns
24	$\overline{RD}/\overline{WR}$ 立ち下がり → \overline{WAIT} 保持	t _{CW}	2.0x + 0		125		100		ns
25	A0~A23 有効 → ポート入力	t _{APH}		2.5x - 120		36		5	ns
26	A0~A23 有効 → ポート保持	t _{APH2}	2.5x + 50		206		175		ns
27	\overline{WR} 立ち上がり → ポート有効	t _{CP}		200		200		200	ns

AC 測定条件

- 出力レベル：High 2.2 V/Low 0.8 V, CL = 50 pF
(ただし, AD0~AD15, A0~A23, ALE, \overline{RD} , \overline{WR} , \overline{HWR} , CLK は, CL = 100 pF)
- 入力レベル：High 2.4 V/Low 0.45 V (AD0~AD15)
High $0.8 \times V_{cc}$ /Low $0.2 \times V_{cc}$ (AD0~AD15 を除く)

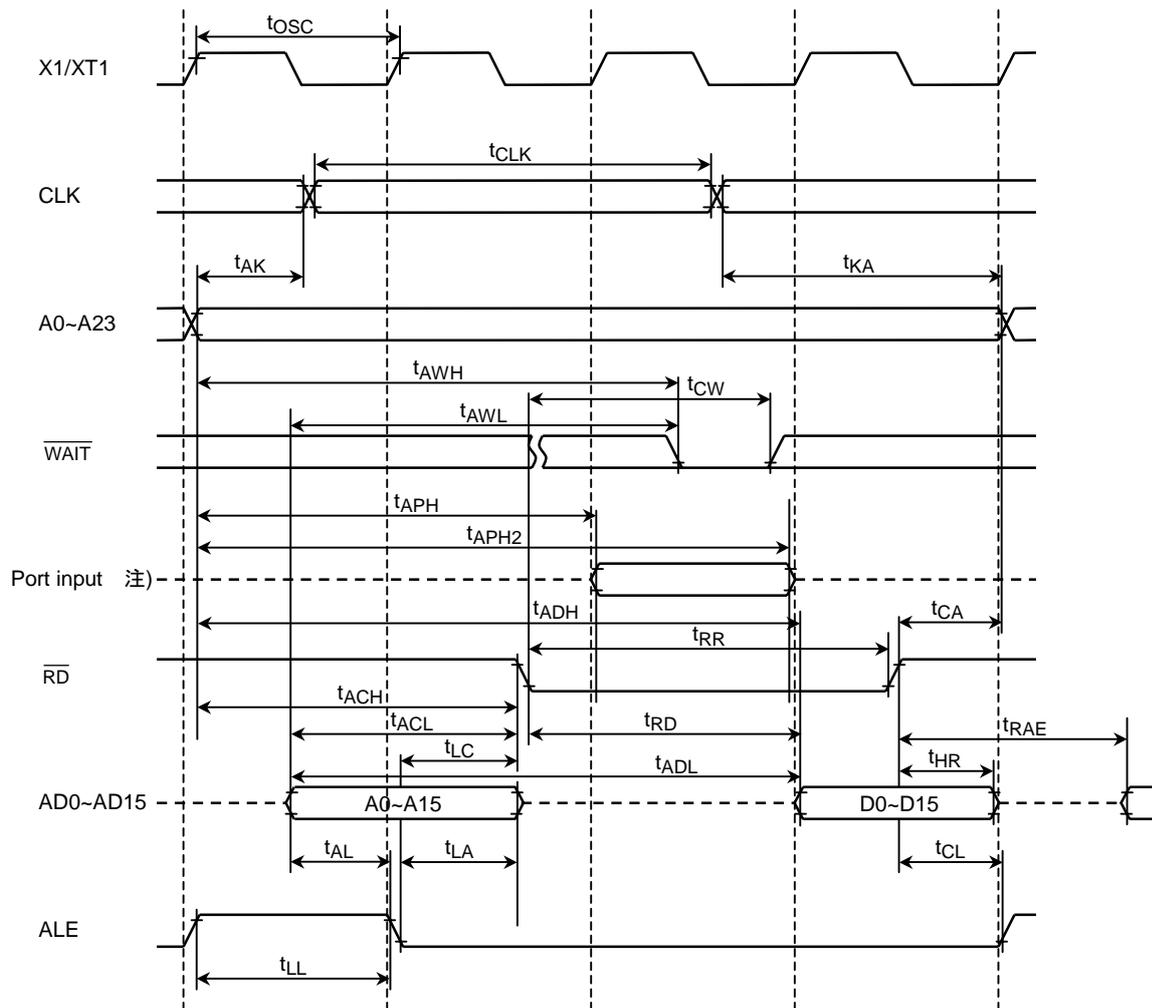
(2) $V_{CC} = 3V \pm 10\%$

No.	項目	記号	計算式		12.5 MHz		単位
			Min	Max	Min	Max	
1	発振周期 (= x)	t _{OSC}	80	31250	80		ns
2	CLK パルス幅	t _{CLK}	2x - 40		120		ns
3	A0~A23 有効 → CLK 保持	t _{AK}	0.5x - 30		10		ns
4	CLK 有効 → A0~A23 保持	t _{KA}	1.5x - 80		40		ns
5	A0~A15 有効 → ALE 立ち下がり	t _{AL}	0.5x - 35		5		ns
6	ALE 立ち下がり → A0~A15 保持	t _{LA}	0.5x - 35		5		ns
7	ALE High パルス幅	t _{LL}	x - 60		20		ns
8	ALE 立ち下がり → \overline{RD} / \overline{WR} 立ち下がり	t _{LC}	0.5x - 35		5		ns
9	\overline{RD} / \overline{WR} 立ち上がり → ALE 立ち上がり	t _{CL}	0.5x - 40		0		ns
10	A0~A15 有効 → \overline{RD} / \overline{WR} 立ち下がり	t _{ACL}	x - 50		30		ns
11	A0~A23 有効 → \overline{RD} / \overline{WR} 立ち下がり	t _{ACH}	1.5x - 50		70		ns
12	\overline{RD} / \overline{WR} 立ち上がり → A0~A23 保持	t _{CA}	0.5x - 40		0		ns
13	A0~A15 有効 → D0~D15 入力	t _{ADL}		3.0x - 110		130	ns
14	A0~A23 有効 → D0~D15 入力	t _{ADH}		3.5x - 125		155	ns
15	\overline{RD} 立ち下がり → D0~D15 入力	t _{RD}		2.0x - 115		45	ns
16	\overline{RD} Low パルス幅	t _{RR}	2.0x - 40		120		ns
17	\overline{RD} 立ち上がり → D0~D15 保持	t _{HR}	0		0		ns
18	\overline{RD} 立ち上がり → A0~A15 出力	t _{RAE}	x - 25		55		ns
19	\overline{WR} Low パルス幅	t _{WW}	2.0x - 40		120		ns
20	D0~D15 有効 → \overline{WR} 立ち上がり	t _{DW}	2.0x - 120		40		ns
21	\overline{WR} 立ち上がり → D0~D15 保持	t _{WD}	0.5x - 40		0		ns
22	A0~A23 有効 → \overline{WAIT} 入力	t _{AWH}		3.5x - 130		150	ns
23	A0~A15 有効 → \overline{WAIT} 入力	t _{AWL}		3.0x - 100		140	ns
24	\overline{RD} / \overline{WR} 立ち下がり → \overline{WAIT} 保持	t _{CW}	2.0x + 0		160		ns
25	A0~A23 有効 → ポート入力	t _{APH}		2.5x - 120		80	ns
26	A0~A23 有効 → ポート保持	t _{APH2}	2.5x + 50		250		ns
27	\overline{WR} 立ち上がり → ポート有効	t _{CP}		200		200	ns

AC 測定条件

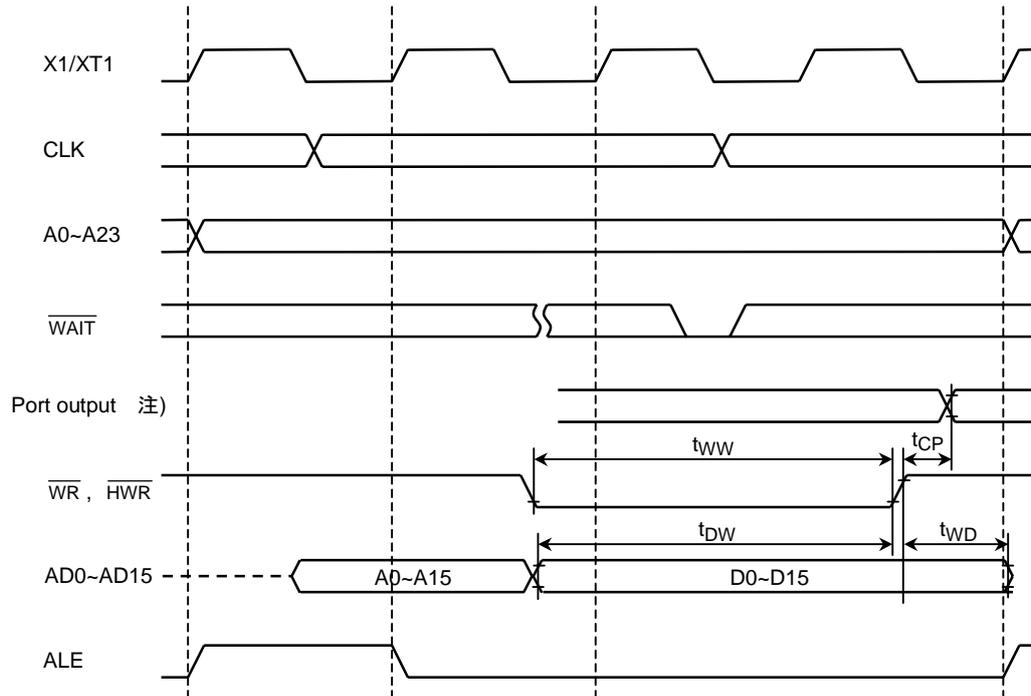
- 出力レベル: High $0.7 \times V_{CC}$ / Low $0.3 \times V_{CC}$, $C_L = 50 \text{ pF}$
- 入力レベル: High $0.9 \times V_{CC}$ / Low $0.1 \times V_{CC}$

(1) リードサイクル



注) ポートのデータリードは内蔵エリアへのアクセスとなるため、外部端子の制御信号 \overline{RD} 、 \overline{CS} 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

(2) ライトサイクル



注) ポートのデータライトは内蔵エリアへのアクセスとなるため、外部端子の制御信号 \overline{WR} 、 \overline{CS} 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

4.4 シリアルチャネルタイミング

(1) I/O インタフェースモード

1. SCLK 入力モード

項目	記号	計算式		32.768 MHz 注)		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
SCLK 周期	t _{SCY}	16x		488 μs		1.28		0.8		μs
出力データ → SCLK 立ち上がり/立ち下がり*	t _{OSS}	t _{SCY} /2-5x-50		91.5 μs		190		100		ns
SCLK 立ち上がり/立ち下がり* → 出力データ保持	t _{OHS}	5x-100		152 μs		300		150		ns
SCLK 立ち上がり/立ち下がり* → 入力データ保持	t _{HSR}	0		0		0		0		ns
SCLK 立ち上がり/立ち下がり* → 有効データ入力	t _{SRD}		t _{SCY} -5x-100		336 μs		780		450	ns

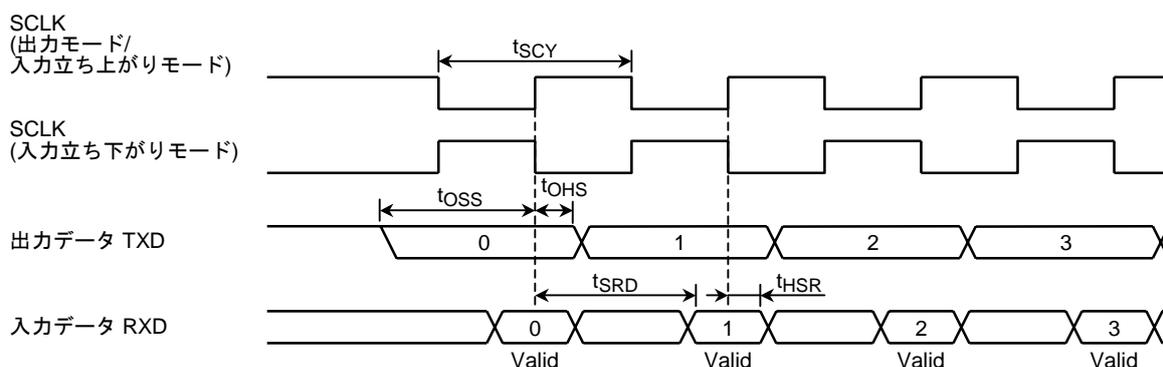
注) システムクロックを fs、またはプリスケラへの入力クロックとして、fs の分周クロックを使用した場合。

*) SCLK 立ち上がり/立ち下がり … SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりタイミングです。

2. SCLK 出力モード

項目	記号	計算式		32.768 MHz 注)		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	16x	8192x	488 μs	250 ms	1.28	655.36	0.8	409.6	μs
出力データ → SCLK 立ち上がり	t _{OSS}	t _{SCY} -2x-150		427 μs		970		550		ns
SCLK 立ち上がり → 出力データ保持	t _{OHS}	2x-80		60 μs		80		20		ns
SCLK 立ち上がり → 入力データ保持	t _{HSR}	0		0		0		0		ns
SCLK 立ち上がり → 有効データ入力	t _{SRD}		t _{SCY} -2x-150		428 μs		970		550	ns

注) システムクロックを fs、またはプリスケラへの入力クロックとして、fs の分周クロックを使用した場合。



(2) UART モード (SCLK0, SCLK1 外部入力)

項目	記号	計算式		32.768 MHz 注)		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
SCLK 周期	t _{SCY}	4x+20		122 μs		340		220		ns
SCLK 低レベルパルス幅	t _{SCYL}	2x+5		6 μs		165		105		ns
SCLK 高レベルパルス幅	t _{SCYH}	2x+5		6 μs		165		105		ns

注) システムクロックを fs、またはプリスケラへの入力クロックとして、fs の分周クロックを使用した場合。

4.5 AD 変換特性 ($V_{SS} = 0\text{ V}$, $Av_{CC} = V_{CC}$, $Av_{SS} = V_{SS}$, $T_a = -40\sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位		
アナログ基準電圧 (+)	V_{REFH}	$V_{CC} = 5\text{ V} \pm 10\%$	$V_{CC} - 1.5\text{ V}$	V_{CC}	V_{CC}	V		
		$V_{CC} = 3\text{ V} \pm 10\%$	$V_{CC} - 0.2\text{ V}$	V_{CC}	V_{CC}			
アナログ基準電圧 (-)	V_{REFL}	$V_{CC} = 5\text{ V} \pm 10\%$	V_{SS}		mA			
		$V_{CC} = 3\text{ V} \pm 10\%$	V_{SS}					
アナログ入力電圧	V_{AIN}		V_{REFL}				V_{REFH}	μA
アナログ基準電圧電源電流	I_{REF} ($V_{REFL} = 0\text{ V}$)	$V_{CC} = 5\text{ V} \pm 10\%$		1.6			2.0	
<VREFON> = 1		$V_{CC} = 3\text{ V} \pm 10\%$		1.0		1.5		
<VREFON> = 0		$V_{CC} = 2.7\sim 5.5\text{ V}$		0.02		5.0		
総合誤差 (量子化誤差を含みません)	-	$V_{CC} = 5\text{ V} \pm 10\%$		± 1.0	± 3.0	LSB		
		$V_{CC} = 3\text{ V} \pm 10\%$		± 1.0	± 5.0			

注 1) $1\text{ LSB} = (V_{REFH} - V_{REFL})/2^{10}$ [V]

注 2) 最低動作周波数について

AD コンバータの動作は、 f_c 使用時にクロックギアで選択されたクロックの周波数が 4 MHz 以上で保証します。

注 3) AV_{CC} 端子より流れる電源電流は、 V_{CC} 端子の電源電流 I_{CC} に含まれます。

4.6 LCD ドライバ特性

チャージポンプ特性		記号	Min	Typ.	Max	単位
リファレンス入力電圧		V_{L1}	0.9		1.83	V
出力電圧	V2 端子	V_{L2}		$2 \times V_{L1}$		V
	V3 端子	V_{L3}		$3 \times V_{L1}$		V
外付け容量	C0-C1 間	C_{PMP}	0.1		1.0	μF
	V1 端子	C_{VL1}	0.1		1.0	μF
	V2 端子	C_{VL2}	0.1		1.0	μF
	V3 端子	C_{VL3}	0.1		1.0	μF

注) 出力電圧、外付け容量は無負荷の場合です。

4.7 イベントカウンタ (TI0, TI2, TI4, TI6, TI8~TIB)

項目	記号	計算式		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
クロック周期	t_{VCK}	$8X + 100$		740		500		ns
クロック低レベルパルス幅	t_{VCKL}	$4X + 40$		360		240		ns
クロック高レベルパルス幅	t_{VCKH}	$4X + 40$		360		240		ns

4.8 割り込み、キャプチャ

(1) \overline{NMI} , INT0~INT4 割り込み, INTKEY 割り込み

項目	記号	計算式		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
低レベルパルス幅	t_{INTAL}	$4X$		320		200		ns
高レベルパルス幅	t_{INTAH}	$4X$		320		200		ns

(2) INT7~INTB 割り込み、キャプチャ

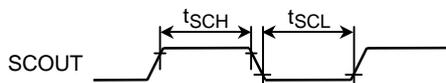
項目	記号	計算式		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
低レベルパルス幅	t_{INTBL}	$4X + 100$		420		300		ns
高レベルパルス幅	t_{INTBH}	$4X + 100$		420		300		ns

4.9 SCOUT 端子 AC 特性

項目	記号	計算式		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
高レベルパルス幅 $V_{CC} = 5V \pm 10\%$	t_{SCH}	$0.5X - 10$		30		15		ns
$V_{CC} = 3V \pm 10\%$		$0.5X - 20$		20		-	-	
低レベルパルス幅 $V_{CC} = 5V \pm 10\%$	t_{SCL}	$0.5X - 10$		30		15		ns
$V_{CC} = 3V \pm 10\%$		$0.5X - 20$		20		-	-	

測定条件

- 出力レベル : High 2.2 V/Low 0.8 V, $CL = 10$ pF

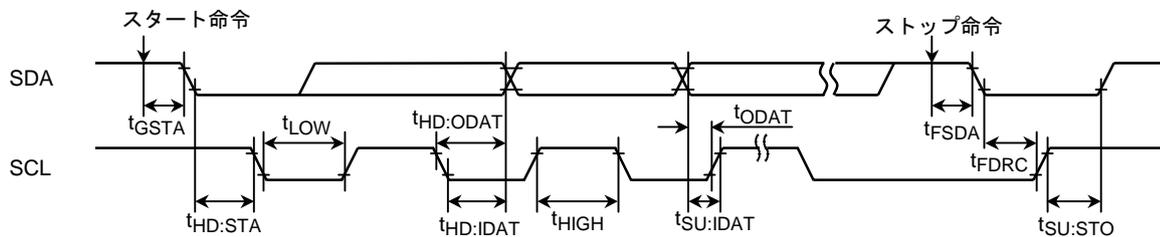


4.10 シリアルバスインタフェースタイミング

(1) I²C バスモード

項目	記号	計算式			単位
		Min	Typ.	Max	
START 命令 → SDA 立ち下がり	t _{GSTA}	3X			s
開始条件のホールド時間	t _{HD:STA}	2 ⁿ X			s
SCL 低レベルパルス幅	t _{LOW}	2 ⁿ X			s
SCL 高レベルパルス幅	t _{HIGH}	2 ⁿ X+12X			s
データのホールド時間 (入力)	t _{HD:IDAT}	0			ns
データのセットアップ時間 (入力)	t _{SU:IDAT}	250			ns
データのホールド時間 (出力)	t _{HD:ODAT}	7X		11X	s
データ有効 → SCL 立ち上がり	t _{ODAT}		2 ⁿ X - t _{HD:ODAT}		s
STOP 命令 → SDA 立ち下がり	t _{FSDA}	3X			s
SDA 立ち下がり → SCL 立ち上がり	t _{FDRC}	2 ⁿ X			s
停止条件のホールド時間	t _{SU:STO}	2 ⁿ X + 16X			s

注) n は SBICR1<SCK2:0> で設定してください。



(2) クロック同期式 8 ビット SIO モード (シリアルバスインタフェース)

1. SCK 入力モード

項目	記号	計算式		単位
		Min	Max	
SCK 周期	t_{SCY2}	2^5X		s
SCK 立ち下がり → 出力データ保持	t_{OHS2}	$6X$		s
出力データ有効 → SCK 立ち上がり	t_{OSS2}	$t_{SCY2} - 6X$		s
SCK 立ち上がり → 入力データ保持	t_{HSR2}	$6X$		ns
入力データ有効 → SCK 立ち上がり	t_{ISS2}	0		ns

2. SCK 出力モード

項目	記号	計算式		単位
		Min	Max	
SCK 周期	t_{SCY2}	2^5X	$2^{11}X$	s
SCK 立ち下がり → 出力データ保持	t_{OHS2}	$2X$		s
出力データ有効 → SCK 立ち上がり	t_{OSS2}	$t_{SCY2} - 2X$		s
SCK 立ち上がり → 入力データ保持	t_{HSR2}	$2X$		s
入力データ有効 → SCK 立ち上がり	t_{ISS2}	0		ns

