

CXD4016R

概要・用途

CXD4016Rは、民生機器向けの赤外線空間デジタルオーディオ伝送 (IEC61603-8-1準拠) 用の送信デジタル信号処理ICで、RF用D/Aコンバータ、PLLを内蔵しています。全デジタル信号処理により無調整で安定した動作が可能です。

特長・機能

- ◆ 1チップで送信デジタル信号処理をすべて処理
- ◆ 赤外線空間デジタルオーディオ伝送方式の民生用フォーマットに対応
- ◆ 3つのオーディオサンプリング周波数 (32kHz, 44.1kHz, 48kHz) に対応
- ◆ D/Aコンバータ内蔵によりRFを直接出力できる
- ◆ 外付けRAM, PLL不要

<Audio I/Fブロック>

- ◆ 各種オーディオ用A/Dコンバータとインタフェース可能

<Parity Generatorブロック>

- ◆ 赤外線空間デジタルオーディオ伝送方式フォーマットのリードソロモンパリティを自動生成

<Modulatorブロック>

- ◆ 全デジタル処理により直接赤外線空間デジタルオーディオ伝送方式フォーマットの送信RF信号を生成
- ◆ デジタルフィルタおよびRF用D/Aコンバータ内蔵により外部アナログ回路の簡易化可能
- ◆ デジタル処理による安定したサブキャリアの生成が可能

<Controllerブロック>

- ◆ 簡易ピン設定モード
- ◆ シリアルバスによるシリアルデータインタフェース

<PLLブロック>

- ◆ 赤外線空間デジタルオーディオ伝送方式フォーマットに必要なクロック生成 (640fs) のためのアナログPLL内蔵

パッケージ

64 pin LQFP (Plastic)

本資料に記載されております規格等は、改良のため予告なく変更することがありますので、ご了承ください。
また本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利に対する保証を認めたものではありません。
なお資料中に、回路例が記載されている場合、これらは使用上の参考として、代表的な応用例を示したものですので、これら回路の使用に起因する損害について、当社は一切責任を負いません。

構造

シリコンゲートCMOS IC

絶対最大定格

◆ 電源電圧	V _{DD}	− 0.5 ~ + 3.0	V
◆ 入力電圧	V _I	− 0.5 ~ V _{DD} + 0.5 (≤ 3.0V)	V
◆ 出力電圧	V _O	− 0.5 ~ V _{DD} + 0.5 (≤ 3.0V)	V
◆ 保存周囲温度	T _{stg}	− 55 ~ + 125	°C

推奨動作条件

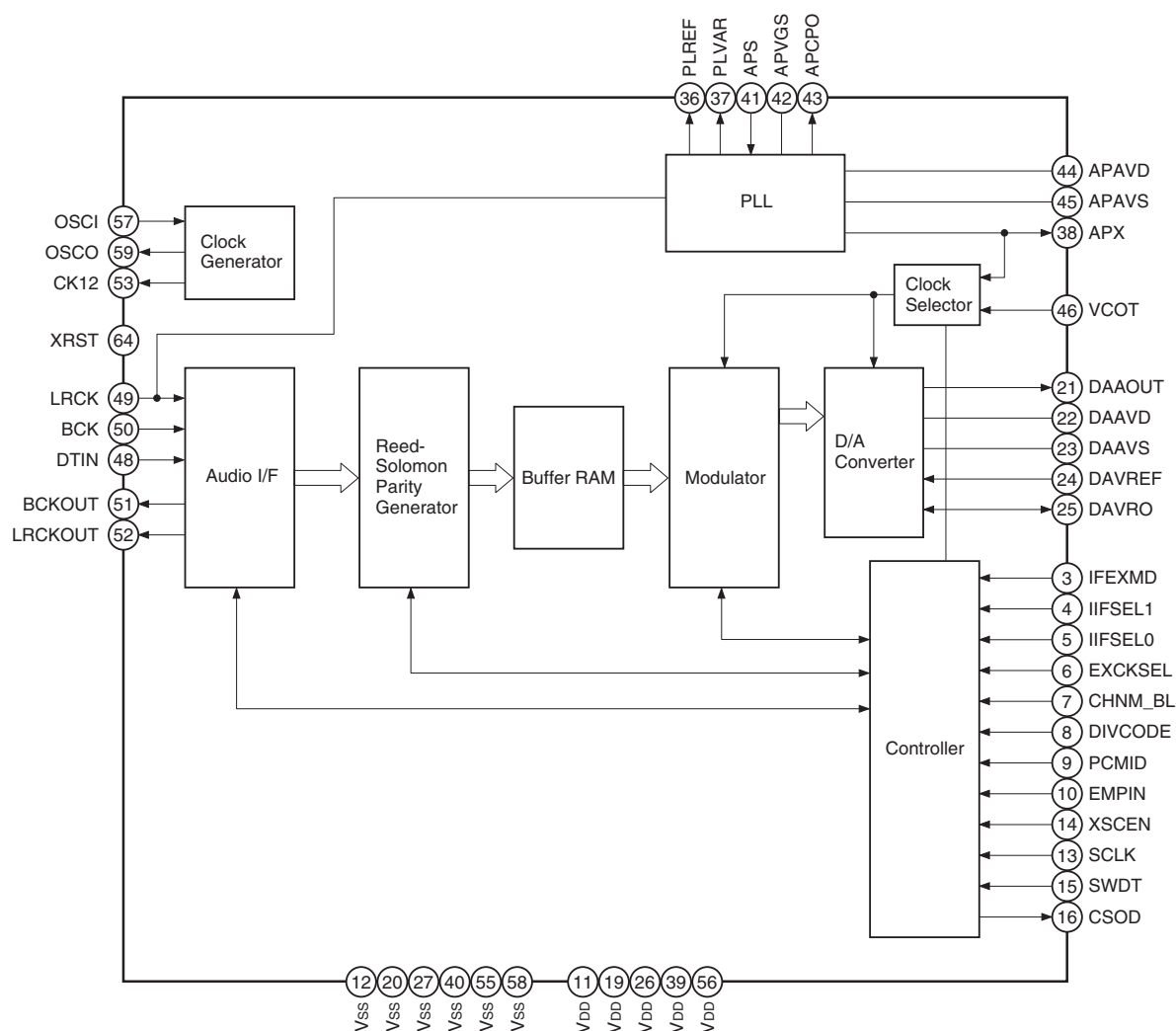
◆ 電源電圧	V _{DD}	2.5 ± 0.2	V
◆ D/A電源電圧	V _{DA}	2.5 ± 0.2	V
◆ PLL電源電圧	V _{PLL}	2.5 ± 0.2	V
◆ 動作温度	T _{opr}	− 40 ~ + 85	°C
◆ サンプルング周波数精度		± 0.1%以内	

入／出力容量

◆ 入力端子	C _{IN}	16 (最大)	pF
◆ 出力端子	C _{OUT}	16 (最大)	pF
◆ 入出力端子	C _{I/O}	16 (最大)	pF

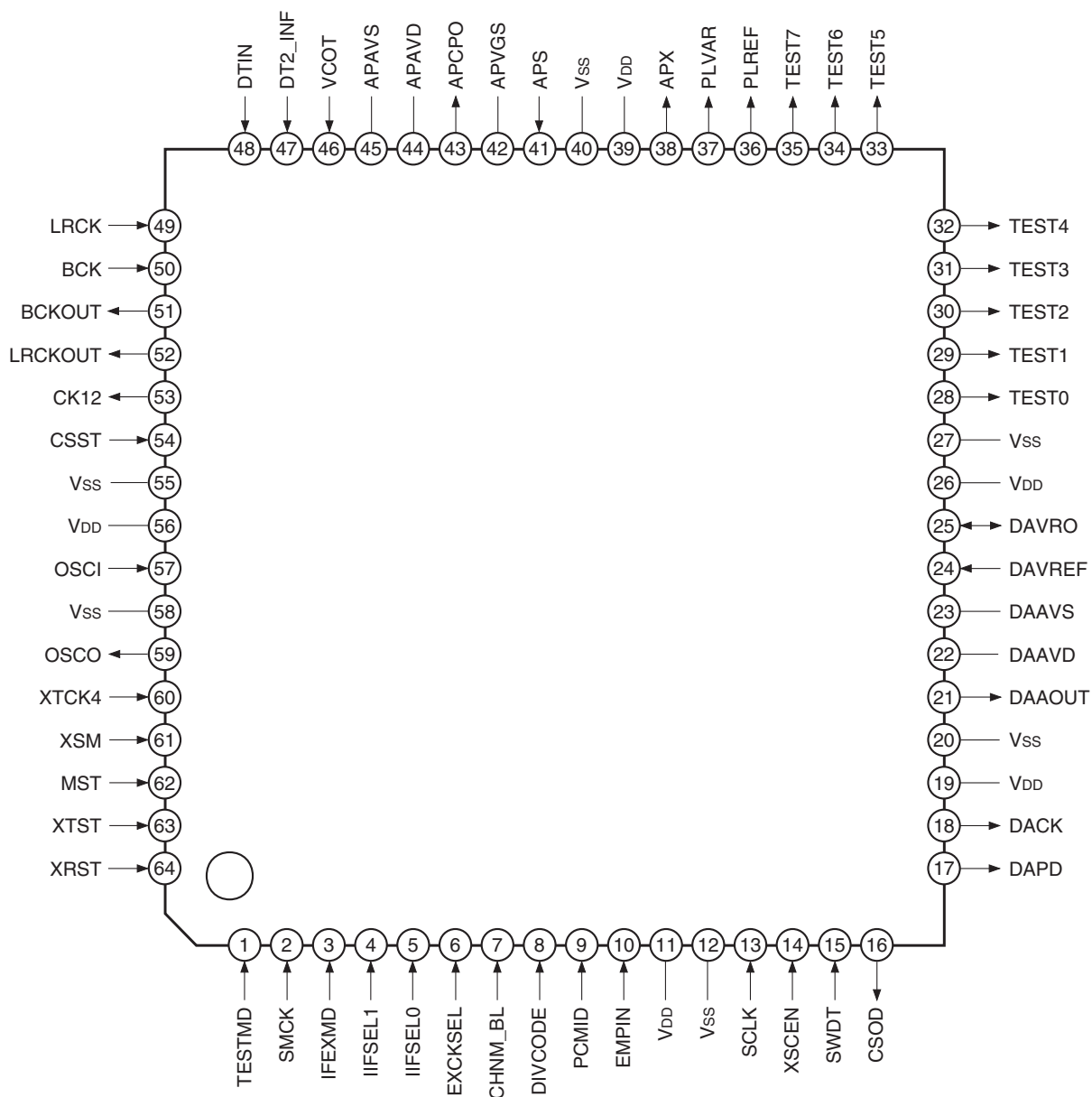
注) 測定条件 : T_j = 25°C, V_{DD} = V_I = 0V, f = 1MHz

ブロック図



* TEST用端子を除く

端子配列図



端子説明

端子番号	端子記号	I/O	端子説明
1	TESTMD	I	テストモード選択端子, 通常“L”に固定
2	SMCK	I	SCAN用テスト端子, 通常“H”に固定
3	IFEXMD	I	IIF拡張モード (L : Normal mode, H : Extension mode)
4	IIFSEL1	I	オーディオ入力モード選択
5	IIFSEL0	I	オーディオ入力モード選択
6	EXCKSEL	I	変調用クロック選択 (L : APX内部接続, H : VCOT端子入力)
7	CHNM_BL	I	Half-band : チャネル番号選択 (L : 0ch, H : 1ch) Full-band : ビット長制限 (L : Full bit, H : 16 bit limited)
8	DIVCODE	I	フル/ハーフバンドモード選択 (L : Full-band, H : Half-band)
9	PCMID	I	Source_info pcm_id入力, 通常“L”に固定 (L : PCM data)
10	EMPIN	I	Source_info emphasis入力 (L : No emphasis, H : Emphasis)
11	VDD	—	デジタル電源
12	VSS	—	デジタルGND
13	SCLK	I	シリアルインタフェースデータクロック入力
14	XSCEN	I	シリアルインタフェースイネーブル入力 (負論理)
15	SWDT	I	シリアルインタフェースデータ書き込み入力
16	CSOD	O	チャプタースタート遅延出力
17	DAPD	O	テスト用端子
18	DACK	O	テスト用端子
19	VDD	—	デジタル電源
20	VSS	—	デジタルGND
21	DAAOUT	O	RF DAC出力
22	DAAVD	—	RF DAC用アナログ電源
23	DAAVS	—	RF DAC用アナログGND
24	DAVREF	I	RF DAC基準電圧入力, 1.1V (typ.) を印加する
25	DAVRO	I/O	RF DAC用内部電流設定
26	VDD	—	デジタル電源
27	VSS	—	デジタルGND
28	TEST0	O	テスト用出力端子
29	TEST1	O	テスト用出力端子
30	TEST2	O	テスト用出力端子
31	TEST3	O	テスト用出力端子
32	TEST4	O	テスト用出力端子
33	TEST5	O	テスト用出力端子
34	TEST6	O	テスト用出力端子
35	TEST7	O	テスト用出力端子
36	PLREF	O	PLLリファレンス出力
37	PLVAR	O	PLL分周出力 (APX出力またはVCOT入力の640分周)

端子番号	端子記号	I/O	端子説明
38	APX	O	PLL VCO出力, 640fs
39	VDD	—	デジタル電源
40	Vss	—	デジタルGND
41	APS	I	PLLリセット端子
42	APVGS	—	PLLガードバンド用GND
43	APCPO	O	PLLチャージポンプ出力
44	APAVD	—	PLL用電源
45	APAVS	—	PLL用GND
46	VCOT	I	変調用外部クロック入力
47	DT2_INF	I	テスト用端子, 通常“L”に固定
48	DTIN	I	オーディオデータ入力
49	LRCK	I	LRクロック入力
50	BCK	I	ビットクロック入力
51	BCKOUT	O	ビットクロック出力 (3.072MHz)
52	LRCKOUT	O	LRクロック出力 (48kHz)
53	CK12	O	マスタクロックの分周クロック出力 (12.288MHz)
54	CSST	I	テスト用端子, 通常“L”に設定
55	Vss	—	デジタルGND
56	VDD	—	デジタル電源
57	OSCI	I	マスタクロック用水晶発振回路入力 (24.576MHz)
58	Vss		デジタルGND
59	OSCO	O	マスタクロック用水晶発振回路出力 (24.576MHz)
60	XTCK4	I	テスト用端子, 通常“L”に固定
61	XSM	I	SCAN用テスト端子, 通常“H”に固定
62	MST	I	SCAN用テスト端子, 通常“L”に固定
63	XTST	I	SCAN用テスト端子, 通常“H”に固定
64	XRST	I	非同期リセット入力, 電源ON時には, 電源安定後, 必ず一度“L”にし, リセットを行って下さい。

電氣的特性

1. 直流特性

(V_{DD} = 2.5 ± 0.2V, V_{SS} = 0V, T_{opr} = -40 ~ +85°C)

項目	記号	条件	最小値	標準値	最大値	単位	適応端子
“H” レベル入力電圧	V _{IH}		1.7	—	V _{DD} + 0.3	V	*1
“L” レベル入力電圧	V _{IL}		-0.3	—	0.7		
“H” レベル出力電圧	V _{OH}	I _{OH} = -100μA	V _{DD} - 0.2	—	V _{DD}		*2
“L” レベル出力電圧	V _{OL}	I _{OL} = 100μA	0	—	0.2		
“H” レベル出力電流	I _{OH}	V _{OH} = V _{DD} - 0.4V	-4.0	—	—	mA	*2
“L” レベル出力電流	I _{OL}	V _{OL} = 0.4V	4.0	—	—		*2
入力リーク電流	I _L		—	—	± 5	μA	*1
PLL電源電圧	V _{PLL}		2.3	2.5	2.7	V	*3
PLLチャージポンプ出力電流	I _{CPO}			500		μA	*4
D/Aコンバータ電源電圧	V _{DA}		2.3	2.5	2.7	V	*5
D/Aコンバータ基準電圧	V _{REF}		1.05	1.10	1.15	V	*6
D/AコンバータFull-scale調整抵抗	R _{REF}	DAVRO - DAAVS間	2.4	2.7		kΩ	*7
D/Aコンバータ出力電流	I _{DAC}	V _{REF} = 1.10V, R _{REF} = 2.7kΩ Full-scale Zero-scale LSB-scale	4.67 0	5.194 2 20.3	5.71 20	mA μA μA	*8
D/A負荷抵抗	R _L	DAAOUT - DAAVS間		150	160	Ω	*8
デジタル部電源電流	I _{DD}	V _{DD} = 2.5V fs = 44.1kHz Full-band mode		12		mA	*9
D/A部電源電流	I _{DA}	V (DAAVD) = 2.5V fs = 44.1kHz Full-band mode		6.5		mA	*5
PLL部電源電流	I _{PLL}	V (APAVD) = 2.5V fs = 44.1kHz Full-band mode		3.5		mA	*3

適応端子

*1 TESTMD, SMCK, IFEXMD, IIFSEL1, IIFSEL0, EXCKSEL, CHNM_BL, DIVCODE, PCMID, EMPIN, SCLK, XSCEN, SWDT, APS, VCOT, DT2_INF, DTIN, LRCK, BCK, CSST, XTCK4, XSM, MST, XTST, XRST

*2 CSOD, DAPD, DACK, TEST0, TEST1, TEST2, TEST3, TEST4, TEST5, TEST6, TEST7, PLREF, PLVAR, APX, BCKOUT, LRCKOUT, CK12

*3 APAVD

*4 APCPO

*5 DAAVD

*6 DAVREF

*7 DAVRO

*8 DAAOUT

*9 V_{DD} (端子番号11, 19, 26, 39, 56)

2. 交流特性

(1) OSCI端子, OSCO端子

(a) 自励発振の場合

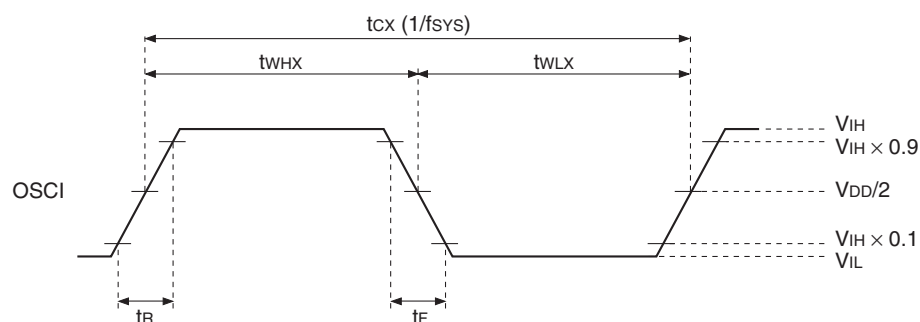
(V_{DD} = 2.5 ± 0.2V, V_{SS} = 0V, Topr = -40 ~ +85°C)

項目	記号	最小値	標準値	最大値	単位
発振周波数	f _{SYS}	—	24.576	—	MHz

(b) OSCI にパルスを入力する場合

(V_{DD} = 2.5 ± 0.2V, V_{SS} = 0V, Topr = -40 ~ +85°C)

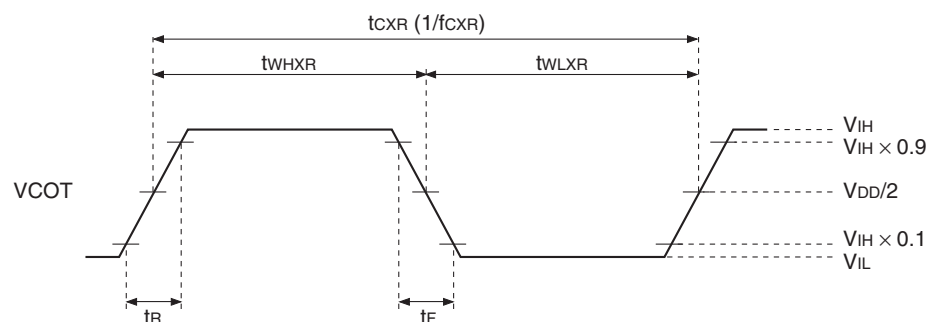
項目	記号	最小値	標準値	最大値	単位
パルス周波数	f _{SYS}	24.330	24.576	24.600	MHz
“H” レベルパルス幅	t _{WHX}	—	20.345	—	ns
“L” レベルパルス幅	t _{WLX}	—	20.345	—	ns
立ち上がり時間／ 立ち下がり時間	t _R , t _F			2	ns



(2) VCOT端子

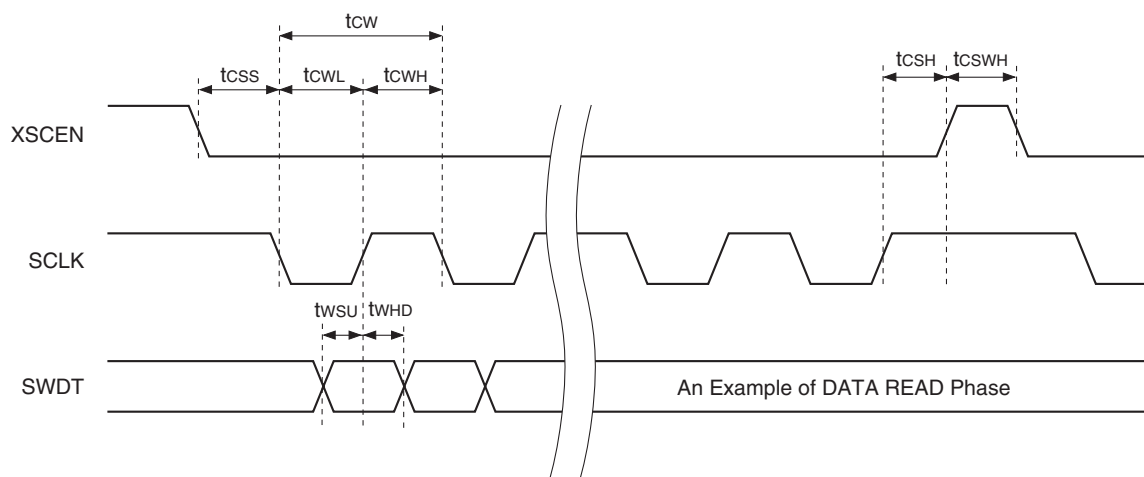
(V_{DD} = 2.5 ± 0.2V, V_{SS} = 0V, Topr = -40 ~ +85°C)

項目	記号	最小値	標準値	最大値	単位
パルス周波数	f _{CXR}	20.275	—	31.027	MHz
“H” レベルパルス幅	t _{WHXR}	$0.45 \times t_{CXR}$	—	$0.55 \times t_{CXR}$	ns
“L” レベルパルス幅	t _{WLXR}	$0.45 \times t_{CXR}$	—	$0.55 \times t_{CXR}$	ns



- (3) SCLK, XSCEN, SWDT, SRDT端子
($V_{DD} = 2.5 \pm 0.2V$, $V_{SS} = 0V$, $T_{opr} = -40 \sim +85^{\circ}C$)

項目	記号	最小値	標準値	最大値	単位
クロック周期	tCW	200	—	—	ns
クロックパルス幅 “H”	tCWH	100	—	—	ns
クロックパルス幅 “L”	tCWL	100	—	—	ns
イネーブル信号パルス幅	tCSWH	170	—	—	ns
イネーブル信号 セットアップ時間	tCSS	0	—	—	ns
イネーブル信号 ホールド時間	tCSH	100	—	—	ns
SWDTセットアップ時間	tWSU	20	—	—	ns
SWDTホールド時間	tWHD	100	—	—	ns



- (4) CSOD端子
($V_{DD} = 2.5 \pm 0.2V$, $V_{SS} = 0V$, $T_{opr} = -40 \sim +85^{\circ}C$)

項目	記号	最小値	標準値	最大値	単位
CSODパルス幅	tCSOD	260	—	—	μs



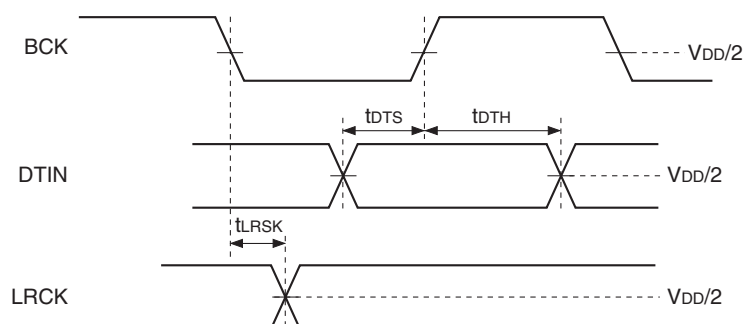
- (5) XRST端子
($V_{DD} = 2.5 \pm 0.2V$, $V_{SS} = 0V$, $T_{opr} = -40 \sim +85^{\circ}C$)

項目	記号	最小値	標準値	最大値	単位
XRSTパルス幅	tXRST	100.0	—	—	ns



- (6) BCK, DTIN, LRCK端子
($V_{DD} = 2.5 \pm 0.2V$, $V_{SS} = 0V$, $T_{opr} = -40 \sim +85^{\circ}C$)

項目	記号	最小値	標準値	最大値	単位
DTINセットアップ時間	tDTS	10	—	—	ns
DTINホールド時間	tDTH	100	—	—	ns
LRCKスキュー時間	tLRSK	—	—	± 20	ns



機能説明

Clock Generatorの説明

1. 本LSIはOSCI端子、OSCO端子に24.576MHzの水晶発振子を接続することにより、システムクロックを発生することができます。また、OSCI端子とOSCO端子との間には1M Ω (標準値) の帰還抵抗が内蔵されています。
2. OSCO端子を開放したまま、OSCI端子に24.576MHzの外部発振クロックを入力することにより、システムクロックとすることができます。
3. システムクロックの周波数精度は、24.576MHz $\pm$ 100ppm以内として下さい。

PLL回路の説明

1. 本LSIはOSCI端子によるシステムクロック供給のほかに、PLLによる変調用クロックが必要です。PLL回路はLSIに内蔵のものを使用することができます。
2. PLLによる変調用クロックの周波数は、入力デジタルオーディオ信号のサンプリング周波数をfsとすると、640fsです。
3. PLL回路として、LSIに内蔵したPLLを使用する場合、EXCKSEL端子、VCOT端子に“L”を入力して下さい。また、PLLのチャージポンプ電流出力APCPO端子には、LSI外部にラグリードフィルタが必要です。その際、配線がなるべく短くなるように十分考慮して下さい。
4. PLL回路として、LSI内蔵のPLLを使用しない場合、LSI外部にPLL回路が必要となります。EXCKSEL端子に“H”，VCOT端子に変調用クロックを入力して下さい。クロックを生成するためのPLLの参照信号はPLREF端子に出力され、その周波数はfsとなります。またこの時、VCOT端子に入力されたクロックはLSI内部にて640分周され、PLVAR端子に出力されます。

PIN設定／シリアルデータインタフェース

本LSIは大きく分け2つの設定モードがあります。1つはPIN設定モード、もう1つはシリアルデータインタフェースモードです。シリアルデータインタフェースの設定により、ピン設定モードによるモード設定とシリアルデータインタフェースモードによるモード設定の切り換えが可能となります。例えば、シリアルデータインタフェースモードのアドレス01の時、SCEN01ビットを“0”に設定すればピン設定が有効となり、“1”に設定すればシリアルデータインタフェースが有効となります (次頁シリアル設定コマンド表参照)。

LSIの端子のうちシリアルデータインタフェースモードでも設定できる端子は以下の通りです。

EXCKSEL端子、DIVCODE端子、CHNM_BL端子、IFEXMD端子、IIFSEL1端子、IIFSEL0端子、PCMID端子、EMPIN端子

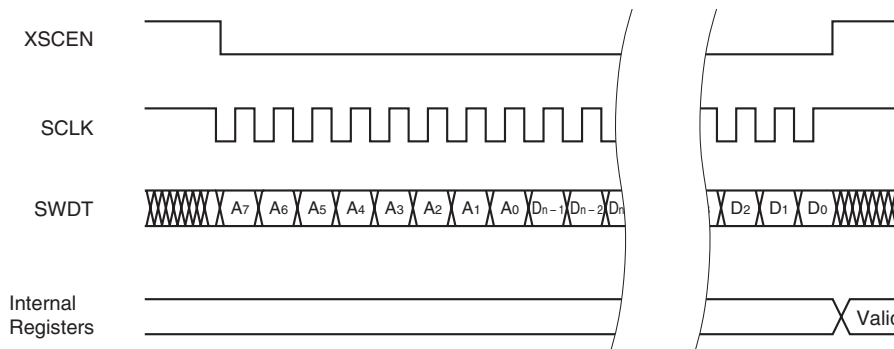
シリアルデータインタフェースの説明

1. シリアルデータインタフェースタイミング

本LSIはSCLK端子、SWDT端子、XSCEN端子によってLSIの各種動作を変更することができます。以下に各コード群のインタフェースのタイミングチャートを示します。なお、SCLK端子は他のデバイスと共用しないで下さい。正しく通信を行うことができません。

2. XRST端子

XRST端子を“L”にしたリセットにて、内部レジスタはシリアルデータインタフェース設定コマンド表に示されるDefault valueに初期化されます。



3. CXD4016RのFSLOCK信号を無効にする方法

CXD4016Rに入力するLRCKは、ジッタの無い安定したクロックであることが要求されます。CXD4016R内部には、LRCKをリファレンスとしてPLLを構成し、640fsのクロックを生成していますが、PLLがLOCKしているかどうかの信号(FSLOCK)をLSI内部で生成しており、LOCKが外れるとRFの発生を一時的に停止するように構成されています。このLOCK検出のロジックは条件として厳しいもので、LRCKのジッタが大きいとPLLで生成したクロックのジッタも大きくなり、LOCKが外れたと見なすことがあります。

ジッタの大きいLRCKを使用することは推奨できませんが、どうしてもジッタの大きいLRCKを使用しなければならない場合、このFSLOCK信号を無効にしてRFの発生を一時停止する頻度を下げることが可能なテストモードがあります。以下その方法について解説します。

シリアル設定コマンド表で示されるコマンドを送ることで、FSLOCKを有効にするか、無効にするかが設定できます。デフォルトはFSLOCKがLOCK検出の論理に従い動作しています。

強制的にFSLOCK状態にするにはアドレス71h、データ0Fhをシリアル設定コマンドで送ります。

また、デフォルトに戻すにはアドレス71h、データ03hをシリアル設定コマンドで送ります。

この処理を施すことを強く推奨します。

4. シリアル設定コマンド表

Address (HEX)	Default value	Length [bit]	Signal name	Signal length [bit]	Value	Effect
01h	00h	8	SCEN01	1	0 1	Address 01のシリアル設定を無効にする Address 01のシリアル設定を有効にする
			EXCKSEL	1	0 1	APX内蔵接続 VCOT端子入力
			DIVCODE	1	0 1	Full-band mode Half-band mode
			CHNM_BL	1	0 1	0ch/full bit 1ch/16 bit limited
			IFEXMD	1	0 1	Normal mode Extension mode
			IIFSEL1	1	—	Audio input interface mode select 1
			IIFSEL0	1	—	Audio input interface mode select 0
			res.	1	0	必ず“0” とすること
02h	40h	8	SCEN02	1	0 1	Address 02のシリアル設定を無効にする Address 02のシリアル設定を有効にする
			CRC_FLG	1	0 1	CRC off CRC on (default)
			VALID_FLG	1	0 1	Source_block is error free Source_block contains some errors
			PCM_ID	1	0 1	Data is Linear PCM Data is used for other purposes
			CPRGT_FLG	1	0 1	Copyright is asserted No copyright is asserted
			EMPHASIS	1	0 1	No emphasis Emphasis
			res.	2	00	Reserved
03h	69h	8	CATEGORY	8	—	source_info Byte 3カテゴリコード
71h	03h	8	res.	4	0000	必ず“0000” とすること
			FSLOCK_EN	1	0 1	FSLOCKのシリアル設定を無効にする FSLOCKのシリアル設定を有効にする
			FSLOCK	1	0 1	強制的にLOCKしていない論理にする 強制的にLOCKしている論理にする
			res.	2	11	必ず“11” とすること

Audio I/Fの説明

1. 本LSIは以下に示すような接続によりオーディオ用A/Dコンバータを直結することができます。

DTIN端子 : A/Dコンバータの出力データを接続

BCK端子 : A/Dコンバータが出力するビットクロックを接続 (64fs)

LRCK端子 : A/Dコンバータが出力するサンプルクロックを接続 (fs)

本LSIで対応可能なサンプリング周波数 (fs) は32kHz, 44.1kHz, 48kHzの3つです。また、fsの精度は±1000ppm以内です。この範囲を一瞬でも超えると正しい動作を行わないことがありますのでご注意ください。

2. サンプルクロックおよびビットクロックを入力する必要があるようなオーディオA/Dコンバータを使用する場合のために、本LSIではLRCKOUT端子、BCKOUT端子、CK12端子を用意しています。

LRCKOUT端子 : 48kHzのサンプルクロック

BCKOUT端子 : 48kHz×64のビットクロック

CK12端子 : 12.288MHz (48kHz×256) のマスタクロック

LRCKOUT端子はA/Dコンバータのサンプルクロックおよび本LSIのLRCK端子に接続し、BCKOUT端子はA/Dコンバータのビットクロック端子と本LSIのBCK端子に接続して下さい。

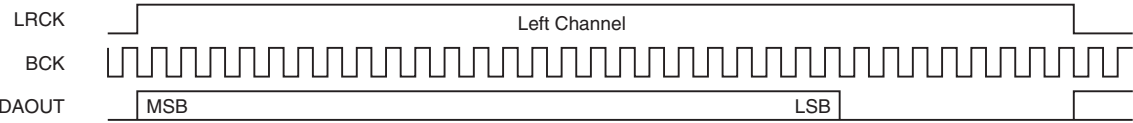
3. LRCKの1サイクルの中にはBCKが64サイクル含まれます。
4. DTINの入力形式は、アドレス01hのレジスタによる設定、またはIFEXMD端子、IIFSEL1端子、IIFSEL0端子によってそれぞれ変更できます。

iif_mode名	IFEXMD	IIFSEL [1 : 0]	データの入力形式
mode-0	0	00	MSB first, 前詰め 24bit
mode-1	0	01	I ² S 24bit
mode-2	0	10	LSB first, 後詰め 24bit
mode-3	0	11	MSB first, 後詰め 24bit
mode-4	1	00	MSB first, 後詰め 20bit
mode-5	1	01	MSB first, 後詰め 16bit

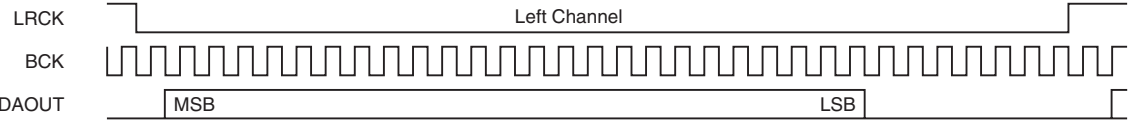
- 注) 1. Full-band modeの時、CHNM_BL端子またはシリアルデータインタフェースのアドレス01hによってCHNM_BLが“1”に設定された時には、上位16ビットのみが有効となります。
2. Half-band modeの時、上位16ビットのみが有効となります。

以上をまとめたタイミングチャートを以下に示します。

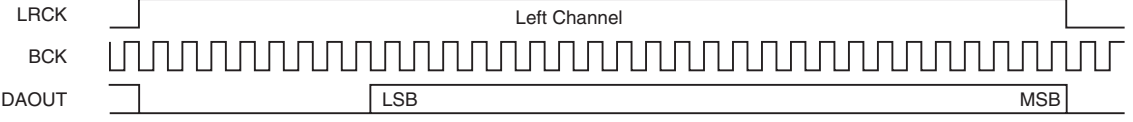
オーディオA/Dコンバータ I/F タイミングチャート



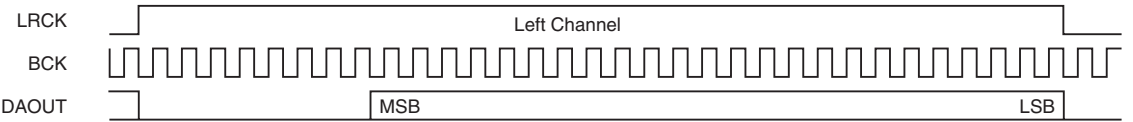
mode-0



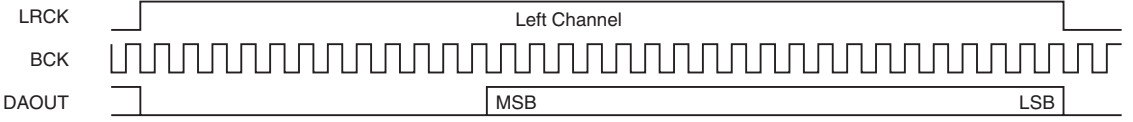
mode-1



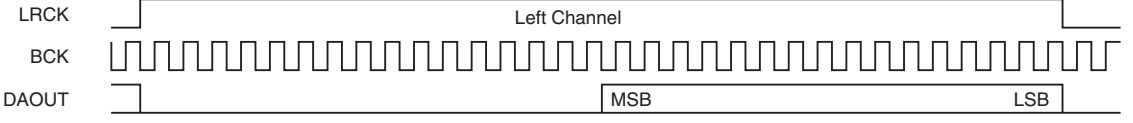
mode-2



mode-3

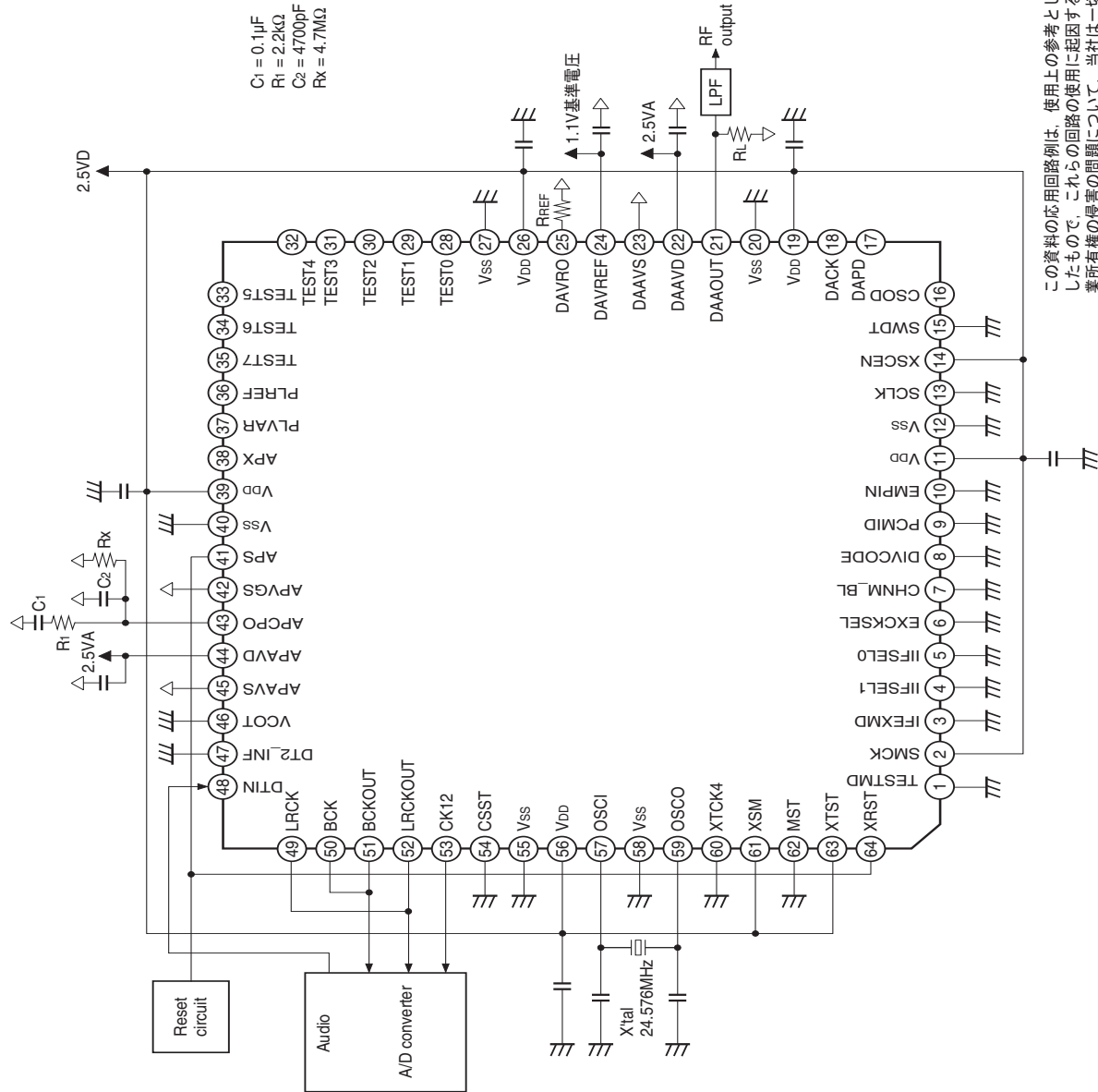


mode-4



mode-5

応用回路例



この資料の応用回路例は、使用上の参考として、代表的な応用例を示したもので、これらの回路の使用に起因する損害あるいは第三者の工業所有権の侵害の問題について、当社は一切の責任を負いません。

使用上の注意

- ◆ PLL部のループフィルタ部分は特性上重要です。そのため、ICピンに対し最短に配置し、かつ、周りはAGNDでガードして下さい。また、ループフィルタのコンデンサ、抵抗は温度補償品を使用して下さい。
- ◆ CXD4016Rでは、送信時に遅延が生じます。遅延時間はサンプリング周波数をfsとすると、full-bandの場合、 $192/fs$ [s] の遅延時間となります。例えばfs = 48kHzの場合、4msの遅延時間となります。また、half-bandの場合、 $384/fs$ [s] の遅延時間となります。例えばfs = 48kHzの場合、8msの遅延時間となります。また、受信側のIC CXD4017Rでも受信時に遅延が生じますので注意が必要です。詳細はCXD4017Rのデータシートをご覧ください。

CXD4016R Evaluation Board

概要

CXD4016R Evaluation Boardは、赤外線空間デジタルオーディオ伝送の送信用に開発されたCXD4016Rを簡易に評価できるように設計された専用基板です。入力オーディオ信号は光デジタルおよびアナログ (ピンジャック) を装備しており、SWにて切り換えが可能になっています。

入力されたオーディオ信号は、CXD4016Rにて赤外線空間デジタルオーディオ伝送方式フォーマットRF信号に変換され、SMBコネクタより出力されます。

特長

- ◆ 電源電圧 +5V単一電源
- ◆ アナログおよび光デジタルオーディオ入力選択可能

動作条件

- ◆ 電源電圧 +5V (typ.)
- ◆ 消費電流 150mA (typ.)
- ◆ 入力信号 アナログまたは光デジタルオーディオ信号

使用方法

CXD4016R Evaluation Boardは、電源、アナログまたは光デジタルオーディオ信号を入力するだけで、簡単に評価することができます。以下に手順を示します。

1. 電源接続端子J5に電源を接続します。(GND/+5V)
2. SW1はマニュアルリセットスイッチです。電源投入時は自動的にリセットがかかりますが、マニュアルにてリセットを行いたい場合に使用します。
3. DIP SWのS2-1で、DIVCODE端子の設定が可能です。OFFで“L”に、ONで“H”に設定されます。
4. DIP SWのS2-2で、CHNM_BL端子の設定が可能です。OFFで“L”に、ONで“H”に設定されます。
5. DIP SWのS2-4で、IFEXMD端子の設定が可能です。OFFで“L”に、ONで“H”に設定されます。
6. DIP SWのS2-5で、IIFSEL1端子の設定が可能です。OFFで“L”に、ONで“H”に設定されます。
7. DIP SWのS2-6で、IIFSEL0端子の設定が可能です。OFFで“L”に、ONで“H”に設定されます。
8. DIP SWのS2-7で、オーディオ信号の選択が可能です。OFFで光デジタルオーディオ信号が、ONでアナログオーディオ信号が選択されます。
9. 光デジタルオーディオ信号は、U8の角型光コネクタに接続して下さい。
10. アナログオーディオ信号は、J1のピンジャックに接続して下さい。
11. DIP SWのS2-8で、アナログオーディオ信号を選択した場合のサンプリング周波数の変更が可能です。OFFで48kHzが、ONで44.1kHzが設定されます。

12. 上記以外のDIP SWは常にOFFに設定して下さい。以上の内容を以下の表にまとめたので参照して下さい。

S1	MODE
1	常にOFF
2	常にOFF
3	常にOFF
4	常にOFF
5	常にOFF
6	常にOFF
7	常にOFF
8	常にOFF

S2	MODE
1	OFF : DIVCODE = L / ON : DIVCODE = H
2	OFF : CHNM_BL = L / ON : CHNM_BL = H
3	常にOFF
4	OFF : IFEXMD = L / ON : IFEXMD = H
5	OFF : IIFSEL1 = L / ON : IIFSEL1 = H
6	OFF : IIFSEL0 = L / ON : IIFSEL0 = H
7	OFF : 光デジタル / ON : アナログ
8	OFF : 48kHz / ON : 44.1kHz (アナログオーディオ信号の時のみ)

13. 発光ダイオードD1は、DIVCODEが“L”の時消灯、DIVCODEが“H”の時点灯します。
 14. 発光ダイオードD2は、CHNM_BLが“L”の時消灯、CHNM_BLが“H”の時点灯します。
 15. 発光ダイオードD3およびD4は、オーディオ信号のサンプリング周波数を示します。その関係を以下の表に示します。

D3, D4	サンプリング周波数
消灯, 消灯	44.1kHz
消灯, 点灯	48kHz
点灯, 点灯	32kHz
点滅, 点滅	UNLOCK

16. 発光ダイオードD5～D8は使用していません。
 17. SMBコネクタJ8から、赤外線空間デジタルオーディオ伝送方式フォーマットRF信号が出力されます。
 18. J2およびJ3は使用しません。

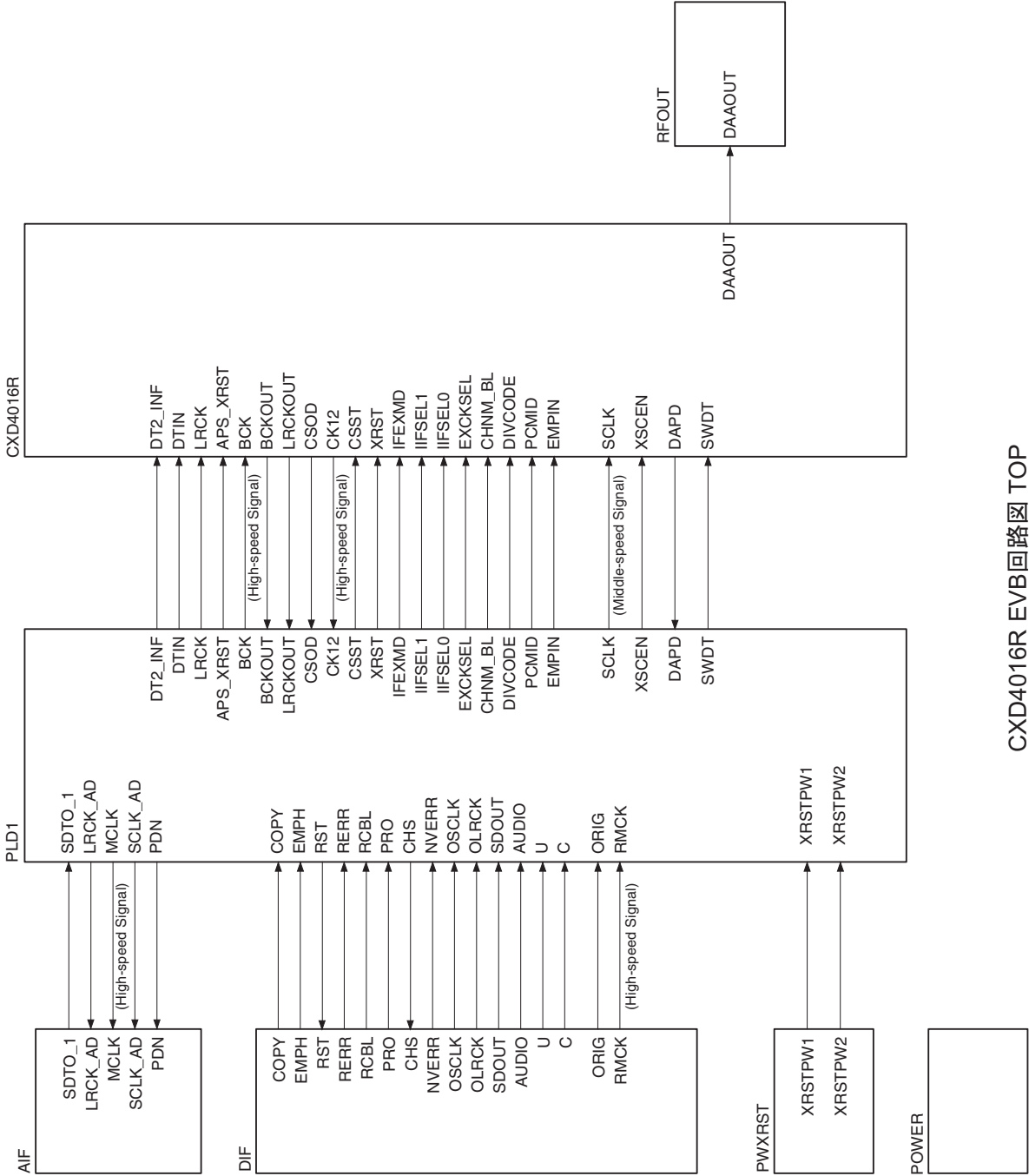
CXD4016R EVB半導体部品リスト

パーツNo.	製品名	メーカー
U1, 3	NJM2100M	新日本無線
U2	AK5353VT	旭化成マイクロシステム
U4, 21	TC74LCX541F	東芝
U5	CXD4016R	SONY
U6	TC74VHC04F	東芝
U7	CS8415A-CZ	Cirrus Logic
U8	TORX141P	東芝
U9	FXO-31FL 24.576MHz	京セラキンセキ
U10	EP1K100QI208-2	ALTERA
U11	EPC2LI20	ALTERA
U12	FXO-31FL 22.5792MHz	京セラキンセキ
U13, 14, 15, 16, 17, 18	LM317A	National Semiconductor
U19, 20	TL7705CP	Texas Instruments
U22	AD8057ART	Analog Devices
Q1	2SC2223L	NEC
D1, 2	TLG124	東芝
D3, 4	TLY124	東芝
D5, 6	TLO124	東芝
D7, 8	TLR124	東芝
D9～20	1S1588	東芝

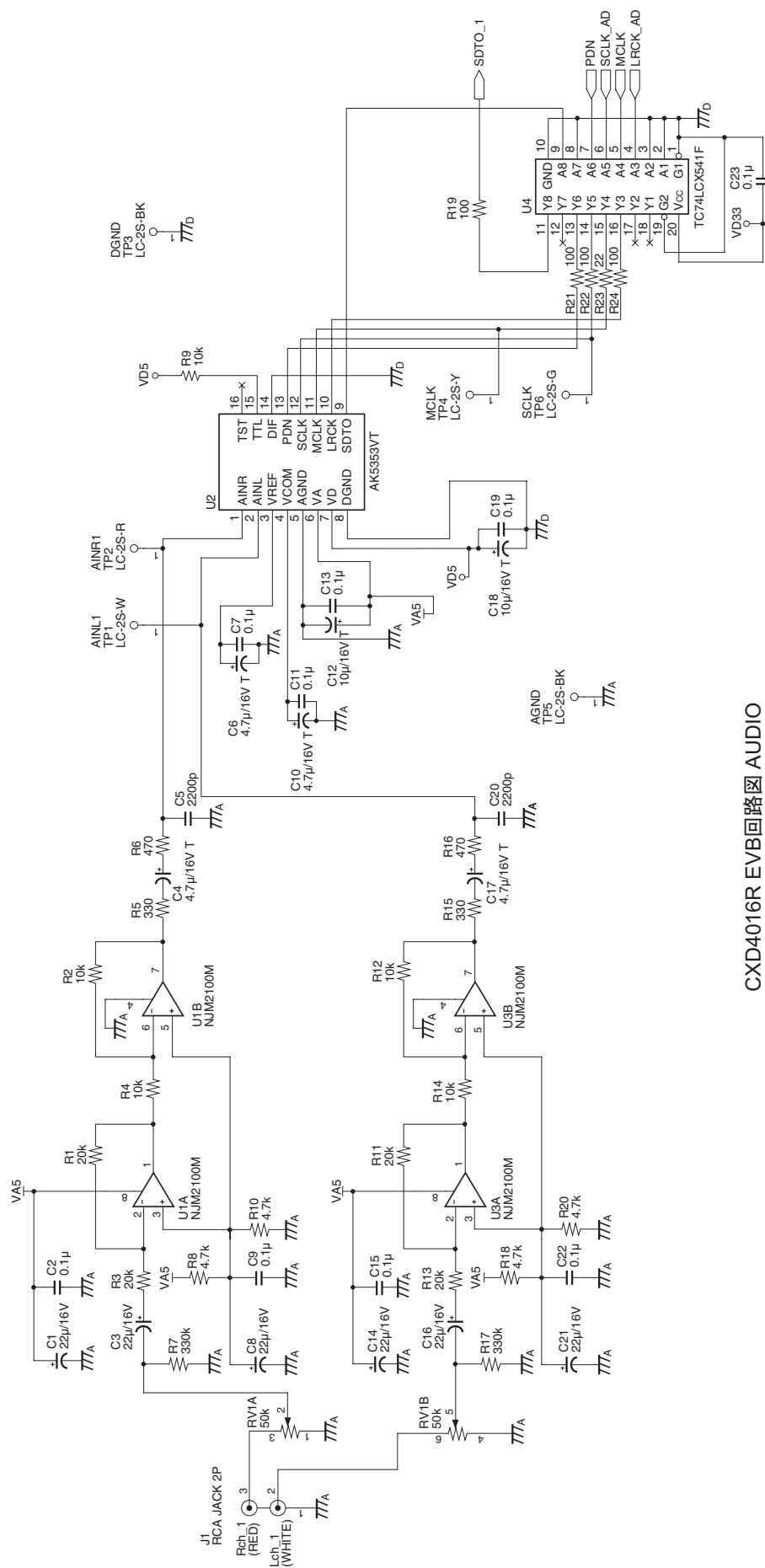
FPGAの動作について

1. S2-7で設定された光デジタルオーディオ信号，またはアナログオーディオ信号の選択を行います。
2. 選択されたオーディオ信号を，S2-4, S2-5, S2-6で設定されたDTIN端子の入力形式に変換します。
3. サンプル周波数の検出を行います。

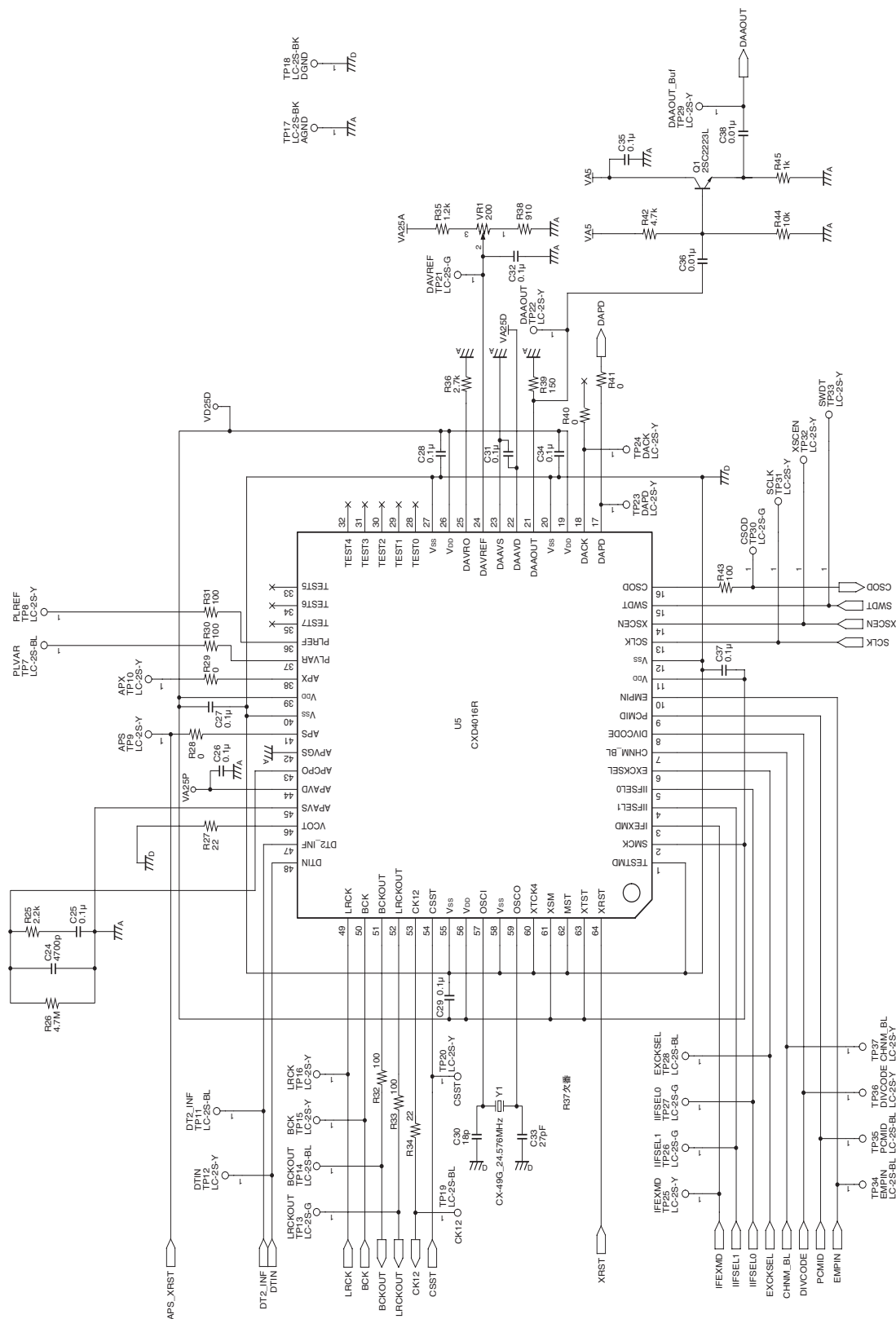
回路図



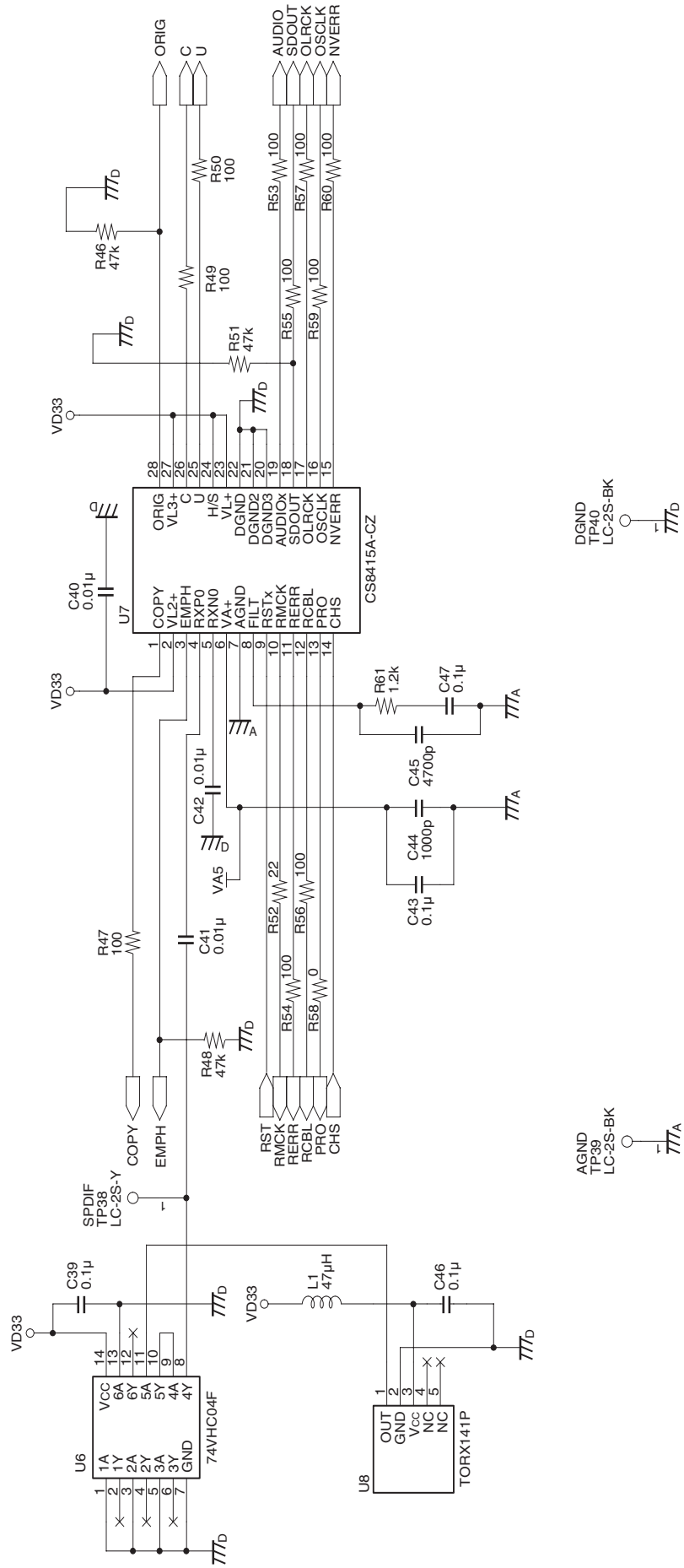
CXD4016R EVB回路図 TOP



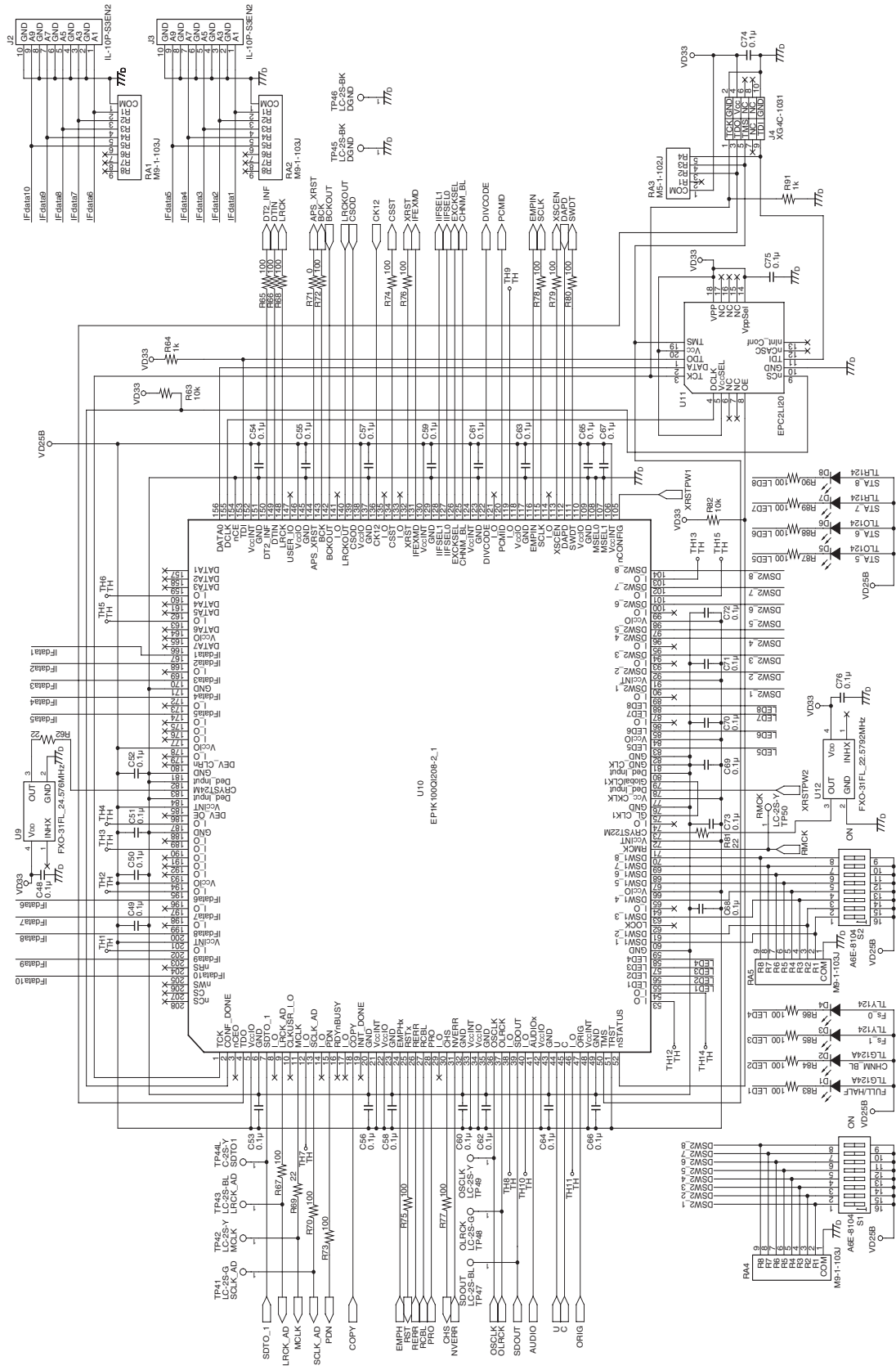
CXD4016R EVB回路図 AUDIO



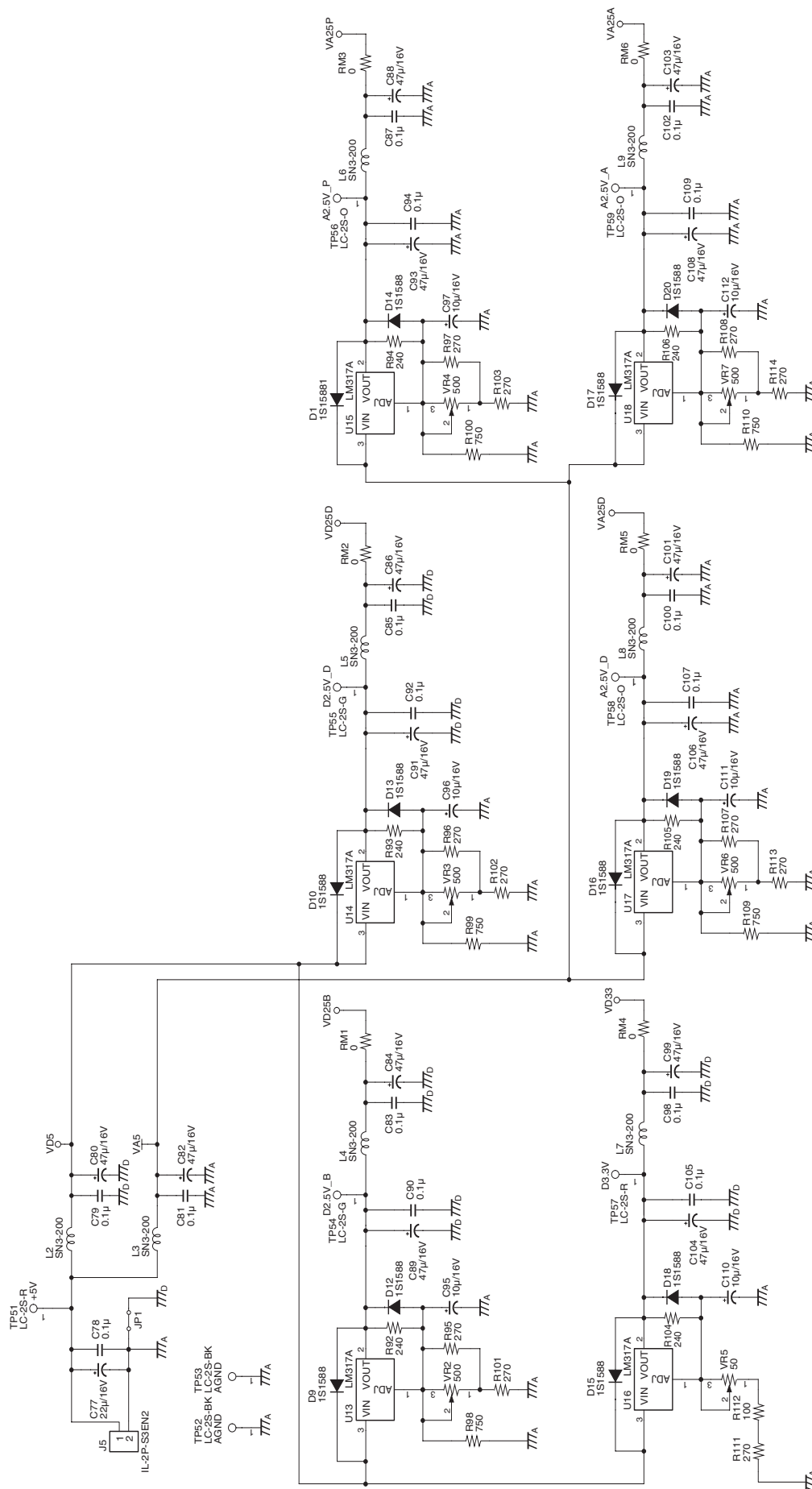
CXD4016R EVB回路図 MAIN



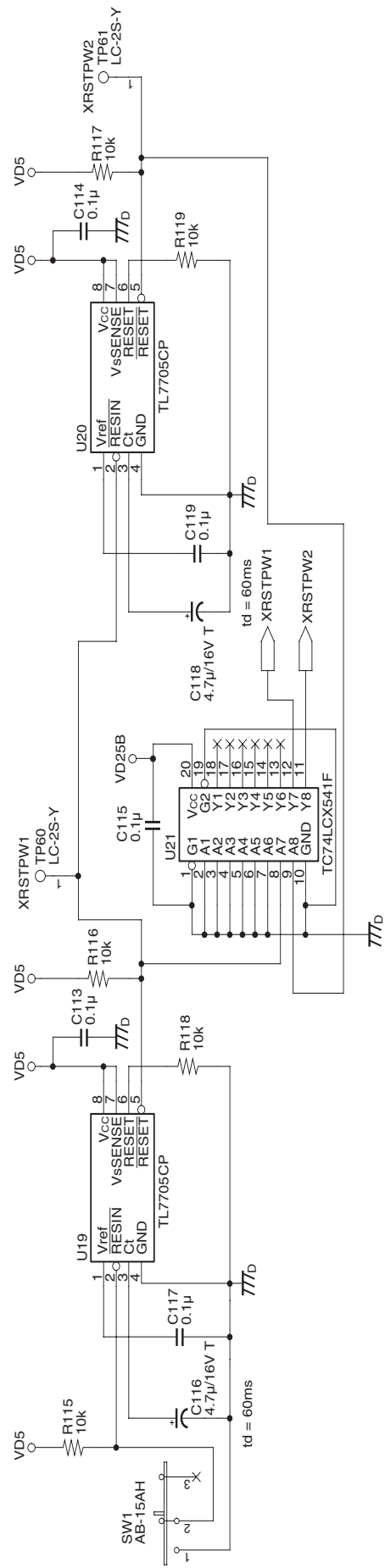
CXD4016R EVB回路図 DIGITAL INTERFACE



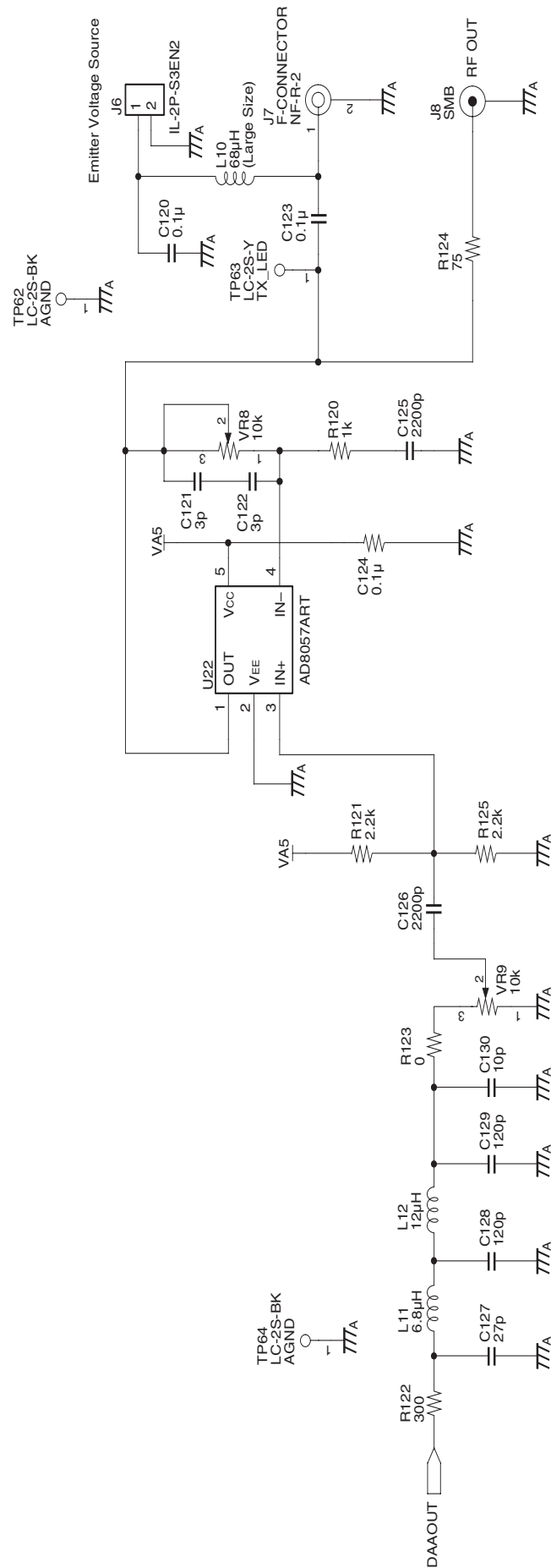
CXD4016R EVB回路図 PLD



CXD4016R EVB回路図 POWER

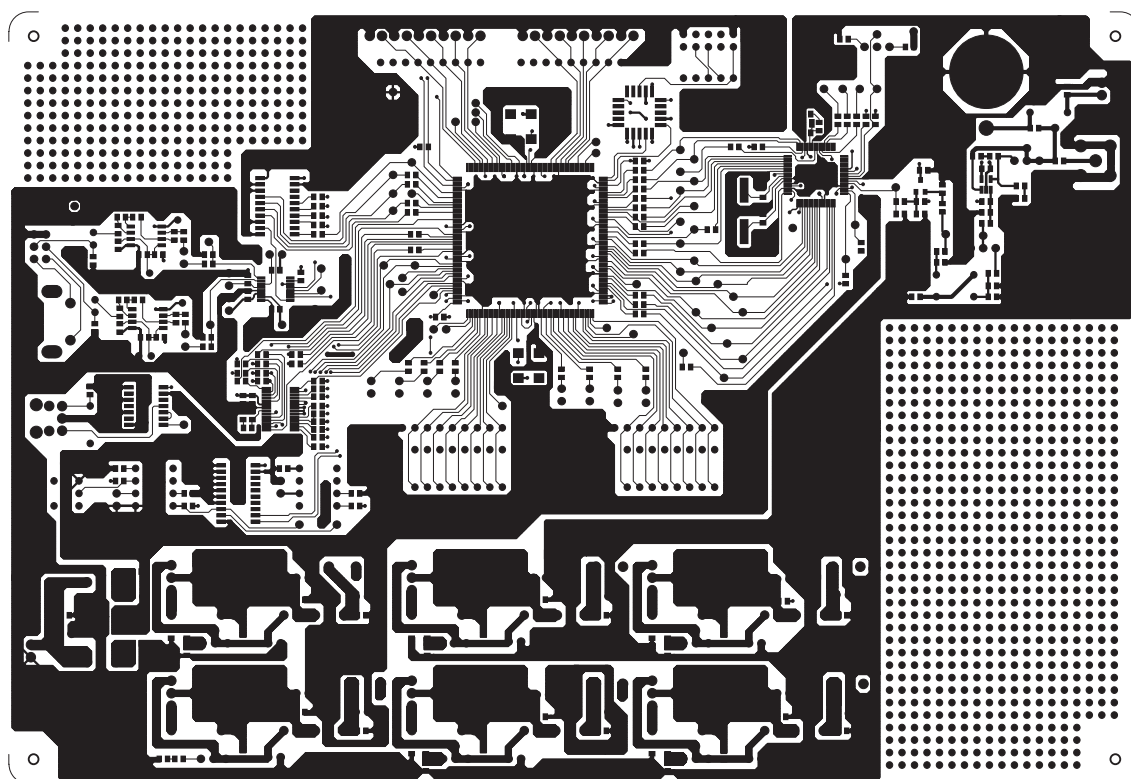


CXD4016R EVB回路図 RESET

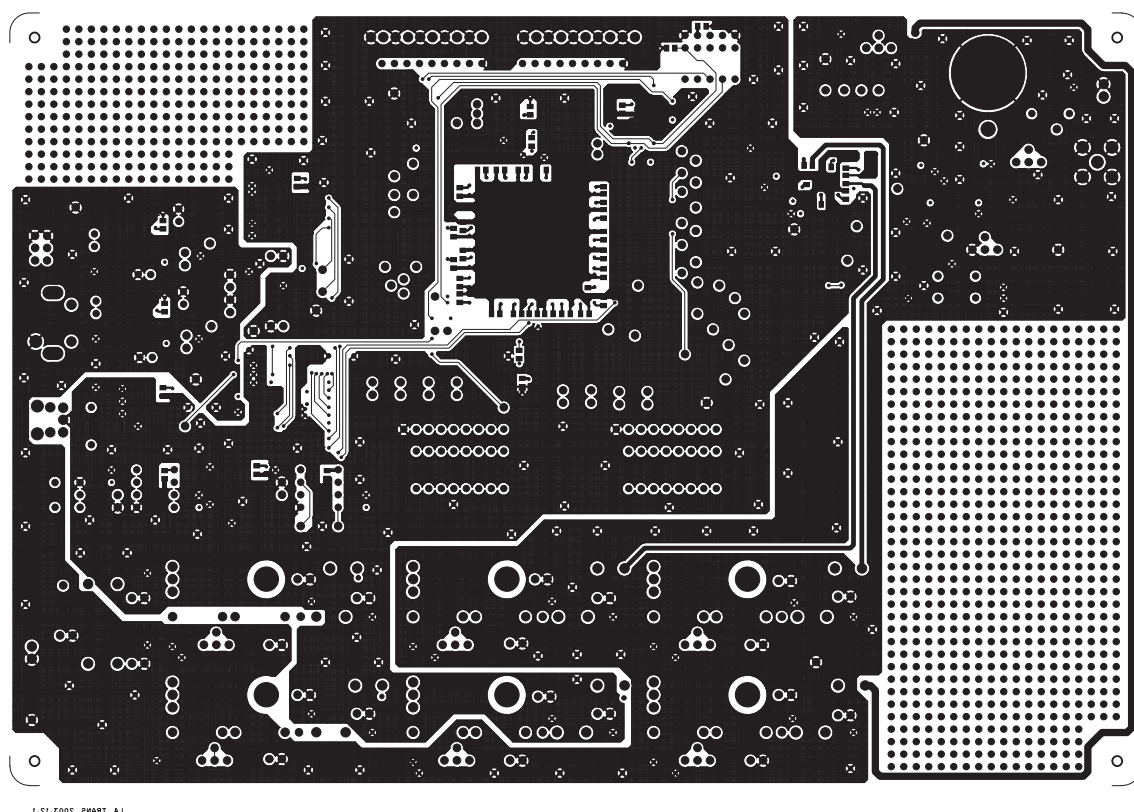


CXD4016R EVB回路図 RFOUT

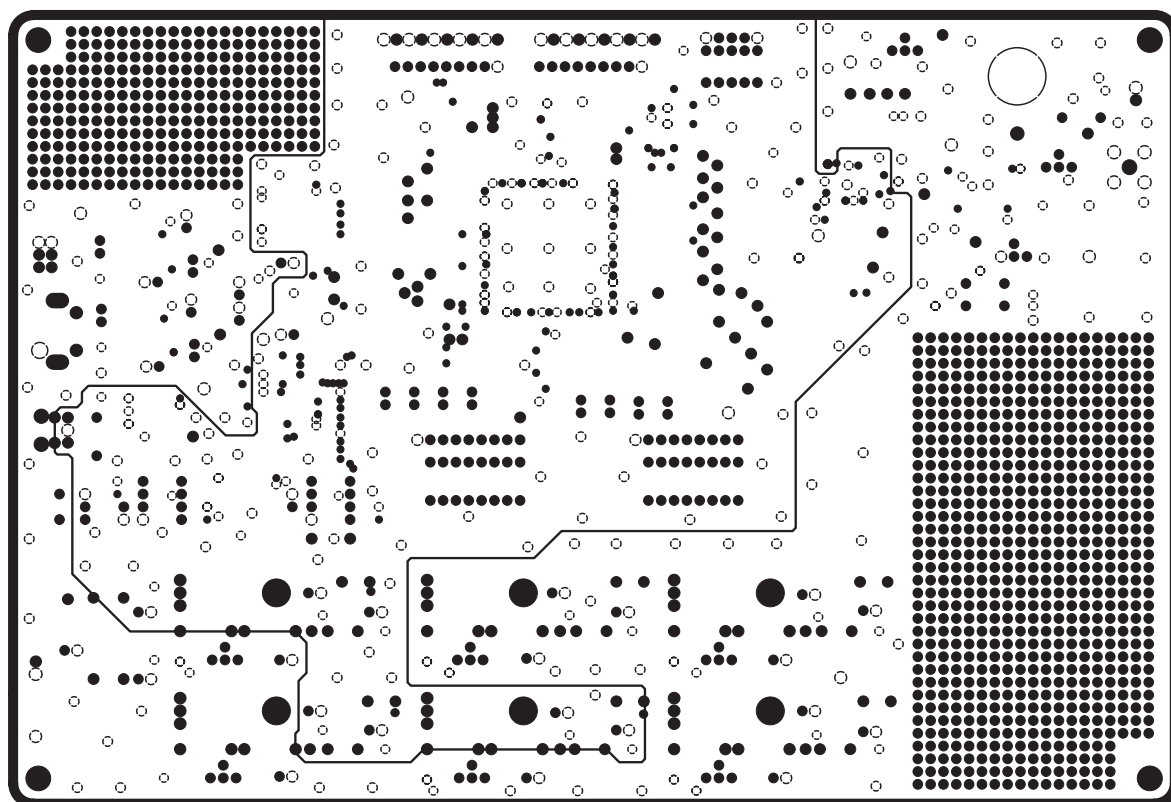
パターン図



CXD4016R EVB A面パターン図

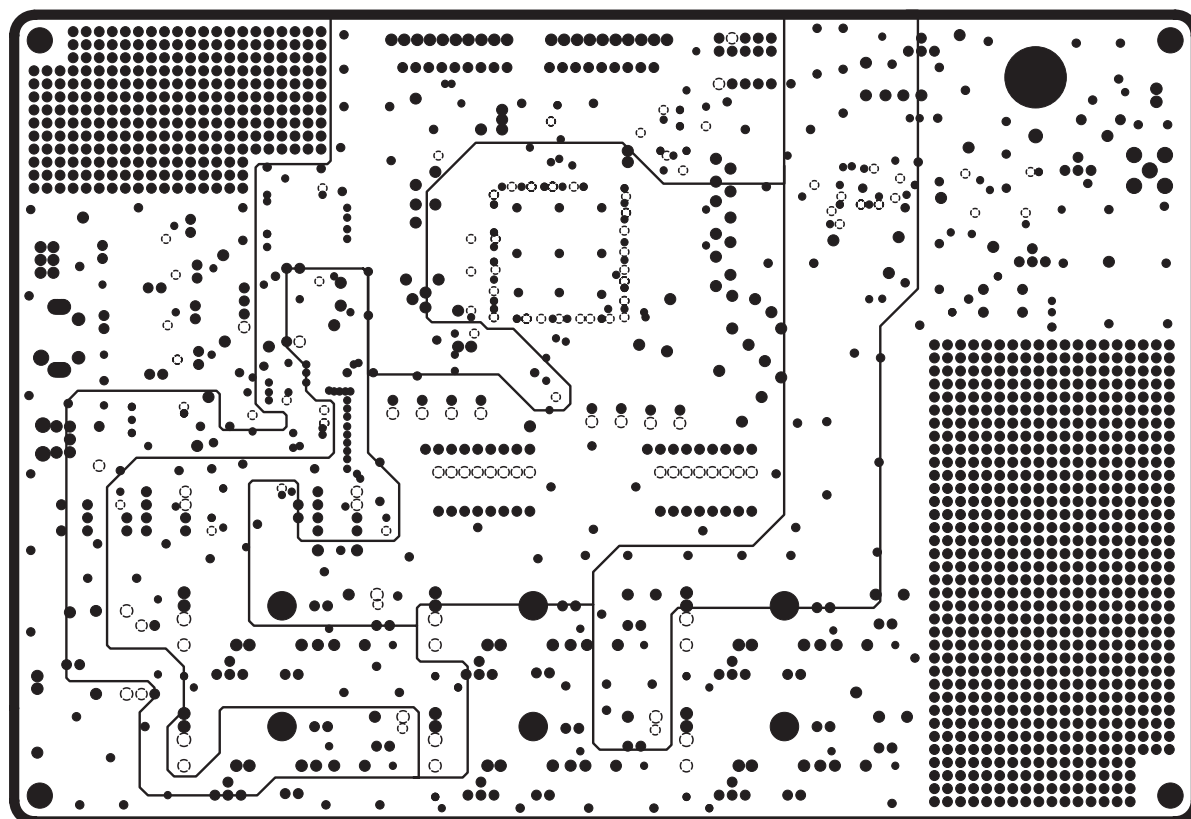


CXD4016R EVB B面パターン図



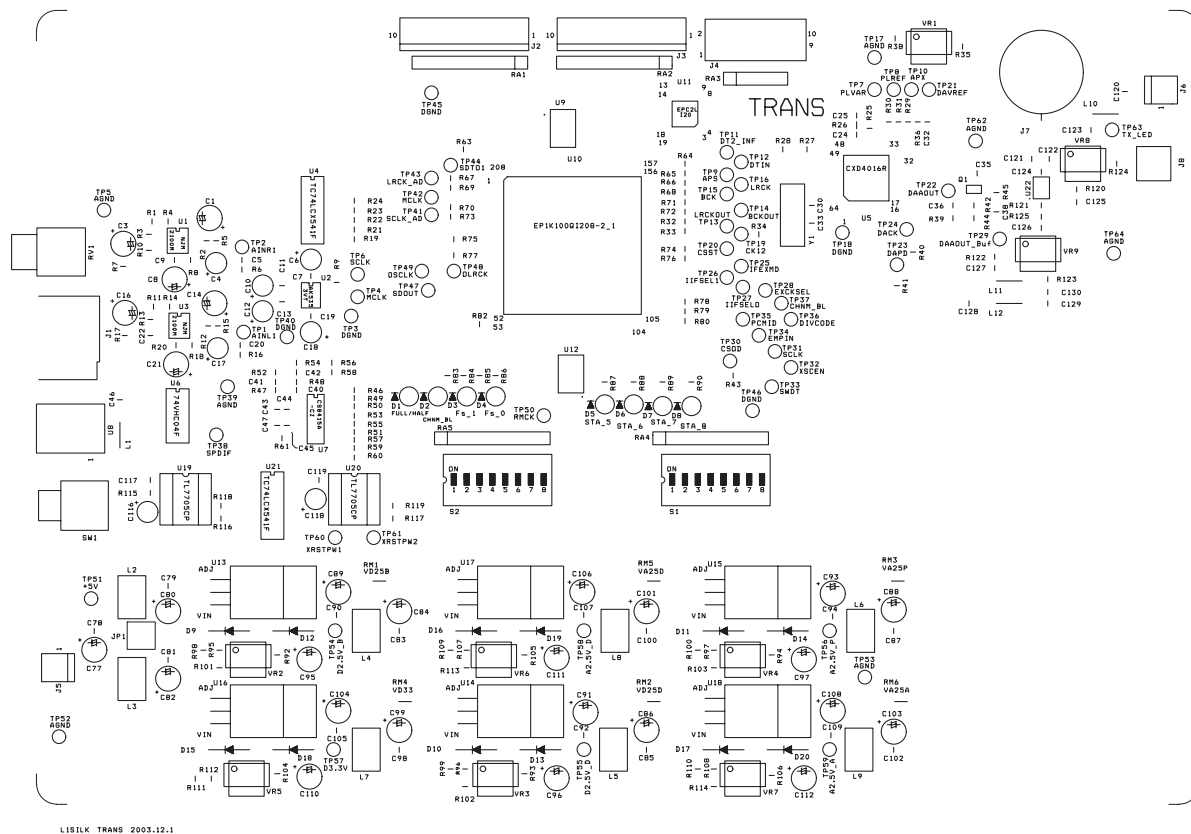
L2 TRANS 2003.12.1

CXD4016R EVB GND層パターン図

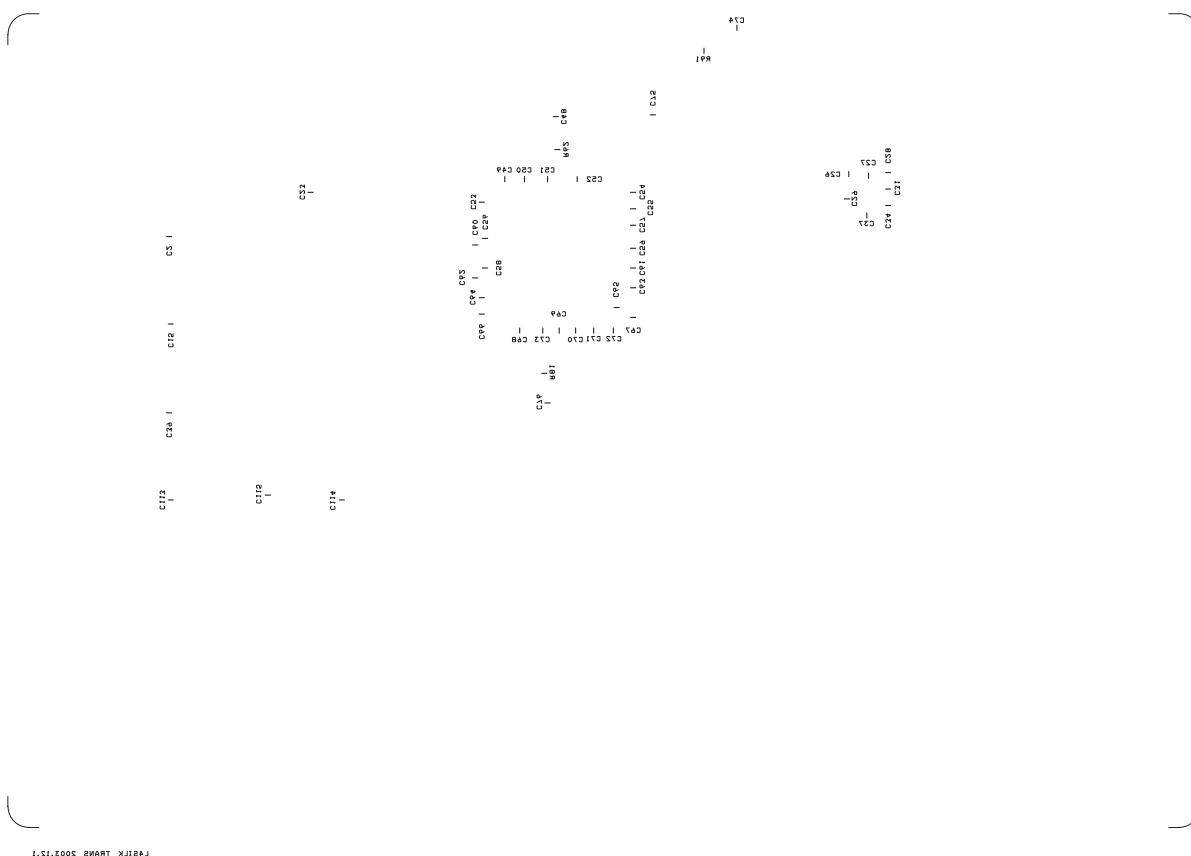


1.51.2003 SWART Z.J

CXD4016R EVB 電源層パターン図



CXD4016R EVB A面シルク図



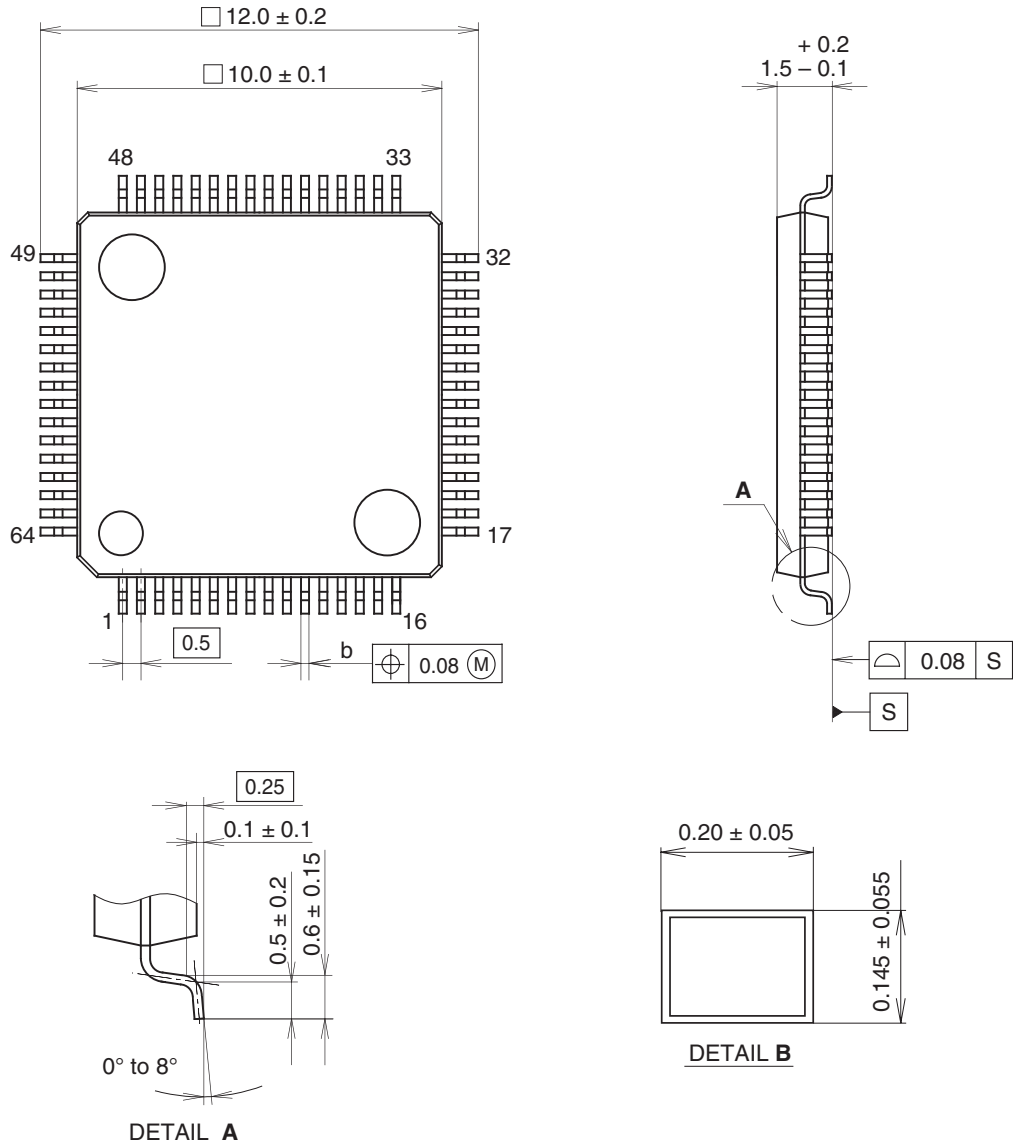
CXD4016R EVB B面シルク図



外形寸法図

(単位 : mm)

64PIN LQFP (PLASTIC)



SONY CODE	LQFP-64P-L023
JEITA CODE	P-LQFP64-10X10-0.5
JEDEC CODE	—

PACKAGE STRUCTURE

PACKAGE MATERIAL	EPOXY RESIN
TERMINAL TREATMENT	SOLDER PLATING
TERMINAL MATERIAL	42 ALLOY
PACKAGE MASS	0.32g

LEAD PLATING SPECIFICATIONS

ITEM	SPEC.
LEAD MATERIAL	42 ALLOY
SOLDER COMPOSITION	Sn-2%Bi
PLATING THICKNESS	5-20μm