

# MX4xSL-XE

# 用戶手冊

2010-05-08

---

|                       |    |
|-----------------------|----|
| 第一章 系统概述 .....        | 1  |
| 整体描述 .....            | 1  |
| FPGA逻辑资源 .....        | 2  |
| FPGA外部接口连接 .....      | 3  |
| 第二章 快速应用向导 .....      | 4  |
| 连接电源 .....            | 4  |
| 选择配置FPGA逻辑的方式 .....   | 4  |
| 上电 .....              | 5  |
| 复位 .....              | 5  |
| 系统状态LED灯 .....        | 6  |
| 第三章 控制软件 .....        | 7  |
| USB控制程序 .....         | 7  |
| 软件界面 .....            | 7  |
| 功能介绍 .....            | 7  |
| 上电SD卡自动配置 .....       | 8  |
| 系统支持的SD卡 .....        | 8  |
| 配置文件格式 .....          | 8  |
| 串口提示信息 .....          | 9  |
| 第四章 系统硬件 .....        | 11 |
| 系统框图 .....            | 11 |
| 配置电路 .....            | 11 |
| 框图 .....              | 11 |
| 连接 .....              | 12 |
| LED指示 .....           | 12 |
| 系统时钟 .....            | 12 |
| 介绍 .....              | 12 |
| 框图 .....              | 13 |
| 连接 .....              | 13 |
| 复位 .....              | 14 |
| 框图 .....              | 14 |
| 连接 .....              | 14 |
| 电源 .....              | 14 |
| 用户USB接口 .....         | 15 |
| 用户I2C接口 .....         | 15 |
| 用户FPGA LED灯 .....     | 15 |
| FPGA互连 .....          | 16 |
| 框图 .....              | 16 |
| 连接 .....              | 16 |
| 互连网络等长组 .....         | 16 |
| SO-DIMM 内存接口 .....    | 18 |
| DDR-2 SO-DIMM模组 ..... | 18 |
| 连接 .....              | 18 |
| 子板接口 .....            | 19 |

---

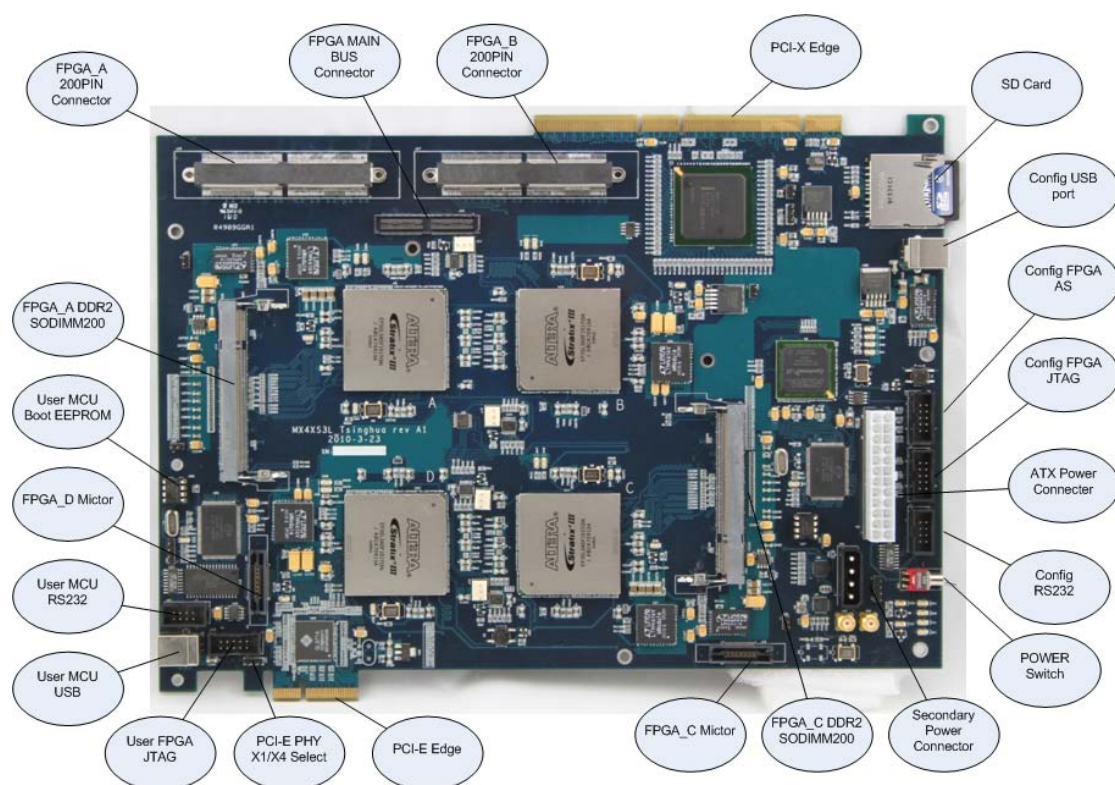
---

|                                 |    |
|---------------------------------|----|
| PCI Express接口 .....             | 19 |
| PCI Express边沿连接器 .....          | 19 |
| PCI-E 宽度跳线 .....                | 20 |
| PCI-E PHY工作模式 .....             | 20 |
| 连接 .....                        | 20 |
| PCI/PCI-X接口 .....               | 20 |
| PCI/PCI-X边沿连接器 .....            | 20 |
| Intel 31154 PCI-X桥与主机连接设置 ..... | 21 |
| 用户FPGA逻辑与 31154 桥连接设置 .....     | 21 |
| Intel 31154 PCI-X桥缺省工作模式 .....  | 21 |
| 连接 .....                        | 21 |
| 逻辑分析仪测试接口 .....                 | 22 |
| 第五章  文档修改历史 .....               | 23 |

## 第一章 系统概述

### 整体描述

本 FPGA 开发平台以 Altera 公司 Stratix III/IV 系列大容量 FPGA 为核心，4 片高速互连，组成总和相当于 920 万~3900 万 ASIC 逻辑门的验证系统。本系统提供了丰富的外部接口：1.8V SO-DIMM 内存槽及 PCI/PCI-X 、 PCI-Express x4 等等。为大容量逻辑门定制 ASIC 开发人员提供了最快的实施方案。



## FPGA逻辑资源

本开发平台支持 4 片以下 FPGA 型号

| Device                          | Stratix III L     |             | Stratix IV E  |               |
|---------------------------------|-------------------|-------------|---------------|---------------|
|                                 | EP3SL200          | EP3SL340    | EP4SE530      | EP4S820       |
| Adaptive Logic Modules (ALMs)   | 79,560            | 135,200     | 212,480       | 325,220       |
| Equivalent Logic Elements (LEs) | 198,900           | 338,200     | 531,200       | 813,050       |
| Registers                       | 159,120           | 270,400     | 424,960       | 650,440       |
| M9K Memory Blocks               | 468               | 1,040       | 1,280         | 1,610         |
| M144K Memory Blocks             | 36                | 48          | 64            | 60            |
| Embedded Memory (Kbits)         | 9,396             | 16,272      | 20,736        | 23,130        |
| MLAB (Kbits)                    | 1,250             | 4,225       | 6,640         | 10,163        |
| 18 x 18 Multipliers             | 576               | 576         | 1024          | 960           |
| Equivalent ASIC Gates           | $2.3M^1 + 2.8M^2$ | $4M + 2.8M$ | $6.3M + 5.1M$ | $9.7M + 4.8M$ |

注解 1: 等效方法为 1 个 LE 相当于 12 个 ASIC 门。

注解 2: 等效方法为 1 个 18 x 18 乘法器相当于 5000 个 ASIC 门。

## FPGA外部接口连接

两个 1.8V SO-DIMM 内存插槽，最大可支持 DDR2-533 2GB 内存模组

PCI-X 64-bit 133MHz。

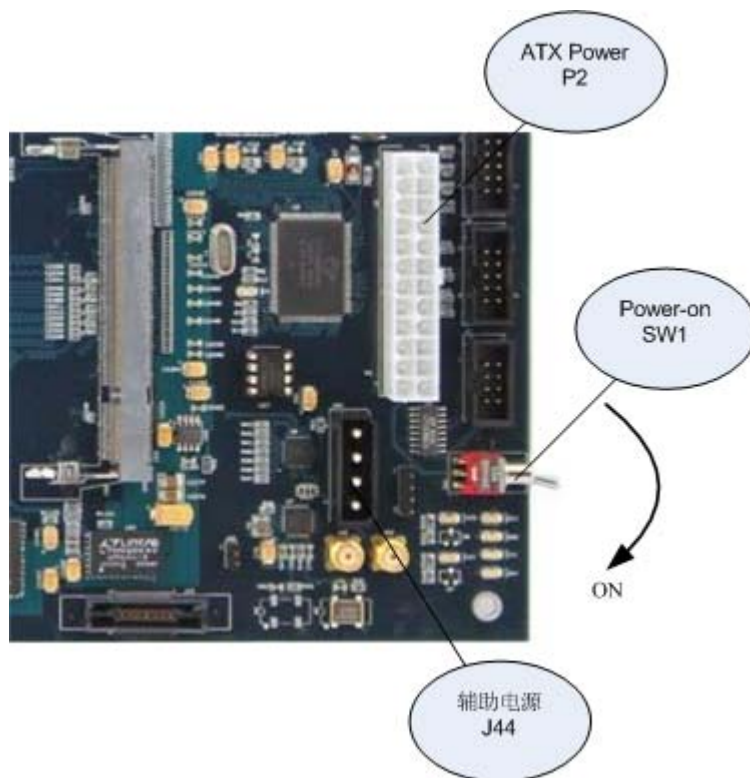
PCI-Express Gen1 x4。

两个 200 PIN 全差分扩展接口。

用户 USB 接口，Cypress EZ-USB FX2 LP 控制器。

## 第二章 快速应用向导

### 连接电源



- 独立使用时，ATX 电源供电。接口 P2
- 作为 PCI/PCI-X、PCI-E 接口板卡使用，安装在机箱中时，必须同时连接 J44 辅助供电，否则会损坏系统。

### 选择配置FPGA逻辑的方式

- 通过 SD 卡配置 FPGA

将配置信息 main.txt 和相应的未压缩 RBF 配置文件存储在 SD 卡根目录。系统上电自动读取 SD 卡配置 FPGA。详细设置见第三章系统软件

- 通过 USB 控制器配置 FPGA

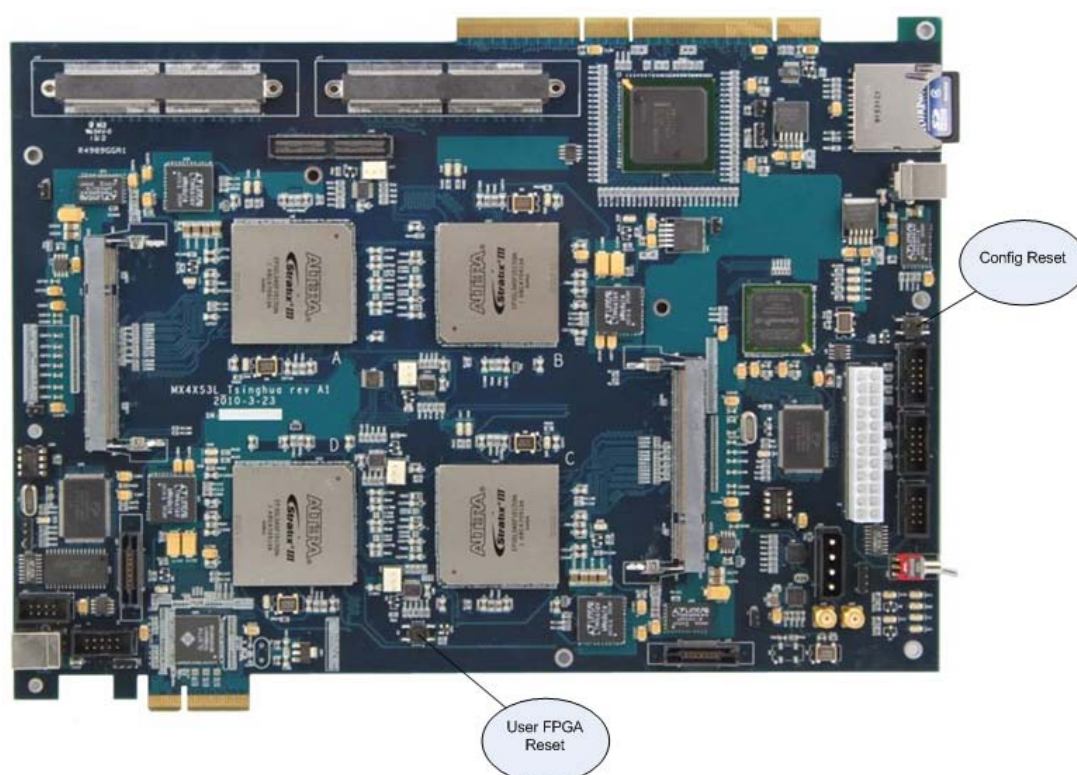
- 运行 USB 控制器配置程序
- 设置参数及下载 FPGA 逻辑

详细设置见第三章系统软件

## 上电

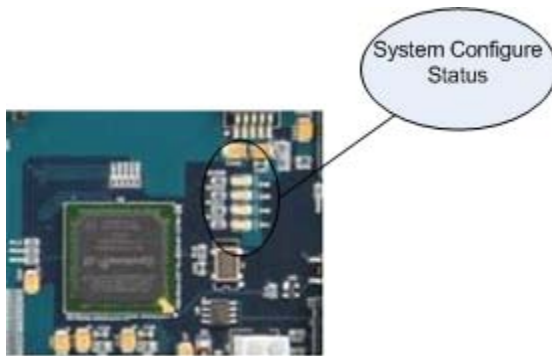
- 独立工作时使用系统电源开关 SW1 打开电源
- 作为 PCI/PCI-X、PCI-E 接口板卡使用时，因为配置 FPGA 的时间大于主机 BIOS 初始化 PCI-E/PCI-X 的时间要求，主机启动期间会出现 PCI-E 插槽配置错误的信息，请在 FPGA 逻辑配置完成后重新启动主机（RESET 复位或 Ctrl+Alt+Del 软复位），以便 BIOS 可以根据配置好的 FPGA 逻辑完成设备枚举与资源分配。

## 复位



- Config Reset(S1)。FPGA 配置复位，重新读取 SD 卡逻辑配置用户 FPGA。
- User FPGA Reset(S2)。用户 FPGA 复位，在任何时间向所有用户 FPGA 发出复位电平。
- Software Reset。软件复位，通过 USB 控制程序向所有用户 FPGA 发出复位电平。

## 系统状态LED灯

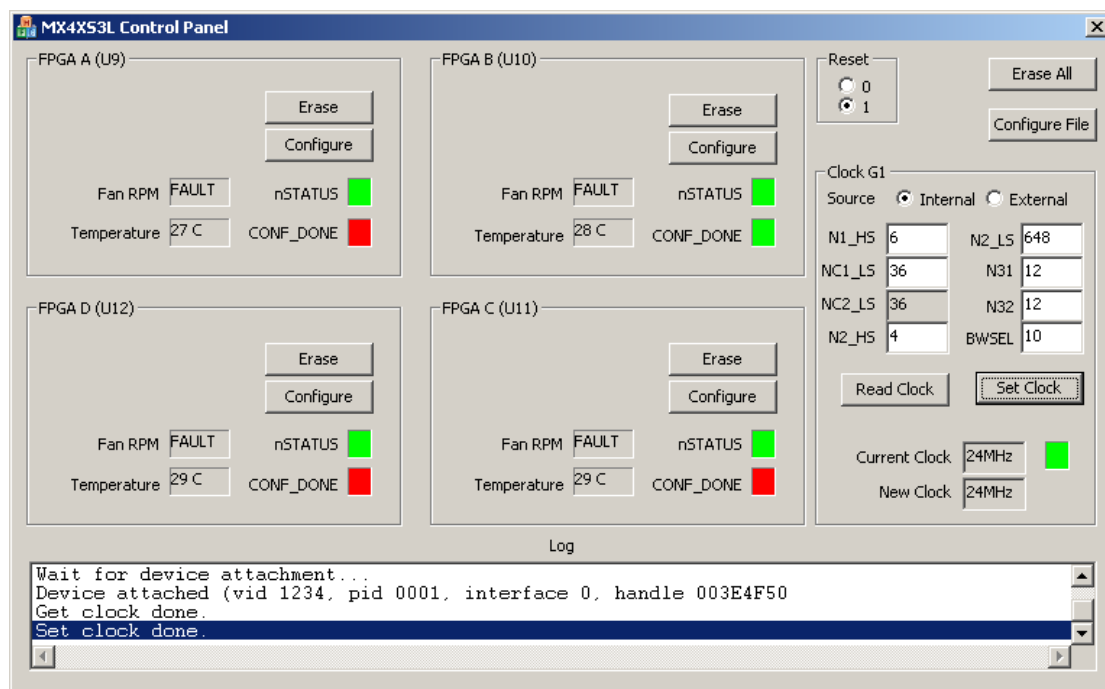


| LED 灯 | 状态                 |
|-------|--------------------|
| D38   | 系统电源工作正常时长亮        |
| D39   | SD 卡读取数据时闪烁        |
| D40   | SD 卡自动配置成功长亮，失败时闪烁 |
| D41   | 用户时钟 PLL 锁定长亮      |

## 第三章 控制软件

### USB控制程序

#### 软件界面



#### 功能介绍

软件界面分为单个 FPGA 配置、系统配置和时钟配置三部分。

- 单个用户 FPGA 配置: 可以独立擦除, 配置对应的用户 FPGA。配置成功后, nSTATUS 灯绿色, CONF\_DONE 灯绿色。如果红色, 配置失败。Fan RPM 显示风扇转速, Temperature 显示当前对应 FPGA 温度。
- 所有用户 FPGA 配置: Erase All 可以擦除所有 FPGA 的逻辑。Configure 读取 SD 配置文件。Reset 为软件复位。
- 时钟配置: 可以选择 PLL 时钟源和外部时钟源。Read Clock 按钮读出当前 PLL 配置信息。Set Clock 按钮是设置用户定义 PLL 配置信息。当配置信息正确, PLL 锁定时钟频率时, 时钟配置灯为绿色。如果失败, 为红色。(PLL 参数计算详见 DSPLLsim-Si5326 计算程序)

## 上电SD卡自动配置

### 系统支持的SD卡

支持 SD/SDHC 卡，文件系统格式为 FAT16/FAT32。

### 配置文件格式

配置文件名为 `main.txt`，存放在 SD 卡根目录。

配置文件中使用的文件名不能超过 8 个字符。

### 注释

第一个字母为分号 “;” 的行作为注释被忽略。

### 选择时钟源

**CLKMUX 0/1**

0 为 PLL 时钟源，1 为外部时钟源。

### PLL参数设定

**CLOCK N1\_HS NC1\_LS N2\_HS N2\_LS N31 N32 BWSEL**

N32 值同 N31，PLL 参数计算详见 DSPLLsim-Si5326 计算程序。

### 指定用户FPGA配置数据文件

**FPGA A/B/C/D RBF 文件名**

A/B/C/D 为对应四片 FPGA，RBF 为非压缩的配置数据格式。

### 举例

```
; Clock distribution test
; Clock @ 450 MHz
CLKMUX 0
CLOCK 6 2 6 450 12 12 10
FPGA A A.rbf
FPGA B B.rbf
FPGA C C.rbf
FPGA D D.rbf
```

## 串口提示信息

SD 卡上电自动配置是，会在 S0 串口显示启动信息。串口波特率为 57600；8 位数据位；无奇偶校验位；1 位停止位。

### 举例

```
MX4xS3L340-TSINGHUA FIRMWARE VERSION 1 (Apr 29 2010)
```

```
ACK@51
```

```
ACK@69
```

```
ACK@70
```

```
Init Temp/FAN controllers
```

```
Status controller 0
```

```
Temperature: 26
```

```
FAN RPM: fault
```

```
Status controller 1
```

```
Temperature: 26
```

```
FAN RPM: fault
```

```
Status controller 2
```

```
Temperature: 26
```

```
FAN RPM: fault
```

```
Status controller 3
```

```
Temperature: 27
```

```
FAN RPM: fault
```

```
Si5326 Rev B. detected.
```

```
Initializing SD Card...
```

```
SDHC card initialized
```

```
Reading MBR/Boot...
```

```
type=1, spc=40, fat=38a4, data=4000, root=c00
```

```
Searching MAIN.TXT...
```

```
<; Clock distribution test>
```

```
<; Clock @ 450 MHz>
```

```
<CLKMUX 0>
```

```
<CLOCK 6 2 6 450 12 12 10>
```

```
Si5326[
```

```
    BWSEL_REG = 10
```

```
    N1_HS = 6
```

```
    NC1_LS = 2
```

```
    N2_HS = 6
```

```
    N2_LS = 450
```

```
    N31 = 12
```

```
    N32 = 12
```

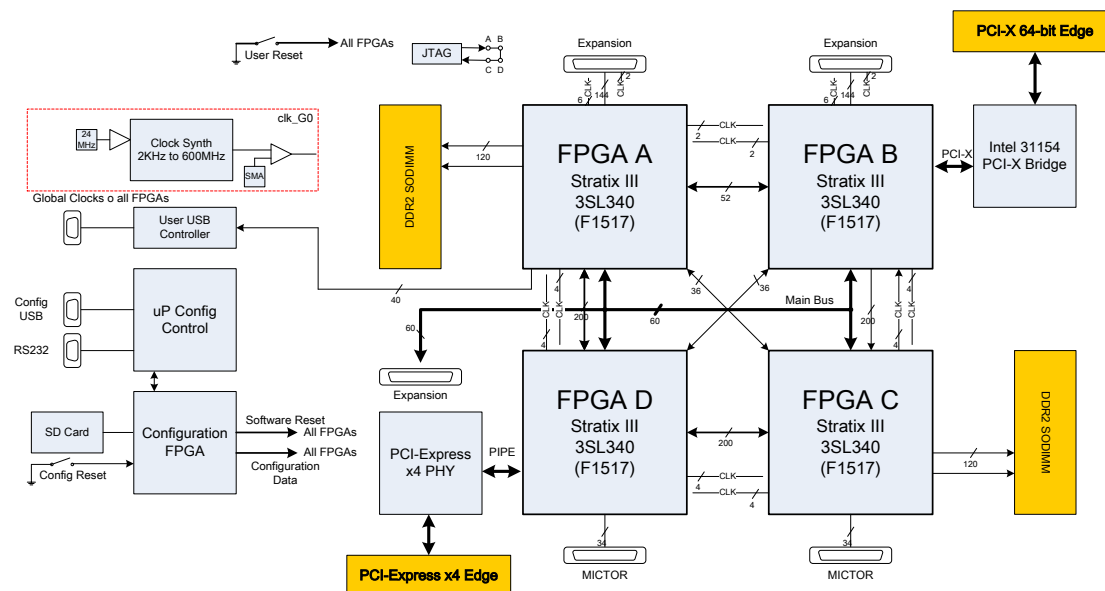
```
]
```

```
<FPGA A A.rbf>
```

```
<FPGA B B.rbf>
<FPGA C C.rbf>
<FPGA D D.rbf>
Config FPGA 0 using A.rbf.
CONFIG_DONE = 1 nSTATUS = 1.
Config FPGA 1 using B.rbf.
CONFIG_DONE = 1 nSTATUS = 1.
Config FPGA 2 using C.rbf.
CONFIG_DONE = 1 nSTATUS = 1.
Config FPGA 3 using D.rbf.
CONFIG_DONE = 1 nSTATUS = 1.
Finished
```

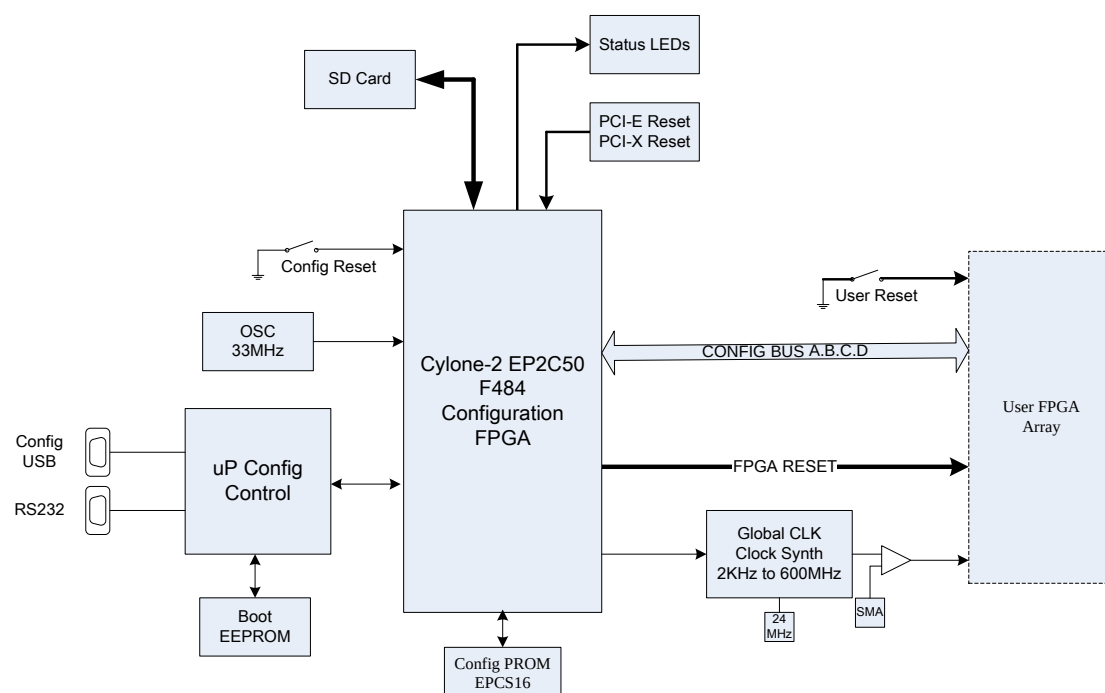
## 第四章 系统硬件

## 系统框图



## 配置电路

## 框图



## 连接

- SD 卡配置：P1 为 SD 卡插槽。
- JTAG 配置：J13 为连接用户 FPGA 的 JTAG 接口，扫描链顺序为 U9、U10、U11、U12。
- USB 配置：J1 为配置 USB 接口。

## LED 指示

用户 FPGA 逻辑配置成功指示，对应每个用户 FPGA 的 CONF\_DONE 引脚的状态。

| 用户 FPGA      | CONF_DONE LED |
|--------------|---------------|
| FPGA A (U9)  | D24           |
| FPGA B (U10) | D29           |
| FPGA C (U11) | D26           |
| FPGA D (U12) | D27           |

## 系统时钟

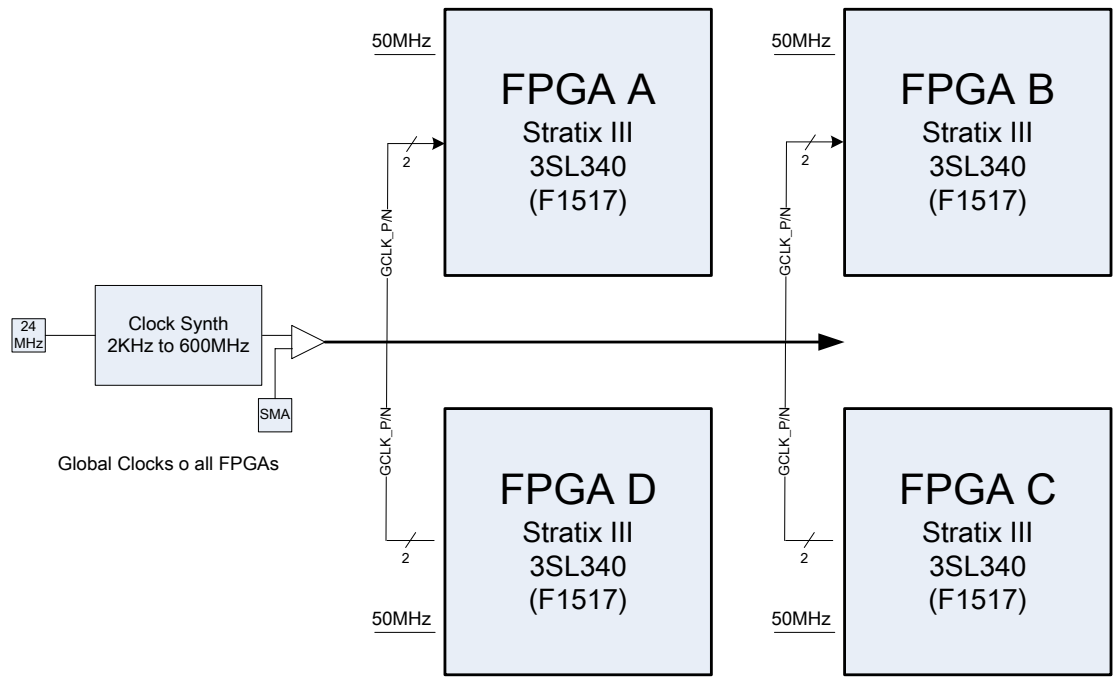
### 介绍

每个用户 FPGA 均有独立的晶体振荡器提供 50MHz 时钟。

用户时钟 PLL 提供可编程的全局时钟。全局时钟频率可以通过 USB 控制软件或 SD 卡自动配置文件进行设置。开机后用户时钟 PLL 输出的时钟频率缺省为 100MHz。

用户 PLL 输出的时钟频率范围为 2KHz~600MHz，电平标准为 LVDS。

框图

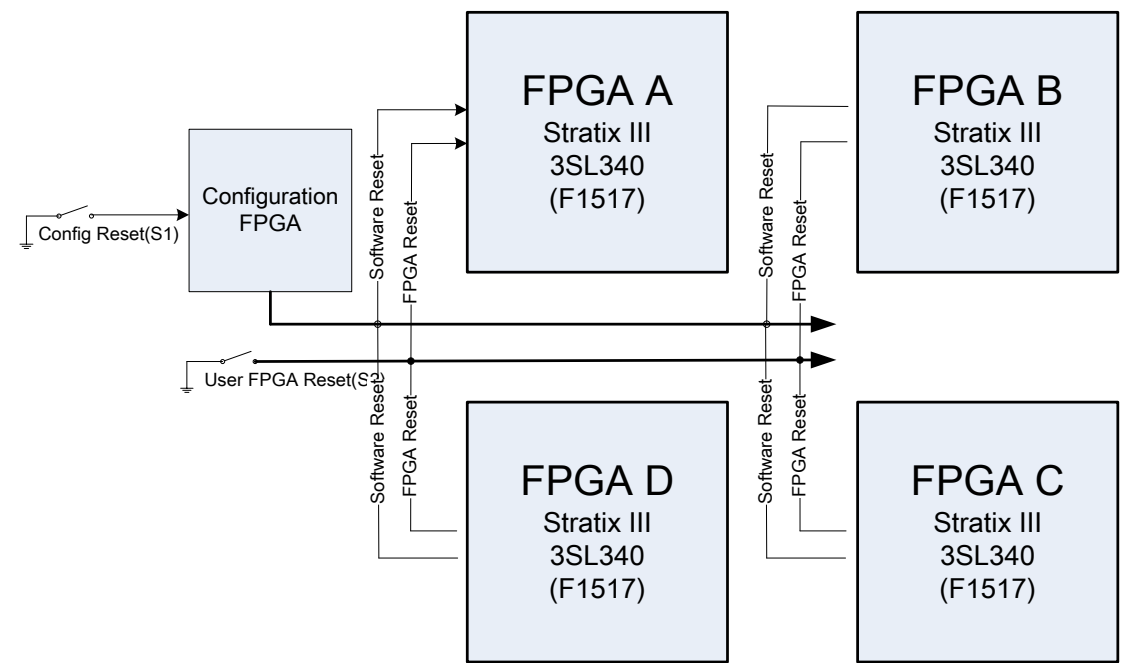


连接

| 用户 FPGA      | 时钟                 | 引脚      | IO 标准 |
|--------------|--------------------|---------|-------|
| FPGA A (U9)  | GCLK_P/N           | W38/W39 | LVDS  |
|              | FPGA_A_CLK (50MHz) | AA38    | 2.5 V |
| FPGA B (U10) | GCLK_P/N           | W38/W39 | LVDS  |
|              | FPGA_B_CLK (50MHz) | AA38    | 2.5 V |
| FPGA C (U11) | GCLK_P/N           | W38/W39 | LVDS  |
|              | FPGA_C_CLK (50MHz) | AA38    | 2.5 V |
| FPGA D (U12) | GCLK_P/N           | W38/W39 | LVDS  |
|              | FPGA_D_CLK (50MHz) | AA38    | 2.5 V |

复位

框图



连接

- Config Reset(S1)。FPGA 配置复位，重新读取 SD 卡逻辑配置用户 FPGA。
- User Reset(S2)。用户 FPGA 复位，在任何时间向所有用户 FPGA 发出复位电平。
- Software Reset。软件复位，通过 USB 控制程序向所有用户 FPGA 发出复位电平。
- PCI-E 插槽复位。
- PCI/PCI-X 总线复位。

| 用户 FPGA      | User Reset | Software Reset | PCI-E PERSTn | PCI-X Reset |
|--------------|------------|----------------|--------------|-------------|
| FPGA A (U9)  | A14        | B7             | -            | -           |
| FPGA B (U10) | A30        | D32            | -            | AP29        |
| FPGA C (U11) | A14        | D6             | -            | -           |
| FPGA D (U12) | A30        | A32            | A33          | -           |

电源

ATX 电源接口(P2)和辅助电源接口(J44)

- 独立使用时，ATX 电源供电。接口 P2
- 作为板卡使用通过 PCI/PCI-X、PCI-E 接口使用时，同时连接 J44 供电。

## 用户 USB 接口

用户 USB 接口(J39)，通过 CY7C68013A-128AZC 与 FPGA U9 的 bank4 连接。

详细互连见文件 `usb.csv`

CY7C68013A-128AZC 外接 64KB SRAM，请参考 CY7C68013 开发板说明。

## 用户 I2C 接口

用户 I2C 接口(J40)，连接在 CY7C68013A-128AZC(U31) I2C 控制器上，用户可通过 CY7C68013A-128AZC 编程，应用。

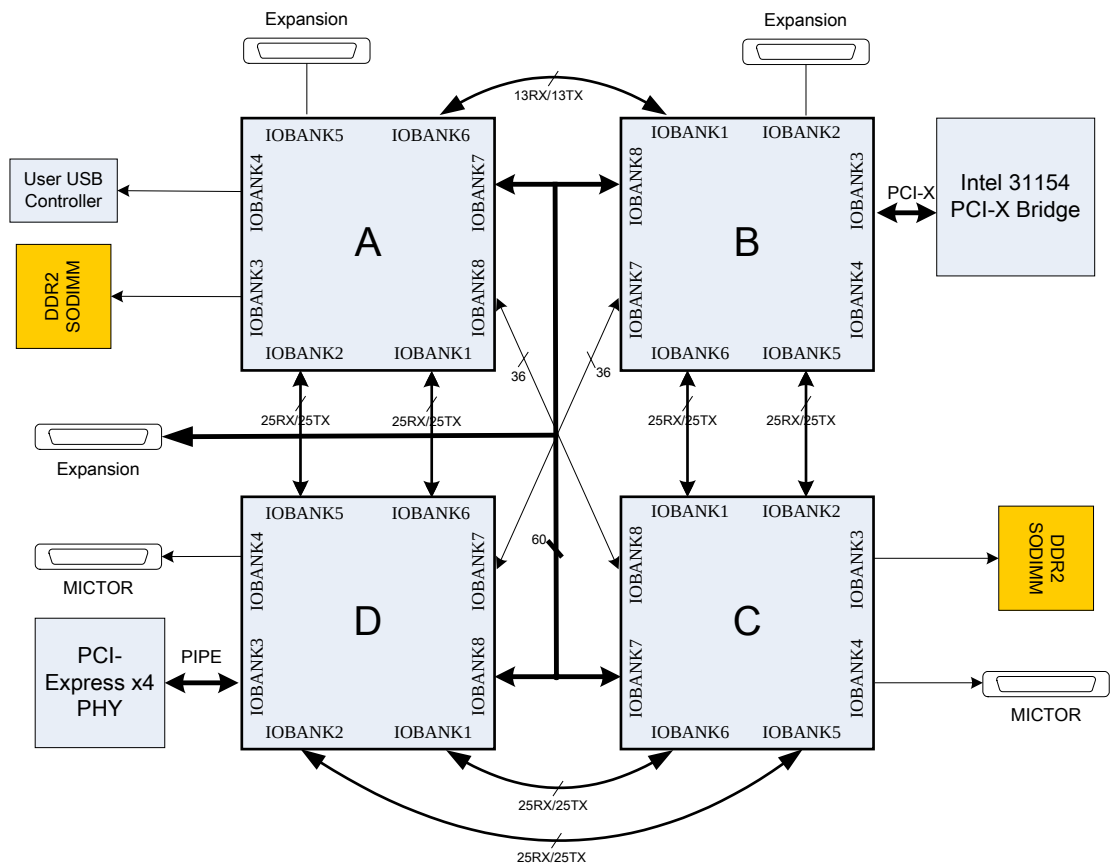
## 用户 FPGA LED 灯

用户自定义 LED 灯，高电平发光。

| FPGA         | PIN | LED 灯 | IO 标准 |
|--------------|-----|-------|-------|
| FPGA A (U9)  | AN5 | D42   | 2.5V  |
|              | AM6 | D43   | 2.5V  |
| FPGA B (U10) | G35 | D45   | 2.5V  |
|              | H34 | D44   | 2.5V  |
| FPGA C (U11) | G35 | D47   | 2.5V  |
|              | H34 | D46   | 2.5V  |
| FPGA D (U12) | AN5 | D48   | 2.5V  |
|              | AM6 | D49   | 2.5V  |

FPGA互连

框图



连接

互连信号详见文件 fpgaAB.csv, fpgaAC.csv, fpgaAD.csv, fpgaBC.csv, fpgaBD.csv, fpgaCD.csv, fpgaABCD.csv

互连网络等长组

|                         |
|-------------------------|
| FPGA A~B                |
| FPGA_DIFF_AB_RX_CLKP/N  |
| FPGA_DIFF_AB_RX_P/N0~12 |
| ---                     |
| FPGA_DIFF_AB_TX_CLKP/N  |
| FPGA_DIFF_AB_TX_P/N0~12 |

---

## FPGA A~C

|                 |
|-----------------|
| FPGA_AC_BUS0~35 |
|-----------------|

---

## FPGA A~D

|                           |
|---------------------------|
| FPGA_AD_DIFF_RX_CLKP/N0~1 |
|---------------------------|

|                         |
|-------------------------|
| FPGA_AD_DIFF_RX_P/N0~49 |
|-------------------------|

---

|                           |
|---------------------------|
| FPGA_AD_DIFF_TX_CLKP/N0~1 |
|---------------------------|

|                         |
|-------------------------|
| FPGA_AD_DIFF_TX_P/N0~49 |
|-------------------------|

---

|                           |
|---------------------------|
| FPGA_AD_DIFF_TX_CLKP/N0~1 |
|---------------------------|

|                         |
|-------------------------|
| FPGA_AD_DIFF_TX_P/N0~49 |
|-------------------------|

---

## FPGA B~C

|                           |
|---------------------------|
| FPGA_DIFF_BC_RX_CLKP/N0~1 |
|---------------------------|

|                         |
|-------------------------|
| FPGA_DIFF_BC_RX_P/N0~49 |
|-------------------------|

---

|                           |
|---------------------------|
| FPGA_DIFF_BC_TX_CLKP/N0~1 |
|---------------------------|

|                         |
|-------------------------|
| FPGA_DIFF_BC_TX_P/N0~49 |
|-------------------------|

---

## FPGA B~D

|                 |
|-----------------|
| FPGA_BD_BUS0~35 |
|-----------------|

---

## FPGA C~D

|                           |
|---------------------------|
| FPGA_DIFF_CD_RX_CLKP/N0~1 |
|---------------------------|

|                         |
|-------------------------|
| FPGA_DIFF_CD_RX_P/N0~25 |
|-------------------------|

|                          |
|--------------------------|
| FPGA_DIFF_CD_RX_P/N39~41 |
|--------------------------|

|                       |
|-----------------------|
| FPGA_DIFF_CD_RX_P/N43 |
|-----------------------|

FPGA\_DIFF\_CD\_RX\_P/N45~49

---

FPGA\_DIFF\_CD\_RX\_P/N26~38

FPGA\_DIFF\_CD\_RX\_P/N42

FPGA\_DIFF\_CD\_RX\_P/N44

---

FPGA\_DIFF\_CD\_TX\_CLKP/N0~1

FPGA\_DIFF\_CD\_TX\_P/N0~25

FPGA\_DIFF\_CD\_TX\_P/N41

FPGA\_DIFF\_CD\_TX\_P/N49

---

FPGA\_DIFF\_CD\_TX\_P/N26~40

FPGA\_DIFF\_CD\_TX\_P/N42~48

## FPGA A~B~C~D

FPGA\_BUS4~63

## SO-DIMM 内存接口

## DDR-2 SO-DIMM 模组

SO-DIMM 内存接口与标准 JEDEC DDR-2 SO-DIMM 模组兼容。工作电压为 1.8V。支持的最大容量模组参数如下：

| 数据宽度 | row/bank/column 宽度 | 片选 | 总容量 |
|------|--------------------|----|-----|
| 64   | 14/3/10            | 2  | 2GB |

系统支持最高速度 SO-DIMM 为 DDR2-533 (JEDEC PC2-4200)，接口时钟 133MHz。

## 连接

FPGA A (U9)的 BANK3 连接 SO-DIMM(U74)内存插槽。详细互连见文件 sodimmA.csv

FPGA C (U11)的 BANK3 连接 SO-DIMM(U69)接口。连接与 FPGA A(U9)与 SO-DIMM 的引脚相同。

SO-DIMM 接口与用户 FPGA 连接可以使用 FPGA 片上校准的终结电阻（On-chip Calibrated Termination），校准电阻位于以下位置：

| 用户 FPGA      | 校准电阻 | 引脚       | 电压标准 |
|--------------|------|----------|------|
| FPGA A (U9)  | RUP  | PIN_AN29 | 1.8V |
|              | RDN  | PIN_AN30 | 1.8V |
| FPGA C (U11) | RUP  | PIN_AN29 | 1.8V |
|              | RDN  | PIN_AN30 | 1.8V |

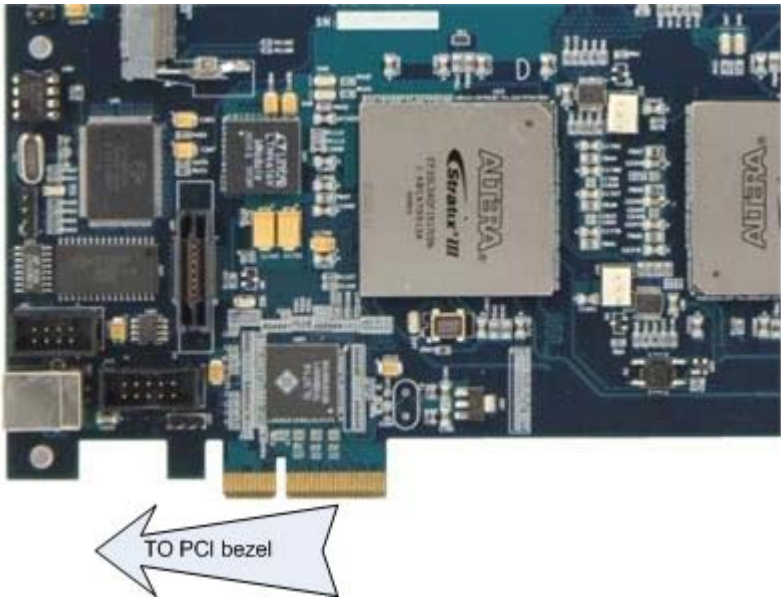
子板接口

与 FPGA A(U9)连接的 200 PIN 扩展接口(J16)。详细互连见文件 conn200A.csv

与 FPGA B (U10)连接的 200 PIN 扩展接口(J17)。详细互连见文件 conn200B.csv

PCI EXPRESS接口

PCI EXPRESS边沿连接器



## PCI-E 宽度跳线

| J24 跳线 | PCI-E 连接宽度 |
|--------|------------|
| 1-2    | PCI-E x4   |
| 2-3    | PCI-E x1   |

## PCI-E PHY 工作模式

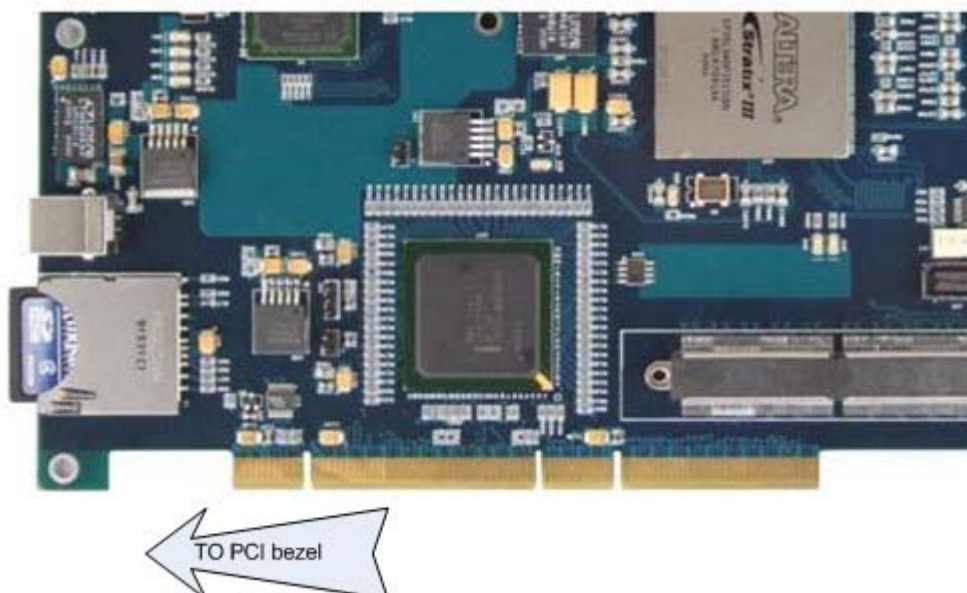
Genesys GL9714S (U20)缺省工作在 8-bit, 250Mhz, 4 lanes 模式，参考时钟来自 PCI-E 槽。

## 连接

详细互连见文件 pcie.xls

## PCI/PCI-X接口

### PCI/PCI-X边沿连接器



## INTEL 31154 PCI-X桥与主机连接设置

| Function                          | R263   | R265   | R264   |
|-----------------------------------|--------|--------|--------|
| Selects Primary PCI-X 133/100 MHz | Open   | Open   | N/A    |
| Selects Primary PCI-X 66 MHz      | Open   | Closed | N/A    |
| Selects Primary PCI 66 MHz        | Closed | N/A    | Open   |
| Selects Primary PCI 33 MHz        | Closed | N/A    | Closed |

## 用户FPGA逻辑与 31154 桥连接设置

| Function                            | J23.1/2 | J23.2/3 | J22    |
|-------------------------------------|---------|---------|--------|
| Selects Secondary PCI-X 133/100 MHz | Open    | Open    | N/A    |
| Selects Secondary PCI-X 66 MHz      | Open    | Closed  | N/A    |
| Selects Secondary PCI 66 MHz        | Closed  | N/A     | Open   |
| Selects Secondary PCI 33 MHz        | Closed  | N/A     | Closed |

## INTEL 31154 PCI-X桥缺省工作模式

| 信号            | 状态       |
|---------------|----------|
| OPAQUE_EN     | DISABLED |
| NT_MASK#      | DISABLED |
| S_ARB_DISABLE | ENABLED  |
| DEV_64BIT#    | DISABLED |
| S_TRISTATE    | DISABLED |
| IDSEL_MASK    | DISABLED |
| HS_ENUM#      | DISABLED |
| HS_LSTAT      | DISABLED |
| HS_SM         | DISABLED |
| HS_FREQ(0)    | DISABLED |
| HS_FREQ(1)    | DISABLED |
| S_MAX100      | ENABLED  |
| S_GCLK_EN     | ENABLED  |
| S_CLKOEN(0)   | ENABLED  |

## 连接

详细互连见文件 pcix.csv

## 逻辑分析仪测试接口

用户 **FPGA C (U11)**和 **FPGA D (U12)**分别连有一个标准 **Mictor** 插座，以方便用户之间连接逻辑分析仪。详细连接见文件 **mictorC.csv**、**mictorD.csv**

## 第五章 文档修改历史

|           |                  |                                                                     |
|-----------|------------------|---------------------------------------------------------------------|
| 2010-4-30 | velc<br>michaelg | 初始版本                                                                |
| 2010-5-7  | michaelg         | 修改系统状态 LED<br>修正系统框图<br>增加 DDR 接口校准电阻 RUP/RDN 位置<br>增加时钟介绍<br>修正页码  |
| 2010-5-8  | michaelg         | 统一系统型号<br>SO-DIMM 接口部分修改介绍<br>整个系统介绍修改<br>FPGA 资源介绍增加 Stratix IV 支持 |