

EDA/SOPC系统开发平台

用户 使用 手册

目 录

第一章 综述	1
SOPC-NIOSII-EP2C35 核心板资源介绍	1
EDA/SOPC 开发平台资源介绍	3
第二章 系统模块	6
SOPC-NIOSII-EP2C35 核心板模块说明	
FPGA EP2C35F484C8 芯片说明	8
FLASH AM29LV065D 功能模块说明	9
SRAM IDT71V416 功能模块说明	10
SDRAM 功能模块说明	11
NAND FLASH 功能模块说明	12
扩展接口功能说明	13
调试接口 JTAG、AS 说明	14
其它功能模块	15
SOPC-NIOSII-EP2C35 核心板使用注意事项	18
EDA/SOPC 实验开发平台模块说明	
液晶显示模块	20
RTC 实时时钟模块	21
网卡接口模块	22
USB 接口模块	22
音频 CODEC 接口模块	23
高速 AD/DA 转换模块	25
直流电机与步进电机模块	26
数字、模拟信号源模块	28
EEPROM 存储模块	28
数字温度传感器模块	29
其它功能模块	30
EDA/SOPC 开发平台使用注意事项	31

第三章 软件的安装	33
概述	33
QuartusII 软件的安装	35
QuartusII 软件的授权	40
NIOSII 软件的安装	45
第四章 USB 电缆的安装与使用	49
USB 电缆在 WINXP 系统中的安装	51
USB 电缆在 Linux 系统中的安装	55
USB 电缆在 QuartusII 软件中和设置	55
USB 电缆的规格指标	57
USB 电缆使用注意事项	61
疑难解答	61
附表一	
核心板资源与 FPGA EP2C35 I/O 接口对照表	63
附表二	
EP2C35 核心板与开发平台资源 I/O 接口对照表	69

第一章 综 述

SOPC-NIOS EDA/SOPC 实验开发系统是根据现代电子发展的方向，集 EDA 和 SOPC 系统开发为一体的综合性实验开发系统，除了满足高校专、本科生和研究生的 SOPC 教学实验开发之外，也是电子设计和电子项目开发的理想工具。整个开发系统由核心板 SOPC-NIOSII-EP2C35、SOPC 开发平台和扩展板构成，根据用户不同的需求配置成不同的开发系统。

EP2C35核心板

EP2C35核心板为基于Altera Cyclone器件的嵌入式系统开发提供了一个很好的硬件平台，它可以为开发人员提供以下资源：

- 1、主芯片采用Altera CycloneII器件EP2C35F484C8
- 2、EPCS4I8配置芯片
- 3、两路SRAM容量为256K*32BIT
- 4、一路NOR FLASH芯片采用AM29LV065D，容量为8M*8BIT
- 5、一路NAND FLASH容量为64MB
- 6、一路SDRAM容量为32MB
- 7、4个用户自定义按键
- 8、4个用户自定义LED
- 9、1个七段码LED
- 10、标准AS编程接口和JTAG调试接口
- 11、50MHz高精度时钟源
- 12、三个高密度扩展接口
- 13、系统上电复位电路
- 14、支持+5V直接输入，板上电源管理模块

核心板主芯片采用484引脚、BGA封装的EP2C35 FPGA，它拥有33216个LE，105个M4K片上RAM（共计483840bits），4个高性能PLL以及多达322个用户自定义IO。

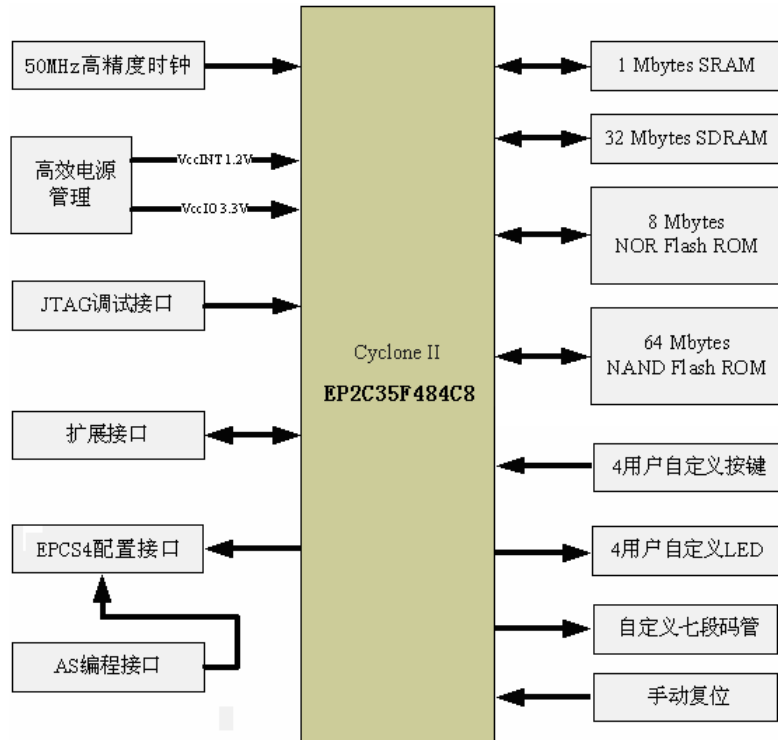


图1-1 EP2C35核心板系统功能框图

EDA/SOPC 实验开发平台

EDA/SOPC 实验开发平台提供了丰富的资源供学生或开发人员学习使用，资源包括接口通信、控制、存储、数据转换以及人机交互显示等几大模块，接口通信模块包括 SPI 接口、IIC 接口、VGA 接口、RS232 接口、网络接口、USB 接口、PS2 键盘/鼠标接口、1—Wire 接口等；控制模块包括直流电机、步进电机和交通灯的控制模块等；存储模块包括 EEPROM 存储器模块等；数据转换模块包括串行 ADC、DAC、高速并行 ADC、DAC 以及音频 CODE 等；人机交互显示模块包括 8 个按键、12 个拨动开关、12 个 LED 发光二极管显示、4×4 键盘阵列、128×240 图形点阵 LCD、8 位动态 7 段码管、16×16 点阵、实时时钟等；另外平台上还提供了一个简易模拟信号源和多路时钟模块。上述的这些资源模块既可以满足初学者入门的要求，也可以满足开发人员进行二次开发的要求。

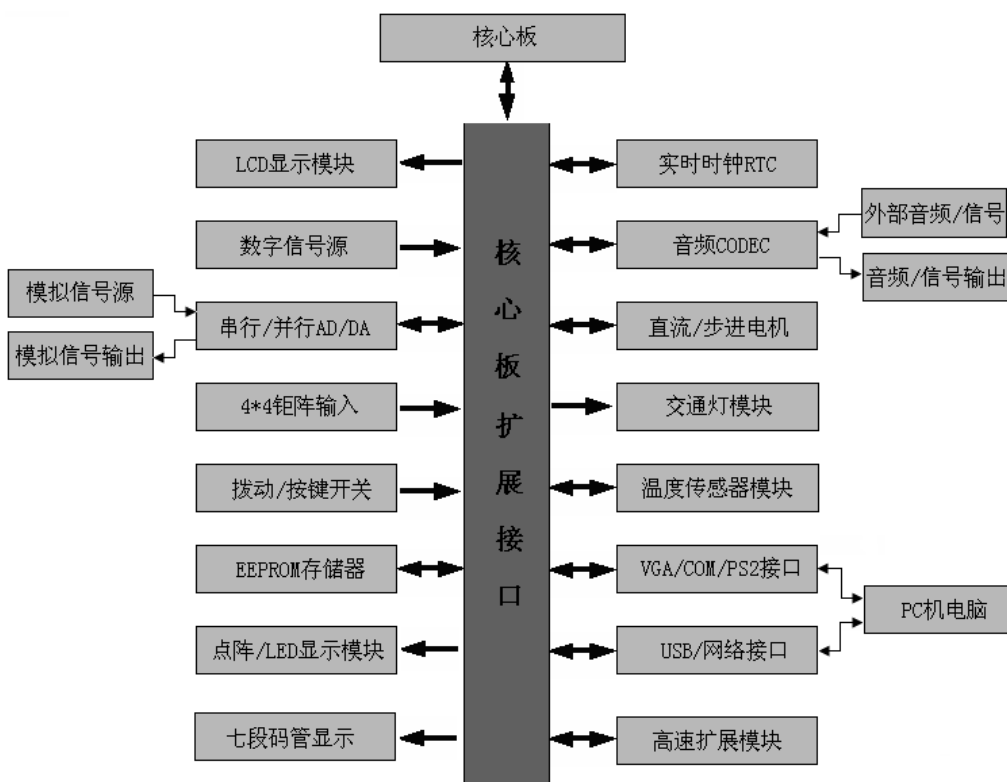


图 1-2 EDA/SOPC 系统平台功能框图

EDA/SOPC 实验开发平台提供的资源有：

- 配置核心板为 SOPC-NIOS-EP2C35（核心芯片为 EP2C35F484C8）。可更换 EP1C12F324C8 等其它核心板。
- 128×240 超大图形点阵液晶屏（可更换其它黑白 / 彩色液晶显示屏）。
- RTC，提供系统实时时钟。
- 1 个直流电机和转速测量传感器模块。
- 1 个四相步进电机模块。
- 1 个 VGA 接口。
- 2 个标准串行接口。
- 1 个 10M/100M 以太网卡接口，利用 RTL8019AS 芯片进行数据收发。
- 1 个 USB 设备接口，利用 PDIUSB12 芯片实现 USB 协议转换。
- 基于 SPI 或 IIC 接口的音频 CODEC 模块。
- 1 个音频喇叭输出模块。
- 2 个 PS2 键盘/鼠标接口。
- 1 个交通灯模块。
- 串行 ADC 和串行 DAC 模块。
- 高速并行 ADC 和 DAC 模块。
- IIC 接口的 EEPROM 存储器模块。
- 基于 1-Wire 接口的数字温度传感器。
- 扩展接口，供用户高速稳定的自由扩展。
- 1 个数字时钟源，提供 24MHz、12MHz、6MHz、1MHz、100KHz、10KHz、1KHz、100Hz、10Hz 和 1Hz 等多个时钟。
- 1 个模拟信号源，提供频率在 80~8KHz、幅度在 0~3.3V 可调的正弦波、方波和三角波。
- 1 个 16×16 点阵 LED 显示模块。
- 1 个 4×4 键盘输出阵列。

- 8 位动态七段码管 LED 显示。
- 12 个用户自定义 LED 显示。
- 12 个用户自定义开关输出。
- 8 个用户自定义按键输出。
- 2 路高速扩展模块。
- 多路电源输出（均带过流、过压保护）。

第二章 平台系统功能介绍

核心板系统功能介绍

本节将重点介绍 EP2C35 核心板上所有的组成模块及其电路原理。用户根据自己的 FPGA 开发平台所选用的不同的核心板参考以下不同的核心板的说明。

EP2C35 核心板

图 2-1 是 EP2C35 核心板的模块布局图，表 2-1 是对应的组成部分及其功能的简单描述。

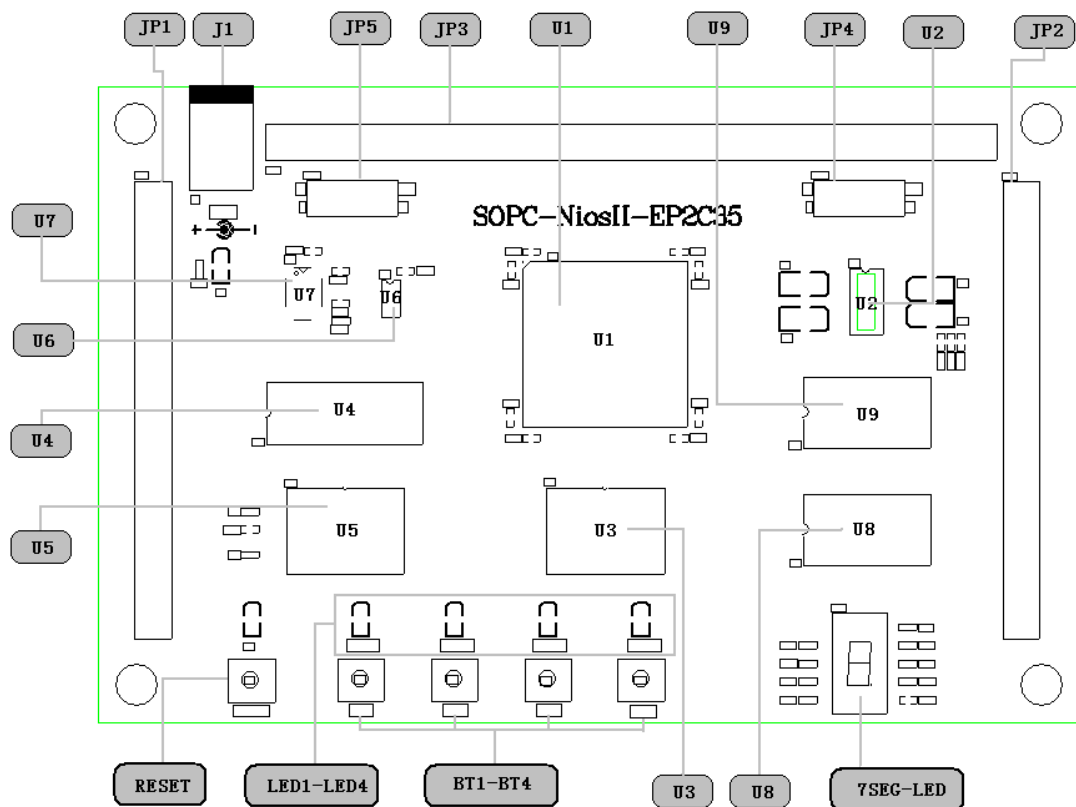


图 2-1 SOPC-NIOSII-EP1C12 布局图

序 号	名 称	功 能 描 述
U1	CycloneII FPGA	主芯片 EP2C35F484C8
存 储 单 元		
U6	EPCS4	4 Mbits 主动串行配置器件

U3	NOR FLASH	8 Mbytes 线性 Flash 存储器
U8, U9	SRAM	两片组成 1 Mbytes, 即 256K×32bits
U4	SDRAM	32Mbytes SDRAM (16M×16bits)
U5	NAND FLASH	64Mbytes 非线性 Flash 存储器
接 口 资 源		
JP1-JP3	扩展接口	出了板上固定连接的 IO 引脚, 还有多达 180 个左右的用户自定义 IO 口通过不同的接插件引出, 供用户进行二次开发
JP4	JTAG 调试接口	供用户下载 FPGA 代码, 实时调试 Nios II CPU, 以及运行 Quartus II 提供的嵌入式逻辑分析仪 SignalTap II 等
JP5	AS 编程接口	待用户调试 FPGA 成功后, 可通过该接口将 FPGA 配置代码下载到配置器件中
人 机 交 互		
BT1-BT4	自定义按键	4 个用户自定义按键, 用于简单电平输入, 该信号直接与 FPGA 的 IO 相连
RESET	复位按键	该按键在调试 Nios II CPU 时, 可以作为复位信号, 当然也可以由用户自定义为其它功能输入
LED1-LED4	自定义 LED	4 个用户自定义 LED, 用于简单状态指示, LED 均由 FPGA 的 IO 直接驱动
7SEG-LED	七段码 LED	静态七段码 LED, 用于简单数字、字符显示, 直接由 FPGA 的 IO 驱动
时 钟 输 入		
U7	晶振	高精度 50MHz 时钟源, 用户可以用 FPGA 内部 PLL 或分频器来得到其它频率的时钟
电 源		
J1	直流电源输入	直流电源适配器插座, 适配器要求为+5V/1A
U2	电源管理	负责提供板上所需的 3.3V 和 1.2V 电压

表 2-1 系统组成部分及其功能描述

下面对 EP2C35 核心板上的各个模块及其与 FPGA 硬件的连接逐一作详细说明。

CycloneII FPGA 器件 (U1)

Altera 公司发布的第二代 Cyclone FPGA, 与第一代相比, 加入了硬件乘法器, 同时内部存储单元数量也得到了进一步的提升, EP2C35 核心板上采用的 FPGA 是 Altera 公司 CycloneII 系列芯片 EP2C35F484C8。下面介绍 EP2C35 核心板的有关特性。表 2-2 列出了 EP2C35 的有关资源特性, 更详细的特性请参阅其数据手册。

特性	EP2C35
逻辑单元 LEs	33, 216
M4K Memory Blocks	105
所有 RAM Bits	483, 840
18×18 硬件乘法器	35
PLLs	4
用户可用 I/O	322
基本串行主动配置器件	EPCS4

表 2-2 EP2C35F484C8 资源列表

Top View - Cyclone II - EP2C35F484C8

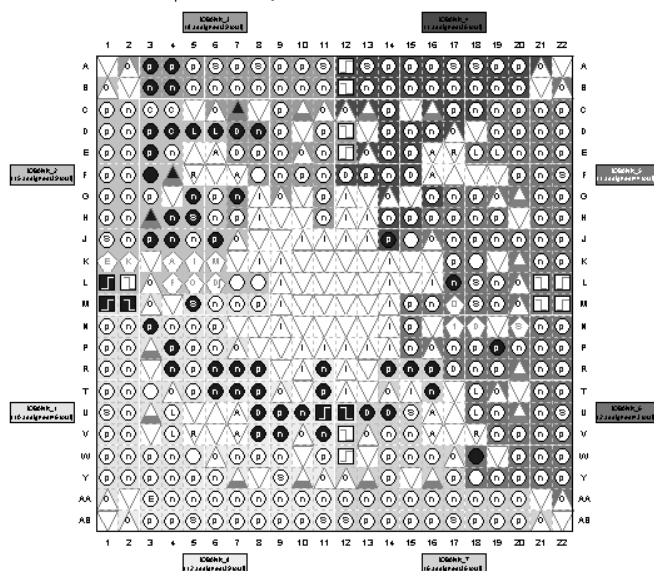


图 2-2 EP2C35F484C8 芯片管脚示意图

如图 2-2 所示 BGA 封装的 FPGA (EP2C35) 的管脚名称用行、列合在一起来表示。行用英文字母表示, 列用数字来表示。通过行列的组合来确定是哪一个管脚。如 A2 表示 A 行 2 列的管脚。F3 表示 F 行 3 列的管脚。

开发板上提供了两种途径来配置 FPGA:

- 使用 Quartus II 软件, 配合下载电缆从 JTAG 接口下载 FPGA 所需的配置数据, 完成对 FPGA 的配置。这种方式主要用来调试 FPGA 或 Nios II CPU, 多在产品开发初期使用。
- 使用 Quartus II 软件, 配合下载电缆, 通过 AS 接口对 FPGA 配置器件进行编程, 在开发板下次上电的时候, 会完成对 FPGA 的自动配置。这种模式主要用来产品定型后, 完成对 FPGA 代码的固化, 以便产品能够独立工作。

核心芯片的 JTAG 接口电路和 AS 接口电路的一些具体的参数将在后面介绍。

NOR Flash (U3)

核心板上提供了1片容量为8Mbytes ($8M \times 8bits$) NOR Flash存储器——AM29LV065D, 在FPGA器件上实现的Nios/NOISII嵌入式处理器可以使用FLASH存储器作为通用只读存储器和非易失性存储器, 用户可以将基于Nios/NiosII处理器的应用程序通过编程器写入到该FLASH中, 在程序运行前, 将FLASH中的代码复制到其它速度更快的易失性存储器中 (如SRAM、SDRAM等), 然后运行。该芯片支持3.0~3.6V单电压供电情况下的读、写、擦除以及编程操作, 访问时间可以达到90ns。

AM29LV065D由128个64Kbytes的扇区组成, 每个扇区都支持在线编程。另外, 该芯片在高达125℃条件下, 依然可以保证存储的数据20年不会丢失。具体的芯片有关参数请读者参照其数据手册。NOR Flash的相关引脚与FPGA的IO接口对应关系见附表一, 其硬件连接电路如图2-3所示。在硬件连接上, NOR FLASH与SRAM共用数据端口 (D0—D7) 和地址端口 (A2-A19)。

SRAM (U 8, U9)

10

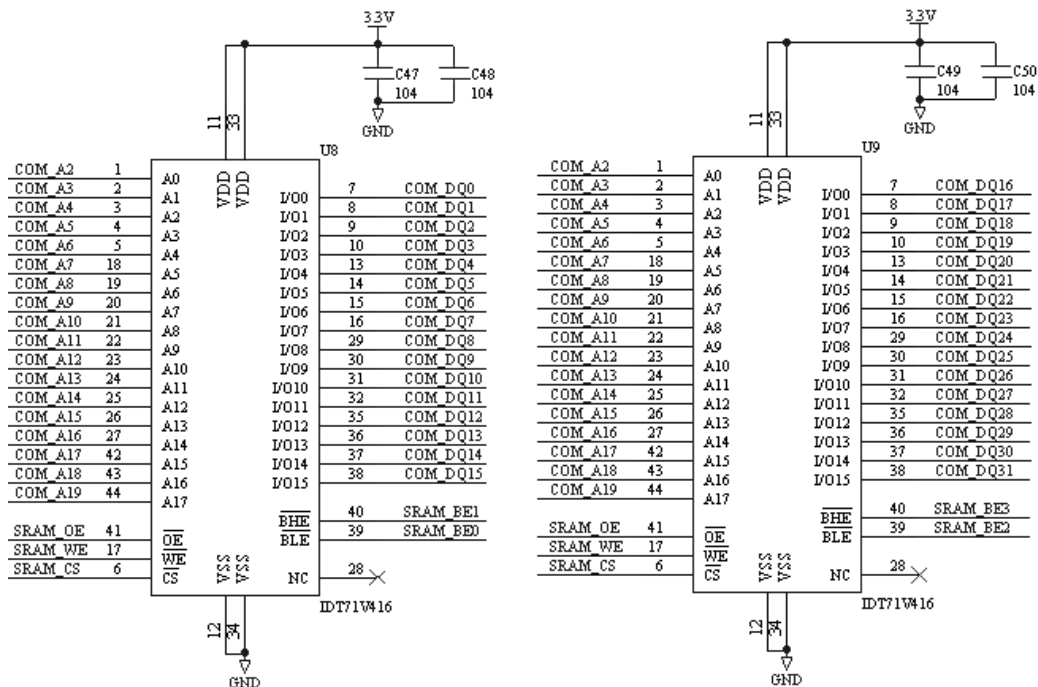


图2-4 SRAM硬件连接电路图

SDRAM (U4)

EP2C35核心板上使用的SDRAM为HY57V561620BT-6，该芯片最高可工作在166MHz主频上，由4个4M×16bits的Bank组成，共有32Mbytes的容量，即16M×16bits。开发板上的主时钟源为50MHz，通过内部PLL进行3倍频可得到稳定的150MHz时钟，所以Nios II CPU可以在150MHz主频上与SDRAM进行数据交互，数据吞吐率高达300Mbytes/S，如此高的数据交互能力，足以满足不同开发人士所需。具体的芯片有关参数请读者参照其数据手册。SDRAM与FPGA的IO接口的对应关系见附表一，其硬件连接电路图如图2-5。

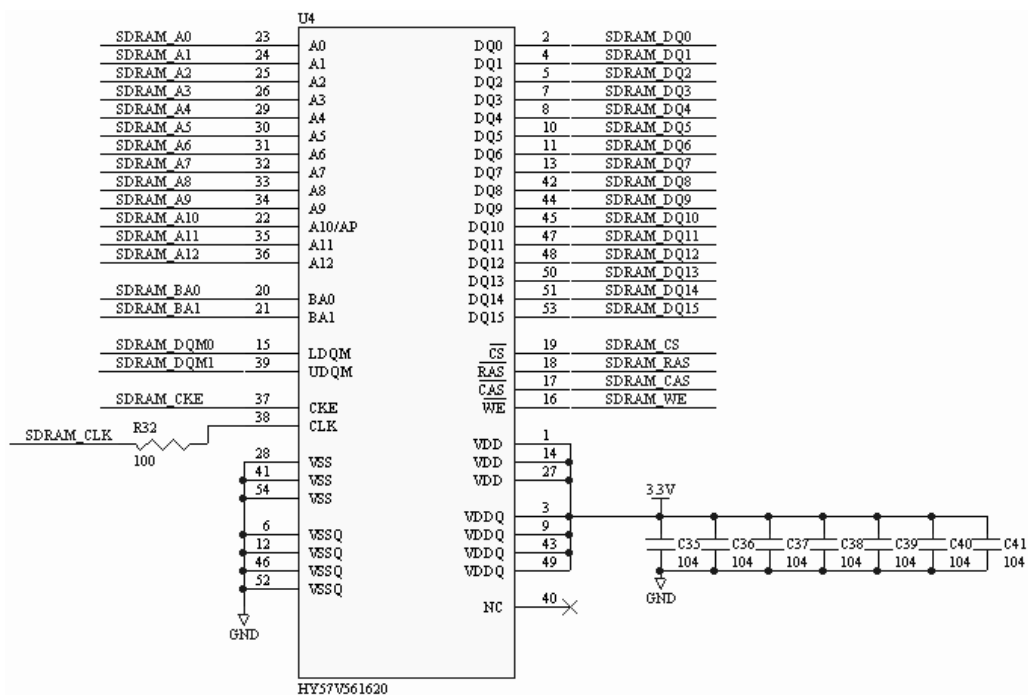


图2-5 SDRAM硬件连接电路图

NAND FLASH (U5)

为了满足能够在嵌入式RTOS中有足够的空间创建文件系统或满足开发人员存储海量数据的需求，EP2C35核心板上除了提供8Mbytes NOR Flash外，还有一片具有64Mbytes容量的NAND Flash——K9F1208U0M。该芯片由4096 Blocks×32 Pages×528bytes组成，支持块擦除、页编程、页读取、随即读取、智能拷贝备份、4页/块同时擦除和4页/块同时编程等操作。具体的芯片有关参数请读者参照其数据手册。Nand Flash与FPGA的IO接口的对应关系见附表一，其硬件连接电路图如图2-6。

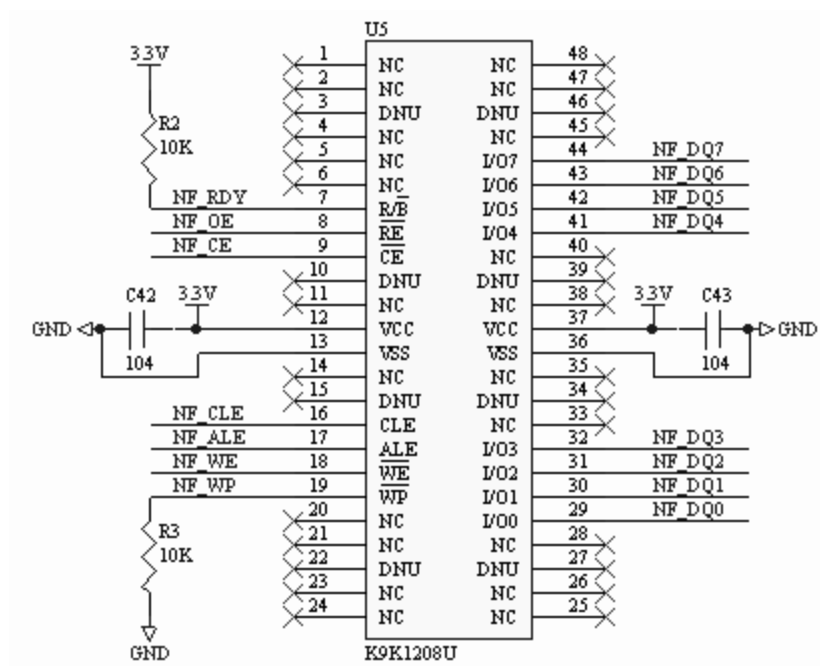


图2-6 NAND FLASH硬件连接电路图

扩展接口

核心板上提供的资源模块占用了部分 FPGA 引脚，除此之外，还有 164 个左右的可用 IO 供用户自定义使用，这些 IO 通过 JP1、JP2、JP3 扩展接口引出。JP1、JP2 和 JP3 分别位于核心板的左右两边和上边，分别通过间距为 2.54mm 的标准双排针插座，提供了 164 个用户自定义 IO，以满足普通用户的一般需要。同时这些标准的双排针插座通过与 EDA/SOPC 实验开发平台上的与之对应的标准双排孔插座相接，使实验平台上的用户接口与核心板相连构成一个完整的实验开发平台。

JP1、JP2、JP3 的引脚定义如图 2-7 所示，JP1、JP2、JP3 其引脚与 FPGA 的 IO 接口的对应关系见附表一：

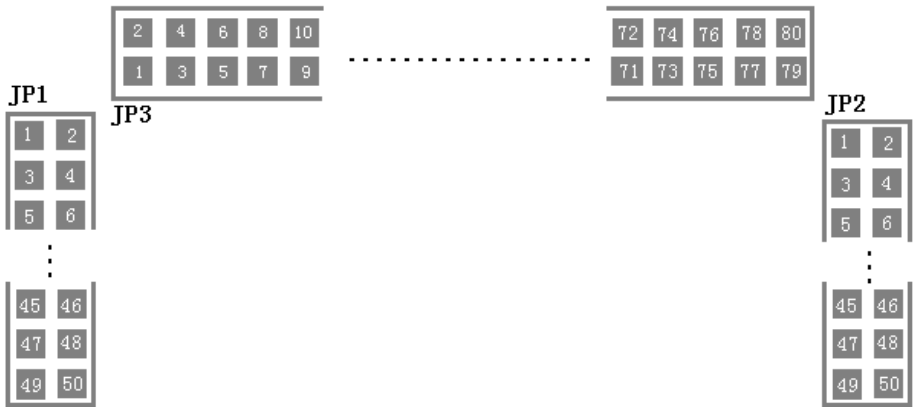


图 2-7 JP1-JP3 所使用的接插件及其引脚定义

JTAG 调试接口

在 FPGA 开发过程中，JTAG 是一个比不可少的接口，因为开发人员需要下载配置数据到 FPGA。在 Nios II 开发过程中，JTAG 更是起着举足轻重的作用，因为通过 JTAG 接口，开发人员不仅可以对 Nios II 系统进行在线仿真调试，而且还可以下载代码或用户数据到 CFI Flash 中。

开发板上提供如图 2-8 所示的 10 针插座，其每个插针的信号定义见表 2-3。

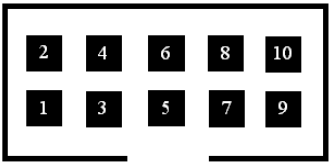


图 2-8 开发板上的 JTAG 调试插座

JP1 插座	信号定义
1	TCK
2	GND
3	TDO
4	Vcc(3.3V)

5	TMS
6	/
7	/
8	/
9	TDI
10	GND

表 2-3 JTAG 插座信号定义

注： ‘/’ 表示该插针没有任何信号。

AS 编程接口

AS 接口主要用来给板上 FPGA 的串行配置器件 EPCS4 进行编程，故称其为编程接口，板上也是采用图 2-8 所示的 10 针插座，其信号定义见表 2-4。

JP1 插座	信号定义
1	DCLK
2	GND
3	CONF_DONE
4	Vcc(3.3V)
5	nCONFIG
6	nCE
7	DATAOUT
8	nCS
9	ASDI
10	GND

表 2-4 JTAG 插座信号定义

自定义按键与 LED

为了方便开发人员作一些简单的、手动的逻辑输入，开发板上提供了 4 个用户自定义按键 BT1-BT4 和四个用户自定义 LED 发光二极管 LED1-LED4。这四个按键和四个 LED 连接到了 FPGA 的 IO 引脚上，具体的定义和使用则由开发人员

自由决定。按键与 LED 的电路原理相对比较简单这里不再详述。读者可以从与之有关的实验中参考其电路原理。其与 FPGA 的对应关系见附表一。

注：

- 1、按键按下为低电平，抬起为高电平。
- 2、当 FPGA 信号为高电平时 LED 灯亮。否则熄灭。

复位按键（RESET）

开发板上有一个复位按键，位于核心板的左下方，扩展接口 JP1 和按键开关之间。复位按键上面的 LED 为复位指示，当复位按键按下时（低电平），LED 亮。

复位按键连接到 FPGA 的 IO 引脚上，可以供开发人员作为 Nios II CPU 的复位信号。当然也可以作为普通的按键来使用。其与 FPGA 的 IO 对应如表 2-5 所示。

信号定义	EP2C35 引脚	说明
RESET	B3	按下为低电平，否则为高电平

表 2-5 复位按键与 FPGA IO 接口对应表

七段码 LED（7SEG-LED）

七段码 LED 是开发板上提供的另一个方便开发人员调试的显示设备。开发板上使用的七段码 LED 是共阳极型，a~f 和 dp 这八个 LED 均与 FPGA 的 IO 引脚直接相连，其对应段名称如图 2-9 所示。

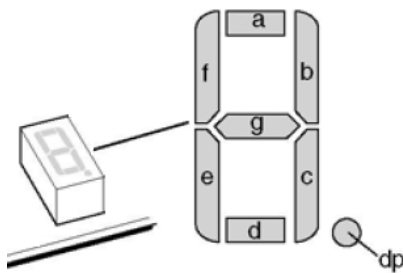


图 2-9 七段码 LED

由于七段码 LED 公共端连接到 VCC（共阳极型），当 FPGA 对应的 IO 引脚

输出低电平时，对应的七段码 LED 中的 LED 点亮；当 FPGA 对应的 IO 引脚输出高电平时，对应的七段码 LED 中的 LED 熄灭。其信号引脚与 FPGA 的 IO 接口的对应关系见附表一。

晶振

核心板上提供了高精度、高稳定性 50MHz 的有源晶振，晶振所输出的脉冲信号直接与 FPGA 的时钟输入引脚相连。

如果设计人员需要其它频率时钟源，可以在 FPGA 内部进行分频或利用 FPGA 内部 PLL 倍频等途径来得到。

有源晶振的输出端与 FPGA 的 IO 接口对应关系如表 2-6 所示。

50M 时钟信号	EP2C35 引脚	说明
50MHZ	L1	

表 2-6 时钟信号与 FPGA IO 接口对应表

直流电源输入

开发板上外部供电仅需在 J1 输入 +5V 直流电压即可。用户需要特别注意的是，插入 J1 的插头必须为**内正外负**供电极性，如图 2-10 所示。为了保证系统能够稳定工作，电源适配器功率最好在 5V/1A 以上。核心板的电源通过专用的电源管理芯片来为 FPGA 和外部的芯片提供可用的稳定电源。其电路如图 2-11 所示。

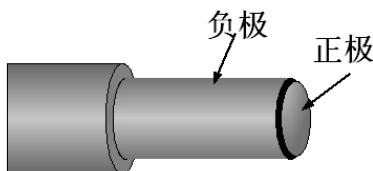


图 2-10 电源适配器插头说明

EDA/SOPC 系统开发平台说明

本节将对 SOPC-NIOSII EDA/SOPC 系统开发平台部分电路做简单的说明。如下图所示 2-20 所示，是系统开发平台的整个功能模块的布局图。

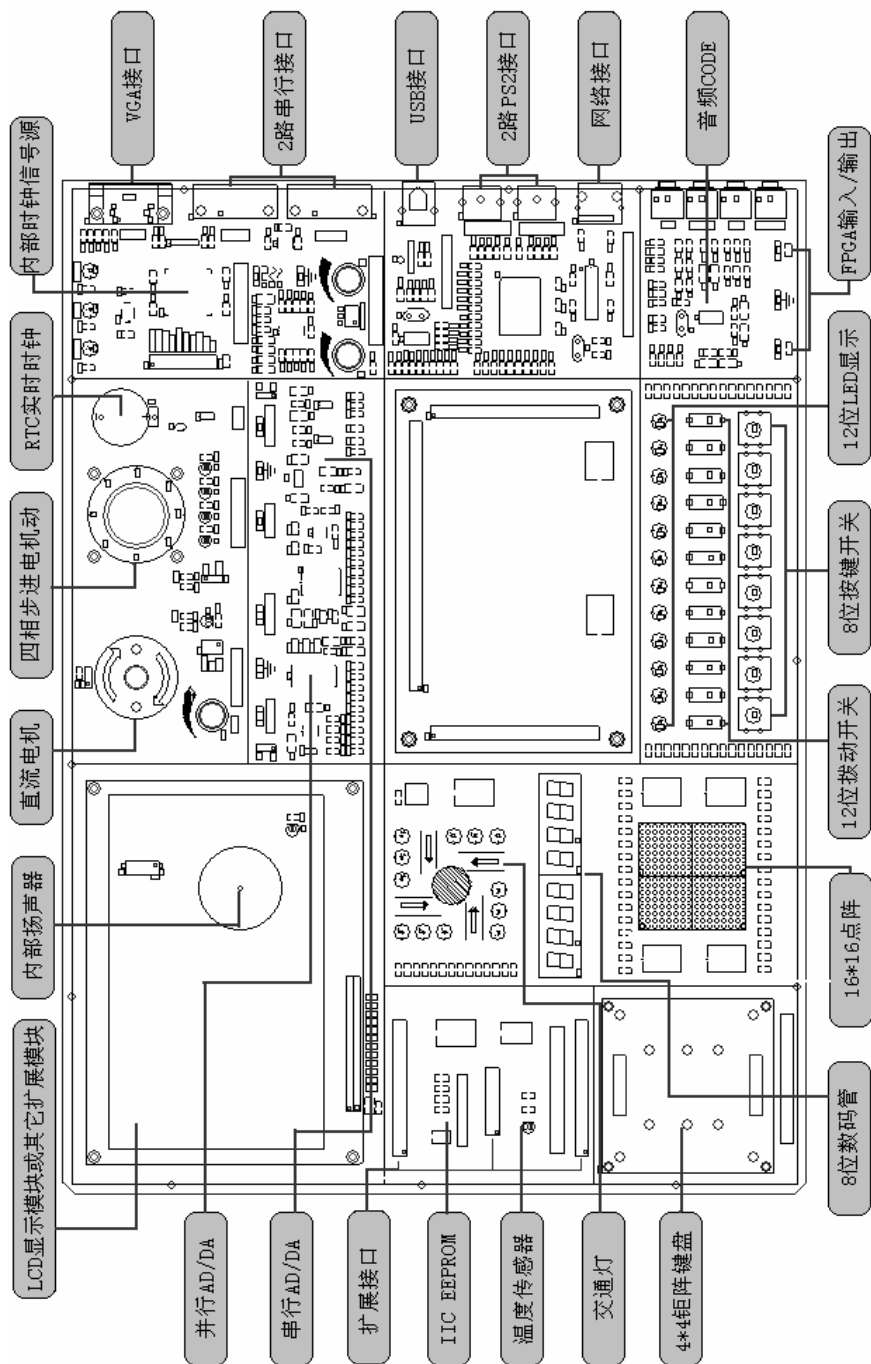


图 2-12 系统平台模块布局图

下面对系统平台上的有关模块及其与 FPGA（EP2C35）硬件的连接逐一作详细说明。

320×234 图形点阵液晶屏：

实验箱上使用的液晶屏为 320×234 彩色屏，其颜色深度为 8 位。该彩屏拥有操作简单、读写速度快以及显示稳定等优点，它提供一个高速的 8 位总线接口（I/O 命令方式），可以直接与 MCS51、MCS96、MC68、ARM 以及 DSP 相连。直接输入 X、Y 坐标，无须计算地址。模块提供字节写、行写和列写三种方式，而且写操作时地址自动加 1，地址加 1 方向可编程，使用非常方便。关于此液晶模块使用的详细内容请阅读相关的数据资料。其信号引脚与 FPGA 的硬件连接见附表二（EP2C35 核心板与开发平台硬件资源 I/O 接口对照表），表 2-7 是其各个信号说明。

信号名称	功 能 说 明
DB7～DB0	8 位双向三态数据总线
WR#	写信号，低电平有效
RD#	读信号，低电平有效
CS#	片选信号，低电平有效
A1～A0	2 位地址总线

表 2-7 液晶控制器信号说明

液晶屏的时序如下图2-13所示，其时序的特性参数如表2-8所示：

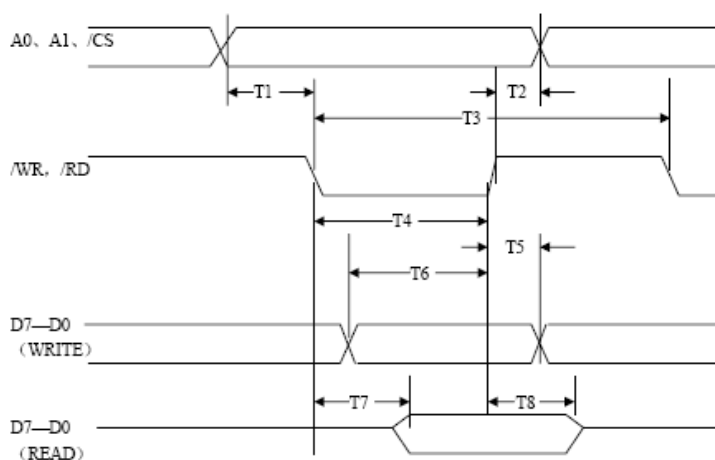


图2-13 液晶控制器接口时序

项目	符号	参数说明	Vdd=4.8 to 5.2V		单位	测试条件
			最小	最大		
A0、A1、 /CS	T2	地址保持时间	10	-	ns	CL=10 0pF
	T1	地址建立时间	0	-	ns	
/WR,/R D	T3	读写周期	350	-	ns	
	T4	读写脉冲速度	120	-	ns	
D0—D7	T5	写数据保持时间	120	-	ns	
	T6	写数据建立时间	80	-	ns	
	T7	读数据建立时间	-	50	ns	
	T8	读数据保持时间	10	50	ns	

表2-8 液晶控制器接口时序特性参数

RTC 系统实时时钟：

RTC 芯片为 DS1302。DS1302 是 DALLAS 公司推出的涪流充电时钟芯片，内含有一个实时时钟/日历和 31 字节静态 RAM，通过简单的串行接口与 CPU 进行通信。实时时钟/日历电路提供秒、分、时、日、日期、月、年的信息，每月的天数和闰年的天数可自动调整，时钟操作可通过 AM/PM 指示决定采用 24 或 12 小时格式。DS1302 与 CPU 之间能简单地采用同步串行的方式进行通信，接口连接非常简单，占用端口资源很少，且操作非常容易。其与 FPGA 的硬件连接电路如图 2-14 所示。其功能引脚与 FPGA 的 IO 接口连接对应表见附表二。

DS1302 芯片详细的资料请参考其数据手册。

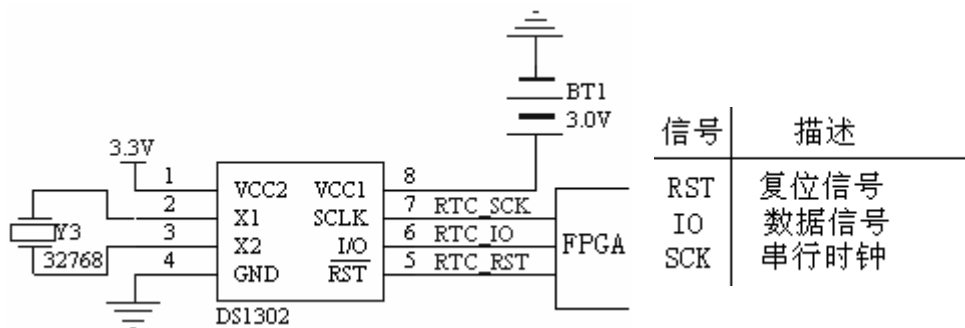


图 2-14 RTC 电路图

以太网卡接口：

Ethernet 模块采用的 TCP/IP 转换芯片为 RTL8019AS 芯片，该芯片是一款高集成度、全双工以太网控制器，内部集成了三级省电模式，由于其便捷的接口方式，所以成了多数系统设计中的首选。RTL8019AS 支持即插即用标准，可以自动检测设备的接入，完全兼容 Ethernet II 以及 IEEE802.3 10BASE5、10BASE2、10BASET 等标准，同时针对 10BASET 还支持自动极性修正的功能，另外该芯片还有很多其他功能，此处不再赘述，请读者参照其数据手册。

RTL8019AS 与 FPGA 的 IO 硬件连接见附表二。其硬件电路如图 2-15 所示。

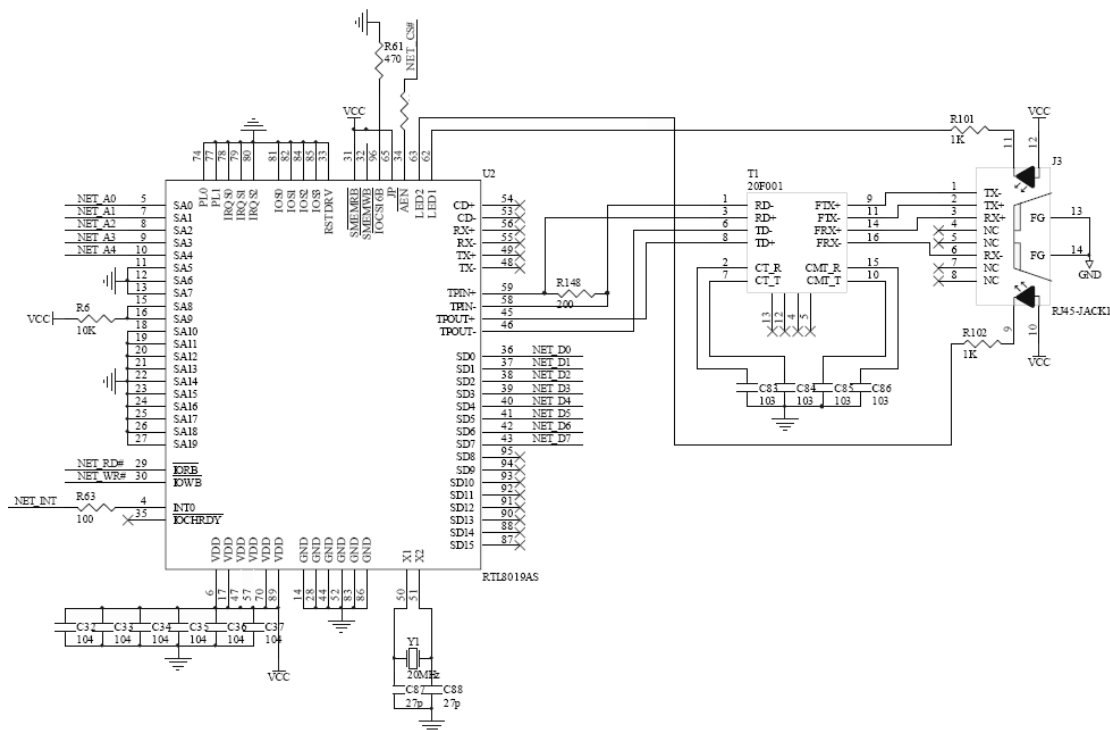


图 2-15 网卡接口电路图

USB 设备接口：

USB 模块采用 Philips 公司的 PDIUSB12 芯片，它通常用作微控制器系统中

实现与微控制器进行通信的高速通用并行接口。它还支持本地的 DMA 传输。PDIUSB12 完全符合 USB1.1 版的规范、它还符合大多数器件的分类规格：成像类、海量存储器件、通信器件、打印设备以及人机接口设备。另外该芯片还集成了许多特性，包括 SoftConnect™、GoodLink™、可编程时钟输出、低频晶振和终止寄存器集合，所有这些特性都为系统显著节约了成本，同时使 USB 功能在外设上的应用变得容易。D12 芯片内部功能框图如图 2-16 所示，它内部包含了一个模拟收发器、电压调整器、PLL、位时钟恢复、Philips 串行接口引擎（SIE）、SoftConnect™、GoodLink™、存储器管理单元（MMU）、并行和 DMA 接口等。

PDIUSB12 芯片详细的资料请参考其数据手册。PDIUSB12 芯片与 FPGA 的 I/O 接口对应关系见附表二。其硬件电路如图 2-17 所示。

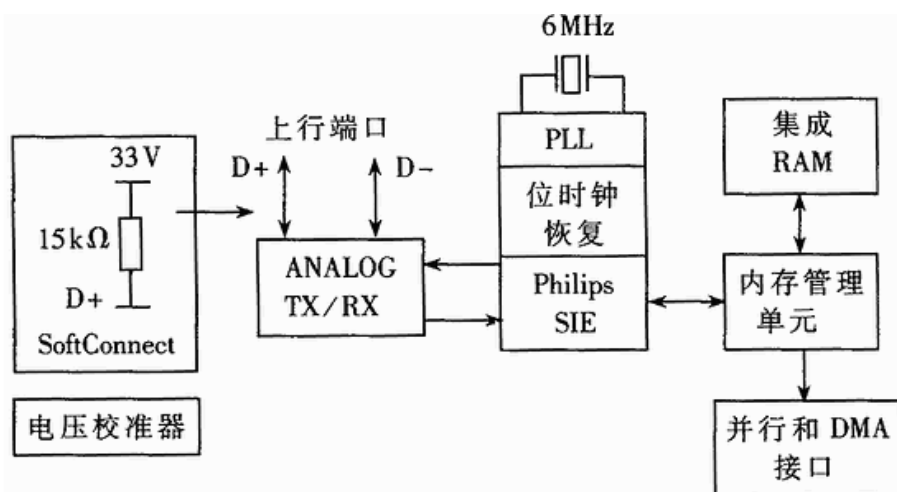


图 2-16 D12 芯片内部功能框图

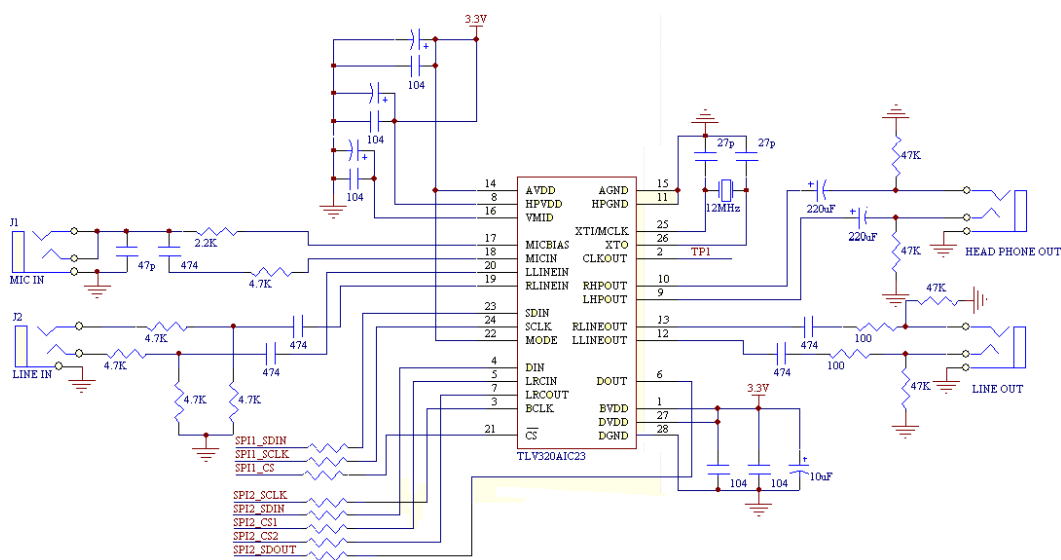


图 2-18 音频 CODEC 接口电路图

高速 ADC 和 DAC:

开发平台中采用的高速 AD 为 TI 公司的 8 位 20Mbps 采样速率的器件 TLC5510，该器件具有引脚兼容的更高速度的器件 TLC5540（40M）。TLC5510 单 5V 供电，被广泛的应用在数字电视、医疗图象、视频会议等高速数据转换的领域。开发平台中采用的高速 DA 为 TLC5602，该芯片也是一个单 5V 供电的 8 位高速 DA，其最高转换速率可到 33M，足以满足一般数据处理的场合。

在开发平台如上，AD 的输入信号可以是外部的信号，也可以是平台上的信号源产生的信号，通过一组跳线来进行选择。外部信号的输入和 DA 的输出通过模块上方的探针来输入和观测信号。

TLC5510 和 TLC5602 芯片详细的资料请参考其数据手册。其与 FPGA 的 I/O 接口对应关系见附表二（EP1C12/EP2C35 核心板与开发平台硬件资源 I/O 接口对照表）。其硬件电路如图 2-19、2-20 所示。

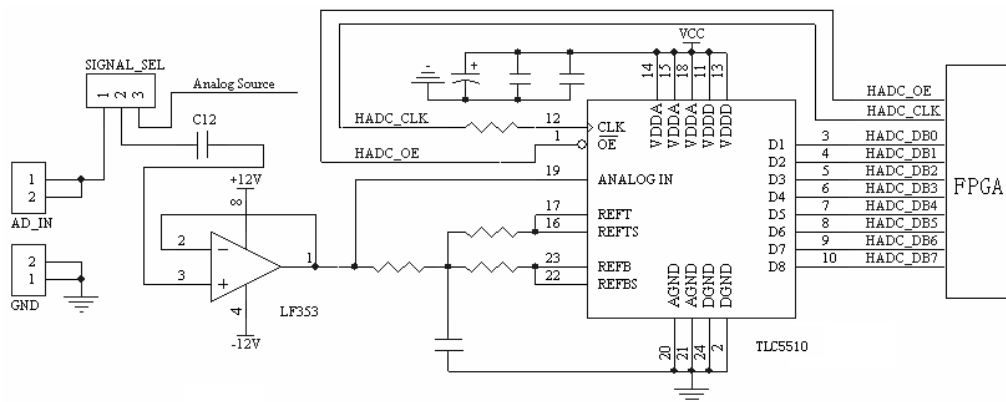


图 2-19 AD 转换 TLC5510 接口电路图

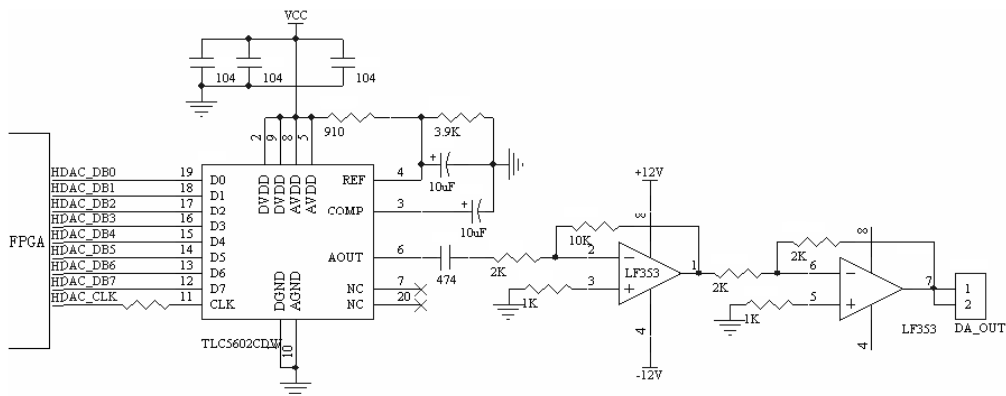


图 2-20 DA 转换 TLC5602 接口电路图

直流电机与步进电机：

电机是工业过程控制及仪表中常用的控制元件之一，例如在机械装置中可以用丝杆把角度变为直线位移，也可以用步进电机带动螺旋电位器，调节电压或电源，从而实现对执行机械的控制。步进电机可以直接用数字信号驱动，使用非常方便。步进电机还具有快速启停、精确步进和定位等特点，因而在数控机床、绘图仪、打印机以及光学仪器中得到广泛的应用。直流电机和步进电机的内部结构如图 2-21、2-22 所示。

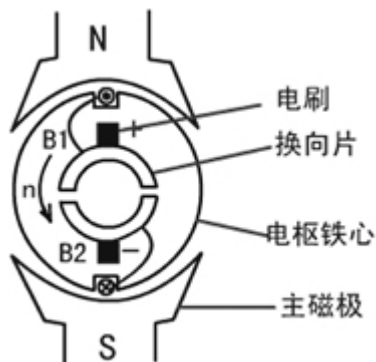


图 2-21 直流电机结构图

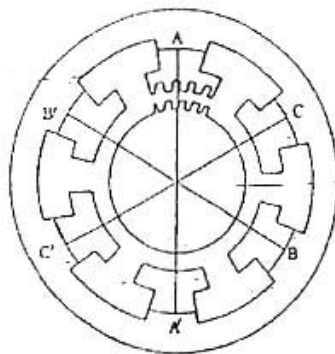


图 2-22 三相步进电机结构图

在开发平台上使用的直流电机是一个由 12V 电压控制的电机，为了测量其转子的转速，我们在电子外部加入了一个开关型的霍尔元件（44E），同时在转子的转盘上加入一个能够使霍尔器件产生输出的磁钢片来进行测速。用户可以通过平台上的三个跳线来决定是电压来控制其转速还是由 FPGA 产生的 PWM 信号来控制电机。如果使用电压来控制电机，则可以通过调节边上的电位器来改变其转速。

在开发平台上使用的步进电机是一个四相的步进电机，其最小步进度为 7.5 度。通过对其四个相位输入端口输入不同相位的信号来驱动步进电机进行精确转动。

直流电机与步进电机与 FPGA 的 I/O 接口对应关系见附表二。其硬件电路如图 2-23、2-24 所示。

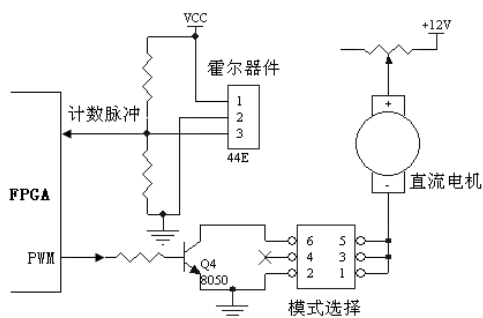


图 2-23 直流电机、霍尔器件电路图

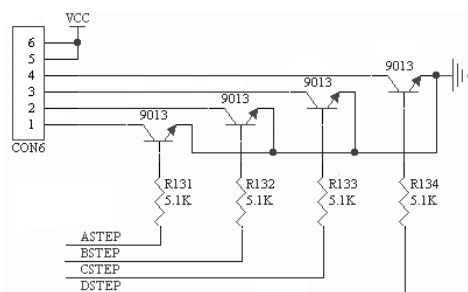


图 2-24 步进电机驱动电路图

信号源模块

系统开发平台上提供一路 48M-1HZ 的数字时钟源和一路幅度和频率均可调节的模拟信号源（正弦波、三角波、方波）。其模块位于开发平台的右上方。

数字时钟源提供共十个不同频率的时钟源供用户使用，用户只需要通过边上一组十位的对应频率的跳线进行设置就可以使用想要的时钟源。以下是平台上提供的十组不同的频率的时钟源：

48MHZ、24MHZ、12MHZ、1MHZ、100KHZ、10KHZ、1KHZ、100HZ、10HZ、1HZ。

数字时钟的输出与 FPGA 的 I/O 接口对应关系见附表二。

模拟信号源通过模块下方的一组三位波形选择跳线来选取想要的模拟信号。其频率和幅度分别通过跳线左右两边的两个电位器进行调节。模拟信号的输出已连接至 AD 模块的输入端。其信号的观测和输出通过模块右下方的探针进行观测和输出。其信号选择跳线对应关系如下表 2-9 所示：

跳线位置	输出周期信号波形
1	方波
2	三角波
3	正弦波

表 2-9 信号选择对应表

IIC 接口的 EEPROM:

该模块是了让用户学习 IIC 总线而设计的，模块中包含了一个 IIC 接口的 EEPROM，用户可以通过 IIC 总线写入数据和读出写入的数据，用以证明 IIC 接口通信正常。实验箱上使用的 IIC EEPROM 为 AT24C08，容量为 1024×8 (8Kbytes)，支持 2.7V~5.5V 工作电压。当工作电压为 5V 的时候，其接口速度可以达到 400kHz。实验箱上的供电为 3.3V，所以其接口速度最高只能达到 100kHz。

AT24C08 与 FPGA 的 I/O 接口对应关系见附表二（EP2C35 核心板与开发平台硬件资源 I/O 接口对照表）。其硬件电路如图 2-25 所示。

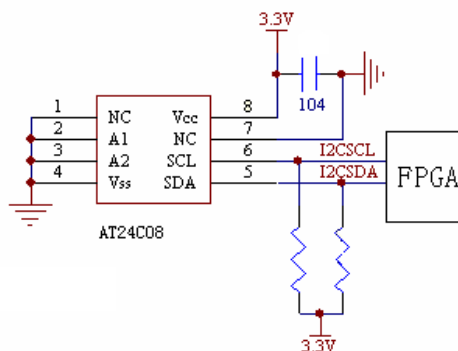


图 2-25 EEPROM 接口电路图

基于 1-Wire 接口的数字温度传感器：

该模块采用了具有 1-Wire 接口的温度传感器——DS18B20，目的是为了用户了解 1-Wire 协议，以及如何用 CPU 控制该温度传感器，从而加深对 1-Wire 总线协议的理解。

本实验中用到的 1-Wire 器件是 DS18B20——数字温度传感器，它可以提供 9~12 位（由软件配置）的数据，来表示不同的温度（位数越高，测量温度的精度也越高）。所有写入 DS18B20 的数据或从 DS18B20 读出的数据都是通过 1-Wire 接口来实现，并且整个读、写以及温度转换过程所需的电源，都可以由与其相连接的总线自动供给，无需外接电源。由于每个 DS18B20 都包含有一个唯一的序列号，因此多个 DS18B20 可以同时挂接在一个 1-Wire 总线上，这样就可以实现利用 1-Wire 读取多个不同位置温度的目的。归纳起来，DS18B20 有如下特性：

- 采用 1-Wire 总线接口
- 支持多个器件同时连接在一个 1-Wire 总线上
- 无需外接任何元件，便可正常工作
- 供电电压支持 3.0V 到 5.5V

- 支持零功耗掉电模式
- 测量温度范围为 -55°C 到 $+125^{\circ}\text{C}$ (-67°F 到 $+257^{\circ}\text{F}$)
- 测量范围在 -10°C 到 $+85^{\circ}\text{C}$ 之间可以达到 $\pm 0.5^{\circ}\text{C}$ 的误差
- 温度转换位数可配置为 9 到 12 位
- 转换成 12 位数据的时间仅 750ms
- 支持用户自定义报警设置，且数据采用非挥发性介质存储

DS18B20 详细的资料请参考其数据手册。其与 FPGA 的 I/O 接口对应关系见附表二。其硬件电路如图 2-26 所示。

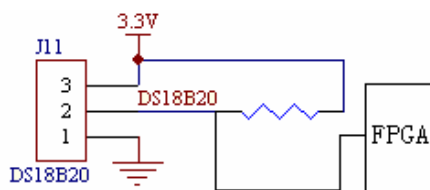


图 2-26 DS18B20 接口电路图

扩展接口：

开发平台提供了三路扩展接口供用户自由扩展，接口中包括电源接口以及 FPGA 的部分 IO 接口。

扩展接口具体的参数请参照附表。

其它模块：

开发平台上还提供了如下的模块：4×4 键盘阵列、8 位动态七段码管显示、用户自定义 LED、用户自定义开关输入和用户自定义按键输入，16*16 点阵显示、交通灯、串行 AD/DA、VGA 接口、串行 COM 接口、PS2 键盘接口、PS2 鼠标接口等接口，用户模块通过上述的这些模块，可以完成的人机交互实验。

以上的这些接口模块将在实验中做详尽的说明，在这里就不再赘述。其模块与 FPGA 的 I/O 接口对应关系见附表。

其它使用说明：

- 1、以上模块说明只是简单介绍了每个模块的功能和组成，详细的介绍将在实验指导书中说明。
- 2、以上模块与 FPGA 具体的管脚连接请参照附表。
- 3、需要注意的是，本说明书标注的管脚为 EP2C35 核心板的管脚与开发平台硬件资源的连接，用户使用时请注意所选用的核心板的型号。以免因为管脚的不正确而影响使用的效果。

第三章 软件的安装

概 述

Altera 公司的 QuartusII 软件提供了可编程片上系统（SOPC）设计的一个综合开发环境，是进行 SOPC 设计的基础。QuartusII 集成环境包括以下内容：系统级设计，嵌入式软件开发，可编程逻辑器件（PLD）设计，综合，布局和布线，验证与仿真。

QuartusII 设计软件根据设计者需要提供了一个完整的多平台开发环境，它包含整个 FPGA 和 CPLD 设计阶段的解决方案。图 3-1 说明了 QuartusII 软件的开发流程。

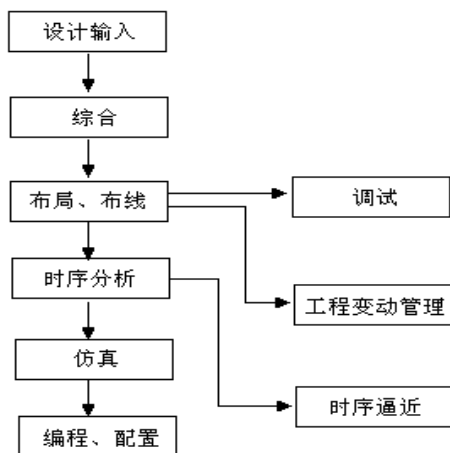


图 3-1 QuartusII 软件开发流程

此外，QuartusII 软件允许用户在设计流程的每个阶段使用 QuartusII 图形用户界面、EDA 工具界面或命令行界面。在整个设计流程中可以使用这些界面中的一个，也可以在不同的设计阶段使用不同的界面。

Altera 技术领先的 QuartusII 设计软件配合一系统可供客户选择的 IP 核，可使设计人员在开发和推出 FPGA、CPLD 和结构化的 ASIC 设计的同时，获得无与伦比的设计性能、一流的易用性以及最短的市场推出时间。这是设计人员首次将

FPGA 移植到结构化的 ASIC 中，能够对移植后的性能和功耗进行准确的估算。

QuartusII 软件支持 VHDL 和 Verilog 硬件描述语言（HDL）的设计输入、基于图形的设计输入方式以及集成系统设计工具。QuartusII 软件可以将设计、综合、布局和布线以及系统的验证全部整合到一个无缝的环境之中。其中还包括第三方 EDA 工具的接口如 MATLAB 等。

QuartusII 软件包括 SOPC Builder 工具。SOPC Builder 针对可编程片上系统（SOPC）的各种应用自动完成 IP 核（包括嵌入式处理器、协处理器、外设、数字信号处理器、存储器和用户设定的逻辑）的添加、参数设置和连接进行操作。SOPC Builder 节约了原先系统集成工作中所需要大量时间，使设计人员能够在同几分钟内将概念转化成真正可运行的系统。

QuartusII 与 MAXPLUSII 的设计方式基本一致。但在器件支持以及其它功能方面都有了很大的改进。其版本从 QuartusII3.0 一直升级到目前的 QuartusII6.0。其操作和功能还在不断的改进。

QuartusII5.1 的安装与授权

PC 机的系统配置

为了使 QuartusII 软件的性能达到最佳，Altera 公司建议计算机的最低配置如下：

- ✧ 奔腾 II400MHZ，512MB 以上和系统 CPU 和内存。
- ✧ 大于 800MB 的安装 QuartusII 软件所需要的最小硬盘空间。
- ✧ Windows2000 或 Windows XP 或者 WINNT4.0 以上的操作系统。
- ✧ Microsoft Windows 兼容的 SVGA 显示器。
- ✧ CD-ROM 驱动器
- ✧ 至少有下列的端口之一：用于程序下载的并行接口（LPT 口）；用于通信的串行口；用于 USB 下载和通信的 USB 口。
- ✧ Microsoft IE5.0 以上的浏览器
- ✧ TCP/IP 网络协议。

QuartusII5.1 的安装

在满足系统配置的计算机上，可以按照以下的步骤来安装 QuartusII 软件（在这里以在 WINDOWS2000 操作系统下安装 QuartusII5.0 为例）：

（1）将 QuartusII 设计软件的光盘放入计算机的光驱中，打开光盘并运行光盘中的安装程序 INSTALL.EXE 文件，出现如图 3-2 所示的安装界面。

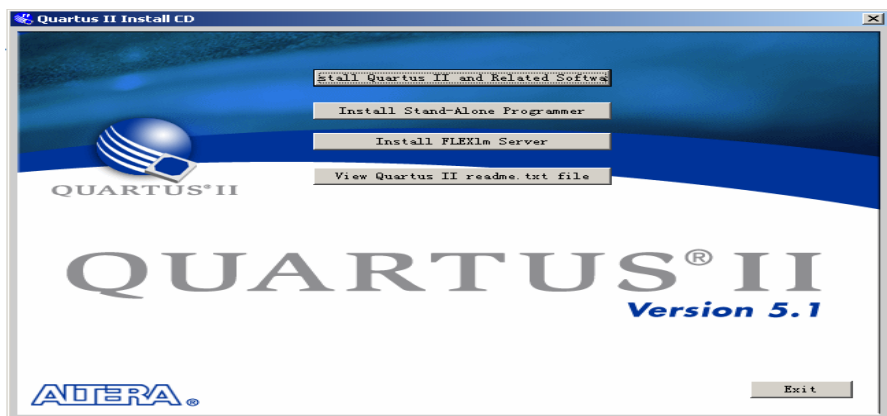


图 3-2 安装选项界面

（2）在图 3-2 中有四个安装选项，第一项表示安装 QuartusII 和其它应用软件(Intall QuartusII and Related software)；第二项表示安装 Programmer 软件（Intall Stand-Alone Programmer）；第三项表示安装授权管理服务器（Intall FLEXLM Server）第四项表示打开 QuartusII 的自述文件。我们首先选取第一项安装 QuartusII 软件，出现如图 3-3 和图 3-4 所示安装信息界面。

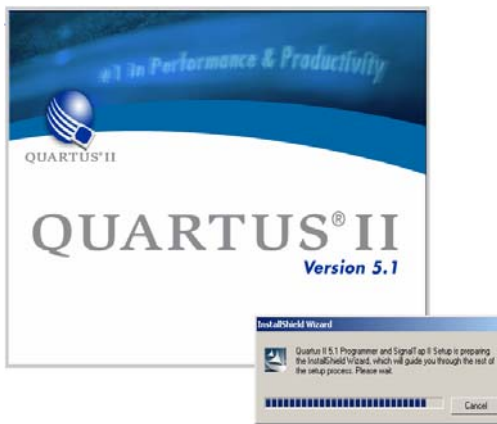


图 3-3 安装信息界面

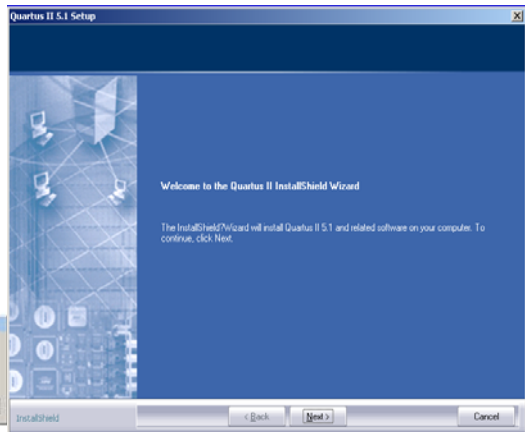


图 3-4 安装信息界面

(3) 点击图 3-4 安装信息界面的 NEXT 选项出现如图 3-5 所示的界面。

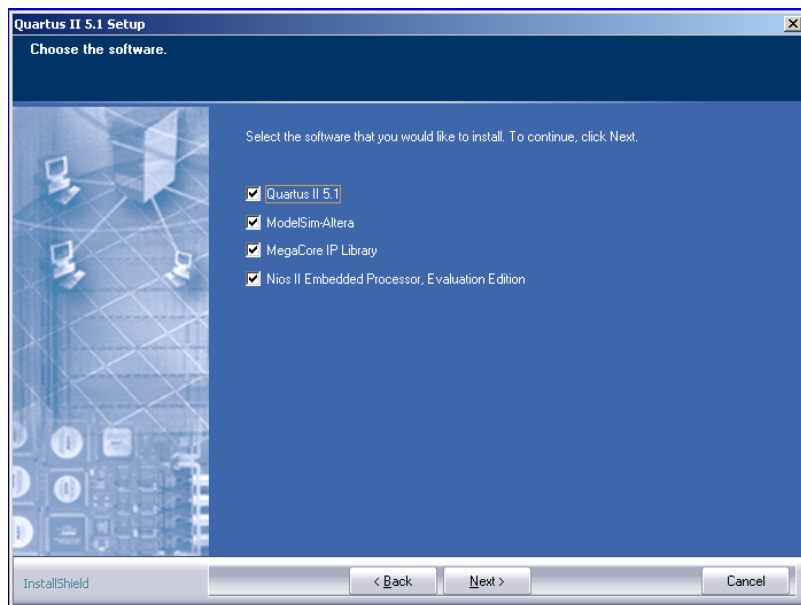


图 3-5 安装向导界面

在图 3-5 安装向导中，根据光盘的安装内容和用户的需要来选择要安装的项目。如只安装 QuartusII5.1 则只选取第一项进行安装。

(4) 选取要安装的项目后点击 NEXT 继续安装，进入公司声明的一个界面如图 3-6 所示。

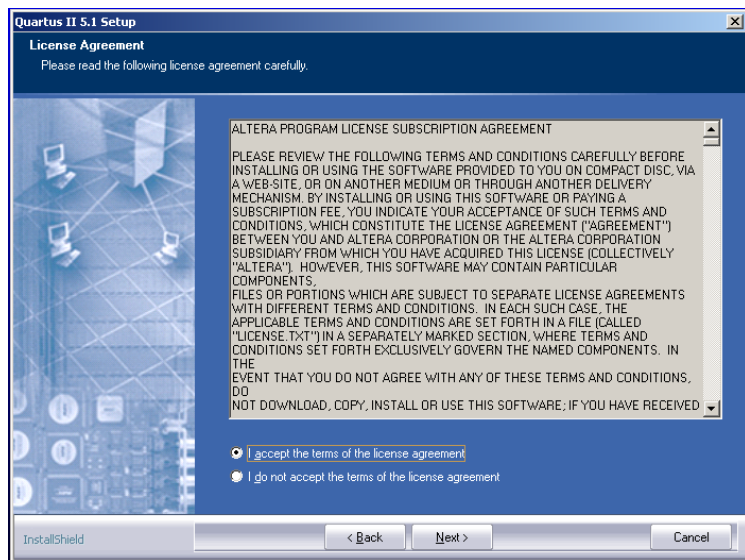


图 3-6 公司声明信息界面

在图 3-6 所示的界面中如果同意其公司声名则选取第一项继续进行安装，如果不同意其公司声名则选取第二项退出安装。

(5) 选取第一项同意其公司声名，点击 NEXT 继续进行安装出现如图 3-7 所示计算机有关信息界面。

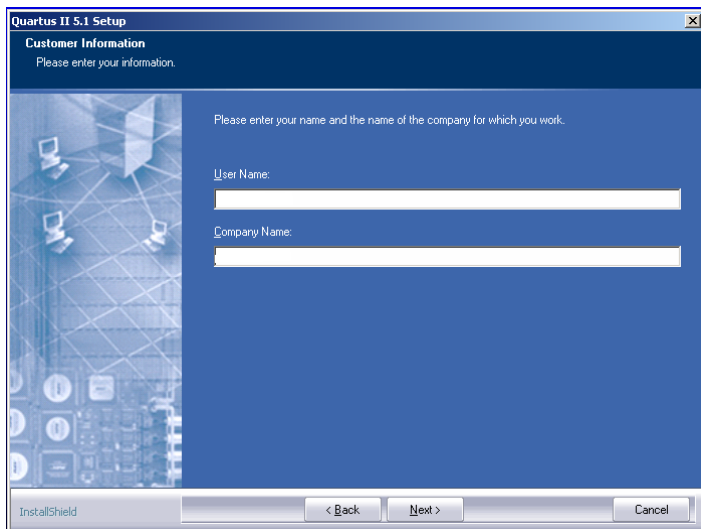


图 3-7 计算机信息界面

(6) 点击图 3-7 中 NEXT 选项继续安装，进行如下图 3-8 所示安装路径选择界面。

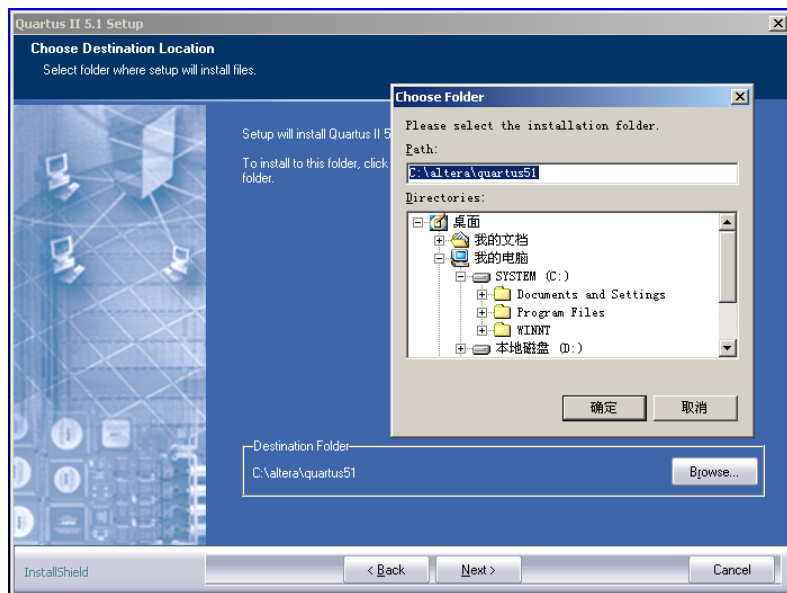


图 3-8 安装路径选择界面

用户可以点击上图 3-8 中的 BROWSE 选项，根据用户自己的需要来选

取和设定要安装的软件的路径。设定好后点击 NEXT 进行其它安装路径的选取和设定，其方法与图 3-8 的方法一致。

(7) 经过一系列的安装路径的选取和设定之后，可以进入如图 3-9 所示的安装类型选择界面。用户可以选择完全安装模式（需要最大的用户空间）或用户自定义模式安装。

(8) 如果用户的安装硬盘空间足够大，建议选取完全安装模式进行安装。选取后，点击 NEXT 进入程序组名称设定界面如图 3-10 所示。

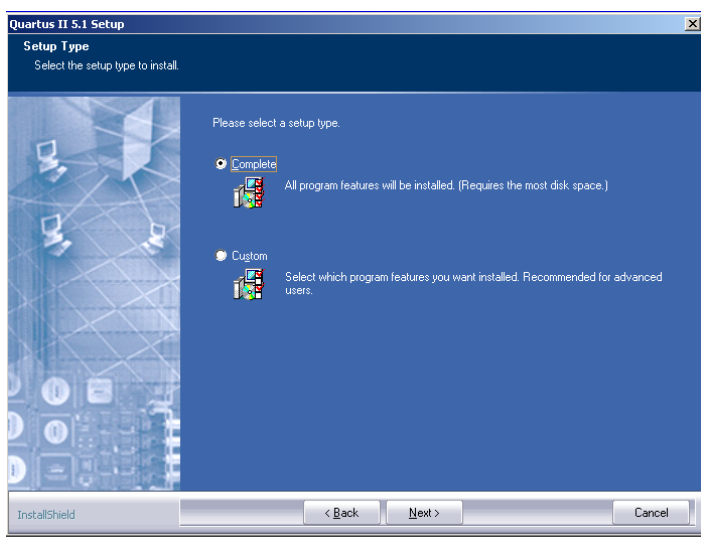


图 3-9 安装类型选择界面

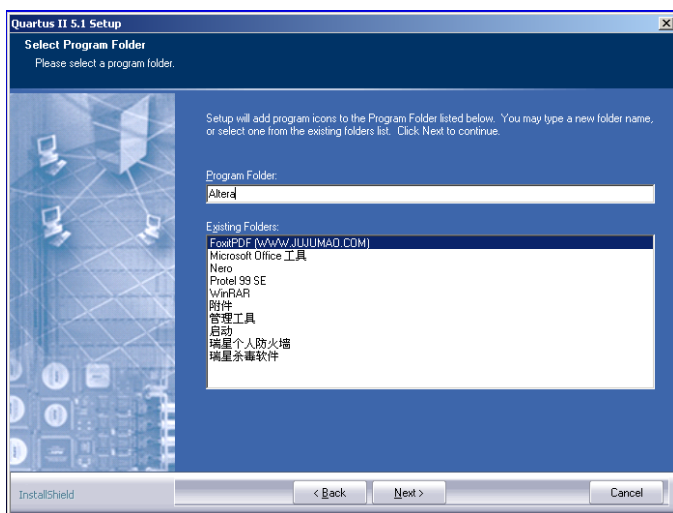


图 3-10 程序组名称设定

(9) 在图 3-10 中用户可以在 Program Folder 项目下输入 QuartusII 所在

程序组名称。输入完后，点击 NEXT 完成所有的安装设定，显示前面我们所设定的信息界面如图 3-11 所示。

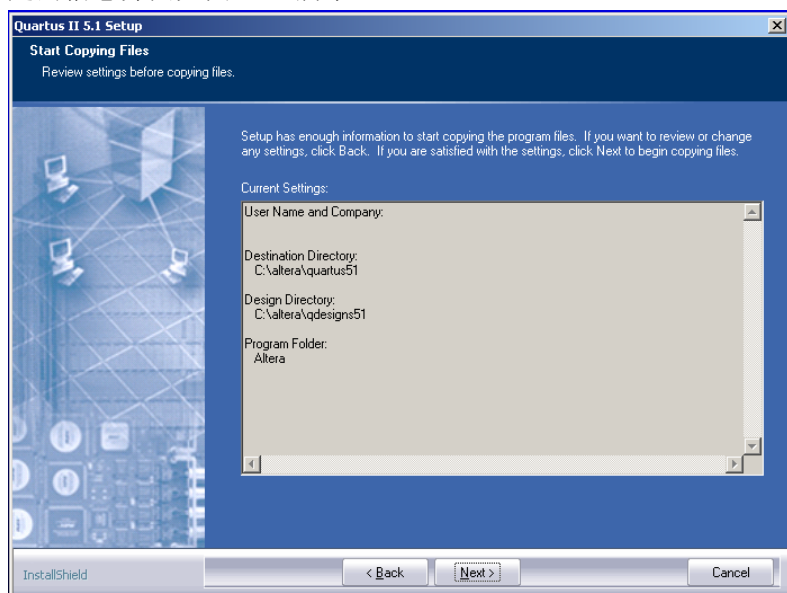


图 3-11 安装设定信息

(10) 点击 NEXT 进行程序的安装过程如图 3-12 所示



图 3-12 安装过程界面

(11) 在图 3-12 所示的图中，直到安装进度条显示安装完成，则整个 QuartusII 的安装完成，出现如图 3-13 所示界面。

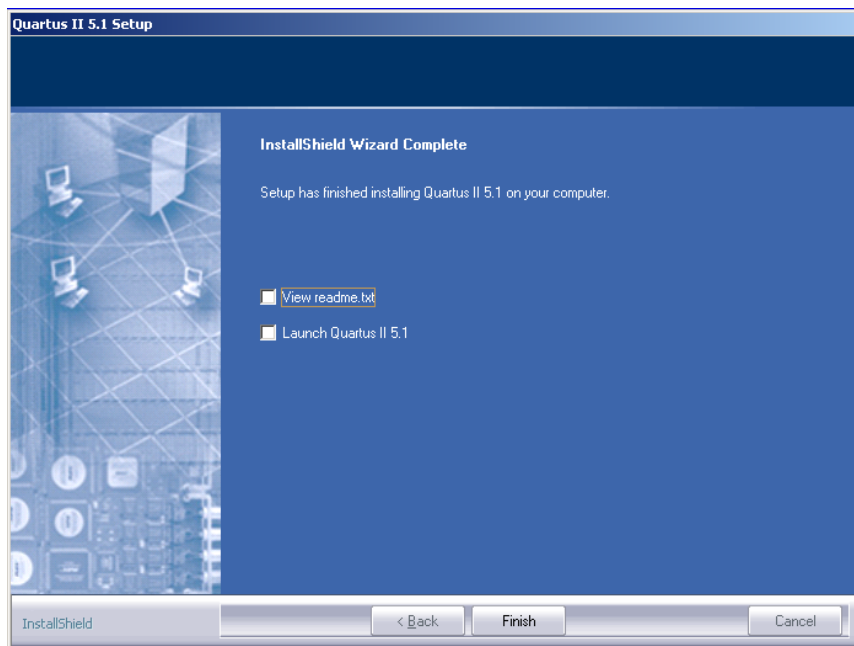


图 3-13 安装完成界面

(12) 在图 3-13 中有两个选项，如果选取其中的选项，点击 **Finish** 则打开相应的自述文件，不选取其中的选项，点击 **Finish** 则完成整个 QuartusII 的安装。QuartusII 软件安装完成后，将显示安装成功与否的提示信息，应仔细阅读所提示的相关信息。

QuartusII5.1 的授权

完成完 QuartusII5.1 软件安装之后，为了让软件能够正常运行，还必须给软件进行适当的设置和安装授权文件。Altera 公司对 QuartusII 软件的授权有两种形式：一种是单用户的授权，另一种是多用户的授权。不管是哪一种授权，QuartusII 都需要有一个有效的、未过期的授权文件 **License.dat**。授权文件包括对 Altera 综合与仿真的授权。

如果使用的是单用版的授权，需要安装软件狗。如果是多用户版的授权，需要对授权文件进行简单的改动，并且需要安装和配置 **FLEXlm** 授权管理服务。下面以使用多用户版式的授权进行简单的安装说明。

(1) 将 QuartusII 设计软件的光盘放入计算机的光驱中，打开光盘并运行光盘中的安装程序 **INSTALL.EXE** 文件，出现如图 3-14 所示的安装界面。

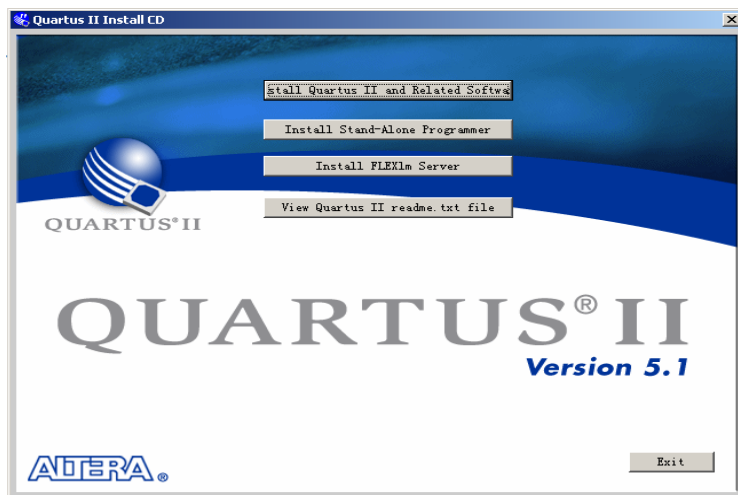


图 3-14 安装选项界面

选择第三项进行授权管理服务器的安装。根据安装提示，确认安装路径等选项，直到安装成功。

(2) 将光盘中的 SYS-CTP.DLL 文件复制到 QuartusII5.1 所在的安装路径下的 BIN 子目录下。如按照上面的按装信息则应将该文件复制到路径 C: / altera/ quartus51/Bin 目录下，覆盖原来该目录下的 SYS-CTP.DLL 文件。

(3) 在计算机的开始菜单中或者双击电脑桌面上 **QuartusII** 软件的图标，打开已安装好的 **QuartusII** 软件来进行 QuartusII 软件的授权与注册，第一次打开 **QuartusII** 软件则会出现如图 3-15 所示的提示信息。

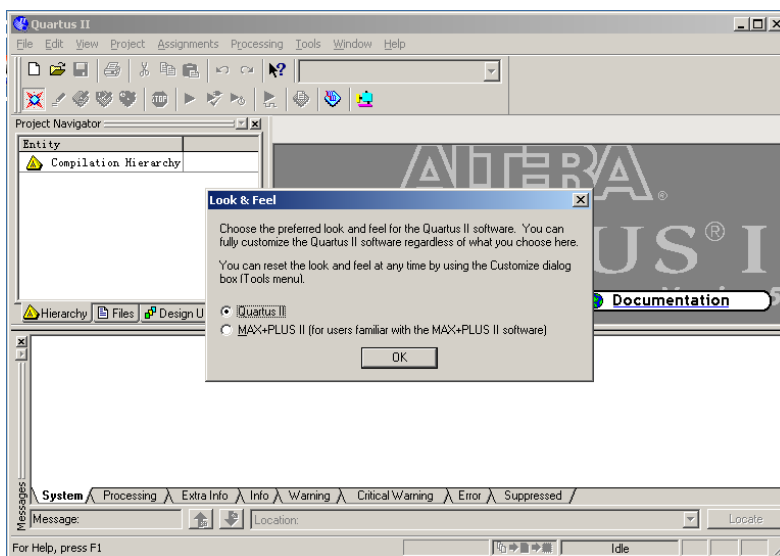


图 3-15 QUARTUSII 软件打开界面

(4) 在图 3-15 所出现的提示信息是表示 **QuartusII** 软件是用 **QuartusII** 的界面打开还是用 **MAXPLUSII** 的界面来打开 **QuartusII** 软件。选取其中的一项后，点击 OK 出现如图 3-16 所示的授权方式选择界面。

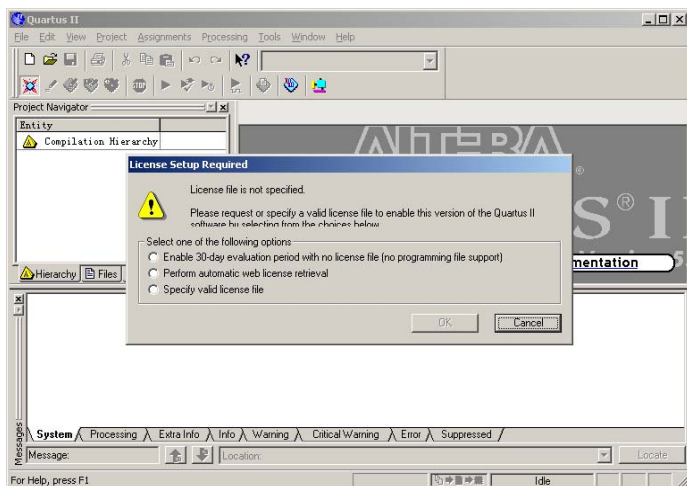


图 3-16 授权方式选择

(5) 首次启动 **QuartusII** 软件，因为还没有安装授权文件，会出现如图 3-16 的提示信息。给出了三种选项：第一项为执行 30 天的评估版模式，第二项为从 altera 公司网站自动提取授权以及指定一个有效的授权文件的位置。第三项为授权文件的安装选项。选取第三项，出现如图 3-17 所示的提示对话框。

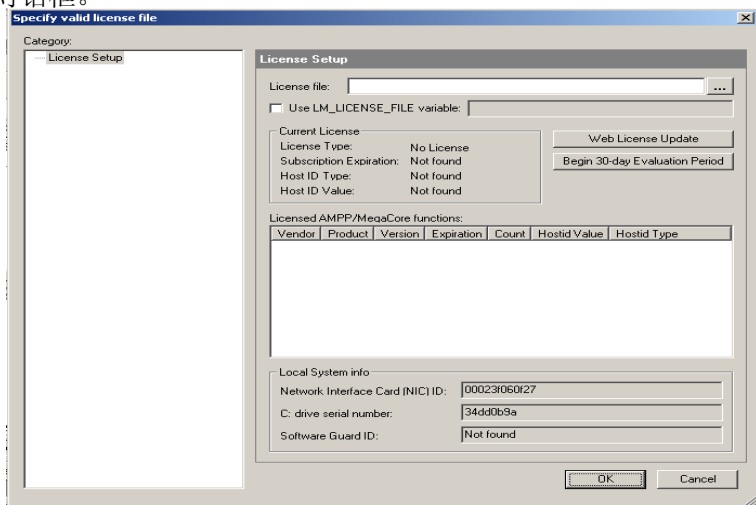


图 3-17License Setup 对话框

(6) 在图 3-17 的对话框中，软件会检测到计算机的 NIC 号码，使用者

必须用这个号码将软件安装光盘提供的 License.dat 文件中的服务器的主机号码替换。其步骤如下：

- A、找到安装光盘中的 License.dat 文件，用记事本等编辑软件打开，下面以用记事本打开为例，会出现如下图 3-18 所示界面。

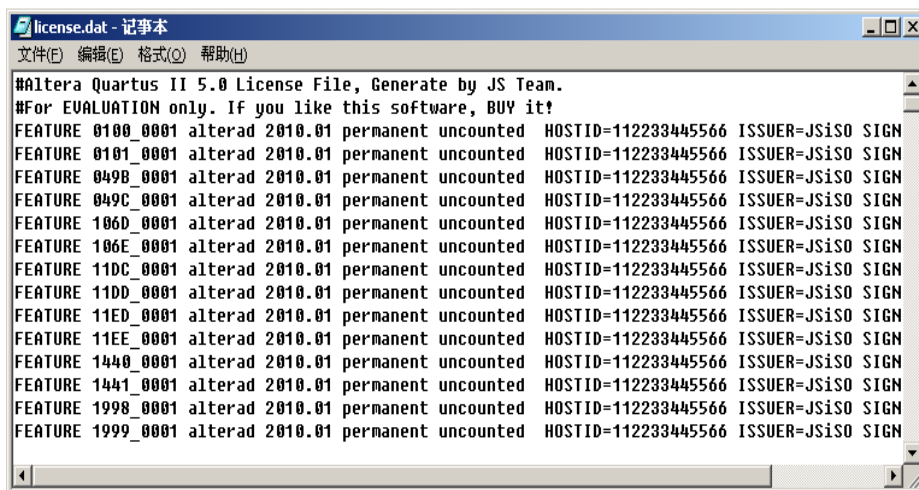


图 3-18 License 文件

- B、用图 3-17 中的 NIC 号码替换掉文件中所有的“HOSTID=”后的相应号码。如我们的 NIC 号码为 00023f060f27，授权文件的 HOSTID=112233445566。则用 00023f060f27 替换所有的 112233445566。在编辑菜单中选取替换命令，在查找内容框内输入“112233445566”在替换为框内输入“00023f060f27”。点击全部替换，完成 HOSTID 号的替换，如下图 3-19 所示：

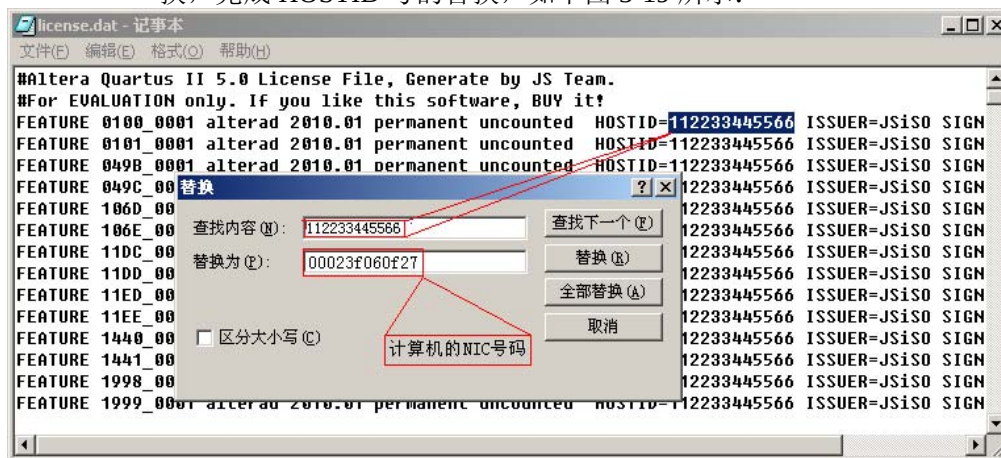


图 3-19 NIC 号码的替换

C、替换完成后，要重新对这个授权文件进行保存。其授权文件必须满足下面的条件：授权文件必须以 **.DAT** 为扩展名，避免在记事本中修改后保存为 **License.dat.txt**。在文件下拉菜单中选取另存为选项，在其对话框中设定保存的路径、文件名、以及文件类型等选项。点击保存按钮完成文件的保存。其设定如图 3-20 所示：

(7) 完成对授权文件的修改后，回到 **LICENSE SETUP** 对话框继续对软件的授权。在对话框的 **License file** 选项选择刚修改过的 **License.dat** 文件，在对话框的中间的“**License AMPP/MegaCore functions**”框中会出现授权后的 **AMPP/MegaCore** 功能。点击 **OK** 完成软件的授权，如图 3-21 所示：

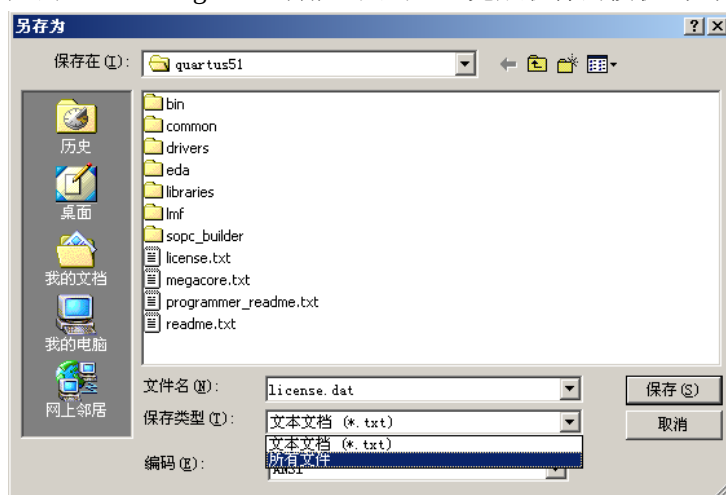


图 3-20 License 文件的保存

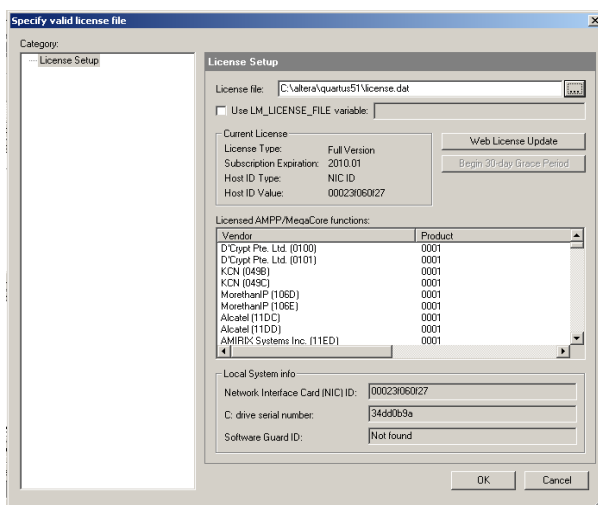


图 3-21 授权设置

NIOSII 5.1 的安装

altera 公司在继全球范围内推出 CycloneII 和 StratixII 器件系列后又推出了支持这些新款 FPGA 系列的 NiosII 嵌入式处理器。NiosII 嵌入式处理器使用 32 位的指令集结构，完全与二进制代码兼容，定位于广泛的嵌入式应用。

开发人员使用 altera NiosII 处理器和 FPGA，用户可以实现处理器、外设、存储器和 I/O 接口方面的合理组合。同时提升系统的性能。在成本方面大大的降低了系统的成本。

相对于 QuartusII 软件，其版本如果为 4.0 或以下版本则其配套的为 Nios 嵌入式处理器，其版式本如果为 5.0 或更高的版本则其配套的为 NiosII 嵌入式处理器。根据前面安装的 QuartusII 软件，我们以安装与之配套的 NiosII5.1 嵌入式系统软件。

- (1) 将 QuartusII 设计软件的光盘放入计算机的光驱中，打开光盘并运行光盘中的安装程序 INSTALL.EXE 文件，出现如图 3-22 所示的安装界面。

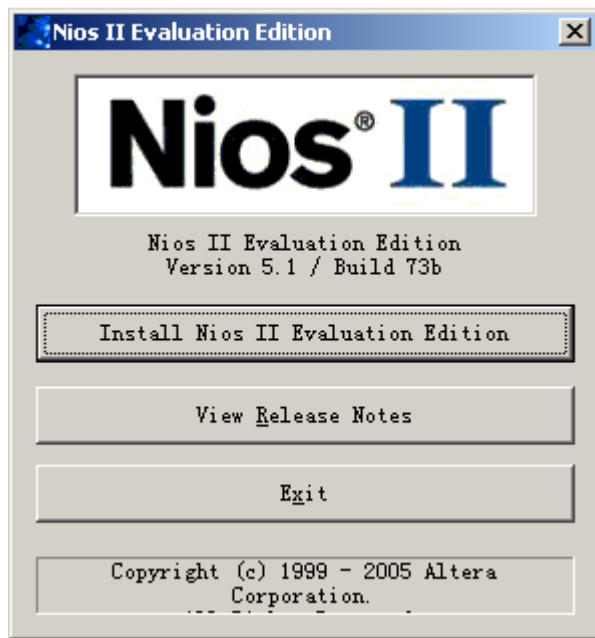


图 3-22 安装项目选择

- (2) 与 QuartusII 软件安装相同，在安装项目中选择第一项安装 NiosII Evaluation Edition。选取后出现如图 3-23 所示安装向导。

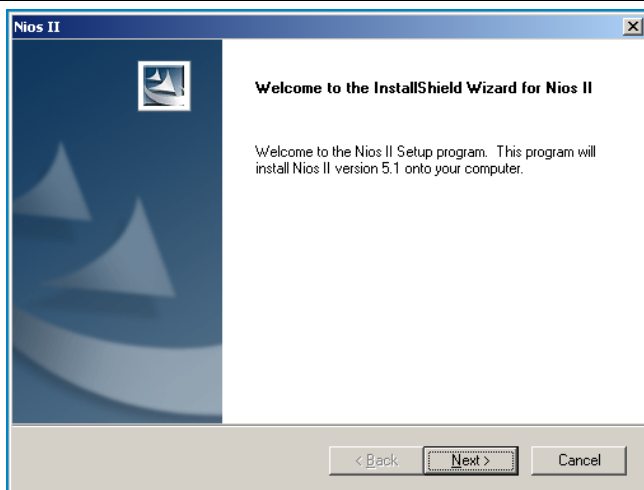


图 3-23 安装向导

(3) 点击 NEXT 继续安装，根据安装提示信息选择相应的安装选项。图 3-24 为安装路径设定对话框。

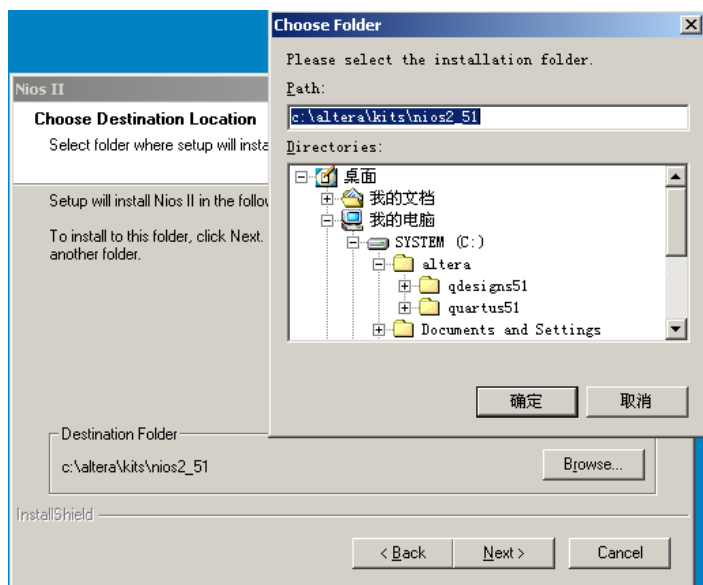


图 3-24 安装路径选择

(4) 与安装 QuartusII 软件相同,选取安装路径后点击 NEXT 进入安装项目选择对话框,如图 3-25 所示

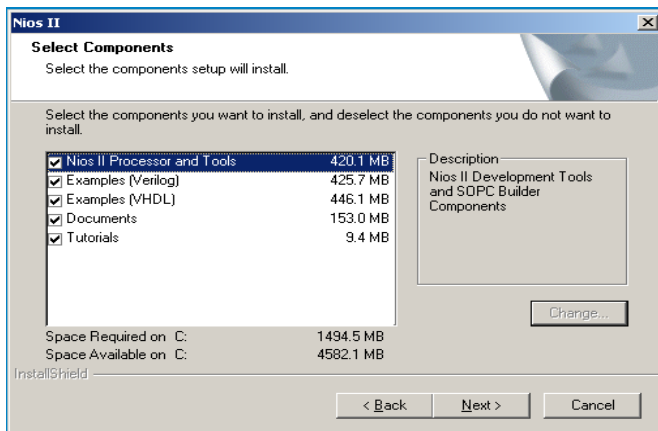


图 3-25 安装项目选择

(5) 在图 3-25 中可以选取要安装的项目以及安装所需要的硬盘空间和当前硬盘的空间。建议在安装硬盘空间足够大的情况下, 选取所有的安装项目进行安装。选取后点击 NEXT 出现如图 3-26 所示的提示信息对话框。

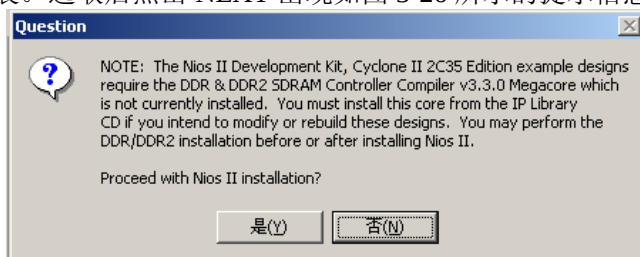


图 3-25 安装提示信息

(6) 选取“是”按钮继续进行安装, 进行计算机开始菜单程序组名称的设置, 其方法与 QuartusII 软件的安装基本一致。如图 3-26 所示:

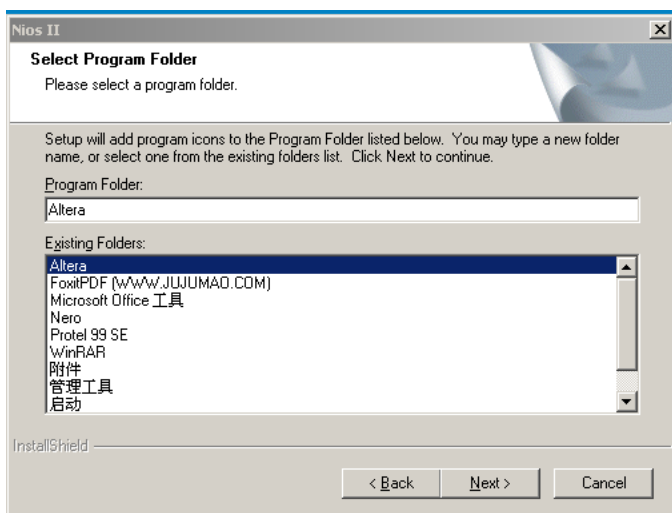


图 3-26 安装提示信息

(7) 设定好后，点击 NEXT 进行 NiosII Evaluation Edition 的安装。当安装进度条完成安装后出现如图 3-27 所示对话框，点击 Finish 后，整个 NiosII 的安装过程基本结束。

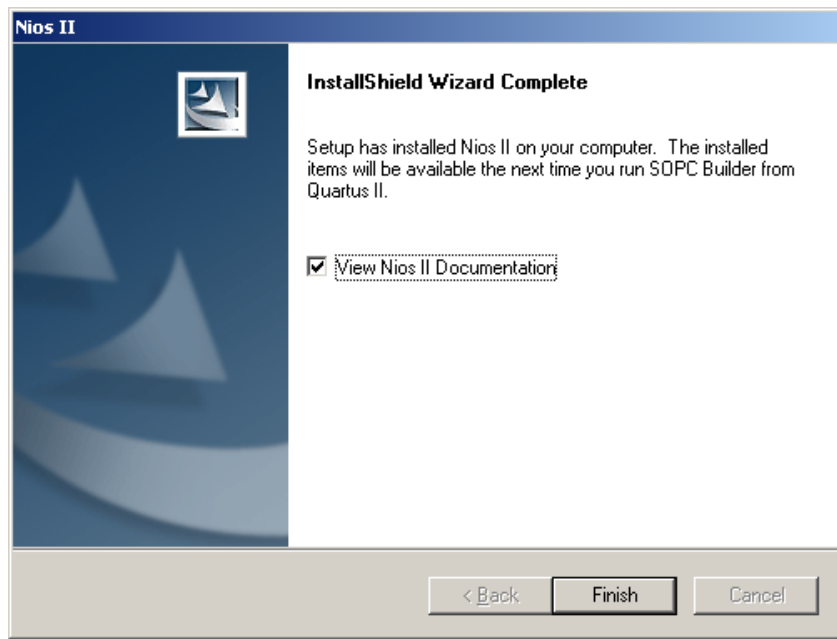


图 3-27 安装向导

第四章 USB 电缆的安装与使用

USB-Blaster 下载电缆可以通过 USB 端口把 PC 和目标器件相连接。通过 USB-Blaster 下载电缆，PC 可以将配置数据下载到目标器件中。由于设计变更等可以很容易地下载到目标器件，用户的设计原型和多次重复设计等验证工作可以很快速地完成。这都要得益于 USB-Blaster 下载电缆的快速、高效、便捷等优点。

支持器件

通过 USB-Blaster 下载电缆，您可以配置和编程 Altera 公司的器件，具体包括如下操作：

- 下载配置数据到 FPGA 器件
 - Stratix II、Stratix II GX、Stratix GX 和 Stratix 系列器件
 - Cyclone II 和 Cyclone 系列器件
 - APEX II 和 APEX 20K 系列器件
 - ACEX 1K 系列器件
 - Mercury 系列器件
 - FLEX 10K、FLEX 10KE 和 FLEX 10KA 系列器件
 - Excalibur 系列器件
- 下载配置数据到用户闪存（UFM）器件
 - MAX II 系列器件
- 下载配置数据到基于 EEPROM 的器件
 - MAX 3000 和 MAX 7000 系列器件
- 对增强型配置器件实施在线编程
 - EPC2、EPC4、EPC8、EPC16 和 EPC1441 等器件
- 对串行配制器件实施在线编程
 - EPCS1、EPCS4、EPCS16 和 EPCS64 等器件

另外，USB-Blaster 下载电缆支持以下目标系统电平标准：

- 5.0V TTL
- 3.3V LVTTTL/LVCMOS
- 1.5V、1.8V、2.5V 以及 3.3V 单端 I/O（single-ended I/O）

电源要求

USB-Blaster 下载电缆需要以下两组电源：

- USB 方向需要 5.0V 电源
- 下载接口端需要与目标系统板工作电平一致的电源（1.5V、1.8V、2.5V、3.3V 或 5.0V 等）

软件要求

USB-Blaster 下载电缆仅能在 Windows2000、Windows XP 和 RedHat Linux 操作系统中使用，需要安装 Quartus II 4.0 或更高版本的开发下载软件。同时 USB-Blaster 下载电缆还支持下述软件：

- Quartus II Programmer（用来编程或配置芯片）
- Quartus II SgiallTap II Logic Analyzer（进行逻辑分析）
- Quartus II Programmer（单机版本）
- Quartus II SgiallTap II Logic Analyzer（单机版本）

本节将介绍如何安装和设置 USB-Blaster 下载电缆，使其能够正确的配置或编程器件。

按照如下指示，正确地连接 USB-Blaster 下载电缆到目标板：

1. 关闭目标板电源。
2. 将 USB-Blaster 下载电缆与目标板的 10 针插头相连接，如图 4-1 所示。
3. 将 USB-Blaster 下载电缆的 USB 端插入 PC 机的 USB 接口。
4. 重新给目标板上电。

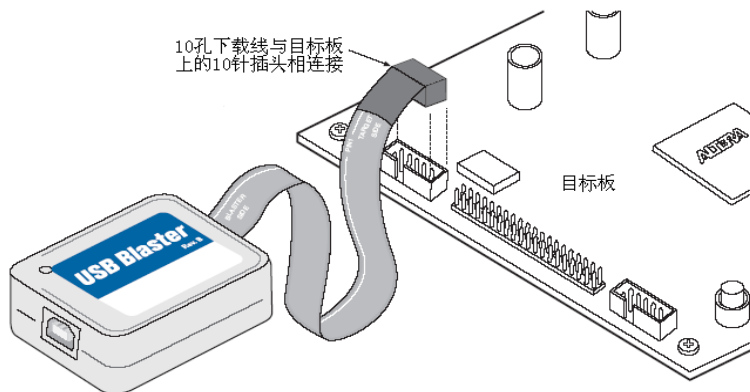


图 4-1 连接 USB-Blaster 下载线到目标板

如果是第一次在装有 Windows 2000/XP 的 PC 上使用 USB-Blaster 下载电缆，操作系统会弹出“发现新硬件”的安装向导，提示发现新的硬件，需要安装驱动，此时您可以参阅下面的“安装 USB-Blaster 驱动”来完成。

安装 USB-Blaster 驱动

WINXP 中的驱动安装

在安装驱动之前，首先检查 USB-Blaster 驱动是否已经存在(在安装完 Quartus II 后，驱动会出现在\Quartus II 系统安装目录\drivers\usb-blaster 目录下)。

如果您未发现该驱动存在，您可使用随 USB-Blaster 配套光盘上的驱动。

USB-Blaster 下载电缆的驱动仅在您第一次插入 PC 时，系统会弹出“发现新硬件”的安装向导（如果是同一台 PC，但是插入了其它 USB 端口，有可能也会出现“发现新硬件”的安装向导），此时您只需要按照下面的步骤进行安装便可。

1. 用 USB 线一端插入 USB-Blaster 下载电缆，另一端插入 PC 的 USB 接口，此时在桌面右下角的任务栏中将会出现如图 4-2 所示的发现新硬件的提示符。



图 4-2 系统提示发现新硬件

2. 稍等片刻，系统会弹出“找到新的硬件向导”的对话框，如图 4-3 所示。



图 4-3 安装驱动第一步

3. 选择“是, 仅这一次(Y)”后, 点击【下一步】继续, 如图 4-4 所示。



图 4-4 安装驱动第二步

4. 选择“从列表或指定位置安装(高级)(S)”后, 点击【下一步】继续, 如图 4-5 所示。



图 4-5 安装驱动第三步

5. 选中“在搜索中包括这个位置(Q):”后，通过【浏览】按钮，找到驱动程序所在位置（本例中以 Quartus II 5.0 软件安装在 D 盘为例，相应的 USB 驱动就在 D:\altera\quartus50\drivers\usb-blaster 目录中）。驱动目录指定后，点击【下一步】继续。
6. 此时系统会安装驱动程序，稍等片刻，系统会弹出图 4-6 所示的提示对话框（由于该驱动程序未经过微软的徽标测试），此时点击【仍然继续】，继续安装驱动。

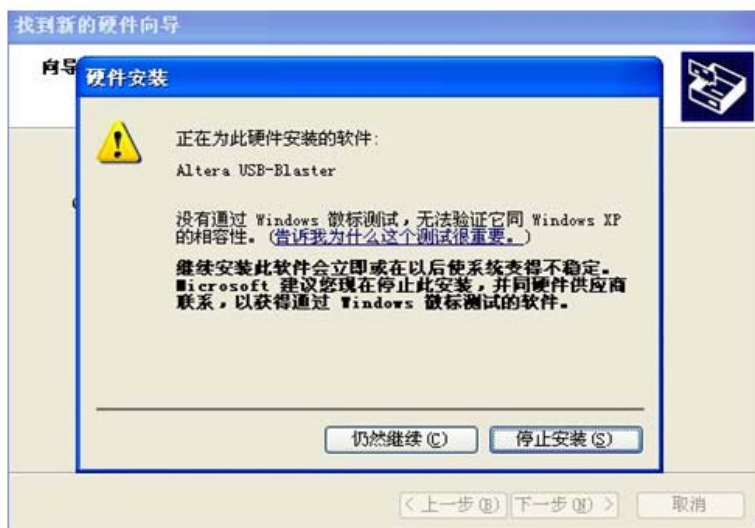


图 4-6 安装驱动第四步

7. 驱动安装结束后，系统会出现图 4-7 所示的提示驱动安装完成的对话框，直接点击【完成】，结束驱动安装。



图 4-7 安装驱动第五步

8. 进入“设备管理器”，查看硬件安装是否正确。正确安装 USB-Blaster 驱动后，会在“通用串行总线控制器”中出现“ALTERA USB-Blaster”的设备。如图 4-8 所示。

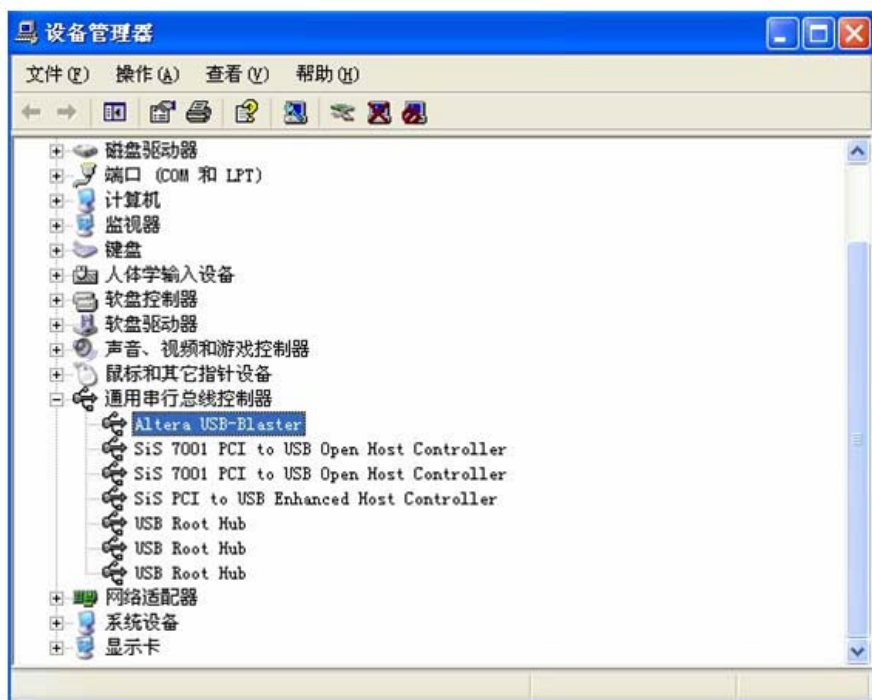


图 4-8 查看安装的设备状况

Linux 中的驱动安装

Quartus II 软件采用 RedHat Linux 内建的 USB 驱动(usbfs)来访问 USB-Blaster 下载电缆。默认情况下, root 是唯一可以直接访问到 usbfs 的用户, 所以在使用 USB-Blaster 下载电缆配置或编程器件之前, 必须首先改变端口的访问权限。另外您还必须具有管理员 (root) 特权去配置 USB-Blaster 下载电缆的驱动。

在上述条件均满足后, 您可以通过以下步骤来安装 USB-Blaster 驱动:

1. 在/etc/hotplug/usb.usermap 文件中加入下面的几行:

```
#  
# Altera USB-Blaster  
#  
usbblaster 0x03 0x09fb 0x6001 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0  
usbblaster 0x03 0x09fb 0x6002 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0  
usbblaster 0x03 0x09fb 0x6003 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0
```

2. 在目录/etc/hotplug/usb/中创建一个名为 usbblaster 的文件, 在其中加入下面几行:

```
#!/bin/sh  
# USB-Blaster hotplug script  
# Allow any user to access the cable  
chmod 666 $DEVICE
```

3. 将步骤 2 中创建的文件编译成一个可执行文件便可。

到此位置, USB-Blaster 驱动已经安装完成, 接下来只需要在 Quartus II 软件中作一些简单设置便可正常使用了。

在 Quartus II 软件中设置 USB-Blaster

在 USB-Blaster 下载电缆驱动安装正确后, 还需要在 Quartus II 软件中进行适当的设置才能使用, 具体设置步骤如下:

1. 启动 Quartus II 软件。
2. 选择 “Tools” 菜单下 “Programmer”。
3. 点击【Hardware Setup...】按钮, 会出现设置硬件的对话框。
4. 在“Currently selected hardware:”下拉菜单中选择“USB-Blaster[USB-0]”。

如图 4-9 所示。

5. 点击【Close】按钮，关闭硬件设置对话框。此时会返回到编程窗口，可以看到该窗口中列出了刚刚选择的下载电缆。
6. 在编程窗口中的“Mode”下拉菜单中，选择需要的下载模式。表 4-1 列出了各种编程模式。
7. 接下来的下载编程数据或配置器件等操作就跟使用 ByteBlaster MV 或 ByteBlaster II 电缆完全一样了。

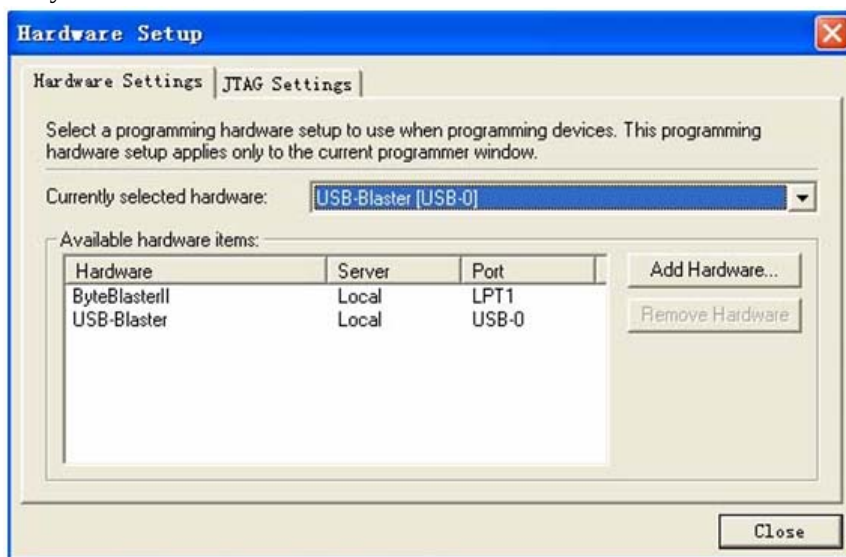


图 4-9 选择 USB-Blaster 为当前可用下载电缆

USB-Blaster 下载电缆支持 Joint Test Active Group (JTAG)、Passive Serial Programming 和 Active Serial Programming 这三种下载模式。

下 载 模 式	模 式 描 述
Joint Test Action Group (JTAG)	编程或配置所有 Quautus II 软件中支持的除了 FLEX6000 以外的所有 Altera 器件
In-Socket Programming	USB-Blaster 不支持该模式
Passive Serial Programming	编程或配置所有 Quautus II 软件中支持的除了 MAX 3000 和 MAX7000 以外的所有 Altera 器件
Active Serial Programming	编程单片 EPCS1、EPCS4、EPCS16 和 EPCS64 等串行配置器件

表 4-1 编程模式列表

USB-Blaster 下载电缆规格指标

USB-Blaster 下载电缆有两个接线口，一个使用来与 PC 的 USB 端口相连的 USB 插头和一个用来与目标板相连接的 10 孔插头。通过 USB-Blaster 下载电缆，配置数据从 PC 的 USB 端口流向目标板，从而完成 Quartus 软件对目标器件的配置或编程。

电压要求

USB-Blaster 的 VCC (TRGT)引脚在下载编程的时候必须与对应器件的工作电平一致，具体的电压要求如表 4-2 所示。

器 件 系 列	VCC (TRGT)
MAX II	取决于 Bank1 的 V_{CCIO}
MAX 7000S	5.0V
MAX 7000AE 和 MAX 3000A	3.3V
MAX 7000B	2.5V
Stratix、Stratix II、Stratix GX 和 Stratix II GX	取决于 V_{CCSEL}
Cyclone II、Cyclone、APEX II、APEX 20K 和 Mercury	取决于 V_{CCIO}
FLEX 10K、FLEX 8000 和 FLEX 6000	5.0V
FLEX 10KE	2.5V
FLEX 10KA 和 FLEX 6000A	3.3V
EPC2	5.0V 或 3.3V
EPC4、EPC8 和 EPC16	3.3V
EPCS1、EPCS4、EPCS16 和 EPCS64	3.3V

表 4-2 VCC (TRGT)与各系列器件的对应关系

下载电缆的连接

USB-Blaster 下载电缆与 PC 端的连接是通过标准 USB 电缆实现的，与目标板的连接是通过 10 孔插头来实现的。图 4-10 是 USB-Blaster 下载电缆的功能框图。

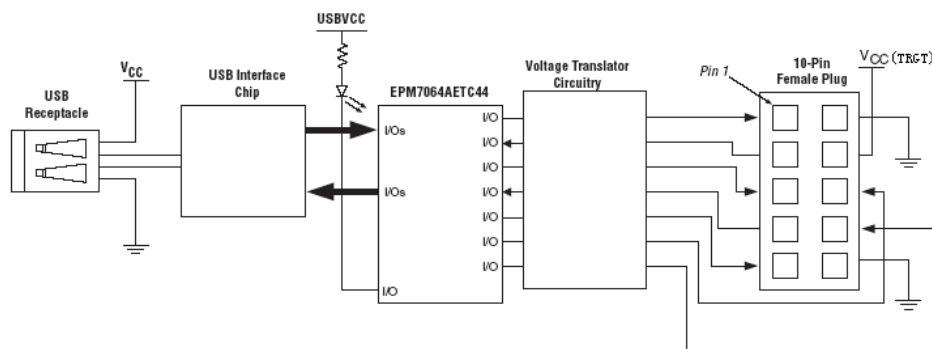


图 4-10 USB-Blaster 功能框图

USB-Blaster 的下载连接头

USB-Blaster 下载电缆通过一个 10 孔插头与目标板上的 10 针插座相连接，图 4-11 是 USB-Blaster 下载电缆下载连接头的尺寸规格。表 4-3 列出了该插头在各种配置模式下的各个引脚对应的信号。

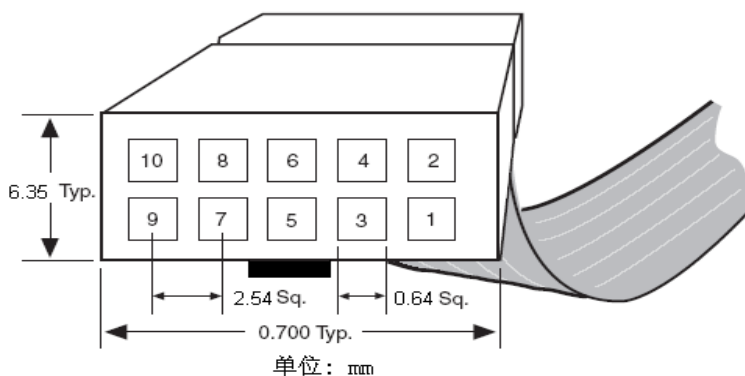


图 4-11 USB-Blaster 10 孔连接头尺寸规格

为了使 USB-Blaster 能够与目标板正确的通信，目标电路板必须提供 $V_{CC(TRGT)}$ 和信号地给 USB-Blaster 下载电缆。

引脚	AS 模式		PS 模式		JTAG 模式	
	信号名称	功 能	信号名称	功 能	信号名称	功 能
1	DCLK	时钟信号	DCLK	时钟信号	TCK	时钟信号
2	GND	信号地	GND	信号地	GND	信号地
3	CONF_DONE	配置完成	CONF_DONE	配置完成	TDO	目标器件数据输出
4	VCC(TRGT)	目标板电源	VCC(TRGT)	目标板电源	VCC(TRGT)	目标板电源
5	nCONFIG	配置控制	nCONFIG	配置控制	TMS	JTAG 时序控制

6	nCE	器件片选	—	未连接	—	未连接
7	DATAOUT	串行配置 器件数据 输出	nSTATUS	配置状态	—	未连接
8	nCS	串行配置 器件片选	—	未连接	—	未连接
9	ASDI	串行配置 器件数据 输入	DATA0	目标器件 配置数据 输入	TDI	目标器件 数据输入
10	GND	信号地	GND	信号地	GND	信号地

表 4-3 USB-Blaster 在不同模式下对应的信号

目标板下载插座

目标板上与 USB-Blaster 下载电缆相连接的是一个 10 针（两排，每排 5 针）的插座，这些引脚在目标板上应该根据配置模式，正确的目标器件的配置接口引脚相连接。图 4-12 说明了该 10 针插座的详细尺寸规格。

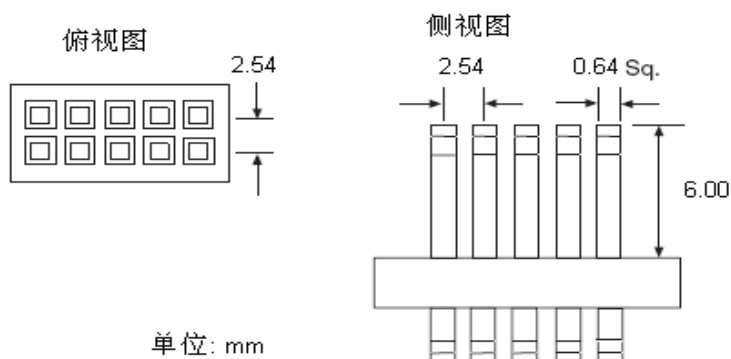


图 4-12 目标板 10 针插座尺寸规格

电气特性

表 4-43 至表 4-7 总结了 USB-Blaster 下载电缆的极限工作环境、推荐工作条件以及各种静态直流工作参数等。

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{CC(TRGT)}$	Target supply voltage	With respect to ground	-0.3	5.5	V
$V_{CC(USB)}$	USB supply voltage	With respect to ground	-0.5	6.0	V
I_I	Input current	TDO or dataout	-10.0	10.0	mA
I_O	Output current for Rev. A and Rev. B cable	TCK, TMS, TDI, nCS, nCE	-20.0	20.0	mA
	Output current for Rev. C cable		-50.0	50.0	mA

表 4-4 USB-Blaster 下载电缆极限工作环境

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{CC(TRGT)}$	Target supply voltage, 5.0-V operation		4.75	5.25	V
	Target supply voltage, 3.3-V operation		3.0	3.6	V
	Target supply voltage, 2.5-V operation		2.375	2.625	V
	Target supply voltage, 1.8-V operation		1.71	1.89	V
	Target supply voltage, 1.5-V operation		1.43	1.57	V

表 4-5 USB-Blaster 下载电缆推荐工作环境

Symbol	Parameter	Conditions	Min	Max	Unit
V_{IH}	High-level input voltage	$V_{CC(TRGT)} \geq 2.0\text{ V}$	2.0		V
		$V_{CC(TRGT)} < 2.0\text{ V}$	$V_{CC(TRGT)}$		V
V_{IL}	Low-level input voltage	$V_{CC(TRGT)} \geq 2.0\text{ V}$		0.8	V
		$V_{CC(TRGT)} < 2.0\text{ V}$		0	V
V_{OH}	5.0-V high-level output voltage	$V_{CC(TRGT)} = 4.5\text{ V}, I_{OH} = -10\text{ mA}$	3.8		V
	3.3-V high-level output voltage	$V_{CC(TRGT)} = 3.0\text{ V}, I_{OH} = -8\text{ mA}$	2.3		V
	2.5-V high-level output voltage	$V_{CC(TRGT)} = 2.375\text{ V}, I_{OH} = -6\text{ mA}$	1.8		V
	1.8-V high-level output voltage	$V_{CC(TRGT)} = 1.71\text{ V}, I_{OH} = -4\text{ mA}$	1.2		V
	1.5-V high-level output voltage	$V_{CC(TRGT)} = 1.43\text{ V}, I_{OH} = -2\text{ mA}$	1.0		V
V_{OL}	5.0-V low-level output voltage	$V_{CC(TRGT)} = 5.5\text{ V}, I_{OL} = 10\text{ mA}$		0.8	V
	3.3-V low-level output voltage	$V_{CC(TRGT)} = 3.6\text{ V}, I_{OL} = 8\text{ mA}$		0.7	V
	2.5-V low-level output voltage	$V_{CC(TRGT)} = 2.625\text{ V}, I_{OL} = 6\text{ mA}$		0.6	V
	1.8-V low-level output voltage	$V_{CC(TRGT)} = 1.89\text{ V}, I_{OL} = 4\text{ mA}$		0.5	V
	1.5-V low-level output voltage	$V_{CC(TRGT)} = 1.57\text{ V}, I_{OL} = 2\text{ mA}$		0.4	V
$I_{CC(USB)}$	Operating current (No Load)	(Typical $I_{CC(USB)} = 80\text{ mA}$)		150	mA

表 4-6 USB-Blaster 下载电缆静态直流工作特性

Symbol	Parameter	Conditions	Min	Max	Unit
V_{IH}	High-level input voltage		$V_{CC(TRGT)} - 0.2$		V
V_{IL}	Low-level input voltage			0.15	V
V_{OH}	5.0-V high-level output voltage	$V_{CC(TRGT)} = 4.5\text{ V}, I_{OH} = 1\text{ mA}$	4.4		V
	3.3-V high-level output voltage	$V_{CC(TRGT)} = 3.0\text{ V}, I_{OH} = 1\text{ mA}$	2.9		V
	2.5-V high-level output voltage	$V_{CC(TRGT)} = 2.375\text{ V}, I_{OH} = 1\text{ mA}$	2.275		V
	1.8-V high-level output voltage	$V_{CC(TRGT)} = 1.71\text{ V}, I_{OH} = 1\text{ mA}$	1.61		V
	1.5-V high-level output voltage	$V_{CC(TRGT)} = 1.43\text{ V}, I_{OH} = 1\text{ mA}$	1.33		V
V_{OL}	5.0-V low-level output voltage	$V_{CC(TRGT)} = 5.5\text{ V}, I_{OL} = 1\text{ mA}$		0.125	V
	3.3-V low-level output voltage	$V_{CC(TRGT)} = 3.6\text{ V}, I_{OL} = 1\text{ mA}$		0.125	V
	2.5-V low-level output voltage	$V_{CC(TRGT)} = 2.625\text{ V}, I_{OL} = 1\text{ mA}$		0.125	V
	1.8-V low-level output voltage	$V_{CC(TRGT)} = 1.89\text{ V}, I_{OL} = 1\text{ mA}$		0.125	V
	1.5-V low-level output voltage	$V_{CC(TRGT)} = 1.57\text{ V}, I_{OL} = 1\text{ mA}$		0.125	V
$I_{CC(USB)}$	Operating current (No Load)	(Typical $I_{CC(USB)} = 80\text{ mA}$)		150	mA

表 4-7 USB-Blaster 下载电缆静态直流工作特性

注意事项:

- 1、USB 下载电缆并不是 SOPC-NIOSII EDA/SOPC 实验箱标配的电缆。
- 2、严格按照“硬件连接”中提及的顺序进行操作。
- 3、禁止在数据下载过程中拔掉 USB-Blaster 下载电缆。
- 4、USB-Blaster 下载电缆与目标板连接前，请确认板上 10 针插座的顺序与 USB-Blaster 下载电缆的 10 孔插头相一致，且供电电压等满足表 2-4 列出的要求。

疑难解答:

1. USB-Blaster 下载电缆插入 PC 的 USB 接口后，系统没有任何反应。
答：请先插入其它 USB 设备（如 U 盘）到您的 PC 机，首先确认 USB 端口工作正常。也可将 USB-Blaster 下载电缆插入到别的 PC 机，以确认是否 USB-Blaster 下载电缆出现故障。
2. 在 Quartus II 的 Hardware Setup 中找不到 USB-Blaster 下载电缆。
答：请检查 USB-Blaster 下载电缆连接是否正确，工作是否正常。正常状态时，USB-Blaster 下载电缆上的 USB 指示灯应该常亮；如果闪烁或熄灭，则表示 USB 通信有误，请拔下后重新插入 USB-Blaster 下载电缆，直至 USB 状态指示灯显示正常。
3. 找不到目标器件。
答：请首先用 ByteBlaster II 或 ByteBlaster MV 电缆下载该器件，以证明目标板工作正常。
4. 下载数据不稳定，时对时错，有时甚至无法下载。
答：请检查您的目标板是否有虚焊、系统有否短路和断路、系统电压是否稳定正常、电源纹波大小等。

附表一：核心板 EP2C35F484 I/O 接口对照表

信号名称	EP2C35 IO 接脚	信号名称	EP2C35IO 接脚
核心板模块		FLASH (29LV065D)	
A0	AA12	A18	AA8
A1	AB12	A19	AB19
A2	AA11	A20	AA19
A3	AB11	A21	AB16
A4	AA10	A22	AB3
A5	AB10	D0	AB14
A6	AA9	D1	AA14
A7	AB9	D2	AB15
A8	AB7	D3	AA15
A9	AA6	D4	AA16
A10	AA18	D5	AB17
A11	AB6	D6	AA17
A12	AA5	D7	AB18
A13	AB5	WE#	AA7
A14	AA4	OE#	AA13
A15	AB4	CE#	AB13
A16	AA3	RDY	AB8
A17	AB20	RESET#	B3
核心板模块		SRAM (IDT74V416)	
A0	AA11	A11	AB5
A1	AB11	A12	AA4
A2	AA10	A13	AB4
A3	AB10	A14	AA3
A4	AA9	A15	AB20
A5	AB9	A16	AA8
A6	AB7	A17	AB19
A7	AA6	D0	AB14
A8	AA18	D1	AA14
A9	AB6	D2	AB15
A10	AA5	D3	AA15

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
核心板模块		SRAM (IDT74V416)	
D4	AA16	D22	K21
D5	AB17	D23	J22
D6	AA17	D24	J21
D7	AB18	D25	G20
D8	Y21	D26	G22
D9	Y22	D27	G21
D10	W21	D28	F22
D11	W22	D29	F21
D12	V21	D30	E22
D13	V22	D31	E21
D14	U21	BE0	T21
D15	U22	BE1	T22
D16	R21	BE2	C22
D17	R22	BE3	D21
D18	R20	OE#	D22
D19	N21	WE#	C21
D20	N22	CS#	AA20
D21	K22	-----	-----
核心板模块		自定义按键 (BT1-BT4)	
BT1	M1	BT3	U12
BT2	M2	BT4	U11
核心板模块		自定义 LED (LED1-LED4)	
LED1	V8	LED3	T7
LED2	T8	LED4	T6
核心板模块		七段码 LED	
a	T11	e	V9
b	L17	f	V11
c	T16	g	U13
d	J14	dp	U14
核心板模块		复位按键、时钟	
RESET	B3	50MHZ	L1

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
核心板模块		SDRAM	
DQ0	H1	A4	W5
DQ1	H2	A5	T5
DQ2	J1	A6	R5
DQ3	J2	A7	T3
DQ4	N1	A8	U3
DQ5	N2	A9	V4
DQ6	P1	A10	Y1
DQ7	P2	A11	W3
DQ8	F1	A12	W4
DQ9	F2	SD-CLK	U4
DQ10	E1	SD-WE	R2
DQ11	E2	SD-CS	U1
DQ12	D1	SD-CKE	Y3
DQ13	D2	SD-M0	R1
DQ14	C1	SD-M1	Y4
DQ15	C2	SD-BA0	U2
A0	W2	SD-BA1	Y2
A1	W1	RAS	T2
A2	V2	CAS	T1
A3	V1	-----	-----
核心板模块		NAND FLASH	
NF-D0	W16	NF-RDY	AB8
NF-D1	Y16	NF-OE	Y5
NF-D2	W15	NF-CE	Y6
NF-D3	W14	NF-CLE	Y7
NF-D4	Y14	NF-ALE	W7
NF-D5	Y13	NF-WE	W8
NF-D6	Y10	NF-WP	Y9
NF-D7	W9		

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
核心板模块		扩展接口 JP1	
1-4	5V	29	N3
5-7	GND	30	N4
8	RESET(B3)	31	N6
9	D3	32	P3
10	D4	33	P5
11	D5	34	P6
12	E3	35	P19
13	E4	36	P4
14	F3	37	R6
15	F4	38	R7
16	G3	39	R8
17	G5	40	J3
18	G6	41	W18
19	G7	42	R11
20	H3	43	R4
21	L2	44	J6
22	H4	45	R14
23	H5	46	R15
24	H6	47	R16
25	J4	48	U8
26	L8	49	U9
27	M5	50	U10
28	M6	-----	
核心板模块		扩展接口 JP2	
1	C19	9	E19
2	G11	10	G17
3	C20	11	E20
4	H21	12	H16
5	D19	13	E18
6	M15	14	H17
7	D20	15	F20
8	G16	16	H18

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
核心板模块		扩展接口 JP2	
17	G18	34	R17
18	J15	35	U20
19	H19	36	R18
20	J17	37	M22
21	J19	38	M21
22	J18	39	V19
23	J20	40	T18
24	L18	41	V20
25	K20	42	U18
26	M18	43	W20
27	L19	44	U15
28	P15	45	Y20
29	M19	46	V14
30	P17	47	Y19
31	R19	48	V15
32	P18	49	Y18
33	U19	50	Y17
核心板模块 R		扩展接口 JP3	
1-4	5V	21	B6
5-8	GND	22	D11
9	D6	23	A6
10	D7	24	C13
11	A3	25	B7
12	C7	26	D14
13	B4	27	A7
14	D8	28	C14
15	A4	29	B8
16	D9	30	D15
17	B5	31	A8
18	C9	32	D16
19	A5	33	B9
20	C10	34	C16

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
核心板模块		扩展接口 JP3	
35	A9	58	F11
36	C17	59	A16
37	B10	60	F12
38	C18	61	B17
39	A10	62	F13
40	E7	63	A17
41	B11	64	F14
42	E8	65	B18
43	A11	66	F15
44	E9	67	A18
45	B13	68	H7
46	E11	69	B19
47	A13	70	L7
48	E14	71	A19
49	B14	72	M8
50	E15	73	B20
51	A14	74	M7
52	F8	75	A20
53	B15	76	H11
54	F9	77	M16
55	A15	78	K17
56	F10	79	H15
57	B16	80	H14

附表二：EP2C35 与开发平台硬件资源I/O接口对照表

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
EDA/SOPC 开发平台		240*128 单色液晶显示模块	
A0	E7	D2	C17
A1	B11	D3	A9
A2/CS#	E8	D4	C16
WR#	F4	D5	B9
RD#	A10	D6	D16
D0	C18	D7	A8
D1	B10		
EDA/SOPC开发平台		12 位 LED 灯显示模块	
D1	E9	D7	L7
D2	A11	D8	B19
D3	E11	D9	M8
D4	B13	D10	A19
D5	E14	D11	M7
D6	A13	D12	B20
EDA/SOPC开发平台		八位七段数码管显示模块	
A	G6	G	J4
B	G7	DP	L8
C	H3	SEL0	G5
D	H4	SEL1	G3
E	H5	SEL2	F4
F	H6		
EDA/SOPC开发平台		交通信号灯模块	
R1	D3	R2	E3
Y1	D4	Y2	E4
G1	D5	G2	F3
EDA/SOPC 开发平台		12 位拨动开关模块	
K1	E15	K7	A16
K2	B14	K8	F13
K3	F9	K9	F14
K4	B15	K10	A17
K5	A15	K11	H7
K6	F11	K12	A18

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
EDA/SOPC开发平台		8 位按键开关模块	
S1	F8	S5	F12
S2	A14	S6	B17
S3	F10	S7	F15
S4	B16	S8	B18
EDA/SOPC 开发平台		16*16 点阵显示模块	
C0	P19	R0	L8
C1	P4	R1	J4
C2	R6	R2	H6
C3	R7	R3	H5
C4	R8	R4	H4
C5	J3	R5	H3
C6	W18	R6	G7
C7	R11	R7	G6
C8	U10	R8	P6
C9	U9	R9	P5
C10	U8	R10	P3
C11	R16	R11	N6
C12	R15	R12	N4
C13	R14	R13	N3
C14	J6	R14	M6
C15	R4	R15	M5
EDA/SOPC 开发平台		4*4 矩阵键盘	
C0	F8	R0	F12
C1	A14	R1	B17
C2	F10	R2	F15
C3	B16	R3	B18
EDA/SOPC 开发平台		直流电机模块	
SPEED	C19	PWM	G11
EDA/SOPC 开发平台		步进电机模块	
A	G11	C	H21
B	C19	D	G16
EDA/SOPC 开发平台		RTC 实时时钟模块	
SCLK	C20	RST	G16
IO	M15		

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
EDA/SOPC 开发平台		IICEEPROM 存储模块	
SCL	D15	SDA	B8
EDA/SOPC 开发平台		数字温度传感器模块	
CLK/DAT	D15		
EDA/SOPC 开发平台		并行 ADC 模块 (5510/5540)	
D0	D6	D5	D9
D1	C7	D6	A4
D2	A3	D7	C9
D3	D8	OE	C10
D4	B14	CLK	B5
EDA/SOPC 开发平台		并行 DAC 模块 (5602)	
D0	A7	D5	C13
D1	C14	D6	B6
D2	B7	D7	D11
D3	D14	CLK	A5
D4	A6		
EDA/SOPC 开发平台		串行 ADC 模块 (7822U)	
CS	K17	SCLK	H11
DOUT	A20		
EDA/SOPC 开发平台		串行 DAC 模块 (DAC7513)	
DIN	M16	CS	H14
SCLK	H15		
EDA/SOPC 开发平台		可调数字时钟模块 CLK	
CLK	L2(GCLK1)		
EDA/SOPC 开发平台		VGA 显示模块	
R	G11	HS	C20
G	C19	VS	M15
B	H21		
EDA/SOPC 开发平台		串行接口模块 1 (COM1)	
TXD1	D20	RXD1	G17
EDA/SOPC 开发平台		串行接口模块 2 (COM2)	
TXD2	G16	RXD2	D19
EDA/SOPC 开发平台		PS2 键盘接口	
CLOCK	V19	DATA	U18

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
EDA/SOPC 开发平台		PS2 鼠标接口	
CLOCK	V20	DATA	U15
EDA/SOPC 开发平台		USB 接口 (D12)	
D0	H16	D7	G18
D1	E20	A0	E19
D2	H17	WR	J18
D3	E18	RD	H19
D4	H18	CS	J17
D5	F20	INT	M21
D6	J15		
EDA/SOPC 开发平台		网络接口模块 (8019)	
D0	M19	A0	L19
D1	P18	A1	P15
D2	R19	A2	K20
D3	R17	A3	M18
D4	U19	A4	J20
D5	R18	WR	J19
D6	U20	RD	L18
D7	T18	AEN	P17
		INT	M22
EDA/SOPC 开发平台		音频 CODEC 接口模块 (AIC23)	
SDIN	V14	DIN	Y19
SCLK	Y20	LRCIN	Y17
CS	W20	LRCOUT	Y17
BCLK	V15	DOUT	Y18
EDA/SOPC 开发平台		扬声器输出模块	
SPEAKER	D7		
EDA/SOPC 开发平台		FPGA 输入/输出探测模块	
INPUT (J21)	Y17	OUTPUT (J20)	V15
EDA/SOPC 开发平台		扩展接口模块 1 (JP10)	
1-4	+12V	11	E3
5-8	GND	12	/
9	E4	13	D5
10	/	14	/

信号名称	EP2C35 IO 接脚	信号名称	EP2C35 IO 接脚
EDA/SOPC 开发平台		扩展接口模块 1 (JP10)	
15	D4	28	C17
16	E8	29	C13
17	D3	30	A9
18	B11	31	B6
19	A7	32	C16
20	E7	33	D11
21	C14	34	B9
22	A10	35	G5
23	B7	36	D16
24	C18	37	G3
25	D14	38	A8
26	B10	39	F4
27	A6	40	F3
EDA/SOPC 开发平台		扩展接口模块 2 (JP11)	
1-4	+5V	26	N6
5-8	GND	27	N4
9-12	NOP	28	N3
13	B18	29	M6
14	F15	30	M5
15	B17	31	/
16	F12	32	L8
17	B16	33	/
18	F10	34	J4
19	A14	35	H6
20	F8	36	H5
21-22	NOP	37	H4
23	P6	38	H3
24	P5	39	G7
25	P3	40	G6
EDA/SOPC 开发平台		电源输出扩展接口 (JP12)	
1-2	+12V	13-14	GND
3-6	/	15-18	/
7-8	+5V	19-20	-12V
9-12	/		

