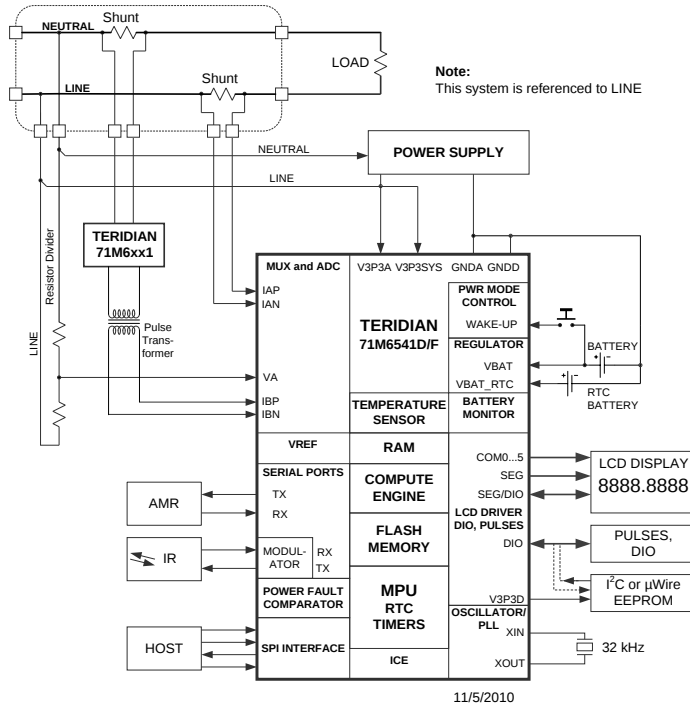


概述

71M6541D/71M6541F/71M6541G/71M6542F/71M6542G 是 Teridian™ 的第 4 代高集成度单相电表 SoC，包括：8051 兼容 MPU、带有数字补偿的低功耗实时时钟(RTC)、闪存存储器和 LCD 驱动器。采用我们的单转换器技术(Single Converter Technology®)，内置一路 22 位 $\Sigma\Delta$ ADC 数字温度传感器、三路或四路模拟输入、数字温度补偿、精密电压基准和 32 位计算引擎(CE)，只需少数外部元件即可支持各种电表设计。

71M6541/2 支持 Teridian 71M6x01 系列隔离传感器的接口选项，有效降低 BOM 成本、提高抗电磁干扰能力，进而增强系统可靠性。其它特性包括：SPI 接口、先进的电源管理、超低功耗有效工作和电池供电模式、3/5KB 公用 RAM 和 32/64/128KB 闪存存储器(电表工作期间可现场编程程序和/或数据)、每个 SEG 驱动端能够驱动六段 LCD。较高的处理和采样速率结合差分输入级，提供强大的计量功能，理想用于住宅表设计。

完整的软件开发工具、演示程序以及参考设计有助于加速计量产品的开发和认证，以满足 ANSI、IEC 等全球范围的电表计量标准。



11/5/2010

Teridian 和 Single Converter Technology 分别是 Maxim Integrated Products, Inc. 的商标和注册商标。

MICROWIRE 是 National Semiconductor Corp. 的注册商标。

特性

- 2000:1 电流范围内，精度高达 0.1%
- 优于 IEC 62053/ANSI C12.20 标准要求
- 两路电流传感器输入，可选择差分模式
- 一路电流输入可选择增益 1 或 8，支持分流器
- 高速 Wh/VARh 脉冲输出，可编程脉冲宽度
- 32KB 闪存、3KB RAM (71M6541D)
- 64KB 闪存、5KB RAM (71M6541F/42F)
- 128KB 闪存、5KB RAM (71M6541G/42G)
- 多达四路脉冲输出，带有脉冲计数
- 四象限表计
- 数字温度补偿：
 - 计量补偿
 - 高精度 RTC，用于晶振自动温度补偿的 TOU 功能，支持所有功率模式
- 独立 32 位计算引擎
- 46-64Hz 电网频率范围，采用相同校准
- 相位补偿($\pm 10^\circ$)
- 三种备份电池供电模式：
 - 掉电模式(BRN)
 - LCD 模式(LCD)
 - 休眠模式(SLP)
- 引脚事件唤醒和定时器唤醒
- 休眠模式电流损耗仅为 1 μ A
- 闪存加密
- 在系统编程
- 8 位 MPU (80515)，高达 5 MIPS
- 掉电模式下的全速 MPU 时钟
- LCD 驱动器：
 - 每引脚驱动 6 段/多达 56 个引脚
- 5V LCD 驱动器，带有 DAC
- 多达 51 个多功能 DIO 引脚
- 硬件看门狗定时器(WDT)
- I²C/MICROWIRE® EEPROM 接口
- SPI 接口，具有闪存编程能力
- 两个 UART 用于 IR 和 AMR
- 带有调制功能的 IR LED 驱动器
- 工业级温度范围
- 64 引脚 (71M6541D/F/G) 和 100 引脚 (71M6542F/G) 无铅(Pb) LQFP 封装

目录

1	引言	10
2	硬件说明.....	11
2.1	硬件概述.....	11
2.2	模拟前端(AFE)	12
2.2.1	信号输入引脚	14
2.2.2	输入复用器	15
2.2.3	延迟补偿.....	19
2.2.4	ADC 前置放大器.....	20
2.2.5	A/D 转换器(ADC)	20
2.2.6	FIR 滤波器.....	20
2.2.7	电压基准.....	20
2.2.8	71M6x01 隔离传感器接口(远端传感器接口)	22
2.3	数字计算引擎(CE).....	24
2.3.1	CE 程序存储器	24
2.3.2	CE 数据存储器	24
2.3.3	CE 与 MPU 通信.....	25
2.3.4	电表公式.....	25
2.3.5	实时监测器(RTM).....	25
2.3.6	脉冲发生器	27
2.3.7	CE 功能概述.....	28
2.4	80515 MPU 核.....	31
2.4.1	存储器架构和寻址	31
2.4.2	特殊功能寄存器(SFR)	33
2.4.3	通用 80515 特殊功能寄存器.....	34
2.4.4	指令集	36
2.4.5	UART	36
2.4.6	定时器和计数器.....	39
2.4.7	WD 定时器(软件看门狗定时器).....	40
2.4.8	中断	40
2.5	片上资源.....	48
2.5.1	物理存储器	48
2.5.2	振荡器	50
2.5.3	PLL 和内部时钟	50
2.5.4	实时时钟(RTC).....	51
2.5.5	71M654x 温度传感器	56
2.5.6	71M654x 电池监测器	57
2.5.7	UART 和光接口	58
2.5.8	数字 I/O 和 LCD 段驱动器	59
2.5.9	EEPROM 接口	70
2.5.10	SPI 从机端口	73
2.5.11	硬件看门狗定时器	78
2.5.12	测试端口(TMUXOUT 和 TMUX2OUT 引脚).....	78
3	功能说明.....	80
3.1	工作原理.....	80
3.2	电池供电模式	81
3.2.1	BRN 模式	83
3.2.2	LCD 模式.....	83
3.2.3	SLP 模式	84

3.3	故障和复位操作	85
3.3.1	掉电事件	85
3.3.2	低电池电压下的 IC	86
3.3.3	复位序列	86
3.3.4	看门狗定时器复位	86
3.4	唤醒操作	87
3.4.1	硬件唤醒事件	87
3.4.2	定时器唤醒	90
3.5	数据流和 MPU/CE 通信	91
4	应用信息	92
4.1	连接 5V 器件	92
4.2	直接连接传感器	92
4.3	使用本地传感器的 71M6541D/F/G	93
4.4	使用 71M6x01 和电流分流器的 71M6541D/F/G	94
4.5	使用本地传感器的 71M6542F/G	95
4.6	使用 71M6x01 和电流分流器的 71M6542F/G	96
4.7	计量温度补偿	97
4.7.1	高精度电压基准	97
4.7.2	71M654x 的温度系数	97
4.7.3	VREF 温度补偿, 使用本地传感器	98
4.7.4	VREF 温度补偿, 使用远端传感器	99
4.8	连接 I ² C EEPROM	100
4.9	连接 3 线 EEPROM	101
4.10	UART0 (TX/RX)	101
4.11	光接口(UART1)	101
4.12	连接复位引脚	102
4.13	连接仿真器端口	102
4.14	闪存编程	104
4.14.1	通过 ICE 端口编程闪存	104
4.14.2	通过 SPI 端口编程闪存	104
4.15	MPU 固件库	104
4.16	晶振	104
4.17	电表校准	104
5	固件接口	105
5.1	I/O RAM 映射—按功能排序	105
5.2	I/O RAM 映射—按字母排序	111
5.3	CE 接口说明	125
5.3.1	CE 程序	125
5.3.2	CE 数据格式	125
5.3.3	常量	125
5.3.4	环境	126
5.3.5	CE 计算	126
5.3.6	CE 前端数据(原始数据)	127
5.3.7	FCE 状态和控制	127
5.3.8	CE 传递变量	129
5.3.9	脉冲发生器	132
5.3.10	其它 CE 参数	134
5.3.11	CE 校准参数	135
5.3.12	CE 流程图	136
6	电气规格	138

6.1	绝对最大额定值	138
6.2	推荐外部元件	139
6.3	推荐工作条件	139
6.4	性能指标	140
6.4.1	输入逻辑电平	140
6.4.2	输出逻辑电平	140
6.4.3	电池监测器	141
6.4.4	温度监测器	141
6.4.5	电源电流	142
6.4.6	V3P3D 开关	143
6.4.7	内部电源故障比较器	143
6.4.8	2.5V 稳压器—系统电源	143
6.4.9	2.5V 稳压器—电池供电	144
6.4.10	晶振	144
6.4.11	锁相环(PLL)	144
6.4.12	LCD 驱动器	145
6.4.13	VLCD 发生器	146
6.4.14	VREF	148
6.4.15	ADC 转换器	149
6.4.16	IAP-IAN 前置放大器	150
6.5	时序规格	151
6.5.1	闪存	151
6.5.2	SPI 从机	151
6.5.3	EEPROM 接口	151
6.5.4	RESET 引脚	152
6.5.5	RTC	152
6.6	封装图	153
6.6.1	64 引脚 LQFP 封装图	153
6.6.2	100 引脚 LQFP 封装图	154
6.7	封装标识	155
6.8	引脚图	156
6.8.1	71M6541D/F/G LQFP-64 封装引脚排列	156
6.8.2	71M6542F/G LQFP-100 封装引脚排列	157
6.9	引脚说明	158
6.9.1	电源和接地引脚	158
6.9.2	模拟电路引脚	159
6.9.3	数字电路引脚	160
6.9.4	I/O 等效电路	162
7	订购信息	163
7.1	71M6541D/F/G 和 71M6542F/G	163
8	相关信息	163
9	联络信息	163
附录 A:	缩写符号	164
附录 B:	修订历史	165

图

图 1. IC 功能框图	9
图 2. 71M6541D/F/G AFE 方框图(本地传感器)	12
图 3. 71M6541D/F/G AFE 方框图(带 71M6x01)	13
图 4. 71M6542F/G AFE 方框图(本地传感器)	13
图 5. 71M6542F/G AFE 方框图(带 71M6x01)	14
图 6. 复用帧状态($MUX_DIV[3:0] = 3$)	17
图 7. 复用帧状态($MUX_DIV[3:0] = 4$)	17
图 8. 斩波放大器通用拓扑	21
图 9. CROSS 信号, $CHOP_E = 00$	21
图 10. RTM 时序	26
图 11. ADC MUX、CE 和 RTM 串行传输时序关系	26
图 12. 脉冲发生器 FIFO 时序	28
图 13. 累积间隔	29
图 14. 复用周期内采样($MUX_DIV[3:0] = 3$)	30
图 15. 复用周期内采样($MUX_DIV[3:0] = 4$)	30
图 16. 中断结构	47
图 17. 自动温度补偿	54
图 18. 光接口	58
图 19. 光接口(UART1)	59
图 20. 连接外部负载至 DIO 引脚	60
图 21. LCD 波形	68
图 22. 3 线接口: 写命令, $HiZ=0$	72
图 23. 3 线接口: 写命令, $HiZ=1$	72
图 24. 3 线接口: 读命令	72
图 25. 3 线接口: 写命令, $CNT=0$	73
图 26. 3 线接口: 写命令, $HiZ=1$, $WFR=1$	73
图 27. PI 从机端口—典型的多字节读、写操作	75
图 28. 电压、电流、瞬时能量和累积能量	80
图 29. Operation 工作模式状态图	81
图 30. MPU/CE 数据流	91
图 31. 电阻分压(电压检测)	92
图 32. 单端输入 CT (电流检测)	92
图 33. 差分输入 CT (电流检测)	92
图 34. 差分输入锰铜分流器(电流检测)	92
图 35. 71M6541D/F/G (本地传感器)	93
图 36. 71M6541D/F/G (71M6x01 远端传感器)	94
图 37. 71M6542F/G (本地传感器)	95
图 38. 71M6542F/G (71M6x01 远端传感器)	96
图 39. I ² C EEPROM 连接	101
图 40. UART0 连接	101
图 41. 光元件连接	102
图 42. RESET 引脚外部电路: 按钮(左侧)、生产电路(右侧)	102
图 43. 仿真器接口的外部电路	103
图 44. CE 数据流: 复用器和 ADC	136
图 45. CE 数据流: 缩放、增益控制、中间变量	136
图 46. CE 数据流: 平方、求和运算级	137
图 47. 64 引脚 LQFP 封装	153
图 48. 100 引脚 LQFP 封装图	154
图 49. 封装标识(示例)	155
图 50. 71M6541D/F/G (LQFP-64 封装)引脚排列	156
图 51. 71M6542F/G (LQFP-100 封装)引脚排列	157
图 52. I/O 等效电路	162

表

表 1. 本地传感器所要求的 CE 代码和设置	15
表 2. CE 代码和设置(71M6x01 隔离传感器).....	16
表 3. ADC 输入配置	17
表 4. 复用器和 ADC 配置位	19
表 5. RCMD[4:0]位	22
表 6. 远程接口读命令	23
表 7. 用于远端传感器的 I/O RAM 控制位	23
表 8. 复用器输入选择	25
表 9. CKMPU 时钟频率	31
表 10. 存储器映射	32
表 11. 内部数据存储器映射	33
表 12. 特殊功能寄存器映射	33
表 13. 通用 80515 SFR—地址和复位值	34
表 14. PSW 位功能(SFR 0xD0).....	35
表 15. 端口寄存器(SEGDIO0-15)	36
表 16. 展宽存储周期宽度	36
表 17. 波特率发生器	37
表 18. UART 模式	37
表 19. S0CON (UART0)寄存器(SFR 0x98)	38
表 20. S1CON (UART1)寄存器(SFR 0x9B).....	38
表 21. PCON 寄存器位说明(SFR 0x87)	39
表 22. 定时器/计数器模式说明.....	39
表 23. 定时器/计数器模式组合.....	39
表 24. TMOD 寄存器位说明 (SFR 0x89).....	40
表 25. TCON 寄存器位功能(SFR 0x88)	40
表 26. IEN0 位功能(SFR 0xA8).....	41
表 27. The IEN1 位功能 (SFR 0xB8)	41
表 28. IEN2 位功能(SFR 0x9A).....	42
表 29. TCON 位功能(SFR 0x88)	42
表 30. T2CON 位功能(SFR 0xC8).....	42
表 31. IRCON 位功能(SFR 0xC0)	42
表 32. 外部 MPU 中断.....	44
表 33. 中断使能和标识位	44
表 34. 中断优先级组	45
表 35. 中断优先级	45
表 36. 中断优先级寄存器(IP0 和 IP1).....	45
表 37. 中断轮询排序	46
表 38. 中断向量	46
表 39. 闪存访问	48
表 40. 闪存加密	49
表 41. 时钟系统汇总	51
表 42. RTC 控制寄存器	52
表 43. 用于 RTC 温度补偿的 I/O RAM 寄存器	53
表 44. NV RAM 温度表结构	54
表 45. 用于 RTC 中断的 I/O RAM 寄存器	55
表 46. 用于温度和电池测量的 I/O RAM 寄存器	56
表 47. 通过 DIO_Rn[2:0]位的能够选择的资源	59

表 48. SEGDI00 至 SEGDI014 数据/方向寄存器(71M6541D/F/G)	61
表 49. SEGDI019 至 SEGDI027 数据/方向寄存器(71M6541D/F/G)	62
表 50. SEGDI036-39 至 SEGDI044-45 数据/方向寄存器(71M6541D/F/G)	62
表 51. SEGDI051 和 SEGDI055 数据/方向寄存器(71M6541D/F/G)	62
表 52. SEGDI00 至 SEGDI015 数据/方向寄存器(71M6542F/G)	63
表 53. SEGDI016 至 SEGDI031 数据/方向寄存器(71M6542F/G)	64
表 54. SEGDI032 至 SEGDI045 数据/方向寄存器(71M6542F/G)	64
表 55. SEGDI051 至 SEGDI055 数据/方向寄存器(71M6542F/G)	64
表 56. LCD_VMODE[1:0]配置	65
表 57. LCD 配置	67
表 58. SEG46 至 SEG50 的 71M6541D/F/G LCD 数据寄存器	69
表 59. SEG46 至 SEG50 的 71M6542F/G LCD 数据寄存器	70
表 60. 2 线接口对应的 <i>EECTRL</i> 位	71
表 61. 3 线接口对应的 <i>EECTRL</i> 位	71
表 62. SPI 操作字段	74
表 63. SPI 命令时序	75
表 64. SPI 寄存器	76
表 65. <i>TMUX</i> [5:0]选择	79
表 66. <i>TMUX2</i> [4:0]选择	79
表 67. 电路功能	82
表 68. <i>VSTAT</i> [2:0] (<i>SFR</i> 0xF9[2:0])	85
表 69. 唤醒使能和标识位	87
表 70. 唤醒位	89
表 71. WAKE 标识清除事件	90
表 72. <i>GAIN_ADJn</i> 补偿通道	98
表 73. <i>GAIN_ADJn</i> 补偿通道	100
表 74. I/O RAM 映射—按功能排序, 基本配置	105
表 75. I/O RAM 映射—按功能排序	107
表 76. I/O RAM 映射—按功能排序	111
表 77. 标准 CE 代码	125
表 78. CE <i>EQU</i> 公式和单元输入映射	126
表 79. CE 原始数据访问地址	127
表 80. <i>CESTATUS</i> 寄存器	127
表 81. <i>CESTATUS</i> (CE RAM 0x80)位定义	128
表 82. <i>CECONFIG</i> 寄存器	128
表 83. <i>CECONFIG</i> (CE RAM 0x20)位定义	128
表 84. 跌落门限和增益调节控制	129
表 85. CE 传递变量(本地传感器)	130
表 86. CE 传递变量(隔离传感器)	130
表 87. CE 能量测量变量(使用本地传感器)	131
表 88. CE 能量测量变量(隔离传感器)	131
表 89. 其它传递变量	132
表 90. CE 脉冲发生参数	133
表 91. 用于噪声抑制和代码版本的 CE 参数	134
表 92. CE 校准参数	135
表 93. 绝对最大额定值	138
表 94. 推荐外部元件	139
表 95. 推荐工作条件	139

表 96. 输入逻辑电平	140
表 97. 输出逻辑电平	140
表 98. 电池监测器技术指标(<i>TEMP_BAT</i> = 1).....	141
表 99. 温度监测器.....	141
表 100. 电源电流指标	142
表 101. V3P3D 开关技术指标.....	143
表 102. 内部电源故障比较器技术指标.....	143
表 103. 2.5V 稳压器技术指标	143
表 104. 低功耗稳压器技术指标.....	144
表 105. 晶振指标	144
表 106. PLL 技术指标	144
表 107. LCD 驱动器技术指标	145
表 108. LCD 驱动器技术指标	146
表 109. VREF 技术指标.....	148
表 110. ADC 转换器技术指标.....	149
表 111. 前置放大器技术指标	150
表 112. 闪存时序指标	151
表 113. SPI 从机指标.....	151
表 114. EEPROM 接口时序.....	151
表 115. RESET 引脚时序	152
表 116. RTC 的日期范围	152
表 117. 71M6541 封装标识	155
表 118. 71M6542 封装标识	155
表 119. 电源和接地引脚	158
表 120. 模拟电路引脚	159
表 121. 数字电路引脚	160
表 122. 订购信息	163

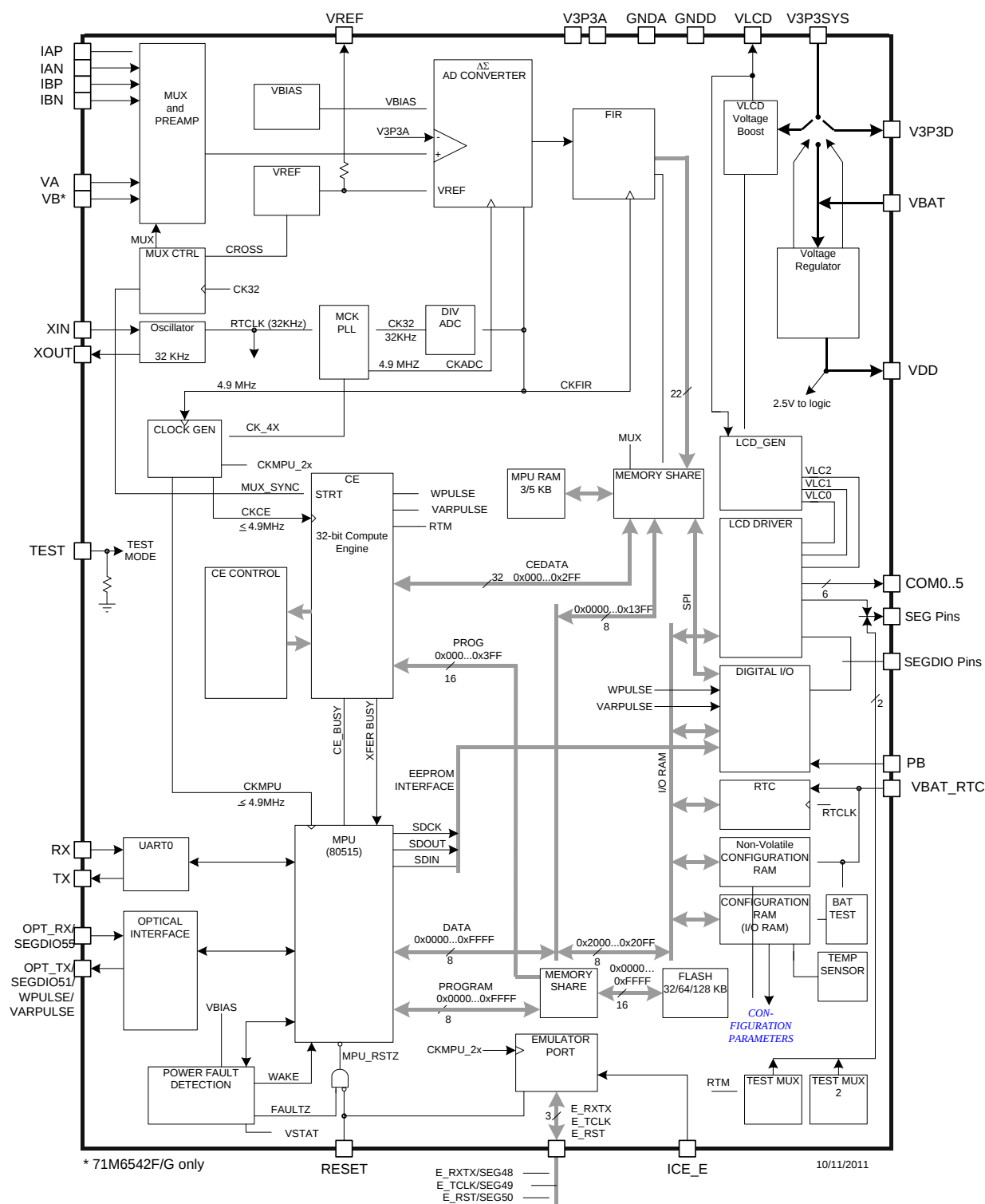


图 1. IC 功能框图

1 引言

本数据资料介绍了 71M6541D (32KB)、71M6541F (64KB)、71M6541G (128KB)、71M6542F (64KB)和 71M6542G (128KB)第四代 Teridian 单相计量 SoC。以下讨论适用于全部的器件特性或性能时，我们将用“71M654x”表示；讨论内容仅适用于特定型号的特性或性能时，将标明相应型号。本数据资料还介绍了配套的 71M6x01 隔离电流传感器器件的基本信息。关于 71M6x01 传感器的更多完整内容，请参见 71M6xxx 的数据资料。

本文介绍了使用本地电流传感器以及配合 71M6x01 隔离电流传感器时，71M654x 的使用方法。利用 71M654x 和 71M6x01 芯片组，可以使用非隔离传感器和隔离分流器构建低成本单相和两相电能表(使用分流器)，获得这类传感器技术前所未有的性能。71M654x SoC 还支持一个本地连接分流器与一个本地连接电流变压器(CT)配置，或者是双 CT 配置。

为方便阅读，通常采用超级链接，链接到本文相关的参考图、表格和章节。本文中的所有超级链接均以蓝色突出显示。本文使用了大量的超级链接，提供详细的参考章节，以增强每一部分的细节描述。为进一步方便阅读，将文章制作成书签 PDF 格式。

建议读者参考本文第 163 页第 8 章“[相关信息](#)”部分列出的文件。

2 硬件说明

2.1 硬件概述

Teridian 71M6541D/F/G 和 71M6542F/G 单芯片计量 IC 集成了实现固态住宅电表所需的全部功能模块，包括：

- 模拟前端(AFE)，具有 22 位二阶 $\Sigma\text{-}\Delta$ ADC
- 独立的 32 位 DSP 数字计算引擎(CE)，实现计量功能
- 8051 兼容微处理器(MPU)，每个时钟周期执行一条指令(80515)
- 精密电压基准(VREF)
- 用于数字温度补偿的温度传感器：
 - 计量数字温度补偿(MPU)
 - RTC 自动数字温度补偿，在任意工作模式下均可使用
- LCD 驱动器
- RAM 和闪存
- 实时时钟(RTC)
- 多种 I/O 引脚
- 电源故障中断
- 过零中断
- 可选的电流传感器接口，用于本地连接传感器及远端传感器(即使用带有检流电阻的 71M6x01 配套 IC)
- 支持锰铜分流器和电流变压器

器件支持锰铜分流器和电流变压器(CT)电流传感器。锰铜分流器可直接连接至 71M654x 器件，或采用配套的 71M6x01 隔离 IC 进行隔离，以构成各种单相/分相(71M6541D/F/G)或两相(71M6542F/G)电表配置。采用低成本、小尺寸脉冲变压器隔离 71M6x01 远端传感器与 71M654x。71M654x 执行与 71M6x01 的双向数字通信，并通过隔离脉冲变压器为 71M6x01 供电。隔离(远端)分流传感器连接至 71M6x01 的差分输入。71M6x01 配套隔离器包括：

- 数字隔离通信接口
- 模拟前端(AFE)
- 精密电压基准(VREF)
- 温度传感器(用于数字温度补偿)
- 全差分分流传感器输入
- 前置放大器，用于优化分流传感器性能
- 隔离电源电路，从 71M654x 发送的脉冲获取直流电源

典型应用中，71M654x 的 32 位计算引擎(CE)顺序处理模拟输入引脚的电压输入，以及从外部 71M6x01 远端传感器获得的采样，并进行计算，测量有功能量(Wh)和无功能量(VARh)，以及四象限表计的 A^2h 和 V^2h 。然后 MPU 存取这些测量值，进一步处理并通过 MPU 的外围器件输出。

除了高级测量功能外，时钟电路允许 71M6541D/F/G 和 71M6542F/G 分时计价(TOU)，用于多费率电表以及防时标窃电或其它篡改事件。测量信息可以显示在工作在低温环境的 3.3V LCD，片上电荷泵用于驱动 5V LCD。灵活的 LCD 段显示功能便于整合现有的定制 LCD。通过软件调节 LCD 段和 DIO 引脚，以满足各种不同需求。

除了带有温度微调的超高精度电压基准外，片上数字温度补偿机制还包括温度传感器和相关控制，用于修正温度对测量值和 RTC 精度的影响，以满足 ANSI 和 IEC 标准的要求。与温度相关的外部元件，例如晶振、电阻分流器、电流变压器(CT)及其相应的信号调理电路，定义其温度特性并编程其修正因子，使得电表在整个工业温度范围内达到高精度计量的要求。

可利用两个内部 UART 其中之一支持红外 LED，提供内部驱动和检测配置，亦可作为标准 UART 使用。可选择 38kHz 调制输出。这种灵活性方便了利用 IR 接口实现 AMR 电表的设计，图 1 所示为 IC 方框图。

2.2 模拟前端(AFE)

AFE 作为数据采集系统, 由 MPU 控制。使用本地连接的传感器时, 如图 2 所示, 模拟输入信号(IAP-IAN、VA、IBP-IBN 和 VB)复用至 ADC 输入并进行采样, 采样数据经 FIR 滤波后储存在 CE RAM 中, 由 CE 进行后续处理。MPU 也可以访问 CE 的 RAM 区。

图 6 所示为对应于图 2 的复用器时序，图 35 所示为对应于图 2 的电表配置。

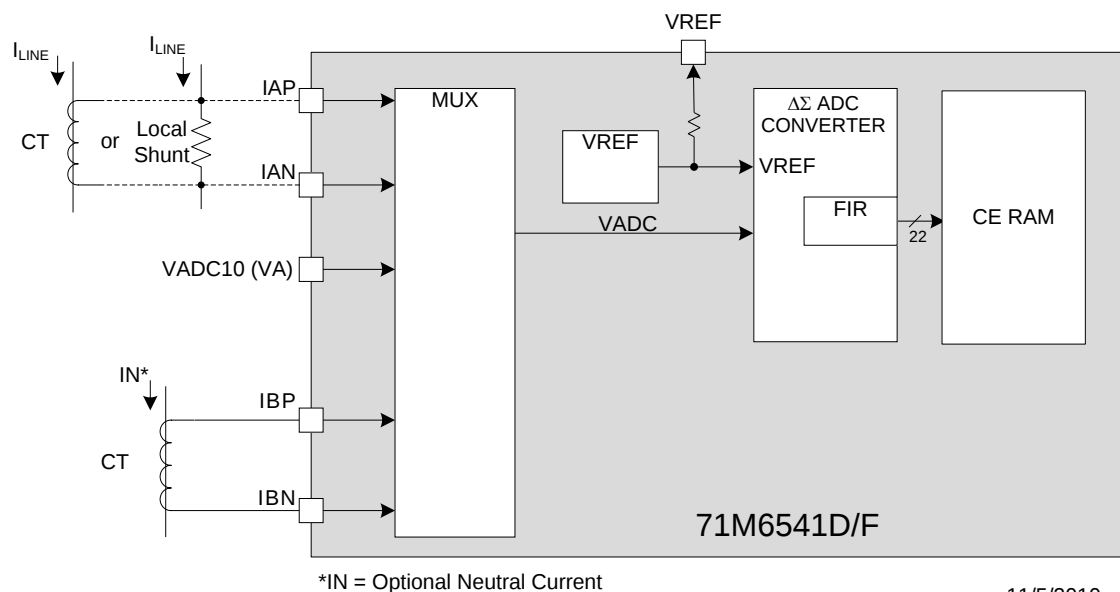


图 2. 71M6541D/F/G AFE 方框图(本地传感器)

图 3 所示为 71M6541D/F/G 复用器接口，带有一个本地分流传感器和一个远端电阻分流传感器。如图 3 所示，远端隔离分流传感器通过 71M6x01 连接，该电流通道的采样不会切换至复用器，而是通过数字隔离接口直接传送到 71M6541D/F/G，并直接储存在 CE RAM。

图 6 所示为对应于图 3 的复用器时序；图 36 所示为对应于图 3 的电表配置。

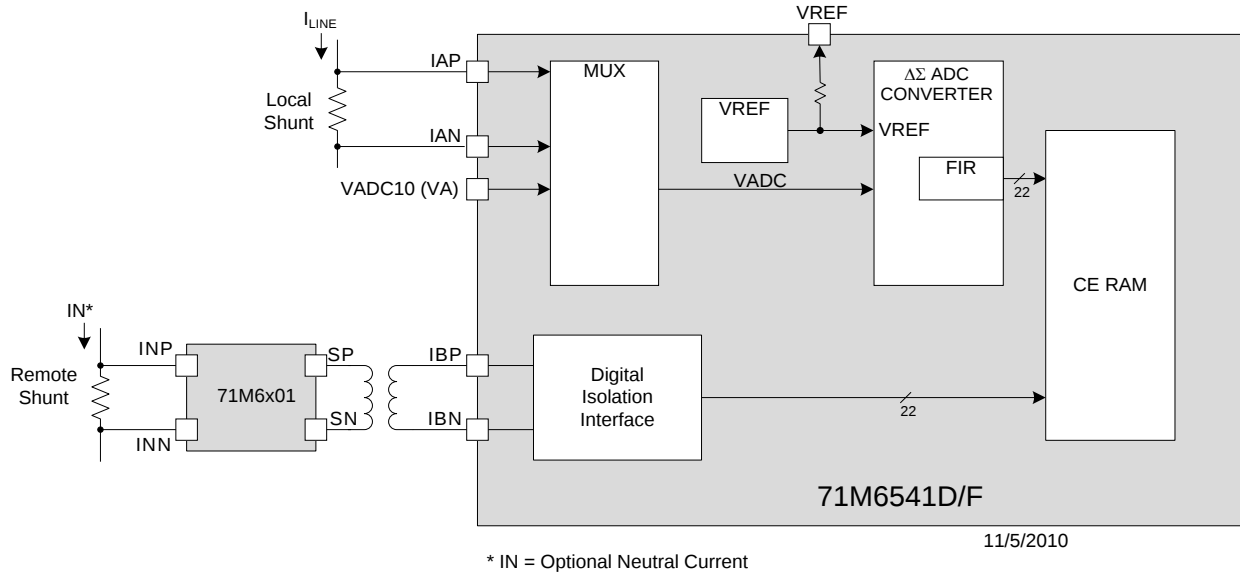


图 3. 71M6541D/F/G AFE 方框图(带 71M6x01)

图 4 所示为连接了本地传感器的 71M6542F/G AFE。模式输入信号(IAP-IAN、VA、IBP-IBN 和 VB)复用至 ADC 输入并进行采样，采样数据经 FIR 滤波后储存在 CE RAM 中，由 CE 进行后续处理。MPU 也可以访问 CE 的 RAM 区。

图 7 所示为对应于图 4 的复用器时序；图 37 所示为对应于图 4 的电表配置。

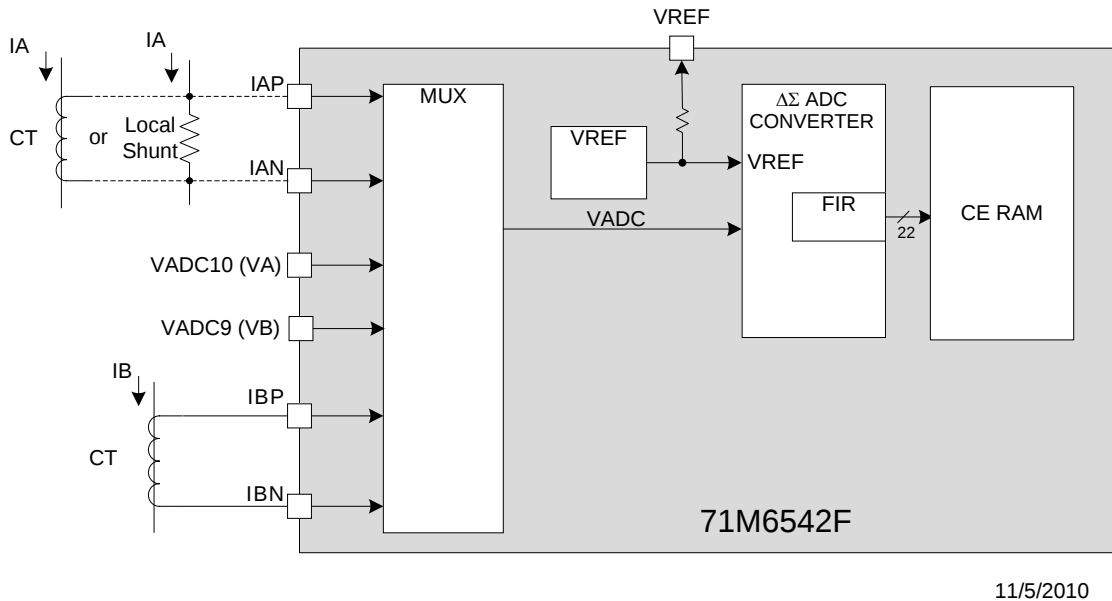


图 4. 71M6542F/G AFE 方框图(本地传感器)

图 5 所示为 71M6542F/G 复用器接口，带有一个本地传感器和一个远端电阻分流传感器。如图 5 所示，远端隔离分流传感器通过 71M6x01 连接，该电流通道的采样不会切换至复用器，而是通过数字隔离接口直接传输至 71M6542F/G，并直接储存在 CE RAM。

图 6 所示为对应于图 5 的复用器时序；图 38 所示为对应于图 5 的电表配置。

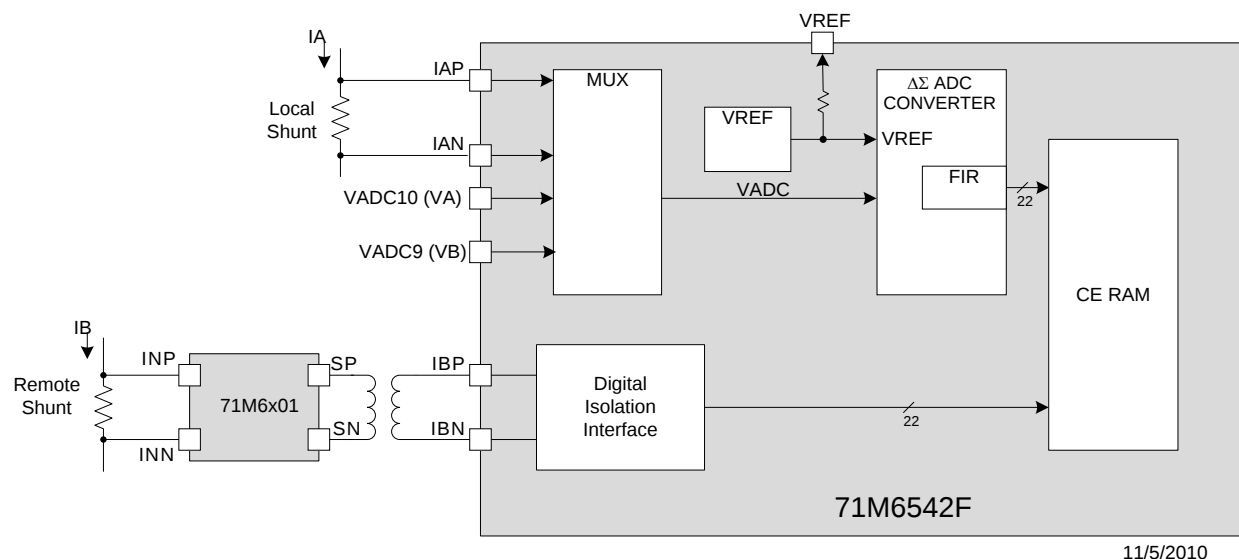


图 5. 71M6542F/G AFE 方框图(带 71M6x01)

2.2.1 信号输入引脚

71M6541D/F/G 具有 5 路 ADC 输入；71M6542F/G 具有 6 路 ADC 输入。

IAP-IAN 和 IBP-IBN 用作电流传感器输入。这 4 路电流传感器输入可配置为 4 路单端输入，或者配对构成 2 路差分输入。为获得最佳性能，建议将电流传感器输入配置为差分输入(即：IAP-IAN 和 IBP-IBN)。第 1 路差分输入(IAP-IAN)具有前置放大器，增益可选择 1 或 8，用于直接连接分流电阻传感器，还可使用电流变压器(CT)。剩下的一路差分对(IBP-IBN)可用于 CT 或连接远端 71M6x01 隔离电流传感器，使用低成本脉冲变压器为分流电阻传感器提供隔离。

71M6541D/F/G (VA)的其余输入为单端配置，在单相电表应用中按照式 0 或式 1 (见第 25 页 2.3.4 节表计公式表计公式)检测电网电压。71M6542F/G 具有一路附加的单端电压检测输入(VB)，支持式 2 对应的 2 相应应用。这些单端输入以 V3P3A 引脚为参考。

所有模拟信号均以电压方式测量。使用分流传感器时，通过测量分流器两端的电压降测量电流。参见图 3，分流传感器直接连接至 71M654x (称为“本地”分流传感器)，或通过隔离 71M6x01 连接(称为“远端”分流传感器)。使用电流变压器(CT)时，通过连接至 CT 次级线圈的负载电阻的电压测量电流。同时，通过电阻分压检测电网电压。VA 和 VB 引脚(VB 仅在 71M6542F/G 中提供)为单端，其公共回路为 V3P3A 引脚。

引脚 IAP-IAN 可独立设置为差分或单端，由 *DIFFA_E* (I/O RAM 0x210C[4])控制位决定。然而，对于大多数应用，IAP-IAN 配置为差分输入，结合外部相应的信号调整电路连接至 IAP-IAN (参见第 92 页的 4.2 直接连接传感器)。

利用 I/O RAM 控制位 *PRE_E* (I/O RAM 0x2704[5])激活固定增益为 8 的前置放大器，可增强 IAP-IAN 引脚的性能。*PRE_E* = 1 时，IAP-IAN 配置为 8x 增益的前置放大器输入，放大器输出送至复用器。使用低灵敏度电流传感器时，例如锰铜分流器，8x 放大器非常有用。*PRE_E* 置位时，IAP-IAN 输入信号幅度峰值限制在 $250/8 = 31.25\text{mV}$ 。

对于使用两个锰铜分流传感器的 71M654x (图 3)，通过置位 *DIFFA_E* 控制位，将 IAP-IAN 引脚配置成差分模式，连接至本地分流器。同时，通过置位 *RMT_E* 控制位(I/O RAM 0x2709[3])，将 IBP-IBN 引脚重新配置为数字平衡对，用于 Teridian 71M6x01 隔离传感器接口的通信。71M6x01 通过低成本脉冲变压器，利用双向数据流与 71M654x 进行数据交换。71M654x 还通过隔离变压器为 71M6x01 供电。本章末尾对这一类型的接口进行了更深入的说明(参见第 2.2.8 节 71M6x01 隔离传感器接口(远端传感器接口))。

如图 2 所示，为了使用电流变压器(CT)，将 *RMT_E* 控制位复位，从而使 IBP-IBN 引脚配置成本地模拟输入。IAP-IAN 引脚不能配置成远端传感器接口。

2.2.2 输入复用器

使用本地传感器工作时，输入复用器将来自模拟输入引脚的输入信号依次施加到 ADC 的输入(见图 2 和图 4)。一个完整的采样过程称为一个复用帧。71M6541D/F/G 复用器的每个复用帧可选择最多三路输入信号(IAP-IAN、VA 和 IBP-IBN)，由 I/O RAM 控制字段 *MUX_DIV*[3:0] (I/O RAM 0x2100[7:4])控制(见图 6)。71M6542F/G 复用器增加了 VB 信号，共支持四路输入(见图 7)。复用器总是从状态 1 开始，然后继续，直到转换完成 *MUX_DIV*[3:0]决定的所有状态。

71M6541D/F/G 和 71M6542F/G 均需要针对特定应用编写的 CE 代码。此外，每个 CE 代码都需要特定的 AFE 和 MUX 设置才能正常工作。表 1 列出了与图 2 和图 4 中本地传感器配置相对应的 CE 代码和设置。表 2 列出了与图 3 和图 5 中使用本地/71M6x01/远端传感器配置相对应的 CE 代码和设置。

表 1. 本地传感器所要求的 CE 代码和设置

I/O RAM 助记符	I/O RAM 位置	71M6541D/F/G (十六进制)	71M6542F/G (十六进制)	
			Eq. 0 or 1	Eq. 2
<i>FIR_LEN</i> [1:0]	210C[2:1]	1	1	2
<i>ADC_DIV</i>	2200[5]	1	1	0
<i>PLL_FAST</i>	2200[4]	1	1	1
<i>MUX_DIV</i> [3:0]	2100[7:4]	3	3	4
<i>MUX0_SEL</i> [3:0]	2105[3:0]	0	0	0
<i>MUX1_SEL</i> [3:0]	2105[7:4]	A	A	A
<i>MUX2_SEL</i> [3:0]	2104[3:0]	2	2	2
<i>MUX3_SEL</i> [3:0]	2104[7:4]	1	1	9
<i>RMT_E</i>	2709[3]	0	0	0
<i>DIFFA_E</i>	210C[4]	1	1	1
<i>DIFFB_E</i>	210C[5]	1	1	1
<i>EQU</i> [2:0]	2106[7:5]	0 或 1	0 或 1	2
CE 代码	--	CE41A01	CE41A01	CE41A04
公式	--	0 或 1	0 或 1	2
电流传感器类型	--	1 个分流器和 1 个 CT 或 2 个 CT	1 个分流器和 1 个 CT 或 2 个 CT	1 个分流器和 1 个 CT 或 2 个 CT
对应电路图	--	图 2	图 4	图 4
注： TERIDIAN 定期更新 CE 代码。关于最新的 CE 代码和相关设置，请联系当地的 TERIDIAN 代表处。本表给出的配置由 MPU 示例代码在初始化期间设置。				

表 2. CE 代码和设置(71M6x01 隔离传感器)

I/O RAM 助记符	I/O RAM 位置	71M6541D/F/G (十六进制)	71M6542F/G (十六进制)
<i>FIR_LEN[1:0]</i>	210C[2:1]	1	1
<i>ADC_DIV</i>	2200[5]	1	1
<i>PLL_FAST</i>	2200[4]	1	1
<i>MUX_DIV[3:0]</i>	2100[7:4]	3	3
<i>MUX0_SEL[3:0]</i>	2105[3:0]	0	0
<i>MUX1_SEL[3:0]</i>	2105[7:4]	A	A
<i>MUX2_SEL[3:0]</i> ¹	2104[3:0]	1	9
<i>MUX3_SEL[3:0]</i> ¹	2104[7:4]	1	1
<i>RMT_E</i>	2709[3]	1	1
<i>DIFFA_E</i>	210C[4]	1	1
<i>DIFFB_E</i>	210C[5]	0	0
<i>EQU[2:0]</i>	2106[7:5]	0 或 1	0、1 或 2
CE 代码	--	CE41B016201 ² CE41B016601 ³	
公式	--	0, 1	0、1 和 2
电流传感器类型	--	1 个本地分流器和一个远端分离器	1 个本地分流器和一个远端分离器
对应电路图	--	图 3	图 5
注: 1. 尽管没有使用, 须将其置为 1 (CE 将忽略采样数据) 2. 带 71M6201 远端传感器(200A)的 71M654x 3. 带 71M6601 远端传感器(60A)的 71M654x Teridian 定期更新 CE 代码。关于最新的 CE 代码和相关设置, 请联系当地的 TERIDIAN 代表处。 本表中给出的配置由 MPU 示例代码在初始化期间设置。			



如果使用表 1 和表 2 列出的 I/O RAM 助记符设置与对应的 CE 代码不匹配, 则会产生负面影响, MPU 不会选中。请联系当地的 TERIDIAN 代表处获取与之对应的正确 CE 代码和 AFE/MUX 设置。

对于基本的单相电表, IAP-IAN 电流输入配置为差分模式, 而 VA 引脚为单端输入, 通常通过电阻分压器连接到相电压。IBP-IBN 差分输入可选择用于检测零线电流。这种配置意味着复用器将三路输入之和加至 ADC, 复用器时序如图 6 所示。这种配置下, 采样 IAP-IAN、IBP-IBN 和 VA, 额外的转换时隙(即时隙 2)为可选的零线电流, 如果不需要, 则可省略测量零线电流的电流传感器。

对于标准防窃电应用, 零线电流回路需要安装电流传感器, 两路电流输入可配置为差分模式, 使用 IAP-IAN 和 IBP-IBN 输入对。这意味着复用器将三路输入加至 ADC。在这类应用中, 系统设计通过 IAP-IAN 和 IBP-IBN 使用两个本地电流传感器, 如图 2 所示, 配置为差分输入。或者, IAP-IAN 对配置为差分输入并连接至本地电流分流器, 配置 IBP-IBN 连接隔离的 71M6x01 远端传感器(即 *RMT_E* = 1), 如图 3 所示。VA 引脚通常通过电阻分压器连接至相电压。对于这种配置, 复用帧如图 6 所示, 时隙 2 不使用, 并被 CE 忽略, 因为对应于远端传感器(IBP-IBN)的采样不通过复用器, 将直接储存在 CE RAM 中。在复用帧的后半部分对远端电流传感器采样, 并且知道它与 VA 电压的准确采样间隔, 以进行正确的延迟补偿。

71M6542F 支持第二相电压(加至 VB 引脚)的计量, 非常适合具有两个电压和两个电流传感器的应用, 例如, 按照式 2 进行计量的 2 相电表($P = VA \cdot IA + VB \cdot IB$)。图 7 所示为利用本地连接传感器处理四路输入(图 3)的复用器时序。使用一个本地和一个远端传感器(图 5)时, 复用器时序与图 7 相同。

对于图 6 和图 7 所示复用器时序，帧持续时间为 13 个 CK32 周期(其中 CK32 = 32768Hz)，因此，采样率为 $32768\text{Hz} / 13 = 2520.6\text{Hz}$ 。

表 3 汇总了各种 AFE 输入配置。

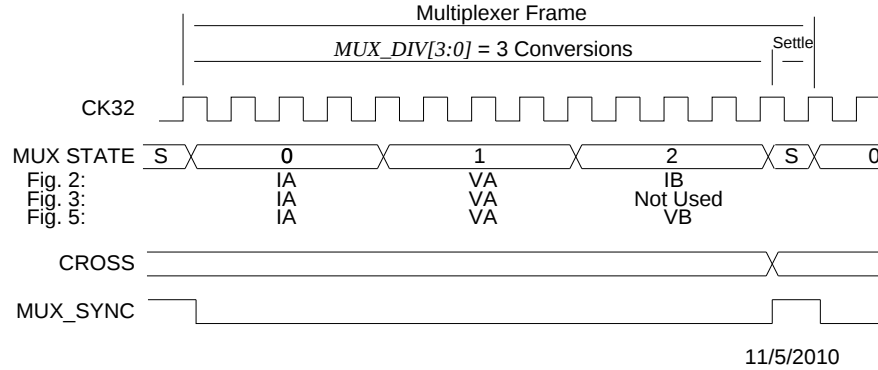


图 6. 复用帧状态($MUX_DIV[3:0] = 3$)

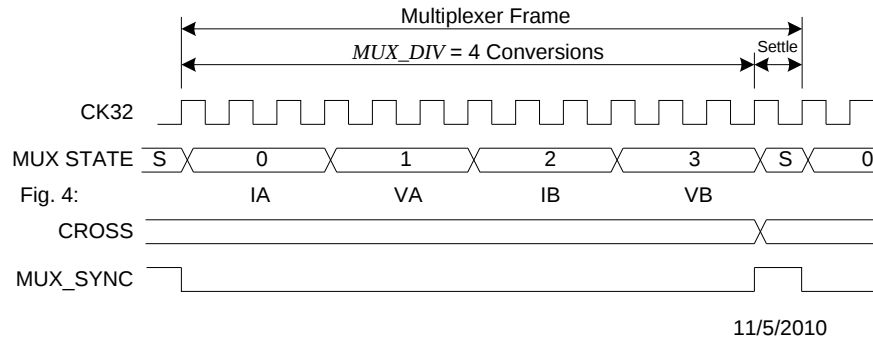


图 7. 复用帧状态($MUX_DIV[3:0] = 4$)

表 3. ADC 输入配置

引脚	ADC 通道	所需设置	注释
IAP	ADC0	$DIFFA_E = 1$	必须通过 $DIFFA_E = 1$ (I/O RAM 0x210C[4])选择差分模式，ADC 结果储存在 CE RAM 单元 ADC0 (CE RAM 0x0)，不会影响 ADC1 (CE RAM 0x1)。
IAN	ADC1		
IBP	ADC2	$DIFFB_E = 1$ or $RMT_E = 1$	对于本地连接的传感器(图 2 和图 4)，必须通过置位 $DIFFB_E$ (I/O RAM 0x210C[5])启用差分输入。 对于远端连接的分流器传感器(图 3 和图 5)，必须置位 RMT_E (I/O RAM 0x2709[3])。 无论何种情况，ADC 结果均储存在 CE RAM 单元 ADC2 (CE RAM 0x2)，不会影响 ADC3 (CE RAM 0x3)。
IBN	ADC3		
VA	ADC10	--	仅限单端模式。ADC 结果储存在 RAM 单元 ADC10 (CE RAM 0xA)。
VB	ADC9	--	仅限单端模式(71M6542F)。ADC 结果储存在 RAM 单元 ADC9 (CE RAM 0x9)。

复用器切换、FIR 启动以及选择 ADC 基准电压(使用内部 CROSS 信号, 参见第 2.2.7 节电压基准)由内部 MUX_CTRL 电路控制。此外, MUX_CTRL 控制每次 CE 代码的执行。从概念上讲, MUX_CTRL 由 PLL 模块的 32768 Hz 时钟 CK32 驱动。下面是 MUX_CTRL 电路管理寄存器:

- CHOP_E[1:0] (I/O RAM 0x2106[3:2])
- MUX_DIV[3:0] (I/O RAM 0x2100[7:4])
- FIR_LEN[1:0] (I/O RAM 0x210C[2:1])
- ADC_DIV (I/O RAM 0x2200[5])

每个复用器状态的持续时间取决于 FIR 处理的 ADC 采样通道数量, 由 FIR_LEN[1:0] (I/O RAM 0x210C[2:1]) 控制字段决定。每个复用器状态从 32kHz 时钟 CK32 的上升沿开始。

建议在更改 ADC 配置时将 MUX_DIV[3:0] (I/O RAM 0x2200[7:4]) 设置为 0, 虽然不是必须要求, 这样做有助于将 ADC 输入之间瞬间短路引起的系统瞬变降至最小, 特别是在更改 DIFFn_E 控制位(I/O RAM 0x210C[5:4])的情况下。设置该配置位后, MUX_DIV[3:0] 应设置在所需要的数值。

此外, 可将 ADC 配置为工作在 1/2 速率 ($32768 \times 75 = 2.46\text{MHz}$)。该模式下, ADC 放大器的偏置电流减小, 总体系统功耗降低。ADC_DIV (I/O RAM 0x2200[5]) 位选择全速或半速运行。半速运行时, 如果 FIR_LEN[1:0] 设为 01 (288), 每次转换需要 4 个 XTAL 周期, MUX_DIV[3:0] = 3 时采样速率为 2520Hz。注意, 为了工作在低功耗模式, 需要采用相应的 CE 代码。

CK32 周期中每个时隙的持续时间取决于 FIR_LEN[1:0]、ADC_DIV 和 PLL_FAST。

$$\text{Time_Slot_Duration (PLL_FAST = 1)} = (\text{FIR_LEN}[1:0] + 1) * (\text{ADC_DIV} + 1)$$

$$\text{Time_Slot_Duration (PLL_FAST = 0)} = 3 * (\text{FIR_LEN}[1:0] + 1) * (\text{ADC_DIV} + 1)$$

CK32 周期中复用帧的持续时间为:

$$\text{MUX_Frame_Duration} = 3 * \text{PLL_FAST} + \text{Time_Slot_Duration} * \text{MUX_DIV}[3:0]$$

CK_FIR 周期中复用帧的持续时间为:

MUX frame duration (CK_FIR cycles) =

$$[3 * \text{PLL_FAST} + \text{Time_Slot_Duration} * \text{MUX_DIV}] * (48 + \text{PLL_FAST} * 102)$$

可通过 MUXx_SEL 控制字段(I/O RAM 0x2100 至 0x2105)编程 ADC 转换时序。如上所述, 71M6541D/F/G 中有三个 ADC 时隙, 71M6542F/G 中有四个 ADC 时隙, 由 MUX_DIV[3:0] (I/O RAM 0x2100[7:4]) 设置。表达式 MUXx_SEL[3:0] = n 中, “x”指复用帧时隙数量, n 指相应的 ADC 输入编号或 ADC 序号(即 ADC0 至 ADC10, 或简单的 0 至 10 十进制数)。由此, 在 71M654x 器件共有 11 个有效的 ADC 序号。例如, 如果 MUX0_SEL[3:0] = 0, 那么 ADC0, 对应于来自于 IAP-IAN 输入(配置为差分输入)的采样, 定位在复用帧的时隙 0。关于相应的 MUXx_SEL[3:0] 设置及适用于特定 CE 代码的其它设置, 请参见表 1 和表 2。

注意, 启用远程传感器接口时, 即使对应于远端传感器电流(IBP-IBN)的采样不通过复用器, 也必须采用未使用的有效 ADC 序号写 MUX2_SEL[3:0] 和 MUX3_SEL[3:0] 控制字。通常情况下, 采用 ADC1 (见表 2)。按照这种方式, 71M6541D/F/G 或 71M6542F/G 中未使用的 ADC1 序号被作为复用帧中的占位符, 以生成正确的复用帧时序和正确的采样率。储存在 CE RAM 0x1 中的结果数据未定义, CE 代码忽略。同时, 数字隔离接口负责自动将远端接口电流(IBP-IBN)的采样储存在 CE RAM 0x2。



CE 代码中的延迟补偿和其它功能要求 *MUX_DIV*[3:0]、*MUXx_SEL*[3:0]、*RMT_E*、*FIR_LEN*[1:0]、*ADC_DIV* 和 *PLL_FAST* 的设置对于给定的 CE 代码是固定的。关于 71M6541D/F/G 和 71M6542F/G 的合理设置，请参见表 1 和表 2。

表 4 汇总了用于配置复用器、信号引脚和 ADC 的 I/O RAM 寄存器。所有列出的寄存器在复位及从电池模式唤醒后清零，可进行读、写操作。

表 4. 复用器和 ADC 配置位

名称	位置	说明
<i>MUX0_SEL</i> [3:0]	2105[3:0]	选择在时隙 0 期间转换 ADC 输入。
<i>MUX1_SEL</i> [3:0]	2105[7:4]	选择在时隙 1 期间转换 ADC 输入。
<i>MUX2_SEL</i> [3:0]	2104[3:0]	选择在时隙 2 期间转换 ADC 输入。
<i>MUX3_SEL</i> [3:0]	2104[7:4]	选择在时隙 3 期间转换 ADC 输入。
<i>MUX4_SEL</i> [3:0]	2103[3:0]	选择在时隙 4 期间转换 ADC 输入。
<i>MUX5_SEL</i> [3:0]	2103[7:4]	选择在时隙 5 期间转换 ADC 输入。
<i>MUX6_SEL</i> [3:0]	2102[3:0]	选择在时隙 6 期间转换 ADC 输入。
<i>MUX7_SEL</i> [3:0]	2102[7:0]	选择在时隙 7 期间转换 ADC 输入。
<i>MUX8_SEL</i> [3:0]	2101[3:0]	选择在时隙 8 期间转换 ADC 输入。
<i>MUX9_SEL</i> [3:0]	2101[7:0]	选择在时隙 9 期间转换 ADC 输入。
<i>MUX10_SEL</i> [3:0]	2100[3:0]	选择在时隙 10 期间转换 ADC 输入。
<i>ADC_DIV</i>	2200[5]	控制 ADC 和 FIR 时钟速率。
<i>MUX_DIV</i> [3:0]	2100[7:4]	每个复用帧中 ADC 时隙的数量(最大 = 11)。
<i>PLL_FAST</i>	2200[4]	控制 PLL 和 MCK 速率。
<i>FIR_LEN</i> [1:0]	210C[1]	决定 ADC 抽样 FIR 滤波器中的 ADC 周期数。
<i>DIFFA_E</i>	210C[4]	使能模拟输入引脚 IAP-IAN 的差分配置。
<i>DIFFB_E</i>	210C[5]	使能模拟输入引脚 IBP-IBN 的差分配置。
<i>RMT_E</i>	2709[3]	使能远程传感器接口，将引脚 IBP-IBN 转换为数字平衡差分对，与 71M6x01 传感器通信。
<i>PRE_E</i>	2704[5]	使能 8x 前置放大器。
关于这些 I/O RAM 位置的详细信息，请参见从第 111 页开始的表 76。		

2.2.3 延迟补偿

测量单相能量(即 Wh 和 VARh)时，必须对该相电压和电流同步采样。否则，会产生相位差 ϕ ，进而引入误差。

$$\phi = \frac{t_{\text{delay}}}{T} \cdot 360^\circ = t_{\text{delay}} \cdot f \cdot 360^\circ$$

式中， f 为输入信号的频率， $T = 1/f$ ， t_{delay} 为电流和电压之间的采样延迟。

传统上，采样是通过控制每相的两个 A/D 转换器(一个用于电压，另一个用于电流)同时采样实现的。而 Teridian 的单转换器技术利用其 CE 的 32 位信号处理能力，实现了“固定延迟”全通滤波器。全通滤波器修正采用单路复用 A/D 转换器引起的电压和对应电流采样之间的转换时间差。

“固定延迟”全通滤波器提供 $360^\circ - \theta$ 宽频带延迟，它与给定相的电压和电流之间的采样时间差精确匹配。该数字滤波器不影响信号幅值，但提供精确受控的相位响应。

推荐 ADC 复用序列首先采样电流，随后采样对应相的电压，由此，电压比电流延迟一个相位角 Φ 。CE 内执行的延迟补偿首先将电流采样延迟一个完整的采样间隔(即 360°)，然后使电压采样通过全通滤波器，由此将电压采样延迟 $360^\circ - \theta$ ，造成电流与对应电压之间的相位误差为 $\theta - \Phi$ ，从而将电压样本与对应的电流样本对齐。剩余相位误差可忽略不计，100Hz 时，误差通常小于 ± 1.5 毫度，所以不会引起能量测量误差。

使用远程传感器时，CE 执行与上述相同的延迟补偿，将每个电压采样与对应的电流采样对齐。即使远程电流采样不通过 71M654x 复用器，如果按照表 1 和表 2 对 $MUXn_SEL[3:0]$ 时隙分配字段编程，它与对应电压的定时关系也是固定且精确可知的。

2.2.4 ADC前置放大器

ADC 前置放大器为低噪声差分放大器，固定增益 8 仅可用于 IAP-IAN 传感器输入引脚。通过置位 $PRE_E = 1$ (I/O RAM 0x2704[5])使能 8 倍增益。禁用时，前置放大器的电源电流 $< 10nA$ ，增益为单位增益。正确设置 PRE_E 和 $DIFFA_E$ (I/O RAM 0x210C[4])位，无论是否选择差分模式，均可使用前置放大器。为获得最佳性能，建议使用差分模式。为节约功率，根据 ADC_DIV 控制位(I/O RAM 0x2200[5])调节前置放大器和 ADC 的偏置电流。

2.2.5 A/D转换器(ADC)

利用 2 阶 $\Sigma\text{-}\Delta$ A/D 转换器量化输入电压和电流。ADC 分辨率(包括符号位)为 21 位($FIR_LEN[1:0] = 1$, I/O RAM 0x210C[2:1])或 22 位($FIR_LEN[1:0] = 2$)。ADC 时钟由 CKADC 驱动。

如上所述，由 MUX_CTRL 内部电路控制每次 ADC 转换的启动。ADC 转换结束时，FIR 滤波器输出数据储存至 CE RAM，地址由复用器选项决定。该数据以 LSB 对齐并左移 9 位存储。

2.2.6 FIR滤波器

有限冲击响应滤波器是 ADC 的一部分，针对复用器进行优化，使 ADC 输出达到所要求的分辨率。每次 ADC 转换结束时，输出数据储存至固定的 CE RAM 地址，由表 1 和表 2 所示复用器选项决定地址。

2.2.7 电压基准

带隙基准为 ADC 提供基准电压，基准幅值为斩波稳定，可由 MPU 利用 I/O RAM 控制字段 $CHOP_E[1:0]$ (I/O RAM 0x2106[3:2])使能或禁用斩波电路。 $CHOP_E[1:0]$ 字段中的两位使能 MPU，将斩波电路置于标准模式或反相模式，或者自动切换模式(推荐)。斩波电路在复用周期之间切换时，VREF 的直流失调被自动调整为零，因此，斩波电路必须配置为其中一种自动切换模式。

电压基准(VREF)的后级放大器通常存在长期失调电压，通过斩波电路可以自动消除失调电压的影响，提供稳定的 VREF。71M654x 和 71M6x01 均具有斩波电路，用于各自的 VREF 电压基准。

斩波放大器的典型拓扑如图 8 所示。CROSS 信号为内部信号，不能通过引脚或寄存器进行直接操作。

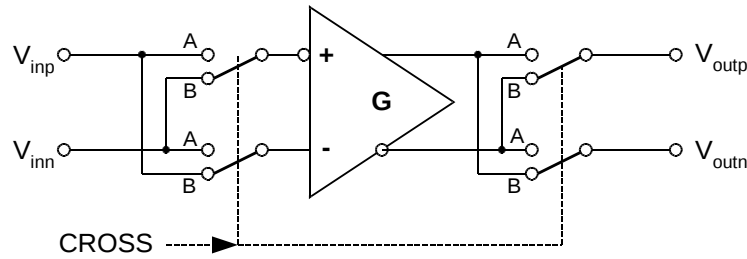


图 8. 斩波放大器通用拓扑

假设在放大器正极输入上有一个偏移电压 V_{off} 。由 CROSS (内部信号) 控制所有开关处于 A 位置时, 输出电压为:

$$V_{outp} - V_{outn} = G (V_{inp} + V_{off} - V_{inn}) = G (V_{inp} - V_{inn}) + G V_{off}$$

通过施加反相 CROSS 信号将所有开关处于 B 位置时, 输出电压为:

$$V_{outn} - V_{outp} = G (V_{inn} - V_{inp} + V_{off}) = G (V_{inn} - V_{inp}) + G V_{off}, \text{ 或者}$$

$$V_{outp} - V_{outn} = G (V_{inp} - V_{inn}) - G V_{off}$$

因此, CROSS 切换时, 例如每个复用周期之后, 输出偏移表现为正、负交替, 从而消除漂移, 不受极性 or 幅值影响。

CROSS 为高电平时, 放大器输入连接反转。维持放大器增益的总体极性, 将输入失调反相。通过交替反转连接, 对放大器失调取平均, 结果为零。这样就消除了电压基准中常见的长期失调。*CHOP_E[1:0]* (I/O RAM 0x2106[3:2]) 控制字段使能 CROSS 功能。CROSS 信号反转电压基准中的放大器连接, 以抵消失调的影响。在复用序列的最后一个转换状态之后的第一个 CK32 上升沿, 复用器在开始新帧之前额外等待一个 CK32 周期。该周期开始时, 根据 *CHOP_E[1:0]* 字段更新 CROSS 数值。额外的 CK32 周期使斩波 VREF 有时间达到稳定。在此期间, MUXSYNC 保持为高电平。MUXSYNC 的前沿启动一次 CE 程序的运行, 开始时读取四个 RTM 字。

CHOP_E[1:0] 有四个状态: 正极、反相, 以及两种自动切换状态。正极状态下, *CHOP_E[1:0] = 01*, CROSS 保持为低电平; 反相状态下, *CHOP_E[1:0] = 10*, CROSS 保持为高电平。

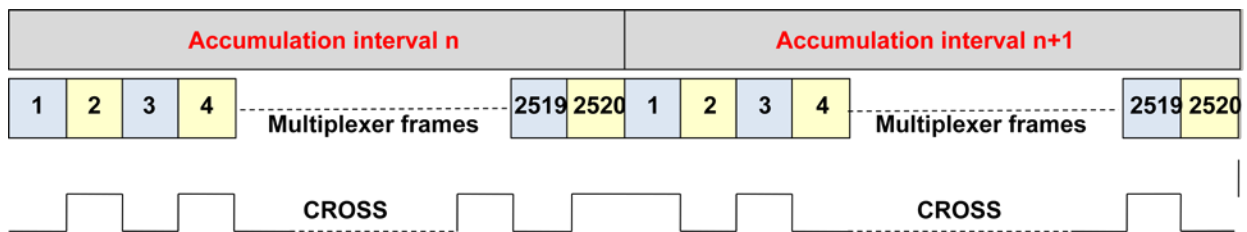
图 9. CROSS 信号, *CHOP_E = 00*

图 9 所示为 *CHOP_E[1:0] = 00* 时两个累积间隔的 CROSS 信号。第一个间隔末尾, CROSS 为高电平; 第二个间隔末尾, CROSS 为低电平。*CHOP_E[1:0] = 00* 时, 不需要 MPU 控制斩波器。

在第二个自动切换状态, *CHOP_E[1:0] = 11*, CROSS 在累积间隔的最后一个复用周期结束时不切换。

低功耗电压基准用于 LCD 驱动电路和控制进入、退出电池供电模式的比较器。

2.2.8 71M6x01 隔离传感器接口(远端传感器接口)

2.2.8.1 概述

非隔离传感器，例如电阻分流器，可通过 71M6x01 和脉冲变压 (图 36 所示为该传感器接口的顶层方框图) 的组合连接至 71M654x。71M6x01 通过脉冲变压器直接从 71M654x 取电，无需专用的供电电路。71M6x01 建立与 71M654x 的双向通信，通过串行数据流提供电流采样和辅助信息(例如：传感器温度)。

71M6541D/F/G 和 71M6542F/G 均支持 71M6x01 隔离传感器。使能该功能时，两个模拟电流输入引脚 IBP 和 IBN 成为连接至远程传感器的数字平衡差分接口，详细信息请参考表 3。

每个 71M6x01 远端传感器由以下模块组成：

- 电源，用于从 71M654x 接收的电源脉冲
- 数字通信接口
- 分流信号前置放大器
- Σ - Δ ADC 转换器，带有高精度带隙基准(斩波放大器)
- 温度传感器
- 熔丝器件，包含部件相关信息

在常规的复用周期内，71M654x 利用 $MUX_DIV[3:0]$ (I/O RAM 0x2100[7:4])决定使能哪个通道。同时，对远端传感器的调制器输出进行采样。每个转换结果在 CE 操作时隙写入 CE RAM。关于采样信号的 CE RAM 地址，请参见表 3。

2.2.8.2 71M654x和 71M6x01 隔离传感器之间的通信

71M6x01 的 ADC 定时时钟来自 71M654x 产生的脉冲信号。电源脉冲的产生，以及 71M654x 和 71M6x01 远端传感器之间的通信协议通过硬件自动完成，用户无需进行任何操作，本数据资料不作详细介绍。

2.2.8.3 71M6x01 隔离传感器的控制

71M654x 可读、写每个 71M6x01 远端传感器的特定字节信息。

读取数据由 $RCMD[4:0]$ 和 $TMUXRn[2:0]$ 组合选择。为执行对 71M6x01 器件的读操作，MPU 首先写 $TMUXRn[2:0]$ 字段(其中 $n = 2, 4, 6$ ，分别位于 I/O RAM 0x270A[2:0]、0x270A[6:4]和 0x2709[2:0])。接着，MPU 根据所要求的命令和相选择写入 $RCMD[4:0]$ (SFR 0xFC[4:0])。 $RCMD[4:2]$ 位清零时，操作完成，请求发送的数据位于 $RMT_RD[15:0]$ (I/O RAM 0x2602[7:0]为 MSB，0x2603[7:0]为 LSB)。操作期间还更新读取奇偶校验位 $PERR_RD$ (SFR 0xFC[6])。如果 MPU 在完成上次读操作之前写入 $RCMD[4:0]$ ，则忽略命令。因此，MPU 在继续发出下一条读命令之前必须判断 $RCMD[4:2]$ 是否清零。

$RCMD[4:0]$ 字段分为两个子域：COMMAND= $RCMD[4:2]$ 和 PHASE= $RCMD[1:0]$ ，如表 5 所示。

表 5. $RCMD[4:0]$ 位

命令 RCMD[4:2]		相选择器 RCMD[1:0]		相关的 TMUXRn 控制字段
000	无效	00	无效	---
001	命令 1	01	IBP-IBN	TMUXRB [2:0]
100	保留			
101	无效			
110	保留			
111	保留			

注:

1.

只有两个 RCMD[4:2] (SFR 0xFC[4:2]) 码与常规工作有关，为 RCMD[4:2] = 001 和 010。000 和 101 吗无效，如果使用，将被忽略。其余编码为保留，不得使用。

2.

对于 RCMD[1:0]控制子域，编码 01、10 和 11 有效，00 无效，不得使用

用。

表 6 所示为所允许的 *RCMD[4:2]* 和 *TMUXRn[2:0]* 数值组合、71M6x01 远端传感器返回的对应数据类型和格式，并显示了数据如何储存至 *RMT_RD[15:8]* 和 *RMT_RD[7:0]*。MPU 通过设置 *RCMD[1:0]* 字段中的有效编码，选择读取三相电中的一相，如表 5 所示。

表 6. 远程接口读命令

<i>RCMD[4:2]</i>	<i>TMUXRn[2:0]</i>	读操作	<i>RMT_RD [15:8]</i>	<i>RMT_RD [7:0]</i>
001	00X	<i>TRIMT[7:0]</i> (熔丝寄存器，适用于全部 71M6x01)	<i>TRIMT[7]=RMT_RD[8]</i>	<i>TRIMT[6:0]=RMT_RD[7:1]</i>
010	00X	<i>STEMP[10:0]</i> (检测的 71M6x01 温度)	<i>STEMP[10:8]=RMT_RD[10:8]</i> (<i>RMT_RD[15:11]</i> 高位带符号部分)	<i>STEMP[7:0]</i>
010	01X	<i>VSENSE[7:0]</i> (检测的 71M6x01 供电电压)	全零	<i>VSENSE[7:0]</i>
010	10X	<i>VERSION[7:0]</i> (芯片版本)	<i>VERSION[7:0]</i>	全零
注：				
1. <i>TRIMT[7:0]</i> 是用于全部 71M6x01 器件的 <i>TRIMT</i> 熔丝值。注意， <i>TRIMT[7:0]</i> 8 位数值由 <i>RMT_RD[8]</i> 和 <i>RMT_RD[7:1]</i> 组成。关于 <i>TRIMT[7:0]</i> 的更多信息，请参见 71M6xxx 的数据资料。				
2. 关于利用 71M6x01 读取的 <i>STEMP[7:0]</i> 数值计算温度的公式，请参见 71M6xxx 的数据资料。				
3. 关于利用 71M6x01 读取的 <i>VSENSE[7:0]</i> 数值计算电压的公式，请参见 71M6xxx 的数据资料。				

71M6541D/F/G 获取每个隔离传感器 71M6x01 的硬件和相关信息，MPU 根据 71M6x01 隔离传感器的温度特性实现电能测量的温度补偿。详情参见第 97 页第 4.7 节的 [计量温度补偿](#)。

表 7 列出了用于控制外部 71M6x01 隔离传感器的全部 I/O RAM 寄存器，详情参见 71M6xxx 数据资料。

表 7. 用于远端传感器的 I/O RAM 控制位

名称	地址	RST 默认值	WAKE 默认值	读/写	说明
<i>RCMD[4:0]</i>	SFR FC[4:0]	0	0	R/W	MPU 向 <i>RCMD</i> 写非零值时，71M654x 向由 <i>RCMD[1:0]</i> 选中的相应远端传感器发出一条命令。完成命令后，71M654x 清除 <i>RCMD[4:2]</i> 。命令码本身位于 <i>RCMD[4:2]</i> 。
<i>PERR_RD</i> <i>PERR_WR</i>	SFR FC[6] SFR FC[5]	0	0	R/W	71M654x 将这些位置位，表示在远端传感器上检测到奇偶校验错误。这些位一旦置位，则被记忆，直到由 MPU 清除。
<i>CHOPR[1:0]</i>	2709[7:6]	00	00	R/W	用于远端传感器的 <i>CHOP</i> 。 00 – 自动斩波，每个复用帧变化。 01 – 正 10 – 负 11 – 同 00
<i>TMUXRB[2:0]</i>	270A[2:0]	000	000	R/W	TMUX 位，用于控制远端传感器。
<i>RMT_RD[15:8]</i> <i>RMT_RD[7:0]</i>	2602[7:0] 2603[7:0]	0	0	R	用于 71M6x01 读操作的读缓冲器。
<i>RFLY_DIS</i>	210C[3]	0	0	R/W	控制 71M654x 驱动 71M6x01 电源脉冲的方式。置 1，脉冲驱动为高或低电平；清 0，驱动至高电平，后接一个开路反激间隔。
<i>RMTB_E</i>	2709[3]	0	0	R/W	使能隔离远程传感器，重新将引脚 IBP-IBN 配置为平衡线对的数字远程接口。

关于这些 I/O RAM 地址的详细信息，请参见从第 111 页开始的表 76。

2.3 数字计算引擎(CE)

CE 是一个专用的 32 位数字信号处理器，用来执行电量计量所需的精确运算。CE 运算和处理包括：

- 每个电流采样值与其对应电压采样值相乘，以获得每次采样的电能(与固定的采样时间相乘)。
- 对四个通道的非同步采样所产生的延迟进行算法补偿(不受频率影响)。
- 90°相移(用于无功计算)。
- 脉冲发生器。
- 输入信号频率监测(用于频率和相位信息)。
- 输入信号幅值监测(用于电压跌落检测)。
- 根据校准参数对采样进行缩放处理。
- 根据温度补偿信息对采样进行缩放处理。

2.3.1 CE程序存储器

CE 程序存储在程序存储器(FLASH)。CE 和 MPU 对 FLASH 的公共访问由存储器公用电路控制。每个 CE 指令为 2 字节长度。为 CE 程序分配的闪存空间不得超过 4096 个 16 位字(8KB)。CE 程序在复用器状态 0 开始启动。执行到 HALT 指令时，程序结束。为确保 CE 的正确运行，程序必须在复用周期结束之前执行完毕。

CE 程序必须在 FLASH 地址以 1KB 为边界处开始。I/O RAM 控制字段 *CE_LCTN[5:0]* (I/O RAM 0x2109[5:0])定义哪个 1KB 边界为 CE 代码的起始地址。所以，第一条 CE 指令位于 $1024 * CE_LCTN[5:0]$ 。

2.3.2 CE数据存储器

CE 和 MPU 共用数据存储器(XRAM)。CE 和 MPU 对 XRAM 的公共访问由存储器公用电路控制。CE 最多可访问 3KB 数据 RAM (XRAM)中的全部 3KB，即从 RAM 地址 0x0000 至 0x0C00。

XRAM 可由 FIR 滤波器模块、RTM 电路、CE 和 MPU 访问。分别为 FIR 和 MPU 保留分配的时隙，以防止 CE 访问 XRAM 数据时发生总线冲突。

MPU 读、写 CE 和 MPU 之间共用的 XRAM 是两个处理器之间数据通信的主要途径。

表 3 列出了 XRAM 分配给 AFE 模拟输入的 CE 地址。

CE 通过支持硬件实现计量运算、脉冲计数和累加。通过 I/O RAM 控制字段 *EQU[2:0]*、计量公式选择字段 (I/O RAM 0x2106[7:5])、*DIO_PV* 位(I/O RAM 0x2457[6])、*DIO_PW* 位 (I/O RAM 0x2457[7])、脉冲辅助位和 *SUM_SAMPS[12:0]* 累积周期辅助位(I/O RAM 0x2107[4:0]和 0x2108[7:0])控制硬件。

*SUM_SAMPS[12:0]*是一种能量累积方案，在一个累积周期内累加 *SUM_SAMPS[12:0]* 个复用帧的能量。每个能量输出的积分时间，比如 $SUM_SAMPS[12:0]/2520.6$ ($MUX_DIV[3:0] = 011$, I/O RAM 0x2100[7:4]和 *FIR_LEN[1:0] = 10*, I/O RAM 0x210C[2:1])。完成累积时，CE 触发硬件 XFER_BUSY 中断。

2.3.3 CE与MPU通信

CE 向 MPU 输出 6 种中断信号：CE_BUSY、XFER_BUSY、XPULSE、YPULSE、WPULSE 和 VPULSE。这些信号在芯片内部已连接至 MPU 中断服务。CE_BUSY 表示 CE 正在处理数据，该信号每个复用帧出现一次。XFER_BUSY 表示 CE 正在更新 CE RAM 的输出区域，累积循环结束时产生中断。CE 执行 HALT 指令后，CE_BUSY 和 XFER_BUSY 自动清零。

XPULSE、YPULSE、VPULSE 和 WPULSE 也可配置成中断，监测电网电压跌落故障、过零和脉冲事件中。此外，这些信号也可直接输出至 DIO 引脚，CE 提供直接输出。这些信号对应的中断为上升沿触发(参见图 16 中的“外部”中断源 No. 2)。

2.3.4 电表公式

71M6541D/F/G 和 71M6542F/G 为 CE 提供辅助硬件，以支持不同的计量公式。辅助电路通过 I/O RAM 寄存器 EQU[2:0] (公式辅助)控制。利用 CE 固件配置执行表 8 所列公式，完全满足工业计量需求。同时 EQU[2:0]也含有计量公式及计量相数信息。

表 8. 复用器输入选择

EQU	说明	有功和无功计量公式			推荐的复用器序列
		单元 0	单元 1	单元 2	
0	单元 1, 2W, 1 ϕ , 带零线 电流检测	VA · IA	VA · IB ¹	N/A	IA VA IB ¹
1	单元 1, 3W, 1 ϕ	VA(IA-IB)/2	N/A	N/A	IA VA IB
2 †	单元 2, 3W, 3 ϕ Δ	VA · IA	VB · IB	N/A	IA VA IB VB
注：					
1. 可选，IB 可用于测量零线电流					

† 仅限 71M6542F/G

2.3.5 实时监测器(RTM)

CE 含有一个实时监测器(RTM)，可设置为在全速采样速率下监测四个可选的 XRAM。四个被监测位置，由 I/O RAM 寄存器 RTM0[9:8]、RTM0[7:0]、RTM1[9:8]、RTM1[7:0]、RTM2[9:8]、RTM2[7:0]、RTM3[9:8]和 RTM3[7:0]选择，以上数据在每次 CE 执行之前串行输出至 TMUXOUT (多功能监测口)引脚。RTM 可由控制位 RTM_E (I/O RAM 0x2106[1])使能和禁用。RTM 输出时钟为 CKTEST。每个 RTM 字需要 35 个 CKCE 周期(1 个 CKCE 周期等于 203ns)，含起始位，RTM 输出格式请参见图 10。RTM 未输出时，TMUXOUT 引脚为低电平。

图 11 为 MUX、CE_BUSY 和 RTM 时序关系图。本例中，MUX_DIV[3:0] = 4 (I/O RAM 0x2100[7:4])和 FIR_LEN[1:0] = 10 (I/O RAM 0x210C[1])，(384)，4 个 ADC 转换帧结果。每个 ADC 转换帧占用整数个 CK32 周期。最后还需要一个 CK32 的存储周期。

图 11 中还显示，RTM 串行数据流在状态“S”起始位置开始输出。整个 RTM 需要 140 个 CKCE 周期，总是在下一次 CE 码执行开始之前结束。

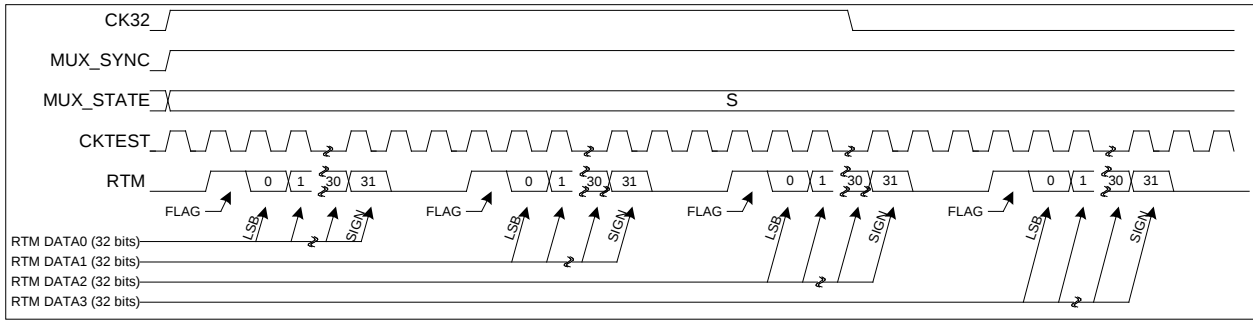


图 10. RTM 时序

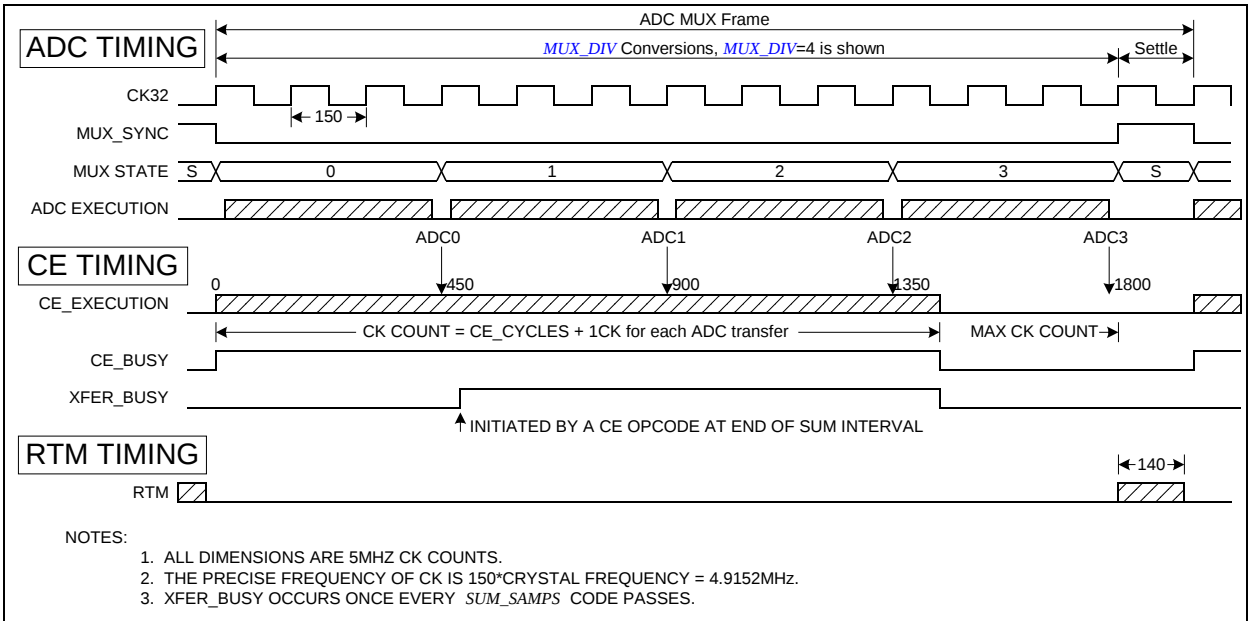


图 11. ADC MUX、CE 和 RTM 串行传输时序关系

2.3.6 脉冲发生器

71M6541D/F/G 和 71M6542F/G 支持四路脉冲发生器：VPULSE、WPULSE、XPULSE 和 YPULSE，其中 VPULSE 和 WPULSE 有相应的硬件脉冲发生器支持。脉冲发生器可以将 CE 状态、SAG 输出到对应的 IO 口。所有脉冲均可配置为 MPU 中断。

PLS_INV (I/O RAM 0x210C[0])可以控制脉冲的极性。该位置 1 时，脉冲为高电平有效。默认为 0，低电平有效。*PLS_INV* 会同时改变 4 路脉冲输出极性。

每个特定 CE 代码决定每个脉冲发生器的功能，MPU 必须配置 CE 寄存器实现脉冲输出功能。例如，在标准 CE 代码中 XPULSE 用来产生过零信号，YPULSE 用来产生 SAG 信号。

过零脉冲常用于产生一个中断，使软件能够修正实时时钟，以及针对晶振老化进行调节，前提是电网频率足够精确和稳定。SAG 脉冲通常用在交流电源跌落时产生预警中断，MPU 即可在 V3P3SYS 电压下降之前将重要信息(比如电量)存入外部 EEPROM。

2.3.6.1 XPULSE和YPULSE

CE 产生的脉冲可输出至 XPULSE 和 YPULSE 脉冲输出引脚，SEGDI06 和 SEGDI07 引脚分别用于这些脉冲。一般而言，XPULSE 和 YPULSE 输出可在每个 CE 代码周期更新一次。

详情参见第 125 页第 5.3 节 CE 接口说明。

2.3.6.2 VPULSE和WPULSE

参见图 12，每个 CE 代码周期，硬件将 WPULSE 和 VPULSE 输出符号位保存在一个 8 位 FIFO 中，并以规定的间隔输出。这样 CE 代码就需要在其执行完之前计算 VPULSE 和 WPULSE 输出，并依靠硬件将其分配至复用帧。如图 12 所示，FIFO 在每个复用帧开始时复位。从图 12 还可以看出 I/O RAM 寄存器 *PLS_INTERVAL*[7:0] (I/O RAM 0x210B[7:0])控制到第一个脉冲更新之间的延迟，以及随后更新之间的间隔。*PLS_INTERVAL*[7:0]寄存器的 LSB 等于 4 个 CK_FIR 周期(如果 *PLL_FAST* = 1 且 *ADC_DIV* = 0, CK_FIR 通常为 4.9152MHz，但也可能是其它 CK_FIR 频率；参见表 76 中的 *ADC_DIV* 定义)。如果 *PLS_INTERVAL*[7:0] = 0，FIFO 禁用，脉冲输出由 CE 更新。

以 CK_FIR 时钟周期为单位的 MUX 帧持续时间由下式决定：

如果 *PLL_FAST*=1:

MUX frame duration in CK_FIR cycles = $[1 + (FIR_LEN+1) * (ADC_DIV+1) * (MUX_DIV)] * [150 / (ADC_DIV+1)]$

如果 *PLL_FAST*=0:

MUX frame duration in CK_FIR cycles = $[3 + 3*(FIR_LEN+1) * (ADC_DIV+1) * (MUX_DIV)] * [48 / (ADC_DIV+1)]$

以 CK_FIR 时钟周期为单位的 *PLS_INTERVAL*[7:0]计算如下：

$PLS_INTERVAL[7:0] = \text{floor} (\text{Mux frame duration in CK_FIR cycles} / \text{CE pulse updates per Mux frame} / 4)$

由于 FIFO 在每个复用帧开始时复位，用户必须指定 *PLS_INTERVAL*[7:0]，CE 在复用帧结束之前完成脉冲更新。例如，71M654x CE 代码在每个复用周期更新 6 次输出，如果复用间隔为 1950 个 CK_FIR 时钟周期长，适用于该间隔的理想值为 $1950/6/4 = 81.25$ 。然而，如果 *PLS_INTERVAL*[7:0] = 82，第 6 次输出太晚，将丢失数据。这种情况下，*PLS_INTERVAL*[7:0]的合理数值为 81 (即四舍五入结果)。

由于 *PLS_INTERVAL*[7:0]的一个 LSB 等于 4 个 CK_FIR 时钟周期，以 CK_FIR 时钟周期为单位的脉冲时间间隔 T_1 为：

$$T_1 = 4 * PLS_INTERVAL[7:0]$$

如果使能 FIFO(及 $PLS_INTERVAL[7:0] \neq 0$), 硬件也提供脉宽调整功能, 由寄存器 $PLS_MAXWIDTH[7:0]$ (I/O RAM 0x210A)实现。默认配置下, WPULSE 和 VPULSE 为负脉冲(即低电平脉冲, 通过灌电流驱动 LED)。 $PLS_MAXWIDTH[7:0]$ 决定以 CK_FIR 时钟周期为单位的最大负脉冲宽度 T_{MAX} , 取决于脉冲间隔 T_I , 计算公式如下:

$$T_{MAX} = (2 * PLS_MAXWIDTH[7:0] + 1) * T_I$$

如果 $PLS_MAXWIDTH = 255$ 或 $PLS_INTERVAL = 0$, 则不执行脉宽检查, 脉冲默认为 50%占空比。 T_{MAX} 通常设置为 10 ms, 对于大多数校准系统工作良好。

脉冲极性可用控制位 PLS_INV (I/O RAM 0x210C[0])反转。置位 PLS_INV 时, 脉冲为高电平有效。 PLS_INV 默认值为零, 低电平有效。

WPULSE 和 VPULSE 脉冲分别输出连接至 SEGDI00/WPULSE 和 SEGDI01/VPULSE (引脚 45 和 44)引脚。脉冲也可以从 OPT_TX 引脚 53 输出(详情参见 $OPT_TXE[1:0]$ 、I/O RAM 0x2456[3:2])。

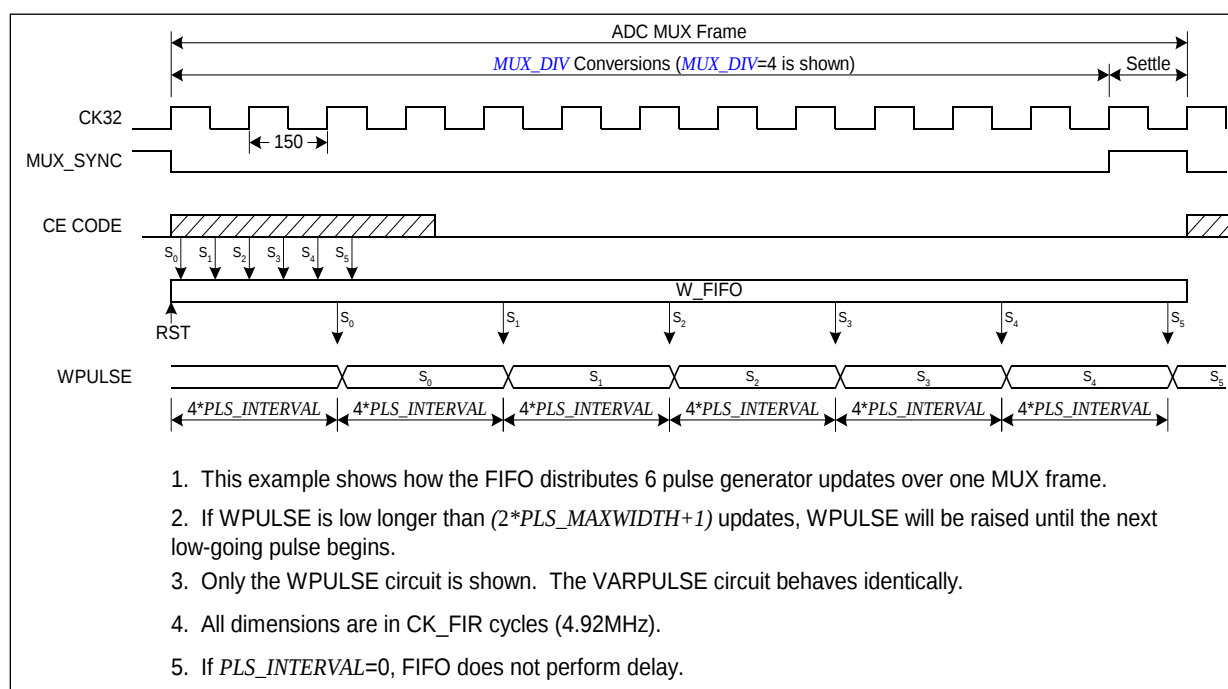


图 12. 脉冲发生器 FIFO 时序

2.3.7 CE功能概述

71M654x 通过一个 ADC 和复用器对模拟输入进行采样, 如图 2 和图 3 所示。VA 和 VB 电压采用由直接连接在 71M654x 的电阻分压器组成, 因此, 始终使用 71M654x 器件的 ADC 和复用器功能。而电流传感器也可以直接连接至 71M654x 或通过远端隔离器连接, 71M6x01 远端传感器有其独立的 ADC 和电压基准。电流传感器通过远端传感器连接时, 71M654x 将通过隔离接口(通过脉冲变压器)以数字方式接收采样数据。直接将其存入相应的 CE RAM, 如图 3 所示。ADC (即 71M654x 中的 ADC 和 71M6x01 中的 ADC)处理其对应传感器通道, 每个复用周期内对每个通道进行一次采样。

图 14 (71M6541D/F/G) 和图 15 (71M6542F/G) 所示为两个电流传感器 (IA 和 IB) 均直接连接至 71M6541D/F/G 时(如图 2 所示)的采样时序。而 IB 通道为 71M6x01 远端传感器时, 采样数据不通过 71M6541D/F/G 复用器, 如图 3 所示。这种情况下, 在复用周期的后半部分进行采样, 数据直接储存在相应的 CE RAM, 如图 3 所示。远端电流传感器通道与其对应电压的时序关系被确定, 因此 CE 可以精确补偿延迟。

参见图 15，71M6542F/G 具有一路附加的电压输入(VB)，支持 2 相电表设计。与 VA 相同，VB 通过电阻分压器直接连接至 71M6542F/G，使用 71M6542F/G 内的 ADC 和复用功能。 $MUX_DIV[3:0] = 4$ 配置复用器具有一个附加时隙，用来处理 VB 电压采样。和 71M6541D/F/G 一样，IA 采样从直接连接至 71M6542F/G 的电流传感器获得，而 IB 采样从连接的 CT 或通过 71M6x01 隔离器件远程连接(见图 2 和图 3)的分流器获得。

一个累积周期内处理的采样数量由 I/O RAM 寄存器 $SUM_SAMPS[12:0]$ (I/O RAM $0x2107[4:0]$ 、 $0x2108[7:0]$) 控制。每个能量输出的积分时间为：

$$SUM_SAMPS / 2520.6, \text{ 其中 } 2520.6 \text{ 为采样率, 单位为 Hz}$$

例如， $SUM_SAMPS = 2100$ 时，每个累积周期建立 2100 个采样，持续时间为 833ms。完成累积周期后，XFER_BUSY 中断通知 MPU 有更新的累积数据。

每个复用周期结束时，都可以通过 CE_BUSY 中断通知 MPU 状态寄存器已更新，例如电压跌落数据和数字化的输入信号。

图 13 所示为 $SUM_SAMPS = 2100$ 个累积周期，包括 2100 个样本，每个采样周期 $397\mu s$ ，随后是 XFER_BUSY 中断。本例为 50Hz 信号采样情况，具体的电网频率与 SUM_SAMPS 无关。此外，并非必须从电网电压过零点开始采样，累积周期也无需是信号周期的整数倍。

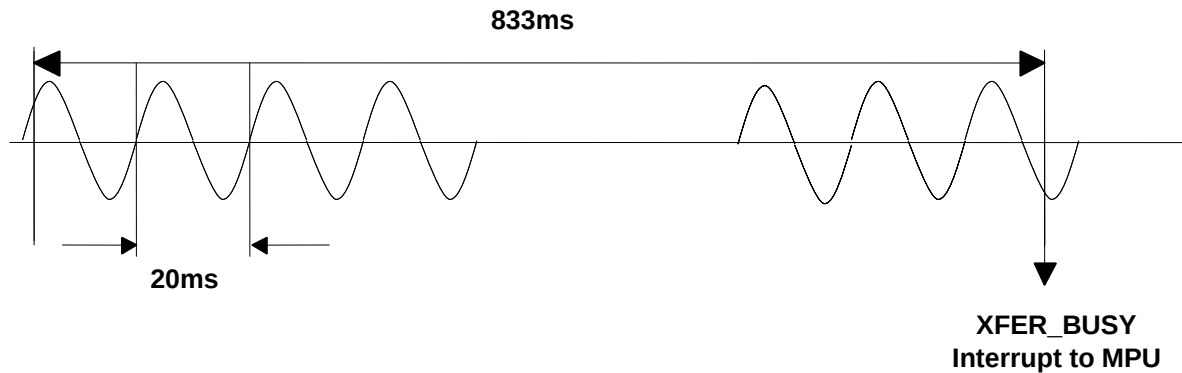
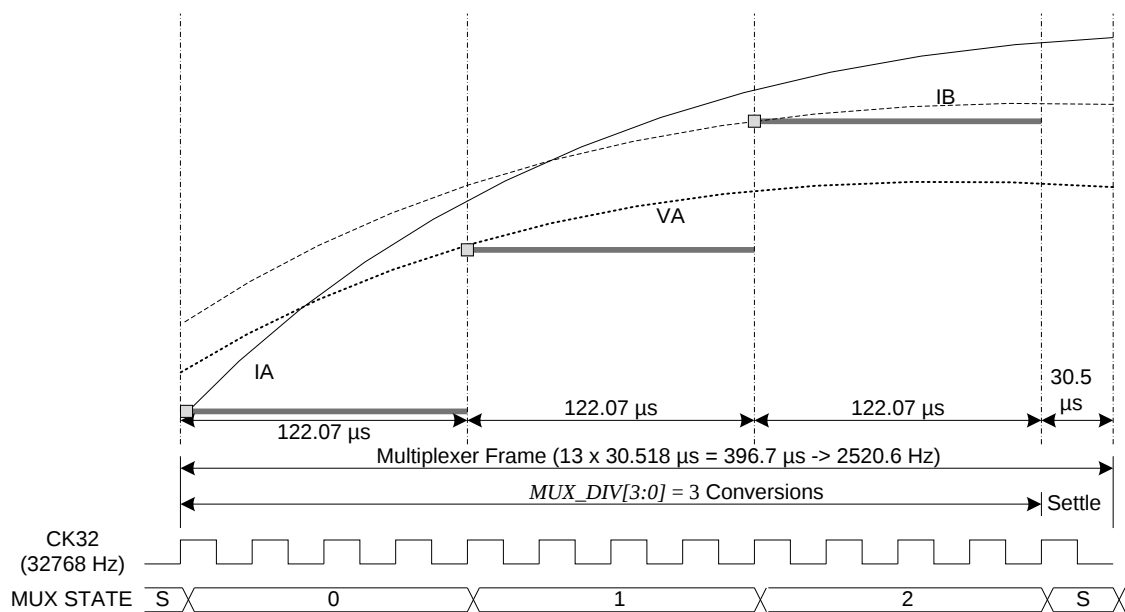
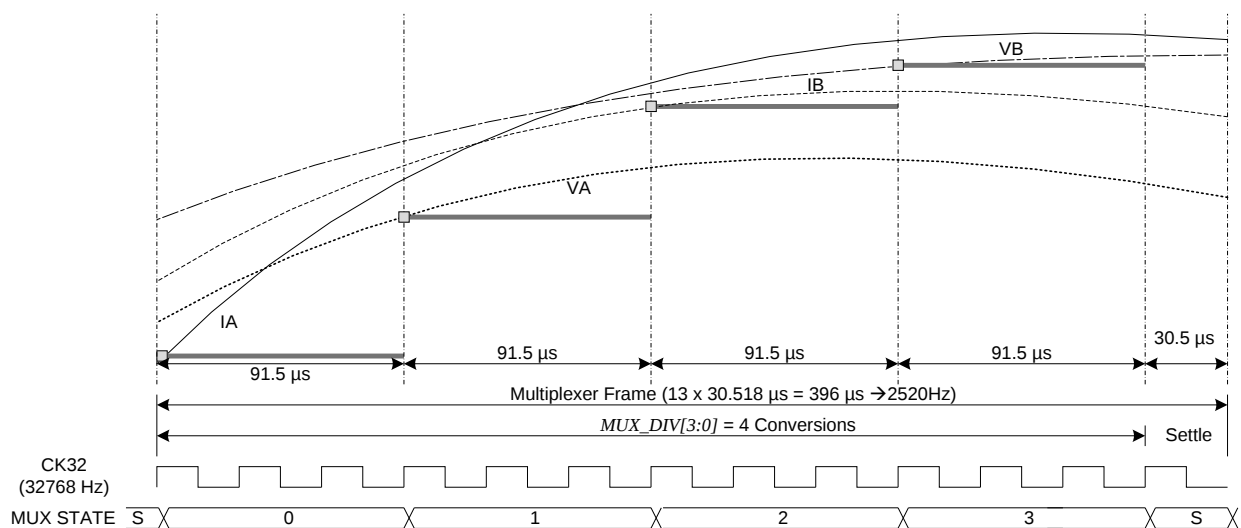


图 13. 累积间隔

图 14. 复用周期内采样($MUX_DIV[3:0] = 3$)图 15. 复用周期内采样($MUX_DIV[3:0] = 4$)

2.4 80515 MPU核

71M6541D/F/G 和 71M6542F/G 集成了 80515 MPU (8 位、8051 兼容), 大多数指令可以在一个时钟周期完成。因此 4.9MHz 主频相当于 4.9 MIPS 的处理能力。80515 架构消除了冗余总线状态, 指令读取和执行并行执行。通常情况下, 机器周期与存储周期对齐, 因此, 大多数单字节指令在单个机器周期(MPU 时钟周期)内完成, 相对于相同时钟频率的 Intel® 8051 速率提升了 8 倍(MIPS)。

表 9 中 CKMPU 是 MCK 时钟(19.6608MHz)的分频输出, 可以通过控制字段 *MPU_DIV[2:0]* (*I/O RAM 0x2200[2:0]*)设置 MPU 时钟频率。具体运行频率取决于实际需求(表计计算、AMR 管理、存储器管理、LCD 驱动管理和 I/O 管理), 如表 9 所示。

表 9. CKMPU 时钟频率

<i>MPU_DIV [2:0]</i>	CKMPU 频率
000	4.9152MHz
001	2.4576MHz
010	1.2288MHz
011	614.4kHz
100	307.2kHz
101	
110	
111	

CE 代码以一种库文件的形式提供给客户, 具体的计量性能和功能与 CE 代码版本有关。Teridian 提供演示源代码, 帮助用户缩短设计周期。

2.4.1 存储器架构和寻址

80515 MPU 核心采用 Harvard 架构, 代码和数据空间相隔离。80515 中的存储器管理与工业标准 8051 类似。有三个存储区域: 程序存储器(MPU 和 CE 共用)、外部 RAM (CE 和 MPU 共用, 以及配置 I/O RAM)和内部数据存储器(内部 RAM)。表 10 列出了存储器映射。

程序存储器(FLASH)

80515 可寻址高达 64KB 程序存储空间(0x0000 至 0xFFFF)。MPU 取指令或执行 MOVC 操作时, 进行存储器读操作。

从复位或低功耗状态唤醒后, MPU 从程序存储器的地址 0x0000 开始执行。程序存储器的低地址部分包括复位和中断向量。中断向量以 8 字节间隔分布, 从 0x0003 开始。

MPU外部数据存储器(XRAM)

不管是内部还是外部数据存储器, 物理上均在 71M654x 器件内部。本文提及的外部数据存储器只是相对于 80515 MPU 内核而言。

从地址 0x0000 开始的 3KB RAM 由 CE 和 MPU 共用。CE 通常使用前 1KB, 为 MPU 留 2KB。不同版本 CE 代码, 所占用的存储空间不同。准确数据请查阅具体版本代码的说明文档。



如果 MPU 覆盖 CE 的工作 RAM, CE 输出可能破坏。如果 CE 被禁用, *MUX_DIV[3:0] ≠ 0* 时, RAM 的前 0x40 字节仍然不可用, 因为 71M654x ADC 原始数据会更新到这些地址。设置 *MUX_DIV[3:0] = 0* 禁用 ADC 输出, 防止 CE 覆盖 RAM 的前 0x40 字节。



此外, *MUXn_SEL[3:0]*值必须在 *MUX_DIV[3:0]*写操作之后写入。

MPU 执行 MOVX @Ri,A 或 MOVX @DPTR,A 指令时, 80515 写外部数据存储器。MPU 通过执行 MOVX A,@Ri 或 MOVX A,@DPTR 指令(PDATA, SFR 0xBF 为 MOVX A,@Ri 指令提供高 8 个字节)读外部数据存储器。

内部和外部存储器映射

表 10 中列出了各种存储器件的地址、类型、用途及大小。

表 10. 存储器映射

地址 (十六进制)	存储器技术	存储器类型	名称	典型用途	存储器大小 (字节)
0000-7FFF	闪存	非易失	MPU 和 CE 程序 存储器	MPU 程序和非易失数据	64/32KB †
				CE 程序(在 1KB 边界)	最大 3KB.
0000-0BFF	静态 RAM	易失	外部 RAM (XRAM)	CE 和 MPU 共用	5/3KB †
2000-27FF	静态 RAM	易失	配置 RAM (I/O RAM)	硬件控制	2KB
2800-287F	静态 RAM	非易失 (电池)	配置 RAM (I/O RAM)	电池缓冲存储器	128
0000-00FF	静态 RAM	易失	内部 RAM	80515 核心的一部分	256

†存储器大小取决于 IC 具体型号, 详情参见第 2.5.1 节物理存储器。

MOVX寻址

有两种类型的指令, 区别在于提供 8 位或 16 位外部数据 RAM 的间接地址。

第一种类型中, MOVX A,@Ri, 当前寄存器组的 R0 或 R1 提供地址的 8 个低位。地址的 8 个高位由 PDATA SFR 指定。这种方法允许用户按页存取(256 页, 每页 256 字节)外部数据 RAM 的整个范围。

第二种类型 MOVX 指令中, MOVX A,@DPTR, 数据指针产生一个 16 位地址。这种形式在存取非常大的数据数组(高达 64 KB)时, 由于无需额外指令来设置地址的 8 个高位, 所以更快、更高效。

可以混合使用两种类型。这为用户提供了四个独立的数据指针, 两个直接寻址, 两个按页存取, 可寻址整个外部存储器范围。

双数据指针

双数据指针加快了数据的块搬移。标准 DPTR 为 16 位寄存器, 用于寻址外部存储器或外设。在 80515 核中, 标准数据指针为 DPTR, 第二个数据指针为 DPTR1。数据指针选择位位于 DPS 寄存器的 LSB (DPS[0], SFR 0x92)。DPS[0] = 0 时选择 DPTR, DPS[0] = 1 时选择 DPTR1。

用户通过改变 DPS 寄存器的 LSB 实现指针之间的切换。数据指针中的数值不受 DPS 寄存器的 LSB 影响。所有 DPTR 相关指令将使用当前的有效 DPTR 数值。



有些编译器不支持第二个数据指针。



DPTR1 对于数据搬迁非常有用, 相对于从寄存器重新加载 DPTR, 它可使此类操作更快。如果在中断服务程序中使用 DPTR1 时, 必须保存并恢复 DPS、DPTR 和 DPTR1, 增大了堆栈使用量, 同时也延长了中断响应时间。



通过在 Keil 编译器项目设置中选择 R80515 核, 以及使用编译器指令 “MODC2”, 可在特定的库中使能双数据指针。

PDATA 寄存器(*SFR 0xBF*)提供了另一种数据指针(*USR2*)，定义了使用指令 *MOVX A,@Ri* 或 *MOVX @Ri,A* 读/写 **XDATA** 时的 16 位地址的高字节。

内部数据存储器映射和存取

80515 内部有 256 字节(0x00 至 0xFF)的数据存储器。内部数据存储器地址始终为单字节宽，表 11 列出了内部数据存储器映射。

特殊功能寄存器(**SFR**)占用高 128 个字节。内部数据存储器的 **SFR** 区域只能通过直接寻址使用，该区域的内部 **RAM** 必须使用间接寻址存取。低 128 字节包含工作寄存器和位寻址存储器。低 32 字节形成 4 组 8 寄存器(**R0-R7**)组。程序存储器状态字的两位(*PSW*, *SFR 0xD0*)选择使用哪组寄存器。接下来的 16 字节形成一块位寻址存储器空间，位地址为 0x00-0x7F。低 128 字节中的全部字节通过直接或间接寻址存取。

表 11. 内部数据存储器映射

地址范围		直接寻址	间接寻址
0x80	0xFF	特殊功能寄存器(SFR)	RAM
0x30	0x7F	字节寻址区域	
0x20	0x2F	位寻址区域	
0x00	0x1F	工作寄存器组 R0...R7	

2.4.2 特殊功能寄存器(**SFR**)

特殊功能寄存器的映射如表 12 所示。

SFR 存储器空间中只有少数几个地址被占用，其它无效。对未生效的地址进行读操作将返回未定义的数据，写操作无影响。71M654x 所特有的 **SFR** 以**粗体**表示。地址为 0x80、0x88、0x90 等寄存器位可寻址，其它均为字节寻址。

表 12. 特殊功能寄存器映射

十六/二进制	位寻址	字节寻址							二/十六进制
	X000	X001	X010	X011	X100	X101	X110	X111	
F8	INTBITS	VSTAT			RCMD	SPI_CMD			FF
F0	B								F7
E8	IFLAGS								EF
E0	A								E7
D8	WDCON								DF
D0	PSW								D7
C8	T2CON								CF
C0	IRCON								C7
B8	IEN1	IP1	S0RELH	S1RELH				PDATA	BF
B0	P3 (DIO12:15)		FLSHCTL					FLSHPG	B7
A8	IEN0	IP0	S0RELL						AF
A0	P2 (DIO8:11)								A7
98	S0CON	S0BUF	IEN2	S1CON	S1BUF	S1RELL	EEDATA	EECTRL	9F
90	P1(DIO4:7)		DPS		ERASE				97
88	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON		8F
80	P0 (DIO0:3)	SP	DPL	DPH	DPL1	DPH1		PCON	87

2.4.3 通用 80515 特殊功能寄存器

表 13 列出了通用 80515 SFR 的位置、说明及默认值。关于寄存器的更多说明，可参见表中所列页码。

表 13. 通用 80515 SFR—地址和复位值

名称	地址 (十六进制)	复位值 (十六进制)	说明	页码
P0	0x80	0xFF	端口 0	36
SP	0x81	0x07	堆栈指针	35
DPL	0x82	0x00	数据指针，低 0	35
DPH	0x83	0x00	数据指针，高 0	35
DPL1	0x84	0x00	数据指针，低 1	35
DPH1	0x85	0x00	数据指针，高 1	35
PCON	0x87	0x00	UART 速度控制	39
TCON	0x88	0x00	定时器/计数器控制	42
TMOD	0x89	0x00	定时器/模式控制	40
TL0	0x8A	0x00	定时器 0，低字节	39
TL1	0x8B	0x00	定时器 1，低字节	39
TH0	0x8C	0x00	定时器 0，高字节	39
TH1	0x8D	0x00	定时器 1，高字节	39
CKCON	0x8E	0x01	时钟控制(展宽=1)	36
P1	0x90	0xFF	端口 1	36
DPS	0x92	0x00	数据指针选择寄存器	32
S0CON	0x98	0x00	串口 0，控制寄存器	38
S0BUF	0x99	0x00	串口 0，数据缓冲器	36
IEN2	0x9A	0x00	中断使能寄存器 2	42
S1CON	0x9B	0x00	串口 1，控制寄存器	38
S1BUF	0x9C	0x00	串口 1，数据缓冲器	36
S1RELL	0x9D	0x00	串口 1，重装载寄存器，低字节	36
P2	0xA0	0xFF	端口 2	36
IEN0	0xA8	0x00	中断使能寄存器 0	41
IP0	0xA9	0x00	中断优先级寄存器 0	45
S0RELL	0xAA	0xD9	串口 0，重装载寄存器，低字节	36
P3	0xB0	0xFF	端口 3	36
IEN1	0xB8	0x00	中断使能寄存器 1	41
IP1	0xB9	0x00	中断优先级寄存器 1	45
S0RELH	0xBA	0x03	串口 0，重装载寄存器，高字节	36
S1RELH	0xBB	0x03	串口 1，重装载寄存器，高字节	36
PDATA	0xBF	0x00	用于 MOVX@Ri 的地址高字节—也称为 <i>USR2</i>	32
IRCON	0xC0	0x00	中断请求控制寄存器	42
T2CON	0xC8	0x00	用于 INT2 和 INT3 的极性	42
PSW	0xD0	0x00	程序状态字	35
WDCON	0xD8	0x00	波特率控制寄存器(仅使用 WDCON[7]位)	36
A	0xE0	0x00	累加器	35
B	0xF0	0x00	B 寄存器	35

累加器(ACC, A, SFR 0xE0):

ACC 为累加器寄存器，大多数指令使用累加器保存操作数。累加器相关指令的助记法将累加器记为 A，而非 ACC。

B寄存器(SFR 0xF0):

B 寄存器用于乘、除指令的过渡，亦可作为中间结果寄存器保存临时数据。

程序状态字(PSW, SFR 0xD0):

该寄存器包含各种标识和控制位，用于选择寄存器组(见表 14)。

表 14. PSW 位功能(SFR 0xD0)

PSW 位	符号	功能															
7	CV	进位标识。															
6	AC	用于 BCD 操作的辅助进位标识。															
5	F0	用户可使用通用 Flag 0。 . ✓ 请勿将 F0 与 CESTATUS 寄存器中的 F0 标识混淆。															
4	RS1	寄存器组选择控制位。RS1 和 RS0 的内容选择工作寄存器组： <table><tr><th>RS1/RS0</th><th>所选组</th><th>位置</th></tr><tr><td>00</td><td>第 0 组</td><td>0x00 – 0x07</td></tr><tr><td>01</td><td>第 1 组</td><td>0x08 – 0x0F</td></tr><tr><td>10</td><td>第 2 组</td><td>0x10 – 0x17</td></tr><tr><td>11</td><td>第 3 组</td><td>0x18 – 0x1F</td></tr></table>	RS1/RS0	所选组	位置	00	第 0 组	0x00 – 0x07	01	第 1 组	0x08 – 0x0F	10	第 2 组	0x10 – 0x17	11	第 3 组	0x18 – 0x1F
RS1/RS0	所选组		位置														
00	第 0 组		0x00 – 0x07														
01	第 1 组		0x08 – 0x0F														
10	第 2 组		0x10 – 0x17														
11	第 3 组	0x18 – 0x1F															
3	RS0																
2	OV	溢出标识。															
1	—	用户定义标识。															
0	P	奇偶标识，受硬件影响，指示累加器中 1 位的奇、偶数，即奇偶性。															

堆栈指针(SP, SFR 0x81):

堆栈指针为 1 字节寄存器，复位后初始化为 0x07。该寄存器在 PUSH 和 CALL 指令之前递增，即实际应用中堆栈从位置 0x08 开始。

数据指针:

数据指针(DPTR 和 DPTR1)为 2 字节宽。低字节部分分别为 DPL (SFR 0x82)和 DPL1 (SFR 0x84)。高字节分别为 DPH (SFR 0x83)和 DPH1 (SFR 0x85)。数据指针可作为两个寄存器(例如 MOV DPL, #data8)赋值。它们一般用于存取外部代码或数据空间(例如分别为 MOVC A,@A+DPTR 或 MOVX A,@DPTR)。

程序计数器:

程序计数器(PC)为 2 字节宽，复位后初始化为 0x0000。该寄存器在执行指令或操作程序存储器的数据时自动递增。

端口寄存器:

SEGDI00 至 SEGDI015 由特殊功能寄存器 P0、P1、P2 和 P3 控制，如表 15 所示。SEGDI015 以上由 I/O RAM 中的 LCD_SEGDIOn[]控制。由每个 SFR Pn 寄存器的上半字节控制输入/输出方向，下半字节为 DIO 状态数据，可通过一次写操作配置指定 DIO 引脚的方向并设置其输出值，有利于实现位脉冲接口。向 DIO_DIR 位写 1，将 DIO 配置为输出；写 0 将其配置为输入。向 DIO 位写 1，使对应引脚为高电平(V3P3)；写 0 使对应引脚为低电平(GND)。更多详情请参见第 2.5.8 节数字 I/O。

表 15. 端口寄存器(SEGDIO0-15)

SFR 名称	SFR 地址	D7	D6	D5	D4	D3	D2	D1	D0
P0	0x80	DIO_DIR[3:0]				DIO[3:0]			
P1	0x90	DIO_DIR[7:4]				DIO[7:4]			
P2	0xA0	DIO_DIR[11:8]				DIO[11:8]			
P3	0xB0	DIO_DIR[15:12]				DIO[15:11]			

芯片端口 P0-P3 为双向端口，对应 SEGDI00-15 引脚。每个端口由锁存(SFR P0 至 P3)、输出驱动器和输入缓冲器组成，因此 MPU 可通过其中任意端口输出或读取数据。即使 DIO 引脚配置为输出，MPU 仍可读取该引脚状态，例如，在 CE 控制下通过 DIO 引脚对脉冲计数。



SEGDI00-15 上电默认配置为输入，并且未使能。必须写 $PORT_E = 1$ (I/O RAM 0x270C[5]) 才能使能 SEGDI00-15。默认 $PORT_E = 0$ ，防止 SEGDI00-15 上电复位时可能发生的短时间输出瞬态脉冲。

时钟展宽(CKCON)

CKCON[2:0] (SFR 0x8E)寄存器的三个低有效位定义访问外设时用于 MOVX 指令的展宽存储周期。对于 71M6541D/F/G 和 71M6542F/G，该寄存器的实际值保证 CE、MPU 和 SPI 之间对 XRAM 的访问。不应更改 CKCON[2:0]的默认设置(001)。

表 16 列出了展宽值从 0 置为 7 时，外部存储器接口的信号变化。信号宽度以 MPU 时钟周期计数，下表中用**粗体**标记 CKCON[2:0] (001)的默认配置。

表 16. 展宽存储周期宽度

CKCON[2:0]	展宽值	读信号宽度		写信号宽度	
		memaddr	memrd	memaddr	memwr
000	0	1	1	2	1
001	1	2	2	3	1
010	2	3	3	4	2
011	3	4	4	5	3
100	4	5	5	6	4
101	5	6	6	7	5
110	6	7	7	8	6
111	7	8	8	9	7

2.4.4 指令集

支持通用 8051 微控制器的所有指令。71M654X 软件用户指南(SUG)提供了指令集及相关操作码的完整清单。

2.4.5 UART

71M6541D/F/G 和 71M6542F/G 具有 UART (UART0)，可设置为与各种 AMR 模块及其它外部器件通信。第二个 UART (UART1)连接至光电接口，在 2.5.7 部分详细说明 [UART 和光电接口](#)。

UART 为专用 2 线串口，可与外部主控处理器以高达 38,400 bits/s (MPU 时钟 = 1.2288MHz 时)的速率通信。RX 和 TX UART0 工作如下：

- UART0 RX: 该引脚用于串行数据输入，符合 RS-232 标准，LSB 在前输入字节。
- UART0 TX: 该引脚用于串行数据输出，LSB 在前输出字节。

提供丰富的 UART 相关寄存器，用于控制和缓存数据。

SxBUF 寄存器既作为发送缓存器，又作为接收缓存器(S0BUF, SFR 0x99 用于 UART0, S1BUF, SFR 0x9C 用于 UART1)。MPU 写入时，SxBUF 作为发送缓存器；MPU 读取时，作为接收缓存器。向发送缓存器写数据，对应 UART 开始发送。接收缓存器读取接收到的、数据。两个 UART 可同时发送、接收数据。

WDCON[7] (SFR 0xD8)选择使用定时器 1 还是内部波特率发生器。所有 UART 均可使能奇偶校验、奇/偶校验、2/1 个停止位和 XON/XOFF 选项，通信波特率范围：300~38400 bps。表 17 给出了波特率的计算方法，表 18 列出了可选的 UART 工作模式。

表 17. 波特率发生器

	使用定时器 1 (WDCON[7] = 0)	使用内部波特率发生器 (WDCON[7] = 1)
UART0	$2^{\text{SMOD}} * f_{\text{CKMPU}} / (384 * (256 - \text{TH1}))$	$2^{\text{SMOD}} * f_{\text{CKMPU}} / (64 * (2^{10} - \text{S0REL}))$
UART1	N/A	$f_{\text{CKMPU}} / (32 * (2^{10} - \text{S1REL}))$

S0REL 和 S1REL 为 10 位组合可重装载寄存器(S0RELL、S0RELH、S1RELL、S1RELH 地址分别为 SFR 0xAA、SFR 0xBA、SFR 0x9D 和 SFR 0xBB)。SMOD 为 SFR PCON 寄存器(SFR 0x87)中的 SMOD 位。TH1(SFR 0x8D) 为定时器 1 的高字节。

表 18. UART 模式

	UART 0	UART 1
模式 0	N/A	起始位，8 个数据位、奇偶校验、停止位、可变波特率(内部波特率发生器)。
模式 1	起始位，8 个数据位、停止位、可变波特率(内部波特率发生器或定时器 1)。	起始位，8 个数据位、停止位、可变波特率(内部波特率发生器)。
模式 2	起始位，8 个数据位、奇偶校验、停止位、固定波特率，1/32 或 1/64 f_{CKMPU} 。	N/A
模式 3	起始位，8 个数据位、奇偶校验、停止位、可变波特率(内部波特率发生器或定时器 1)。	N/A



发送数据的奇偶校验可通过累加器的 P 标识获得。7 位带奇偶校验的串行模式：如 FLAG 通讯协议，可通过设置和读取 8 位输出数据中的第 7 位实现。7 位不带奇偶校验的串行模式，可将第 7 位固定置 1。通过设置和读取第 9 位，模拟带奇偶校验的 8 位串行模式，利用 S0CON (SFR 0x98)和 S1CON (SFR 0x9B)寄存器中的控制位 TB80 (S0CON[3])和 TB81 (S1CON[3])进行发送操作，S1CON[2] 中的 RB81 用于接收操作。

接收的第 9 位(对 UART0 为模式 3，对于 UART1 为模式 A)可作为多处理器系统中处理器通信之间的握手信号。这种情况下，从机将 SM20 (S0CON[5]) (UART0)或 SM21 (S1CON[5]) (UART1)置 1。主机输出从地址时，将第 9 位设为 1，使所有从机中的串口接收中断。从机将接收到的地址与本身地址进行比较。如果地址匹配，从机清除 SM20 或 SM21 位，并接收剩余消息，其它从处理器忽略此消息。寻址从处理器后，主处理器将第 9 位设为 0，输出剩余消息，产生从机串口接收中断。

UART控制寄存器:

UART0 和 UART1 的功能分别取决于串行端口控制寄存器 *S0CON*、*S1CON* (如表 19 和表 20 所示)和 *PCON* 寄存器(如表 21 所示)。



虽然 *TI0*、*RI0*、*TI1* 和 *RI1* 位于 *SFR* 寻址字节中,但须避免清除常见位。因为位操作将被用“读-修改-写”所在字节的硬件宏实现。如果在读操作之后、写操作之前发生中断,会错误地清除标识。

清除这些标识位的正确方式是写一个掩码,其中除被清除位为零外,其它位均为 1。标识位写 1 将被硬件忽略。

表 19. *S0CON* (UART0)寄存器(SFR 0x98)

位	符号	功能																				
<i>S0CON</i> [7]	<i>SM0</i>	<i>SM0</i> 和 <i>SM1</i> 位设置 UART0 模式: <table><tr><th>模式</th><th>说明</th><th><i>SM0</i></th><th><i>SM1</i></th></tr><tr><td>0</td><td>N/A</td><td>0</td><td>0</td></tr><tr><td>1</td><td>8 位 UART</td><td>0</td><td>1</td></tr><tr><td>2</td><td>9 位 UART</td><td>1</td><td>0</td></tr><tr><td>3</td><td>9 位 UART</td><td>1</td><td>1</td></tr></table>	模式	说明	<i>SM0</i>	<i>SM1</i>	0	N/A	0	0	1	8 位 UART	0	1	2	9 位 UART	1	0	3	9 位 UART	1	1
模式	说明		<i>SM0</i>	<i>SM1</i>																		
0	N/A		0	0																		
1	8 位 UART		0	1																		
2	9 位 UART		1	0																		
3	9 位 UART	1	1																			
<i>S0CON</i> [6]	<i>SM1</i>																					
<i>S0CON</i> [5]	<i>SM20</i>	使能多机通信功能。																				
<i>S0CON</i> [4]	<i>REN0</i>	如置位，使能串行接收。由软件清除，禁用接收。																				
<i>S0CON</i> [3]	<i>TB80</i>	模式 2 和 3 中发送数据的第 9 位。由 MPU 置位或清除，取决于要实现的功能(奇偶校验、多处理器通信等)。																				
<i>S0CON</i> [2]	<i>RB80</i>	模式 2 和 3 中接收数据的第 9 位。模式 1 中， <i>SM20</i> 为 0， <i>RB80</i> 为停止位。模式 0 中，不使用该位。必须由软件清除。																				
<i>S0CON</i> [1]	<i>TI0</i>	发送中断标识；完成一次串行传输后由硬件置位。必须由软件清除(见上文提示)。																				
<i>S0CON</i> [0]	<i>RI0</i>	接收中断标识；完成一次串行接收后由硬件置位。必须由软件清除(见上文提示)。																				

表 20. *S1CON* (UART1)寄存器(SFR 0x9B)

位	符号	功能												
<i>S1CON</i> [7]	<i>SM</i>	设置 UART1 的波特率和模式。 <table><tr><th><i>SM</i></th><th>模式</th><th>说明</th><th>波特率</th></tr><tr><td>0</td><td>A</td><td>9 位 UART</td><td>可变</td></tr><tr><td>1</td><td>B</td><td>8 位 UART</td><td>可变</td></tr></table>	<i>SM</i>	模式	说明	波特率	0	A	9 位 UART	可变	1	B	8 位 UART	可变
<i>SM</i>	模式	说明	波特率											
0	A	9 位 UART	可变											
1	B	8 位 UART	可变											
<i>S1CON</i> [5]	<i>SM21</i>	使能多机通信功能。												
<i>S1CON</i> [4]	<i>REN1</i>	如置位，使能串行接收。由软件清除，禁用接收。												
<i>S1CON</i> [3]	<i>TB81</i>	模式 A 中发送数据的第 9 位。由 MPU 置位或清除，取决于要实现的功能(奇偶校验、多处理器通信等)。												
<i>S1CON</i> [2]	<i>RB81</i>	模式 A 和 B 中发送数据的第 9 位。模式 B 中，如果 <i>SM21</i> 为 0 ， <i>RB81</i> 为停止位。必须由软件清除。												
<i>S1CON</i> [1]	<i>TI1</i>	发送中断标识，完成一次串行传输后由硬件置位。必须由软件清除(见上文提示)。												
<i>S1CON</i> [0]	<i>RI1</i>	接收中断标识，完成一次串行接收后由硬件置位。必须由软件清除(见上文提示)。												

表 21. PCON 寄存器位说明(SFR 0x87)

位	符号	功能
PCON[7]	SMOD	SMOD 置位时波特率翻倍。

2.4.6 定时器和计数器

80515 有两个 16 位定时器/计数器寄存器：定时器 0 和定时器 1。这些寄存器可配置为计数或定时功能。

定时器模式下，寄存器在每个机器周期递增，即每 12 个 MPU 时钟周期加 1。计数器模式下，每次在相应输入信号 T0 或 T1 (T0 和 T1 为定时器输入，来自于特定的 DIO 引脚，参见第 2.5.8 节数字 I/O)观察到下降沿时，寄存器递增。由于识别一次 1 至 0 跳变需要 2 个机器周期，所以最大输入计数率为 1/2 时钟频率 (CKMPU)。对占空比没有限制，然而为了正确识别 0 或 1 状态，输入应稳定至少 1 个机器周期。

定时器 0 和定时器 1 有四种工作模式可供选择，如表 22 和表 23 所示。TMOD (SFR 0x89)寄存器(见表 24)用于选择相应模式。定时器或计数器功能由 TCON (SFR 0x88)寄存器控制，如表 25 所示。TCON 寄存器中的 TR1 (TCON[6])和 TR0 (TCON[4])分别是定时器 1 和定时器 0 的启动位。

表 22. 定时器/计数器模式说明

M1	M0	模式	功能
0	0	模式 0	13 位计数器/定时器模式，低 5 位位于 TL0 或 TL1 (SFR 0x8A 或 SFR 0x8B)寄存器，其余 8 位位于 TH0 或 TH1 (SFR 0x8C 或 SFR 0x8D)寄存器(分别为定时器 0 和定时器 1)。TL0 和 TL1 的 3 个位固定为零。
0	1	模式 1	16 位计数器/定时器模式。
1	0	模式 2	8 位自动重装载计数器/定时器。重装载值保存在 TH0 或 TH1，TL0 或 TL1 每个机器周期递增。TL(x)溢出时，TH(x)中的值被复制至 TL(x) (其中，x 在计数器/定时器 0 时为 0，在计数器/定时器 1 时为 1)。
1	1	模式 3	如果定时器 1 的 M1 和 M0 置 1，定时器 1 停止。 如果定时器 0 的 M1 和 M0 置 1，定时器 0 作为两个独立的 8 位定时器/计数器。

✓ 模式 3 中，TL0 受 TR0 和门控位影响，溢出标志位 TF0；TH0 受 TR1 位影响，溢出标志位 TF1。

表 23 给出了定时器 0 和定时器 1 允许的工作模式组合。

表 23. 定时器/计数器模式组合

	定时器 1		
	模式 0	模式 1	模式 2
定时器 0 - 模式 0	允许	允许	允许
定时器 0 - 模式 1	允许	允许	允许
定时器 0 - 模式 2	不允许	不允许	允许

表 24. *TMOD* 寄存器位说明 (SFR 0x89)

位	符号	功能
定时器/计数器 1		
<i>TMOD</i> [7]	<i>Gate</i>	如果 <i>TMOD</i> [7]置位, 使能计数器 1 的外部输入信号控制。 <i>TCON</i> 寄存器(SFR 0x88)中的 <i>TR1</i> 位也必须置位, 允许计数器 1 递增。如此设置时, 计数器 1 将根据对应的一个或多个引脚信号的下降沿递增, 如 <i>DIO_R2</i> 至 <i>DIO_R11</i> 寄存器内容规定。参见第 2.5.8 节数字 I/O 和 LCD 段驱动器和表 47。
<i>TMOD</i> [6]	<i>C/T</i>	定时器或计数器的功能选择位。置 1 时, 执行计数器操作。清 0 时, 对应的寄存器作为定时器。
<i>TMOD</i> [5:4]	<i>M1:M0</i>	选择定时器/计数器 1 的模式, 如表 22 所示。
定时器/计数器 0		
<i>TMOD</i> [3]	<i>Gate</i>	如果 <i>TMOD</i> [3]置位, 使能计数器 0 的外部输入信号控制。 <i>TCON</i> 寄存器(SFR 0x88)中的 <i>TR0</i> 位也必须置位, 以允许计数器 0 递增。如此设置时, 计数器 0 将会根据对应的一个或多个引脚信号的下降沿递增, 如 <i>DIO_R2</i> 至 <i>DIO_R11</i> 寄存器内容规定。参见第 2.5.8 节数字 I/O 和 LCD 段驱动器和表 47。
<i>TMOD</i> [2]	<i>C/T</i>	定时器或计数器的功能选择位。置 1 时, 执行计数器操作。清 0 时, 对应的寄存器作为定时器。
<i>TMOD</i> [1:0]	<i>M1:M0</i>	选择定时器/计数器 0 的模式, 如表 22 所示。

表 25. *TCON* 寄存器位功能(SFR 0x88)

位	符号	功能
<i>TCON</i> [7]	<i>TF1</i>	定时器 1 溢出标识位, 由硬件置位。该位可由软件清零, 或响应中断处理时硬件自动清零。
<i>TCON</i> [6]	<i>TR1</i>	定时器 1 运行控制位。如清零, 定时器 1 停止。
<i>TCON</i> [5]	<i>TF0</i>	定时器 0 溢出标志位, 由硬件置位。该位可由软件清零, 或响应中断处理时硬件自动清零。
<i>TCON</i> [4]	<i>TR0</i>	定时器 0 运行控制位。如清零, 定时器 0 停止。
<i>TCON</i> [3]	<i>IE1</i>	在外部引脚 <i>int1</i> 监测到下降沿时, 通过硬件置位中断 1 边沿标志位。响应中断处理时硬件自动清零。
<i>TCON</i> [2]	<i>IT1</i>	中断 1 类型控制位。选择输入引脚的下降沿或低电平触发中断。
<i>TCON</i> [1]	<i>IE0</i>	在外部引脚 <i>int0</i> 监测到下降沿时, 通过硬件置位中断 0 边沿标志位。响应中断处理时硬件自动清零。
<i>TCON</i> [0]	<i>IT0</i>	中断 0 类型控制位。选择输入引脚的下降沿或低电平触发中断。

2.4.7 WD定时器(软件看门狗定时器)

无内部软件看门狗定时器。代之以标准硬件看门狗定时器(见第 2.5.11 节硬件看门狗定时器)。

2.4.8 中断

80515 提供 11 种中断源, 分四个优先级水平。每个中断源在特殊功能寄存器(*TCON*、*IRCON* 和 *SCON*)中都有其自己的中断请求标识。利用 *IEN0* (SFR 0xA8)、*IEN1* (SFR 0xB8)和 *IEN2* (SFR 0x9A)中的中断使能位, 可独立使能或禁用相应中断。

图 16 所示为器件中断结构。

参见图 16，中断源可来自 80515 MPU 核内部(称为内部源)或来自 71M654x SoC 的其它部分(称为外部源)。有 7 种外部中断源，如图 16 最左侧及表 26 和表 27 所示(即 EX0-EX6)。

中断概述

发生中断时，MPU 向量指向预定义的地址，如表 38 所示。一旦开始中断服务，只有更高优先级的中断才能将其打断。中断服务由中断返回指令 RETI 结束。执行 RETI 指令时，处理器返回发生中断时的下一条指令。

发生中断条件时，处理器置位对应的中断标识位。无论此中断是否使能，该位均被置位。每机器周期采样一次中断标识，然后由硬件轮询。中断使能时，如果采样表明有未处理的中断，则置位中断请求标识。在下一个指令周期，如果满足以下条件，硬件强制 LCALL 转至相应的向量地址，从而响应中断：

- 没有在执行相同或更高优先级的中断。
- 当前正在执行某条指令，且尚未完成。
- 正在执行的指令不是 RETI 或者对寄存器 IEN0、IEN1、IEN2、IP0 或 IP1 的任何写操作。

用于中断的特殊功能寄存器

以下的 SFR 寄存器控制中断功能：

- 中断使能寄存器：IEN0、IEN1 和 IEN2 (见表 26、表 27 和表 28)。
- 定时器/计数器控制寄存器，TCON 和 T2CON (见表 29 和表 30)。
- 中断请求寄存器，IRCON (见表 31)。
- 中断优先级寄存器：IP0 和 IP1 (见表 36)。

表 26. IEN0 位功能(SFR 0xA8)

位	符号	功能
IEN0[7]	EAL	EAL = 0 禁用全部中断。
IEN0[6]	WDT	不用于中断控制。
IEN0[5]	—	未使用。
IEN0[4]	ES0	ES0 = 0 禁用串行通道 0 中断。
IEN0[3]	ET1	ET1 = 0 禁用定时器 1 溢出中断。
IEN0[2]	EX1	EX1 = 0 禁用外部中断 1: DIO 状态变化。
IEN0[1]	ET0	ET0 = 0 禁用定时器 0 溢出中断。
IEN0[0]	EX0	EX0 = 0 禁用外部中断 0: DIO 状态变化。

表 27. The IEN1 位功能 (SFR 0xB8)

位	符号	功能
IEN1[7]	—	未使用。
IEN1[6]	—	未使用。
IEN1[5]	EX6	EX6 = 0 禁用外部中断 6: XFER_BUSY、RTC_1S、RTC_1M 或 RTC_T
IEN1[4]	EX5	EX5 = 0 禁用外部中断 5: EEPROM 或 SPI
IEN1[3]	EX4	EX4 = 0 禁用外部中断 4: VSTAT
IEN1[2]	EX3	EX3 = 0 禁用外部中断 3: CE_BUSY
IEN1[1]	EX2	EX2 = 0 禁用外部中断 2: XPULSE、YPULSE、WPULSE 或 VPULSE
IEN1[0]	—	未使用。

表 28. IEN2 位功能(SFR 0x9A)

位	符号	功能
IEN2[0]	ES1	ES1 = 0 禁用串行通道 1 中断。

表 29. TCON 位功能(SFR 0x88)

位	符号	功能
TCON[7]	TF1	定时器 1 溢出标识。
TCON[6]	TR1	不用于中断控制。
TCON[5]	TF0	定时器 0 溢出标识。
TCON[4]	TR0	不用于中断控制。
TCON[3]	IE1	外部中断 1 标识: DIO 状态变化。
TCON[2]	IT1	外部中断 1 类型控制位: 0 = 低电平中断。 1 = 下降沿中断。
TCON[1]	IE0	外部中断 0 标识: DIO 状态变化。
TCON[0]	IT0	外部中断 0 类型控制位: 0 = 低电平中断。 1 = 下降沿中断。

表 30. T2CON 位功能(SFR 0xC8)

位	符号	功能
T2CON[7]	—	未使用。
T2CON[6]	I3FR	外部中断 3 的极性控制: CE_BUSY 0 = 下降沿。 1 = 上升沿。
T2CON[5]	I2FR	外部中断 2 的极性控制: XPULSE、YPULSE、WPULSE 和 VPULSE 0 = 下降沿。 1 = 上升沿。
T2CON[4:0]	—	未使用。

表 31. IRCON 位功能(SFR 0xC0)

位	符号	功能
IRCON[7]	—	未使用。
IRCON[6]	—	未使用。
IRCON[5]	IEX6	1 = 发生外部中断 6, 且尚未清除: XFER_BUSY、RTC_1S、RTC_1M 或 RTC_T
IRCON[4]	IEX5	1 = 发生外部中断 5, 且尚未清除: EEPROM 或 SPI
IRCON[3]	IEX4	1 = 发生外部中断 4, 且尚未清除: VSTAT
IRCON[2]	IEX3	1 = 发生外部中断 3, 且尚未清除: CE_BUSY

<i>IRCON</i> [1]	<i>IEX2</i>	1 = 发生外部中断 2，且尚未清除： XPULSE、YPULSE、WPULSE 或 VPULSE
<i>IRCON</i> [0]	—	未使用。

✓ *TF0* 和 *TF1* (定时器 0 和定时器 1 溢出标识)由硬件在服务例程调用时自动清零(调用服务例程时，信号 *T0ACK* 和 *T1ACK*—端口 *ISR*—高电平有效)。

外部MPU中断

这 7 种外部中断是在 80515 核外部的中断，即由 71M654x 其它电路产生，例如：CE、DIO、RTC 或 EEPROM 接口。

外部中断连接如表 32 所示。中断 2 和中断 3 的极性可在 MPU 中通过 *T2CON* (SFR 0xC8)的 *I3FR* 和 *I2FR* 位设置。中断 2 和中断 3 应设置为下降沿触发(*I3FR* = *I2FR* = 0)。通用 8051 MPU 资料规定中断 4 至 6 定义为上升沿触发。所以，连接至中断 5 和 6 的下降沿触发信号在内部进行了反相，实现表 32 所示的触发沿极性。

表 32. 外部 MPU 中断

外部中断	连接	极性	标识复位
0	数字 I/O	见 2.5.8	自动
1	数字 I/O	见 2.5.8	自动
2	CE_PULSE	上升	自动
3	CE_BUSY	下降	自动
4	VSTAT (VSTAT[2:0]改变)	上升	自动
5	EEPROM busy (下降), SPI (上升)		自动
6	XFER_BUSY (下降), RTC_1SEC, RTC_1MIN, RTC_T (上升)	下降	手动

外部中断 0 和 1 可通过 DIO 映射表映射到器件引脚，更多信息请参见第 2.5.8 节数字 I/O。

SFR 对应的中断使能位必须置 1，才能允许相应中断发生。同样，每种中断都有其自身的标识位，由中断硬件设置，并由 MPU 响应中断处理程序后复位。除了外部中断 6、5 和 2 使能及其标识位外，XFER_BUSY、RTC_1SEC、RTC_1MIN、RTC_T、SPI、EEPROM 和 4 个 W/V/X/YPULSE 都需要其自身的使能和标识位(见表 33: 中断使能和标识位)。



IE0 至 IEX6 在硬件指向中断处理程序后自动清除。其它标识，*IE_XFER* 至 *IE_VPULSE*，必须软件写 0 清除。

由于这些位位于 SFR 寻址字节内，多数应用中通过位操作将其清除，但在此必须避免。硬件以一个字节宽的“读-修改-写”硬件宏实现位操作。如果在读操作之后、写操作之前发生中断，其标识将被意外清除。

清除标识位的正确方式是写一个掩码，除被清除位为零外，其它位均为 1。标识位写 0 清除，写 1 时硬件忽略。

表 33. 中断使能和标识位

中断使能		中断标识		中断说明
名称	位置	名称	位置	
<i>EX0</i>	SFR 0xA8[0]	<i>IE0</i>	SFR 0x88[1]	外部中断 0
<i>EX1</i>	SFR 0xA8[2]	<i>IE1</i>	SFR 0x88[3]	外部中断 1
<i>EX2</i>	SFR 0xB8[1]	<i>IEX2</i>	SFR 0xC0[1]	外部中断 2
<i>EX3</i>	SFR 0xB8[2]	<i>IEX3</i>	SFR 0xC0[2]	外部中断 3
<i>EX4</i>	SFR 0xB8[3]	<i>IEX4</i>	SFR 0xC0[3]	外部中断 4
<i>EX5</i>	SFR 0xB8[4]	<i>IEX5</i>	SFR 0xC0[4]	外部中断 5
<i>EX6</i>	SFR 0xB8[5]	<i>IEX6</i>	SFR 0xC0[5]	外部中断 6
<i>EX_XFER</i>	0x2700[0]	<i>IE_XFER</i>	SFR 0xE8[0]	XFER_BUSY 中断(int 6)
<i>EX_RTC1S</i>	0x2700[1]	<i>IE_RTC1S</i>	SFR 0xE8[1]	RTC_1SEC 中断(int 6)
<i>EX_RTC1M</i>	0x2700[2]	<i>IE_RTC1M</i>	SFR E0x8[2]	RTC_1MIN 中断(int 6)

中断使能		中断标识		中断说明
名称	位置	名称	位置	
<i>EX_RTCT</i>	0x2700[4]	<i>IE_RTCT</i>	SFR 0xE8[4]	RTC_T 报警时钟中断(int 6)
<i>EX_SPI</i>	0x2701[7]	<i>IE_SPI</i>	SFR 0xF8[7]	SPI 中断
<i>EX_EEX</i>	0x2700[7]	<i>IE_EEX</i>	SFR 0xE8[7]	EEPROM 中断
<i>EX_XPULSE</i>	0x2700[6]	<i>IE_XPULSE</i>	SFR 0xE8[6]	CE_XPULSE 中断(int 2)
<i>EX_YPULSE</i>	0x2700[5]	<i>IE_YPULSE</i>	SFR 0xE8[5]	CE_YPULSE 中断(int 2)
<i>EX_WPULSE</i>	0x2701[6]	<i>IE_WPULSE</i>	SFR 0xF8[4]	CE_WPULSE 中断(int 2)
<i>EX_VPULSE</i>	0x2701[5]	<i>IE_VPULSE</i>	SFR 0xF8[3]	CE_VPULSE 中断(int 2)

中断优先级结构

全部中断源被分组，如表 34 所示。

表 34. 中断优先级组

组	组成内容		
0	外部中断 0	串行通道 1 中断	—
1	定时器 0 中断	—	外部中断 2
2	外部中断 1	—	外部中断 3
3	定时器 1 中断	—	外部中断 4
4	串行通道 0 中断	—	外部中断 5
5	—	—	外部中断 6

外部中断 0~6 的优先级由 *IP0* (SFR 0xA9)和 *IP1* (SFR 0xB9)共同决定(表 36)。每个中断支持四级优先级(如表 35 所示)。如果同时接收到相同优先级中断请求，8051 将会按照表 37 所示的内部轮询顺序决定首先处理哪个请求。



如果在中断使能的情况下修改中断优先级，此时很容易引起软件问题。因此推荐在中断使能之前时初始化中断优先级。

表 35. 中断优先级

<i>IP1</i> [x]	<i>IP0</i> [x]	优先级
0	0	优先级 0 (最低)
0	1	优先级 1
1	0	优先级 2
1	1	优先级 3 (最高)

表 36. 中断优先级寄存器(*IP0* 和 *IP1*)

寄存器	地址	第 7 位 (MSB)	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位 (LSB)
<i>IP0</i>	SFR 0xA9	—	—	<i>IP0</i> [5]	<i>IP0</i> [4]	<i>IP0</i> [3]	<i>IP0</i> [2]	<i>IP0</i> [1]	<i>IP0</i> [0]
<i>IP1</i>	SFR 0xB9	—	—	<i>IP1</i> [5]	<i>IP1</i> [4]	<i>IP1</i> [3]	<i>IP1</i> [2]	<i>IP1</i> [1]	<i>IP1</i> [0]

表 37. 中断轮询排序

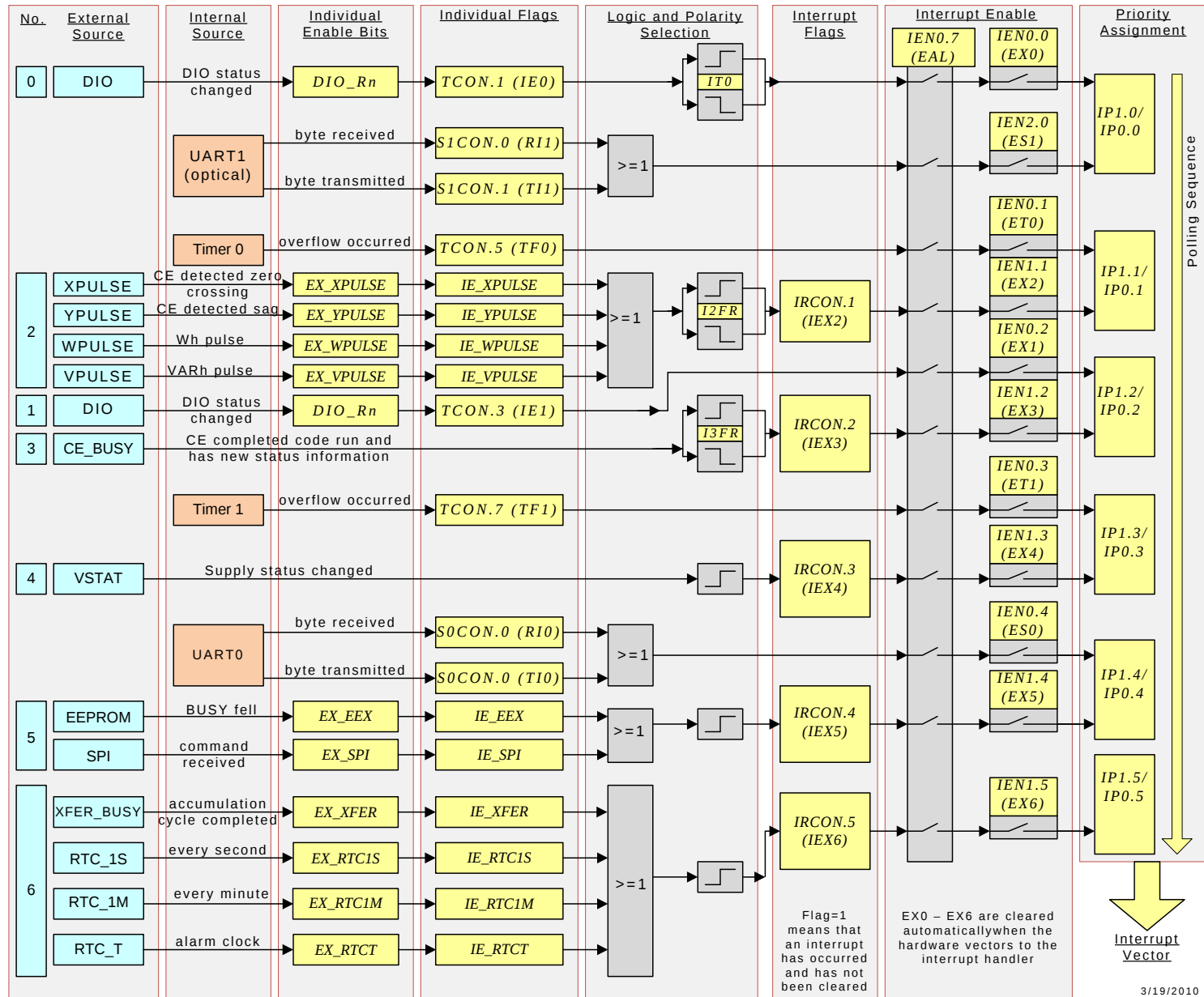
外部中断 0	轮询排序
串行通道 1 中断	
定时器 0 中断	
外部中断 2	
外部中断 1	
外部中断 3	
定时器 1 中断	
外部中断 4	
串行通道 0 中断	
外部中断 5	
外部中断 6	

中断源和向量

表 38 中列出了中断及其对应的标识和向量地址。

表 38. 中断向量

中断请求标识	说明	中断向量地址
<i>IE0</i>	外部中断 0	0x0003
<i>TF0</i>	定时器 0 中断	0x000B
<i>IE1</i>	外部中断 1	0x0013
<i>TF1</i>	定时器 1 中断	0x001B
<i>RI0/TI0</i>	串行通道 0 中断	0x0023
<i>RI1/TI1</i>	串行通道 1 中断	0x0083
<i>IEX2</i>	外部中断 2	0x004B
<i>IEX3</i>	外部中断 3	0x0053
<i>IEX4</i>	外部中断 4	0x005B
<i>IEX5</i>	外部中断 5	0x0063
<i>IEX6</i>	外部中断 6	0x006B



"Internal Source"表示来自于 80515 MPU 核的中断源。

"External Source" 表示来自于 71M654x SoC 其它电路、在 80515 MPU 核之外的中断源。

图 16. 中断结构

2.5 片上资源

2.5.1 物理存储器

2.5.1.1 闪存模式

器件包括 128KB (71M6541G、71M6542G)、64KB (71M6542F、71M6541F)或 32KB (71M6541D)片上 FLASH，用来装载 MPU 和 CE 程序代码。它还包括 CE RAM 和 I/O RAM 映像。上电时，使能 CE 之前，MPU 需要将这些映像复制到各自位置。

CE 程序空间限制为 4096 个 16 位字(8KB)。并且它在 FLASH 的起始地址必须以完整的 1KB 为单位。*CE_LCTN[5:0]*字段(*I/O RAM 0x2109[5:0]*)定义哪个 1KB 边界含有 CE 代码。所以，第一条 CE 指令位于 $1024 * CE_LCTN[5:0]$ 。

FLASH 可由 MPU、CE 及 SPI 接口(读/写)访问。

表 39. 闪存访问

访问者	访问类型	条件
MPU	R/W/E	只有 CE 被禁用时才能写和擦除。
CE	R	
SPI	R/W/E	只有调用 SFM (MPU 暂停)时才可访问。

FLASH 写操作步骤

如果 *FLSH_UNLOCK[3:0]* (*I/O RAM 0x2702[7:4]*)密钥设置正确，MPU 可写入 FLASH。这是除外部 EEPROM 之外，用户可以操作的非易失存储器之一。

FLASH 程序写使能位 *FLSH_PWE* (*SFR 0xB2[0]*)用来区分存储器指令(MOVX@DPTR,A)操作的是 FLASH 还是 XRAM。该位由硬件在每个字节写操作之后自动清零。使能中断时，禁止对该位进行写操作。

如果 CE 位使能(*CE_E* = 1, *I/O RAM 0x2106[0]*)，FLASH 写操作只有在 *FLSH_PSTWR* (*SFR 0xB2[2]*)置位时才有效，该位使能“posted flash write”。*CE_E* = 0 时，*FLSH_PSTWR* 操作无效；而 *CE_E* = 1 时，*FLSH_PSTWR* 延迟 FLASH 写操作，延时间隔为 CE 程序的执行周期。延迟时间内，*FLSH_PEND* 位(*SFR 0xB2[3]*)置 1，MPU 继续执行命令。CE 程序周期结束时(*CE_BUSY* 变低)，*FLSH_PEND* 位清零，同时进行写操作。MPU 可查询 *FLSH_PEND* 位，确定何时完成写操作。*FLSH_PEND* = 1 时，忽略其它 FLASH 写操作请求。

更新 FLASH 的个别字节

FLASH 单元的初始值为 0xFF (全部位为 1)。将非 0xFF 数值写入 FLASH 单元时，首先需要擦除该单元。由于单元不能独立擦除，所以需要将整页内容复制到 RAM，然后擦除该页。之后，更新需要的 RAM 内容，再写回至 FLASH。

FLASH 擦除步骤

按照一定的顺序，将特定的操作码写入至特定 SFR 寄存器，才能启动 FLASH 擦除功能。这些特殊的操作码/顺序可以防止 FLSH 的意外擦除。

整体擦除顺序为：

- 写 1 至 *FLSH_MEEN* 位(*SFR 0xB2[1]*)。
- 写操作码 0xAA 至 *FLSH_ERASE* 寄存器(*SFR 0x94*)。



该功能只有在 ICE 端口使能(即硬件的 *ICE_E* 引脚拉高)时才有效。

页擦除顺序为：

- 写页地址至 *FLSH_PGADR[5:0]* (*SFR 0xB7[7:2]*)。
- 写操作码 *0x55* 至 *FLSH_ERASE* 寄存器(*SFR 0x94*)。

程序加密

加密位使能时，安全机制将限制 ICE 除全局 FLASH 擦除之外的任何操作，确保用户 MPU 和 CE 程序代码的安全。用户需要在主程序执行前的 64 个 CKMPU 周期内使能 *SECURE* 位，启用加密功能。一旦加密机制使能，将其禁用的唯一方式是执行 FLASH 全局擦除，然后进行芯片复位。

MPU 引导代码的前 64 个周期称为预引导阶段，ICE 在该阶段禁用。*PREBOOT (SFR 0xB2[7])*位是该阶段的只读状态位，MPU 可以通过它识别启动阶段。完成预引导后，可使能 ICE，并允许控制 MPU。

芯片复位时，安全使能位 *SECURE (SFR 0xB2[6])*也同时复位，与该位相关的硬件只允许写 1。所以，在预引导代码内需要置位 *SECURE* 位来使能安全特性，一旦使能，软件将无法取消该功能。同时预引导代码受到保护，外部将无法读取任何程序代码。

具体说，*SECURE* 置位时，以下情况适用：

- ICE 仅限于整体 FLASH 擦除。
- FLASH 的 0 页，用户预引导代码的首选位置，不可被 MPU 或 ICE 页擦除。第 0 页只能通过全局 FLASH 擦除。
- 禁止 MPU 或 ICE 对 0 页进行写操作。

71M6541D/F/G 和 71M6542F/G 还具有防止意外写入及擦除 FLASH 的硬件机制。为了使能 FLASH 写入和擦除操作，必须向 *FLSH_UNLOCK[3:0]* 字段写入 4 位硬件密钥。密钥为二进制数 '0010'。如果 *FLSH_UNLOCK[3:0]*不是'0010'，硬件禁止 FLASH 擦除和写操作。在 SPI FLASH 编程(SFM 模式)时，密钥应由外部 SPI 主控制器件写入；或者在 ICE FLASH 编程时，通过 ICE 接口写入。使用装载器功能时，应该将密钥送至装载程序，由装载程序将其写入 *FLSH_UNLOCK[3:0]*。*FLSH_UNLOCK[3:0]*不自动复位，应该在 SPI 或 ICE 结束更改 FLASH 时将其清零。表 40 中汇总了用于 FLASH 安全的 I/O RAM 寄存器。

表 40. 闪存加密

名称	位置	复位	唤醒	方向	说明
<i>FLSH_UNLOCK[3:0]</i>	2702[7:4]	0	0	R/W	必须为 2，才允许 FLASH 的写操作,更多详情参见 FLASH 安全说明。
<i>SECURE</i>	SFR B2[6]	0	0	R/W	禁止擦除 0 页及 <i>CE_LCTN[5:0]</i> (<i>I/O RAM 0x2109[5:0]</i>)定义的 CE 代码开始以上的地址。也禁止通过 ICE 和 SPI 端口读 FLASH。

SPI FLASH 模式

一般器件的 SPI 从接口不能读或写 FLASH。然而，71M6541D/F/G 和 71M6542F/G 具有特殊 FLASH 模式 (SFM)，以方便用户的初始(生产)编程。71M654x 处于 SFM 模式时，SPI 接口可擦除、读和写 FLASH。该模式下，SPI 不可访问其它存储器元件，例如 XRAM 和 I/O RAM。为保护 FLASH 内容，需要几步操作才能激活 SFM 模式。

关于 SFM 详情请参见第 2.5.10 节(SPI 从机接口)。

2.5.1.2 MPU/CE RAM

71M654x 包括 3~5KB 片上静态 RAM 存储器(XRAM)和 MPU 核的 256 字节内部 RAM。静态 RAM 用于 MPU 和 CE 操作的数据存储。

2.5.1.3 I/O RAM (配置RAM)

I/O RAM 可看做是一系列控制基本硬件功能的寄存器。I/O RAM 地址空间从 0x2000 开始。表 74 列出了 I/O RAM 寄存器。

71M6541D/F/G 和 71M6542F/G 在 I/O RAM 地址空间包括 128 字节片上非易失 RAM 存储器(地址 0x2800 至 0x287F)。该存储器部分由 VBAT_RTC 引脚的电压支持, 只要 VBAT_RTC 上的电压处于规定范围内 (2.0~3.8V), 在 BRN、LCD 和 SLP 模式下就可保持其中的数据。

2.5.2 振荡器

振荡器驱动标准的 32.768kHz 钟表晶体。这种类型的晶体具有较高精度, 且驱动功耗很小。振荡器经过特殊设计, 配合钟表晶体工作, 支持高阻、低功耗操作。振荡器功耗非常低, 可有效延长连接至 VBAT_RTC 的电池寿命。

振荡器校准可提高 RTC 和表计精度, 更多信息请参见第 2.5.4 节实时时钟(RTC)。

振荡器由 V3P3SYS 引脚或 VBAT_RTC 引脚供电, 取决于 V3OK (即如果 $V3P3SYS \geq 2.8 \text{ VDC}$, $V3OK = 1$; 如果 $V3P3SYS < 2.8 \text{ VDC}$, $V3OK = 0$)。振荡器消耗大约 100nA, 相对于电池内部漏电流可忽略不计。

2.5.3 PLL和内部时钟

器件时钟源来自 32.768 kHz 晶振输出, 经过 PLL 倍频 600 倍, 得到 19.660800 MHz 的主控时钟(MCK)。除 RTC 时钟之外, 所有片上定时都源于 MCK。表 41 为时钟功能及其控制汇总。

MPU 中的两个通用计数器/定时器由 CKMPU 控制(参见第 2.4.6 节定时器和计数器)。

通过设置 PLL_FAST 位= 1 (I/O RAM 0x2200[4]), 主控时钟可升至 19.66MHz; 通过设置 $PLL_FAST = 0$, 可降至 6.29MHz。MPU 时钟频率 CKMPU 可由 I/O RAM 控制字段 $MPU_DIV[2:0]$ (I/O RAM 0x2200[2:0])控制分频输出, 设为 $MCK * 2^{-(MPU_DIV+2)}$, 其中, $MPU_DIV[2:0]$ 为 0 至 4。通过降低 MPU 时钟频率, 可减小 71M654x 电流损耗。ICE_E 引脚为高电平时, 电路还产生 9.83MHz 时钟, 供仿真器使用。

LCD_BSTE 禁用时, PLL 只有在 SLP 模式或 LCD 模式下关闭。LCD_BSTE 取决于 $LCD_VMODE [1:0]$ 字段的设置(见表 56)。

该部件从 SLP 或 LCD 模式唤醒时, PLL 在 6.29 MHz 模式下开启, PLL_OK 标识(SFR 0xF9[4])置 1 之前 PLL 频率不精确。由于潜在的过冲, 在 PLL_OK 为 1 之前, MPU 不应更改 PLL_FAST 值。

表 41. 时钟系统汇总

时钟	源自	固定频率或范围			功能
		<i>PLL_FAST=1</i>	<i>PLL_FAST=0</i>	控制	
OSC	晶体	32.768 kHz			晶振时钟
MCK	晶体/PLL	19.660800MHz (600*CK32)	6.291456MHz (192*CK32)	<i>PLL_FAST</i>	主控时钟
CKCE	MCK	4.9152MHz	1.5728MHz	—	CE 时钟
CKADC	MCK	4.9152MHz, 2.4576MHz	1.572864MHz, 0.786432MHz	<i>ADC_DIV</i>	ADC 时钟
CKMPU	MCK	4.9152MHz ... 307.2kHz	1.572864MHz... 98.304kHz	<i>MPU_DIV[2:0]</i>	MPU 时钟
CKICE	MCK	9.8304MHz... 614.4kHz	3.145728MHz ... 196.608kHz	<i>MPU_DIV[2:0]</i>	ICE 时钟
CKOPTMOD	MCK	38.40kHz	38.6kHz	—	光 UART 调制
CK32	MCK	32.768kHz			32kHz 时钟

2.5.4 实时时钟(RTC)

2.5.4.1 RTC概述

RTC 由晶振直接驱动，由 V3P3SYS 引脚或 VBAT_RTC 引脚供电，取决于 V30K。RTC 由计数器链和输出寄存器组成。计数器链由秒、分、时、星期、日、月和年寄存器组成。链寄存器支持影子寄存器功能，方便读写操作。

表 42 列出了 RTC 控制的 I/O RAM 寄存器。

2.5.4.2 访问RTC

RTC_RD (I/O RAM 0x2890[6])位和 *RTC_WR* (I/O RAM 0x2890[7])位，用控制影子寄存器功能。

RTC_RD 为低电平时，RTC 每 2ms 更新一次影子寄存器。*RTC_RD* 为高电平时，暂停更新，影子寄存器内容保持不变，适合 MPU 读取。所以，MPU 希望读取 RTC 时，通过设置 *RTC_RD* 位冻结影子寄存器，读取影子寄存器，然后将 *RTC_RD* 位置低，恢复更新影子寄存器。*RTC_RD* 位在 RTC 更新完影子寄存器后自动清除。由于 RTC 更新频率 500Hz，因此 *RTC_RD* 位从高变低到影子寄存器接收第一次更新，大约延迟 2ms。

RTC_WR 为高电平时，也禁止影子寄存器的更新。在此期间，MPU 可以修改影子寄存器的内容。*RTC_WR* 变低时，硬件电路将在下一个 2ms 之内使用影子寄存器覆盖 RTC 寄存器。影子寄存器中的每个字包括一个变更位，确保 MPU 向 *RTC_WR* 写 0 时只更新编程字。*RTC_WR* 位在 RTC 将影子寄存器更新至 RTC 寄存器之后自动清除。

RTC 的亚秒寄存器 *RTC_SBSC* (I/O RAM 0x2892)在一次秒中断之后、下一个秒中断边界之前可由 MPU 读取。*RTC_SBSC* 寄存器表示到下一个秒边界剩余的 1/128 秒周期的数量。写 0x00 至 *RTC_SBSC* 复位计数器，重新开始从 0 至 127 计数。读和复位亚秒计数器可作为准确设置 RTC 的算法的一部分。

RTC 能够处理闰年。每个计数器都有其自身的输出寄存器。RTC 链寄存器不受复位引脚、看门狗定时器复位或电池模式和任务模式之间转换的影响。

表 42. RTC 控制寄存器

名称	位置	复位	唤醒	方向	说明
<i>RTC_ADJ</i> [6:0]	2504[6:0]	00	—	R/W	用于模拟 RTC 频率调节的寄存器。
<i>RTC_P</i> [16:14] <i>RTC_P</i> [13:6] <i>RTC_P</i> [5:0]	289B[2:0] 289C[7:0] 289D[7:2]	4 0 0	4 0 0	R/W	用于数字 RTC 调节的寄存器。有效范围： $0x0FFBF \leq RTC_P \leq 0x10040$
<i>RTC_Q</i> [1:0]	289D[1:0]	0	0	R/W	用于数字 RTC 调节的寄存器。
<i>RTC_RD</i>	2890[6]	0	0	R/W	冻结 RTC 影子寄存器，使其适合于 RTC 读取。读 <i>RTC_RD</i> 时，返回影子寄存器的状态：0 = 更新，1 = 冻结。
<i>RTC_WR</i>	2890[7]	0	0	R/W	冻结 RTC 影子寄存器，使其适合于 RTC 写操作。 <i>RTC_WR</i> 被清除时，在下一个 RTC 时钟(大约 500Hz)将影子寄存器的内容写入 RTC 寄存器。读 <i>RTC_WR</i> 时，只要 <i>RTC_WR</i> 置位，则返回 1。在 RTC 寄存器更新之前，它将继续返回 1。
<i>RTC_FAIL</i>	2890[4]	0	0	R/W	表示 RTC 发生计数错误，此时时间不可信。该位可通过写 0 清除。
<i>RTC_SBSC</i> [7:0]	2892[7:0]			R	自上 1 秒边界的时间，LSB = 1/128 秒。

2.5.4.3 RTC 频率控制

提供两种频率修正方法：

- 第一种方法是模拟频率修调，使用 I/O RAM 寄存器 *RTCA_ADJ*[6:0] (I/O RAM 0x2504[6:0])，微调晶振负载电容。
- 第二种方法是数字频率修正，调整 RTC 时钟频率。

将 *RTCA_ADJ*[6:0] 设为 00，对应负载电容最小化，振荡器频率最大化。将 *RTCA_ADJ*[6:0] 设为 7F，将负载电容最大化，振荡器频率最小化。可调电容大约为：

$$C_{ADJ} = \frac{RTCA_ADJ}{128} \cdot 16.5pF$$

最小调整量(大约为 0.3ppm)取决于晶振特性、PCB 布局及外部晶振电容的值。任何时候均可调节，并应该在 1 秒间隔内测量获得的时钟频率。

第二种频率修调方法为数字式，调节范围±988ppm，分辨率为 3.8 ppm (±1.9 ppm)。注意，3.8 ppm 对应于 $4 \cdot RTC_P + RTC_Q$ 构成的 19 位参量数的 1 个 LSB，1.9ppm 对应于 ½ LSB。速率调节从调整后的下一个秒边界开始执行。由于 LSB 造成每次调整为 4 秒，所以应在 4 秒的整数倍间隔内测量频率。

通过向 *RTC_P*[16:0] (I/O RAM 0x289B[2:0]、0x289C, 0x289D[7:2])和 *RTC_Q*[1:0] (I/O RAM 0x289D[1:0])写入相应数值调节时钟频率。如上所述，通过影子寄存器更新 RTC 速率调节寄存器 *RTC_P* 和 *RTC_Q*。*RTC_WR* (I/O RAM 0x2890[7])降低时，新值被加载至计数器。

默认频率为 32,768 RTCLK 周期/秒。为了将时钟频率改变 Δppm，利用下式计算 *RTC_P* 和 *RTC_Q*：

$$4 \cdot RTC_P + RTC_Q = \text{floor} \left(\frac{32768 \cdot 8}{1 + \Delta \cdot 10^{-6}} + 0.5 \right)$$

相反，给定 $4RTC_P + RTC_Q$ 数值时，ppm 变化量为：

$$\Delta (ppm) = \left(\frac{32768 \cdot 8}{4 \cdot RTC_P + RTC_Q} - 1 \right) 10^6$$

例如，对于-988ppm 的变化， $4 \cdot RTC_P + RTC_Q = 262403 = 0x40103$ 。 $RTC_P = 0x10040$ ， $RTC_Q = 0x03$ 。 RTC_P 和 RTC_Q 的默认值分别为 $0x10000$ 和 $0x0$ ，对应于 0 调节。

TMUX2OUT 测试引脚的两种设置，PULSE_1S 和 PULSE_4S，可用于测量和校准 RTC 时钟频率。其占空比大约为 25%，周期为 1s 或 4s 的方波

✓ $RTCA_ADJ$ 、 RTC_P 和 RTC_Q 的默认值应为标称值，处于调节范围的中间。写入非法数值 (比如 RTC_P 写 0) 会造成工作不正常。

如果已知晶振的温度系数，MPU 可根据集成的温度传感器，在必要时修正 RTC 时钟。或者，将温度补偿值写入 RTC 调整 NV RAM (注，此处的 128 字节与 IO RAM 区不是同一存储块)，并置位 OSC_COMP 位 (I/O RAM $0x28A0[5]$)。这种情况下，即使在 LCD/SLP 模式，振荡器也可以自动修正。详情请参见实时 RTC 温度补偿部分。

2.5.4.4 RTC温度补偿

71M6541D/F/G 和 71M6542F/G 可配置为定期测量管芯温度，包括 SLP 模式、LCD 模式和 MPU 停止模式。如果由 OSC_COMP 位使能，硬件电路可根据温度信息查表，修正晶振输出频率，无需 MPU 介入。查找表是 RTC 专用的 128 字节 NV RAM 存储器，用户需要在启动 OSC_COMP 之前填写适当的频率修正数据。

表 43 所示为用于自动 RTC 温度补偿的 I/O RAM 寄存器。

表 43. 用于 RTC 温度补偿的 I/O RAM 寄存器

名称	位置	复位	唤醒	方向	说明
OSC_COMP	28A0[5]	0	0	R/W	使能 RTC_P 和 RTC_Q 在每次温度测量时被自动更新。
$STEMP[10:3]$ $STEMP[2:0]$	2881[7:0] 2882[7:5]	—	—	R	温度测量结果(10 位数据加 1 个符号位)。整体读取 16 位 $STEMP[10:0]$ 数据，然后右移 5 位。如以下代码所示： volatile int16_t xdata STEMPT_at_0x2881; fa = (float)(STEMPT/32);
$LKPADDR[6:0]$	2887[6:0]	0	0	R/W	读和写 RTC 查找表的 RAM 地址。
$LKPAUTOI$	2887[7]	0	0	R/W	自动递增标识。置位时， $LKPADDR[6:0]$ 在 LKP_RD 或 LKP_WR 位在每次触发后自动递增。递增地址可从 $LKPADDR[6:0]$ 读取。
$LKPDAT[7:0]$	2888[7:0]	0	0	R/W	读/写 RTC 查找 RAM 数据。
LKP_RD LKP_WR	2889[1] 2889[0]	0 0	0 0	R/W R/W	用于 RTC 查找表 RAM 读/写的选通位。置位时， $LKPADDR$ 和 $LKPDAT$ 寄存器用于读或写操，操作完成后选通位硬件清除。如果此时 $LKPAUTOI$ 置位， $LKPADDR$ 自动递增。

参见图 17，查表法通过将 $STEMP[10:0]$ 寄存器中的 10 位加符号位数值右移 2 位，获得 8 位加符号位数值 (即 NV RAM 地址 = $STEMP/4$)。限制器确保得到的查找地址在 6 位加符号位范围：-64 至 +63 (十进制) 之内。地址指向的 8 位 NV RAM 内容作为 2 的补码增加至 $4 \cdot RTC_P + RTC_Q$ 标称值， $0x40000$ 。

关于利用寄存器 $RTC_P[16:0]$ (I/O RAM $0x289B[2:0]$ 、 $0x289C$ 、 $0x289D[7:2]$) 和 $RTC_Q[1:0]$ (I/O RAM $0x2891[1:0]$) 进行时钟频率调整的内容，请参见第 2.5.4.3 节 RTC 频率控制。必须正确确定标加载至 NV RAM 的 8 位值，以便与第 2.5.4.3 节 RTC 频率控制给定的 RTC_P 和 RTC_Q 公式一致。注意，8 位 2 的补码查找值与 $0x40000$ 之和构成一个 19 位数值，等于 $4 \cdot RTC_P + RTC_Q$ ，如图 17 所示。每次查找及求和运算后，温度补偿输出自动加载 $RTC_P[16:0]$ 和 $RTC_Q[1:0]$ 寄存器。

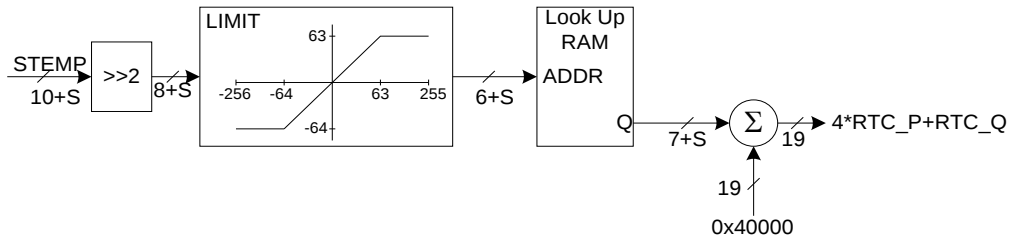


图 17. 自动温度补偿

128 个 NV RAM 单元以 2 的补码形式组合，如表 44 所示。如上所述， $STEMP[10:0]$ 数字温度补偿值标定为对应 NV RAM 地址等于 $STEMP[10:0]/4$ (限制在 -64 至 +63)。关于利用 $STEMP[10:0]$ 读数计算温度值(以 °C 为单位)的公式，请参见第 56 页的第 2.5.5 节：71M654x 温度传感器。

该温度公式用于计算表 44 中的两个温度列(第二列和最右侧一列)。第二列使用 $STEMP[10:0]$ 的全部 11 位，最右侧一列则由经过限制器之后的数据(6+S)值与 4 相乘得到。由于每个查找表地址步长对应于 $4 \times 0.325^{\circ}\text{C}$ 温度步长，所以乘以 4 后，将限制器之后的 6+S 值加 2，计算出最右侧一列的数值。该方法确保补偿数据以最小量化误差加载至查找表。表 44 列出了与图 17 每一节点对应的数值。表中未列出超出 -256 至 +255 范围的 $STEMP[10:0]$ 值。限制器输出被限制在 -64 至 +63 范围，它直接就是 128 字节查找表的相应地址。最右侧一列给出对应于 128 字节补偿表中每个地址单元的标称温度。

表 44. NV RAM 温度表结构

$STEMP[10:0]$ (10+S) (十进制)	温度(°C) (公式)	$STEMP[10:0] \gg 2$ (8+S) (十进制)	限制器输出 (6+S) (十进制)	温度(°C) (查找表)
-256	-61.71	-64	-64	-61.06
-255	-61.39			
-254	-61.06			
-253	-60.73			
...	...	...	...	...
-4	20.69	-1	-1	21.35
-3	21.02			
-2	21.35			
-1	21.67			
0	22.00	0	0	22.65
1	22.33			
2	22.65			
3	22.98			
4	23.31	1	1	23.96
5	23.64			
6	23.96			
7	24.29			
...	...	...	...	...
252	104.40	63	63	105.06
253	104.73			
254	105.06			
255	105.39			

为正确工作，MPU 必须将反映晶体温度特性的数值加载至查找表，通常在初始化期间完成。由于不能直接寻址查找表，MPU 需采用以下步骤加载整个 NV RAM 表：

1. 将 *LKPAUTOI* 位(I/O RAM 0x2887[7])置位，使能地址自动递增。
2. 向 I/O RAM 寄存器 *LKPADDR*[6:0] (I/O RAM 0x2887[6:0])写 0。
3. 将 8 位数据写至 I/O RAM 寄存器 *LKPDAT* (I/O RAM 0x2888)。
4. 将 *LKP_WR* 位(I/O RAM 0x2889[0])置位，将 8 位数据写至 NV_RAM。
5. 等待 *LKP_WR* 清零(*LKP_WR* 在数据复制到 NV RAM 后自动清零)。
6. 重复第 3 步至第 5 步，直到将全部数据写至 NV RAM。

NV RAM 亦可通过将 1 写入 *LKP_RD* 位(I/O RAM 0x2889[1])读取。通过置位 *LKPAUTOI* 位(I/O RAM 0x2887[7])，可加快读/写 NV RAM 的过程。*LKPAUTOI* 置位时，*LKPADDR*[6:0]在 *LKP_RD* 或 *LKP_WR* 每次触发后自动递增。通过写 0 至 *LKPAUTOI* 位，并将相应地址加载至 *LKPADDR*[6:0]，可随机存取 NV RAM。



如果未使用振荡器的温度补偿功能，可将 NV RAM 存储区域作为普通 NV 存储空间，利用以上介绍的步骤读/写 NV RAM 数据。这种情况下，保持 *OSC_COMP* 位(I/O RAM 0x28A0[5])为 0，即禁用自动振荡器温度补偿特性。

2.5.4.5 RTC中断

RTC 每秒和每分钟产生中断。这些中断称为 *RTC_1SEC* 和 *RTC_1MIN*。此外，RTC 还具有闹钟功能，分钟和小时寄存器等于表 45 中定义的相应数值时，产生中断。闹钟中断称为 *RTC_T*。三种中断均在 MPU 的外部中断 6。关于这些中断的使能位和标识，请参见中断部分的表 33。

分钟和小时的目标寄存器列在表 45 中。

表 45. 用于 RTC 中断的 I/O RAM 寄存器

名称	位置	复位	唤醒	方向	说明
<i>RTC_TMIN</i> [5:0]	289E[5:0]	0	0	R/W	目标分钟寄存器,参见下文的 <i>RTC_THR</i> [4:0]。
<i>RTC_THR</i> [4:0]	289F[4:0]	0	0	R/W	目标小时寄存器。 <i>RTC_T</i> 中断， <i>RTC_MIN</i> 等于 <i>RTC_TMIN</i> 且 <i>RTC_HR</i> 等于 <i>RTC_THR</i> 时，发生 <i>RTC_T</i> 中断。

2.5.5 71M654x温度传感器

71M654x 具有片上温度传感器，用于确定其带隙基准的温度。温度数据的主要用途是对计量(电流、电压和能量)及 RTC 进行温漂补偿。请参见第 97 页第 4.7 节计量温度补偿，另请参考第 53 页第 2.5.4.4 节 RTC 温度补偿。

与前几代 Teridian SoC 不同，71M654x 不与计量部分共用 ADC 转换温度，而是采用一片低功耗 ADC，支持 SLP、LCD 模式，以及 BRN 和 MSN 模式的测量需求。这意味着即使在 MPU 暂停 LCD/SLP 模式下，也可以对晶振频率进行温度补偿，参见第 53 页第 2.5.4.4 节 RTC 温度补偿。

MSN 和 BRN 模式下，通过置位 *TEMP_START* (I/O RAM 0x28B4[6])控制位，利用命令唤醒温度传感器。MPU 必须等待 *TEMP_START* 位清零，才能读取 *STEMP*[10:0]并进行下次测量，置位 *TEMP_START*。SLP 和 LCD 模式下，以 *TEMP_PER*[2:0] (I/O RAM 0x28A0[2:0])设定的间隔定期唤醒。

从两个 I/O RAM 地址 *STEMP*[10:3] (I/O RAM 0x2881)和 *STEMP*[2:0] (I/O RAM 0x2882[7:5])读取温度测量结果。注意，必须读取这两个 I/O RAM 地址并正确组合，构成 *STEMP*[10:0]的 11 位数值(见表 46 中的 *STEMP*)。所得到的 11 位值为 2 的补码，范围从-1024 至+1023 (十进制)。利用以下公式从 11 位 *STEMP*[10:0]读数计算检测到的温度。

以下公式用于计算检测到的温度。第一个公式适用于 71M654x 工作在 MSN 模式及 *TEMP_PWR* = 1 的条件下。第二个公式用于 71M654x 处于 BRN 模式下，这种情况下，*TEMP_PWR* 和 *TEMP_BSEL* 位必须设为相同值，从而检测为温度传感器供电的电池，*BSENSE* 为电池电压测量值。所以，第二个公式需要读取 *STEMP* 和 *BSENSE*。第二个公式中，芯片处于 BRN 模式时，*BSENSE* (检测到的电池电压)用于获取更准确的温度读数。

71M654x 处于 MSN 模式时(*TEMP_PWR* = 1):

$$Temp(^{\circ}C) = 0.325 \cdot STEM P + 22$$

71M654x 处于 BRN 模式时(*TEMP_PWR* = *TEMP_BSEL*):

$$Temp(^{\circ}C) = 0.325 \cdot STEM P + 0.00218 \cdot BSENSE^2 - 0.609 \cdot BSENSE + 64.4$$

表 46 列出了用于温度和电池测量的 I/O RAM 寄存器。

✓ 如果 *TEMP_PWR* 选择 *VBAT_RTC*，并且 *VBAT_RTC* 引脚的电池电量已经耗尽(电压低于 2.0V)，那么温度测量过程会无法结束(即 *TEMP_START* 位一直为 1)。这种情况下，必须选择 *V3P3D* (*TEMP_PWR* = 1)供电方式来实现正常的温度测量。

表 46. 用于温度和电池测量的 I/O RAM 寄存器

名称	位置	复位	唤醒	方向	说明
<i>TBYTE_BUSY</i>	28A0[3]	0	0	R	表示硬件仍然在写 0x28A0 字节；为 1 时，不允许对该字节进行写操作。写操作持续时间可长达 6ms。
<i>TEMP_PER</i> [2:0]	28A0[2:0]	0	—	R/W	设置两次温度测量之间的时间间隔，任何模式(MSN、BRN、LCD 或 SLP)下均可使能自动测量。
					<i>TEMP_PER</i> 时间
					0 手动更新(见 <i>TEMP_START</i>)
					1-6 $2^{(3+TEMP_PER)}$ (秒)
					7 连续
<i>TEMP_BAT</i>	28A0[4]	0	—	R/W	只要进行温度测量，则测量 VBAT。

名称	位置	复位	唤醒	方向	说明								
TEMP_START	28B4[6]	0	—	R/W	TEMP_PER[2:0]必须清零，使 TEMP_START 生效。如果 TEMP_PER[2:0] = 0，置位 TEMP_START 开始温度测量。SLP 和 LCD 模式下忽略。完成温度测量时，硬件清除 TEMP_START。MPU 必须等待 TEMP_START 位清零，才能读取 STEMP[10:0]以及再次置位 TEMP_START。								
TEMP_PWR	28A0[6]	0	—	R/W	选择温度传感器电源： 1 = V3P3D，0 = VBAT_RTC。SLP 和 LCD 模式下忽略该位，总是由 VBAT_RTC 供电。								
TEMP_BSEL	28A0[7]	0	—	R/W	选择温度传感器监测的电池：1 = VBAT，0 = VBAT_RTC。								
TEMP_TEST[1:0]	2500[1:0]	0	—	R/W	该位用于监测 VCO 温度。常规工作时，TEMP_TEST 必须为 00。其它任何值都会造成 VCO 以如下控制电压连续运行。 <table><tr><th>TEMP_TEST</th><th>功能</th></tr><tr><td>00</td><td>正常工作</td></tr><tr><td>01</td><td>保留，用于工厂测试</td></tr><tr><td>1X</td><td>保留，用于工厂测试</td></tr></table>	TEMP_TEST	功能	00	正常工作	01	保留，用于工厂测试	1X	保留，用于工厂测试
TEMP_TEST	功能												
00	正常工作												
01	保留，用于工厂测试												
1X	保留，用于工厂测试												
STEMP[10:3] STEMP[2:0]	2881[7:0] 2882[7:5]			R R	温度测量结果。为了正确形成 STEMP[10:0]，MPU 必须读取 0x2881[7:0]，将其左移 3 位(LSB 补零)，然后读取 0x2882[7:5]，将其右移 5 位(5 个 MSB 补零)，然后将两个数进行逻辑或。								
BSENSE[7:0]	2885[7:0]	—	—	R	电池测量结果。								
BCURR	2704[3]	0	0	R/W	将 100μA 负载连接至 TEMP_BSEL 所选电池。								

关于读取 71M6x01 器件中温度传感器的信息，请参见 71M6xxx 数据资料。

2.5.6 71M654x 电池监测器

71M654x 温度测量电路还可监测 VBAT 和 VBAT_RTC 处的电池。被测电池(即 VBAT 或 VBAT_RTC 引脚)由 *TEMP_BSEL* (I/O RAM 0x28A0[7])选择。

TEMP_BAT (I/O RAM 0x28A0[4])置位时，测量电池作为每次温度测量的一部分。电池读数储存在寄存器 *BSENSE*[7:0] (I/O RAM 0x2885)。以下公式用于从 *BSENSE*[7:0] 和 *STEMP*[10:0] 计算在 VBAT 引脚(或 VBAT_RTC 引脚)上测得的电压。下式结果以伏特为单位：

$$VBAT(orVBAT_RTC) = 3.293V + (BSENSE[7:0] - 142) \cdot 0.0246V + STEM P[10:0] \cdot 0.000276V$$

MSN 模式下，可通过置位 *BCURR* (I/O RAM 0x2704[3])位将 100μA 负载加至所选电池(即 *TEMP_BSEL* 位选定的电池)。通过在有或没有 *BCURR* 的情况下测量电池，可测得电池阻抗。BRN、LCD 和 SLP 模式下，无论 *BCURR* 是否置位，均不施加电池负载。

关于读取 71M6x01 器件中 VCC 检测器的信息，请参见 71M6xxx 数据资料。

2.5.7 UART和光接口

71M6541D/F/G 和 71M6542F/G 提供两个异步接口：UART0 和 UART1。两个接口均可用于连接至 AMR 模块、用户接口等。

参见图 19，UART1 包括实现 IR/光接口。引脚 OPT_TX 设计可直接驱动外部 LED，用于通过光链路发送数据。引脚 OPT_RX 与 RX 引脚的门限相同，但是亦可用于检测来自光链路接收器的外部光电探测器输入，OPT_TX 和 OPT_RX 连接至专用 UART 端口(UART1)。

OPT_TX 和 OPT_RX 引脚可分别通过配置 OPT_TXINV (I/O RAM 0x2456[0])和 OPT_RXINV (I/O RAM 0x2457[1])翻转。此外，OPT_TX 输出支持 38K 调制，调制可用于 MSN 和 BRN 模式(见 表 67)。OPT_TXMOD 位(I/O RAM 0x2456[1])使能调制。占空比由 OPT_FDC[1:0] (I/O RAM 0x2457[5:4])控制，可选择 50%、25%、12.5%和 6.25%占空比。6.25%占空比意味着 OPT_TX 在 6.25%周期内为低电平。T

无需 UART1 时，可选择将 OPT_TX 配置为 SEGDI051。通过 OPT_TXE[1:0] (I/O RAM 0x2456[3:2])字段和 LCD_MAP[51] (I/O RAM 0x2405[0])配置。OPT_TXE[1:0] 字段允许 MPU 选择将 VPULSE、WPULSE、SEGDI051 或脉冲调制器通过 OPT_TX 引脚输出。同样，亦可选择将 OPT_RX 引脚配置为 SEGDI055，其控制位为 OPT_RXDIS (I/O RAM 0x2457[2])和 LCD_MAP[55] (I/O RAM 0x2405[4])。

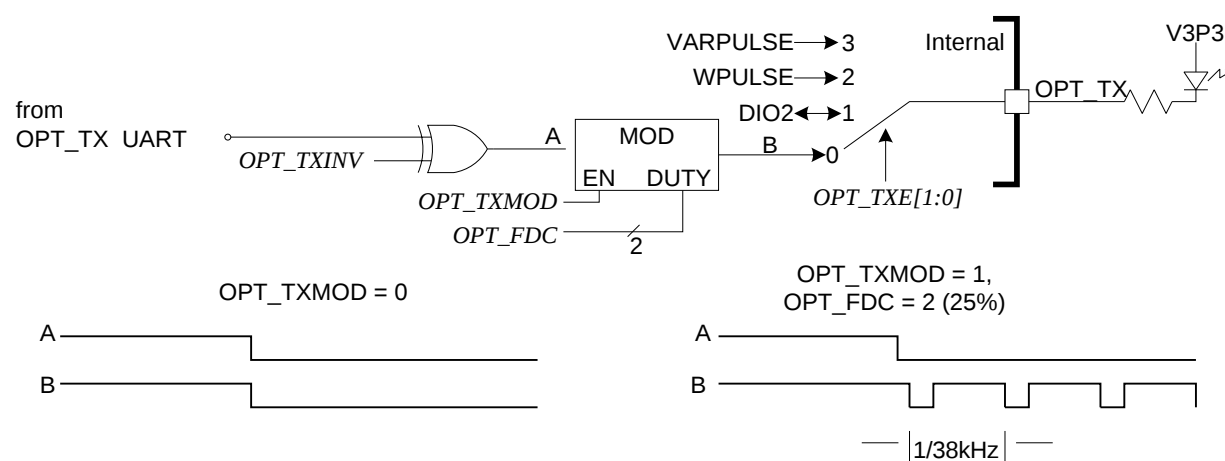


图 18. 光接口

DIO 模拟光 UART (第 3 个 UART)

如图 19 所示，71M654x 还可将 DIO5 设置成光驱动 UART。控制位 OPT_BB (I/O RAM 0x2022[0])置位时，光端口由 DIO5 驱动，而原有 SEGDI05 引脚由 UART1_TX 驱动。这种配置通常用于高速串口多于 2 个的应用，且允许光 UART 速率较慢的设计。

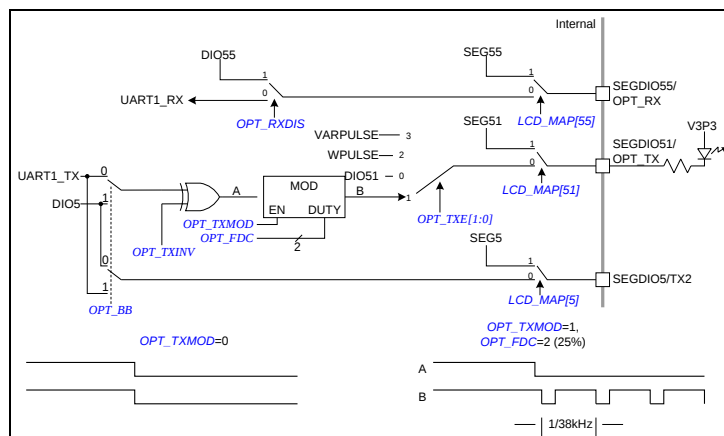


图 19. 光接口(UART1)

2.5.8 数字I/O和LCD段驱动器

2.5.8.1 通用信息

71M6541D/F/G 和 71M6542F/G 大多数引脚支持 DIO/LCD 功能复用。每个 SEG/DIO 引脚可配置为 DIO 引脚或段(SEG)驱动器引脚。

复位或上电时，所有 DIO 引脚为 DIO 输入(SEGDIO0-15 除外，参见下面的注意事项)，只有在 MPU 控制下进行相应配置才可用于其它功能。引脚功能可由 I/O RAM 寄存器 *LCD_MAPn* (0x2405 – 0x240B)配置。将 *LCD_MAPn* 中与引脚对应的位置 1，即可将引脚配置为 LCD；将 *LCD_MAPn* 置 0，将其配置为 DIO。



复位或上电后，引脚 SEGDI00 至 SEGDI015 初始为 DIO 输出，但由 $PORT_E = 0$ (I/O RAM 0x270C[5])禁用，以避免复位期间脉冲引脚误动作。配置引脚 SEGDI00 至 SEGDI015 后，MPU 必须通过置位 $PORT_E$ 使能这些引脚。

一旦引脚配置为 DIO，即可独立配置为输入或输出。对于 SEG DIO0 至 SEG DIO15，通过 SFR 寄存器 P0 (SFR 0x80)、P1 (SFR 0x90)、P2 (SFR 0xA0)和 P3 (SFR 0xB0) 实现，如表 48 (71M6541D/F/G)和表 52 (71M6542F/G)所示。

PB 引脚为专用数字输入，不属于 SEGDI/O 系统。



CE 具有脉冲计数寄存器，每个脉冲计数器的中断输出在内部连接到脉冲中断逻辑。因此，产生脉冲中断不需要将脉冲信号连接到外部引脚，参见图 16 中的 No. 2 中断源。

I/O RAM 寄存器 *DIO_Rn* (I/O RAM 0x2009[2:0] 至 0x200E[6:4])，用于独立配置引脚 SEGDI02 至 SEGDI11 (配置为 DIO 时)和 PB 的内部信号源。例如：中断或定时器控制(*DIO_RPB*[2:0])，I/O RAM 0x2450[2:0]，配置 PB 引脚)。这种方式下，即使 DIO 引脚配置为输出，亦可跟踪。表 47 列出了可利用 *DIO_R2*[2:0]至 *DIO_R11*[2:0]和 *DIO_RPB*[2:0]分配的内部信号源。如果多个输入连接至同一源，它们之间与信号源的触发是逻辑或的关系。

表 47. 通过 *DIO_Rn[2:0]* 位的能够选择的资源

<i>DIO_Rn[2:0]</i> 数值	选择用于 SEGDIO n 或 PB 引脚的资源
0	无
1	保留
2	T0 (计数器 0 时钟)
3	T1 (计数器 1 时钟)

DIO_Rn[2:0]数值	选择用于 SEGDIOn 或 PB 引脚的资源
4	高优先级 I/O 中断(INT0)
5	低优先级 I/O 中断(INT1)
注： 资源只有 SEGADIO2 至 SEGADIO11 和 PB 引脚可选，参见表 48 (71M6541D/F/G)和表 52 (71M6542F/G)。	



驱动 LED、继电器线圈等时，DIO 引脚应该灌入电流至 GNDD (如图 20 中右侧所示)，不是从 V3P3D 源出电流(如图 20 中左侧所示)。这是由于将 V3P3D 连接至 V3P3SYS 或 VBAT 的内部开关电阻造成的，参见第 143 页第 6.4.6 节 V3P3D 开关。



必须避免在专用于唤醒功能的DIO引脚上灌入或输出电流，例如利用上拉或下拉电阻。违反这一规则将造成休眠或LCD模式下静态电流增大。

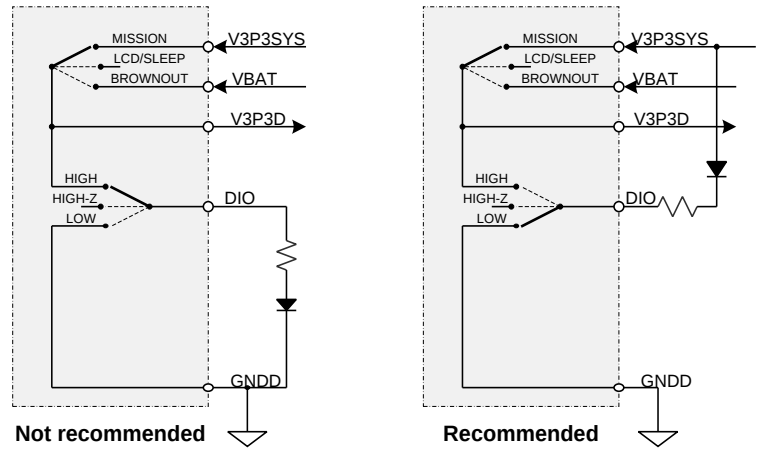


图 20. 连接外部负载至 DIO 引脚

2.5.8.2 用于 71M6541D/F/G 的数字 I/O

71M6541D/F/G 总共有 37 个 SEG 复用引脚。这些引脚可分类如下：

17 个 SEG/DIO 复用引脚：

- o SEG DIO4...SEG D IO5 (2 个引脚)
- o SEG D IO9...SEG D IO14 (6 个引脚)
- o SEG D IO19...SEG D IO25 (7 个引脚)
- o SEG D IO44...SEG D IO45 (2 个引脚)

15 个与其它功能共用的 SEG/DIO 复用引脚：

- o SEG D IO0/WPULSE, SEG D IO1/VPULSE (2 个引脚)
- o SEG D IO2/SDCK, SEG D IO3/SDATA (2 个引脚)
- o SEG D IO6/XPULSE, SEG D IO7/YPULSE (2 个引脚)
- o SEG D IO8/DI (1 个引脚)
- o SEG D IO26/COM5, SEG D IO27/COM4 (2 个引脚)
- o SEG D IO36/SPI_CSZ...SEG D IO39/SPI_CK I (4 个引脚)
- o SEG D IO51/OPT_TX, SEG D IO55/OPT_RX (2 个引脚)

5 个与其它功能共用的 SEG 段复用引脚：

- o ICE 接口引脚：SEG48/E_RXTX, SEG49/E_TCLK, SEG50/E_RST (3 个引脚)
- o 测试端口引脚：SEG46/TMUX2OUT, SEG47/TMUXOUT (2 个引脚)

有 4 个专用的 COM 输出(COM0 至 COM3)，加上 2 个被列在共用组合 SEG/DIO 引脚下的 COM 输出 (SEG D IO26/COM5、SEG D IO27/COM4)。

因此，在没有引脚被作为 DIO 的配置中，可有多达 37 个 LCD 段引脚加 4 个 COM，或者 35 个 LCD 段引脚加 6 个 COM。在不使用 LCD 段引脚的配置中，可有多达 32 个 DIO 引脚。

SEG D IO19 至 SEG D IO27 的配置如表 49 所示，引脚 SEG D IO36-39 和 SEG D IO44-45 的配置如表 50 所示。SEG46 至 SEG50 不可配置为 DIO。引脚 SEG D IO51 和 SEG D IO55 的配置如表 51 所示。

表 48. SEG D IO0 至 SEG D IO14 数据 I/方向寄存器(71M6541D/F/G)

SEG D IO	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
引脚#	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	-
配置： 0 = DIO, 1 = LCD	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	-
	LCD_MAP[7:0] (I/O RAM 0x240B)								LCD_MAP[14:8] (I/O RAM 0x240A)							
SEG 数据寄存器	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	-
	LCD_SEG0[5:0]至 LCD_SEG14[5:0] (I/O RAM 0x2410[5:0]至 0x241E[5:0])															
DIO 数据寄存器	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	-
	P0 (SFR 0x80)				P1 (SFR 0x90)				P2 (SFR 0xA0)				P3 (SFR 0xB0)			
方向寄存器： 0 = 输入, 1 = 输出	4	5	6	7	4	5	6	7	4	5	6	7	4	5	6	-
	P0 (SFR 0x80)				P1 (SFR 0x90)				P2 (SFR 0xA0)				P3 (SFR 0xB0)			
内部资源可配置 (见表 47)	-	-	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-	-

表 49. SEGDI019 至 SEGDI027 数据/方向寄存器(71M6541D/F/G)

SEGDI0	-	-	-	19	20	21	22	23	24	25	26	27	-	-	-	-
引脚#	-	-	-	16	15	14	13	12	11	10	9	8	-	-	-	-
配置: 0 = DIO, 1 = LCD	-	-	-	3	4	5	6	7	0	1	2	3	-	-	-	-
	LCD_MAP[23:19] (I/O RAM 0x2409)								LCD_MAP[27:24] (I/O RAM 0x2408)							
SEG 数据寄存器	-	-	-	19	20	21	22	23	24	25	26	27	-	-	-	-
	LCD_SEGDI019[5:0]至 LCD_SEGDI027[5:0] (I/O RAM 0x2423[5:0]至 0x242C[5:0])															
DIO 数据寄存器	-	-	-	19	20	21	22	23	24	25	26	27	-	-	-	-
	LCD_SEGDI019[0]至 LCD_SEGDI027[0] (I/O RAM 0x2423[0]至 0x242C[0])															
方向寄存器: 0 = 输入, 1 = 输出	-	-	-	19	20	21	22	23	24	25	26	27	-	-	-	-
	LCD_SEGDI019[1]至 LCD_SEGDI027[1] (I/O RAM 0x2423[1]至 0x242C[1])															

表 50. SEGDI036-39 至 SEGDI044-45 数据/方向寄存器(71M6541D/F/G)

SEGDI0	-	-	-	-	36	37	38	39	-	-	-	-	44	45
引脚#	-	-	-	-	3	2	1	64	-	-	-	-	63	62
配置: 0 = DIO, 1 = LCD	-	-	-	-	4	5	6	7	-	-	-	-	4	5
	LCD_MAP[39:36] (I/O RAM 0x2407)								LCD_MAP[45:44] (I/O RAM 0x2406)					
SEG 数据寄存器	-	-	-	-	36	37	38	39	-	-	-	-	44	45
	LCD_SEGDI036[5:0]至 LCD_SEGDI045[5:0] (I/O RAM 0x2434-2437[5:0]至 0x243C-243D[5:0])													
DIO 数据寄存器	-	-	-	-	36	37	38	39	-	-	-	-	44	45
	LCD_SEGDI032[0]至 LCD_SEGDI045[0] (I/O RAM 0x2434-2437[0]至 0x243C-243D[0])													
方向寄存器: 0 = 输入, 1 = 输出	-	-	-	-	36	37	38	39	-	-	-	-	44	45
	LCD_SEGDI032[1]至 LCD_SEGDI045[1] (I/O RAM 0x2434-2437[1]至 0x243C-243D[1])													

表 51. SEGDI051 和 SEGDI055 数据/方向寄存器(71M6541D/F/G)

SEGDI0	51	-	-	-	55	-	-	-
引脚#	33	-	-	-	32	-	-	-
配置: 0 = DIO, 1 = LCD	3	-	-	-	7	-	-	-
	LCD_MAP[55], LDC_MAP[51] (I/O RAM 0x2405)							
SEG 数据寄存器	51	-	-	-	55	-	-	-
	LCD_SEGDI051[5:0], LCD_SEGDI055[5:0] (I/O RAM 0x2443[5:0] 和 0x2447[5:0])							
DIO 数据寄存器	51	-	-	-	55	-	-	-
	LCD_SEGDI051[0]至 LCD_SEGDI055[0] (I/O RAM 0x2443[0] 和 0x2447[0])							
方向寄存器: 0 = 输入, 1 = 输出	51	-	-	-	55	-	-	-
	LCD_SEGDI051[1]至 LCD_SEGDI055[1] (I/O RAM 0x2443[1] 和 0x2447[1])							

2.5.8.3 用于 71M6542F/G 的数字 I/O

71M6542F/G 总共有 55 个 SEG 复用引脚可用。这些引脚可分类如下：

35 个 SEG/DIO 复用引脚：

- o SEG DIO4...SEG D IO5 (2 个引脚)
- o SEG D IO9...SEG D IO25 (17 个引脚)
- o SEG D IO28...SEG D IO35 (8 个引脚)
- o SEG D IO40...SEG D IO45 (6 个引脚)
- o SEG D IO52...SEG D IO53 (2 个引脚)

15 个与其它功能共用的 SEG/DIO 复用引脚：

- o SEG D IO0/WPULSE, SEG D IO1/VPULSE (2 个引脚)
- o SEG D IO2/SDCK, SEG D IO3/SDATA (2 个引脚)
- o SEG D IO6/XPULSE, SEG D IO7/YPULSE (2 个引脚)
- o SEG D IO8/DI (1 个引脚)
- o SEG D IO26/COM5, SEG D IO27/COM4 (2 个引脚)
- o SEG D IO36/SPI_CSZ...SEG D IO39/SPI_CK I (4 个引脚)
- o SEG D IO51/OPT_TX, SEG D IO55/OPT_RX (2 个引脚)

5 个与其它功能共用的 SEG 段复用引脚：

- o ICE 接口引脚：SEG48/E_RXTX, SEG49/E_TCLK, SEG50/E_RST (3 个引脚)
- o 测试端口引脚：SEG46/TMUX2OUT, SEG47/TMUXOUT (2 个引脚)

有 4 个专用 COM (COM0 至 COM3)，加上 2 个列在复用 SEG/DIO 引脚的 COM (SEG D IO26/COM5、SEG D IO27/COM4)。

因此，在没有引脚作为 DIO 的配置中，可提供多达 55 个 LCD 段控制引脚和 4 个 COM，或者 53 个 LCD 段控制引脚和 6 个 COM。在不使用 LCD 段控制引脚的配置中，可提供多达 50 个 DIO 引脚。

例：通过写 0 至 LCD_MAP[15:8] 的第 4 位，写 1 至 P3[4] 和 P3[0]，将 SEG D IO12 (见表 52 中的引脚 32) 配置为 DIO 输出，为 1 (高电平)。通过写 1 至 LCD_MAP[15:8] 的第 4 位，将相同引脚配置为 LCD 驱动器。显示信息被写入至 LCD_SEG12 的第 0 至第 5 位。

SEG D IO16 至 SEG D IO31 配置如表 53 所示，引脚 SEG D IO32 至 SEG D IO45 配置如表 54 所示。SEG46 至 SEG50 不可配置为 DIO 引脚。引脚 SEG D IO51 至 SEG D IO55 的配置如表 55 所示。

表 52. SEG D IO0 至 SEG D IO15 数据/方向寄存器(71M6542F/G)

SEG D IO	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
引脚#	45	44	43	42	41	39	38	37	36	35	34	33	32	31	30	29
配置： 0 = DIO, 1 = LCD	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
	LCD_MAP[7:0] (I/O RAM 0x240B)								LCD_MAP[15:8] (I/O RAM 0x240A)							
SEG 数据寄存器	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	LCD_SEG0[5:0]至 LCD_SEG15[5:0] (I/O RAM 0x2410[5:0]至 0x241F[5:0])															
DIO 数据寄存器	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
	P0 (SFR 0x80)				P1 (SFR 0x90)				P2 (SFR 0xA0)				P3 (SFR 0xB0)			
方向寄存器： 0 = 输入, 1 = 输出	4	5	6	7	4	5	6	7	4	5	6	7	4	5	6	7
	P0 (SFR 0x80)				P1 (SFR 0x90)				P2 (SFR 0xA0)				P3 (SFR 0xB0)			
内部资源可配置 (见表 47)	—	—	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	—	—	—	—

表 53. SEGDI016 至 SEGDI031 数据/方向寄存器(71M6542F/G)

SEGDI0	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
引脚#	28	27	25	24	23	22	21	20	19	18	17	16	11	10	9	8
配置: 0 = DIO, 1 = LCD	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
	LCD_MAP[23:16] (I/O RAM 0x2409)								LCD_MAP[31:24] (I/O RAM 0x2408)							
SEG 数据寄存器	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	LCD_SEGDI016[5:0]至 LCD_SEGDI031[5:0] (I/O RAM 0x2420[5:0] to 0x242F[5:0])															
DIO 数据寄存器	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	LCD_SEGDI016[0]至 LCD_SEGDI031[0] (I/O RAM 0x2420[0] to 0x242F[0])															
方向寄存器: 0 = 输入, 1 = 输出	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	LCD_SEGDI016[1]至 LCD_SEGDI031[1] (I/O RAM 0x2420[1] to 0x242F[1])															

表 54. SEGDI032 至 SEGDI045 数据/方向寄存器(71M6542F/G)

SEGDI0	32	33	34	35	36	37	38	39	40	41	42	43	44	45
引脚#	7	6	5	4	3	2	1	100	99	98	97	96	95	94
配置: 0 = DIO, 1 = LCD	0	1	2	3	4	5	6	7	0	1	2	3	4	5
	LCD_MAP[39:32] (I/O RAM 0x2407)								LCD_MAP[45:40] (I/O RAM 0x2406[5:0])					
SEG 数据寄存器	32	33	34	35	36	37	38	39	40	41	42	43	44	45
	LCD_SEGDI032[5:0]至 LCD_SEGDI045[5:0] (I/O RAM 0x2430[5:0] 至 0x243D[5:0])													
DIO 数据寄存器	32	33	34	35	36	37	38	39	40	41	42	43	44	45
	LCD_SEGDI032[0]至 LCD_SEGDI045[0] (I/O RAM 0x2430[0] 至 0x243D[0])													
方向寄存器: 0 = 输入, 1 = 输出	32	33	34	35	36	37	38	39	40	41	42	43	44	45
	LCD_SEGDI032[1]至 LCD_SEGDI045[1] (I/O RAM 0x2430[1] 至 0x243D[1])													

表 55. SEGDI051 至 SEGDI055 数据/方向寄存器(71M6542F/G)

SEGDI0	51	52	53	54	55	-	-	-
引脚#	53	52	51	47	46	-	-	-
配置: 0 = DIO, 1 = LCD	0	1	2	3	4	-	-	-
	LCD_MAP[55:51] (I/O RAM 0x2405[7:3])							
SEG 数据寄存器	51	52	53	54	55	-	-	-
	LCD_SEGDI051[5:0]至 LCD_SEGDI055[5:0] (I/O RAM 0x2443[5:0] 至 0x2447[5:0])							
DIO 数据寄存器	51	52	53	54	55	-	-	-
	LCD_SEGDI051[0]至 LCD_SEGDI055[0] (I/O RAM 0x2443[0] 至 0x2447[0])							
方向寄存器: 0 = 输入, 1 = 输出	51	52	53	54	55	-	-	-
	LCD_SEGDI051[1]至 LCD_SEGDI055[1] (I/O RAM 0x2443[1] 至 0x2447[1])							

2.5.8.4 LCD驱动器

LCD 驱动器由多达 6 个 COM (COM0 至 COM5)和多达 56 个段驱动组成。LCD 接口非常灵活，可驱动 7 段数字、14 段数字或指示符号。

倍压电路和对比度调节 DAC 从 VBAT 或 V3P3SYS 产生 VLCD 电压，电压值取决于 V3P3SYS 电压。倍压电路可驱动 500Ω 负载，所产生的最大电压比两倍供电电压低 1V，用于 LCD 供电。倍压电路和 DAC 采用经过微调的低功耗基准供电。

产生 VLCD 的配置由 I/O RAM 字段 LCD_VMODE[1:0] (I/O RAM 0x2401[7:6])控制，解码为 LCD_EXT、LDAC_E 和 LCD_BSTE 内部信号。表 56 中列出了详细的 LCD_VMODE[1:0]配置。

表 56. LCD_VMODE[1:0]配置

LCD_VMODE [1:0]	LCD_EXT	LDAC_E	LCD_BSTE	说明
11	1	0	0	连接至 VLCD 引脚的外部 VLCD。
10	0	1	1	V3P3L 的定义请参见下方注释 2。 使能 LCD 升压，最大 VLCD 引脚电压为 $2 \times V3P3L - 1$ 。 一般而言，VLCD 引脚电压如下： $VLCD = \max(2 \times V3P3L - 1, 2.5(1 + LCD_DAC[4:0]/31))$
01	0	1	0	禁用 LCD 升压时，最大 VLCD 电压为 V3P3L。 $VLCD = \max(V3P3L, 2.5V + 2.5 \times LCD_DAC[4:0]/31)$
00	0	0	0	$VLCD = V3P3L$ ，禁用 LCD DAC 和 LCD 升压。 LCD 模式下，该设置获得最小电池电流。
注： 1. LCD_EXT、LDAC_E 和 LCD_BSTE 为 71M654x 内部信号，解码自 LCD_VMODE[1:0]控制字段设置(I/O RAM 0x2401[7:6])。这些解码信号有效时，具有以上说明栏的影响，总结如下： LCD_EXT：置位时，VLCD 引脚接收外部供电电压 LDAC_E：置位时，使能 LCD DAC LCD_BSTE：置位时，使能 LCD 升压电路 2. V3P3L 为内部电源，源自 VBAT 引脚或 V3P3SYS 引脚供电，取决于 V3P3SYS 引脚电压。V3P3SYS 引脚下降至低于 3.0 VDC 时，71M654x 切换至 BRN 模式，V3P3L 从 VBAT 引脚供电；否则，MSN 模式下，V3P3L 从 V3P3SYS 引脚供电。				



使用 VLCD 升压电路时，须谨慎设置 LCD_DAC[4:0] (I/O RAM 0x240D[4:0])数值，确保不超过 LCD 制造商推荐的工作电压指标。

倍压电路在所有 LCD 模式下均有效，包括 LCD_BSTE = 1 时的 LCD 模式。如果禁用升压电路，LCD 系统直接工作于 VBAT，可降低 LCD 模式下的耗流。

LCD DAC 使用低功耗基准供电，在 VBAT 和倍压限制之内，产生的 VLCD 电压为 $2.5 \text{ VDC} + 2.5 \times LCD_DAC[4:0]/31$ 。

LCD_BAT 位(I/O RAM 0x2402[7])可以设定 LCD 系统在任何功耗模式下均使用电池供电(这样会在 V3P3SYS 具有供电电压时，仍然消耗电池电压)。

如果 LCD_EXT = 1，液晶驱动电源由 VLCD 引脚供给。这种情况下，LCD DAC 功能无效。

LCD 系统的每个 SEG 引脚可驱动多达 6 段。如果显示器支持 6COM，那么设定 6COM 驱动模式可以大大减少所需的 SEG 引脚数，进而增加 DIO 引脚可用数量。关于不同 LCD 驱动模式选择的信息，请参见 LCD_MODE[2:0]字段(I/O RAM 0x2400[6:4])设置(表 57)。如果选择 5COM 模式，SEG DIO27 则转换为 COM4。如果选择 6COM 模式，SEG DIO26 转换为 COM5。这种转换优先于 SEG DIO26 和 SEG DIO27 的 SEG/DIO 映射。此外，与 LCD_MODE[2:0]无关，如果 LCD_ALLCOM = 1，在 SEG DIO26 和 SEG DIO27 的 LCD_MAP[]置位时，它们则变为 COM4 和 COM5。

*LCD_ON (I/O RAM 0x240C[0])*和 *LCD_BLANK (I/O RAM 0x240C[1])*位是控制 LCD 显示全灭或全亮的便捷方式。任何一位都不影响 *LCDSEG_DIO[]* 寄存器中储存的 LCD 数据内容。而 *LCD_RST (I/O RAM 0x240C[2])* 则可将全部 LCD 数据清 0。*LCD_RST* 仅影响配置为 LCD 的引脚。



将 LCD 频率设置在能够在所需温度范围内提供满意的 LCD 视觉效果的最小值，能够一定程度降低功耗。

表 57 列出了控制 LCD 接口工作的全部 I/O RAM 寄存器。

表 57. LCD 配置

名称	位置	复位	唤醒	方向	说明																
LCD_ALLCOM	2400[3]	0	—	R/W	将全部 6 个 SEG/COM 引脚配置为 COM。不影响 LCD_MAP 为 0 的引脚。																
LCD_BAT	2402[7]	0	—	R/W	在所有模式下将 LCD 电源连接至 VBAT。																
LCD_E	2400[7]	0	—	R/W	使能 LCD 显示。禁用时，VLC2、VLC1 和 VLC0 接地 (如果其 LCD_MAP 位为 1)，类似于 COM 和 SEG 输出。																
LCD_ON LCD_BLANK	240C[0] 240C[1]	0 0	—	R/W R/W	LCD_ON = 1 打开全部 LCD 段，不影响 LCD 数据。类似地，LCD_BLANK= 1 关闭全部 LCD 段，不影响 LCD 数据。如果两位均置位，则打开所有 LCD 段。																
LCD_RST	240C[2]	0	—	R/W	清零所有 LCD 数据位。这些位影响被配置为 LCD 驱动器的 SEG/DIO 引脚。																
LCD_DAC[4:0]	240D[4:0]	0	—	R/W	该寄存器控制 LCD 对比度 DAC，调节 VLCD 电压，输出范围为 2.5 VDC 至 5 VDC。VLCD 电压为： $VLCD = 2.5 + 2.5 * LCD_DAC[4:0]/31$ 所以，DAC 的 LSB 为 80.6mV。最大 DAC 输出电压受限于 V3P3SYS、VBAT，以及 LCD_BSTE 是否置位。																
LCD_CLK[1:0]	2400[1:0]	0	—	R/W	设置 LCD 时钟频率(1/T)，参见图 21 关于 T 的定义。 注意：fw = 32768 Hz 00-fw/2^9, 01-fw/2^8, 10-fw/2^7, 11-fw/2^6																
LCD_MODE[2:0]	2400[6:4]	0	—	R/W	LCD 偏压和复用模式。 <table border="1"><thead><tr><th>LCD_MODE</th><th>输出</th></tr></thead><tbody><tr><td>000</td><td>4COM, 1/3 偏压</td></tr><tr><td>001</td><td>3COM, 1/3 偏压</td></tr><tr><td>010</td><td>2COM, ½偏压</td></tr><tr><td>011</td><td>3COM, ½偏压</td></tr><tr><td>100</td><td>静态显示</td></tr><tr><td>101</td><td>5COM, 1/3 偏压</td></tr><tr><td>110</td><td>6COM, 1/3 偏压</td></tr></tbody></table>	LCD_MODE	输出	000	4COM, 1/3 偏压	001	3COM, 1/3 偏压	010	2COM, ½偏压	011	3COM, ½偏压	100	静态显示	101	5COM, 1/3 偏压	110	6COM, 1/3 偏压
LCD_MODE	输出																				
000	4COM, 1/3 偏压																				
001	3COM, 1/3 偏压																				
010	2COM, ½偏压																				
011	3COM, ½偏压																				
100	静态显示																				
101	5COM, 1/3 偏压																				
110	6COM, 1/3 偏压																				
LCD_VMODE[1:0]	2401[7:6]	00	00	R/W	该寄存器制定如何产生 VLCD。 <table border="1"><thead><tr><th>LC□_VMODE</th><th>说明</th></tr></thead><tbody><tr><td>11</td><td>外部 VLCD</td></tr><tr><td>10</td><td>使能 LCD 升压和 LCD DAC</td></tr><tr><td>01</td><td>使能 LCD DAC</td></tr><tr><td>00</td><td>无升压和 DACVLCD = VBAT 或 V3P3SYS</td></tr></tbody></table>	LC□_VMODE	说明	11	外部 VLCD	10	使能 LCD 升压和 LCD DAC	01	使能 LCD DAC	00	无升压和 DACVLCD = VBAT 或 V3P3SYS						
LC□_VMODE	说明																				
11	外部 VLCD																				
10	使能 LCD 升压和 LCD DAC																				
01	使能 LCD DAC																				
00	无升压和 DACVLCD = VBAT 或 V3P3SYS																				

LCD 可驱动为静态、1/2 偏压和 1/3 偏压。图 21 定义了 COM 波形。注意，特定模式下不使用的 COM 引脚保持“段关闭”状态，而非 GND、VCC 或高阻。

段驱动器 SEG/DIO22 和 SEG/DIO23 可配置为以 0.5Hz 或 1Hz 闪烁。闪烁频率由 *LCD_Y* (I/O RAM 0x2400[2]) 控制。连接至这些驱动引脚的段可最多有 6 个。I/O RAM 字段 *LCD_BLKMAP22*[5:0] (I/O RAM 0x2402[5:0]) 和 *LCD_BLKMAP23*[5:0] (I/O RAM 0x2401[5:0]) 设定哪些像素需要闪烁。*LCD_BLKMAP22*[5:0] 和 *LCD_BLKMAP23*[5:0] 为非易失。

可利用 $LCD_DAC[4:0]$ 字段(I/O RAM $0x240D[4:0]$)对 LCD 偏压进行温度补偿, 偏压在 1.4 V 至 3.3 V (MSN 模式下为 V3P3SYS, BRN 和 LCD 模式下为 VBAT)范围内调节。 $LCD_DAC[4:0]$ 字段设为 000 时, DAC 被旁路并关断, 用于减小 LCD 模式下的电流。

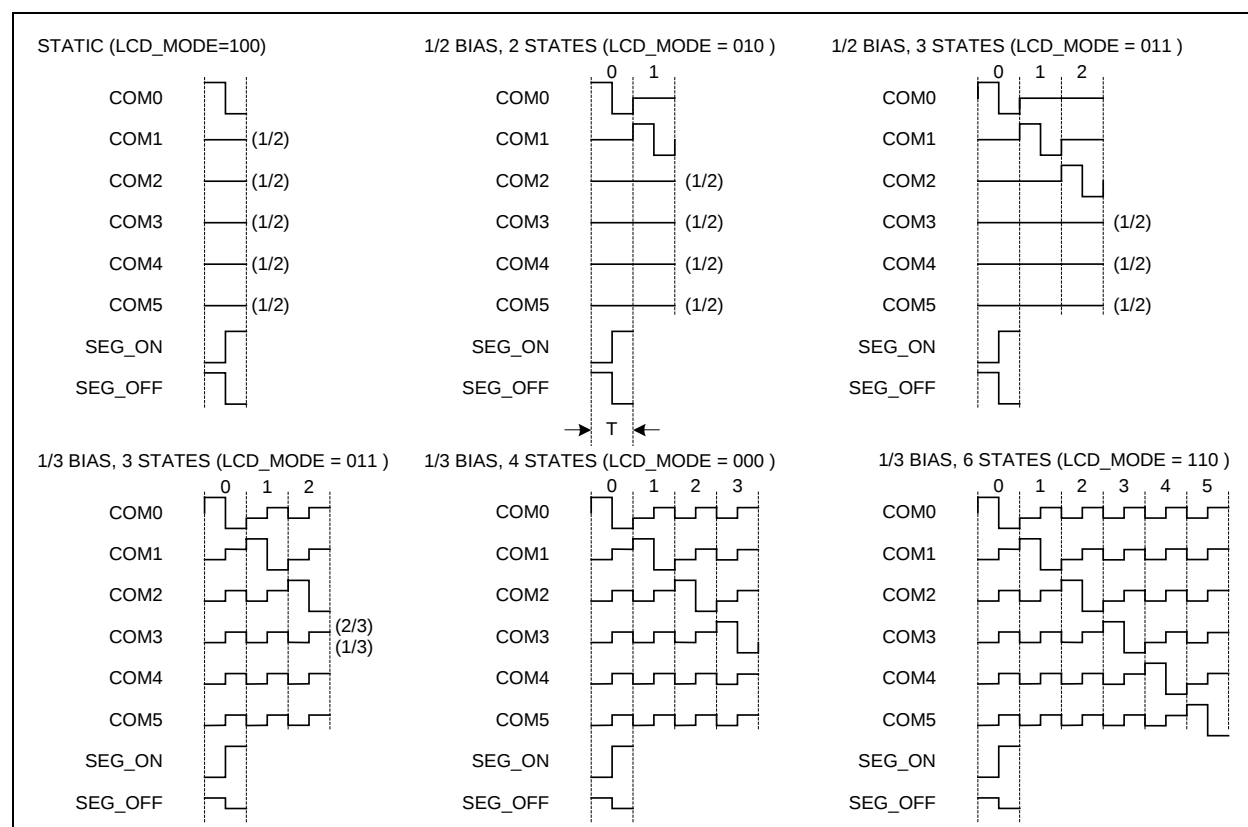


图 21. LCD 波形

LCD驱动器(71M6541D/F/G)

71M6541D/F/G 如果采用 6COM 模式，则最多提供 35 个 SEG 引脚，能够驱动最多 $6 \times 35 = 210$ 像素的 LCD 显示。8 段/数字时，这相当于 26 个数字。

LCD 段数据写入 $LCD_SEGn[5:0]$ I/O RAM 寄存器，如第 2.5.8.2 节和第 2.5.8.3 节介绍。

SEG46 至 SEG50 不可配置为 DIO 引脚。这些引脚的显示数据写入 I/O RAM 寄存器 $LCD_SEG46[5:0]$ 至 $LCD_SEG50[5:0]$ (见 表 58)。ICE_E 引脚拉高时，引脚 E_RXTX/SEG48、E_TCLK/SEG49 和 E_RST/SEG50 作为 ICE 接口引脚。反之，使能 SEG 功能。

$LCD_MAP[46]$ 和 $LCD_MAP[47]$ (I/O RAM $0x2406[6]$ 和 $0x2407[7]$)必须设为 1，以允许 TMUX2OUT/SEG46 和 TMUXOUT/SEG47 作为 SEG 驱动器工作。如果 $LCD_MAP[46]$ 和 $LCD_MAP[47]$ 为 0，这些引脚作为 TMUX2OUT 和 TMUXOUT 工作 (见第 78 页第 2.5.12 节测试端口(TMUXOUT 和 TMUX2OUT 引脚))。

表 58. SEG46 至 SEG50 的 71M6541D/F/G LCD 数据寄存器

SEG	46	47	48	49	50
引脚#	61	60	38	37	36
配置	总为 LCD 引脚，除用于 ICE 接口或 TMUXOUT/TMUX2OUT 时。				
SEG 数据寄存器	$LCD_SEG46[5:0]$	$LCD_SEG47[5:0]$	$LCD_SEG48[5:0]$	$LCD_SEG49[5:0]$	$LCD_SEG50[5:0]$

LCD驱动器(71M6542F/G)

71M6542F/G 如果采用 6COM 模式，则最多提供 56 个 SEG 引脚，能够驱动最多 $6 \times 56 = 336$ 像素的 LCD 显示。8 段/数字时，这相当于 42 个数字。

LCD 段数据写入 $LCD_SEGn[5:0]$ I/O RAM 寄存器，如第 2.5.8.3 节用于 71M6542F/G 的数字 I/O 介绍。

SEG46 至 SEG50 不可配置为 DIO 引脚。这些引脚的显示数据写入 I/O RAM 寄存器 $LCD_SEG46[5:0]$ (I/O RAM $0x243E[5:0]$) 至 $LCD_SEG50[5:0]$ (I/O RAM $0x2442[5:0]$)，参见表 59。相关引脚作为 ICE 接口引脚，并且只要 ICE_E 拉高，ICE 功能设置将优先于 SEG 功能。

表 59. SEG46 至 SEG50 的 71M6542F/G LCD 数据寄存器

SEG	46	47	48	49	50
引脚#	93	92	58	57	56
配置:	除用于 ICE 接口或 TMUXOUT/TMUX2OUT，则始终为 LCD 引脚。				
SEG 数据寄存器	$LCD_SEGDI046[5:0]$	$LCD_SEGDI047[5:0]$	$LCD_SEGDI048[5:0]$	$LCD_SEGDI049[5:0]$	$LCD_SEGDI050[5:0]$

2.5.9 EEPROM 接口

71M654x 支持硬件 2 线或 3 线(μ -wire)型 EEPROM 接口。接口使用 SFR *EECTRL* (SFR $0x9F$)和 *EEDATA* (SFR $0x9E$)寄存器通信。

2.5.9.1 2 线EEPROM接口

71M654x 有两个专用 I²C 接口引脚，此类引脚与外部 EEPROM 器件通信。通过配置 $DIO_EEX[1:0] = 01$ (I/O RAM $0x2456[7:6]$)开启 SEGDI02 (SDCK)和 SEGDI03 (SDATA)引脚的第二功能(I²C 接口)。MPU 通过 SFR 寄存器 *EEDATA* 和 *EECTRL* 与接口通信。如果 MPU 希望写入 EEPROM 一个字节数据，应将数据放入 *EEDATA*，然后写发送命令至 *EECTRL*。这将触发发送操作，BUSY 位变低时结束。BUSY 变低时，触发 INT5。MPU 然后可检查 *RX_ACK* 位，查看 EEPROM 是否应答。

读字节时，写接收命令至 *EECTRL*，然后等待 BUSY 位变低。完成之后，接收数据位于 *EEDATA*。串行发送和接收时钟在每次传输时为 100kHz，然后保持为高电平状态，直到下次传输开始。选择双引脚接口时，*EECTRL* 位如表 60 所示。

表 60. 2 线接口对应的 *EECTRL* 位

状态位	名称	读/写	复位状态	极性	说明																
7	ERROR	R	0	正	接收到非法命令后为 1。																
6	BUSY	R	0	正	串行数据总线忙时为 1。																
5	RX_ACK	R	1	正	1 表示 EEPROM 发送了 ACK 位。																
4	TX_ACK	R	1	正	1 表示已向 EEPROM 发送 ACK 位。																
3:0	CMD[3:0]	W	0000	正	<table><tr><th>CMD[3:0]</th><th>操作</th></tr><tr><td>0000</td><td>无操作命令。</td></tr><tr><td>0010</td><td>从 EEPROM 接收一个字节，然后发送 ACK。</td></tr><tr><td>0011</td><td>发送一个字节至 EEPROM。</td></tr><tr><td>0101</td><td>发起一个 STOP 序列。</td></tr><tr><td>0110</td><td>从 EEPROM 接收最后字节，不发送 ACK。</td></tr><tr><td>1001</td><td>发起一个 START 序列。</td></tr><tr><td>Others</td><td>无操作，置位 ERROR 位。</td></tr></table>	CMD[3:0]	操作	0000	无操作命令。	0010	从 EEPROM 接收一个字节，然后发送 ACK。	0011	发送一个字节至 EEPROM。	0101	发起一个 STOP 序列。	0110	从 EEPROM 接收最后字节，不发送 ACK。	1001	发起一个 START 序列。	Others	无操作，置位 ERROR 位。
					CMD[3:0]	操作															
					0000	无操作命令。															
					0010	从 EEPROM 接收一个字节，然后发送 ACK。															
					0011	发送一个字节至 EEPROM。															
					0101	发起一个 STOP 序列。															
					0110	从 EEPROM 接收最后字节，不发送 ACK。															
					1001	发起一个 START 序列。															
Others	无操作，置位 ERROR 位。																				

✓ EEPROM 接口也可通过软件直接控制 DIO2 和 DIO3 实现，即软件模拟 I²C 接口。DIO 线的方向可由输入该位输出，可利用单次写操作写输出值，从而避免冲突(见表 15 端口寄存器(SEGDIO0-15))；串行 SDATA 中防止冲突无需电阻。

2.5.9.2 带有单独数据引脚的 3 线(μ-wire) EEPROM 接口

71M654x 提供一个 500kHz 3 线接口，使用 SDATA、SDCK 和 DIO 引脚用于 CS。接口通过 *DIO_EEX[1:0]* = 10 选择。选择 3 线接口时，*EECTRL* 如表 61 所示。写 *EECTRL* 时，来自 *EEDATA* 的 8 位数据写入 EEPROM 或从 EEPROM 读取，取决于 *EECTRL*。

2.5.9.3 带有独立 DI/DO 引脚的 3 线(μ-wire/SPI) EEPROM 接口

如果 *DIO_EEX[1:0]* = 11，除 DI 和 DO 为独立引脚外，3 线接口同上。这种情况下，SEGDI03 变为 DO，SEGDI08 变为 DI。除了输出数据出现在 DO 引脚以及全部输入数据出现在 DI 之外，时序与 *DIO_EEX[1:0]* = 10 时相同。该模式下，DI 忽略，在 DO 接收数据。该模式兼容于 SPI 模式 0、0 和 1、1，数据在时钟下降沿移出，在时钟上升沿写入。

表 61. 3 线接口对应的 *EECTRL* 位

控制位	名称	读/写	说明
7	<i>WFR</i>	W	等待就绪。如果该位置位， <i>BUSY</i> 下降沿将被延迟，直到在数据线出现上升沿。该位可用于写命令的最后字节期间，在 EEPROM 结束其内部写序列后产生 INT5 中断。如果 Hi-Z=0，该位被忽略。
6	<i>BUSY</i>	R	串行数据总线忙时有效。 <i>BUSY</i> 位下降时，产生 INT5 中断。
5	<i>HiZ</i>	W	表示 SD 信号在最后一个 SDCK 上升沿后立即悬空或置为高阻。
4	<i>RD</i>	W	表示 <i>EEDATA</i> (<i>SFR</i> 0x9E)由来自 EEPROM 的数据填充。
3:0	<i>CNT[3:0]</i>	W	设定要发送的时钟数量。允许值为 0~8。如果 <i>RD</i> =1，从高到低的顺序读取 CNT 位数据，并以右对齐存入 <i>EEDATA</i> 寄存器。如果 <i>RD</i> =0， <i>EEDATA</i> 寄存器数据被从高到低的顺序发送 CNT 位数据至 EEPROM 接口。如果 <i>CNT[3:0]</i> 为 0，SDATA 将处于 HiZ 状态。

图 22 至图 26 中的时序图说明了 3 线 EEPROM 接口的操作。写 *EECTRL* (*SFR 0x9F*) 寄存器时，意味着所有命令开始执行。首先从连接至 CS 的 DIO 引脚上上升沿开始；然后通过 *EECTRL* 和 *EEDATA* 发送多于 8 位或少于 8 位的命令，如图 22 至图 26 所示。

会话结束后，必须将 CS 拉低。在读操作结束时，EEPROM 接口正在驱动 *SDATA*，但是当 CS 变低时将转换为 Hi-Z (高阻)。MPU 程序应立即发出一个写命令，CNT=0，HiZ=0，接管控制 *SDATA*，强制其为低阻状态。

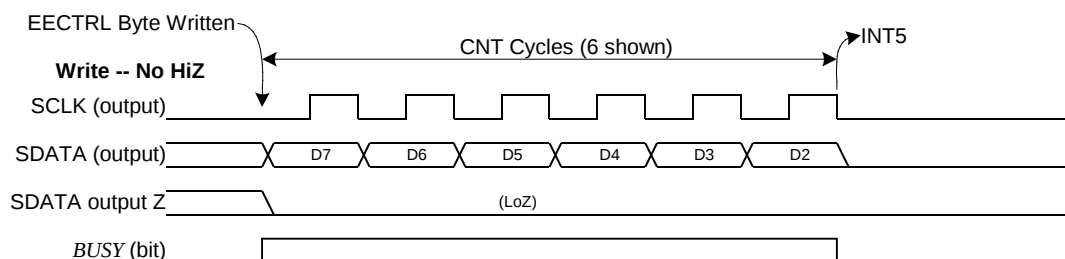


图 22. 3 线接口：写命令，HiZ=0

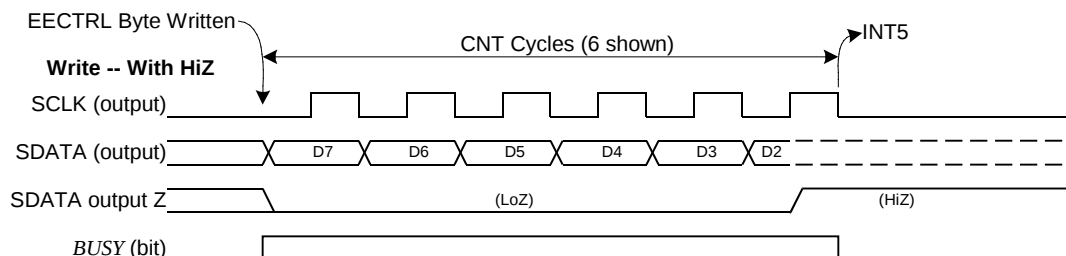


图 23. 3 线接口：写命令，HiZ=1

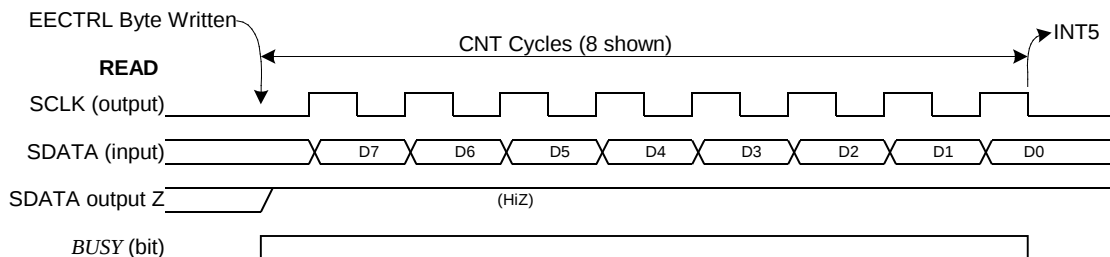


图 24. 3 线接口：读命令

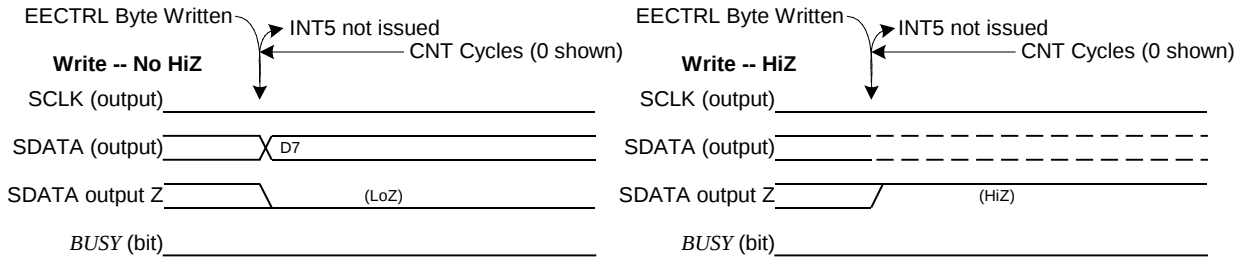


图 25.3 线接口：写命令，CNT=0

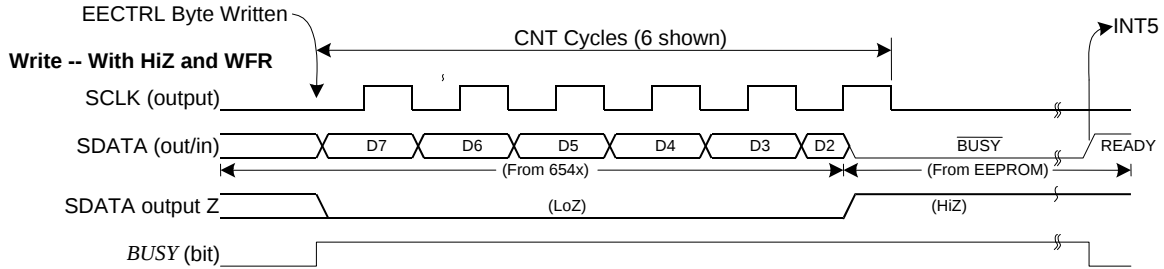


图 26.3 线接口：写命令，HiZ=1，WFR=1

2.5.10 SPI从机端口

SPI 从机接口直接与 MPU 数据总线通信，能够读和写数据 RAM 和 I/O RAM 位置。它能够发送命令至 MPU。连接从机接口的端口包括：SPI_CSZ、SPI_CKI、SPI_DI 和 SPI_DO 引脚。这些引脚与 DIO/LCD 段驱动器引脚 SEGDI036 至 SEGDI039 组合复用。

此外，SPI 接口允许读取 FLASH 并对其编程。为便于 FLASH 编程，芯片需要重新上电或复位一次，使 SPI 引脚复位为默认的 PSI 模式。通过清除 SPI_E 位(I/O RAM 0x270C[4])直接禁用 SPI 端口。

SPI 接口的应用包括：

- 1) 外部主机从CE地址读取数据，获取表计信息。这可用于71M654x作为智能前端的应用。由于地址为16位格式，所以可访问任何类型的XRAM数据：CE、MPU、I/O RAM，但不能访问SFR或80515内部寄存器组。
- 2) 可通过SPI接口建立通信链路：通过写MPU存储器，外部主机可启动和控制71M654x MPU的进程。写CE或MPU通常产生一个中断，用来通知MPU读取和处理外部主机写入的字节功能。亦可在不产生中断的情况下由外部主机写入数据。
- 3) 外部 DSP 可访问 ADC 产生的前端数据。这种模式将 71M654x 作为模拟前端(AFE)。
- 4) 由外部主机对 FLASH 编程(SPI FLASH 模式)。

SPI 传输

典型的 SPI 传输如下。SPI_CSZ 为高电平时，端口保持在初始化/复位状态。该状态期间，SPI_DO 保持在高阻状态，SPI_CLK 和 SPI_DI 上的所有跳变被忽略。SPI_CSZ 为低电平时，端口在 SPI_CLK 的第一个上升沿开始传输。如表 62 所示，一次传输包括可选的 16 位地址、8 位命令、8 位状态字节，后边跟一个或多个字节的数据。SPI_CSZ 为高时，传输结束。有些传输可能仅包含命令。

SPI_CSZ 为高时，非 x000 0000 形式的 SPI 命令字节将更新 SPI_CMD (SFR 0xFD) 寄存器，同时触发中断。通讯为单字节的情况例外。这种情况下，SPI_CMD 字节总是更新并请求中断。SPI_CSZ 为高电平时，不清除 SPI_CMD。

SPI 端口支持高达 10Mb/s 的数据传输。串行读、写操作需要至少 8 个时钟/字节，进而 SPI 对 RAM 的访问速度在 1.25MHz 以下，确保 SPI 总是能够访问 DRAM。

表 62. SPI 操作字段

字段名称	必需	大小 (字节)	说明
地址	是，单字节通信除外	2	16 位地址。如果发送一简单 SPI 命令，则无需地址字段。
命令	是	1	8 位命令。该字节可作为 MPU 的控制命令。多字节通信中，MSB 为读/写位。除非通信为多字节，且 SPI_CMD 准确为 0x80 或 0x00，SPI_CMD 寄存器更新，并请求 SPI 中断。否则，SPI_CMD 寄存器保持不变，并且不请求中断。
状态	是，如果通讯包括数据	1	8 位状态字段，表示之前的通信状态，该字节亦可用于 MPU 存储器映射为 SPI_STAT (I/O RAM 0x2708) 寄存器。内容请参见表 64。
数据	是，如果通讯包括数据	1 或多	读或写数据。每个新字节的地址自动递增。

每次 SPI 通信输出 SPI_STAT 字节，并指示前一通信的奇偶校验和错误状态。潜在故障源有：

- 71M654x 未就绪。
- 通信未在字节边界结束。

SPI 安全模式

有时候希望防止 SPI 接口对任意 RAM 地址进行写操作，以免干扰 MPU 和 CE 工作，尤其是在 AFE 应用中。出于这一原因，提供了 SPI 安全模式。SPI 安全模式下，只有地址 0x400 至 0x40F 的 16 个字节 SPI 可进行写操作。如果 SPI 主机需要写其它地址，可以利用 SPI_CMD 寄存器从 MPU 请求写操作。SPI 安全模式由 SPI_SAFE 位(I/O RAM 0x270C[3])位使能。

单字节通信

如果为单字节通信，该字节由 71M654x 解析为 SPI_CMD。对于任何命令，单字节通信总是更新 SPI_CMD 寄存器，从而生成 SPI 中断。

多字节通信

如图 27 所示，多字节操作包括 16 位地址字段、8 位 CMD、状态字节和数据字节序列。多字节通信为三或四字节格式。

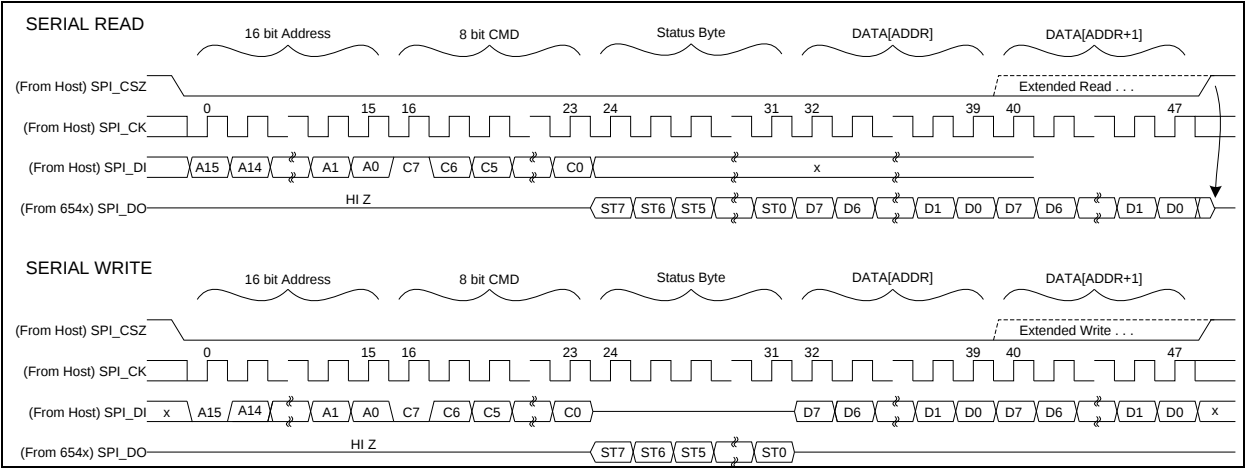


图 27. PI 从机端口—典型的多字节读、写操作

表 63. SPI 命令时序

命令时序	说明
ADDR 1xxx xxxx STATUS Byte0 ... ByteN	从 ADDR 开始读取数据。ADDR 自动递增，直到 SPI_CSZ 为高；完成后，SPI_CMD (SFR 0xFD)更新至 1xxx xxxx，产生 SPI 中断。命令字节为 1000 0000 时例外。这种情况下，不产生 MPU 中断，不更新 SPI_CMD。
0xxx xxxx ADDR Byte0 ... ByteN	从 ADDR 开始写数据。ADDR 自动递增，直到 SPI_CSZ 为高；完成后，SPI_CMD 更新至 0xxx xxxx，产生 SPI 中断。命令字节为 0000 0000 时例外。这种情况下，不产生 MPU 中断，不更新 SPI_CMD。

表 64. SPI 寄存器

名称	位置	复位	唤醒	方向	说明
<i>EX_SPI</i>	2701[7]	0	0	R/W	SPI 中断使能位。
<i>SPI_CMD</i>	<i>SFR</i> FD[7:0]	–	–	R	SPI 命令，来自总线主控制器的 8 位命令。
<i>SPI_E</i>	270C[4]	1	1	R/W	SPI 端口使能位，使能引脚 SEGDI036 至 SEGDI039 的 SPI 接口。
<i>IE_SPI</i>	<i>SFR</i> F8[7]	0	0	R/W	SPI 中断标识，由硬件置位，通过写 0 清除。
<i>SPI_SAFE</i>	270C[3]	0	0	R/W	SPI 安全模式使能位。置位时，将 SPI 写操作限制在 <i>SPI_CMD</i> 及 DRAM 中的 16 字节区域。
<i>SPI_STAT</i>	2708[7:0]	0	0	R	<i>SPI_STAT</i> 含有前一 SPI 通讯的状态结果。 第 7 位：就绪错误：71M654x 未准备好按照前一命令读或写。 第 6 位：读数据奇偶性：该位是前一命令从 71M654x 读取的全部字节的奇偶校验。不包括 <i>SPI_STAT</i> 字节。 第 5 位：写数据奇偶性：该位是前一命令写入至 71M654x 的全部字节的总奇偶校验。它包括 <i>CMD</i> 和 <i>ADDR</i> 字节。 第 4 至 2 位：字节数的最低 3 位。不包括 <i>ADDR</i> 和 <i>CMD</i> 字节。1、2 和 3 字节指令返回 111。 第 1 位：SPIFLASH 模式：TEST 引脚为零时，该位为零。 第 0 位：SPIFLASH 模式就绪：用于 SPIFLASH 模式。表示 FLASH 已准备好接收另一条写指令。

SPI FLASH 模式(SFM)

常规模式，SPI 从器件接口不能读或写 FLASH。然而，71M6541D/F/G 和 71M6542F/G 支持 SPI FLASH 模式(SFM)，方便 FLASH 的初始编程。SFM 模式下，SPI 接口可擦除、读、写 FLASH。该模式下，不可访问其它存储器，例如 XRAM 和 I/O RAM。为防止 FLASH 被错误地更改，需要特殊条件和操作才能激活 SFM 模式。

SFM 模式下，支持对 FLASH 的 n 字节读取和双字节写入。关于读、写命令的格式，请参见第 73 页的 SPI 通信说明。由于 FLASH 写操作总是基于双字节字，所以初始地址必须为偶数。在写完奇数字节后，数据更新至 16 位 FLASH 总线。

SFM 模式下，MPU 完全暂停。由于这一原因，以上 SPI 通信部分介绍的中断特性不适用于 SFM 模式。71M6541D/F/G 和 71M6542F/G 只有被 WD 定时器或 RESET 引脚复位，才能退出 SFM 模式。

激活 SFM

激活 SFM 之前，必须满足以下条件：

- 引脚 ICE_E = 1。禁用看门狗，同时为防止无意篡改 FLASH 增加了另一层保护。
- 外部电源(V3P3SYS、V3P3A)处于适当电平(> 3.0 VDC)。
- PREBOOT = 0 (SFR 0xB2[7])，SECURE (SFR 0xB2[6])功能有效。
- SECURE = 0。该 I/O RAM 寄存器指示 SPI 加密模式被禁止。如果 SECURE 位 = 1 (在 SPI 加密模式下不允许读取 FLASH)，操作被限制为 SFM 整体擦除模式。
- FLSH_UNLOCK[3:0] (I/O RAM 0x2702[7:4]) = 0010。

I/O RAM 寄存器 SFMM (I/O RAM 0x2080)和 SFMS (I/O RAM 0x2081)用于激活 SFM。需顺序写 SFMM 和 SFMS 才能激活 SFM。顺序写过程可以防止 MPU 意外进入 SFM。

激活 SFM 的顺序为：

- 首先，写 SFMM (I/O RAM 0x2080)寄存器。写入该寄存器的值定义 SFM 模式。
 - o 0xD1：整体擦除模式。进入 SFM 时，激活 FLASH 整体擦除循环。
 - o 0x2E：FLASH 读回模式。进入 SFM 的目的是为了 FLASH 读回。不阻止 FLASH 写操作，由用户保证只写之前未被写的位置。SPI 加密模式被置位时，该模式不可用。
 - o 如果向 SFMM 寄存器写入其它任何值，均不会激活 SFM。
- 接着，写 0x96 至 SFMS (I/O RAM 0x2081)寄存器。如果之前对 SFMM 的写操作满足要求，该动作将激活 SFM。向该寄存器写入其它任何值都不会激活 SFM。此外，对该寄存器的任何写操作都自动将之前写入 SFMM 寄存器的值复位为 0。

SFM 详细介绍

进入 SFM 时，发生以下事件：

- CE 被禁用。
- MPU 暂停。MPU 一旦暂停，只能通过复位重新启动。复位可通过 RESET 引脚、看门狗复位或重新上电 (VBAT 引脚上无电池) 完成。
- 当 MPU 处于 FLASH 写操作或擦除期间，FLASH 控制逻辑被复位。
- 如果在 SFMM 寄存器 I/O RAM 0x2080 (见上文激活 SFM) 已经写入 0xD1，执行 FLASH 整体擦除。SECURE 位(SFR 0xB2[6])在该循环及所有整体擦除循环结束时被清除。
- 现在，所有 SPI 读、写操作都针对 FLASH 而非 XRAM 空间。

通过对任意地址执行 4 字节 SPI 写操作并检查状态字段，SPI 主机可获取“循环 FLASH”操作的状态。

SFM 模式下的所有 SPI 写操作必须为 6 字节通信格式，将两个字节写入偶数地址。写通信必须含有 0xxx xxxx 形式的命令字节。写操作时禁用自动递增。

SPI 读操作可使用自动递增，并且访问单字节。SFM 读操作中，命令字节必须总为 1xxx xxxx 形式。

SFM 模式下的 SPI 命令

SFM 模式下，由于 MPU 暂停，所以不产生中断。命令的格式在第 73 页的 SPI 通信说明部分介绍。

2.5.11 硬件看门狗定时器

71M6541D/F/G 和 71M6542F/G 中包括一个独立、可靠、固定 1.5 秒溢出时间的看门狗定时器(WDT)。它利用 RTC 晶振作为时基，MPU 固件必须每 1.5 秒内刷新一次(喂狗)。超过刷新时间，WDT 溢出，71M654x 将复位。看门狗复位与 RESET 引脚被拉高复位一样(关于 RESET 和唤醒之后的 I/O RAM 位状态的完整清单，请参见第 5.2 节 I/O RAM 映射—字母顺序)。WDT 溢出之后经过 4100 个 CK32 周期(即 125 ms)，MPU 才能够从程序地址 0x0000 开始运行。

内部信号 WAKE=0 时，看门狗定时器也复位(参见第 3.4 节唤醒操作)。

详情请参见第 3.3.4 节看门狗定时器复位。

2.5.12 测试端口(TMUXOUT和TMUX2OUT引脚)

TMUXOUT 和 TMUX2OUT 是两个独立的多功能测试引脚，用户固件可以选择输出内部模拟或数字信号。这些引脚与 SEG47 和 SEG46 功能复用。为作为测试引脚，LCD_MAP[46] (I/O RAM 0x2406[6])和 LCD_MAP[47] (I/O RAM 0x2406[7])必须为 0。

可选择表 65 中所列数字或模拟信号之一在 TMUXOUT 引脚输出。复用器功能由 I/O RAM 寄存器 TMUX[5:0] (I/O RAM 0x2502[5:0])控制，如表 65 所示。

可选择表 66 中所列数字或模拟信号之一在 TMUX2OUT 引脚输出。复用器功能由 I/O RAM 寄存器 TMUX2[4:0] (I/O RAM 0x2503[4:0])控制，如表 66 所示。



TMUX[5:0]和 TMUX2[4:0] I/O RAM 为非易失存储器，其内容由电池电源保持，复位不会丢失。

TMUXOUT 和 TMUX2OUT 引脚可用于产品开发期间或生产测试期间的诊断。*PULSE_1S*: 秒信号输出, 可用于校准晶振。*PULSE_4S*: 4 秒输出为 RTC 校准提供更高的精度。*RTCLK*: 亦可用于校准 RTC。

表 65. *TMUX[5:0]* 选择

<i>TMUX[5:0]</i>	信号名称	说明
1	RTCLK	32.768kHz 时钟波形。
9	WD_RST	MPU 固件“喂狗”指示。通过监测确定看门狗定时器的空闲时间。
A	CKMPU	MPU 时钟—见表 9。
D	V3AOK 位	表示 V3P3A 引脚电压 $\geq 3.0V$ 。预计 V3P3A 和 V3P3SYS 引脚在 PCB 板级连接在一起。71M654x 仅监测 V3P3A 引脚电压。
E	V3OK 位	表示 V3P3A 引脚电压 $\geq 2.8V$ 。预计 V3P3A 和 V3P3SYS 引脚在 PCB 板级连接在一起。71M654x 仅监测 V3P3A 引脚电压。
1B	MUX_SYNC	内部复用帧 SYNC 信号。请参见图 6 和图 7。
1C	CE_BUSY 中断	参见第 25 页第 2.3.3 节和第 47 页图 16。
1D	CE_XFER 中断	
1F	从 CE 的 RTM 输出	参见第 25 页第 2.3.5 节。
注: 未列出的 <i>TMUX[5:0]</i> 值均为保留。		

表 66. *TMUX2[4:0]* 选择

TMUX2[4:0]	信号名称	说明
0	WD_OVF	看门狗定时器溢出指示。
1	PULSE_1S	占空比为 25% 的 1 秒脉冲。该信号可用于测量 RTC 相对于理想 1 秒间隔的偏差。应对多个周期的测试进行平均，滤除抖动。
2	PULSE_4S	占空比为 25% 的 4 秒脉冲。该信号可用于测量 RTC 相对于理想 4 秒间隔的偏差。应对多个周期的测试进行平均，滤除抖动。4 秒脉冲比 1 秒脉冲测量的精度更高。
3	RTCLK	32.768kHz 时钟波形。
8	SPARE[1] 位 – I/O RAM 0x2704[1]	复制 0x2704[1] 的储存值，通用。
9	SPARE[2] 位 – I/O RAM 0x2704[2]	复制 0x2704[2] 的储存值，通用。
A	WAKE	指示何时发生了 WAKE 事件。
B	MUX_SYNC	内部复用帧 SYNC 信号，参见图 6 和图 7。
C	MCK	参见第 50 页第 2.5.3 节。
E	GNDD	数字地，利用该信号将 TMUX2OUT 引脚置于静态。
12	INT0 – DIG I/O	中断 0，参见第 40 页第 2.4.8 节，另请参见第 47 页图 16。
13	INT1 – DIG I/O	
14	INT2 – CE_PULSE	
15	INT3 – CE_BUSY	
16	INT4 - VSTAT	
17	INT5 – EEPROM/SPI	
18	INT6 – XFER, RTC	参见第 25 页第 2.3.5 节。
1F	RTM_CK (flash)	

注：
未列出的 TMUX2[4:0] 均为保留位。

3 功能说明

3.1 工作原理

电源供给负载的能量可表示为:

$$E = \int_0^t V(t)I(t)dt$$

假设相角不变, 则下式成立:

- $P = \text{有功能量[Wh]} = V * A * \cos \varphi * t$
- $Q = \text{无功能量[VARh]} = V * A * \sin \varphi * t$
- $S = \text{视在能量[VAh]} = \sqrt{P^2 + Q^2}$

对于实际电表, 电压、电流幅值、相位角和谐波分量会时常变化。所以, 简单的 RMS 测量本质上并不精确。现代固态电表 IC, 例如 Teridian 71M654x, 通过模拟上述积分运算进行计算, 即处理 ADC 以恒定频率采集的电流和电压值。只要 ADC 分辨率足够高, 采样频率高于所要求的谐波范围, 将电流和电压采样值乘以采样时间周期, 即可获得准确的瞬时能量。在时间上对瞬时能量值求和, 即可获得非常准确的累积能量。

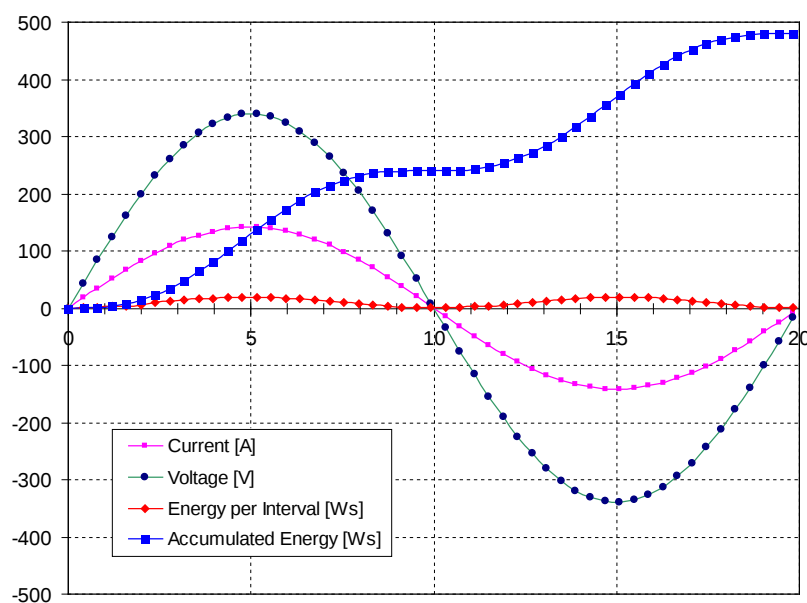


图 28. 电压、电流、瞬时能量和累积能量

图 28 所示为 $V(t)$ 、 $I(t)$ 、瞬时功率和累积功率波形, 电压和电流信号为 50 个采样点, 周期为 20ms。240VAC 和 100A 应用在 20ms 周期内的累积结果为 480Ws ($= 0.133\text{Wh}$), 如累积功率曲线所示。即使存在动态相位偏移和谐波失真, 上述采样法也能够可靠工作。

3.2 电池供电模式

施加系统电源(V3P3SYS)后, 器件马上处于任务模式(MSN 模式)。MSN 模式意味着器件由系统电源供电, 内部 PLL 稳定。该模式是器件能够测量能量的常规工作模式。

系统电源不可用时, 71M654x 工作于以下三种电池模式之一:

- BRN 模式(掉电模式)
- LCD 模式(LCD 模式)
- SLP 模式(休眠模式).

内部比较器监测 V3P3SYS 引脚电压(注意, V3P3SYS 和 V3P3A 通常在 PCB 上连接在一起)。V3P3SYS 电压下降至 3.0 VDC 以下时, 比较器复位 V3OK 内部电源状态位。只要断开系统电源且 V3OK = 0, 71M654x 就切换至电池电源(VBAT 引脚), 通过发起中断并更新 VSTAT[2:0]寄存器(SFR 0xF9[2:0]), 见表 68)通知 MPU。系统从 MSN 转换至 BRN 模式时, MPU 继续执行代码。关于 BRN 模式期间获得最低功耗的设置, 请参见第 3.2.1 节 BRN 模式。根据 MPU 代码, MPU 可选择留在 BRN 模式还是转换至 LCD 或 SLP 模式(通过 I/O RAM 位 LCD_ONLY, I/O RAM 0x28B2[6]和 SLEEP, I/O RAM 0x28B2[7])。除了由 V3P3A 电源供电外, BRN 模式与 MSN 模式类似, 例如, ADC 不准确。BRN 模式下, CE 继续运行, 应将其关闭以节约 VBAT 功率。另外, PLL 继续以与 MSN 模式相同的频率工作, 应降低其频率以节省功率(CKGN = 0x24 (I/O RAM 0x2200))。

系统电源恢复时, 71M654x 从任何电池模式(BRN、LCD、SLP)自动恢复至 MSN 模式, 切回系统电源(V3P3SYS、V3P3A)供电, 发起中断并更新 VSTAT[1:0]。MPU 软件应通过发起软复位恢复 MSN 工作模式, 恢复与 MSN 模式对应的系统设置。

图 29 所示为各种工作模式的状态图, 以及模式之间可能的转换。

器件在电池电源下唤醒时, 自动进入 BRN 模式(见第 3.4 节唤醒功能)。从 BRN 模式, 器件可进入 LCD 模式或 SLP 模式, 由 MPU 控制。

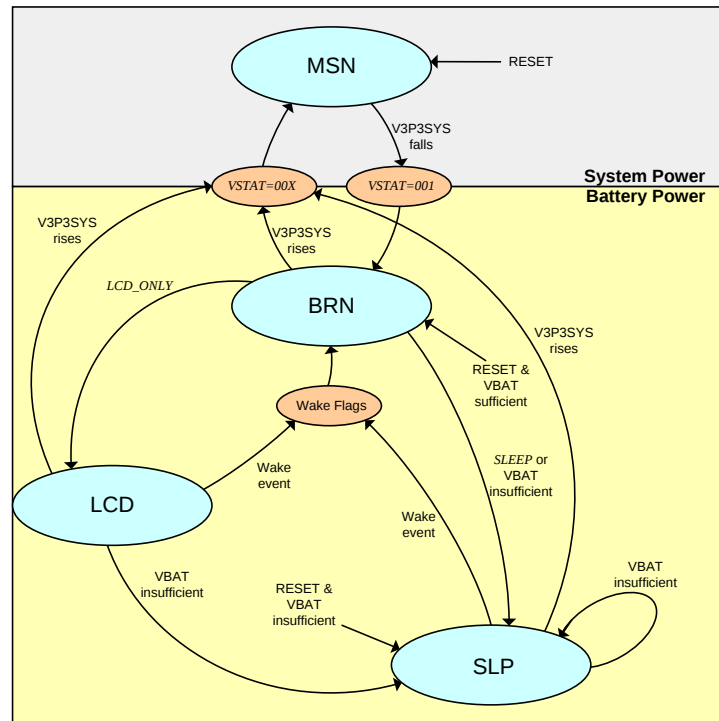


图 29. Operation 工作模式状态图

从 LCD 和 SLP 模式至 BRN 模式的转换可由以下事件发起：

- 唤醒定时器超时。
- 按下按钮(PB)。
- SEGDI04、SEGDI052 (仅限 71M6542F/G)或 SEGDI055 引脚产生上升沿。
- RX 或 OPT_RX 引脚有上升或下降沿产生。

MPU 可访问各种唤醒事件的标识寄存器，详情参见第 3.4 节唤醒功能。

表 67 所示为各种工作模式下的电路功能。

表 67. 电路功能

电路功能	系统电源		电池电源			
	MSN (任务模式)		BRN (掉电模式)		LCD	休眠
	PLL_FAST=1	PLL_FAST=0	PLL_FAST=1	PLL_FAST=0		
CE (计算引擎)	有	有	注 1	注 1	-- ²	--
FIR	有	有	--	--	--	--
ADC, VREF	有	有	--	--	--	--
PLL	有	有	有	有	升压 ²	--
电池测量	有	有	有	有	--	--
温度传感器	有	有	有	有	有	有
最大 MPU 时钟速率	4.92MHz (从 PLL)	1.57MHz (从 PLL)	4.92MHz (从 PLL)	1.57MHz (从 PLL)	--	--
MPU_DIV 时钟分频器	有	有	有	有	--	--
ICE	有	有	有	有	--	--
DIO 引脚	有	有	有	有	--	--
看门狗定时器	有	有	有	有	--	--
LCD	有	有	有	有	有	--
LCD 升压	有	有	有	有	有	--
EEPROM 接口(2 线)	有	有	有	有	--	--
EEPROM 接口(3 线)	有	有	有	有	--	--
UART (全速)	有	有	有	有	--	--
光 TX 调制	38.4kHz	38.9kHz	38.4kHz	38.9kHz	--	--
FLASH 读	有	有	有	有	--	--
FLASH 页擦除	有	有	有	有	--	--
FLASH 写	有	有	有	有	--	--
RAM 读和写	有	有	有	有	--	--
唤醒定时器	有	有	有	有	有	有
OSC 和 RTC	有	有	有	有	有	有
DRAM 数据保持	有	有	有	有	--	--
NV RAM 数据保持	有	有	有	有	有	有
注：						
1. CE 在 BRN 模式下有效，但是 ADC 数据不准确。MPU 应停止 CE 工作，以降低功耗(CE_E = 0, I/O RAM 0x2106[0])。						
2. "--"表示相应电路不工作。						
3. “升压”代表 LCD 升压电路工作(即 LCD_VMODE[1:0] = 10 (I/O RAM 0x2401[7:6])。LCD 升压电路需要来自 PLL 的时钟才可工作。所以，LCD 模式下，如果 LCD 升压使能，PLL 将自动保持势能状态，否则 PLL 关闭。						

3.2.1 BRN模式

BRN 模式下，大多数非计量数字功能处于有效工作状态(如表 67 所示)，包括 ICE、UART、EEPROM、LCD 和 RTC。BRN 模式下，PLL 继续以与 MSN 模式下相同的频率工作。MPU 应按比例缩小 PLL (使用 *PLL_FAST*, I/O RAM 0x2200[4])或 MPU 频率(使用 *MPU_DIV*[2:0], I/O RAM 0x2200[2:0])，以降低功耗。

BRN 模式下，MPU 可选择进入 LCD 或 SLP 模式。如果系统电源恢复时 71M654x 处于 BRN 模式，器件自动转换至 MSN 模式。

BRN 模式下推荐的最小功耗配置如下：

- *RCE0* = 0x00 (I/O RAM 0x2709[7:0]) - 禁用远端传感器
- *LCD_BAT* = 1 (I/O RAM 0x2402[7]) - LCD 由 VBAT 供电
- *LCD_VMODE*[1:0] = 0 (I/O RAM 0x2401[7:6]) - 禁用 5V LCD 升压
- *CE6* = 0x00 (I/O RAM 0x2106) - 禁用 CE、RTM 和 CHOP
- *MUX_DIV*[3:0] = 0 (I/O RAM 0x2100[7:4]) - 禁用 ADC 复用器
- *ADC_E* = 0 (I/O RAM 0x2704[4]) – 禁用 ADC
- *VREF_CAL* = 0 (I/O RAM 0x2704[7]) – 未驱动 Vref
- *VREF_DIS* = 1 (I/O RAM 0x2704[6]) - 禁用 Vref
- *PRE_E* = 0 (I/O RAM 0x2704[5]) - 禁用前置放大器
- *BCURR* = 0 (I/O RAM 0x2704[3]) - 关闭电池 100μA 电流负载
- *TMUX*[5:0] = 0x0E (I/O RAM 0x2502[5:0]) – TMUXOUT 输出设置为直流值(即不做脉冲类输出)
- *TMUX2*[4:0] = 0x0E (I/O RAM 0x2503[4:0]) – TMUXOUT2 输出设置为直流值(即不做脉冲类输出)
- *CKGN* = 0x24 (I/O RAM 0x2200) - PLL 设置为低速，*MPU_DIV*[2:0] (I/O RAM 0x2200[2:0])设置为最大
- *TEMP_PER*[2:0] = 6 (I/O RAM 0x28A0[2:0]) - 温度测量设置为每 512s 自动测量
- *TEMP_BSEL* = 1 (I/O RAM 0x28A0[7]) - 温度传感器监测 VBAT
- *PCON* = 1 (SFR 0x87) - 主 BRN 周期结束时，挂起 MPU 并等待中断
- 根据需要调节波特率寄存器
- 禁用所有不使用的中断

3.2.2 LCD模式

通过置位 *LCD_ONLY* 控制位(I/O RAM 0x28B2[6])，MPU 任何时候均可控制 LCD 模式。然而，建议 MPU 只有在 71M654x 进入 BRN 模式后置位 *LCD_ONLY* 控制位。例如，如果 71M654x 处于 MSN 模式时置位 *LCD_ONLY*，LCD 模式的持续时间就非常短，71M654x 马上被“唤醒”。

LCD 模式下，V3P3D 禁用，从而断开 VBAT 的全部漏电流。*LCD_ONLY* 模式有效之前，建议 MPU 把 PLL 输出频率降低至 6.2 MHz (即写 *PLL_FAST* = 0, I/O RAM 0x2200[4])，使 PLL 电流最小化。LCD 升压系统需要来自 PLL 的时钟才可工作。所以，如果使能 LCD 升压系统(即 *LCD_VMODE*[1:0] = 10, I/O RAM 0x2401[7:6])，PLL 在 LCD 模式下将自动保持有效，否则 PLL 关闭。

LCD 模式下，*LCD_SEG* 寄存器数据通过对应的段驱动器引脚显示。最多可使两个连接至 SEGDI022 和 SEGDI023 的 LCDE 段闪烁，无需 MPU 参与(MPU 在 LCD 模式下被禁用)。为了将电池功耗最小化，应仅仅使能使用的段。

从 LCD 模式转换至 MSN 或 BRN 模式后，PC (程序计数器)为 0x0000，XRAM 处于未定义状态，配置 I/O RAM 位被复位(I/O RAM 唤醒后的状态见表 76)。LCD 模式下，储存在非易失 I/O RAM 的数据保持(表 76 中的阴影部分为非易失)。

3.2.3 SLP模式

V3P3SYS 引脚电压下降至低于 2.8 VDC 时, 71M654x 进入 BRN 模式, V3P3D 引脚从 VBAT (而非 V3P3SYS)供电。一旦处于 BRN 模式, MPU 即可通过置位 *SLEEP* 位(I/O RAM x28B2[7])激活 SLP 模式。SLP 模式下功耗最低, 此时仍然维持 RTC (实时时钟)、RTC 温度补偿和非易失 I/O RAM 工作。

SLP 模式下, V3P3D 断开, 从而断开所有可能的 VBAT 电流消耗。非易失 I/O RAM、SLP 模式下的功能电路, 例如温度传感器、振荡器、RTC 和 RTC 温度补偿, 由 VBAT_RTC 引脚供电。SLP 模式只能通过系统上电或第 3.4 节唤醒功能介绍的方法之一退出。

V3P3SYS 引脚连接有供电电源时(即处于 MSN 模式), 如果触发 *SLEEP* 位, 71M654x 则进入 SLP 模式, 复位内部 WAKE 信号, 此时, 71M654x 开始第 3.4 节唤醒功能中介绍的从休眠模式唤醒的标准步骤。

V3P3SYS 恢复供电时, 71M654x 从 SLP 模式转换至 MSN 模式, MPU PC (程序计数器)初始化为 0x0000。此时, XRAM 处于未定义状态, 但非易失 I/O RAM 的内容保持(表 76 中的阴影部分为非易失存储器)。

3.3 故障和复位操作

3.3.1 掉电事件

内部比较器通过监测 V3P3A 引脚的电压并监测内部产生的 VDD 电压(2.5 VDC)监测电源故障。V3P3SYS 和 V3P3A 引脚必须在 PCB 连接在一起，从而使内部连接至 V3P3A 的比较器能够同时监测 V3P3SYS 和 V3P3A 引脚电压。以下讨论假设 V3P3A 和 V3P3SYS 引脚在 PCB 连接在一起。

电源故障期间，当 V3P3A 下降时，检测两个门限：

- 第一个门限，3.0 VDC (VSTAT[2:0] = 001)，向 MPU 报告模拟电路不再准确。除报告 MPU 外，硬件不切换电源。该状态对应内部标志位 V3AOK。
- 第二个门限，2.8 VDC，使 71M654x 切换至电池供电。此时仍然能够对 FLASH 和 RAM 进行读、写。该状态对应内部标志位 V3OK。

电源状况由 SFR VSTAT[2:0]字段反映，如表 68 所示。VSTAT[2:0]字段位于 SFR 地址 0xF9，占用[2:0]位，为只读。

除了主电源状态，VSTAT[2:0]寄存器还提供电池供电时内部 VDD 电压的信息。注，如果系统电源(V3P3A)高于 2.8 VDC，71M6541D/F/G 和 71M6542F/G 总是从电池切换至系统电源供电。

表 68. VSTAT[2:0] (SFR 0xF9[2:0])

VSTAT[2:0]	说明
000	系统电源正常，V3P3A > 3.0 VDC。模拟电路正常工作并保持精确采集。
001	系统电源低，2.8 VDC < V3P3A < 3.0 VDC。模拟电路不准确。即将切换至电池电源。
010	IC 由电池供电，VDD 正常。VDD > 2.25 VDC，IC 保持完整的数字功能。
011	IC 由电池供电，2.25 VDC > VDD > 2.0 VDC。禁止 FLASH 写操作。
101	IC 由电池供电，VDD < 2.0 VDC，MPU 接近电压失效。在 4 个晶振时钟 CK32 周期内产生复位。

对系统电源故障的响应几乎完全受固件控制。电源故障期间，系统性能缓慢下降。由内部比较器监测，使硬件自动切换至 VBAT 输入供电。中断通知 MPU 由电池供电，此时，MPU 负责降低主频、禁用 PLL，以降低功耗。

精密模拟电路，例如带隙基准、带隙缓冲器和 ADC，只能由 V3P3A 引脚供电(即由 V3P3A 引脚供电的电路不能切换至 VBAT 供电)；随着 V3P3A 引脚电压持续下降，这部分电路的精度下，最终导致失效。V3P3A 引脚下降至 2.8 VDC 以下时，ADC 时钟暂停，放大器无偏置电压。在此期间，控制位，例如 ADC_E 位(I/O RAM 0x2704[4])，不受影响，因为其 I/O RAM 由 VDD 引脚(2.5 VDC)供电。VDD 引脚通过连接至 V3P3D 引脚的内部 2.5 VDC 稳压器供电。V3P3SYS 引脚下降至 3.0 VDC 以下时，V3P3D 引脚切换至 VBAT 引脚供电。注意，V3P3SYS 和 V3P3A 引脚通常在 PCB 连接在一起。

3.3.2 低电池电压下的IC

没有系统电源供电时，71M6541D/F/G 和 71M6542F/G 将依赖 VBAT 引脚供电。如果 VBAT 电压不足以将 VDD 维持在 2.0 VDC 或更高，MPU 则无法可靠工作。器件工作于 BRN 模式，或者潜伏于 SLP 或 LCD 模式时，将导致 VBAT 电压跌落。依据 MPU 代码，可区分两种情形：

- 情形 1：无系统电源供电，器件从 SLP 或 LCD 模式唤醒。这种情况下，硬件检查 VDD 数值，确定处理器是否可能工作。如果不可能工作，器件将配置为 BRN 工作模式，保持处理器复位(WAKE=0)到该模式下，VBAT 为 LCD 系统、VDD 稳压器、PLL 和故障比较器提供 1.0 VDC 基准。器件维持在这种等待模式，直到施加系统电源或更换电池或重新为 VBAT 电池充电，使 VDD 达到足够的电压。
- 情形 2：器件由 VBAT 供电，VSTAT[2:0] (SFR 0xF9[2:0])变为 101(二进制)，表示 VDD 下降至 2.0 VDC。这种情况下，固件有两种选择：
 - 1) 一种选择是立即触发 SLEEP 位(I/O RAM 0x28B2[7])。这样可以保持 VBAT 中的剩余电量。当然，如果电池电压未升高，71M654x 只要试图唤醒，则进入情形 1。
 - 2) 另一种选择是立即进入情形 1 所述的等待模式，即如果固件未触发 SLEEP 位，硬件在 VSTAT[2:0]变为 101 后 4 个 CK32 时钟周期(即 122μs)后复位处理器，如情形 1 所述，开始等待 VDD 变为高于 2.0 VDC。系统电源恢复时，或者 VDD 高于 2.0 VDC 时，MPU 唤醒。

无论哪种情况，当 VDD 恢复，同时 MPU 唤醒时，可读取 WF_BADVDD 标识(I/O RAM 0x28B0[2])，确定处理器正从 VBAT 失效条件下恢复。WF_BADVDD 标识保持置位，直到下一次 WAKE 变低。该标记独立于其它 WF 标识。

任何情况下，低 VBAT 电压都不会破坏 RTC 工作、NV 存储器状态或非易失存储器状态。因为这些电路由 VBAT_RTC 引脚供电。

3.3.3 复位序列

RESET 引脚拉高时，芯片内的所有数字功能停止，只有振荡器和 RTC 除外。此外，全部 I/O RAM 强制为其 RST 状态。只有 RESET 为高电平并维持至少 2μs 的条件下，才发生可靠复位。注意，TMUX 和 RTC 的复位条件：TEST 引脚在 RESET 为高电平时拉高。

RESET 控制位(I/O RAM 0x 2200[3])与 RESET 引脚的复位效果完全相同。唯一需要保证的是 RESET 控制位使用的复位定时器更短。

一旦启动，复位序列进行等待，直到复位定时器超时。超时发生在 4100 个 CK32 周期(125ms)内，此时，MPU 从 0x0000 地址开始执行预引导和引导程序。关于预引导和引导程序的详细说明，请参见第 2.5.11 节 [硬件看门狗定时器](#)。

如果没有系统电源，复位定时器持续时间为 2 个 CK32 周期，此时，MPU 从地址 0x0000 开始执行 BRN 模式。

ICE 接口的 E_RST 引脚拉低时，启动软件复位。该事件造成 MPU 及 MPU 核内其它寄存器复位，但是不复位 IC 的其余部分，例如 I/O RAM。它不触发复位过程。这类复位的本意是复位 MPU 程序，而对芯片的状态不做其它更改。

3.3.4 看门狗定时器复位

看门狗定时器(WDT)在第 2.5.11 节 [硬件看门狗定时器](#)中详细说明。

WDT 发生溢出时，状态位 WF_OVF (I/O RAM 0x28B0[4])置位。与其它唤醒标识相似，该位由非易失电源供电，可由 MPU 读取，以确定芯片复位是因为 WD 溢出、还是重新上电。WF_OVF 位由 RESET 信号清零，也可以软件清零。

MPU 内部没有寄存器可以禁止 WDT。然而，为了调试，可将 ICE_E 引脚升高至 3.3 VDC，禁用 WDT。

正常工作时，通过定期向 WD_RST 控制位(I/O RAM 0x28B4[7])写 1 进行“喂狗”。71M654x 从 LCD 或 SLP 模式唤醒时，以及 ICE_E = 1 时，看门狗定时器也复位。

3.4 唤醒操作

如上所述，系统电源恢复时，器件总是在 MSN 模式唤醒。如第 3.2 节 **电池供电模式** 所述，从 LCD 和 SLP 模式至 BRN 模式的转换可由唤醒定时器超时、按钮 (PB) 输入置为高电平、SEGDI04/SEGDI052/SEGDI055 置高，或者触发 RX 或 OPT_RX 引脚启动。

3.4.1 硬件唤醒事件

以下引脚信号事件将 71M654x 从 SLP 或 LCD 模式唤醒：PB 引脚的高电平、RX 引脚的任意信号沿、SEGDI04 引脚的上升沿、SEGDI052 引脚 (71M6542F/G) 的高电平，SEGDI055 引脚的高电平或 OPT_RX 引脚的任意信号沿。关于每一引脚的去抖，及 OPT_RX/SEGDI055 引脚的更多信息，请参见表 69。SEGDI04、SEGDI052 (71M6542F/G) 和 SEGDI055 引脚必须配置为 DIO 输入，且必须置位其唤醒使能位 (EW_x 位)。SLP 和 LCD 模式下，MPU 保持在复位状态，不能轮询引脚或响应中断。发生其中一个硬件唤醒事件时，内部 WAKE 信号升高，MPU 在 3 个 CK32 周期内开始执行。MPU 通过检查 WF_PB、WF_RX、WF_SEGDI04、WF_DIO52 (71M6542F/G) 或 WF_DIO55 标识，可确定哪个引脚将其唤醒 (见表 69)。

如果器件处于 SLP 或 LCD 模式，可由 PB 引脚的高电平唤醒。该引脚通常拉至 GND，可从外部连接，所以可用按钮将其拉高。

有些引脚需要去抖，以抑制 EMI 噪声。检测硬件忽略初始跳变以后的所有跳变。表 69 列出了配有防抖电路的引脚。

没有去抖电路的引脚，仍然必须保持为高电平至少达 2μs 才能有效识别。

表 69 还列出了唤醒使能和标识位。唤醒标识位由硬件在 MPU 从唤醒事件唤醒时置位。注意，只要按下 PB，PB 标识即被置位，即使器件处于唤醒状态。

表 71 列出了清除 WF 标识的事件。

除按钮和定时器外，器件还可以由以下事件重启：RESET 引脚、RESET 控制位 (I/O RAM 0x2200[3])、WDT、冷启动检测器和 E_RST。如表 69 所示，每种方法都有一个标识位，向 MPU 通告唤醒源。如果唤醒是由于系统电源恢复引起的，则没有有效的 WF 标识，VSTAT[2:0] 字段 (SFR 0xF9[2:0]) 表示系统电源稳定。

表 69. 唤醒使能和标识位

唤醒使能		唤醒标识		去抖	说明
名称	位置	名称	位置		
WAKE_ARM	28B2[5]	WF_TMR	28B1[5]	无	定时器唤醒。
EW_PB	28B3[3]	WF_PB	28B1[3]	有	PB 唤醒*。
EW_RX	28B3[4]	WF_RX	28B1[4]	2μs	RX 信号沿唤醒。
EW_DIO4	28B3[2]	WF_DIO4	28B1[2]	2μs	SEGDI04 唤醒。
EW_DIO52†	28B3[1]	WF_DIO52	28B1[1]	有	SEGDI052 唤醒*。
EW_DIO55	28B3[0]	WF_DIO55	28B1[0]	有	SECURE = 1: DIO55*唤醒，64ms 去抖。 OPT_RXDIS = 0: OPT_RX 信号眼唤醒，2μs 去抖。 OPT_RXDIS: I/O RAM 0x2457[2]
总使能		WF_RST	28B0[6]	2μs	RESET 后唤醒。
总使能		WF_RSTBIT	28B0[5]	无	RESET 位之后唤醒。
总使能		WF_ERST	28B0[3]	2μs	E_RST 后唤醒。 (只有 ICE_E 为高电平才有效)

唤醒使能		唤醒标识		去抖	说明
名称	位置	名称	位置		
总使能		WF_OVF	28B0[4]	无	WD 复位后唤醒。
总使能		WF_CSTART	28B0[7]	无	冷启动后唤醒—首次加电。
总使能		WF_BADVDD	28B0[2]	无	VBAT 电压不足后唤醒。
†仅限 71M6542F/G。					
*每 2ms 采样该引脚一次，必须保持为高达 64ms 才能为有效的高电平。该引脚为高电平触发。					

表 70. 唤醒位

名称	位置	复位	唤醒	方向	说明
<i>EW_DIO4</i>	28B3[2]	0	—	R/W	连接 SEGDI04 至 WAKE 逻辑, 允许 SEGDI04 上升唤醒器件。除非 SEGDI04 配置为数字输入, 否则无效。
<i>EW_DIO52</i>	28B3[1]	0	—	R/W	连接 DIO52 至 WAKE 逻辑, 允许 DIO52 高电平唤醒器件(1M6542)。除非 DIO52 被配置为数字输入, 否则无效。
<i>EW_DIO55</i>	28B3[0]	0	—	R/W	连接 DIO55 至 WAKE 逻辑, 允许 DIO55 高电平唤醒器件。除非 DIO55 配置为数字输入, 否则无效。
<i>WAKE_ARM</i>	28B2[5]	0	—	R/W	准备好 WAKE 定时器, 并装载 <i>WAKE_TMR</i> 寄存器(I/O RAM 0x2880)值。MPU 使能 SLP 模式或 LCD 模式时, WAKE 定时器有效工作。
<i>EW_PB</i>	28B3[3]	0	—	R/W	连接 PB 引脚至 WAKE 逻辑, 允许 PB 高电平唤醒器件。PB 总是配置为输入。
<i>EW_RX</i>	28B3[4]	0	—	R/W	连接 RX 引脚至 WAKE 逻辑, 允许 RX 上升唤醒器件。关于去抖事项, 请参见第 3.4.1 节。
<i>WF_DIO4</i>	28B1[2]	0	—	R	SEGDI04 标识位。如果 SEGDI04 配置为唤醒器件, 只要 SEGDI04 升高, 该位置位。如果 SEGDI04 未配置为唤醒, 它将保持在复位状态。
<i>WF_DIO52</i>	28B1[1]	0	—	R	SEGDI052 标识位。如果 SEGDI052 配置为唤醒器件, 只要 SEGDI052 为高电平, 该位置位。如果 SEGDI052 未配置为唤醒, 它将保持在复位状态 (71M6542F/G)。
<i>WF_DIO55</i>	28B1[0]	0	—	R	SEGDI055 标识位。如果 SEGDI055 配置为唤醒器件, 只要 SEGDI055 为高电平, 该位置位。如果 SEGDI055 未配置为唤醒, 它将保持在复位状态。
<i>WF_TMR</i>	28B1[5]	0	—	R	表示唤醒定时器造成器件唤醒。
<i>WF_PB</i>	28B1[3]	0	—	R	表示 PB 引脚造成器件唤醒。
<i>WF_RX</i>	28B1[4]	0	—	R	表示 RX 引脚造成器件唤醒。
<i>WF_RST</i> <i>WF_RSTBIT</i> <i>WF_ERST</i> <i>WF_CSTART</i> <i>WF_BADVDD</i>	28B0[6] 28B0[5] 28B0[3] 28B0[7] 28B0[2]	* * * * *	—	R	表示 RST 引脚、E_RST 引脚、RESET 位(I/O RAM 0x2200[3])、冷启动检测或 VBAT 引脚的低电压造成器件复位。 *详细信息请参见表 71。

表 71. WAKE 标识清除事件

标识	唤醒事件	清除事件
WF_TMR	定时器终止	WAKE 变低
WF_PB	PB 引脚高电平	WAKE 变低
WF_RX	RX 引脚信号沿	WAKE 变低
WF_DIO4	SEG DIO4 上升沿	WAKE 变低
WF_DIO52	SEG DIO52 高电平(仅限 71M6542F/G)	WAKE 变低
WF_DIO55	如果 OPT_RXDIS = 1 (I/O RAM 0x2457[2]), SEG DIO55 高电平唤醒 如果 OPT_RXDIS = 0, OPT_RX 任意信号沿唤醒	WAKE 变低
WF_RST	RESET 引脚驱动为高	WAKE 变低, WF_CSTART, WF_RSTBIT, WF_OVF, WF_BADVDD
WF_RSTBIT	RESET 位置位(I/O RAM 0x2200[3])	WAKE 变低, WF_CSTART, WF_OVF, WF_BADVDD, WF_RST
WF_ERST	E_RST 引脚驱动为高, 必须通过驱动 ICE_E 引脚为高电平, 使能 ICE。	WAKE 变低, WF_CSTART, WF_RST, WF_OVF, WF_RSTBIT
WF_OVF	看门狗(WD)复位	WAKE 变低, WF_CSTART, WF_RSTBIT, WF_BADVDD, WF_RST
WF_CSTART	冷启动(即首次加电后)	WAKE 变低, WF_RSTBIT, WF_OVF, WF_BADVDD, WF_RST
注: “WAKE 变低”意味着内部 WAKE 信号已复位, 在进入 LCD 模式或 SLEEP 模式时自动发生 WAKE 信号复位(即 MPU 置位 LCD_ONLY 位(I/O RAM 0x28B2[6])或 SLEEP (I/O RAM 0x28B2[7])位)。内部 WAKE 信号复位时, 全部唤醒标识被复位。由于各种唤醒标识在 WAKE 变低时自动复位, MPU 就没必要在进入 LCD 模式或 SLEEP 模式之前复位这些标识。此外, 其它唤醒事件会造成唤醒标识复位, 如上所示(例如, WF_RST 标识在以下标识置位时被复位: WF_CSTART、WF_RSTBIT、WF_OVF、WF_BADVDD)。		

3.4.2 定时器唤醒

如果器件处于 SLP 或 LCD 模式, 可由唤醒定时器唤醒。该定时器超时之前, 由于 WAKE 信号为低, MPU 处于复位状态。唤醒定时器超时, WAKE 升高, MPU 在三个 CK32 周期内开始执行。通过检查 WF_TMR 唤醒标识(I/O RAM 0x28B1[2]), MPU 可判断为定时器唤醒。

器件进入 LCD 或 SLP 模式时, 唤醒定时器开始计时。其持续时间由 WAKE_TMR[7:0] 寄存器(I/O RAM 0x2880)控制。定时器持续时间为 WAKE_TMR + 1 秒。

通过设置 WAKE_ARM = 1 (I/O RAM 0x28B2[5])使能唤醒定时器, 置位与进入 SLP 或 LCD 模式之前必须至少有 3 个 CK32 的延时。置位 WAKE_ARM 以使能 WAKE_TMR 中的值预设定时器, MPU 写 SLEEP (I/O RAM 0x28B2[7])或 LCD_ONLY (I/O RAM 0x28B2[6])位时, 启动唤醒定时器。MPU 唤醒时, 定时器既不复位也不运行。因此, 一旦设定和置位, MPU 在进入 SLP 模式或 LCD 模式后将每 WAKE_TMR[7:0]秒后唤醒(即, 一旦写入, WAKE_TMR[7:0]寄存器保持其值, 不必在 MPU 每次进入 SLP 或 LCD 模式时重写。此外, 由于 WAKE_TMR[7:0]非易失, 所以能在复位和电源故障时保持值)。

3.5 数据流和MPU/CE通信

计算引擎(CE)和 MPU 之间的数据流如图 30 所示。典型应用中, 32 位 CE 顺序处理来自 IA、VA、IB 等引脚输入电压的采样, 执行计算, 测量有功(Wh)、无功(VARh)、 A^2h 和 V^2h , 实现四象限表计。然后 MPU 存取这些测量值, 进一步处理并通过 MPU 可用的外围器件输出。

CE 和复用器均由 MPU 通过 I/O RAM 和 RAM 中的共用寄存器控制。

CE 总共可以输出 6 种信号至 MPU。包括 4 个脉冲和 2 个中断:

- CE_BUSY
- XFER_BUSY
- WPULSE, VPULSE (用于有功和无功能量的脉冲)
- XPULSE, YPULSE (辅助脉冲)

这些中断作为外部中断连接至 MPU 中断服务输入。CE_BUSY 表示 CE 正在处理数据。该信号每个复用循环(典型为 $1/2520=396\mu s$)一次, 表示 CE 已经更新 CESTATUS 寄存器(CE RAM 0x80)中的状态信息。

XFER_BUSY 表示 CE 正在将数据更新至 RAM 输出区域。CE 完成由 SUM_SAMPS[12:0]、I/O RAM 0x2107[4:0]、2108[7:0]确定的累积间隔(典型设定为 2520, 即每 1000 ms)内的数据累加, 就会产生该指示。MPU 的中断发生在 XFER_BUSY 和 CE_BUSY 信号的下降沿。

WPULSE 和 VPULSE 通常用于表示有功(Wh)和无功(VARh)能量的能量累积。将 WPULSE 和 VPULSE 纳入 MPU 中断系统可实现脉冲计数。

XPULSE 和 YPULSE 可用于向 MPU 发出事件告警。例如电网电压跌落和过零。将这些输出纳入 MPU 中断系统, MPU 就没必要在每次发生 CE_BUSY 中断时读取 CESTATUS 寄存器, 以检测跌落或过零事件。

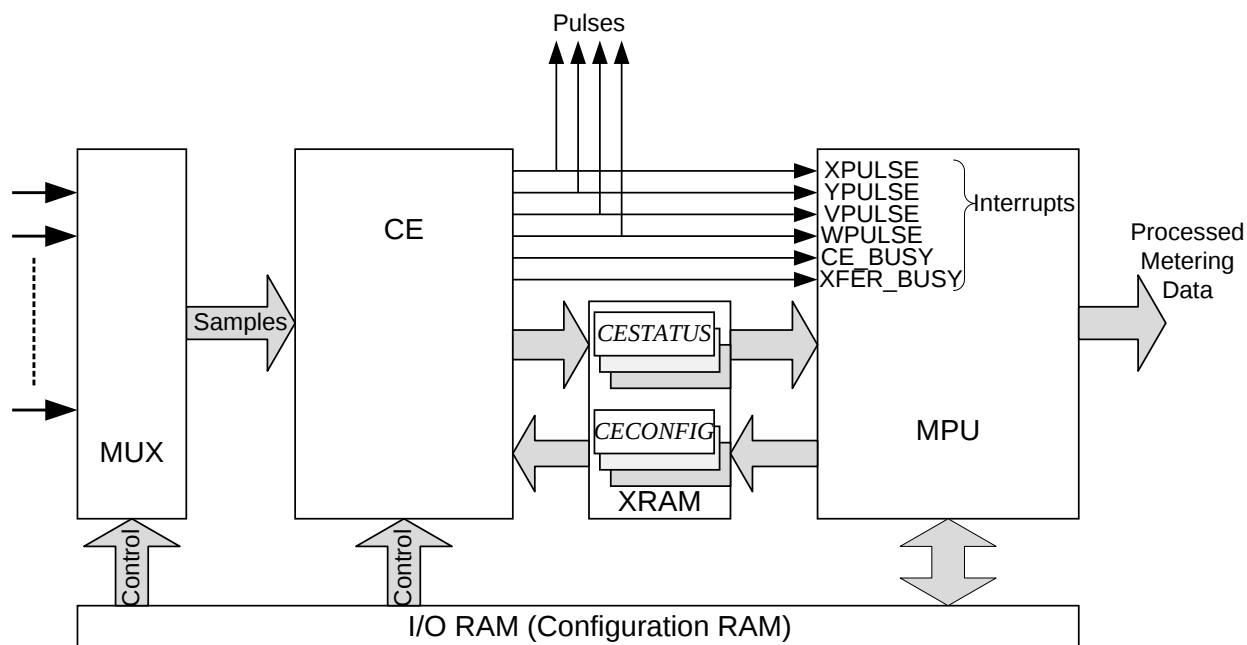


图 30. MPU/CE 数据流

更多有关 CE 设置的信息, 请参见第 5.3 节的 [CE 接口说明](#)。

4 应用信息

4.1 连接 5V 器件

71M654x 的全部数字输入兼容于外部 5V 供电器件。配置为输入的 I/O 引脚连接至外部 5V 供电器件时，不需要加限流电阻。

4.2 直接连接传感器

图 31 至图 34 所示为电压检测分压电阻、电流检测电流变压器(CT)和电流检测锰铜分流器，以及它们与 71M654x 连接示意图。连接至 71M654x 传感器输入的全部输入信号为电压信号，按比例表示检测到的电压或电流。



71M654x 的模拟输入引脚设计用于低阻传感器。RC 滤波器的电阻值不要超过 Teridian 演示板中的电阻阻值。关于完整的传感器输入电路及对应元件值，请参见演示板原理图。

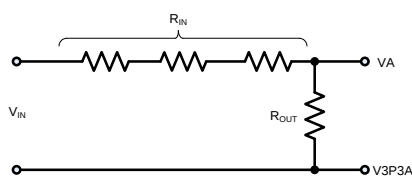


图 31. 电阻分压(电压检测)

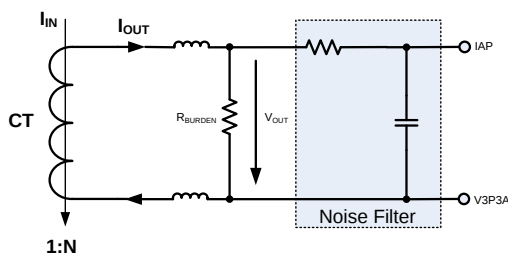


图 32. 单端输入 CT (电流检测)

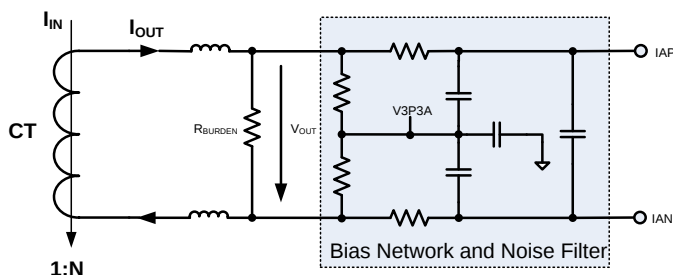


图 33. 差分输入 CT (电流检测)

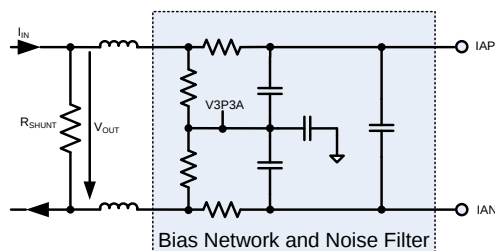


图 34. 差分输入锰铜分流器(电流检测)

4.3 使用本地传感器的 71M6541D/F/G

图 35 所示为使用本地电流传感器的 71M6541D/F/G 接线示意图。IAP-IAN 电流通道可采用锰铜分流器或 CT，IBP-IBN 通道采用 CT，因为需要隔离。此配置实现单相测量，利用一个电流传感器测量零线电流，具有防窃电检测功能。这种配置亦可用于构建分相电表(例如 ANSI Form 2S)。为获得最佳性能，IAP-IAN 和 IBP-IBN 电流传感器输入均配置为差分模式(即， $DIFFA_E = 1$ ， $DIFFB_E = 1$ ，I/O RAM 0x210C[4]和 0x210C[5])。同时 IBP-IBN 通道必须配置成禁用远端传感器接口(即， $RMT_E = 0$ ，I/O RAM 0x2709[3])。与图 35 对应的 AFE 配置请参见图 2。

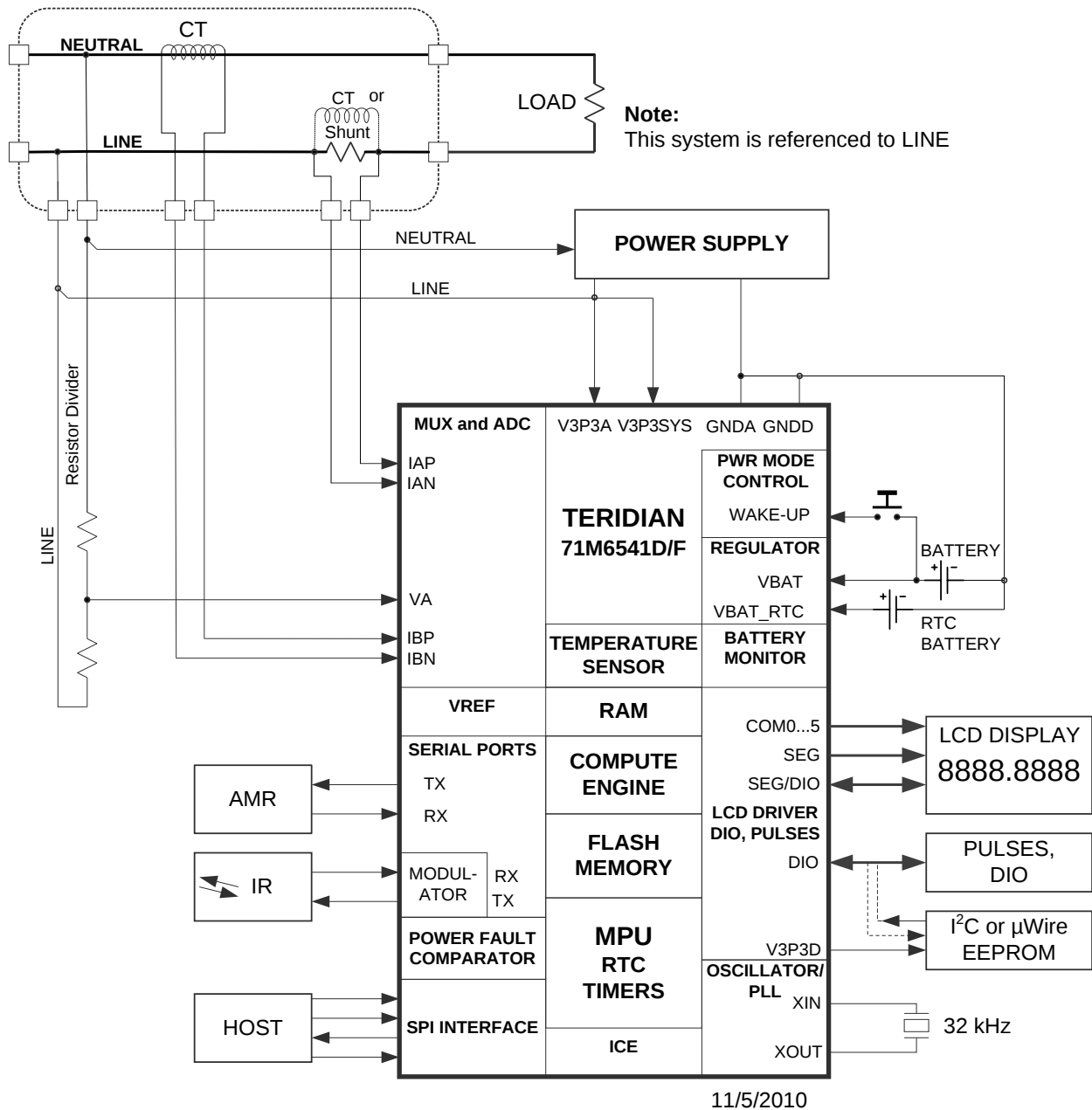


图 35. 71M6541D/F/G (本地传感器)

4.4 使用 71M6x01 和电流分流器的 71M6541D/F/G

图 36 所示为隔离和非隔离锰铜传感器的典型连接(采用 71M6x01 远端传感器接口)。该配置实现单相测量,采用第二个电流传感器,具有防窃电检测功能。这种配置亦可用于构建分相电表(例如 ANSI Form 2S)。为获得最佳性能, IAP-IAN 电流传感器输入配置为差分模式(即, $DIFFA_E = 1$, $I/O\ RAM\ 0x210C[4]$)。71M6x01 远端传感器接口的输出通过脉冲变压器连接至引脚 IBP-IBN。IBP-IBN 引脚必须配置为远端传感器通信接口(即 $RMT_E = 1$, $I/O\ RAM\ 0x2709[3]$)。与图 36 对应的 AFE 配置请参见图 3。

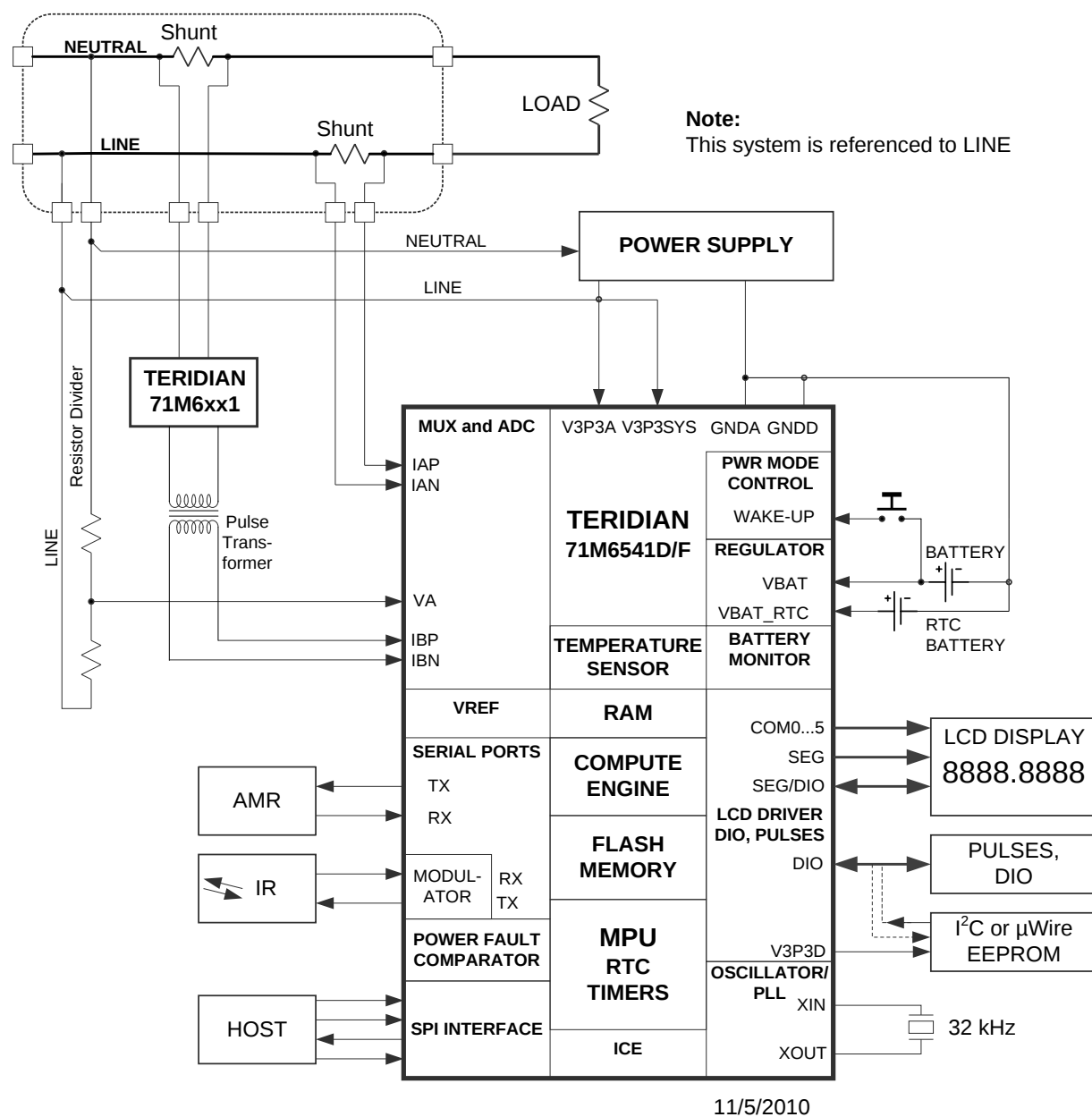


图 36. 71M6541D/F/G (71M6x01 远端传感器)

4.5 使用本地传感器的 71M6542F/G

图 37 所示为使用本地电流传感器的 71M6542F/G 接线示意图。IAP-IAN 电流通道可采用锰铜分流器或 CT，IBP-IBN 通道采用 CT，因为需要隔离。此配置实现两相测量，按照公式 2 计算。为获得最佳性能，IAP-IAN 和 IBP-IBN 电流传感器输入均配置为差分模式(即 $DIFFA_E = 1$ ， $DIFFB_E = 1$ ，I/O RAM 0x210C[4]和 0x210C[5])。同时 IBP-IBN 输入必须配置为禁用远端传感器接口(即， $RMT_E = 0$ ，I/O RAM 0x2709[3])。与图 37 对应的 AFE 配置请参见图 4。

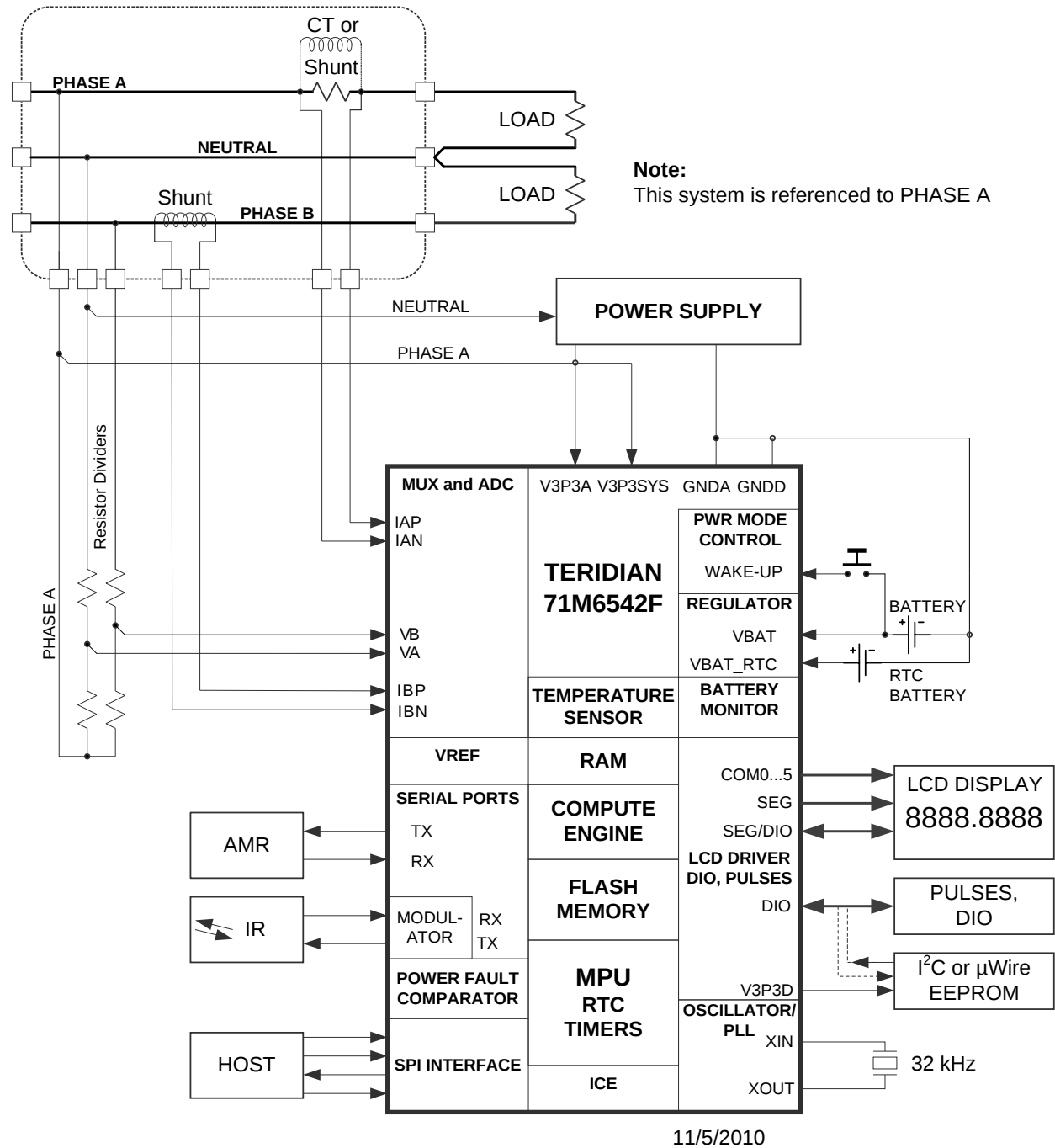


图 37. 71M6542F/G (本地传感器)

4.6 使用 71M6x01 和电流分流器的 71M6542F/G

图 38 所示为使用隔离和非隔离的 71M6542F/G 的典型 2 相连接。为获得最佳性能，IAP-IAN 电流传感器输入配置为差分模式(即， $DIFFA_E = 1$ ， $I/O\ RAM\ 0x210C[4]$)。71M6x01 远端传感器接口用于隔离 B 相。71M6x01 远端传感器接口的输出通过脉冲变压器连接至引脚 IBP-IBN。IBP-IBN 引脚必须配置为远端传感器通信接口(即 $RMT_E = 1$ ， $I/O\ RAM\ 0x2709[3]$)。与图 38 对应的 AFE 配置请参见图 5。

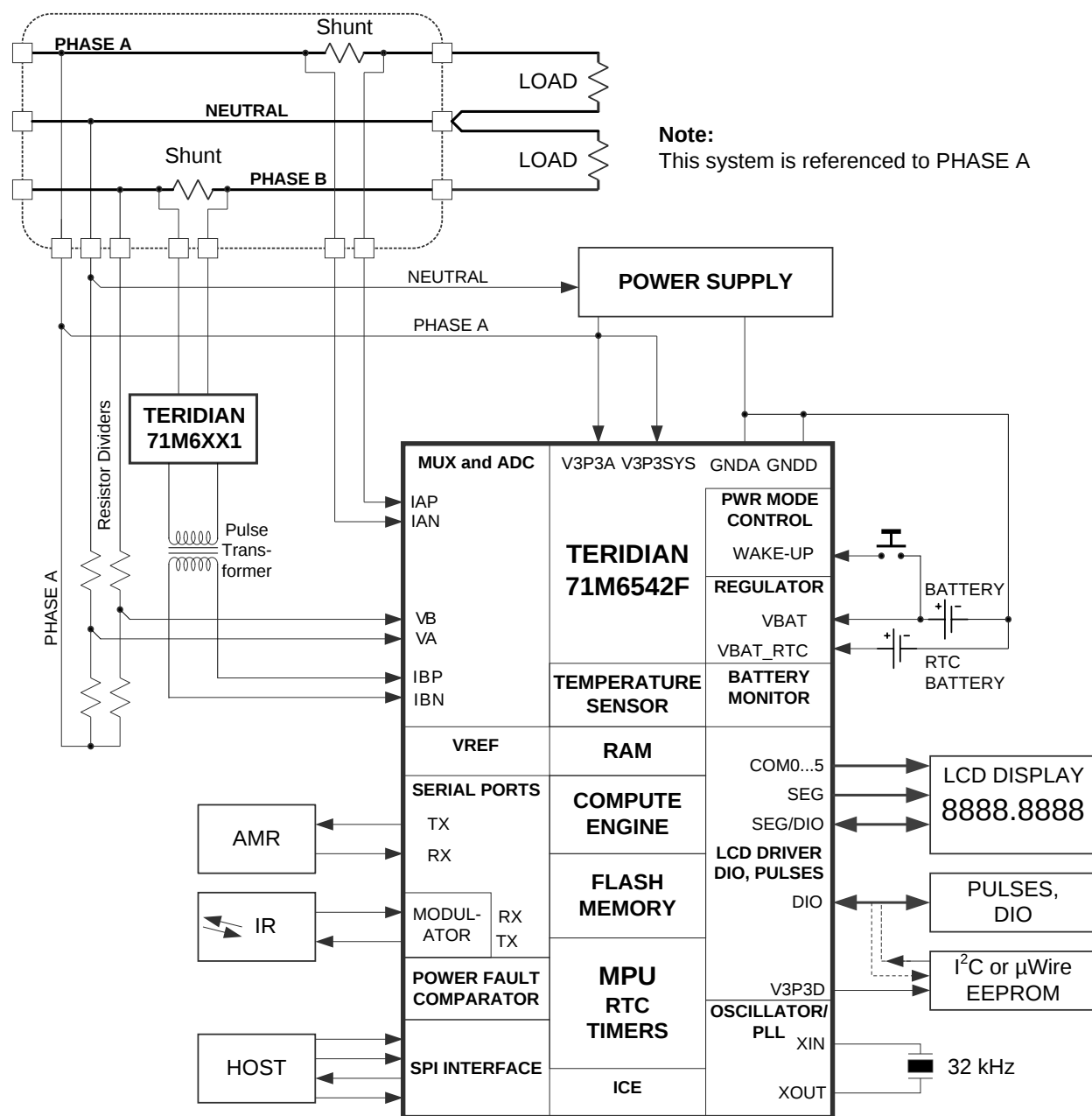


图 38. 71M6542F/G (71M6x01 远端传感器)

4.7 计量温度补偿

4.7.1 高精度电压基准

由于 VREF 的带隙放大器带有斩波稳定电路(由 *CHOP_E[1:0]* I/O RAM 0x2106[3:2]控制字段设置), 因此可以有效的消除电压基准(VREF)最常见的长期直流漂移。71M654x 和 71M6x01 各自的 VREF 电压基准源均具有斩波电路。

Teridian 在器件生产过程中对 VREF 电压基准进行调节。

基准电压(VREF)调整在目标值 1.195V。调节过程中, *TRIMT[7:0]* (I/O RAM 0x2309)储存在非易失熔丝器件中。*TRIMT[7:0]*调节到某一适当值, 使得 VREF 随温度变化的波动最小。

对于 71M654x 器件(±0.5%能量精度), MPU 可在初始化期间读取 *TRIMT[7:0]*值, 以计算适合每个 71M654x 器件的抛物线温度补偿系数。保证 71M654x 中 VREF 的温度系数为±40ppm/°C。

考虑工厂的 VREF 校准温度为+22°C, 工业温度范围(-40°C 至+85°C), 所以 71M654x 器件在极端温度时的 VREF 误差可计算如下:

$$(85^{\circ}\text{C} - 22^{\circ}\text{C}) \cdot 40 \text{ ppm}/^{\circ}\text{C} = +2520 \text{ ppm} = +0.252\%$$

and

$$(-40^{\circ}\text{C} - 22^{\circ}\text{C}) \cdot 40 \text{ ppm}/^{\circ}\text{C} = -2480 \text{ ppm} = -0.248\%$$

以上计算结果表示: 理论上, 电压和电流测量值的最大误差分约为±0.25%。电压采样和电流采样相乘, 获得每次采样的能量时, 电压误差和电流误差组合造成最大能量测量误差为±0.5%。然而, 理论误差±0.5%仅考虑了电压基准(VREF)一个误差源。实际应用中, 系统中还有其它误差源。基本的剩余误差源包括: 电流传感器(分流器或 CT)及其对应的信号处理电路, 以及用于测量电压的分压电阻。因此 0.5%级 71M654x 器件应用于 Class 1%设计时, 为系统中其它误差源留有足够裕量。

4.7.2 71M654x的温度系数

下面提供的公式用于计算加至 71M654x (0.5%能量精度)的 TC1 和 TC2。为了获得 TC1 和 TC2, MPU 读取 *TRIMT[7:0]* (I/O RAM 0x2309), 并使用提供的 TC1 和 TC2 公式。然后即可利用 TC1 和 TC2 计算 PPMC 和 PPMC2, 如下所示。得到的基准电压(VREF)曲线控制在±40ppm/°C 之内, 对应于±0.5%能量测量精度。请参见第 4.7.1 节电压基准精度。

$$TC1 = 275 - 4.95 \cdot TRIMT[7:0]$$

$$TC2 = -0.557 + 2.8 \cdot 10^{-4} \cdot TRIMT[7:0]$$

$$PPMC = \frac{2^{21}}{5^7 \cdot 1.195} \cdot TC1 = 22.4632 \cdot TC1$$

$$PPMC2 = \frac{2^{29}}{5^8 \cdot 1.195} \cdot TC2 = 1150.116 \cdot TC2$$

TC1 和 TC2 分别乘以一个系数得到 PPMC 和 PPMC2, 该系数由 1.195V ADC 电压基准和 CE 的比例调节电路决定, 如上所示。

关于温度补偿的更多详细信息, 请参见第 4.7.3 节和第 4.7.4 节。

4.7.3 VREF温度补偿，使用本地传感器

本节讨论使用本地传感器的电表设计的计量温度补偿，如图 35 和图 37 所示。

在这些配置中，所有传感器直接连接至 71M654x，每个传感器通道的精度受 71M654x 中 VREF 随温度变化引起的电压变动的影响。71M654x 中的 VREF 可利用温度的二阶多项式函数进行数字补偿。71M654x 具有片上温度传感器，用于对其 VREF 进行温度补偿。71M654x 还存在外部误差源。电压采样部分的电分压阻和电流采样部分的锰铜分流器和/或 CT，及其对应的信号调理电路也受温度的影响。根据要求的精度等级，它们也可能需要补偿。对于这些外部误差源的补偿，可选择与 VREF 的补偿集总在一起，将其补偿合并至每个对应通道的 PPMC 和 PPMC2 系数。

MPU 根据检测到的温度计算每个传感器通道所需的补偿值。Teridian 提供演示程序，实现如下所示 $GAIN_ADJn$ 补偿方程。得到的 $GAIN_ADJn$ 值被 MPU 储存在三个 CE RAM 地址 $GAIN_ADJ0$ - $GAIN_ADJ2$ (CE RAM 0x40-0x42)。演示代码提供了合适的温度补偿方法，但利用片上温度传感器和 CE RAM $GAIN_ADJn$ 储存地址，可在 MPU 固件中采用其它方法。演示代码维护三组独立的 PPMC 和 PPMC2 系统，并根据检测到的温度用下式计算三个独立的 $GAIN_ADJn$ 值：

$$GAIN_ADJ = 16385 + \frac{10 \cdot TEMP_X \cdot PPMC}{2^{14}} + \frac{100 \cdot TEMP_X^2 \cdot PPMC2}{2^{23}}$$

式中， $TEMP_X$ 为相对于标称值或校准温度的偏差，以 0.1 °C 的整数倍表示。例如，由于 71M654x 校准(基准)温度为 22 °C，实测温度为 27 °C，所以 $TEMP_X = (27-22) \times 10 = 50$ (十进制)，表示相对于 22 °C 的偏差为 +5 °C。

表 73 给出了 $GAIN_ADJn$ 输出值，以及补偿后的电压或电流测量值。

- $GAIN_ADJ0$ 补偿 71M654x 中的 VA 和 VB (71M6542F/G) 电压测量值，用于补偿 71M654x 中的 VREF。设计者可选择把对分压电阻的补偿增加至该通道的 PPMC 和 PPMC2 系数。
- $GAIN_ADJ1$ 提供对 IA 电流通道的补偿和对 71M654x VREF 的补偿。设计者可选择把对锰铜分流器或 CT 及对应信号调理电路的补偿增加至该通道的 PPMC 和 PPMC2 系数。
- $GAIN_ADJ2$ 提供对 IB 电流通道的补偿和对 71M654x VREF 的补偿。设计者可选择把对 CT 及对应信号调理电路的补偿增加至该通道的 PPMC 和 PPMC2 系数。

表 72. $GAIN_ADJn$ 补偿通道

增益调节输出	CE RAM 地址	71M6541D/F/G	71M6542F/G
$GAIN_ADJ0$	0x40	VA	VA, VB
$GAIN_ADJ1$	0x41	IA	IA
$GAIN_ADJ2$	0x42	IB	IB

在演示代码中，温度补偿由储存在每个通道的 PPMC 和 PPMC2 系数决定，由 MPU 演示代码在初始化时从之前储存在 EEPROM 的数值设置。

为了禁用演示代码中的温度补偿，将每个 $GAIN_ADJn$ 通道的 PPMC 和 PPMC2 设为零。为使能温度补偿，PPMC 和 PPMC2 系数设置为与每个对应传感器通道的预期温度变动相匹配的值。

对于 VREF 补偿，线性系数 PPMC 和二次系数 PPMC2 按第 4.7.2 节 71M654x 的温度系数的介绍确定。

对外部误差源的补偿通过将 VREF 相关的 PPMC 和与外部误差源相关的 PPMC 求和，得到该传感器通道最终的 PPMC。同理，将与 VREF 相关的 PPMC2 值和与外部误差源相关的 PPMC2 值相加。

为了确定锰铜分流器或 CT 对 PPMC 和 PPMC2 系数的影响，设计者必须通过分流器或 CT 的数据资料获得其温度系数，或者通过实验室测量获得。设计者必须考虑批量生产元件的差异，确保产品在生产过程中满足其精度要求。

4.7.4 VREF温度补偿，使用远端传感器

本节讨论将电流分流器传感器与 Teridian 的 71M6x01 远端传感器配合使用的电表设计中的温度补偿，如图 36 和图 38 所示。

任何直接连接至 71M654x 的传感器受 71M654x 中 VREF 随温度变化引起的电压变动的影响。另一方面，连接至 71M6x01 远端传感器的传感器受 71M6x01 中 VREF 的影响。71M654x 和 71M6x01 中的 VREF 可利用温度的二阶多项式函数进行数字补偿。71M654x 和 71M6x01 都具有温度传感器，用于对其 VREF 进行温度补偿。

参见图 36 和图 38，VA 电压传感器可用于 71M6541D/F/G 和 71M6542F/G，直接连接至 71M654x。VB 电压传感器仅在 71M6542F/G 中可用，也采用直接连接。所以，这些直接连接电压传感器的精度受 71M654x 中 VREF 的影响。71M654x 还有一个分流器传感器(IA)，采用直接连接，因此也受 71M654x 中 VREF 的影响。外部电流传感器及其对应信号调理电路也受温度的影响，根据要求的精度等级，它们也可能需要补偿。最后，第二个电流传感器(IB)被 71M6x01 隔离，依赖于 71M6x01 中的 VREF，另外还有对应的锰铜分流器阻值随温度的变化。

MPU 负责根据检测到的温度计算每个传感器通道所需的补偿值。Teridian 提供演示代码，实现如下所示的 $GAIN_ADJ_n$ 补偿方程。得到的 $GAIN_ADJ_n$ 值被 MPU 储存在三个 CE RAM 地址 $GAIN_ADJ0$ - $GAIN_ADJ2$ (CE RAM $0x40$ - $0x42$)。演示代码提供了合适的温度补偿方法，但利用片上温度传感器和 CE RAM $GAIN_ADJ_n$ 储存地址，可在 MPU 固件中采用其它方法。演示代码维护三组独立的 PPMC 和 PPMC2 系统，并根据检测到的温度用下式计算三个独立的 $GAIN_ADJ_n$ 值：

$$GAIN_ADJ = 16385 + \frac{10 \cdot TEMP_X \cdot PPMC}{2^{14}} + \frac{100 \cdot TEMP_X^2 \cdot PPMC2}{2^{23}}$$

式中， $TEMP_X$ 为相对于标称值或校准温度的偏差，以 0.1°C 的整数倍表示。例如，由于 71M654x 校准(基准)温度为 22°C ，实测温度为 27°C ，所以 $TEMP_X = (27-22) \times 10 = 50$ (十进制)，表示相对于 22°C 的偏差为 $+5^\circ\text{C}$ 。

表 73 给出了 $GAIN_ADJ_n$ 公式输出值，以及被补偿的电压或电流测量值。

- $GAIN_ADJ0$ 补偿 71M654x 中的 VA 和 VB (71M6542F/G)电压测量值，用于补偿 71M654x 中的 VREF。设计者可选择把对分压电阻的补偿增加至该通道的 PPMC 和 PPMC2 系数。
- $GAIN_ADJ1$ 提供对 IA 电流通道的补偿和对 71M654x VREF 的补偿。设计者可选择把对锰铜分流器及对应信号调理电路的补偿增加至该通道的 PPMC 和 PPMC2 系数。
- $GAIN_ADJ2$ 提供对远端连接的 IB 分流器电流传感器的补偿和对 71M654x VREF 的补偿。设计者可选择将对连接至 71M6x01 的分流器的补偿增加至该通道的 PPMC 和 PPMC2 系数。

表 73. GAIN_ADJn 补偿通道

增益调节输出	CE RAM 地址	71M6541D/F/G	71M6542F/G
<i>GAIN_ADJ0</i>	0x40	VA	VA, VB
<i>GAIN_ADJ1</i>	0x41	IA	IA
<i>GAIN_ADJ2</i>	0x42	IB	IB

在演示代码中，温度补偿由储存在 *PPMC* 和 *PPMC2* 的系数决定，MPU 演示代码在初始化时，从之前储存在 *EEPROM* 的数值设置。

为了禁用演示代码中的温度补偿，将每个 *GAIN_ADJn* 通道的 *PPMC* 和 *PPMC2* 设为零。为使能温度补偿，*PPMC* 和 *PPMC2* 系数设置为与对应通道的预期温度变动相匹配的值。

对于 *VREF* 补偿，线性系数 *PPMC* 和二次系数 *PPMC2* 按第 4.7.2 节 71M654x 的温度系数的介绍确定。关于 71M6x01 *VREF* 确定 *PPMC* 和 *PPMC2* 系数的信息，请参阅 71M6xxx 数据资料。

对外部误差源的补偿通过将 *VREF* 相关的 *PPMC* 值和与外部误差源相关的 *PPMC* 值求和，得到该传感器通道最终的 *PPMC* 值。同理，将与 *VREF* 相关的 *PPMC2* 值和与外部误差源相关的 *PPMC2* 值相加。

为了确定分流器传感器对 *PPMC* 和 *PPMC2* 系数的影响，设计者必须通过分流器或 CT 的数据资料获得其温度系数，或者通过实验室测量获得。设计者必须考虑批量生产元件的差异，确保产品在生产过程中满足其精度要求。

4.8 连接 I²C EEPROM

I²C EEPROM 或其它 I²C 兼容器件应连接至 DIO 引脚 SEG DIO2 和 SEG DIO3，如图 39 所示。

SDCK 和 SDATA 信号应该使用大约 10 k Ω 的上拉电阻拉至 V3P3D (确保工作于 BRN 模式)。I/O RAM 中的 *DIO_EEX[1:0]* (*I/O RAM 0x2456[7:6]*) 字段必须设为 01，以便将 DIO 引脚 SEG DIO2 和 SEG DIO3 转换至硬件 I²C 引脚 SDCK 和 SDATA。

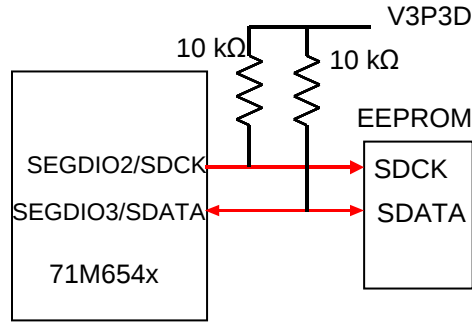


图 39. I²C EEPROM 连接

4.9 连接 3 线 EEPROM

μWire EEPROM 和其它兼容器件应连接至 DIO 引脚 SEG DIO2/SDCK 和 SEG DIO3/SDATA，如第 2.5.9 节 [EEPROM 接口](#) 所述。

4.10 UART0 (TX/RX)

UART0 RX 引脚应由 10kΩ 电阻拉低，另外由 100pF 陶瓷电容保护，如图 40 所示。

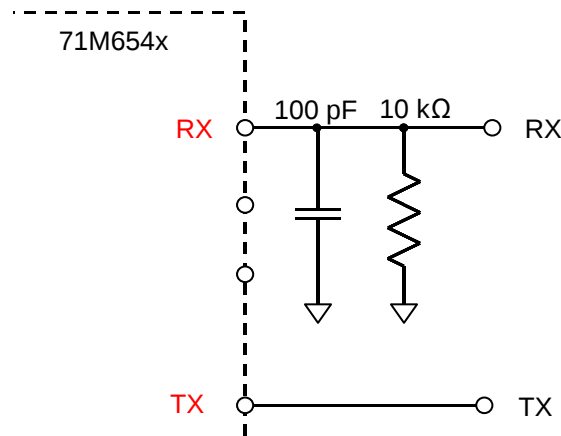


图 40. UART0 连接

4.11 光接口(UART1)

OPT_TX 和 OPT_RX 引脚可用于普通的串行接口(例如，连接一个 RS_232 收发器)，或者用于直接控制光元件(例如，红外二极管和光电晶体管实现 FLAG 接口)。图 41 所示为 UART1 的基本连接。I/O RAM 控制字段 OPT_TXE (I/O RAM 0x2456[3:2]) 设为 00 时，OPT_TX 引脚有效。

OPT_TX 和 OPT_RX 引脚的极性可分别由配置位 OPT_TXINV (I/O RAM 0x2456[0]) 和 OPT_RXINV (I/O RAM 0x2457[1]) 控制翻转。

系统电源供电时，OPT_TX 可以使能 38 kHz 调制功能。BRN 模式下调制功能不可用。OPT_TXMOD 位(I/O RAM 0x2456[1]) 使能调制。占空比由 OPT_FDC[1:0] (I/O RAM 0x2457[5:4]) 控制，可选择 50%、25%、12.5% 和 6.25% 占空比。6.25% 占空比意味着 OPT_TX 在 6.25% 周期内为低电平。OPT_RX 引脚采用数字信号门限。接收调制光信号时，它可能需要一个模拟滤波器。



调制时，光发射器工作电流比标称值高，使其延长光通路距离。

如果希望工作于 BRN 模式，外部元件应连接至 V3P3D。然而，建议将电流限制为几个 mA。

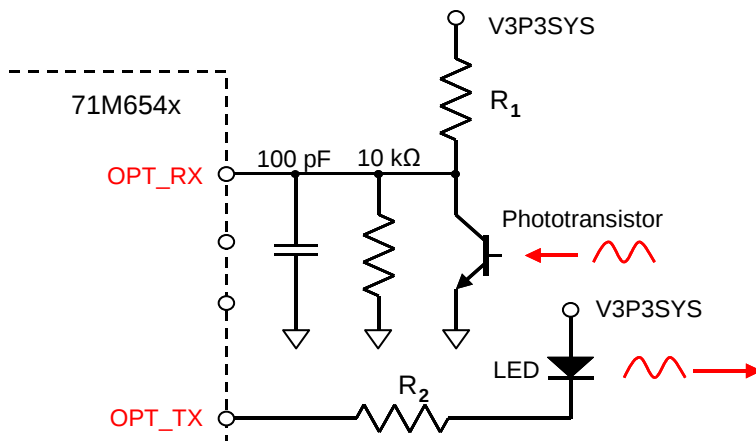


图 41. 光元件连接

4.12 连接复位引脚

即使正常工作的电表不需要复位开关，开发时提供一个复位按钮非常有用，如图 42 左侧所示。RESET 信号可源于 V3P3SYS (MSN 模式)、V3P3D (MSN 和 BRN 模式)或 VBAT (所有模式，如果有电池)，或者是这些供电电源的组合，取决于具体应用。

✓ 对于生产型电表，RESET 引脚应由外部元件保护，如图 42 右侧所示。R1 应在 100Ω 范围之内，安装在尽量靠近 IC 的位置。

由于 71M6541D/F/G 和 71M6542F/G 产生自身的上电复位，所以只有测试和开发时才需要复位按钮或电路，如图 42 所示。

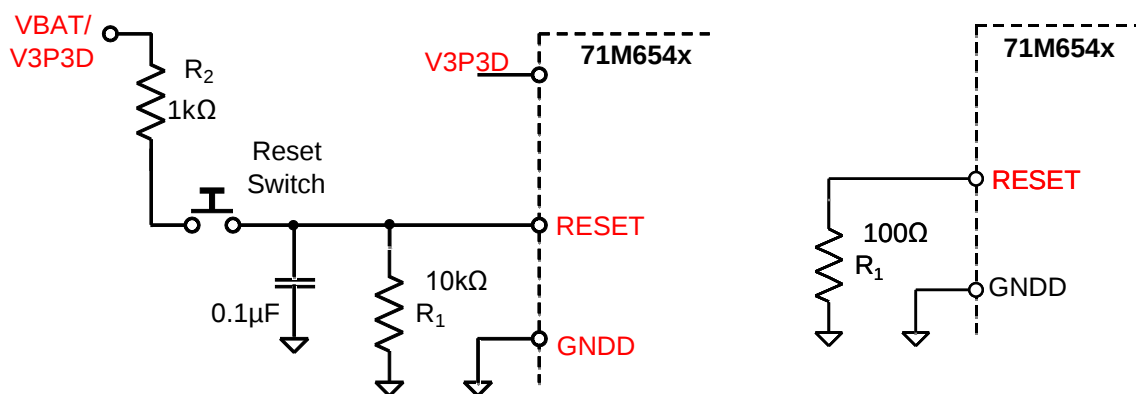


图 42. RESET 引脚外部电路：按钮(左侧)、生产电路(右侧)

4.13 连接仿真器端口

即使不使用仿真器，也应该使用一个对地短路小电容(22pF)，用于 EMI 防护，如图 43 所示。成品板应使 ICE_E 引脚连接至地。

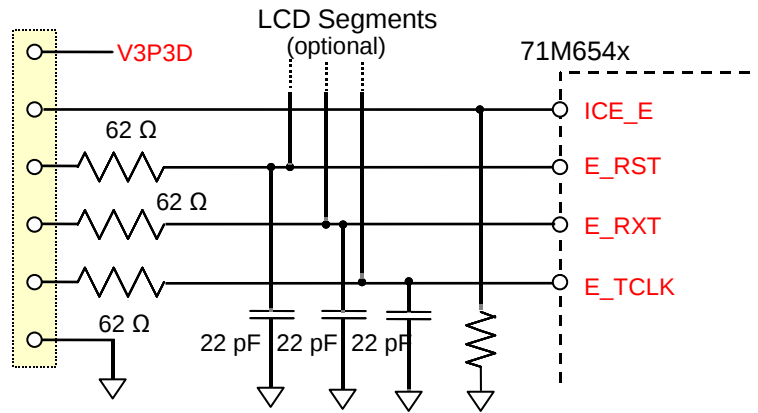


图 43. 仿真器接口的外部电路

4.14 闪存编程

4.14.1 通过ICE端口编程闪存

利用在线仿真器或 Teridian 提供的 FLASH 编程模块(TFP-2)，将操作或测试程序载入 FLASH。FLASH 编程采用 E_RST、E_RXTX 和 E_TCLK 引脚。

4.14.2 通过SPI端口编程闪存

通过 SPI 端口可擦除、读和编程 FLASH，详细说明请参见第 2.5.10 节 SPI 从机端口。

4.15 MPU固件库

Teridian 提供的演示用 C 程序(源代码)包括了第 4 章应用信息提及的所有相关 MPU 函数。这些代码作为 71M6541D/F/G 和 71M6542F/G 演示工具包的一部分提供。随演示工具包提供预编程的演示固件，安装在实验样品演示板上。演示板有助于快速、有效地评估 IC，同时无需编写固件或提供仿真器(ICE)。

4.16 晶振

71M6541D/F/G 和 71M6542F/G 的振荡器为标准 32.768 kHz 钟表晶振。经过特殊设计振荡器电路，可处理此类晶振，同时兼容其高阻抗和有限功率处理能力。振荡器功耗非常低，有助于延长 VBAT_RTC 电池的寿命。

电路板布局使 XIN 至 XOUT 的电容最小化，需要的电池电流很小。良好的布局使 XIN 和 XOUT 彼此隔离，并且与 LCD 和数字信号隔离。



由于振荡器为自偏压，所以不能在晶振上连接外部电阻。

4.17 电表校准

Teridian 71M654x 电能表器件安装在电表系统后，必须对其校准。完整的校准包括以下内容：

- 建立基准温度(例如，典型为 22 °C)。
- 在基准温度(例如，典型为 22 °C)下校准计量电路,即校准电流传感器、分压和信号调理元件以及内部基准电压(VREF)的容差。
- 利用 RTCA_ADJ[7:0] I/O RAM 寄存器(I/O RAM 0x2504)校准振荡器频率。

可利用 CE 的增益和相位调节系数校准计量部分。增益调节用于补偿信号调理使用的元件的容差，尤其是电阻性元件。相位调整用于补偿电流传感器或无功功率引起的相位漂移。

由于 MPU 固件的灵活性，能够实现任意校准方法，例如基于能量或电流和电压进行校准。还可能实现分段校准(取决于电流范围)。

71M6541D/F/G 和 71M6542F/G 支持常见的工业标准校准技术，例如单点(仅限能量)、多点(能量、Vrms、Irms)和自动校准。

Teridian 提供一份校准电子表格文件，以方便校准过程。请联系当地的 Teridian 代表处，索取最新的 71M654x 校准电子表格文件。

5 固件接口

5.1 I/O RAM映射—按功能排序

表 74 和表 75 中，无效(U)位和保留(R)位以浅灰色阴影表示。无效位用“U”表示。无效位没有物理存储单元，对其写操作没任何影响，读取时总是返回 0。保留位用“R”表示，只能写 0。对保留位写入非 0 值，可能会产生负作用，必须避免。非易失位以深灰色阴影表示。如果系统有电池连接至 VBAT 引脚，非易失位在主电源故障期间不会丢失。

表 74 中按地址顺序列出 I/O RAM 位置，方便 MPU 读取(例如，按照验证内容的顺序)。这些 I/O RAM 位置通常仅在启动时更改。表 74 所列地址是表 75 所列地址的替代选择，在本文通篇中都使用表 75 所列地址。例如，EQU[2:0]可在地址 I/O RAM 0x2000[7:5]或地址 I/O RAM 0x2106[7:5]操作。

表 74. I/O RAM 映射—按功能排序，基本配置

名称	地址	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
CE6	2000	EQU[2:0]			U	CHOP_E[1:0]		RTM_E	CE_E
CE5	2001	U			SUM_SAMPS[12:8]				
CE4	2002	SUM_SAMPS[7:0]							
CE3	2003	U	U	CE_LCTN[5:0]					
CE2	2004	PLS_MAXWIDTH[7:0]							
CE1	2005	PLS_INTERVAL[7:0]							
CE0	2006	R	R	DIFFB_E	DIFFA_E	RFLY_DIS	FIR_LEN[1:0]		PLS_INV
RCE0	2007	CHOPR[1:0]		R	R	RMT_E	R	R	R
RTMUX	2008	U	TMUXRB[2:0]			U	TMUXRA[2:0]		
保留	2009	U	U	R	U	U	U	U	U
MUX5	200A	MUX_DIV[3:0]				MUX10_SEL			
MUX4	200B	MUX9_SEL				MUX8_SEL			
MUX3	200C	MUX7_SEL				MUX6_SEL			
MUX2	200D	MUX5_SEL				MUX4_SEL			
MUX1	200E	MUX3_SEL				MUX2_SEL			
MUX0	200F	MUX1_SEL				MUX0_SEL			
TEMP	2010	TEMP_BSEL	TEMP_PWR	OSC_COMP	TEMP_BAT	TBYTE_BUSY	TEMP_PER[2:0]		
LCD0	2011	LCD_E	LCD_MODE[2:0]			LCD_ALLCOM	LCD_Y	LCD_CLK[1:0]	
LCD1	2012	LCD_VMODE[1:0]		LCD_BLNKMAP23[5:0]					
LCD2	2013	LCD_BAT	R	LCD_BLNKMAP22[5:0]					
LCD_MAP6	2014	LCD_MAP[55:48]							
LCD_MAP5	2015	LCD_MAP[47:40]							

名称	地址	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
LCD_MAP4	2016	LCD_MAP[39:32]							
LCD_MAP3	2017	LCD_MAP[31:24]							
LCD_MAP2	2018	LCD_MAP[23:16]							
LCD_MAP1	2019	LCD_MAP[15:8]							
LCD_MAP0	201A	LCD_MAP[7:0]							
DIO_R5	201B	U	U	U	U	U	DIO_RPB[2:0]		
DIO_R4	201C	U	DIO_R11[2:0]			U	DIO_R10[2:0]		
DIO_R3	201D	U	DIO_R9[2:0]			U	DIO_R8[2:0]		
DIO_R2	201E	U	DIO_R7[2:0]			U	DIO_R6[2:0]		
DIO_R1	201F	U	DIO_R5[2:0]			U	DIO_R4[2:0]		
DIO_R0	2020	U	DIO_R3[2:0]			U	DIO_R2[2:0]		
DIO0	2021	DIO_EEX[1:0]		U	U	OPT_TXE[1:0]		OPT_TXMOD	OPT_TXINV
DIO1	2022	DIO_PW	DIO_PV	OPT_FDC[1:0]		U	OPT_RXDIS	OPT_RXINV	OPT_BB
DIO2	2023	DIO_PX	DIO_PY	U	U	U	U	U	U
INT1_E	2024	EX_EEX	EX_XPULSE	EX_YPULSE	EX_RTCT	U	EX_RTC1M	EX_RTC1S	EX_XFER
INT2_E	2025	EX_SPI	EX_WPULSE	EX_VPULSE					
WAKE_E	2026				EW_RX	EW_PB	EW_DIO4	EW_DIO52 [†]	EW_DIO55
SFMM	2080	SFMM[7:0]*							
SFMS	2081	SFMS[7:0]*							

注:

*SFMM 和 SFMS 只能通过 SPI 从端口访问。详情请参见 [激活 SFM \(第 78 页\)](#)[†]仅限 71M6542F/G。

表 75 列出了可能需要频繁访问的位和寄存器。保留位的灰色背景较浅，非易失位的灰色背景较深。

表 75. I/O RAM 映射—按功能排序

名称	地址	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
CE 和 ADC									
MUX5	2100	MUX_DIV[3:0]				MUX10_SEL[3:0]			
MUX4	2101	MUX9_SEL[3:0]				MUX8_SEL[3:0]			
MUX3	2102	MUX7_SEL[3:0]				MUX6_SEL[3:0]			
MUX2	2103	MUX5_SEL[3:0]				MUX4_SEL[3:0]			
MUX1	2104	MUX3_SEL[3:0]				MUX2_SEL[3:0]			
MUX0	2105	MUX1_SEL[3:0]				MUX0_SEL[3:0]			
CE6	2106	EQU[2:0]			U	CHOP_E[1:0]		RTM_E	CE_E
CE5	2107	U	U	U	SUM_SAMPS[12:8]				
CE4	2108	SUM_SAMPS[7:0]							
CE3	2109	U	U	CE_LCTN[5:0]					
CE2	210A	PLS_MAXWIDTH[7:0]							
CE1	210B	PLS_INTERVAL[7:0]							
CE0	210C	R	R	DIFFB_E	DIFFA_E	RFLY_DIS	FIR_LEN[1:0]		PLS_INV
RTM0	210D	U	U	U	U	U	U	RTM0[9:8]	
RTM0	210E	RTM0[7:0]							
RTM1	210F	RTM1[7:0]							
RTM2	2110	RTM2[7:0]							
RTM3	2111	RTM3[7:0]							
时钟发生									
CKGN	2200	U	U	ADC_DIV	PLL_FAST	RESET	MPU_DIV[2:0]		
LCD/DIO									
VREF 调节熔丝器件									
TRIMT	2309	TRIMT[7:0]							
LCD/DIO									
LCD0	2400	LCD_E	LCD_MODE[2:0]			LCD_ALLCOM	LCD_Y	LCD_CLK[1:0]	
LCD1	2401	LCD_VMODE[1:0]			LCD_BLNKMAP23[5:0]				
LCD2	2402	LCD_BAT	R	LCD_BLNKMAP22[5:0]					
LCD_MAP6	2405	LCD_MAP[55:48]							
LCD_MAP5	2406	LCD_MAP[47:40]							

名称	地址	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
LCD_MAP4	2407	LCD_MAP[39:32]							
LCD_MAP3	2408	LCD_MAP[31:24]							
LCD_MAP2	2409	LCD_MAP[23:16]							
LCD_MAP1	240A	LCD_MAP[15:8]							
LCD_MAP0	240B	LCD_MAP[7:0]							
LCD4	240C	U	U	U	U	U	LCD_RST	LCD_BLANK	LCD_ON
LCD_DAC	240D	U	U	U	LCD_DAC[4:0]				
SEGADIO0	2410	U	U	LCD_SEG0[5:0]					
...	...	U	U	...					
SEGADIO15	241F	U	U	LCD_SEG15[5:0]					
SEGADIO16	2420	U	U	LCD_SEGADIO16[5:0]					
...	...	U	U	...					
SEGADIO45	243D	U	U	LCD_SEGADIO45[5:0]					
SEGADIO46	243E	U	U	LCD_SEG46[5:0]					
...	...	U	U	...					
SEGADIO50	2442	U	U	LCD_SEG50[5:0]					
SEGADIO51	2443	U	U	LCD_SEGADIO51[5:0]					
...	...	U	U	...					
SEGADIO55	2447	U	U	LCD_SEGADIO55[5:0]					
DIO_R5	2450	U	U	U	U	U	DIO_RPB[2:0]		
DIO_R4	2451	U	DIO_R11[2:0]			U	DIO_R10[2:0]		
DIO_R3	2452	U	DIO_R9[2:0]			U	DIO_R8[2:0]		
DIO_R2	2453	U	DIO_R7[2:0]			U	DIO_R6[2:0]		
DIO_R1	2454	U	DIO_R5[2:0]			U	DIO_R4[2:0]		
DIO_R0	2455	U	DIO_R3[2:0]			U	DIO_R2[2:0]		
DIO0	2456	DIO_EEX[1:0]		U	U	OPT_TXE[1:0]		OPT_TXMOD	OPT_TXINV
DIO1	2457	DIO_PW	DIO_PV	OPT_FDC[1:0]		U	OPT_RXDIS	OPT_RXINV	OPT_BB
DIO2	2458	DIO_PX	DIO_PY	U	U	U	U	U	U
NV BITS									
保留	2500	U	U	U	U	R	R	R	R
保留	2501	U	U	R	U	U	U	U	U
TMUX	2502	U	U	TMUX[5:0]					

名称	地址	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
TMUX2	2503	U	U	U	TMUX2[4:0]				
RTC1	2504	U	RTCA_ADJ[6:0]						
71M6x01 接口									
REMOTE2	2602	RMT_RD[15:8]							
REMOTE1	2603	RMT_RD[7:0]							
RBITS									
INT1_E	2700	EX_EEX	EX_XPULSE	EX_YPULSE	EX_RTCT	U	EX_RTC1M	EX_RTC1S	EX_XFER
INT2_E	2701	EX_SPI	EX_WPULSE	EX_VPULSE	U	U	U	U	U
SECURE	2702	FLSH_UNLOCK[3:0]				R	FLSH_RDE	FLSH_WRE	R
Analog0	2704	VREF_CAL	VREF_DIS	PRE_E	ADC_E	BCURR	SPARE[2:0]		
VERSION	2706	VERSION[7:0]							
INTBITS	2707	U	INT6	INT5	INT4	INT3	INT2	INT1	INT0
FLAG0	SFR E8	IE_EEX	IE_XPULSE	IE_YPULSE	IE_RTCT	U	IE_RTC1M	IE_RTC1S	IE_XFER
FLAG1	SFR F8	IE_SPI	IE_WPULSE	IE_VPULSE	U	U	U	U	PB_STATE
STAT	SFR F9	U	U	U	PLL_OK	U	VSTAT[2:0]		
REMOTE0	SFR FC		PERR_RD	PERR_WR	RCMD[4:0]				
SPI1	SFR FD	SPI_CMD[7:0]							
SPI0	2708	SPI_STAT[7:0]							
RCE0	2709	CHOPR[1:0]		R	R	RMT_E	R	R	R
RTMUX	270A	U	R	R	R	U	TMUXRA[2:0]		
INFO_PG	270B	U	U	U	U	U	U	U	INFO_PG
DIO3	270C	U	U	PORT_E	SPI_E	SPI_SAFE	U	U	U
NV RAM 和 RTC									
NVRAMxx	2800-287F	NVRAM[0] – NVRAM[7F] – Direct Access							
WAKE	2880	WAKE_TMR[7:0]							
STEMP1	2881	STEMP[10:3]							
STEMP0	2882	STEMP[2:0]			U	U	U	U	U
BSENSE	2885	BSENSE[7:0]							
LKPADDR	2887	LKPAUTOI	LKPADDR[6:0]						
LKPDATA	2888	LKPDAT[7:0]							
LKPCTRL	2889	U	U	U	U	U	U	LKP_RD	LKP_WR
RTC0	2890	RTC_WR	RTC_RD	U	RTC_FAIL	U	U	U	U

名称	地址	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
RTC2	2892	RTC_SBSC[7:0]							
RTC3	2893	U	U	RTC_SEC[5:0]					
RTC4	2894	U	U	RTC_MIN[5:0]					
RTC5	2895	U	U	U	RTC_HR[4:0]				
RTC6	2896	U	U	U	U	U	RTC_DAY[2:0]		
RTC7	2897	U	U	U	RTC_DATE[4:0]				
RTC8	2898	U	U	U	U	RTC_MO[3:0]			
RTC9	2899	RTC_YR[7:0]							
RTC10	289B	U	U	U	U	U	RTC_P[16:14]		
RTC11	289C	RTC_P[13:6]							
RTC12	289D	RTC_P[5:0]						RTC_Q[1:0]	
RTC13	289E	U	U	RTC_TMIN[5:0]					
RTC14	289F	U	U	U	RTC_THR[4:0]				
TEMP	28A0	TEMP_BSEL	TEMP_PWR	OSC_COMP	TEMP_BAT	TBYTE_BUSY	TEMP_PER[2:0]		
WF1	28B0	WF_CSTART	WF_RST	WF_RSTBIT	WF_OVF	WF_ERST	WF_BADVDD		
WF2	28B1	U	U	WF_TMR	WF_RX	WF_PB	WF_DIO4	WF_DIO52	WF_DIO55
MISC	28B2	SLEEP	LCD_ONLY	WAKE_ARM					
WAKE_E	28B3	U	U	U	EW_RX	EW_PB	EW_DIO4	EW_DIO52 [†]	EW_DIO55
WDRST	28B4	WD_RST	TEMP_START	U	U	U	U	U	U
MPU 端口									
P3	SFR B0	DIO_DIR[15:12]				DIO[15:12]			
P2	SFR A0	DIO_DIR[11:8]				DIO[11:8]			
P1	SFR 90	DIO_DIR[7:4]				DIO[7:4]			
P0	SFR 80	DIO_DIR[3:0]				DIO[3:0]			
FLASH									
ERASE	SFR 94	FLSH_ERASE[7:0]							
FLSHCTL	SFR B2	PREBOOT	SECURE	U	U	FLSH_PEND	FLSH_PSTWR	FLSH_MEEN	FLSH_PWE
PGADR	SFR B7	FLSH_PGADR[5:0]						U	U
I ² C									
EEDATA	SFR 9E	EEDATA[7:0]							
EECTRL	SFR 9F	EECTRL[7:0]							

[†]仅限 71M6542F/G。

5.2 I/O RAM映射—按字母排序

表 76 按字母顺序列出了 I/O RAM 和寄存器。

可写位(在方向栏中用 W 表示)由 MPU 写入配置 RAM。通常情况下，典型应用是：由 MPU 从 FLASH 复制到配置 RAM。部分更常用的操作位被映射至 MPU SFR 存储器空间。其它位被映射至地址空间 0x2XXX。MPU 读取 R (读)位。复位和唤醒栏分别说明复位和唤醒时的默认值。“-”意味着该位为只读或由 NV 电源供电，不进行初始化。读取“只写位”时返回 0。

灰色阴影部分为非易失(电池供电)。

表 76. I/O RAM 映射—按功能排序

名称	位置	复位	唤醒	方向	说明												
ADC_E	2704[4]	0	0	R/W	使能 ADC 和 VREF。禁用时，减小偏置电流。												
ADC_DIV	2200[5]	0	0	R/W	ADC_DIV控制 ADC 和 FIR 时钟的速率。 ADC_DIV 设置决定 MCK 是被 4 或 8 除： 0 = MCK/4 1 = MCK/8 产生的 ADC 和 FIR 时钟如下所示。 <table><tr><td></td><td>PLL_FAST = 0</td><td>PLL_FAST = 1</td></tr><tr><td>MCK</td><td>6.291456MHz</td><td>19.660800MHz</td></tr><tr><td>ADC_DIV = 0</td><td>1.572864MHz</td><td>4.9152MHz</td></tr><tr><td>ADC_DIV = 1</td><td>0.786432MHz</td><td>2.4576MHz</td></tr></table>		PLL_FAST = 0	PLL_FAST = 1	MCK	6.291456MHz	19.660800MHz	ADC_DIV = 0	1.572864MHz	4.9152MHz	ADC_DIV = 1	0.786432MHz	2.4576MHz
	PLL_FAST = 0	PLL_FAST = 1															
MCK	6.291456MHz	19.660800MHz															
ADC_DIV = 0	1.572864MHz	4.9152MHz															
ADC_DIV = 1	0.786432MHz	2.4576MHz															
BCURR	2704[3]	0	0	R/W	将 100μA 负载连接至 TEMP_BSEL 所选的电池。												
BSENSE[7:0]	2885[7:0]	–	–	R	电池测量结果。参见第 2.5.6 节 71M654x 电池检测器。												
CE_E	2106[0]	0	0	R/W	CE 使能。												
CE_LCTN[5:0]	2109[5:0]	31	31	R/W	CE 程序位置。CE 程序的起始地址为 1024*CE_LCTN。												
CHIP_ID[15:8] CHIP_ID[7:0]	2300[7:0] 2301[7:0]	0 0	0 0	R R	这些字节包含芯片标识。												
CHOP_E[1:0]	2106[3:2]	0	0	R/W	使能基准带隙电路的斩波功能。CHOP 值在 MUXSYNC 的上升沿根据 CHOP_E 的设定而改变： 00 = 自动切换 ¹ 01 = 正极性 10 = 反极性 11 = 自动切换 ¹ 累积周期的最后 mux sync 沿除外(不切换极性)。												

名称	位置	复位	唤醒	方向	说明																					
CHOPR[1:0]	2709[7:6]	00	00	R/W	用于远端传感器的 CHOP 设置。 00 = 自动斩波。每个复用帧变化。 01 = 正 10 = 负 11 = 自动斩波。同 00。																					
DIFFA_E	210C[4]	0	0	R/W	使能 IA 电流输入(IAP-IAN)的差分配置。																					
DIFFB_E	210C[5]	0	0	R/W	使能 IB 电流输入(IBP-IBN)的差分配置。																					
DIO_R2[2:0] DIO_R3[2:0] DIO_R4[2:0] DIO_R5[2:0] DIO_R6[2:0] DIO_R7[2:0] DIO_R8[2:0] DIO_R9[2:0] DIO_R10[2:0] DIO_R11[2:0] DIO_RPB[2:0]	2455[2:0] 2455[6:4] 2454[2:0] 2454[6:4] 2453[2:0] 2453[6:4] 2452[2:0] 2452[6:4] 2451[2:0] 2451[6:4] 2450[2:0]	0 0 0 0 0 0 0 0 0 0 0	—	R/W	将 PB 和专用 I/O 引脚 DIO2 至 DIO11 连接至内部资源。如果多个输入连接至相同源，下方的 MULTIPLE 栏制定如何组合。 <table><tr><th>DIO_Rx</th><th>资源</th><th>MULTIPLE</th></tr><tr><td>0</td><td>无</td><td>—</td></tr><tr><td>1</td><td>保留</td><td>OR</td></tr><tr><td>2</td><td>T0 (定时器 0 时钟或选通)</td><td>OR</td></tr><tr><td>3</td><td>T1 (定时器 1 时钟或选通)</td><td>OR</td></tr><tr><td>4</td><td>IO 中断(int0)</td><td>OR</td></tr><tr><td>5</td><td>IO 中断(int1)</td><td>OR</td></tr></table>	DIO_Rx	资源	MULTIPLE	0	无	—	1	保留	OR	2	T0 (定时器 0 时钟或选通)	OR	3	T1 (定时器 1 时钟或选通)	OR	4	IO 中断(int0)	OR	5	IO 中断(int1)	OR
DIO_Rx	资源	MULTIPLE																								
0	无	—																								
1	保留	OR																								
2	T0 (定时器 0 时钟或选通)	OR																								
3	T1 (定时器 1 时钟或选通)	OR																								
4	IO 中断(int0)	OR																								
5	IO 中断(int1)	OR																								
DIO_DIR[15:12] DIO_DIR[11:8] DIO_DIR[7:4] DIO_DIR[3:0]	SFR B0[7:4] SFR A0[7:4] SFR 90[7:4] SFR 80[7:4]	F	F	R/W	设置前 16 个 DIO 引脚的方向，1 表示输出。如果该引脚未配置为 I/O，则忽略。关于 SEG DIO0 和 SEG DIO1 的特殊选项，请参见 DIO_PV和 DIO_PW。关于 SEG DIO2 和 SEG DIO3 的特殊选项，请参见 DIO_EEX。注意，DIO15 以上的引脚方向由 SEG DIOx[1]设置。参见 PORT_E 避免上电毛刺。																					
DIO[15:12] DIO[11:8] DIO[7:4] DIO[3:0]	SFR B0[3:0] SFR A0[3:0] SFR 90[3:0] SFR 80[3:0]	F	F	R/W	设置前 16 个 DIO 引脚的数值，配置为 LCD 的引脚读取时为 0。写入时，更改配置为输出的引脚的数据，配置为 LCD 或输入的引脚忽略写操作。注意，DIO15 以上的引脚数据由 SEG DIOx[0] 设置。																					
DIO_EEX[1:0]	2456[7:6]	0	—	R/W	置位时，将引脚 SEG DIO3/SEG DIO2 转换为带外部 EEPROM 的接口。SEG DIO2 变为 SDCK，SEG DIO3 变为双向 SDATA，但是只有 LCD_MAP[2] 和 LCD_MAP[3]清除时，该功能可用。 <table><tr><th>DIO_EEX[1:0]</th><th>功能</th></tr><tr><td>00</td><td>禁用 EEPROM 接口</td></tr><tr><td>01</td><td>2 线 EEPROM 接口</td></tr><tr><td>10</td><td>3 线 EEPROM 接口</td></tr><tr><td>11</td><td>3 线 EEPROM 接口，带独立的 DO (DIO3)和 DI (DIO8)引脚。</td></tr></table>	DIO_EEX[1:0]	功能	00	禁用 EEPROM 接口	01	2 线 EEPROM 接口	10	3 线 EEPROM 接口	11	3 线 EEPROM 接口，带独立的 DO (DIO3)和 DI (DIO8)引脚。											
DIO_EEX[1:0]	功能																									
00	禁用 EEPROM 接口																									
01	2 线 EEPROM 接口																									
10	3 线 EEPROM 接口																									
11	3 线 EEPROM 接口，带独立的 DO (DIO3)和 DI (DIO8)引脚。																									

名称	位置	复位	唤醒	方向	说明					
DIO_PV	2457[6]	0	–	R/W	如果 LCD_MAP[1] = 0, 使 VARPULSE 在引脚 SEGDI01 输出。					
DIO_PW	2457[7]	0	–	R/W	如果 LCD_MAP[0] = 0, 使 VARPULSE 在引脚 SEGDI01 输出。					
DIO_PX	2458[7]	0	–	R/W	如果 LCD_MAP[6] = 0, 使 XPULSE 在引脚 SEGDI06 输出。					
DIO_PY	2458[6]	0	–	R/W	如果 LCD_MAP[7] = 0, 使 YPULSE 在引脚 SEGDI07 输出。					
EEDATA[7:0]	SFR 9E	0	0	R/W	串行 EEPROM 接口数据。					
EECTRL[7:0]	SFR 9F	0	0	R/W	串行 EEPROM 接口控制。					
					状态位	名称	读/写	复位状态	极性	说明
					7	ERROR	R	0	正	接收到合法命令后为 1。
					6	BUSY	R	0	正	串行数据总线忙时为 1。
					5	RX_ACK	R	1	正	1 表示 EEPROM 发送了 ACK 位。
EQU[2:0]	2106[7:5]	0	0	R/W	指定计量公式。					
					EQU	Watt & VAR 公式 (WSUM/VARSUM)	用于计算能量/电流的输入			
							W0SUM/ VAR0SUM	W1SUM/ VAR1SUM	I0SQ SUM	I1SQ SUM
					0	VA*IA 1 器件, 2 表, 1Φ	VA*IA	VA*IB ¹	IA	IB ¹
					1	VA*(IA-IB)/2 1 器件, 3 表, 1Φ	VA*(IA-IB)/2	–	IA-IB	IB
					2 [†]	VA*IA + VB*IB 2 器件, 3 表, 3Φ Δ	VA*IA	VB*IB	IA	IB
					注: 1. 可选, IB 可用于测量零线电流。					
†仅限 71M6542F/G。										

名称	位置	复位	唤醒	方向	说明																
EX_XFER EX_RTC1S EX_RTC1M EX_RTCT EX_SPI EX_EEX EX_XPULSE EX_YPULSE EX_WPULSE EX_VPULSE	2700[0] 2700[1] 2700[2] 2700[3] 2701[7] 2700[7] 2700[6] 2700[5] 2701[6] 2701[5]	0	0	R/W	中断使能位。这些位使能 XFER_BUSY、RTC_1SEC 等。注意，如果这些中断位中某一项被使能，其对应的 8051 EX 使能位也应该置位。详情参见第 2.4.8 节中断。																
EW_DIO4	28B3[2]	0	—	R/W	连接 SEG DIO4 至 WAKE 逻辑，允许 SEG DIO4 上升沿唤醒器件。DIO4 配置为数字输入时，该位无效。																
EW_DIO52	28B3[1]	0	—	R/W	连接 SEG DIO52 至 WAKE 逻辑，允许 SEG DIO52 上升沿唤醒器件。SEG DIO52 配置为数字输入时，该位无效。 SEG DIO52 引脚仅在 71M6542F/G 中可用。																
EW_DIO55	28B3[0]	0	—	R/W	连接 SEG DIO55 至 WAKE 逻辑控制，允许 SEG DIO55 上升沿唤醒器件。EGDIO55 配置为数字输入时，该位无效。																
EW_PB	28B3[3]	0	—	R/W	连接 PB 至 WAKE 逻辑控制，允许 PB 上升沿唤醒器件。PB 由硬件配置为输入，软件无法修改。																
EW_RX	28B3[4]	0	—	R/W	连接 RX 至 WAKE 逻辑控制，允许 RX 上升沿唤醒器件。去抖信息请参见第 87 页 WAKE 说明。																
FIR_LEN[1:0]	210C[2:1]	0	0	R/W	ADC 采样周期的 FIR 滤波器长度。 PLL_FAST = 1: <table><tr><td>FIR_LEN[1:0]</td><td>ADC 周期</td></tr><tr><td>00</td><td>141</td></tr><tr><td>01</td><td>288</td></tr><tr><td>10</td><td>384</td></tr></table> PLL_FAST = 0: <table><tr><td>FIR_LEN[1:0]</td><td>ADC 周期</td></tr><tr><td>00</td><td>135</td></tr><tr><td>01</td><td>276</td></tr><tr><td>10</td><td>Not Allowed</td></tr></table> ADC LSB 大小和满幅值取决于 FIR_LEN[1:0] 设置。请参见第 149 页第 6.4.15 节 ADC 转换器。	FIR_LEN[1:0]	ADC 周期	00	141	01	288	10	384	FIR_LEN[1:0]	ADC 周期	00	135	01	276	10	Not Allowed
FIR_LEN[1:0]	ADC 周期																				
00	141																				
01	288																				
10	384																				
FIR_LEN[1:0]	ADC 周期																				
00	135																				
01	276																				
10	Not Allowed																				

名称	位置	复位	唤醒	方向	说明
<i>FLSH_ERASE</i> [7:0]	SFR 94[7:0]	0	0	W	<u>FLASH 擦除启动</u> <i>FLSH_ERASE</i> 用于发起 FLASH 整体擦除或 FLASH 页擦除。为了启用相应的擦除过程, <i>FLSH_ERASE</i> 需要特定的命令字。 (默认 = 0x00). 0x55 = 发起 FLASH 页擦除。之前必须向 <i>FLSH_PGADR</i>[5:0] (<i>SFR</i> 0xB7[7:2]) 写入要擦除的页。 0xAA = 发起 FLASH 整体擦除。之前必须向 <i>FLSH_MEEN</i> 写 1, 同时 ICE 端口必须使能。 向 <i>FLSH_ERASE</i> 写其它任意命令字均无效。
<i>FLSH_MEEN</i>	SFR B2[1]	0	0	W	<u>整体擦除使能</u> 0 = 禁用整体擦除(默认)。 1 = 使能整体擦除。 必须针对每次新整体擦除重写。
<i>FLSH_PEND</i>	SFR B2[3]	0	0	R	表示一次写 FLASH 被挂起(写操作未完成)。后续的 FLASH 写操作被忽略。因此用户必须判断上次写操作的状态, 然后决定本次写操作是否需要等待。
<i>FLSH_PGADR</i> [5:0]	SFR B7[7:2]	0	0	W	<u>FLASH 页擦除地址</u> <i>FLSH_PGADR</i>[5:0] — 页擦除中被擦除的 FLASH 页地址(页 0 至 63)。(默认= 0x00)。 必须针对每次新页擦除重写。
<i>FLSH_PSTWR</i>	SFR B2[2]	0	0	R/W	使能定时写 FLASH。为 1 时, 如果 <i>CE_E</i> = 1, 写 FLASH 请求储存到一个单位深度的 FIFO 中, 等待 <i>CE_BUSY</i> 变低时执行。可通过读 <i>FLSH_PEND</i> 确定此 FIFO 的状态。如果 <i>FLSH_PSTWR</i> = 0 或如果 <i>CE_E</i> = 0, 立即执行写 FLASH 操作。
<i>FLSH_PWE</i>	SFR B2[0]	0	0	R/W	<u>程序写使能</u> 0 = MOVX 命令针对外部 RAM 空间, 常规工作(默认)。 1 = MOVX @DPTR,A 将 A 移至外部程序空间(Flash) @ DPTR。 该位在每个字节写入 FLASH 后自动复位。使能中断时, 禁止该位写操作。
<i>FLSH_RDE</i>	2702[2]	—	—	R	表示 FLASH 通过 ICE 或 SPI 接口读取。 <i>FLSH_RDE</i> = (! <i>SECURE</i>)。
<i>FLSH_UNLOCK</i> [3:0]	2702[7:4]	0	0	R/W	必须为 2 才能允许 FLASH 更改, 更多详情参见 FLASH 安全说明。
<i>FLSH_WRE</i>	2702[1]	—	—	R	表示 FLASH 通过 ICE 或 SPI 接口写入。

名称	位置	复位	唤醒	方向	说明				
<i>IE_XFER</i> <i>IE_RTC1S</i> <i>IE_RTC1M</i> <i>IE_RTCT</i> <i>IE_SPI</i> <i>IE_EEX</i> <i>IE_XPULSE</i> <i>IE_YPULSE</i> <i>IE_WPULSE</i> <i>IE_VPULSE</i>	SFR E8[0] SFR E8[1] SFR E8[2] SFR E8[4] SFR F8[7] SFR E8[7] SFR E8[6] SFR E8[5] SFR F8[4] SFR F8[3]	0	0	R/W	用于中断 2 和 6 的中断标识。这些标识监测 int6 和 int2 中断源(MPU 核心的外部中断)。这些标识由硬件置位, 必须由软件清除。 <i>IEX2 (SFR 0xC0[1])</i> 和 <i>IEX6 (SFR 0xC0[5])</i> 中断标识由 MPU 内核响应中断后自动清除。SFR E8 和 SFR F8 必须进行字节清除, 即向它们对应的位写 0、并向其它非清零位写 1 清除。				
<i>INTBITS</i>	2707[6:0]	—	—	R	中断输入。MPU 可读取这些位, 检查外部中断 INT0~INT6 的输入。这些位没有任何存储器, 主要用于调试。				
<i>LCD_ALLCOM</i>	2400[3]	0	—	R/W	将 SEG/COM 位配置为 COM。不影响 <i>LCD_MAP</i> 位为 0 的引脚。				
<i>LCD_BAT</i>	2402[7]	0	—	R/W	任何模式下, VBAT 为 LCD 供电。注意: 此设置会使 MSN 模式下也消耗电池电能。				
<i>LCD_BLNKMAP23[5:0]</i> <i>LCD_BLNKMAP22[5:0]</i>	2401[5:0] 2402[5:0]	0	—	R/W	连接至 SEG23 和 SEG22 的段闪烁控制, 1 表示“闪烁”。最高有效位对应 COM5, 最低有效位对应 COM0。				
<i>LCD_CLK[1:0]</i>	2400[1:0]	0	—	R/W	设置 LCD 时钟频率, 注意: $f_w = 32768\text{Hz}$				
					<i>LCD_CLK</i>	LCD 时钟频率		<i>LCD_CLK</i>	LCD 时钟频率
					00	$\frac{f_w}{2^9} = 64\text{ Hz}$		10	$\frac{f_w}{2^7} = 256\text{ Hz}$
01	$\frac{f_w}{2^8} = 128\text{ Hz}$		11	$\frac{f_w}{2^6} = 512\text{ Hz}$					
<i>LCD_DAC[4:0]</i>	240D[4:0]	0	—	R/W	LCD 对比度调节 DAC。该 DAC 控制 VLCD 电压, 输出范围为 2.5V 至 5V。VLCD 电压为: $\text{VLCD} = 2.5 + 2.5 * \text{LCD_DAC}[4:0]/31$ 所以, DAC 的 LSB 为 80.6mV。最大 DAC 输出电压受限于 V3P3SYS、VBAT, 以及 <i>LCD_BSTE</i> 是否置位。				
<i>LCD_E</i>	2400[7]	0	—	R/W	使能 LCD 显示。禁用时, VLC2、VLC1、VLC0、COM 和 SEG (如果其 <i>LCD_MAP</i> 位为 1)均为 GND 电位。				

名称	位置	复位	唤醒	方向	说明			
LCD_MAP[55:48] LCD_MAP[47:40] LCD_MAP[39:32] LCD_MAP[31:24] LCD_MAP[23:16] LCD_MAP[15:8] LCD_MAP[7:0]	2405[7:0] 2406[7:0] 2407[7:0] 2408[7:0] 2409[7:0] 240A[7:0] 240B[7:0]	0 0 0 0 0 0 0	– – – – – – –	R/W R/W R/W R/W R/W R/W R/W	使能 SEG DIO 引脚的 LCD 段驱动器模式。LCD_MAP[50:48]位为 0 时，SEG48 至 SEG50 只能配置成内部上拉输入。此外，注意，SEG48 至 SEG50 与在线仿真器信号复用。ICE_E 引脚为高电平时，ICE 接口使能，SEG48 至 SEG50 分别为 E_RXTX、E_TCLK 和 E_RST。			
LCD_MODE[2:0]	2400[6:4]	0	–	R/W	选择 LCD 偏压和复用模式。			
					LCD_MODE	输出	LCD_MODE	输出
					000	4 COM, 1/3 偏	100	静态显示
					001	3 COM, 1/3 偏压	101	5 COM, 1/3 偏压
					010	2 COM, ½偏压	110	6 COM, 1/3 偏压
					011	3COM, ½偏压		
LCD_ON LCD_BLANK	240C[0] 240C[1]	0 0	– –	R/W R/W	点亮或关闭所有 LCD_MAP 配置成的 LCD 段，不会改变 LCD 数据。如果两位均被置位，LCD 显示全亮。			
LCD_ONLY	28B2[6]	0	0	W	将 IC 置于休眠模式，但 LCD 显示仍然有效。如果系统电源供电，则忽略。唤醒定时器超时、特定 DIO 引脚变高或系统电源恢复时唤醒。参见第 3.2 节 电池模式 。			
LCD_RST	240C[2]	0	–	R/W	清除 LCD 数据的所有位。这些位影响被配置为 LCD 驱动器的 SEG DIO 引脚，该位不自动清除。			
LCD_SEG0[5:0] to LCD_SEG15[5:0]	2410[5:0] to 241F[5:0]	0	–	R/W	SEG0 至 SEG15 的 SEG 数据。这些引脚的 DIO 数据位于 SFR 空间。			
LCD_SEG DIO16[5:0] to LCD_SEG DIO45[5:0]	2420[5:0] to 243D[5:0]	0	–	R/W	SEG DIO16 至 SEG DIO45 的 SEG 和 DIO 数据。如果配置为 DIO，第 1 位为方向 (1 为输出，0 为输入)，第 0 位为数据，其它位忽略。			
LCD_SEG46[5:0] to LCD_SEG50[5:0]	243E[5:0] to 2442[5:0]	0	–	R/W	SEG46 至 SEG50 的 SEG 数据，这些引脚不可配置为 DIO。SEG47 和 SEG46 分别对应 TMUXOUT 和 TMUXOUT2 引脚。			
LCD_SEG DIO51[5:0] to LCD_SEG DIO55[5:0]	2443[5:0] to 2447[5:0]	0	–	R/W	SEG DIO51 至 SEG DIO55 的 SEG 和 DIO 数据。如果配置为 DIO，第 1 位为方向 (1 为输出，0 为输入)，第 0 位为数据，其它位忽略。 SEG DIO52 至 SEDIO54 仅在 71M6542F/G 可用。			

名称	位置	复位	唤醒	方向	说明	
LCD_VMODE[1:0]	2401[7:6]	00	00	R/W	指定 VLCD 来源，V3P3L 的定义请参见第 2.5.8.4 节。	
					LCD_VMODE	说明
					11	外部 VLCD
					10	使能 LCD 升压和 LCD DAC
					01	使能 LCD DAC
					00	无升压和 DAC，VLCD=V3P3L
LCD_Y	2400[2]	0	–	R/W	LCD 闪烁频率(如果禁用闪烁则忽略)。 1 = 1Hz, 0 = 0.5Hz	
LKPADDR[6:0]	2887[6:0]	0	0	R/W	RTC 查找 RAM 的读/写地址。	
LKPAUTOI	2887[7]	0	0	R/W	地址自动递增使能。置位时，LKPADDR[6:0]在 LKP_RD 或 LKP_WR 每次产生脉冲时自动递增。递增地址可从 LKPADDR[6:0]读取。	
LKPDAT[7:0]	2888[7:0]	0	0	R/W	RTC 查找 RAM 的读/写数据。	
LKP_RD	2889[1]	0	0	R/W	用于 RTC 查找 RAM 读和写的选通位。置位时，LKPADDR[6:0]字段和 LKPDAT 寄存器用于读或写操作。选通位置位时，将保持到完成操作，然后清除选通；如果 LKPAUTOI 置位，则递增 LKPADDR[6:0]。	
LKP_WR	2889[0]	0	0	R/W		
MPU_DIV[2:0]	2200[2:0]	0	0	R/W	MPU 时钟频率为： MPU Rate = MCK Rate * 2 ^{-(2+MPU_DIV[2:0])} 。 MPU_DIV[2:0]的最大值为 4。基于 PLL_FAST 位和 MPU_DIV[2:0]的默认值，上电 MPU 速率为 6.29MHz / 4 = 1.57MHz。PLL_FAST = 0 时，最小 MPU 时钟速率为 98.3kHz。	
MUX0_SEL[3:0]	2105[3:0]	0	0	R/W	选择在时隙 0 转换的 ADC 输入。	
MUX1_SEL[3:0]	2105[7:4]	0	0	R/W	选择在时隙 1 转换的 ADC 输入。	
MUX2_SEL[3:0]	2104[3:0]	0	0	R/W	选择在时隙 2 转换的 ADC 输入。	
MUX3_SEL[3:0]	2104[7:4]	0	0	R/W	选择在时隙 3 转换的 ADC 输入。	
MUX4_SEL[3:0]	2103[3:0]	0	0	R/W	选择在时隙 4 转换的 ADC 输入。	
MUX5_SEL[3:0]	2103[7:4]	0	0	R/W	选择在时隙 5 转换的 ADC 输入。	
MUX6_SEL[3:0]	2102[3:0]	0	0	R/W	选择在时隙 6 转换的 ADC 输入。	
MUX7_SEL[3:0]	2102[7:4]	0	0	R/W	选择在时隙 7 转换的 ADC 输入。	
MUX8_SEL[3:0]	2101[3:0]	0	0	R/W	选择在时隙 8 转换的 ADC 输入。	
MUX9_SEL[3:0]	2101[7:4]	0	0	R/W	选择在时隙 9 转换的 ADC 输入。	
MUX10_SEL[3:0]	2100[3:0]	0	0	R/W	选择在时隙 10 转换的 ADC 输入。	

名称	位置	复位	唤醒	方向	说明										
MUX_DIV[3:0]	2100[7:4]	0	0	R/W	MUX_DIV[3:0]为每个复用帧内 ADC 时隙的数量。最大时隙数量为 11。										
OPT_BB	2457[0]	0	–	R/W	将光端口的输入配置为 DIO 引脚，使其能够为位脉冲。这种情况下，DIO5 变为第三个高速 UART。请参见第 58 页第 2.5.7 节 UART 和光接口下的“位脉冲，光接口 UART (第三个 UART)”。										
OPT_FDC[1:0]	2457[5:4]	0	–	R/W	选择 OPT_TX 调制占空比。 <table><tr><th>OPT_FDC</th><th>功能</th></tr><tr><td>00</td><td>50%低</td></tr><tr><td>01</td><td>25%低</td></tr><tr><td>10</td><td>12.5%低</td></tr><tr><td>11</td><td>6.25%低</td></tr></table>	OPT_FDC	功能	00	50%低	01	25%低	10	12.5%低	11	6.25%低
OPT_FDC	功能														
00	50%低														
01	25%低														
10	12.5%低														
11	6.25%低														
OPT_RXDIS	2457[2]	0	–	R/W	OPT_RX 可配置为光 UART 的输入或 SEG55。 OPT_RXDIS = 0 且 LCD_MAP[55] = 0: OPT_RX OPT_RXDIS = 1 且 LCD_MAP[55] = 0: DIO55 OPT_RXDIS = 0 且 LCD_MAP[55] = 1: SEG55 OPT_RXDIS = 1 且 LCD_MAP[55] = 1: SEG55										
OPT_RXINV	2457[1]	0	–	R/W	为 1 时，反转 OPT_RX 比较器的结果。仅影响 UART 输入。OPT_RX 作为 DIO 输入时，该位无效。										
OPT_TXE [1:0]	2456[3:2]	00	–	R/W	配置 OPT_TX 输出引脚。 如果 LCD_MAP[51] = 0: 00 = DIO51, 01 = OPT_TX, 10 = WPULSE, 11 = VARPULSE 如果 LCD_MAP[51] = 1: xx = SEG51										
OPT_TXINV	2456[0]	0	–	R/W	为 1 时反转 OPT_TX。反转发生在调制之前。										
OPT_TXMOD	2456[1]	0	–	R/W	使能 OPT_TX 调制。OPT_TXMOD 置位时，OPT_TX 被调制。在 OPT_TXINV 造成的任意反转之后，应用调制。										
OSC_COMP	28A0[5]	0	–	R/W	使能 RTC_P 和 RTC_Q 在每次温度测量时被自动更新。										
PB_STATE	SFR F8[0]	0	0	R	去抖后的 PB 引脚状态。										
PERR_RD PERR_WR	SFR FC[6] SFR FC[5]	0	0	R/W	IC 将这些位置位，表示在远端传感器上检测到奇偶校验错误。这些位一旦置位，则被记忆，直到由 MPU 清除。										
PLL_OK	SFR F9[4]	0	0	R	表示系统倍频电路 PLL 已稳定。										

名称	位置	复位	唤醒	方向	说明
<i>PLL_FAST</i>	2200[4]	0	0	R/W	控制 PLL 和 MCK 的速率。 1 = 19.66 MHz (XTAL * 600) 0 = 6.29 MHz (XTAL * 192)
<i>PLS_MAXWIDTH[7:0]</i>	210A[7:0]	FF	FF	R/W	<i>PLS_MAXWIDTH[7:0]</i> 决定最大脉宽(如果 <i>PLS_INV</i> =0, 为负向脉冲; 如果 <i>PLS_INV</i> =1, 为正向脉冲)。最大脉宽为 $(2 * PLS_MAXWIDTH[7:0] + 1) * T_1$ 。式中, T_1 为 <i>PLS_INTERVAL[7:0]</i> , 单位为 CK_FIR 时钟周期。如果 <i>PLS_INTERVAL[7:0]</i> = 0 或 <i>PLS_MAXWIDTH[7:0]</i> = 255, 则不执行脉宽检查, 输出脉冲的占空比为 50%。参见第 2.3.6.2 节 VPULSE 和 WPULSE。
<i>PLS_INTERVAL[7:0]</i>	210B[7:0]	0	0	R/W	<i>PLS_INTERVAL[7:0]</i> 决定脉冲之间的间隔时间。输出脉冲之间的时间为 <i>PLS_INTERVAL[7:0]</i> * 4, 单位为 CK_FIR 时钟周期。如果 <i>PLS_INTERVAL[7:0]</i> = 0, 不使用 FIFO, 只要 CE 发出命令, 则立即输出脉冲。 <i>PLS_INTERVAL[7:0]</i> 计算如下: $PLS_INTERVAL[7:0] = \text{Floor}(\text{Mux frame duration in CK_FIR cycles} / \text{CE pulse updates per Mux frame} / 4)$ 例如, 由于编写的 71M654x CE 代码在一个积分周期内产生 6 个脉冲, 使能 FIFO 时(即 <i>PLS_INTERVAL[7:0]</i> ≠ 0, 帧持续时间为 1950 个 CK_FIR 时钟周期, <i>PLS_INTERVAL[7:0]</i> 应写入 $\text{Floor}(1950 / 6 / 4) = 81$, 所以 5 个脉冲均匀分布在积分间隔内, 最后一个脉冲恰好在间隔结束之前。参见第 2.3.6.2 节 VPULSE 和 WPULSE。
<i>PLS_INV</i>	210C[0]	0	0	R/W	反转 WPULSE、VARPULSE、XPULSE 和 YPULSE 极性。这些脉冲通常为低电平有效。反转时, 它们变为高电平有效。
<i>PORT_E</i>	270C[5]	0	0	R/W	使能引脚 SEGDI00 至 SEGDI015 输出。上电复位后, <i>PORT_E</i> = 0, 防止 SEGDI00 至 SEGDI015 引脚因上电输出的瞬间干扰脉冲。
<i>PRE_E</i>	2704[5]	0	0	R/W	使能 8x 前置放大器。
<i>PREBOOT</i>	SFRB2[7]	–	–	R	表示预引导程序有效。
<i>RCMD[4:0]</i>	SFR FC[4:0]	0	0	R/W	MPU 向 <i>RCMD[4:0]</i> 写非零值时, IC 向相应远端传感器发出该命令。完成命令后, IC 清除 <i>RCMD[4:0]</i> 。
<i>RESET</i>	2200[3]	0	0	W	置位后, IC 将 <i>WF_RSTBIT</i> 置位, 然后复位。
<i>RFLY_DIS</i>	210C[3]	0	0	R/W	设定 IC 对 71M6x01 供电方式。置位时, 电源脉冲交替驱动为高电平和低电平。清除时, 以回扫间隔驱动至高电平。
<i>RMT_E</i>	2709[3]	0	0	R/W	使能远端数字隔离接口, 它将 IBP-IBN 引脚转换为数字平衡差分对。所以, 使能后即可将 71M6x01 远端传感器接入 71M654x 主芯片。

名称	位置	复位	唤醒	方向	说明
<i>RMT_RD</i> [15:8] <i>RMT_RD</i> [7:0]	2602[7:0] 2603[7:0]	0	0	R	远端读请求的响应。
<i>RTC_FAIL</i>	2890[4]	0	0	R/W	表示 RTC 中发生计数错误，时间不可信。该位可通过写 0 清除。
<i>RTC_P</i> [16:14] <i>RTC_P</i> [13:6] <i>RTC_P</i> [5:0]	289B[2:0] 289C[7:0] 289D[7:2]	4 0 0	4 0 0	R/W	RTC 调节。参见第 2.5.4 节实时时钟(RTC)。 $0x0FFBF \leq RTC_P \leq 0x10040$ 注: <i>RTC_P</i> [16:0]和 <i>RTC_Q</i> [1:0]组成一个 19 位有符号 RTC 调整值。
<i>RTC_Q</i> [1:0]	289D[1:0]	0	0	R/W	RTC 调节。参见第 2.5.4 节实时时钟(RTC)。 注: <i>RTC_P</i> [16:0]和 <i>RTC_Q</i> [1:0]组成一个 19 位有符号 RTC 调整值。
<i>RTC_RD</i>	2890[6]	0	0	R/W	冻结 RTC 影子寄存器，以便 RTC 读取。读 <i>RTC_RD</i> 时，返回影子寄存器的状态: 0 = 更新, 1 = 冻结。
<i>RTC_SBSC</i> [7:0]	2892[7:0]	–	–	R	到下个 1 秒边界剩余的时间。LSB = 1/256 秒。
<i>RTC_TMIN</i> [5:0]	289E[5:0]	0	–	R/W	闹铃分钟寄存器。参见下文的 <i>RTC_THR</i> 。
<i>RTC_THR</i> [4:0]	289F[4:0]	0	–	R/W	闹铃小时寄存器。 <i>RTC_MIN</i> 等于 <i>RTC_TMIN</i> 且 <i>RTC_HR</i> 等于 <i>RTC_THR</i> 时，发生 <i>RTC_T</i> 中断。
<i>RTC_WR</i>	2890[7]	0	0	R/W	冻结 RTC 影子寄存器，以便 MPU 写操作。 <i>RTC_WR</i> 清除时，在下一个 RTC 时钟(~500Hz)将影子寄存器的内容写入至 RTC 计数器。读 <i>RTC_WR</i> 时，只要 <i>RTC_WR</i> 置位，则返回 1。在 RTC 计数器实际更新之前，它将继续返回 1。
<i>RTC_SEC</i> [5:0] <i>RTC_MIN</i> [5:0] <i>RTC_HR</i> [4:0] <i>RTC_DAY</i> [2:0] <i>RTC_DATE</i> [4:0] <i>RTC_MO</i> [3:0] <i>RTC_YR</i> [7:0]	2893[5:0] 2894[5:0] 2895[4:0] 2896[2:0] 2897[4:0] 2898[3:0] 2899[7:0]	– – – – – – –	– – – – – – –	R/W	RTC 接口寄存器。这些是 RTC 的年、月、日、时、分和秒参数。通过写这些寄存器设置 RTC。00 年以及其它能够被 4 整除的年份定义为闰年。 SEC 00 to 59 MIN 00 to 59 HR 00 to 23 (00 = 午夜) DAY 01 to 07 (01 = 周日) DATE 01 to 31 MO 01 to 12 YR 00 to 99 对这些寄存器的每次写操作必须首先对 0x20A0 进行写操作。
<i>RTCA_ADJ</i> [6:0]	2504[7:0]	40	–	R/W	模拟 RTC 频率微调寄存器。
<i>RTM_E</i>	2106[1]	0	0	R/W	使能实时监测器。为 0 时，RTM 输出为低电平。
<i>RTM0</i> [9:8] <i>RTM0</i> [7:0] <i>RTM1</i> [7:0] <i>RTM2</i> [7:0] <i>RTM3</i> [7:0]	210D[1:0] 210E[7:0] 210F[7:0] 2110[7:0] 2111[7:0]	0 0 0 0 0	0 0 0 0 0	R/W	四个 RTM 监测器。每一 CE 执行周期之前，这些寄存器的值在 RTM 引脚上顺序输出。 <i>RTM_E</i> = 0 时，忽略 RTM 寄存器。注意，RTM0 为 10 位宽。其它 RTM 的高 2 位假定为 00。

名称	位置	复位	唤醒	方向	说明
<i>SECURE</i>	SFR B2[6]	0	0	R/W	禁止擦除 0 页及 <i>CE_LCTN</i> [5:0] 定义的 CE 代码开始地址以上部分。也禁止通过 SPI 和 ICE 端口读取 FLASH。
<i>SLEEP</i>	28B2[7]	0	0	W	将器件置于 SLP 模式。如果有系统电源，则忽略。唤醒定时器超时、唤醒按钮被按下或系统电源恢复时，器件唤醒。
<i>SPI_CMD</i> [7:0]	SFR FD[7:0]	–	–	R	来自主控制器的 8 位 SPI 命令寄存器。
<i>SPI_E</i>	270C[4]	1	1	R/W	SPI 端口使能。使能引脚 SEGDI036 至 SEGDI039 的 SPI 接口。要求 <i>LCD_MAP</i> [36-39] = 0。
<i>SPI_SAFE</i>	270C[3]	0	0	R/W	将 SPI 写操作限值为 SPI_CMD 及 XRAM 中的 16 字节区域。不允许进行其它地址写操作。
<i>SPI_STAT</i> [7:0]	2708[7:0]	0	0	R	<i>SPI_STAT</i> 前一次 SPI 通信的状态结果。 第 7 位：就绪错误：71M654x 未准备好按照前一命令读或写。 第 6 位：读数据奇偶性：该位是前一命令从 71M654x 读取的全部字节的奇偶校验。不包括 <i>SPI_STAT</i> 字节。 第 5 位：写数据奇偶性：该位是前一命令写入 71M654x 的全部字节的奇偶校验。它包括 CMD 和 ADDR 字节。 第 4 至 2 位：字节数的最低 3 位。不包括 ADDR 和 CMD 字节。1、2 和 3 字节指令返回 111。 第 1 位：SPIFLASH 模式：TEST 引脚为零时，该位为零。 第 0 位：SPIFLASH 模式就绪：用于 SPIFLASH 模式。表示 FLASH 已准备好接收另一条写指令。
<i>STEMP</i> [10:3] <i>STEMP</i> [2:0]	2881[7:0] 2882[7:5]	– –	– –	R R	温度测量结果。
<i>SUM_SAMPS</i> [12:8] <i>SUM_SAMPS</i> [7:0]	2107[4:0] 2108[7:0]	0	0	R/W	每一个 XFER_BUSY 中断的复用帧周期数量。最大值为 8191 个周期。
<i>TBYTE_BUSY</i>	28A0[3]	0	0	R	表示硬件仍然在写 0x28A0 字节。为 1 时，不允许对该字节进行写操作。写操作持续时间可长达 6ms。
<i>TEMP_22</i> [10:8] <i>TEMP_22</i> [7:0]	230A[2:0] 230B[7:0]	0	–	R	22°C 时的 <i>STEMP</i> 储存地址。 <i>STEMP</i> 为 11 位字。
<i>TEMP_BAT</i>	28A0[4]	0	–	R/W	只要进行温度测量，则测量 VBAT。
<i>TEMP_BSEL</i>	28A0[7]	0	–	R/W	选择测量哪个电池引脚：1 = VBAT，0 = VBAT_RTC。
<i>TBYTE_BUSY</i>	28A0[3]	0	0	R	表示硬件仍然在写 0x28A0 字节。为 1 时，不允许对该字节进行写操作。写操作持续时间可长达 6ms。

名称	位置	复位	唤醒	方向	说明	
TEMP_PER[2:0]	28A0[2:0]	0	—	R/W	设置两次温度测量的时间间隔。任何模式(MSN、BRN、LCD 或 SLP)下均可使能自动测量。TEMP_PER = 0 禁用自动温度更新，此时，MPU 可利用 TEMP_START 启动单次温度测量。	
					TEMP_PER	时间(秒)
					0	无温度更新
					1-6	2 ^(3+TEMP_PER)
					7	连续更新
TEMP_PWR	28A0[6]	0	—	R/W	选择温度传感器的供电电源： 1 = V3P3D, 0 = VBAT_RTC。SLP 和 LCD 模式下忽略该位，而总是由 VBAT_RTC 供电。	
TEMP_START	28B4[6]	0	0	R/W	TEMP_PER = 0 时，禁用自动温度更新，MPU 可利用 TEMP_START 启动单次温度测量。每次测量需要 30ms。完成温度测量时，硬件清除 TEMP_START。因此固件需要判断该位，为 0 后方可读取 STEMP 温度值。	
TMUX[5:0]	2502[5:0]	—	—	R/W	TMUXOUT 选择的 32 个信号之一，详情参见第 2.5.12 节。	
TMUX2[4:0]	2503[4:0]	—	—	R/W	TMUX2OUT 选择的 32 个信号之一，详情参见第 2.5.12 节。	
TMUXRA[2:0]	270A[2:0]	000	000	R/W	用于远端传感器的 TMUX 设置(71M6x01)。	
VERSION[7:0]	2706[7:0]	—	—	R	芯片版本号。固件可通过读取该字确定芯片版本。	
					VERSION[7:0]	芯片版本
					0001 0011 0010 0010	B01 B02
VREF_CAL	2704[7]	0	0	R/W	使 ADC 基准电压输出到 VREF 引脚，VREF_DIS = 1 时禁用该功能。推荐禁止输出。	
VREF_DIS	2704[6]	0	1	R/W	禁用内部 ADC 电压基准。	

名称	位置	复位	唤醒	方向	说明	
VSTAT[2:0]	SFR F9[2:0]	—	—	R	该字说明电源及 VDD 的状态。	
					VSTAT	说明
					000	系统电源就绪，V3P3A>3.0V。模拟电路工作正常、准确测量。 [V3AOK,V3OK] = 11
					001	系统电源电压较低，2.8V<V3P3A<3.0V，模拟电路测量不准确。即将切换至电池电源。[V3AOK,V3OK] = 01
					010	电池电源和 VDD 就绪，VDD>2.25V，所有数字功能正常工作。 [V3AOK,V3OK] = 00，[VDDOK,VDDgt2] = 11
					011	电池电源和 VDD>2.0，禁止 FLASH 写操作。如果 TRIMVDD[5]熔丝熔断，PLL_FAST (I/O RAM 0x2200[4])清零。 [V3AOK,V3OK] = 00，[VDDOK,VDDgt2] = 01
101	电池电源和 VDD< 2.0V。VSTAT=101 时，处理器接近掉电。将引发处理器故障。 [V3AOK,V3OK] = 00，[VDDOK,VDDgt2] = 00					
WAKE_ARM	28B2[5]	0	—	R/W	准备好 WAKE 定时器，并向其装载 WAKE_TMR[7:0]。MPU 触发 SLEEP 或 LCD_ONLY有效时，WAKE 定时器开始启动。	
WAKE_TMR[7:0]	2880[7:0]	0	—	R/W	定时器唤醒间隔为 WAKE_TMR+1 秒。	
WD_RST	28B4[7]	0	0	W	复位 WD 定时器。向该位写 1 时，WD 复位(喂狗)	
WF_DIO4	28B1[2]	0	—	R	DIO4 唤醒标识位。DIO4 配置为唤醒器件时，只要去抖后的 DIO4 变高，该位置位。如果 DIO4 未配置为唤醒，它保持在复位状态。	
WF_DIO52	28B1[1]	0	—	R	DIO52 唤醒标识位。DIO52 配置为唤醒器件时，只要去抖后的 DIO52 变高，该位置位。如果 DIO52 未配置为唤醒，它保持在复位状态。	
WF_DIO55	28B1[0]	0	—	R	DIO55 唤醒标识位。DIO55 配置为唤醒器件时，只要去抖后的 DIO55 变高，该位置位。如果 DIO55 未配置为唤醒，它保持在复位状态。	
WF_TMR	28B1[5]	0	—	R	唤醒定时器唤醒标识位。	
WF_PB	28B1[3]	0	—	R	PB 唤醒标识位。	
WF_RX	28B1[4]	0	—	R	RX 唤醒标识位。	
WF_CSTART	28B0[7]	0	—	R	RESET 引脚、RESET 位、E_RST 引脚、看门狗定时器、冷启动检测器或 VBAT 失效引起复位的标识位。	
WF_RST	28B0[6]	1				
WF_RSTBIT	28B0[5]	0				
WF_OVF	28B0[4]	0				
WF_ERST	28B0[3]	0				
WF_BADVDD	28B0[2]	0				

5.3 CE接口说明

5.3.1 CE程序

CE 执行准确计量所需的精密计算。这些计算包括消除失调、相位补偿、乘积平滑、乘积求和、频率检测、VAR 计算、电压跌落检测和电压相位测量。CE 计算得到的所有数据均依赖于 *EQU[2:0]* (I/O RAM 0x2106[7:5])选择的计量公式。

CE 程序由 Teridian 作为数据映像提供，可与 MPU 操作码整合，用于表计设计。一般随 CE 程序提供演示代码，无需修改即可用于多数应用。Teridian 也可提供其它类型的 CE 代码。本节介绍的内容适用于表 77 所示的 CE 代码版本，请联系当地的 Teridian 代表处，索取满足特定应用所需的最新 CE 代码。

表 77. 标准 CE 代码

器件	本地传感器	远端传感器
71M6541D/F/G	CE41A01 (Eq. 0 or 1)	CE41B016601
71M6542F/G	CE41A01 (Eq. 0 or 1) CE41A04 (Eq. 2)	CE41B016201 (Eq. 0, 1 or 2)

5.3.2 CE数据格式

所有 CE 字为 4 个字节。除非特别说明，其格式为 32 位 2 的补码(-1 = 0xFFFFFFFF)。校准参数一般存放在 EEPROM (或内部 FLASH)中，启动 CE 之前，必须由 MPU 复制到 CE 的校准寄存器。“内部”变量用于 CE 的内部运算；“输入”变量使 MPU 能够控制 CE 操作；“输出”变量是 CE 计算结果的输出。最高字节的对应 MPU 地址由 $0x0000 + 4*CE_address$ 地址给出， $0x0003 + 4*CE_address$ 给出最低字节。

5.3.3 常量

与 CE 输出计量数据有关的常量有：

- 采样频率： $F_S = 32768\text{Hz}/13 = 2520.62\text{Hz}$ 。
- F_0 为电网的基波频率。
- $IMAX$ 为外部电流有效值，对应于输入 IA 和 IB 处的 250 mV pk (176.8mV rms)。例如：对于 250 $\mu\Omega$ 锰铜分流器， $IMAX = 176.8\text{mV rms} / 250\mu\Omega = 707.2\text{A rms}$ 。如果前置放大器对于 IAP-IAN 输入有效，需要对 $IMAX$ 进行调整。
- $VMAX$ 为外部电压有效值，对应于输入 VA 和 VB 处的 250mV pk。计算方法如上。
- $NACC$ ，电能累积周期内的采样点数，即 *SUM_SAMPS[12:0]* (I/O RAM 0x2107[4:0], 0x2108[7:0])。
- 电能累积时间 $SUM_SAMPS[12:0] / F_S$ 。即 XFER 中断频率。
- X 为脉冲发生器的增益常数。由 *CECONFIG* 寄存器的 *PULSE_FAST* 和 *PULSE_SLOW* 位组合控制(见表 83)。
- 电压 LSB (用于跌落门限) = $VMAX * 7.8798 * 10^{-9} \text{ V}$ 。

系统常数 $IMAX$ 和 $VMAX$ 是供 MPU 使用，将内部数字量(CE 使用)转换为外部参量，即表计参量。其值由实际电表使用的电压和电流传感器的缩放比例决定。本文使用的 LSB 值将 CE 或 MPU 接口处的数字量与外部电表输入参量关联起来。例如，如果希望电表输入 SAG 门限为 80 V rms，那么编程至 *SAG_THR* (CE RAM 0x24)的数字值应为 $80 \text{ Vrms} * \text{SQRT}(2) / SAG_THR_{\text{LSB}}$ ，其中 SAG_THR_{LSB} 为 *SAG_THR* 说明中的 LSB 值(见表 84)。

参数 *EQU[2:0]* (I/O RAM 0x2106[7:5])、*CE_E* (I/O RAM 0x2106[0])和 *SUM_SAMPS[12:0]*对于 CE 工作是必不可少的(详情请参见第 5.2 节 I/O RAM 映射—按字母排序)。

5.3.4 环境

在利用 *CE_E* 位(I/O RAM 0x2106[0])启动 *CE* 之前，MPU 必须通过以下步骤对 *CE* 进行必要的配置：

- 利用 *CE_LCTN*[5:0] (I/O RAM 0x2109[5:0])定位 *CE* 代码在 *FLASH* 中的起始地址
- 初始化 *CE* RAM 区
- 在 *EQU*[2:0] (I/O RAM 0x2106[7:5])中确定应用的计量公式
- 在 *SUM_SAMPS*[12:0] (I/O RAM 0x2107[4:0], 0x2108[7:0])中确定每累积周期的采样点数
- 在(*MUX_DIV*[3:0] (I/O RAM 0x2100[7:4]))中确定每 *ADC* 复用帧的周期数量
- 为 *MUXn_SEL* 应用合适的值，以及为 *DIFFn_E* (I/O RAM 0x210C[5:4])和 *RMT_E* (I/O RAM 0x2709[3])应用合适的选项，以配置模拟输入
- 配置 *CE* 对 MPU 的中断。例如 *CE_BUSY*、*XFER_BUSY*，或者电源故障检测中断
- 假设默认配置为 *VMAX* = 600V，*IMAX* = 707A，*kH* = 1Wh/脉冲
- 按照应用，可能还需要配置脉冲常数(*WRATE* 为脉冲常数的关联寄存器，具体参见 *WRATE* 说明)

使用不同的 *CE* 代码时，需要确定不同组的环境参数。这些参数的准确值列在随 *CE* 代码提供的应用笔记和其它文档中。

 如果 *CE* 代码运行时的环境参数不同于 Teridian 指定的数值，会产生不可预知的结果。请参见表 1 和表 2。

通常情况下，每个复用帧有 13 个 32768Hz 周期(见第 2.2.2 节输入复用器)。这意味着每个转换时隙中周期的数量与每帧中转换数量的乘积必须为 12 (每帧加一个稳定周期，见图 6 和图 7)。默认配置为 *FIR_LEN*[1:0] = 01，I/O RAM 0x210C[2:1] (每次转换需 4 个周期)和 *MUX_DIV*[3:0] = 3 (每复用循环 3 次转换)。

可从 Teridian 随演示工具包提供的演示代码中复制采样配置。

5.3.5 CE计算

参见表 78，MPU 通过写 *EQU*[2:0] (I/O RAM 0x2106[7:5])选择相应的公式。

表 78. *CE EQU* 公式和单元输入映射

<i>EQU</i>	Watt & VAR 公式 (<i>WSUM</i> / <i>VARSUM</i>)	用于计算能量/电流的输入			
		<i>W0SUM</i> / <i>VAR0SUM</i>	<i>W1SUM</i> / <i>VAR1SUM</i>	<i>I0SQ</i> <i>SUM</i>	<i>I1SQ</i> <i>SUM</i>
0	VA IA – 1 元件，2 线，1 相	VA*IA	VA*IB	IA	–
1	VA*(IA-IB)/2 – 1 元件，3 线，1 相	VA*(IA-IB)/2	–	IA-IB	IB
2 [†]	VA*IA + VB*IB – 2 元件，3 线，3 相 Δ	VA*IA	VB*IB	IA	IB
注： [†] 仅限 71M6542F/G。					

5.3.6 CE前端数据(原始数据)

通过读取表 79 所示地址 0 至 3、9 和 10 (十进制), 访问 AFE 提供的原始 ADC 数据。

表 79 中的 *MUX_SEL* 栏显示不同传感器输入引脚的 *MUX_SEL* 序号。例如, 如果通过控制位 *DIFFA_E* = 1 (*I/O RAM 0x210C[4]*)使能差分模式, 那么输入 IAP 和 IAN 被组合在一起形成一个差分输入, 对应的 *MUX_SEL* 序号为 0。类似地, CE RAM 位置栏提供储存采样数据的 CE RAM 地址。仍用以上例子说明, 如果 *DIFFA_E* = 1, 储存 IAP-IAN 差分输入的采样对应 CE RAM 位置为 0, CE RAM 位置不受影响。

IB 输入可配置为直接连接传感器(即直接连接至 71M654x)或远端传感器(即采用 71M6x01 远端传感器)。如果通过 *RMT_E* = 0 禁用远端传感器, 通过 *DIFFB_E* = 1 (*I/O RAM 0x210C[5]*)使能差分模式, 那么 IBP 和 IBN 形成一个差分输入, *MUX_SEL* 序号为 2, 对应采样值储存在 CE RAM 地址 2 (CE RAM 地址 3 不受影响)。如果远端传感器使能位 *RMT_E* = 1, 以及 *DIFFB_E* = 0 或 1, 那么 *MUX_SEL* 序号未定义(即传感器未连接至 71M654x, 所以 *MUX_SEL* 不适用, 参见第 12 页的第 2.2 节模拟前端(AFE), 对应于该远端差分 IBP-IBN 输入的采样被储存在 CE RAM 地址 2 (CE RAM 地址 3 不受影响)。

电压传感器输入(VA 和 VB)没有任何关联的配置位。VA 的 *MUX_SEL* 序号值为 10, 其采样值储存在 CE RAM 地址 10。VB 的 *MUX_SEL* 序号为 9, 其采样值储存在 CE RAM 地址 9。

表 79. CE 原始数据访问地址

ADC 位置	引脚	MUX_SEL 序号				CE RAM 位置			
		DIFFA_E				DIFFA_E			
		0	1			0	1		
ADC0	IAP	0	0			0	0		
ADC1	IAP	1				1			
		RMT_E, DIFFB_E				RMT_E, DIFFB_E			
		0,0	0,1	1,0	1,1	0,0	0,1	1,0	1,1
ADC2	IBP	2	2	—	—	2	2	2*	2*
ADC3	IBN	3				3			
		ADC9、ADC10 没有配置位							
ADC9	VB†	9				9			
ADC10	VA	10				10			
注：									
*远端接口数据。									
† 仅限 71M6542F/G。									

5.3.7 FCE状态和控制

CE 状态字 *CESTATUS* 可以为 MPU 提供早期掉电报警(见表 80), 这点非常有用。它包含 A 和 B 相的跌落报警, 以及用基波过零脉冲 *F0*。MPU 可在每个 *CE_BUSY* 中断读取 CE 状态字。由于 *CE_BUSY* 中断发生频率为 2520.6Hz, 因此中断服务程序执行时间应减量最小化。

表 80. *CESTATUS* 寄存器

CE 地址	名称	说明
0x80	<i>CESTATUS</i>	参见表 81 中的 <i>CESTATUS</i> 位说明。

CESTATUS 提供关于电压状态及输入交流信号频率的信息，对于产生电源故障预警，从而启动必要的数据存储非常有用。*CESTATUS* 在每次 CE 代码运行结束后更新(CE_BUSY 中断)。*CESTATUS* 中位的说明见表 81。

表 81. *CESTATUS* (CE RAM 0x80)位定义

<i>CESTATUS</i> 位	名称	说明
31:4	未使用	未使用的位始终为 0。
3	<i>F0</i>	<i>F0</i> 为方波，频率为电网的基波频率。
2	未使用	未使用的位始终为 0。
1	<i>SAG_B</i>	正常时为 0。 <i>VB</i> 保持低于 <i>SAG_THR</i> ，经过 <i>SAG_CNT</i> 个采样后变为 1；直到 <i>VB</i> 升高至 <i>SAG_THR</i> 以上才清 0。
0	<i>SAG_A</i>	正常时为 0。 <i>VA</i> 保持低于 <i>SAG_THR</i> ，经过 <i>SAG_CNT</i> 个采样后变为 1；直到 <i>VA</i> 升高至 <i>SAG_THR</i> 以上才清 0。

MPU 利用 *CECONFIG* 配置 CE(表 82)。该寄存器含有 *SAG_CNT*、*FREQSEL*[1:0]、*EXT_PULSE*、*PULSE_SLOW*和 *PULSE_FAST*。*CECONFIG* 位定义如表 83 所示。

表 82. *CECONFIG* 寄存器

CE 地址	名称	数据	说明
0x20	<i>CECONFIG</i>	0x0030DB00 ¹ 0x00B0DB00 ²	参见表 83 中 <i>CECONFIG</i> 位说明。

1. CE41A01 (71M6541D/F/G)或 CE41A04 (71M6542F/G) CE 的默认值用于本地传感器。
2. CE41B016201 和 CE41B016601 代码的默认值分别支持 71M6201 和 71M6601 远端传感器。

表 83. *CECONFIG* (CE RAM 0x20)位定义

CECONFIG 位	名称	默认值	说明												
23	保留	0	该位置位时，使能对 71M6x01 远端传感器接口的温度补偿控制。												
22	EXT_TEMP	0	为 1 时，MPU 通过 GAIN_ADJn 寄存器(CE RAM 0x40-0x42)控制温度补偿。												
21	EDGE_INT	1	为 1 时，XPULSE 在 FREQSEL[1:0]所选相电压过零时产生一个脉冲，可用于中断 MPU。												
20	SAG_INT	1	为 1 时，检测到跌落条件时激活 YPULSE 输出。												
19:8	SAG_CNT	252 (0xFC)	发出电压跌落警告之前，在 SAG_THR (CE RAM 0x24)以下的电压连续采样数量。默认值等效于 100ms。												
7:6	FREQSEL[1:0]	0	FREQSEL[1:0]选择用于频率监测、电压跌落检测以及过零计数(MAINEDGE_X, CE RAM 0x83)的相。 <table> <tr> <th colspan="2">FREQ SEL[1:0]</th> <th>所选相</th> </tr> <tr> <td>0</td> <td>0</td> <td>A</td> </tr> <tr> <td>0</td> <td>1</td> <td>B*</td> </tr> <tr> <td>1</td> <td>X</td> <td>不允许</td> </tr> </table> *仅限 71M6542F/G	FREQ SEL[1:0]		所选相	0	0	A	0	1	B*	1	X	不允许
FREQ SEL[1:0]		所选相													
0	0	A													
0	1	B*													
1	X	不允许													
5	EXT_PULSE	1	为 0 时，使脉冲发生器自动响应内部数据(WPULSE = WSUM_X (CE RAM 0x84)，VPULSE = VARSUM_X (CE RAM 0x88))。否则，发生器响应 MPU 置于 APULSEW 和 APULSER (CE RAM 0x45 and 0x49)中的值。												
4:2	保留	0	保留。												

1	<i>PULSE_FAST</i>	0	<i>PULSE_FAST</i> = 1 时, 脉冲发生器输入增加 16 倍。 <i>PULSE_SLOW</i> = 1 时, 脉冲发生器输入缩减 64 倍。这两个参数控制脉冲增益因子 X (见下表)。允许值为 1 或 0。两个参数的默认值均为 0 (X = 6)。		
0	<i>PULSE_SLOW</i>	0	<i>PULSE_FAST</i>	<i>PULSE_SLOW</i>	X
			0	0	$1.5 * 2^2 = 6$
			1	0	$1.5 * 2^6 = 96$
			0	1	$1.5 * 2^{-4} = 0.09375$
			1	1	不使用

CECONFIG (CE RAM 0x20[7:6])中的 *FREQSEL*[1:0]字段选择用于产生电压跌落中断的相。这样, 当所选的相电压满足 *SAG_THR* (CE RAM 0x24)寄存器和 *CECONFIG* (CE RAM 0x20[19:8])中 *SAG_CNT* 字段设定的电压跌落事件条件时, 发生 *SAG_INT* 事件。*SAG_INT* 位(CE RAM 0x20[20])设为 1 时, 跌落事件在 *YPULSE* 输出产生一个跳变。2 相系统中(71M6542F/G), 跌落中断之后, MPU 应更改 *FREQSEL*[1:0]设置, 选择另一相(如果系统还有电)。即使只在所选相上发生电压跌落中断, 两相应同时检查跌落。通过直接检查 *CESTATUS* (CE RAM 0x80[0:1])中 *SAG_A* 和 *SAG_B* 位, 可检测给定相的电源电压。

为 1 时, *EXT_TEMP* 位使能 MPU 进行的温度补偿。为 0 时, 使能内部(CE)温度补偿。

CE 脉冲发生器可由 MPU (外部)或 CE (内部)变量控制。如果 *EXT_PULSE* 位= 1 (CE RAM 0x20[5]), 由 MPU 控制。这种情况下, MPU 通过将数值放入 *APULSEW* 和 *APULSER* (CE RAM 0x45 and 0x49), 控制脉冲速率(外部脉冲发生)。通过设置 *EXT_PULSE* = 0, CE 用 *WSUM_X* (CE RAM 0x84)和 *VARSUM_X* (CE RAM 0x88)控制脉冲速率。



71M6541D/F/G 和 71M6542F/G 演示代码在电压跌落时关闭内部和外部脉冲发生器。

表 84. 跌落门限和增益调节控制

CE 地址	名称	默认值	说明
0x24	<i>SAG_THR</i>	$2.39 \cdot 10^7$	电压跌落报警门限。如果 $V_{MAX} = 600 \text{ Vrms}$, 默认值相当于 113Vpk 或 80 Vrms。 $SAG_THR = \frac{V_{rms} \cdot \sqrt{2}}{V_{MAX} \cdot 7.8798 \cdot 10^{-9}}$
0x40	<i>GAIN_ADJ0</i>	16384	该寄存器按比例缩放电压测量通道 VA 和 VB*。默认值 16384 相当于单位增益(1.000)。 *仅限 71M6542F/G。
0x41	<i>GAIN_ADJ1</i>	16384	该寄存器为 A 相按比例缩放 IA 电流通道, 默认值 16384 相当于单位增益(1.000)。
0x42	<i>GAIN_ADJ2</i>	16384	该寄存器为 B 相按比例缩放 IB 电流通道, 默认值 16384 相当于单位增益(1.000)。

5.3.8 CE传递变量

MPU 接收到 *XFER_BUSY* 中断时, 表示传输变量中的数据已更新。CE 传输变量在 *XFER_BUSY* 中断发生的那次 CE 运行中修改。它们在下个 *XFER_BUSY* 中断之前保持不变。本数据资料中, CE 传输变量的名称末尾总为“_X”。传输变量可分类为:

- 基本能量测量数据
- 瞬态(RMS)值数据
- 其它测量参数

5.3.8.1 基本能量测量数据

表 85 和表 86 介绍基本的能量测量数据。所有变量均为有符号的 32 位整数。累积变量，例如 WSUM，经内部缩放。所以当积分时间为 1 秒时，它们在溢出之前至少有 2 倍裕量。此外，硬件上不会允许在溢出时造成数据翻转问题。

表 85. CE 传递变量(本地传感器)

CE 地址	名称	说明	配置
0x84 [†]	WSUM_X	累积周期内的有功能量和：W0SUM_X+W1SUM_X。 EQU[2:0] = 0 (I/O RAM 0x2106[7:5])和 EQU[2:0] = 1 时不使用。	图 35 (93 页) 图 37 (95 页)
0x85	W0SUM_X	各相累积周期内的有功能量和。	
0x86	W1SUM_X	LSB _w = 9.4045*10 ⁻¹³ * VMAX * IMAX Wh.	
0x88 [†]	VARSUM_X	符号和：VAR0SUM_X+VAR1SUM_X。EQU[2:0] = 0 和 EQU[2:0] = 1 时不使用。	
0x89	VAR0SUM_X	各相累积周期内的无功能量和。	
0x8A	VAR1SUM_X	LSB _w = 9.4045*10 ⁻¹³ * VMAX * IMAX VARh.	
注： [†] 仅限 71M6542。			

表 86. CE 传递变量(隔离传感器)

CE 地址	名称	说明	配置
0x84 [†]	WSUM_X	累积周期内的有功能量和：W0SUM_X+W1SUM_X。 EQU[2:0] = 0 (I/O RAM 0x2106[7:5])和 EQU[2:0] = 1 时不使用。	图 36 (94 页) 图 38 (96 页 96)
0x85	W0SUM_X	各相累积周期内的有功能量和。	
0x86	W1SUM_X	LSB = 1.55124*10 ⁻¹² * VMAX* IMAX Wh.	
0x88 [†]	VARSUM_X	符号和：VAR0SUM_X+VAR1SUM_X。EQU[2:0] = 0 和 EQU[2:0] = 1 时不使用。	
0x89	VAR0SUM_X	各相累积周期内的无功能量和。	
0x8A	VAR1SUM_X	LSB = 1.55124*10 ⁻¹² *VMAX* IMAX VARh.	
注： [†] 仅限 71M6542。			

WSUM_X (CE RAM 0x84)和 VARSUM_X (CE RAM 0x88)是 A 相和 B 相的 Wh 或 VARh 有符号代数和，同时取决于 I/O RAM 控制字段 EQU[2:0] (I/O RAM 0x2106[7:5])中指定的计量公式。WxSUM_X (x = 0 或 1, CE RAM 0x85 和 0x86)是 x 相在上一累积间隔内累积的 Wh 值，可根据规定的 LSB 值计算得到。

5.3.8.2 瞬态能量测量数据

$IxSQSUM_X$ 和 $VxSQSUM$ (见表 87) 是上一累积间隔采集的平方电流和电压采样之和。

表 87: CE 能量测量变量(使用本地传感器)

CE 地址	名称	说明	配置
0x8C	<i>I0SQSUM_X</i>	各相电流采样平方之和。 LSB _I = 9.4045*10 ⁻¹³ IMAX ² A ² h <i>EQU</i> = 1 时, <i>I0SQSUM_X</i> 基于 IA 和 IB。	图 35 (93 页) 图 37 (95 页)
0x8D	<i>I1SQSUM_X</i>		
0x90	<i>V0SQSUM_X</i>	各相电压采样平方之和。 LSB _V = 9.4045*10 ⁻¹³ VMAX ² V ² h	
0x91 [†]	<i>V1SQSUM_X</i>		
[†] 仅限 71M6542。			

表 88: CE 能量测量变量(隔离传感器)

CE 地址	名称	说明	配置
0x8C	<i>I0SQSUM_X</i>	各相电流采样平方之和。 $LSB_I = 2.55872 \cdot 10^{-12} \cdot I_{MAX}^2 \text{ A}^2\text{h}$ <i>EQU</i> = 1 时, <i>I0SQSUM_X</i> 基于 <i>IA</i> 和 <i>IB</i> 。	图 36 (94 页) 图 38 (96 页 96)
0x8D	<i>I1SQSUM_X</i>		
0x90	<i>V0SQSUM_X</i>	各相电压采样平方之和。 $LSB_V = 9.40448 \cdot 10^{-13} \cdot V_{MAX}^2 \text{ V}^2\text{h}$	
0x91 [†]	<i>V1SQSUM_X</i>		
[†] 仅限 71M6542。			

MPU 可利用平方电流和电压采样计算得到 RMS 值, 如下所示:

$$I_{X_{RMS}} = \sqrt{\frac{IxSQSUM \cdot LSB_I \cdot 3600 \cdot F_s}{N_{ACC}}} \quad V_{X_{RMS}} = \sqrt{\frac{VxSQSUM \cdot LSB_V \cdot 3600 \cdot F_s}{N_{ACC}}}$$

注: $N_{ACC} = SUM_SAMPS[12:0]$ (CE RAM 0x23)。

其它传递变量包括可用于频率和相位测量的变量, 以及反映电网电压和电池电压过零次数的变量。这些传递变量在表 89 中列出。

$MAINEDGE_X$ (CE RAM 0x83)反映上一累积间隔内对 $CECONFIG$ (CE RAM 0x20[7:6])中 $FREQSEL[1:0]$ 字段规定相上的交流信号的半周期数量(即过零次数)。 $MAINEDGE_X$ 对于根据输入交流信号实现实时时钟非常有用。

表 89. 其它传递变量

CE 地址	名称	说明
0x82	<i>FREQ_X</i>	基波频率: $LSB = \frac{2520.6Hz}{2^{32}} \approx 0.509 \cdot 10^{-6} Hz$ (本地) $LSB = \frac{2520.6Hz}{2^{32}} \approx 0.587 \cdot 10^{-6} Hz$ (远端)
0x83	<i>MAINEDGE_X</i>	所选电压在上一累积间隔内的过零数量。过零包括任意方向，并去抖。

5.3.9 脉冲发生器

表 90 列出了 CE 脉冲发生器、参数。

CECONFIG PULSE_SLOW 和 *PULSE_FAST* 位(*CE RAM 0x20[0:1]*)的组合控制脉冲速率。默认值为 00，此时保持 Kh 公式给定的脉冲速率。

WRATE (*CE RAM 0x21*)控制每个实测 Wh 和 VARh 产生的脉冲数量。*WRATE* 越低，实测能量参量的脉冲速率越低。表计常数 Kh 源于 *WRATE*，为每个脉冲所代表的能量值。也就是说，如果 Kh = 1Wh/脉冲，120 V 和 30 A 加到电表时，可以每秒产生一个脉冲。如果负载为 240V，150A，则每秒产生 10 个脉冲。以上假定功率因数为 1。

如果 *EXT_PULSE* = 1 (*CE RAM 0x20[5]*)，脉冲控制权交给 MPU。这种情况下，脉冲速率由 *APULSEW* 和 *APULSER* (*CE RAM 0x45 and 0x49*)决定。MPU 必须将产生脉冲的源加载至 *APULSEW* 和 *APULSER*，以产生脉冲。如果 *EXT_PULSE* = 0 (*CE RAM 0x20[5]*)，脉冲由 CE 控制。*W0SUM_X* (*CE RAM 0x85*)和 *VAR0SUM_X* (*CE RAM 0x89*)为默认的脉冲发生源。这种情况下，潜动/启动功能不太好控制。

最大脉冲率为 $3 \cdot F_s = 7.56kHz$ 。

关于如何调节输出脉冲定时的详细信息，请参见第 2.3.6.2 节 *VPULSE* 和 *WPULSE*。

最大时间抖动为复用循环周期的 1/6(即 $397/6=67\mu s$)，与测得的脉冲数量无关。所以，如果监测脉冲发生器 1 秒，峰值抖动为 67ppm；10 秒后，峰值抖动为 6.7ppm。平均抖动总为零。如果试图以高于其最大值的速率驱动脉冲发生器，它仅仅是以最大速率输出。实际脉冲速率(以 *WSUM* 为例)为：

$$RATE = \frac{WRATE \cdot WSUM \cdot F_s \cdot X}{2^{46}} Hz,$$

式中， F_s = 采样率(2520.6Hz)，X = 从 CE 变量 *PULSE_SLOW* (*CE RAM 0x20[0]*)和 *PULSE_FAST* (*CE RAM 0x20[1]*)获得的脉冲速率因子。

表 90. CE 脉冲发生参数

CE 地址	名称	默认值	说明
0x21	WRATE	547	$Kh = \frac{VMAX \cdot IMAX \cdot K}{WRATE \cdot N_{ACC} \cdot X} \cdot Wh / pulse$ 式中： K = 66.1782 (本地传感器) K = 109.1587 (远端传感器) $N_{ACC} = SUM_SAMPS[12:0]$ (CE RAM 0x23) X 的定义请参见表 83。 VMAX = 600V 和 IMAX = 208A 时，默认值形成 1.0Wh/脉冲。 WRATE 的最大值为 32,768 (2^{15})。
0x22	KVAR	6444	VAR 测量缩放因子。
0x23	SUM_SAMPS	2520	SUM_SAMPS (N_{ACC})。
0x45	APULSEW	0	Wh 脉冲(WPULSE)发生器输入，使用外部脉冲发生时，由 MPU 更新。输出脉冲率为： $APULSEW * F_S * 2^{-32} * WRATE * X * 2^{-14}.$ 该输入经过缓冲，可由 MPU 在转换间隔期间更新。更改在下一个周期开始时生效。
0x46	WPULSE_CTR	0	WPULSE 计数器。
0x47	WPULSE_FRAC	0	无符号分子，小数脉冲。该寄存器数值总是向下一个整脉冲累加计数。
0x48	WSUM_ACCUM	0	WPULSE 的翻转累加器。
0x49	APULSER	0	VARh (VPULSE)脉冲发生器输入。
0x4A	VPULSE_CTR	0	VPULSE 计数器。
0x4B	VPULSE_FRAC	0	无符号分子，小数脉冲。该寄存器总是向下一个脉冲计数。
0x4C	VSUM_ACCUM	0	VPULSE 的翻转累加器。

5.3.10 其它CE参数

表 91 所示 CE 参数用于抑制由于缩放和截断效应所引起的噪声。

表 91. 用于噪声抑制和代码版本的 CE 参数

CE 地址	名称	默认值	说明
0x25	QUANT_VA	0	A 相的电压、电流、有功能量和无功能量截断误差和噪声的补偿因子。
0x26	QUANT_IA	0	
0x27	QUANT_A	0	
0x28	QUANT_VARA	0	
0x29 [†]	QUANT_VB	0	B 相的电压、电流、有功能量和无功能量截断误差和噪声的补偿因子。 [†] 仅限 71M6542。
0x2A	QUANT_IB	0	
0x2B	QUANT_B	0	
0x2C	QUANT_VARB	0	
0x38	0x43453431		CE 文件及版本号标识符，ASCII 格式(CE41a01f)。只要 CE 启动，这些值将被覆盖。
0x39	0x6130316B		
0x3A	0x00000000		
以下是在使用本地传感器时，各补偿参数的 LSB：			
$QUANT_Ix_LSB = 5.08656 \cdot 10^{-13} \cdot IMAX^2 (Amps^2)$			
$QUANT_Wx_LSB = 1.04173 \cdot 10^{-9} \cdot VMAX \cdot IMAX (Watts)$			
$QUANT_VARx_LSB = 1.04173 \cdot 10^{-9} \cdot VMAX \cdot IMAX (Vars)$			
以下是在使用 71M6x01 远端传感器时，各补偿参数的 LSB：			
$QUANT_Ix_LSB = 1.38392 \cdot 10^{-12} \cdot IMAX^2 (Amps^2)$			
$QUANT_Wx_LSB = 1.71829 \cdot 10^{-9} \cdot VMAX \cdot IMAX (Watts)$			
$QUANT_VARx_LSB = 1.71829 \cdot 10^{-9} \cdot VMAX \cdot IMAX (Vars)$			

5.3.11 CE校准参数

表 92 列出了通常输入用以影响电表校准精度的参数。

表 92. CE 校准参数

CE 地址	名称	默认值	说明											
0x10	CAL_IA	16384	这些常量控制各自通道的增益，每个通道的标称值为 $2^{14} = 16384$ ，每个通道的增益与 CAL 参数成正比。所以，如果通道增益减小 1%，CAL 应增大 1%。关于计算这些校准参数的公式，请参阅 71M6541 演示板用户手册。 †仅限 71M6542。											
0x11	CAL_VA	16384												
0x13	CAL_IB	16384												
0x14†	CAL_VB	16384												
0x12	PHADJ_A	0	这些常数控制在使用本地传感器时的相位补偿。PHADJ_X = 0 时，不做补偿。当 PHADJ_X 增大时，补偿量(滞后)增大。范围为 $\pm 2^{15} - 1$ ，如果将电流延迟 φ 相位角，公式为：											
0x15	PHADJ_B	0	$PHADJ_X = 2^{20} \frac{0.02229 \cdot \tan \Phi}{0.1487 - 0.0131 \cdot \tan \Phi} \quad , \quad 60\text{Hz 时}$ $PHADJ_X = 2^{20} \frac{0.0155 \cdot \tan \Phi}{0.1241 - 0.009695 \cdot \tan \Phi} \quad , \quad 50\text{Hz 时}$											
0x12	DLYADJ_A	0	使用远端隔离器时的相位补偿公式：											
0x15	DLYADJ_B	0	$DLYADJ_X = \Delta_{\text{degrees}} \left(1 + 0.1 \Delta_{\text{degrees}} \right) 2^{14} \frac{2\pi}{360} \frac{a^2 \cos^2 \left(\frac{2\pi f}{f_s} \right) + 2ab \cos \left(\frac{2\pi f}{f_s} \right) + b}{c \sin \left(\frac{2\pi f}{f_s} \right)}$ 式中： $a = 2A$ $b = A^2 + 1$ $c = 2A^2 + 4A \cos \left(\frac{2\pi f}{f_s} \right) + 2$ 式中，f 为电网频率，f_s 为采样频率。下表为每个电流通道提供了 A 值： <table><tr><th rowspan="2">通道</th><th colspan="2">A 值(十进制)</th></tr><tr><th>Eq. 0 或 2</th><th>Eq. 1</th></tr><tr><td>DLYADJ_A</td><td>$15811 / 2^{14}$</td><td>$6811 / 2^{14}$</td></tr><tr><td>DLYADJ_B</td><td>$-1384 / 2^{14}$</td><td>$-1384 / 2^{14}$</td></tr></table>	通道	A 值(十进制)		Eq. 0 或 2	Eq. 1	DLYADJ_A	$15811 / 2^{14}$	$6811 / 2^{14}$	DLYADJ_B	$-1384 / 2^{14}$	$-1384 / 2^{14}$
通道	A 值(十进制)													
	Eq. 0 或 2	Eq. 1												
DLYADJ_A	$15811 / 2^{14}$	$6811 / 2^{14}$												
DLYADJ_B	$-1384 / 2^{14}$	$-1384 / 2^{14}$												

5.3.12 CE流程图

图 44 至图 46 所示为通过 CE 的数据流简图。未显示的功能包括：延迟补偿、电压跌落检测、缩放和计量公式(EQU)处理。

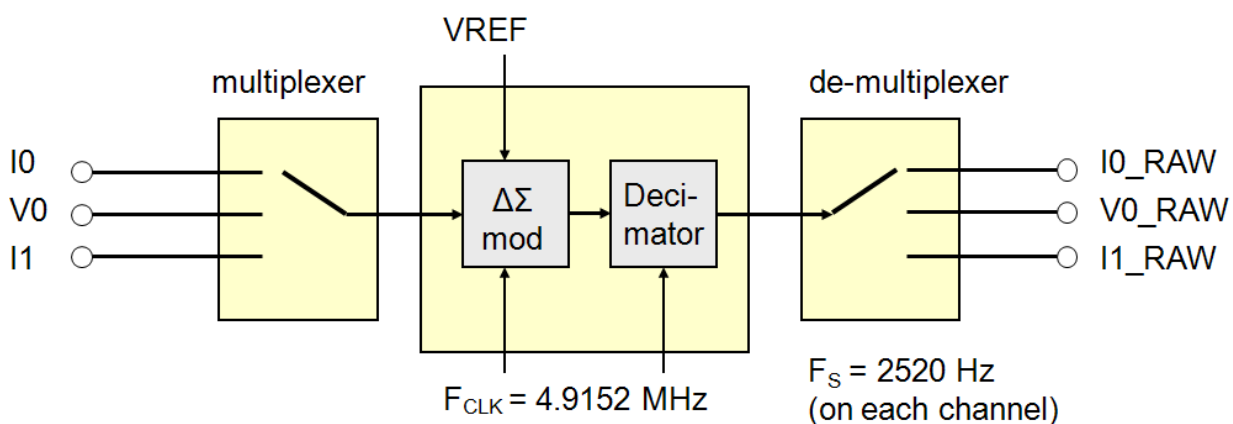


图 44. CE 数据流：复用器和 ADC

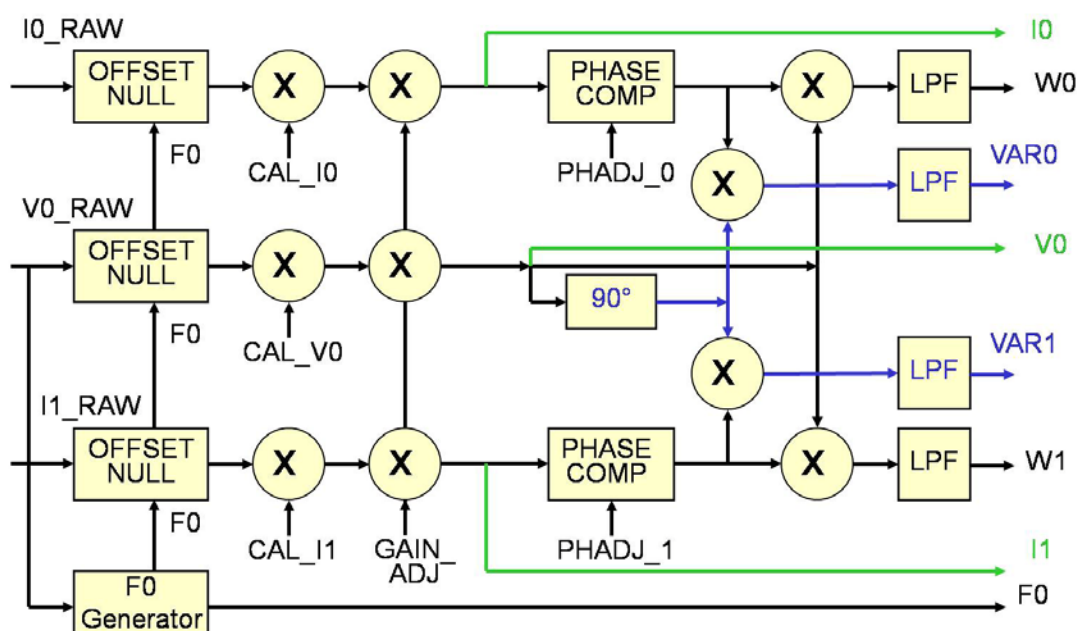


图 45. CE 数据流：缩放、增益控制、中间变量

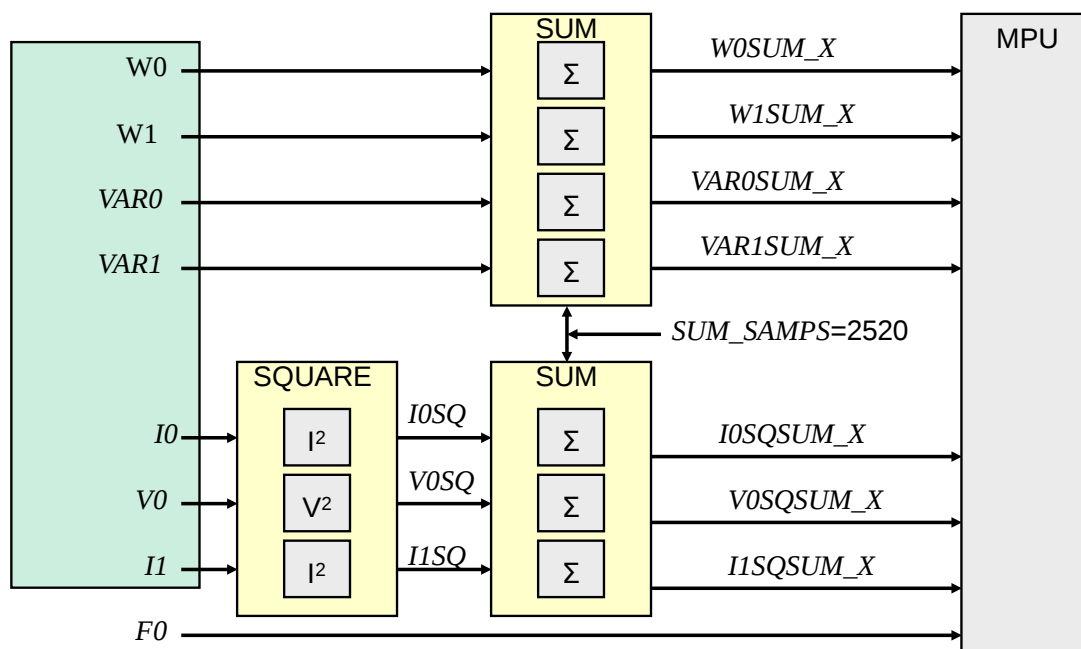


图 46. CE 数据流：平方、求和运算级

6 电气规格

本节介绍 71M654x 的电技术指标。关于 71M6x01 的电技术指标、引脚输出和封装数据，请参阅 71M6xxx 的数据资料。

器件在室温下经过100%的生产测试，在全温范围内工作时可保证性能。

6.1 绝对最大额定值

表 93 列出了器件的绝对最大额定值。超出绝对最大额定值时，有可能会造成器件永久损坏。这些仅仅是耐压额定值，器件在这些条件下工作，或者在其它任何超出推荐工作条件(见第 6.3 节推荐工作条件)的条件下工作都是不可取的。长时间工作在绝对最大额定值条件下，可能影响器件可靠性。以下所有电压以 GND_A 为基准。

表 93. 绝对最大额定值

电压和电流	
电源和地引脚	
V3P3SYS, V3P3A	-0.5V 至 4. V
VBAT, VBAT_RTC	-0.5V 至 4.6V
GNDD	-0.1V 至 +0.1V
模拟输出引脚	
VREF	-10mA 至 +10mA, -0.5V 至 V3P3A+0.5V
VDD	-10mA 至 10mA, -0.5V 至 3.0V
V3P3D	-10mA 至 10mA, -0.5V 至 4.6V
VLCD	-10mA 至 10mA, -0.5V 至 6V
模拟输入引脚	
IAP-IAN, VA, IBP-IBN, VB [†] († 仅限 71M6542F/G)	-10mA 至 +10mA -0.5V 至 V3P3A+0.5V
XIN, XOUT	-10mA 至 +10mA -0.5V 至 3.0V
SEG 和 SEG_{DIO} 引脚	
配置为 SEG 或 COM 驱动	-1mA 至 1mA, -0.5V 至 VLCD+0.5V
配置为数字输入	-10mA 至 10mA, -0.5V 至 6V
配置为数字输出	-10mA 至 10mA, -0.5V 至 V3P3D+0.5V
数字引脚	
输入(PB, RESET, RX, ICE_E, TEST)	-10mA 至 10mA, -0.5V 至 6V
输出(TX)	-10mA 至 10mA, -0.5V 至 V3P3D+0.5V
温度和 ESD 等级	
工作结温(峰值, 100ms)	140°C

工作结温(连续)	125°C
储存温度	-45°C 至+165°C
焊接温度—10 秒持续时间	+250°C
所有引脚的 ESD 保护等级	±4kV

6.2 推荐外部元件

表 94. 推荐外部元件

名称	从	至	功能	值	单位
C1	V3P3A	GNDA	3.3V 电源旁路电容	$\geq 0.1 \pm 20\%$	μF
C2	V3P3D	GNDD	3.3V 输出旁路电容	$0.1 \pm 20\%$	μF
CSYS	V3P3SYS	GNDD	V3P3SYS 旁路电容	$\geq 1.0 \pm 30\%$	μF
CVDD	VDD	GNDD	VDD 旁路电容	$0.1 \pm 20\%$	μF
CVLCD	VLCD	GNDD	VLCD 旁路电容(使用电荷泵时)	$\geq 0.1 \pm 20\%$	μF
XTAL	XIN	XOUT	32.768kHz 晶振—电气特性类似于 ECS .327-12.5-17X、Vishay XT26T 或 Suntsu SCP6-32.768kHz TR (负载电容 12.5pF)。	32.768	kHz
CXS	XIN	GNDA	晶振负载电容，取决于晶振技术指标和电路板寄生影响。标称值基于 4pF 电路板寄生电容和芯片电容容差。	$15 \pm 10\%$	pF
CXL	XOUT	GNDA		$10 \pm 10\%$	pF

6.3 推荐工作条件

除非另外说明，第 6.4 节性能技术指标 和第 6.5 节定时技术指标所列的全部参数在表 95 给出的推荐工作条件范围内有效。

表 95. 推荐工作条件

参数	条件	最小值	典型值	最大值	单位
V3P3SYS 和 V3P3A 为精密表计工作提供电压(MSN 模式)。VBAT 和 VBAT_RTC 无电压。	VBAT=0V 至 3.8V VBAT_RTC =0V 至 3.8V	3.0		3.6	V
VBAT 电压(BRN 模式)。V3P3SYS 低于 2.8V 比较器门限。V3P3SYS 或 VBAT_RTC 必须足够高，以便为 RTC 模块供电。	V3P3SYS < 2.8V 和 Max (VBAT_RTC, V3P3SYS) > 2.0V	2.5		3.8	V
VBAT_RTC 电压。在 V3P3SYS < 2.0V 时 VBAT_RTC 对 RTC 和非易失存储器供电。	V3P3SYS<2.0V	2.0		3.8	V
工作温度		-40		+85	°C
注： - GNDA 和 GNDD 必须连接在一起。 - V3P3SYS 和 V3P3A 必须连接在一起。					

6.4 性能指标

6.4.1 输入逻辑电平

表 96. 输入逻辑电平

参数	条件	最小值	典型值	最大值	单位
数字高电平输入电压 ¹ , V_{IH}		2			V
数字低电平输入电压 ¹ , V_{IL}				0.8	V
输入上拉电流, I_{IL} E_RXTX, E_RST, E_TCLK OPT_RX, OPT_TX SPI_CSZ (SEGDI036) 其它数字输入	VIN=0V, ICE_E=3.3V	10 10 10 -1	0	100 100 10 1	μA μA $\mu \Omega$ μA
输入下拉电流, I_{IH} ICE_E, RESET, TEST 其它数字输入	VIN=V3P3D	10 -1	0	100 1	μA μA
注: 1. 电池供电模式下, 数字输入应低于 0.1V 或高于 VBAT – 0.1V, 将电池电流降至最小。					

6.4.2 输出逻辑电平

表 97. 输出逻辑电平

参数	条件	最小值	典型值	最大值	单位
数字高电平输出电压, V_{OH}	$I_{LOAD} = 1mA$	V3P3D–0.4			V
	$I_{LOAD} = 15mA$ (见注释 1、2)	V3P3D-0.6			V
数字低电平输出电压, V_{OL}	$I_{LOAD} = 1mA$	0		0.4	V
	$I_{LOAD} = 15mA$ (见注释 1)	0		0.8	V
注: 1. 由设计保证, 非产品测试。 2. 注意: 全部上拉电流之和必须与内部 V3P3D 开关的导通电阻匹配。请参见第 143 页第 6.4.6 节 V3P3D 开关 。					

6.4.3 电池监测器

表 98. 电池监测器技术指标($TEMP_BAT=1$)

参数	条件	最小值	典型值	最大值	单位
BV: 电池电压(定义)	MSN 模式, $TEMP_PWR=1$ BRN 模式, $TEMP_PWR=TEMP_BSEL$	$BV = 3.3V + (BSENSE - 142) \cdot 0.0246V + STEMP \cdot 297\mu V$ $BV = 3.291V + (BSENSE - 142) \cdot 0.0255V + STEMP \cdot 328\mu V$			V
测量误差 $100 \cdot \left(\frac{BV}{VBAT} - 1 \right)$	VBAT = 2.0 V 2.5 V 3.0 V 4.0 V	-7.5 -5 -3 -3		7.5 5 3 5	%
输入阻抗, 连续测量, MSN 模式。 $V(VBAT_RTC)/I(VBAT_RTC)$	V3P3 = 3.3 V, $TEMP_BSEL = 0$, $TEMP_PER = 111$, VBAT_RTC = 3.6 V,	1			MΩ
施加到 BCURR 的负载 $IBAT(BCURR=1) - IBAT(BCURR=0)$	V3P3 = 3.3 V	50	100	140	μA

6.4.4 温度监测器

表 99. 温度监测器

参数	条件	最小值	典型值	最大值	单位
温度测量公式	MSN 模式下, $TEMP_PWR=1$: $Temp = 0.325 \cdot STEMP + 22$ BRN 模式下, $TEMP_PWR = TEMP_BSEL$: $Temp = 0.325 \cdot STEMP + 0.00218 \cdot BSENSE^2 - 0.609 \cdot BSENSE + 64.4$				°C
温度误差	$T_A = +22^\circ C$	-2		+2	°C
VBAT_RTC 电荷/测量	$TEMP_BSEL = 0$, $TEMP_PWR=0$, SLP 模式, VBAT_RTC = 3.6 V		16		μC
设置 $TEMP_START$ 之后温度测量的持续时间(见注释 1)	$TEMP_PWR = 0$, $TEMP_PER = 7$, SLP 模式, VBAT_RTC = 3.6 V Force V3P3D = 1.0 V		15	60	ms
注: 1. 由设计保证, 非产品测试。					

6.4.5 电源电流

表 100 中提供的供电电流仅包括 71M654x 消耗的电流。关于使用 71M6x01 远端传感器时需要的额外电流，请参阅 71M6xxx 数据资料。

表 100. 电源电流指标

参数	条件	最小值	典型值	最大值	单位
I1: V3P3A + V3P3SYS 电流, 半速($ADC_DIV=1$) (见注释 1)	单相: 2 路电流, 1 路电压 $V3P3A = V3P3SYS = 3.3\text{ V}$, $MPU_DIV[2:0] = 3$ (614kHz MPU 时钟), 无 FLASH 写操作, $RTM_E=0$, $PRE_E=0$, $CE_E=1$, $ADC_E=1$, $ADC_DIV=1$, $MUX_DIV[3:0]=3$, $FIR_LEN[1:0]=1$, $PLL_FAST=1$		5.5	6.7	mA
I1a: V3P3A + V3P3SYS 电流, 半速($ADC_DIV=1$) (见注释 1)	除 $PLL_FAST = 0$ 外, 同 I1		2.6	3.5	mA
I1b: V3P3A + V3P3SYS 电流, 半速($ADC_DIV=1$) (见注释 1)	除 $PRE_E = 1$ 外, 同 I1		5.7	6.9	mA
I1c: V3P3A + V3P3SYS 电流, 半速($ADC_DIV=1$) (见注释 1)	除 $PLL_FAST = 0$ 和 $PRE_E = 1$ 外, 同 I1		2.6	3.6	mA
I2: V3P3A + V3P3SYS 动态电流	除 $MPU_DIV[2:0]$ 变动外, 同 I1 $\frac{I_{MPU_DIV=0} - I_{MPU_DIV=3}}{4.3}$		0.4	0.6	mA/MHz
VBAT 电流 I3: MSN 模式 I4: BRN 模式 I5: LCD 模式 (ext. VLCD) I6: LCD 模式 (boost, DAC) ^{注 1} I7: LCD 模式 (DAC) ^{注 1} I8: LCD 模式 (VBAT) ^{注 1} I9: SLP 模式	$CE_E=0$ $LCD_VMODE[1:0]=3$, 参见注释 2 $LCD_VMODE[1:0]=2$, 参见注释 3 $LCD_VMODE[1:0]=1$, 参见注释 3 $LCD_VMODE[1:0]=0$, 参见注释 3 SLP 模式	-300 -300	0 2.4 0.4 24 3.0 1.1 0	300 3.2 108 36 11 3.4 +300	nA mA nA μA μA μA nA
VBAT_RTC 电流 I10: MSN I11: BRN I12: LCD 模式 I13: SLP 模式 I14: SLP 模式 (参见注释 1)	$LCD_VMODE[1:0]=2$, 参见注释 2 $T_A \leq 25\text{ }^\circ\text{C}$ $T_A = 85\text{ }^\circ\text{C}$	-300	0 240 1.8 0.7 1.5	300 320 4.1 1.7 3.2	nA nA μA μA μA
I15: V3P3A + V3P3SYS 电流, 通过 ICE 写 FLASH	除了以最大速率写 FLASH 外, 同 I1, $CE_E=0$, $ADC_E=0$.		7.1	8.7	mA
注: - 由设计保证, 非产品测试。 $LCD_DAC[4:0]=5$ (2.9V), $LCD_CLK[1:0]=2$, $LCD_MODE[2:0]=6$, 所有 LCD_MAPn bits = 1, $LCD_BLANK=0$, $LCD_ON=1$。 $LCD_DAC[4:0]=5$ (2.9V), $LCD_CLK[1:0]=2$, $LCD_MODE[2:0]=6$, 所有 LCD_MAPn bits = 0。					

6.4.6 V3P3D开关

表 101. V3P3D 开关技术指标

参数	条件	最小值	典型值	最大值	单位
导通电阻 – V3P3SYS 至 V3P3D	$ I_{V3P3D} \leq 1 \text{ mA}$			10	Ω
导通电阻 – VBAT 至 V3P3D	$ I_{V3P3D} \leq 1 \text{ mA}$, VBAT > 2.5V			10	Ω
V3P3D I_{OH} , MSN	V3P3SYS = 3V V3P3D = 2.9V	10			mA
V3P3D I_{OH} , BRN	VBAT = 2.6V V3P3D = 2.5V	10			mA

6.4.7 内部电源故障比较器

表 102. 内部电源故障比较器技术指标

参数	条件	最小值	典型值	最大值	单位
总响应时间	100mV 过载, 下降 100mV 过载, 上升	20		200 200	μs μs
下降门限 3.0V 比较器 2.8V 比较器 3.0V 和 2.8V 差分比较器	V3P3 下降	2.83 2.75 50	2.93 2.81 136	3.03 2.87 220	V V mV
下降门限 2.25V 比较器 2.0V 比较器 VDD (@VBAT=3.0V) – 2.25V 比较器 2.25V 和 2.0V 差分比较器	VDD 下降	2.2 1.90 0.25 0.15	2.25 2.00 0.35 0.25	2.5 2.20 0.45 0.35	V V V V
滞回 (上升门限 - 下降门限) 3.0V 比较器 2.8V 比较器 2.25V 比较器 2.0V 比较器	$T_A = 22^\circ\text{C}$	22 25 10 10	45 42 33 28	65 60 60 60	mV mV mV mV

6.4.8 2.5V稳压器—系统电源

表 103. 2.5V 稳压器技术指标

参数	条件	最小值	典型值	最大值	单位
V2P5	V3P3 = 3.0V - 3.8V I _{LOAD} = 0mA	2.55	2.65	2.75	V
V2P5 负载调整率	VBAT = 3.3V, V3P3 = 0V I _{LOAD} = 0mA 至 1mA			40	mV
压差 V3P3SYS-V2P5	I _{LOAD} = 5 mA, 减小 V3P3D, 直到 V2P5 下降 200mV			440	mV

6.4.9 2.5V稳压器—电池供电

除非另外说明, $V3P3SYS = V3P3A = 0$, $PB = GND (BRN)$ 。

表 104. 低功耗稳压器技术指标

参数	条件	最小值	典型值	最大值	单位
V2P5	$V_{BAT} = 3.0V - 3.8V$, $V3P3 = 0V$, $I_{LOAD} = 0mA$	2.55	2.65	2.75	V
V2P5 负载调整率	$V_{BAT} = 3.3V$, $V3P3 = 0V$, $I_{LOAD} = 0mA$ 至 $1mA$			40	mV
压差 $2V - V_{BAT} - V_{DD}$	$I_{LOAD} = 0mA$, $V_{BAT} = 2.0V$, $V3P3 = 0V$			200	mV

6.4.10 晶振

测量条件: 晶振断开, 测试负载 $200pF/100k\Omega$, XOUT 和 GNDD 之间。

表 105. 晶振指标

参数	条件	最小值	典型值	最大值	单位
至晶振的最大输出功率	晶振断开, 见注释 1			1	μW
XIN 至 XOUT 电容(见注释 1)				3	pF
XOUT 电容变化	$RTC_ADJ = 7F$ 至 0 , 偏压 = 不偏压, $V_{pp} = 0.1V$		15		pF
注:					
1. 由设计保证, 非产品测试。					

6.4.11 锁相环(PLL)

表 106. PLL 技术指标

参数	条件	最小值	典型值	最大值	单位
PLL 上电稳定时间(见注释 1)	$PLL_FAST = 0$, $V3P3 = 0V$ 至 $3.3V$ 步进, 测得 MCK 第一个沿的时间			5	ms
PLL_FAST 稳定时间	$V3P3 = 0V$, $V_{BAT} = 3.8V$ 至 $2.0V$			5	ms
PLL_FAST 上升(见注释 1)				5	ms
PLL_FAST 下降(见注释 1)				5	ms
PLL SLP 至 MSN 稳定时间(见注释 1)	$PLL_FAST = 0$			5	ms
PLL 上电过冲(见注释 1)	$PLL_FAST = 0$			2.5	MHz
注:					
1. 由设计保证, 非产品测试。					

6.4.12 LCD驱动器

表 107. LCD 驱动器技术指标

参数	条件	最小值	典型值	最大值	单位
VLCD 电流 (见注释 1 至 4)	VLCD=3.3, 全部 LCD 映射位=0			2	uA
	VLCD=5.0, 全部 LCD 映射位=0			3	uA
注: 1. 这些技术指标适用于所有 COM 和 SEG 引脚。 2. VLCD = 2.5V 至 5V。 3. LCD_VMODE=3, LCD_ON=1, LCD_BLANK=0, LCD_MODE=6, LCD_CLK=2。 4. 输出负载为每 SEG 和 COM 引脚 74pF。					

6.4.13 VLCD 发生器

表 108. LCD 驱动器技术指标¹

参数	条件	最小值	典型值	最大值	单位
VSYS 至 VLCD 开关阻抗	V3P3 = 3.3V, RVLCD = 断开, LCD_BAT=0, LCD_VMODE[1:0]=0, ΔILCD=10μA			750	Ω
VBAT 至 VLCD 开关阻抗	V3P3 = 0V, VBAT = 2.5V, RVLCD = 断开, LCD_BAT=1, LCD_VMODE[1:0]=0, ΔILCD=10μA			700	Ω
LCD 升压频率	LCD_VMODE[1:0] = 2, RVLCD = 断开, CVLCD = 断开 PLL_FAST=1 PLL_FAST=0		820 786		kHz kHz
VLCD IOH 电流 (VLCD(0)-VLCD(IOH)<0.25)	LCD_VMODE[1:0] = 2, LCD_CLK[1:0] = 2, RVLCD = 断开, V3P3 = 3.3V, LCD_DAC[4:0] = 1F	10			μA
从 LCDADJ0 和 LCDADJ12 熔丝: $LCDADJ(LCD_DAC) = 5mV \left[LCDADJ0 + \frac{LCDADJ12 - LCDADJ0}{12} LCD_DAC \right]$ $VLCD_{NOM}(LCD_DAC) = 2.65 + 2.65 \frac{LCD_DAC}{31} + LCDADJ(LCD_DAC)$ 以上公式说明指定 LCD_DAC 值下的 VLCD 标称值。以下技术指标列出实际 VLCD 和 VLCDnom 之间的最大偏差。注意, VCC 和升压足够时, LCD DAC 不会达到其目标值, 将发生大的负误差。					
LCD_DAC 误差。VLCD-VLCDnom (见注释 2) 满幅, 升压 V3P3 = 3.6V V3P3 = 3.0V VBAT = 4.0V, V3P3 = 0, BRN 模式 VBAT = 2.5V, V3P3 = 0, BRN 模式	LCD_VMODE[1:0] = 2, LCD_DAC[4:0] = 1F, LCD_CLK[1:0] = 2, LCD_MODE[2:0] = 6	-0.15 -0.4 -0.15 -1.3		0.15 0.15 0.15	V V V V
LCD_DAC 误差。VLCD-VLCDnom DAC=12, 升压 V3P3 = 3.6V V3P3 = 3.0V VBAT = 2.5V, V3P3 = 0V, BRN 模式	LCD_VMODE[1:0] = 2, LCD_DAC[4:0] = C, LCD_CLK[1:0] = 2, LCD_MODE[2:0] = 6	-0.15 -0.15 -0.15		0.15 0.15 0.15	V V V
LCD_DAC 误差。VLCD-VLCDnom 零幅, 升压 V3P3 = 3.6V V3P3 = 3.0V VBAT = 4.0V, V3P3 = 0V, BRN 模式 (见注释 2) VBAT = 2.5V, V3P3 = 0V, BRN 模式	LCD_VMODE[1:0] = 2, LCD_DAC[4:0] = 0, LCD_CLK[1:0] = 2, LCD_MODE[2:0] = 6	-0.15 -0.15 -0.15 -0.15		0.15 0.15 0.15	V V V V
LCD_DAC 误差。VLCD-VLCDnom 满幅, 无升压 V3P3 = 3.6V (见注释 2) V3P3 = 3.0V (见注释 2) VBAT = 4.0V, V3P3 = 0V, BRN 模式 VBAT = 2.5V, V3P3 = 0V, BRN 模式	LCD_VMODE[1:0] = 1, LCD_DAC[4:0] = 1F, LCD_CLK[1:0] = 2, LCD_MODE[2:0] = 6	-2.1 -2.8 -1.8 -3.2			V V V V

参数	条件	最小值	典型值	最大值	单位
LCD_DAC 误差。VLCD-VLCDnom DAC=12, 无升压 V3P3 = 3.6V V3P3 = 3.0V VBAT = 4.0V, V3P3 = 0V, BRN 模式 VBAT = 2.5V, V3P3 = 0V, BRN 模式	LCD_VMODE[1:0] = 1, LCD_DAC[4:0] = C, LCD_CLK[1:0]=2, LCD_MODE[2:0]=6	-0.5 -1.1 -0.15 ² -1.5 ²		0.15 ²	V V V V
LCD_DAC 误差。VLCD-VLCDnom 零幅, 无升压 V3P3 = 3.6V V3P3 = 3.0V VBAT = 4.0V, V3P3 = 0V, BRN 模式 VBAT = 2.5V, V3P3 = 0V, BRN 模式	LCD_VMODE[1:0] = 1, LCD_DAC[4:0] = 0, LCD_CLK[1:0]=2, LCD_MODE[2:0]=6	-0.15 -0.15 -0.15 -0.45		0.15 0.15 0.15 0.15	V V V V
LCD_DAC 误差。VLCD-VLCDnom 满幅, 升压, LCD 模式 VBAT = 4.0V, V3P3 = 0V VBAT = 2.5V, V3P3 = 0V	LCD_VMODE[1:0] = 2, LCD_DAC[4:0] = 1F, LCD_CLK[1:0]=2, LCD_MODE[2:0]=6	-0.15 -1.3		0.15	V V
注: - 以下测试条件也适用于本表中提供的全部技术指标: 旁路电容 CVLCD ≥ 0.1μF, 测试负载 RVLCD = 500kΩ, 无显示, 全部 SEG/DIO 引脚配置为 DIO。 - 由设计保证, 非产品测试。					

6.4.14 VREF

表 109 所示为 ADC 基准电压(VREF)的性能技术指标。

表 109. VREF 技术指标

参数	条件	最小值	典型值	最大值	单位
VREF 输出电压, VREF(22)	$T_A = 22^{\circ}\text{C}$	1.193	1.195	1.197	V
VREF 输出电压, VREF(22)	$PLL_FAST=0$		1.195		V
VREF 输出阻抗	$VREF_CAL = 1$, $I_{LOAD} = 10\mu\text{A}, -10\mu\text{A}$			3.2	k Ω
VREF 电源灵敏度 $\Delta VREF / \Delta V3P3A$	$V3P3A = 3.0\text{V}$ 至 3.6V	-1.5		1.5	mV/V
VREF 输入阻抗	$VREF_DIS = 1$, $VREF = 1.3\text{V}$ 至 1.7V	100			k Ω
VREF 斩波步距, 调节	$VREF(CHOP=01) -$ $VREF(CHOP=10)$	-10	0	10	mV
VNOM 定义(见注释 2)	$VNOM(T) = VREF(22) + (T - 22)TC1 + (T - 22)^2 TC2$				V
VNOM 温度系数: TC1 = TC2 =	$275 - 4.95 \cdot TRIMT$ $-0.557 + 0.00028 \cdot TRIMT$				$\mu\text{V}/^{\circ}\text{C}$ $\mu\text{V}/^{\circ}\text{C}^2$
VREF(T) 相对于 VNOM(T)的偏差(见注释 1): $\frac{VREF(T) - VNOM(T)}{VNOM(T)} \cdot 10^6$		-40		+40	ppm/ $^{\circ}\text{C}$
VREF 老化			± 25		ppm/年
注: 1. 由设计保证, 非产品测试。 2. 这一关系说明 VREF 在不同温度下的变化, 受 1 次和 2 次系数 TC1 和 TC2 的二阶多项式控制。 3. 对于本表中的参数, 除非另外说明, $VREF_DIS = 0$, $PLL_FAST = 1$。					

6.4.15 ADC转换器

表 110. ADC 转换器技术指标

参数	条件	最小值	典型值	最大值	单位																																																																																					
推荐输入范围 ($V_{in} - V_{3P3A}$)		-250		250	mV peak																																																																																					
电压至电流串扰 $\frac{10^6 * V_{crosstalk}}{V_{in}} \cos(\angle V_{in} - \angle V_{crosstalk})$ (见注释 1)	$V_{in} = 200\text{mV}$ 峰值, 65Hz, V_{ADC10} (VA)或 V_{ADC9} (VB)上+ +仅限 71M6542F/G。 $V_{crosstalk} = IAP\text{-}IAN$ 或 $IBP\text{-}IBN$ 上的最大测量值	-10		10	$\mu\text{V/V}$																																																																																					
输入阻抗, 无前置放大器	$V_{in}=65\text{ Hz}$	40		90	k Ω																																																																																					
ADC 增益误差与%电源偏差变动 $\frac{10^6 \Delta N_{out_{PK}} 357nV / V_{IN}}{100 \Delta V_{3P3A} / 3.3}$	$V_{in}=200\text{mV pk}$, 65Hz $V_{3P3A}=3.0\text{V}$, 3.6V			50	ppm / %																																																																																					
输入偏移 $I_{ADC0}=I_{ADC1}=V_{3P3A}$ $I_{ADC0}=V_{3P3A}$	$DIFF0_E=1$, $PRE_E=0$ $DIFF0_E=0$, $PRE_E=0$	-10 -10		10 10	mV mV																																																																																					
THD @ 250mVpk <table><tr><th>名称</th><th>FIR_LEN</th><th>ADC_DIV</th><th>PLL_FAST</th><th>MUX_DIV</th></tr><tr><td>A</td><td>0</td><td>0</td><td>0</td><td>3</td></tr><tr><td>B</td><td>1</td><td>0</td><td>0</td><td>2</td></tr><tr><td>C</td><td>0</td><td>0</td><td>1</td><td>11</td></tr><tr><td>D</td><td>1</td><td>0</td><td>1</td><td>6</td></tr><tr><td>E</td><td>2</td><td>0</td><td>1</td><td>4</td></tr><tr><td>F</td><td>0</td><td>1</td><td>0</td><td>2</td></tr><tr><td>G</td><td>0</td><td>1</td><td>1</td><td>6</td></tr><tr><td>H</td><td>1</td><td>1</td><td>1</td><td>3</td></tr><tr><td>J</td><td>2</td><td>1</td><td>1</td><td>2</td></tr></table>	名称	FIR_LEN	ADC_DIV	PLL_FAST	MUX_DIV	A	0	0	0	3	B	1	0	0	2	C	0	0	1	11	D	1	0	1	6	E	2	0	1	4	F	0	1	0	2	G	0	1	1	6	H	1	1	1	3	J	2	1	1	2	$V_{IN} = 65\text{Hz}$, 250mVpk, 64kpts FFT, Blackman Harris 窗		<table><tr><td>A</td><td></td></tr><tr><td>B</td><td>-82</td></tr><tr><td>C</td><td></td></tr><tr><td>D</td><td>-84</td></tr><tr><td>E</td><td></td></tr><tr><td>F</td><td>-83</td></tr><tr><td>G</td><td></td></tr><tr><td>H</td><td>-86</td></tr><tr><td>J</td><td></td></tr></table> <table><tr><td>A</td><td>-75</td></tr><tr><td>B</td><td>-75</td></tr><tr><td>C</td><td>-75</td></tr><tr><td>D</td><td>-75</td></tr><tr><td>E</td><td>-75</td></tr><tr><td>F</td><td>-75</td></tr><tr><td>G</td><td>-75</td></tr><tr><td>H</td><td>-75</td></tr><tr><td>J</td><td>-75</td></tr></table>	A		B	-82	C		D	-84	E		F	-83	G		H	-86	J		A	-75	B	-75	C	-75	D	-75	E	-75	F	-75	G	-75	H	-75	J	-75	dB
名称	FIR_LEN	ADC_DIV	PLL_FAST	MUX_DIV																																																																																						
A	0	0	0	3																																																																																						
B	1	0	0	2																																																																																						
C	0	0	1	11																																																																																						
D	1	0	1	6																																																																																						
E	2	0	1	4																																																																																						
F	0	1	0	2																																																																																						
G	0	1	1	6																																																																																						
H	1	1	1	3																																																																																						
J	2	1	1	2																																																																																						
A																																																																																										
B	-82																																																																																									
C																																																																																										
D	-84																																																																																									
E																																																																																										
F	-83																																																																																									
G																																																																																										
H	-86																																																																																									
J																																																																																										
A	-75																																																																																									
B	-75																																																																																									
C	-75																																																																																									
D	-75																																																																																									
E	-75																																																																																									
F	-75																																																																																									
G	-75																																																																																									
H	-75																																																																																									
J	-75																																																																																									
THD @ 20mVpk <table><tr><th>名称</th><th>FIR_LEN</th><th>ADC_DIV</th><th>PLL_FAST</th><th>MUX_DIV</th></tr><tr><td>A</td><td>0</td><td>0</td><td>0</td><td>3</td></tr><tr><td>B</td><td>1</td><td>0</td><td>0</td><td>2</td></tr><tr><td>C</td><td>0</td><td>0</td><td>1</td><td>11</td></tr><tr><td>D</td><td>1</td><td>0</td><td>1</td><td>6</td></tr><tr><td>E</td><td>2</td><td>0</td><td>1</td><td>4</td></tr><tr><td>F</td><td>0</td><td>1</td><td>0</td><td>2</td></tr><tr><td>G</td><td>0</td><td>1</td><td>1</td><td>6</td></tr><tr><td>H</td><td>1</td><td>1</td><td>1</td><td>3</td></tr><tr><td>J</td><td>2</td><td>1</td><td>1</td><td>2</td></tr></table>	名称	FIR_LEN	ADC_DIV	PLL_FAST	MUX_DIV	A	0	0	0	3	B	1	0	0	2	C	0	0	1	11	D	1	0	1	6	E	2	0	1	4	F	0	1	0	2	G	0	1	1	6	H	1	1	1	3	J	2	1	1	2	$V_{IN} = 65\text{Hz}$, 20mVpk, 64kpts FFT, Blackman Harris 窗		<table><tr><td>A</td><td>-85</td></tr><tr><td>B</td><td>-91</td></tr><tr><td>C</td><td>-85</td></tr><tr><td>D</td><td>-91</td></tr><tr><td>E</td><td>-93</td></tr><tr><td>F</td><td>-85</td></tr><tr><td>G</td><td>-85</td></tr><tr><td>H</td><td>-91</td></tr><tr><td>J</td><td>-93</td></tr></table>	A	-85	B	-91	C	-85	D	-91	E	-93	F	-85	G	-85	H	-91	J	-93	dB																		
名称	FIR_LEN	ADC_DIV	PLL_FAST	MUX_DIV																																																																																						
A	0	0	0	3																																																																																						
B	1	0	0	2																																																																																						
C	0	0	1	11																																																																																						
D	1	0	1	6																																																																																						
E	2	0	1	4																																																																																						
F	0	1	0	2																																																																																						
G	0	1	1	6																																																																																						
H	1	1	1	3																																																																																						
J	2	1	1	2																																																																																						
A	-85																																																																																									
B	-91																																																																																									
C	-85																																																																																									
D	-91																																																																																									
E	-93																																																																																									
F	-85																																																																																									
G	-85																																																																																									
H	-91																																																																																									
J	-93																																																																																									
LSB 大小: <table><tr><th>名称</th><th>FIR_LEN</th><th>ADC_DIV</th><th>PLL_FAST</th><th>MUX_DIV</th></tr><tr><td>A</td><td>0</td><td>0</td><td>0</td><td>3</td></tr><tr><td>B</td><td>1</td><td>0</td><td>0</td><td>2</td></tr><tr><td>C</td><td>0</td><td>0</td><td>1</td><td>11</td></tr><tr><td>D</td><td>1</td><td>0</td><td>1</td><td>6</td></tr><tr><td>E</td><td>2</td><td>0</td><td>1</td><td>4</td></tr><tr><td>F</td><td>0</td><td>1</td><td>0</td><td>2</td></tr><tr><td>G</td><td>0</td><td>1</td><td>1</td><td>6</td></tr><tr><td>H</td><td>1</td><td>1</td><td>1</td><td>3</td></tr><tr><td>J</td><td>2</td><td>1</td><td>1</td><td>2</td></tr></table>	名称	FIR_LEN	ADC_DIV	PLL_FAST	MUX_DIV	A	0	0	0	3	B	1	0	0	2	C	0	0	1	11	D	1	0	1	6	E	2	0	1	4	F	0	1	0	2	G	0	1	1	6	H	1	1	1	3	J	2	1	1	2	$V_{in}=65\text{Hz}$, 20mVpk, 64kpts FFT, Blackman- Harris 窗		<table><tr><td>A</td><td>3470</td></tr><tr><td>B</td><td>406</td></tr><tr><td>C</td><td>3040</td></tr><tr><td>D</td><td>357</td></tr><tr><td>E</td><td>151</td></tr><tr><td>F</td><td>3470</td></tr><tr><td>G</td><td>3040</td></tr><tr><td>H</td><td>357</td></tr><tr><td>J</td><td>151</td></tr></table>	A	3470	B	406	C	3040	D	357	E	151	F	3470	G	3040	H	357	J	151	nV																		
名称	FIR_LEN	ADC_DIV	PLL_FAST	MUX_DIV																																																																																						
A	0	0	0	3																																																																																						
B	1	0	0	2																																																																																						
C	0	0	1	11																																																																																						
D	1	0	1	6																																																																																						
E	2	0	1	4																																																																																						
F	0	1	0	2																																																																																						
G	0	1	1	6																																																																																						
H	1	1	1	3																																																																																						
J	2	1	1	2																																																																																						
A	3470																																																																																									
B	406																																																																																									
C	3040																																																																																									
D	357																																																																																									
E	151																																																																																									
F	3470																																																																																									
G	3040																																																																																									
H	357																																																																																									
J	151																																																																																									
数字满幅: <table><tr><th>名称</th><th>FIR_LEN</th><th>ADC_DIV</th><th>PLL_FAST</th><th>MUX_DIV</th></tr><tr><td>A</td><td>0</td><td>0</td><td>0</td><td>3</td></tr><tr><td>B</td><td>1</td><td>0</td><td>0</td><td>2</td></tr><tr><td>C</td><td>0</td><td>0</td><td>1</td><td>11</td></tr><tr><td>D</td><td>1</td><td>0</td><td>1</td><td>6</td></tr><tr><td>E</td><td>2</td><td>0</td><td>1</td><td>4</td></tr><tr><td>F</td><td>0</td><td>1</td><td>0</td><td>2</td></tr><tr><td>G</td><td>0</td><td>1</td><td>1</td><td>6</td></tr><tr><td>H</td><td>1</td><td>1</td><td>1</td><td>3</td></tr><tr><td>J</td><td>2</td><td>1</td><td>1</td><td>2</td></tr></table>	名称	FIR_LEN	ADC_DIV	PLL_FAST	MUX_DIV	A	0	0	0	3	B	1	0	0	2	C	0	0	1	11	D	1	0	1	6	E	2	0	1	4	F	0	1	0	2	G	0	1	1	6	H	1	1	1	3	J	2	1	1	2			A: ± 91125 B: ± 778688 C: ± 103823 D: ± 884736 E: ± 2097152 F: ± 91125 G: ± 103823 H: ± 884736 J: ± 2097152	LSB																																				
名称	FIR_LEN	ADC_DIV	PLL_FAST	MUX_DIV																																																																																						
A	0	0	0	3																																																																																						
B	1	0	0	2																																																																																						
C	0	0	1	11																																																																																						
D	1	0	1	6																																																																																						
E	2	0	1	4																																																																																						
F	0	1	0	2																																																																																						
G	0	1	1	6																																																																																						
H	1	1	1	3																																																																																						
J	2	1	1	2																																																																																						

注:

1. 由设计保证, 非产品测试。
2. 除非特别说明, 以下测试条件适用于本表中的全部参数: $FIR_LEN[1:0]=1$, $VREF_DIS=0$, $PLL_FAST=1$, $ADC_DIV=0$, $MUX_DIV=6$, LSB 值不包括 CE 输入处的 9 位左移位。

6.4.16 IAP-IAN前置放大器

表 111. 前置放大器技术指标

参数	条件	最小值	典型值	最大值	单位
差分增益 $V_{in}=30mV$ 差分 $V_{in}=15mV$ 差分(参见注释 1)	$T_A=+25^{\circ}C$, $V3P3=3.3V$, $PRE_E=1$, $FIR_LEN=2$, $DIFF0_E=1$, 2520Hz 采样率	7.8 7.8	7.92 7.92	8.0 8.0	V/V V/V
增益与 $V3P3$ 的关系 $V_{in}=30mV$ 差分(参见注释 1)	$V3P3 =$ 2.97 V, 3.63 V	-100		100	ppm/%
增益随温度的变化关系 $V_{in}=30mV$ 差分(参见注释 1)	$T_A = -40^{\circ}C, 85^{\circ}C$	10	-25	-80	ppm/C
相移 $V_{in}=30mV$ 差分(参见注释 1)	$T_A=25^{\circ}C$, $V3P3=3.3V$	-6		6	m°
前置放大器输入电流 IADC0 IADC1	$PRE_E=1$, $FIR_LEN=2$, $DIFF0_E=1$ 2520Hz 采样率, IADC0=IADC1= $V3P3$	4 4	9 9	16 16	μA μA
前置放大器+ADC THD $V_{in}=30mV$ 差分 $V_{in}=15mV$ 差分	$T_A=25^{\circ}C$, $V3P3=3.3V$, $PRE_E=1$, $FIR_LEN=2$, $DIFF0_E=1$, 2520Hz 采样率		-82 -86		dB dB
前置放大器失调 IADC0=IADC1= $V3P3+30mV$ IADC0=IADC1= $V3P3+15mV$ IADC0=IADC1= $V3P3$ IADC0=IADC1= $V3P3-15mV$ IADC0=IADC1= $V3P3-30mV$	$T_A=25^{\circ}C$, $V3P3=3.3V$, $PRE_E=1$, $FIR_LEN=2$, $DIFF0_E=1$, 2520Hz 采样率		-0.63 -0.57 -0.56 -0.56 -0.55		mV mV mV mV mV
注:					
1. 由设计保证, 非产品测试。					

6.5 时序规格

6.5.1 闪存

表 112. 闪存时序指标

参数	条件	最小值	典型值	最大值	单位
FLASH 写循环	-40°C 至+85°C	20,000			循环
FLASH 数据保持	25°C 85°C	100 10			年
页或整体擦除之间的 FLASH 字节写				2	循环
写时间/字节				21	μs
页擦除(1024 字节)				21	ms
整体擦除				21	Ms

6.5.2 SPI从机

表 113. SPI 从机指标

参数	条件	最小值	典型值	最大值	单位
SPI 建立时间	SPI_DI 至 SPI_CK 上升	10			ns
SPI 保持时间	SPI_CK 上升至 SPI_DI	10			ns
SPI 输出延迟	SPI_CK 下降至 SPI_D0			40	ns
SPI 恢复时间	SPI_CSZ 下降至 SPI_CK	10			ns
SPI 断开时间	SPI_CK 至 SPI_CSZ 上升	15			ns
SPI 时钟高电平		40			ns
SPI 时钟低电平		40			ns
SPI 时钟频率	SPI 频率/MPU 频率			2.0	MHz/MHz
SPI 通信间隔	SPI_CSZ 上升至 SPI_CSZ 下降	4.5			MPU 周期

6.5.3 EEPROM接口

表 114. EEPROM 接口时序

参数	条件	最小值	典型值	最大值	单位
写时钟频率(I ² C)	CKMPU = 4.9 MHz, 使用中断		310		kHz
	CKMPU = 4.9 MHz, 逐位仿真: DIO2/3 PLL_FAST = 0		100		kHz
写时钟频率(3 线)	CKMPU = 4.9 MHz PLL_FAST = 0 PLL_FAST = 1		160 500		kHz

6.5.4 RESET引脚

表 115. RESET 引脚时序

参数	条件	最小值	典型值	最大值	单位
复位脉冲宽度		5			μs
复位脉冲下降时间(见注释 1)				1	μs
注： 1. 由设计保证，非产品测试。					

6.5.5 RTC

表 116. RTC 的日期范围

参数	条件	最小值	典型值	最大值	单位
日期范围		2000	-	2255	年

6.6 封装图

6.6.1 64 引脚LQFP封装图

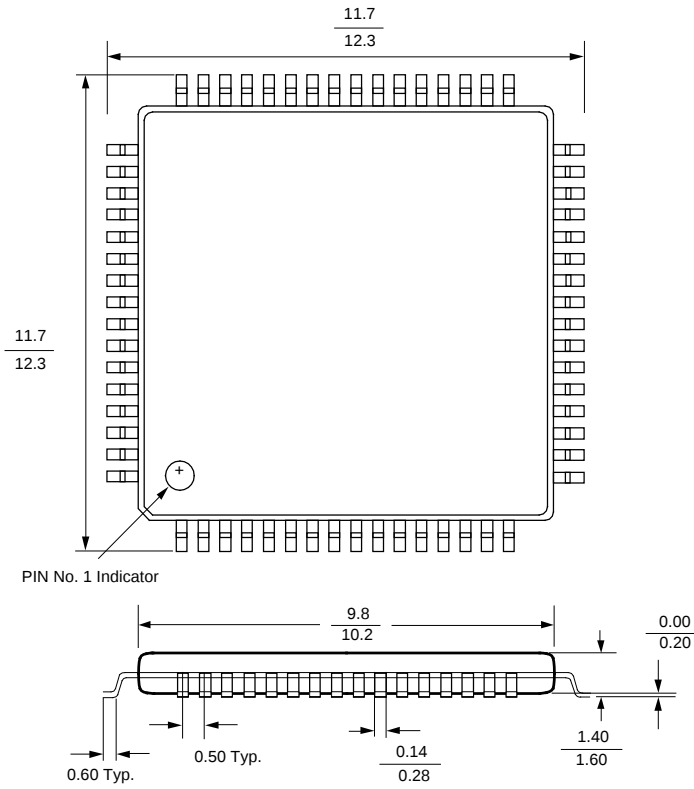


图 47. 64 引脚 LQFP 封装

6.6.2 100 引脚LQFP封装图

尺寸单位为 mm。

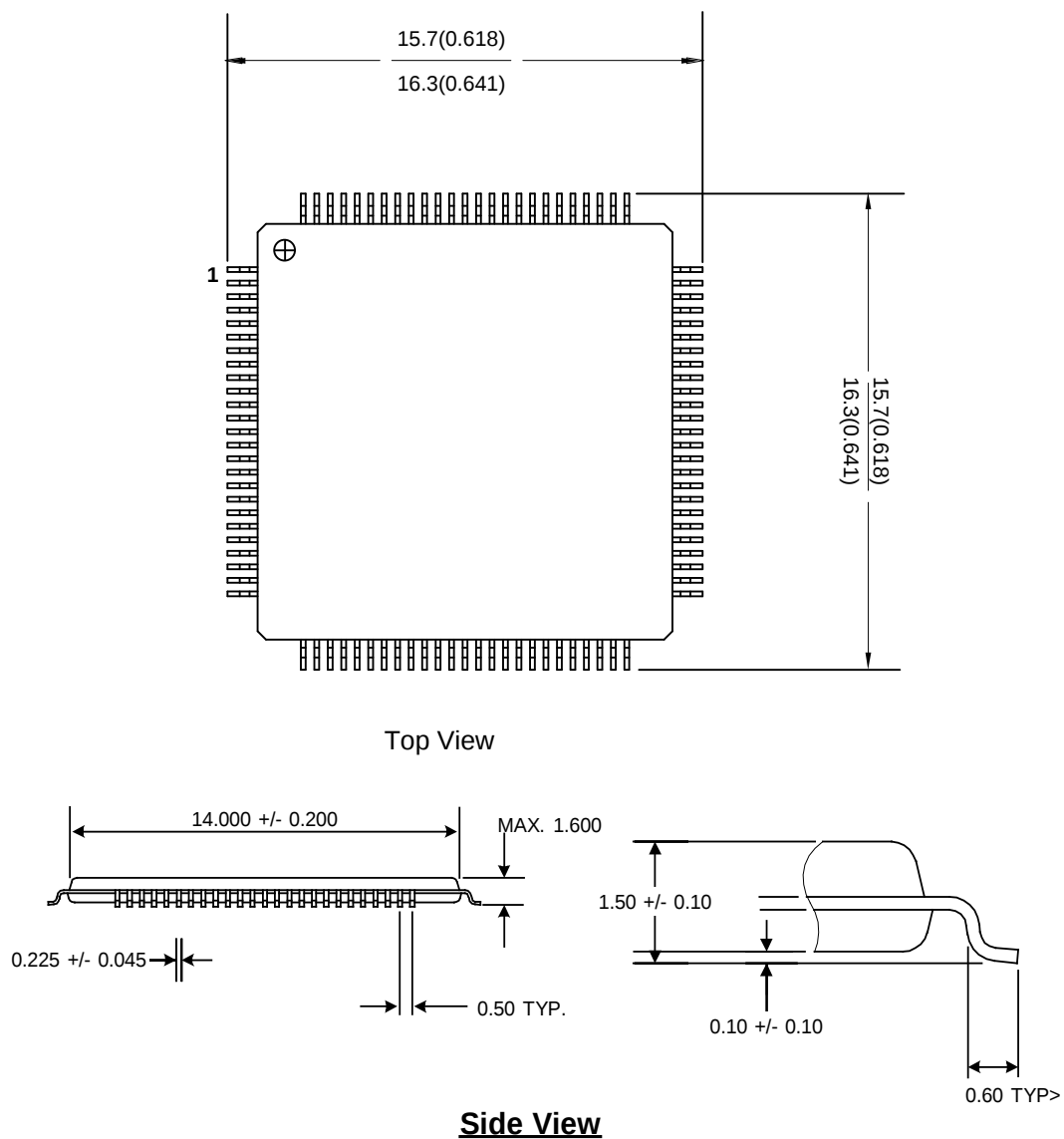


图 48. 100 引脚 LQFP 封装图

6.7 封装标识

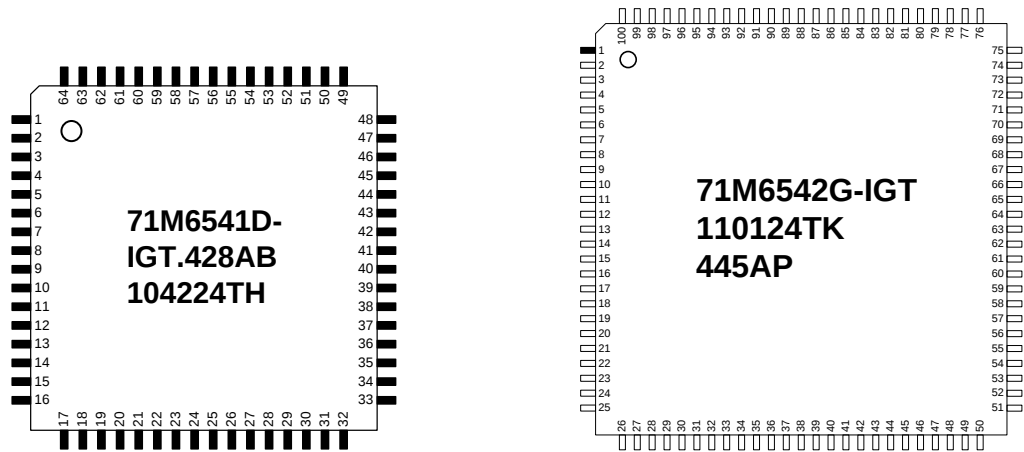


图 49. 封装标识(示例)

图 49 给出了 64 引脚和 100 引脚封装的标识示例。封装标识由三行文字组成，参见表 117 和表 118 的说明。

表 117. 71M6541 封装标识

行数	标识	说明
1	71M6541D-	器件型号('IGT'位于下一行) 参见表 122。
2	IGT.428AB	小数点右侧的五个字符(即 428AB)为批次代码。
3	104224TH	左侧前四个数字为生产年份和星期(YWW 格式)。此例中，日期代码为 1042，表示 2010 年第 42 个星期。 最后四个字符(即 24TH)保留为 Maxim 内部使用。

表 118. 71M6542 封装标识

行数	标识	说明
1	71M6542G-IGT	器件型号，参见表 122。
2	110124TK	左侧前四个数字为生产年份和星期(YWW 格式)。此例中，日期代码为 1101，表示 2011 年第 1 个星期。 最后四个字符(即 24TK)保留为 Maxim 内部使用。
3	445AP	五个字符表示批次代码。

6.8 引脚图

6.8.1 71M6541D/F/G LQFP-64 封装引脚排列

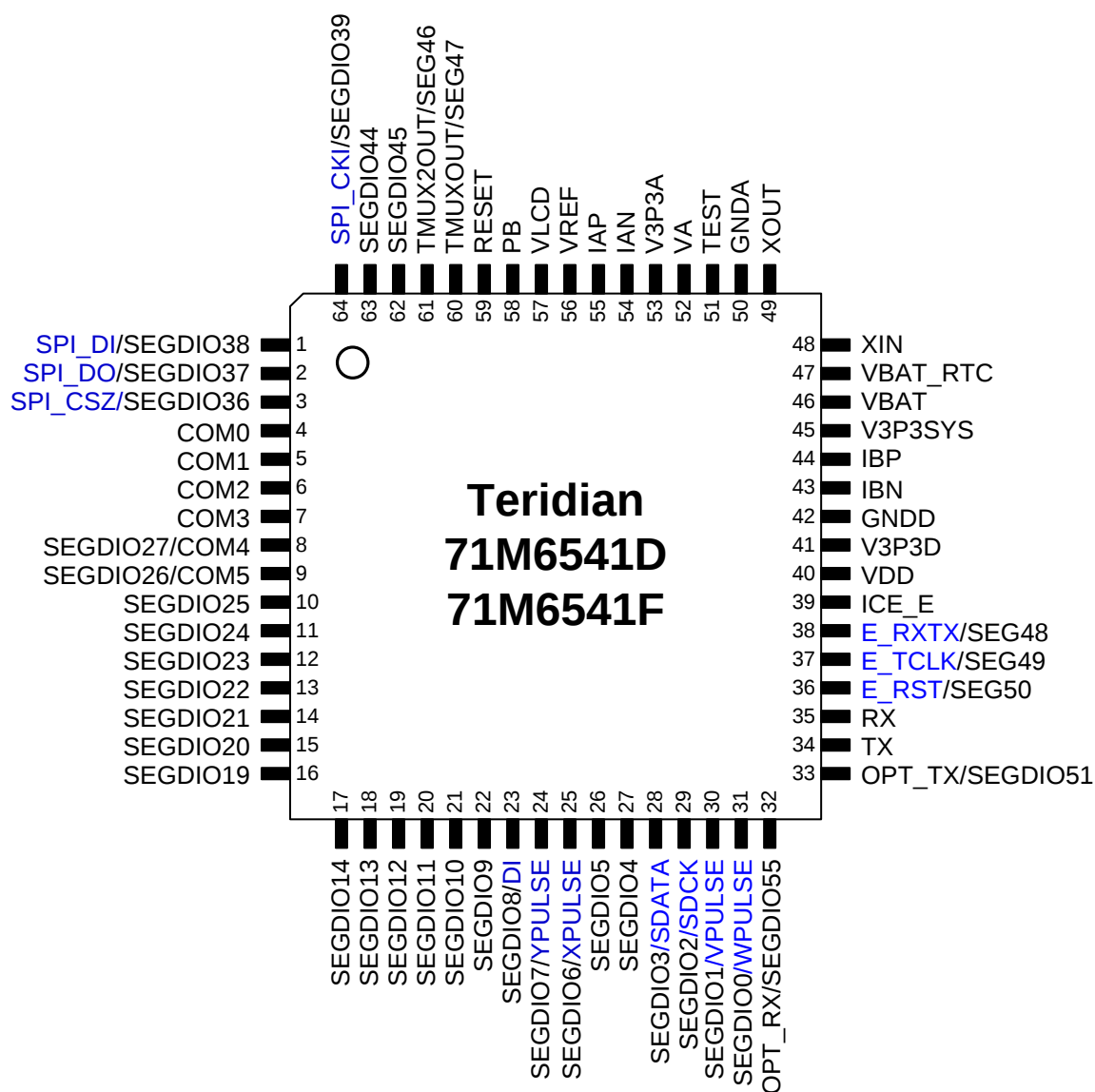


图 50. 71M6541D/F/G (LQFP-64 封装)引脚排列

6.8.2 71M6542F/G LQFP-100 封装引脚排列

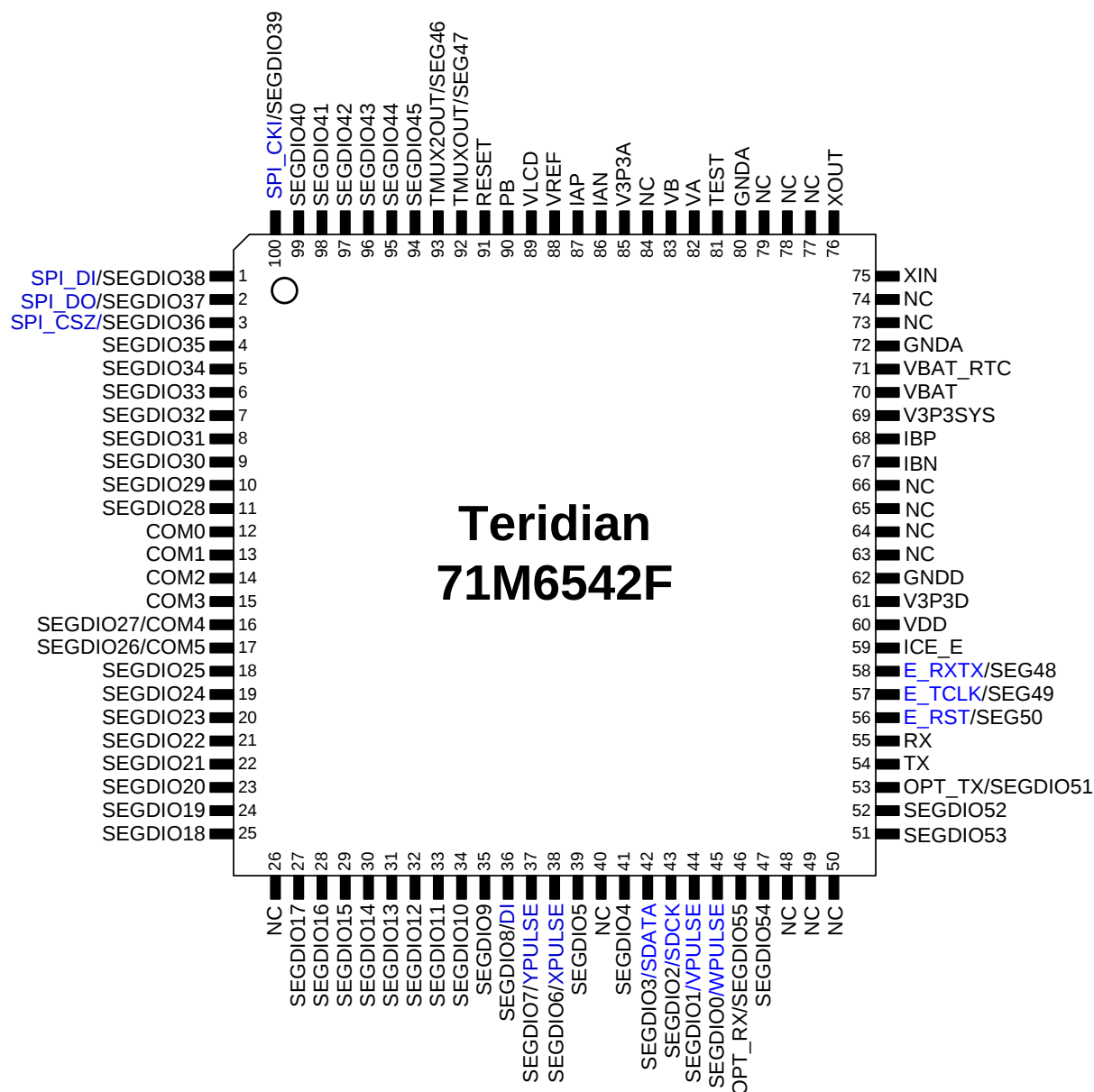


图 51. 71M6542F/G (LQFP-100 封装)引脚排列

6.9 引脚说明

6.9.1 电源和接地引脚

引脚类型：P = 电源，O = 输出，I = 输入，I/O = 输入/输出。

电路编号表示等效电路，如第 6.9.4 节的 I/O 等效电路。

表 119. 电源和接地引脚

引脚 (64 引脚)	引脚 (100 引脚)	名称	类型	电路	说明
50	72, 80	GNDA	P	—	模拟地：该引脚应直接连接至接地区域。
42	62	GNDD	P	—	数字地：该引脚应直接连接至接地区域。
53	85	V3P3A	P	—	模拟电源：将一路 3.3V 电源连接至该引脚。V3P3A 必须与 V3P3SYS 电压相同。
45	69	V3P3SYS	P	—	系统 3.3V 电源，该引脚连接至 3.3V 电源。
41	61	V3P3D	O	13	芯片辅助电压输出。MSN 模式下，该引脚通过内部选择开关连接至 V3P3SYS；BRN 模式下，内部连接至 VBAT；LCD 和休眠模式下，V3P3D 浮空。该引脚和地之间必须连接 0.1μF 旁路电容。
40	60	VDD	O	—	2.5V 稳压器输出。MSN 和 BRN 模式下，该引脚供电。在该引脚和地之间连接 0.1μF 旁路电容。
57	89	VLCD	O	—	LCD DAC 输出。在该引脚和地之间连接 0.1μF 旁路电容。
46	70	VBAT	P	12	备份电池引脚，支持电池模式(BRN、LCD)。VBAT 和 GNDD 之间连接电池或超级电容。如果未使用电池，将 VBAT 连接至 V3P3SYS。
47	71	VBAT_RTC	P	12	RTC 和振荡器电源。VBAT 和 GNDD 之间接电池或超级电容。如果未使用电池，将 VBAT_RTC 连接至 V3P3SYS。

6.9.2 模拟电路引脚

表 120. 模拟电路引脚

引脚 (64 引脚)	引脚 (100 引脚)	名称	类型	电路	说明
55 54 44 43	87 86 68 67	IAP- IAN IBP- IBN	I	6	差分或单端电网电流检测输入。这些引脚为电压输入，至内部 A/D 转换器。通常情况下，连接至电流传感器输出。未使用的引脚必须连接至 V3P3A。 IBP-IBN 可配置为与远端传感器接口(71M6x01)通信。 <i>RMT_E</i> = 1 (I/O RAM 0x2709[3])时，IBP-IBN 引脚变为平衡差分对。如果未使用，必须将 <i>RMT_E</i> 清 0，且 IBP-IBN 必须连接至 V3P3A。
52 --	82 83	VA VB [†]	I	6	电网电压检测输入：这些引脚为电压输入，送入内部 A/D 转换器。通常情况下，连接到电阻分压输出。未使用的引脚必须连接至 V3P3A。
56	88	VREF	O	9	ADC 电压基准。该引脚应保持浮空，同时将 VREF_CAL 清 0。
48 49	75 76	XIN XOUT	I O	8	晶振输入：在这些引脚之间应连接 32kHz 晶体。通常情况下，在 XIN 和 GNDA 之间连接 15pF 电容，在 XOUT 和 GNDA 之间连接 10pF 电容。将这些引脚之间的电容最小化非常重要，详细信息请参见晶体制造商的数据资料。如果使用外部时钟，应将 150mV (p-p)时钟信号加至 XIN，XOUT 应保持浮空。
[†] VB 引脚仅在 71M6542F/G 可用。					

6.9.3 数字电路引脚

表 121 列出了数字引脚。引脚类型：P = 电源，O = 输出，I = 输入，I/O = 输入/输出，N/C = 没有连接。
电路编号表示等效电路，如第 6.9.4 节的 I/O 等效电路。

表 121. 数字电路引脚

引脚 (64 引脚)	引脚 (100 引脚)	名称	类型	电路	功能
4-7	12-15	COM0-COM3	O	5	LCD 共用输出，这四个引脚为 LCD 显示提供选择信号。
31	45	SEGDI00/WPULSE	I/O	3, 4, 5	多功能引脚，配置为 LCD 段驱动器或 DIO。复用功能引脚 (需要配置相关 I/O RAM 寄存器启用): SEGDI00 = WPULSE SEGDI01 = VPULSE SEGDI02 = SDCK SEGDI03 = SDATA SEGDI06 = XPULSE SEGDI07 = YPULSE SEGDI08 = DI 未使用的引脚必须配置为输出或端接至 V3P3/GNDD。
30	44	SEGDI01/VPULSE			
29	43	SEGDI02/SDCK			
28	42	SEGDI03/SDATA			
27	41	SEGDI04			
26	39	SEGDI05			
25	38	SEGDI06/XPULSE			
24	37	SEGDI07/YPULSE			
23	36	SEGDI08/DI			
22-17	35-30	SEGDI0[9:14]			
--	29-27	SEGDI0[15:17]			
--	25	SEGDI0[18]			
16-10	24-18	SEGDI0[19:25]			
--	11-4	SEGDI0[28:35]			
63-62	95-94	SEGDI0[44:45]			
--	99-96	SEGDI0[40:43]			
--	52	SEGDI052			
--	51	SEGDI053			
--	47	SEGDI054			
9	17	SEGDI026/COM5	I/O	3, 4, 5	多功能引脚，配置为 LCD 段驱动器或第二功能 DIO (LCD 共用驱动器)。
8	16	SEGDI027/COM4			
3	3	SPI_CSZ/SEGDI036	I/O	3, 4, 5	多功能引脚，配置为 LCD 段驱动器或第二功能 DIO (SPI 接口)。
2	2	SPI_DO/SEGDI037			
1	1	SPI_DI/SEGDI038			
64	100	SPI_CK/SEGDI039			
33	53	OPT_TX/SEGDI051	I/O	3, 4, 5	多功能引脚，配置为 LCD 段驱动器或第二功能 DIO (光端口/UART1)。
32	46	OPT_RX/SEGDI055			
38	58	E_RXTX/SEG48	I/O	1, 4, 5	多功能引脚，配置为仿真端口(ICE_E 拉高时)或 LCD 段驱动器(ICE_E 接 GND)。
36	56	E_RST/SEG50			
37	57	E_TCLK/SEG49	O	4, 5	

引脚 (64 引脚)	引脚 (100 引脚)	名称	类型	电路	功能
39	59	ICE_E	I	2	CE 使能。为低电平时，E_RST、E_TCLK 和 E_RXTX 分别变为 SEG50、SEG49 和 SEG48。对于生产单元，该引脚应拉低至 GND，禁用仿真端口。
60	92	TMUXOUT/SEG47	O	4, 5	多功能引脚。配置为复用器/时钟输出或 LCD 段驱动器(使用 I/O RAM 寄存器)。
61	93	TMUX2OUT/SEG46			
59	91	RESET	I	2	芯片复位引脚，高有效。该输入引脚用于将芯片复位至已知状态。为正常工作，该引脚拉低。该引脚具有内部 30μA (标称值)电流源拉低。无需外部复位电路。
35	55	RX	I	3	UART0 输入。如果不使用该引脚，必须将其端接至 V3P3D 或 GNDD。
34	54	TX	O	4	UART0 输出。
51	81	TEST	I	7	芯片生产测试引脚，正常工作时，该引脚必须接地。
58	90	PB	I	3	按键输入。不使用时接地。上升沿置位 WF_PB 标识。如果器件处于 SLP 或 LCD 模式，亦使器件唤醒。PB 没有内部上拉或下拉电阻。
--	26, 40, 48, 49, 50, 63, 64, 65, 66, 73, 74, 77, 78, 79, 84	NC	N/C	—	未连接。请勿连接该引脚。

6.9.4 I/O等效电路

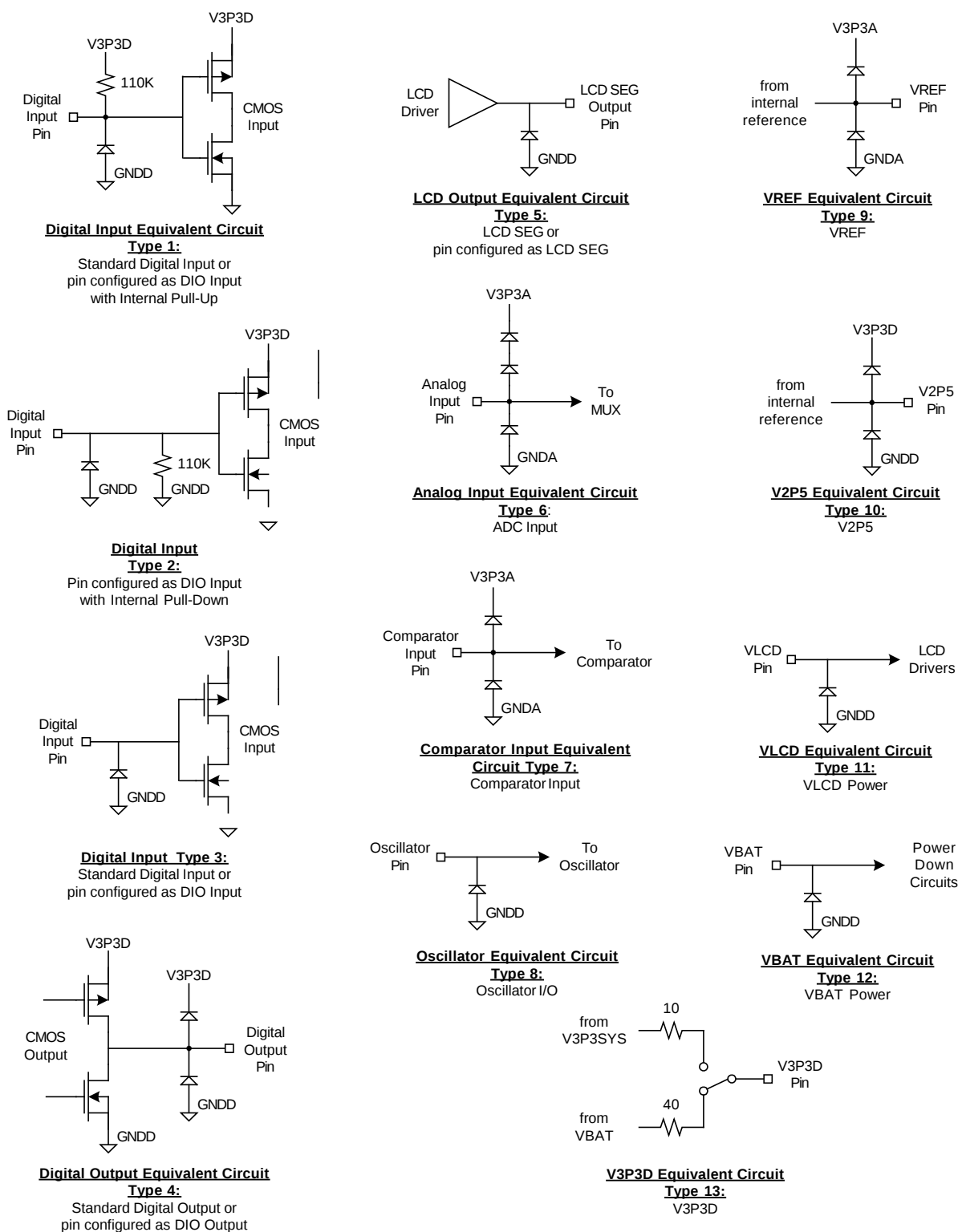


图 52. I/O 等效电路

7 订购信息

7.1 71M6541D/F/G和 71M6542F/G

表 122. 订购信息

器件	器件说明 (封装, 精度)	FLASH 大小	封装	型号	封装标记
71M6541D	64-pin LQFP Lead-Free, 0.5%	32 KB	bulk	71M6541D-IGT/F	71M6541D-IGT
71M6541D	64-pin LQFP Lead-Free, 0.5%	32 KB	tape and reel	71M6541D-IGTR/F	71M6541D-IGT
71M6541F	64-pin LQFP Lead-Free, 0.5%	64 KB	bulk	71M6541F-IGT/F	71M6541F-IGT
71M6541F	64-pin LQFP Lead-Free, 0.5%	64 KB	tape and reel	71M6541F-IGTR/F	71M6541F-IGT
71M6541G*	64-pin LQFP Lead-Free, 0.5%	128 KB	bulk	71M6541G-IGT/F	71M6541G-IGT
71M6541G*	64-pin LQFP Lead-Free, 0.5%	128 KB	tape and reel	71M6541G-IGTR/F	71M6541G-IGT
71M6542F	100-pin LQFP Lead-Free, 0.5%	64 KB	bulk	71M6542F-IGT/F	71M6542F-IGT
71M6542F	100-pin LQFP Lead-Free, 0.5%	64 KB	tape and reel	71M6542F-IGTR/F	71M6542F-IGT
71M6542G	100-pin LQFP Lead-Free, 0.5%	128 KB	bulk	71M6542G-IGT/F	71M6542G-IGT
71M6542G	100-pin LQFP Lead-Free, 0.5%	128 KB	tape and reel	71M6542G-IGTR/F	71M6542G-IGT

* 未来产品—供货状况请与工厂联系。

8 相关信息

用户需使用以下与 71M6541D/F/G 和 71M6542F/G 相关的文档:

- 71M6541D/F/G 和 71M6542F/G 数据资料(本文档)
- 71M6xxx 数据资料
- 71M6541 演示板用户手册
- 71M654x 软件用户指南

9 联络信息

关于 Maxim 产品的更多信息, 或了解 71M6541D/F/G 和 71M6542F/G 供货状况, 请联系技术支持:
<http://www.maxim-ic.com/cn/support>。

附录A：缩写符号

AFE	模拟前端
AMR	自动抄表
ANSI	美国国家标准学会
CE	计算引擎
DIO	数字 I/O
DSP	数字信号处理器
FIR	有限冲激响应
I ² C	内部 IC 总线
ICE	在线仿真器
IEC	国际电工委员会
MPU	微处理器单元(CPU)
PLL	锁相环
RMS	均方根
SFR	特殊功能寄存器
SOC	片上系统
SPI	串行外设接口
TOU	分时计费
UART	通用异步收发器

附录B：修订历史

修订号	修订日期	说明	修改页
1.0	3/11	最初版本。	—
1.1	4/11	删除了 <i>特性</i> 部分关于休眠模式下 3.3V 典型功耗为 18mW 的信息。	1
		更新表 99 中的温度测量公式和温度误差参数。	141
2	11/11	将 71M6542G 的状态改为生产中(表 122)。 在全文的适当位置增加了 71M6541G/2G 内容。 在奇数页和偶数页补充加入了数据资料标题页眉。 更正了之前 v1.1 版本中的错误(参见修改页)。 在第 155 页增加了 6.7 一节。	1, 9, 10, 27, 49, 54, 56, 62, 97, 120

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2011 Maxim Integrated Products

MAXIM 是 Maxim Integrated Products 的注册商标。