深圳市润百信科技有限公司 0755-82535266 ADI优质供应商

16 通道 DAS，内置 16 位、双极性输入、双路同步采样 ADC

数据手册

AD7616

产品特性

16 通道、双路、同步采样输入
可独立选择的通道输入范围
真双极性：±10 V、±5 V、±2.5 V
5 V 单模拟电源，V_{DRIVE} 电源电压：2.3 V 至 3.6 V
完全集成的数据采集解决方案
模拟输入箝位保护
具有 1 MΩ 模拟输入阻抗的输入缓冲器
一阶抗混叠模拟滤波器
片内精密基准电压及基准电压缓冲器
双通道 16 位逐次逼近型寄存器（SAR)ADC
吞吐速率：2×1 MSPS
通过数字滤波器提供过采样功能
灵活的序列器，支持突发模式
灵活的并行/串行接口
SPI/QSPI/MICROWIRE/DSP 兼容
可选循环冗余校验（CRC）错误检查
硬件/软件配置
性能
信噪比（SNR)：92 dB（500 kSPS、2 倍过采样）
信噪比（SNR)：90.5 dB (1 MSPS)
总谐波失真（THD)：−103 dB
±1 LSB INL（典型值)，±0.99 LSB DNL（最大值）
模拟输入通道提供 8 kV ESD 额定值
片内自检测功能
80 引脚 LQFP 封装

应用

电力线路监控
保护继电器
多相电机控制
仪器仪表和控制系统
数据采集系统（DAS)

概述

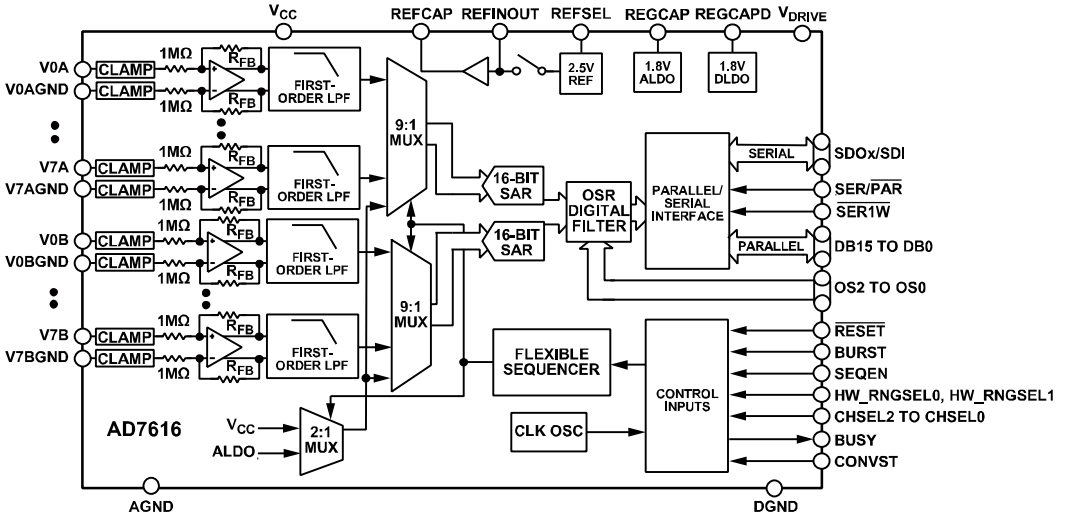
AD7616 是一款 16 位 DAS，支持对 16 个通道进行双路同步采样。AD7616 采用 5 V 单电源供电，可以处理±10 V、±5 V 和±2.5 V 真双极性输入信号，同时每对通道均能以高达 1 MSPS 的吞吐速率和 90.5 dB SNR 采样。利用片内过采样模式可实现更高的 SNR 性能（过采样率（OSR）为 2 时，SNR 为 92 dB)。

输入箝位保护电路可以耐受高达±21 V 的电压。无论以何种采样频率工作，AD7616 的模拟输入阻抗均为 1 MΩ。它采用单电源工作方式，具有片内滤波和高输入阻抗，因此无需驱动运算放大器和外部双极性电源。

该器件均内置模拟输入箝位保护、一个双路 16 位电荷再分配 SAR 模数转换器（ADC)、一个灵活的数字滤波器、2.5 V 基准电压源和基准电压缓冲器以及高速串行和并行接口。

AD7616 兼容串行外设接口（SPI)/QSPI/DSP/MICROWIRE。

功能框图



NOTES
1. MULTIFUNCTION PINS, SUCH AS DB15/OS2, ARE REFERRED TO BY A SINGLE FUNCTION OF THE PIN, FOR EXAMPLE, DB15, WHEN ONLY THAT FUNCTION IS RELEVANT. REFER TO THE PIN CONFIGURATION AND FUNCTION DESCRIPTIONS SECTION FOR MORE INFORMATION.

图 1.

Rev. 0 **Document Feedback**

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 **©2016 Analog Devices, Inc. All rights reserved.**
Technical Support **www.analog.com/cn**

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考 ADI 提供的最新英文版数据手册。

AD7616*产品页面快速链接

内容最后更新日期：2017/2/23

类似器件

查看类似器件的参数搜索。

评估套件

- AD7616评估板

文档

应用笔记

- AN-1409：利用AD7616灵活的序列器和突发模式实现准同步采样

数据手册

- AD7616：16通道DAS，内置16位、双极性输入、双路同步采样ADC数据手册

产品特色

- AD7616数据采集系统

用户指南

- UG-1012：评估AD7616——16通道DAS，内置16位、双极性输入、双路同步采样ADC

软件与系统要求

- AD7616 No-OS/HDL驱动程序

工具和仿真

- AD7616 IBIS模型

参考资料

新闻

- 数据采集系统在保护智能电网设备免受有害故障损坏的同时改善电力输送

设计资源

- AD7616材料声明
- PCN-PDN信息
- 质量和可靠性
- 符号和尺寸

讨论

查看在线技术支持论坛上关于AD7616的所有讨论。

申请样片与购买

访问产品页面以查看定价。

技术支持

提交技术问题或查找所在区域的技术支持电话号码。

文件反馈

提交对本数据手册的反馈。

此页由ADI公司动态产生并插入本数据手册。此页内容的动态变更不会引起产品数据手册版本号或内容的变更。此动态页面可能会经常改变。

目录

产品特性 1
应用 1
概述 1
功能框图 1
修订历史 2
技术规格 3
时序规格 6
并行模式时序规格 8
串行模式时序规格 9
绝对最大额定值 10
热阻 10
ESD警告 10
引脚配置和功能描述 11
典型性能参数 15
术语 21
工作原理 23
转换器详解 23
模拟输入 23
ADC传递函数 24
内部/外部基准电压源 24
关断模式 25
数字滤波器 25
应用信息 26
功能概述 26
器件配置 28
工作模式 28
内部/外部基准电压源 28
数字接口 28
硬件模式 28
软件模式 29
复位功能 29
引脚功能概览 30
数字接口 31
通道选择 31
并行接口 32
串行接口 33
序列器 35
硬件模式序列器 35
软件模式序列器 35
突发序列器 36
诊断 38
诊断通道 38
接口自测 38
CRC 38
寄存器汇总 40
寻址寄存器 41
配置寄存器 42
通道寄存器 43
输入范围寄存器 44
输入范围寄存器A1 44
输入范围寄存器A2 45
输入范围寄存器B1 46
输入范围寄存器B2 47
序列器堆栈寄存器 48
状态寄存器 49
外形尺寸 50
订购指南 50

修订历史

2016年10月—修订版0：初始版

技术规格

除非另有说明，V_{REF} = 2.5 V外部/内部基准电压，V_{CC} = 4.75 V至5.25 V，V_{DRIVE} = 2.3 V至3.6 V，f_{SAMPLE} = 1 MSPS，T_A = −40°C至+125°C。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	f_{IN} = 1 kHz 正弦波，除非另有说明				
信噪比（SNR）[1, 2]	无过采样，±10 V 范围	89	90.5		dB
	OSR = 2，±10 V 范围 [3]，f_{SAMPLE} = 500 kSPS		92		dB
	OSR = 4，±10 V 范围 [3]		93		dB
	无过采样，±5 V 范围	88	89.5		dB
	无过采样，±2.5 V 范围	85.5	87		dB
信纳比（SINAD）[1]	无过采样，±10 V 范围	88.5	90		dB
	无过采样，±5 V 范围	87.5	89		dB
	无过采样，±2.5 V 范围	85	87		dB
动态范围	无过采样，±10 V 范围		92		dB
	无过采样，±5 V 范围		90.5		dB
	无过采样，±2.5 V 范围		88		dB
总谐波失真（THD）[1]	无过采样，±10 V 范围		−103	−93.5	dB
	无过采样，±5 V 范围		−100		dB
	无过采样，±2.5 V 范围		−97		dB
峰值谐波或杂散噪声[1]			−103		dB
交调失真（IMD）[1]	fa = 1 kHz，fb = 1.1 kHz				
二阶项			−105		dB
三阶项			−113		dB
通道间隔离[1]	未选中通道的f_{IN}最高可达5 kHz		−106		dB
模拟输入滤波器					
全功率带宽	−3 dB，±10 V 范围		39		kHz
	−3 dB，±5 V/2.5 V 范围		33		kHz
	−0.1 dB		5.5		kHz
相位延迟[3]	±10 V 范围		4.4	6	µs
	±5 V 范围		5		µs
	±2.5 V 范围		4.9		µs
相位延迟漂移[3]	±10 V 范围		±0.55	5	ns/°C
相位延迟匹配（双路同步对）[3]	±10 V 范围		4.4	100	ns
	±5 V 范围		4.7		ns
	±2.5 V 范围		4.1		ns
直流精度					
分辨率	无失码	16			Bits
差分非线性（DNL）[1]			±0.5	±0.99	LSB[4]
积分非线性（INL）[1]			±1	±2	LSB
总不可调整误差（TUE）	±10 V 范围		±6		LSB
	±5 V 范围		±8		LSB
	±2.5 V 范围		±10		LSB
正满量程误差[5]					
外部基准电压源	±10 V 范围		±5	±32	LSB
	±5 V 范围		± 4		LSB
	±2.5 V 范围		± 2		LSB
内部基准电压源					
	±10 V范围		±5		LSB

参数	测试条件/注释	最小值	典型值	最大值	单位
正满量程（PFS）误差漂移[3]	外部基准电压源		±2	±5	ppm/°C
	内部基准电压源		±3	±10	ppm/°C
正满量程误差匹配[1]	±10 V 范围		3	11	LSB
	±5 V 范围		4		LSB
	±2.5 V 范围		8		LSB
双极性零代码误差[1]	±10 V 范围		±0.8	±8	LSB
	±5 V 范围		±1	±10	LSB
	±2.5 V 范围		±3	±15	LSB
双极性零代码误差漂移[3]	±10 V 范围		±1.3	±20.4	μV/°C
	±5 V 范围		±0.9		μV/°C
	±2.5 V 范围		±0.5		μV/°C
双极性零代码误差匹配	±10 V 范围		±2	±10	LSB
	±5 V 范围		±3		LSB
	±2.5 V 范围		±3		LSB
负满量程（NFS）误差[1, 5]	外部基准电压源				
	±10 V 范围		±4	±32	LSB
	±5 V 范围		±3		LSB
	±2.5 V 范围		±6		LSB
	内部基准电压源				
	±10 V 范围		±3	±5	LSB
负满量程误差漂移[3]	外部基准电压源		±2		ppm/°C
	内部基准电压源		±4	12	ppm/°C
负满量程误差匹配[1]	±10 V 范围		4		LSB
	±5 V 范围		4		LSB
	±2.5 V 范围		8		LSB
模拟输入					
输入电压范围	软件/硬件可选			±10	V
	软件/硬件可选			±5	V
	软件/硬件可选			±2.5	V
模拟输入电流	±10 V 范围，见图 34		±10.5		μA
	±5 V 范围，见图 34		±6.5		μA
	±2.5 V 范围，见图 34		±4		μA
输入电容[6]			10		pF
输入阻抗	见“模拟输入”部分	0.85	1		MΩ
输入阻抗漂移[3]				25	ppm/°C
基准电压输入/输出					
基准输入电压范围	见“ADC 传递函数”部分	2.495	2.5	2.505	V
直流漏电流				±1	μA
输入电容[6]	REFSEL = 1		7.5		pF
基准输出电压	REFINOUT	2.495		2.505	V
基准源温度系数[3]			±2	±15	ppm/°C
逻辑输入					
输入电压					
高（V_{INH}）	V_{DRIVE} = 2.7 V 至 3.6 V	2			V
	V_{DRIVE} = 2.3 V 至 2.7 V	1.7			V
低（V_{INL}）	V_{DRIVE} = 2.7 V 至 3.6 V			0.8	V
	V_{DRIVE} = 2.3 V 至 2.7 V			0.7	V
输入电流（I_{IN}）				±1	μA
输入电容（C_{IN}）[6]			5		pF

参数	测试条件/注释	最小值	典型值	最大值	单位
逻辑输出					
输出电压					
高（V_{OH}）	I_{SOURCE} = 100 µA	V_{DRIVE} − 0.2			V
低（V_{OL}）	I_{SINK} = 100 µA			0.4	V
悬空态漏电流			±0.005	±1	µA
悬空态输出电容[6]			5		pF
输出编码	二进制补码				
转换速率					
转换时间	每对通道		0.5		µs
采集时间	每对通道		0.5		µs
吞吐速率	每对通道			1	MSPS
电源要求					
V_{CC}		4.75		5.25	V
V_{DRIVE}		2.3		3.6	V
I_{VCC}					
正常模式					
静态			37	57	mA
工作	f_{SAMPLE} = 1 MSPS		42	65	mA
关断模式			28		µA
I_{DRIVE}	数字输入 = 0 V 或 V_{DRIVE}				
正常模式					
静态			0.3	0.75	mA
工作	f_{SAMPLE} = 1 MSPS		7	8	mA
关断模式			50		µA
功耗					
正常模式					
静态			185	300	mW
工作	f_{SAMPLE} = 1 MSPS		230	350	mW
关断模式			0.75		mW

[1] 参见“术语”部分。

[2] 通过使能过采样，用户可实现93 dB SNR。这些值对手动模式有效。在突发模式下，这些值要降低大约1 dB。

[3] 未经生产测试。样片在初次发布期间均经过测试，以确保符合标准要求。

[4] LSB表示最低有效位。±2.5 V输入范围时，1 LSB = 76.293 µV。±5 V输入范围时，1 LSB = 152.58 µV。±10 V输入范围时，1 LSB = 305.175 µV。

[5] 内部基准源的正负满量程误差不包括基准源误差。

[6] 仿真数据支持。

时序规格

通用时序规格

除非另有说明，V_{CC} = 4.75 V至5.25 V，V_{DRIVE} = 2.3 V至3.6 V，V_{REF} = 2.5 V外部/内部基准电压，T_A = −40°C至+125°C。接口时序利用30 pF负载电容进行测试，取决于V_{DRIVE}和串行接口的负载电容（参见表14）。

表2.

参数[1]	最小值	典型值	最大值	单位	描述
t_{CYCLE}	1			µs	连续 CONVST 上升沿之间的最短时间（不包括突发和过采样模式）
t_{CONV_LOW}	50			ns	CONVST 低电平脉冲宽度
t_{CONV_HIGH}	50			ns	CONVST 高电平脉冲宽度
t_{BUSY_DELAY}			32	ns	CONVST 高电平到 BUSY 高电平（手动模式）
t_{CS_SETUP}	20			ns	BUSY下降沿到$\overline{CS}$下降沿建立时间
t_{CH_SETUP}	50			ns	硬件模式下 CHSELx 的通道选择建立时间
t_{CH_HOLD}	20			ns	硬件模式下 CHSELx 的通道选择保持时间
t_{CONV}		475	520	ns	选定通道对的转换时间
t_{ACQ}	480			ns	选定通道对的采集时间
t_{QUIET}	50			ns	$\overline{CS}$ 上升沿到下一CONVST上升沿
$t_{\overline{RESET}_LOW}$					
部分复位	40		500	ns	部分$\overline{RESET}$低电平脉冲宽度
完全复位	1.2			µs	完全$\overline{RESET}$低电平脉冲宽度
t_{DEVICE_SETUP}					
部分复位	50			ns	部分$\overline{RESET}$高电平到CONVST上升沿之间的时间
完全复位	15			ms	完全$\overline{RESET}$高电平到CONVST上升沿之间的时间
t_{WRITE}					
部分复位	50			ns	对于写操作，部分$\overline{RESET}$高电平到$\overline{CS}$之间的时间
完全复位	240			µs	对于写操作，完全$\overline{RESET}$高电平到$\overline{CS}$之间的时间
$t_{\overline{RESET}_WAIT}$	1			ms	稳定V_{CC}/V_{DRIVE}到$\overline{RESET}$释放之间的时间（见图 50）
$t_{\overline{RESET}_SETUP}$					$\overline{RESET}$释放之前被查询的硬件输入必须保持稳定的时间（见图 50）
部分复位	10			ns	
完全复位	0.05			ms	
$t_{\overline{RESET}_HOLD}$					$\overline{RESET}$释放之后被查询的硬件输入必须保持稳定的时间（见图50）
部分复位	10			ns	
完全复位	0.24			ms	

[1] 未经生产测试。样片在初次发布期间均经过测试，以确保符合标准要求。

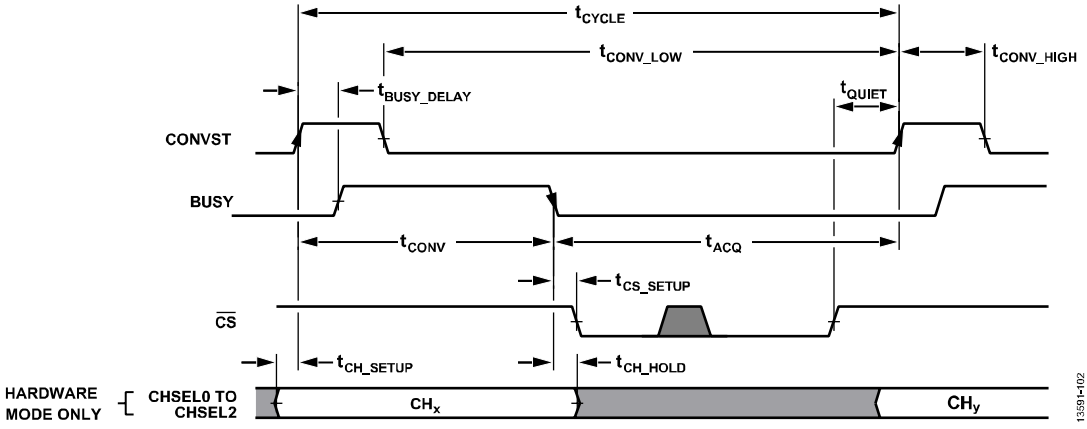


图2. 所有接口的通用时序图

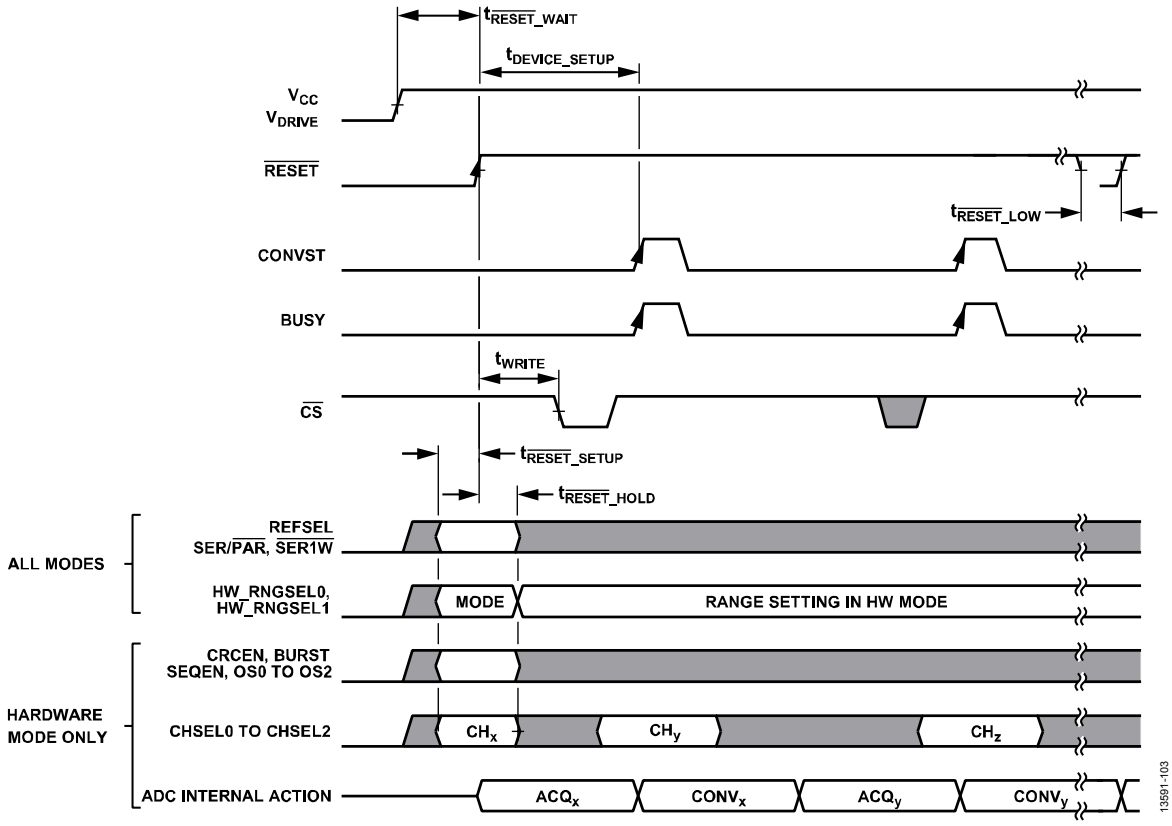

$t_{\overline{RESET}_WAIT}$
t_{DEVICE_SETUP}
V_{CC}
V_{DRIVE}
$\overline{RESET}$
$t_{\overline{RESET}_LOW}$
CONVST
BUSY
t_{WRITE}
$\overline{CS}$
$t_{\overline{RESET}_SETUP}$
$t_{\overline{RESET}_HOLD}$
ALL MODES
REFSEL
SER/$\overline{PAR}$, $\overline{SER1W}$
HW_RNGSEL0,
HW_RNGSEL1
MODE
RANGE SETTING IN HW MODE
HARDWARE
MODE ONLY
CRCEN, BURST
SEQEN, OS0 TO OS2
CHSEL0 TO CHSEL2
CH_x
CH_y
CH_z
ADC INTERNAL ACTION
ACQ_x
$CONV_x$
ACQ_y
$CONV_y$
13591-103

图3. 复位时序

并行模式时序规格

表3.

参数	最小值	典型值	最大值	单位	描述
$t_{\overline{RD}_SETUP}$	10			ns	$\overline{CS}$ 下降沿到$\overline{RD}$下降沿建立时间
$t_{\overline{RD}_HOLD}$	10			ns	$\overline{RD}$ 上升沿到$\overline{CS}$上升沿保持时间
$t_{\overline{RD}_HIGH}$	10			ns	$\overline{RD}$ 高电平脉冲宽度
$t_{\overline{RD}_LOW}$	30			ns	$\overline{RD}$ 低电平脉冲宽度
t_{DOUT_SETUP}			30	ns	下降沿后的数据访问时间 $\overline{RD}$
t_{DOUT_3STATE}			11	ns	$\overline{CS}$ 上升沿到DBx高阻抗状态
$t_{\overline{WR}_SETUP}$	10			ns	$\overline{CS}$ 到$\overline{WR}$建立时间
$t_{\overline{WR}_HIGH}$	20			ns	$\overline{WR}$ 高电平脉冲宽度
$t_{\overline{WR}_LOW}$	30			ns	$\overline{WR}$ 低电平脉冲宽度
$t_{\overline{WR}_HOLD}$	10			ns	$\overline{WR}$ 保持时间
t_{DIN_SETUP}	30			ns	配置数据到$\overline{WR}$建立时间
t_{DIN_HOLD}	10			ns	配置数据到$\overline{WR}$保持时间
t_{CONF_SETTLE}	20			ns	配置数据稳定时间，$\overline{WR}$上升沿到CONVST上升沿

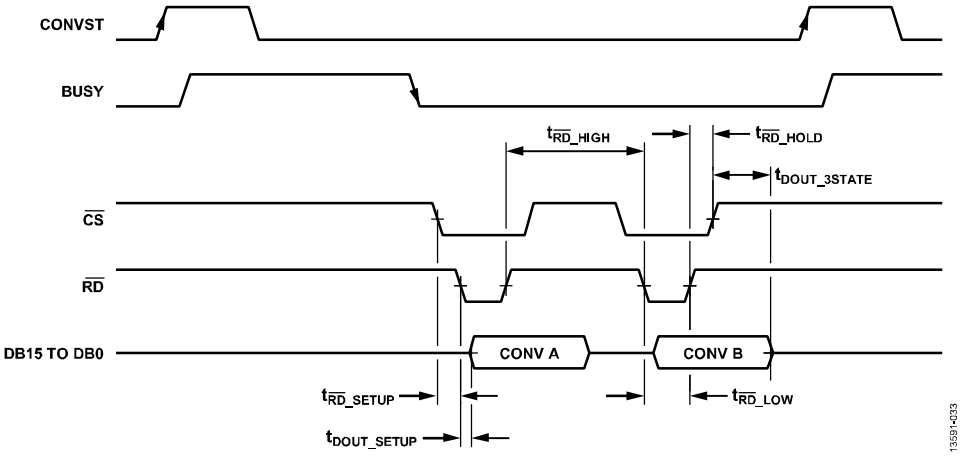


图4. 并行读取时序图

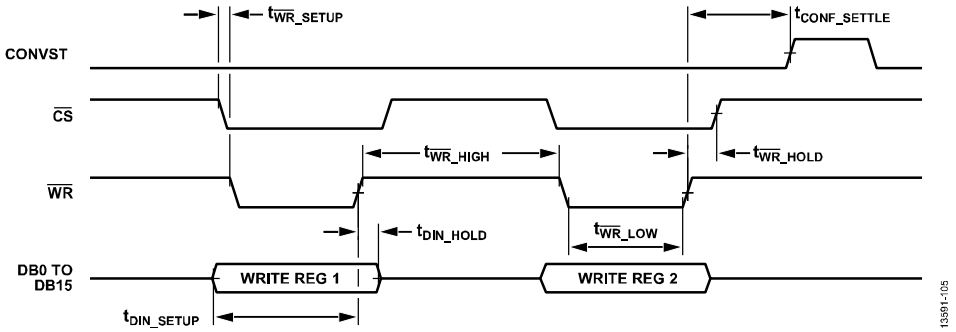


图5. 并行写入时序图

串行模式时序规格

表4.

参数	最小值	典型值	最大值	单位	描述
f_{SCLK}[1]			40/50	MHz	SCLK 频率
t_{SCLK}	$1/f_{SCLK}$				最短 SCLK 周期
t_{SCLK_SETUP}[1]	10.5			ns	$\overline{CS}$ 到SCLK下降沿建立时间，V_{DRIVE}高于 3 V
	13.5			ns	$\overline{CS}$ 到SCLK下降沿建立时间，V_{DRIVE}高于 2.3 V
t_{SCLK_HOLD}	10			ns	SCLK到$\overline{CS}$上升沿保持时间
t_{SCLK_LOW}	8			ns	SCLK 低电平脉宽
t_{SCLK_HIGH}	9			ns	SCLK 高电平脉宽
t_{DOUT_SETUP}[1]			9	ns	SCLK 上升沿后的数据输出访问时间，V_{DRIVE} 高于 3 V
			11	ns	SCLK 上升沿后的数据输出访问时间，V_{DRIVE} 高于 2.3 V
t_{DOUT_HOLD}	4			ns	SCLK 上升沿后的数据输出保持时间
t_{DIN_SETUP}	10			ns	SCLK 下降沿前的数据输入建立时间
t_{DIN_HOLD}	8			ns	SCLK 下降沿后的数据输入保持时间
t_{DOUT_3STATE}			10	ns	$\overline{CS}$ 上升沿到SDOx高阻抗状态

[1] 取决于V_{DRIVE}和负载电容（见表14）。

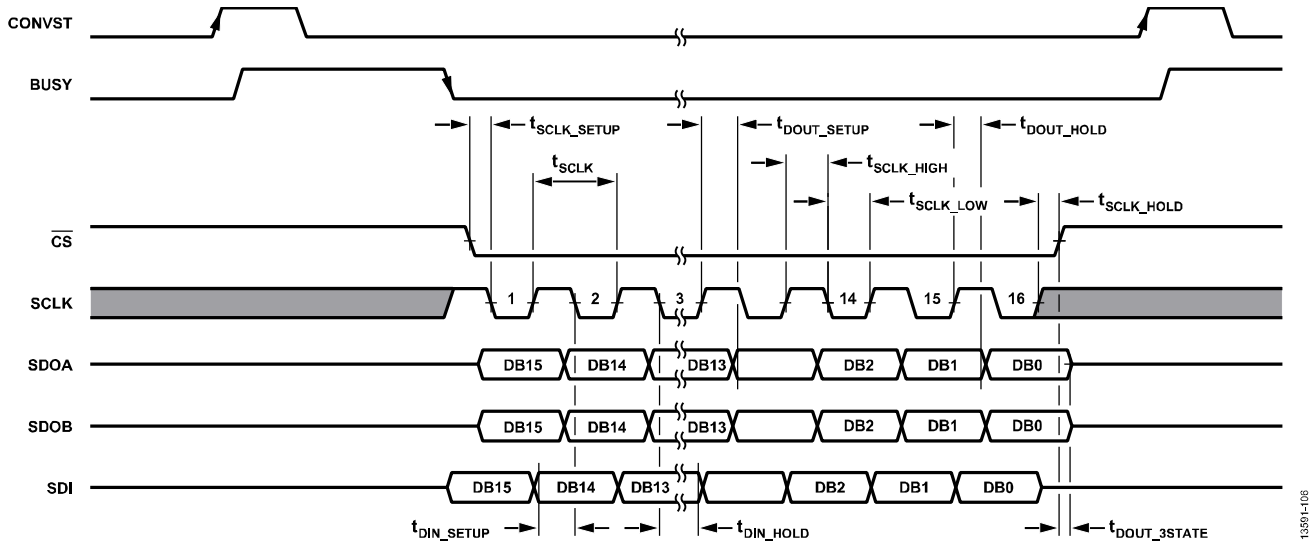


图6. 串行时序图

绝对最大额定值

除非另有说明，T_A = 25°C。

表5.

参数	额定值
V_{CC}至AGND	−0.3 V至+7 V
V_{DRIVE}至AGND	−0.3 V至V_{CC} + 0.3 V
模拟输入电压至AGND[1]	±21 V
数字输入电压至AGND	−0.3 V至V_{DRIVE} + 0.3 V
数字输出电压至AGND	−0.3 V至V_{DRIVE} + 0.3 V
REFINOUT至AGND	−0.3 V至V_{CC} + 0.3 V
输入电流至除电源外的任何引脚[1]	±10 mA
工作温度范围	-40°C至+125°C
存储温度范围	−65°C至+150°C
结温	150°C
回流焊	
铅锡焊接温度（10秒到30秒）	240 (+0)°C
无铅焊接温度	260 (+0)°C
ESD	
除模拟输入外的所有引脚	2 kV
仅模拟输入引脚	8 kV

[1] 100 mA以下的瞬态电流不会造成硅控整流器（SCR）闩锁。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板（PCB）设计和工作环境直接相关。必须慎重对待PCB散热设计。

θ_{JA}是自然对流下的结至环境热阻，在1立方英尺的密封外罩中测量。θ_{JC}是结至外壳热阻。

表6. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
ST-80-2[1]	41	7.5	°C/W

[1] 热阻仿真值基于JEDEC 2S2P热测试板。参见JEDEC JESD51。

ESD警告

ESD（静电放电）敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

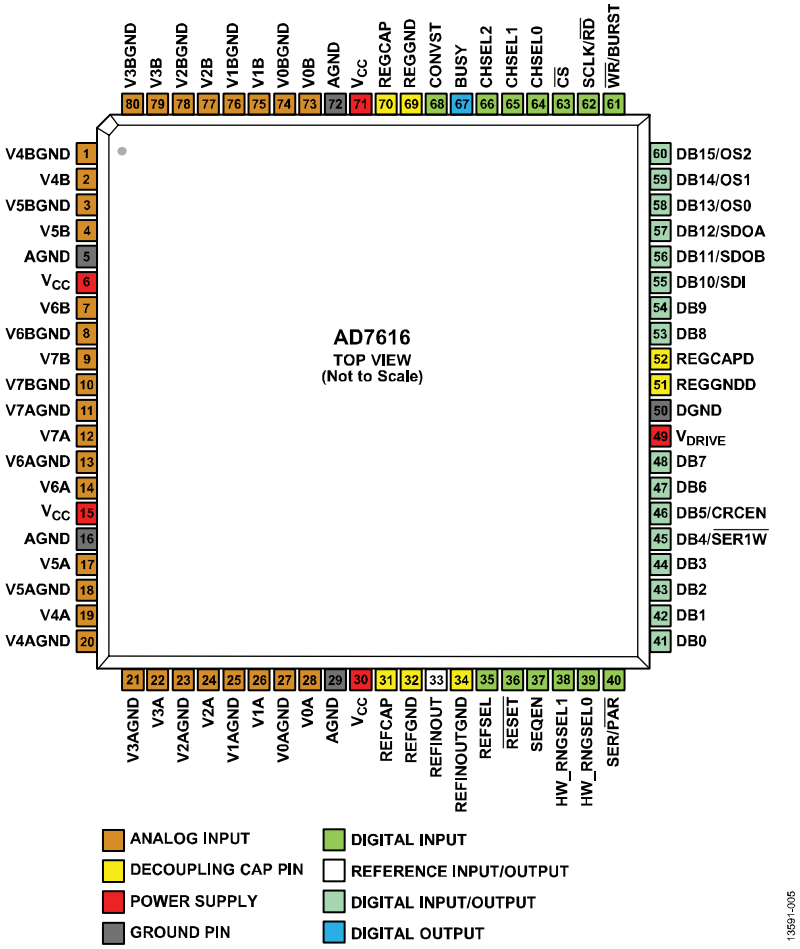


图7. 引脚配置

表7. 引脚功能描述

引脚编号	类型[1]	引脚名称[2]	描述
1	AI GND	V4BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V4B。
2	AI	V4B	通道 4 模拟输入，ADC B。
3	AI GND	V5BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V5B。
4	AI	V5B	通道 5 模拟输入，ADC B。
5, 16, 29, 72	P	AGND	模拟电源地引脚。
6, 15, 30, 71	P	V_{CC}	模拟电源电压，4.7 V 至 5.25 V。这是内部前端放大器和 ADC 内核的电源电压。这些引脚应利用 0.1 µF 和 10 µF 并联电容去耦至 AGND。
7	AI	V6B	通道 6 模拟输入，ADC B。
8	AI GND	V6BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V6B。
9	AI	V7B	通道 7 模拟输入，ADC B。
10	AI GND	V7BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V7B。
11	AI GND	V7AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V7A。
12	AI	V7A	通道 7 模拟输入，ADC A。
13	AI GND	V6AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V6A。
14	AI	V6A	通道 6 模拟输入，ADC A。
17	AI	V5A	模拟输入 V5A。
18	AI GND	V5AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V5A。
19	AI	V4A	模拟输入 V4A。
20	AI GND	V4AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V4A。

引脚编号	类型[1]	引脚名称[2]	描述
21	AI GND	V3AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V3A。
22	AI	V3A	通道 3 模拟输入，ADC A。
23	AI GND	V2AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V2A。
24	AI	V2A	通道 2 模拟输入，ADC A。
25	AI GND	V1AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V1A。
26	AI	V1A	通道 1 模拟输入，ADC A。
27	AI GND	V0AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V0A。
28	AI	V0A	通道 0 模拟输入，ADC A。
31	CAP	REFCAP	基准电压缓冲输出强制/检测引脚。利用低有效串联电阻（ESR）、10 µF、X5R 陶瓷电容将此引脚去耦至 AGND，电容应尽可能靠近 REFCAP 引脚。此引脚上的电压典型值为 4.096 V。
32	CAP	REFGND	基准电压接地引脚。此引脚应连接到 AGND。
33	REF	REFINOUT	基准电压输入/基准电压输出。当 REFSEL 引脚设置为逻辑高电平时，此引脚提供 2.5 V 片内基准电压供外部使用。或者，可将 REFSEL 引脚设置为逻辑低电平以禁用内部基准电压，并将 2.5 V 外部基准电压施加到此输入端。无论使用内部还是外部基准电压，都需要对此引脚去耦。应将一个 100 nF X8R 电容连接在 REFINOUT 引脚与 REFINOUTGND 之间且尽可能靠近 REFINOUT 引脚。如果使用外部基准电压源，应将一个 10 kΩ 串联电阻连接到此引脚以限制基准信号带宽。
34	CAP	REFINOUTGND	基准电压输入、基准电压输出接地引脚。
35	DI	REFSEL	内部/外部基准电压选择输入。REFSEL 为逻辑输入。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFINOUT 引脚。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。
36	DI	$\overline{\text{RESET}}$	复位输入。提供完全和部分复位选项。复位类型由$\overline{\text{RESET}}$脉冲长度决定。$\overline{\text{RESET}}$保持低电平时，器件将被置于关断模式。详情参见“复位功能”部分。
37	DI	SEQEN	通道序列器使能输入（仅硬件模式）。当 SEQEN 接低电平时，序列器禁用。当 SEQEN 为高电平时，序列器使能（硬件模式下功能受限）。详情参见“序列器”部分。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。 在软件模式下，此引脚必须连接到 DGND。
38, 39	DI	HW_RNGSEL1, HW_RNGSEL0	硬件/软件模式选择，硬件模式范围选择输入。完全复位时，硬件/软件模式选择被锁存。硬件模式下的范围选择不会被锁存。 HW_RNGSELx = 00：软件模式；AD7616 通过软件寄存器配置。 HW_RNGSELx = 01：硬件模式；模拟输入范围为±2.5 V。 HW_RNGSELx = 10：硬件模式；模拟输入范围为±5 V。 HW_RNGSELx = 11：硬件模式；模拟输入范围为±10 V。
40	DI	SER/$\overline{\text{PAR}}$	串行/并行接口选择输入。逻辑输入。如果此引脚与逻辑低电平相连，则选择并行接口。如果此引脚与逻辑高电平相连，则选择串行接口。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。
41, 42, 43,44	DO/DI	DB0, DB1, DB2, DB3	并行输出/输入数据位 0 至数据位 3。在并行模式下，这些引脚是输出/输入并行数据位 DB7 至 DB0。详情参见“并行接口”部分。在串行模式下，这些引脚必须与 DGND 相连。
45	DO/DI	DB4/$\overline{\text{SER1W}}$	并行输出/输入数据位 4/串行输出选择。在并行模式下，此引脚充当三态并行数字输出/输入引脚。详情参见“并行接口”部分。 在串行模式下，此引脚决定串行输出是工作在SDOA和SDOB上，还是仅工作在SDOA上。当$\overline{\text{SER1W}}$为低电平时，串行输出仅工作在SDOA上。当$\overline{\text{SER1W}}$为高电平时，串行输出工作在SDOA和SDOB上。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。

引脚编号	类型[1]	引脚名称[2]	描述
46	DO/DI	DB5/CRCEN	并行输出/输入数据位 5/CRC 使能输入。在并行模式下，此引脚充当三态并行数字输入/输出。在串行模式下，此引脚用作 CRC 使能输入。完全复位释放时，CRCEN 信号状态被锁存，需要再一次完全复位才能重新配置。详情参见“数字接口”部分。 在串行模式下，当 CRCEN 为低电平时，转换结果之后无 CRC 字；当 CRCEN 为高电平时，最后一个转换字之后会附加一个由 CHSELx 配置的 CRC 字。详情参见 CRC 部分。 在软件模式下，此引脚必须连接到 DGND。
47, 48	DO/DI	DB6、DB7	并行输出/输入数据位 6 和数据位 7。当SER/$\overline{\text{PAR}}$ = 0 时，这些引脚充当三态并行数字输入/输出。详情参见“并行接口”部分。在串行模式下，当SER/$\overline{\text{PAR}}$ = 1 时，这些引脚必须与DGND相连。
49	P	V_{DRIVE}	逻辑电源输入。此引脚的电源电压（2.3 V 至 3.6 V）决定逻辑接口的工作电压。此引脚的标称电源与主机接口电源相同。此引脚应利用 0.1 µF 和 10 µF 并联电容去耦。
50	P	DGND	数字地。此引脚是 AD7616 上所有数字电路的接地基准点。DGND 引脚必须连接到系统的 DGND 层。
51	CAP	REGGNDD	连接到 REGCAPD（引脚 52）的数字低压差（LDO）稳压器的地。
52	CAP	REGCAPD	内部数字稳压器电压输出的去耦电容引脚。应将此输出引脚通过一个 10 µF 电容独立去耦至 REGGNDD。此引脚的电压典型值为 1.89 V。
53, 54	DO/DI	DB8、DB9	并行输出/输入数据位 9 和数据位 8。当SER/$\overline{\text{PAR}}$ = 0 时，这些引脚充当三态并行数字输入/输出。详情参见“并行接口”部分。 在串行模式下，当SER/$\overline{\text{PAR}}$ = 1 时，这些引脚必须与DGND相连。
55	DO/DI	DB10/SDI	并行输出/输入数据位DB10/串行数据输出。当SER/$\overline{\text{PAR}}$ = 0 时，此引脚充当三态并行数字输入/输出。详情参见“并行接口”部分。在硬件串行模式下，此引脚应与DGND相连。 在串行模式下，当SER/$\overline{\text{PAR}}$ = 1 时，此引脚用作SPI接口的数据输入。
56	DO/DI	DB11/SDOB	并行输出/输入数据位 11/串行数据输出B。当SER/$\overline{\text{PAR}}$ = 0 时，此引脚充当三态并行数字输入/输出。详情参见“并行接口”部分。 在串行模式下，当SER/$\overline{\text{PAR}}$ = 1时，此引脚用作SDOB，输出串行转换数据。
57	DO/DI	DB12/SDOA	并行输出/输入数据位 12/串行数据输出A。当SER/$\overline{\text{PAR}}$ = 0 时，此引脚充当三态并行数字输入/输出。详情参见“并行接口”部分。 在串行模式下，当SER/$\overline{\text{PAR}}$ = 1时，此引脚用作SDOA，输出串行转换数据。
58, 59, 60	DO/DI	DB13/OS0、DB14/OS1、DB15/OS2	并行输出/输入数据位 13、数据位 14 和数据位 15/过采样率选择。当SER/$\overline{\text{PAR}}$ = 0 时，这些引脚充当三态并行数字输入/输出。详情参见“并行接口”部分。 在串行硬件模式下，这些引脚控制过采样设置。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。详情参见“数字滤波器”部分。 在软件串行模式下，这些引脚必须连接到 DGND。
61	DI	$\overline{\text{WR}}$/BURST	写入/突发模式使能。 在软件并行模式下，此引脚用作并行接口的$\overline{\text{WR}}$。 在硬件并行或串行模式下，此引脚使能 BURST 模式。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。详情参见“突发序列器”部分。 在软件串行模式下，此引脚应连接到 DGND。
62	DI	SCLK/$\overline{\text{RD}}$	串行时钟输入/并行数据读取控制输入。在串行模式下，此引脚用作数据传输的串行时钟输入。$\overline{\text{CS}}$下降沿使数据输出线路SDOA和SDOB脱离三态，并输出转换结果的MSB。SCLK上升沿将随后的所有数据位逐个送至串行数据输出SDOA和SDOB。 在并行模式下，如果$\overline{\text{CS}}$和$\overline{\text{RD}}$均处于逻辑低电平，则使能输出总线。
63	DI	$\overline{\text{CS}}$	片选。此低电平有效逻辑输入使能数据帧传输。 在并行模式下，如果$\overline{\text{CS}}$和$\overline{\text{RD}}$均处于逻辑低电平，则会使能DBx输出总线，转换结果通过并行数据总线输出。 在串行模式下，利用$\overline{\text{CS}}$使能串行读取帧传输，并输出串行输出数据的MSB。

引脚编号	类型[1]	引脚名称[2]	描述
64, 65, 66	DI	CHSEL0、CHSEL1、CHSEL2	通道选择输入 0 至输入 2。在硬件模式下，这些输入在通道组 A 和通道组 B 中选择下一转换的输入通道。例如，CHSELx = 0x000 选择 V0A 和 V0B 进行下一转换；CHSELx = 0x001 选择 V1A 和 V1B 进行下一转换。 在软件模式下，这些引脚必须连接到 DGND。
67	DO	BUSY	输出繁忙。CONVST 上升沿之后，此引脚变为逻辑高电平，表示转换过程已开始。BUSY 输出保持高电平，直到当前选定通道的转换过程完成为止。BUSY 下降沿表示转换数据正被锁存至输出数据寄存器，稍后便可供读取。数据必须在 BUSY 变为低电平之后读取。当 BUSY 信号为高电平时，CONVST 的上升沿不起作用。
68	DI	CONVST	通道组 A 和通道组 B 的转换开始输入。此逻辑输入启动模拟输入通道上的转换。对于选定的模拟输入对，当 CONVST 从低电平变为高电平时，转换启动。当突发模式和过采样模式被禁用时，每次 CONVST 从低电平变为高电平都会转换一对通道。在序列器模式下，当突发模式或过采样模式使能时，为了执行所需数量的转换，只需 CONVST 从低电平变为高电平一次。
69	CAP	REGGND	内部模拟稳压器地。此引脚必须连接到系统的 AGND 层。
70	CAP	REGCAP	内部模拟稳压器电压输出的去耦电容引脚。应将此输出引脚通过一个 10 μF 电容独立去耦至 REGGND。此引脚的电压典型值为 1.87 V。
73	AI	V0B	通道 0 模拟输入，ADC B。
74	AI GND	V0BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V0B。
75	AI	V1B	通道 1 模拟输入，ADC B。
76	AI GND	V1BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V1B。
77	AI	V2B	通道 2 模拟输入，ADC B。
78	AI GND	V2BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V2B。
79	AI	V3B	通道 3 模拟输入，ADC B。
80	AI GND	V3BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V3B。

[1] AI代表模拟输入，GND代表地，P代表电源，REF代表基准电压输入/输出，DI代表数字输入，DO代表数字输出，CAP代表去耦电容引脚。

[2] 请注意，在整篇数据手册中，多功能引脚（如SER/PAR）由整个引脚名称或引脚的单个功能表示；例如SER即表示仅与此功能相关。

典型性能参数

除非另有说明，V_{REF} = 2.5 V（内部），V_{CC} = 5 V，V_{DRIVE} = 3.3 V，f_{SAMPLE} = 1 MSPS，f_{IN} = 1 kHz，T_A = 25°C。

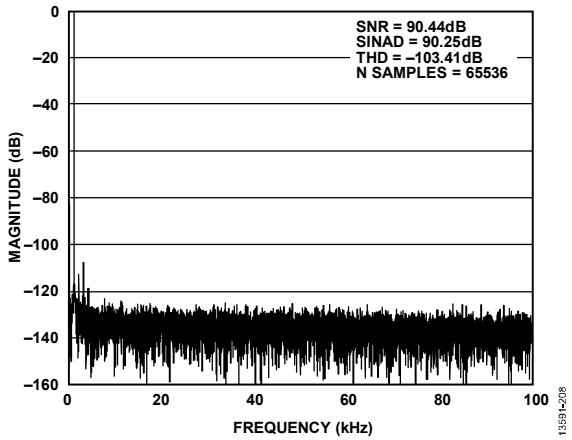


图8. 快速傅立叶变换（FFT），±10 V范围

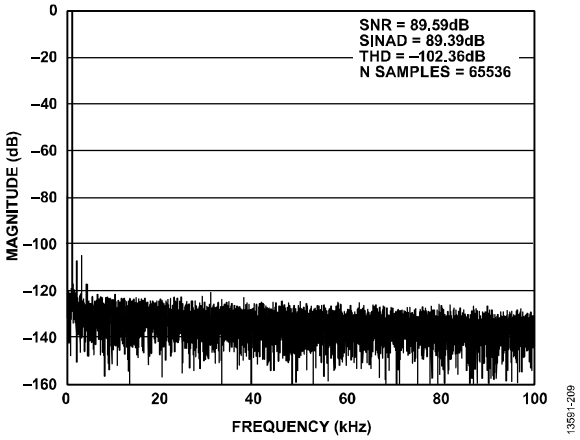


图9. FFT，±5 V范围

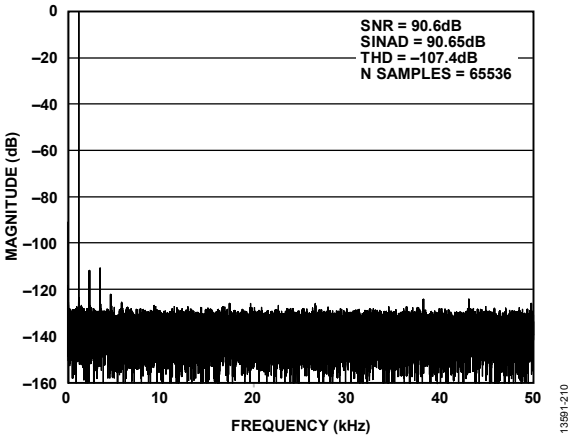


图10. FFT突发模式，±10 V范围

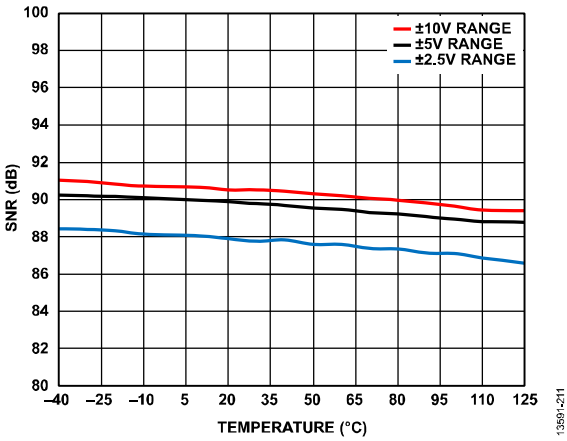


图11. SNR与温度的关系

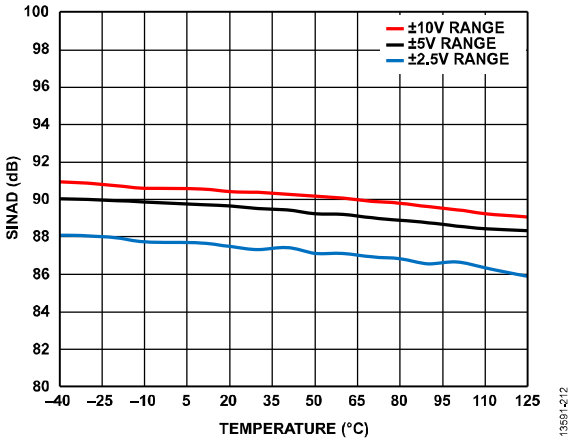


图12. SINAD与温度的关系

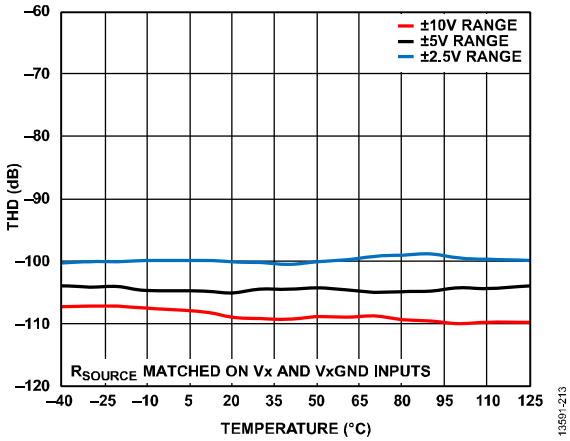


图13. THD与温度的关系

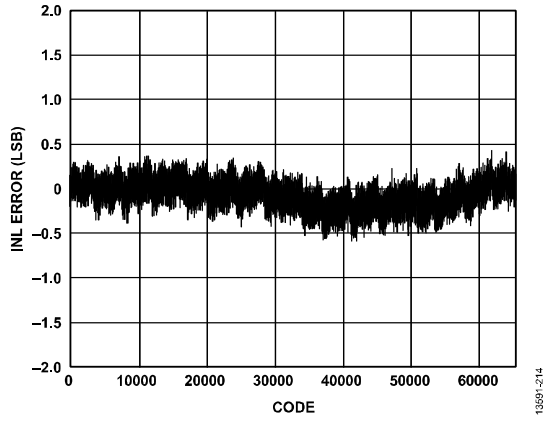


图14. 典型INL误差，±10 V范围

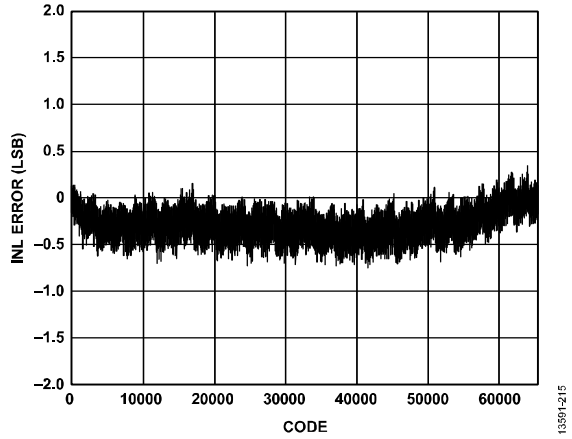


图15. 典型INL误差，±5 V范围

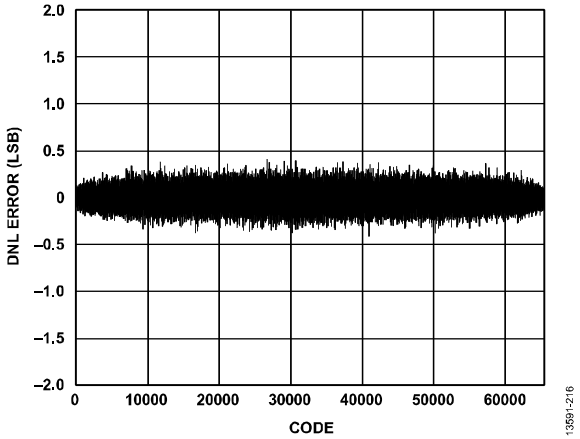


图16. 典型DNL误差，±10 V范围

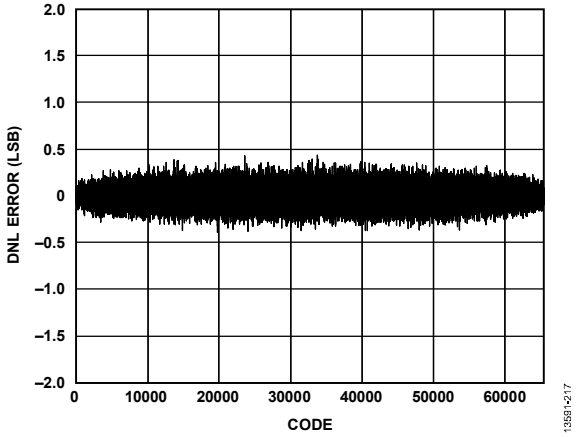


图17. 典型DNL误差，±5 V范围

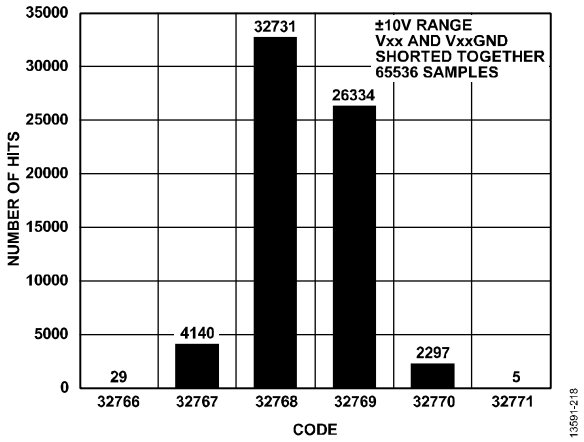


图18. 码中心处的码直流直方图，±10 V范围

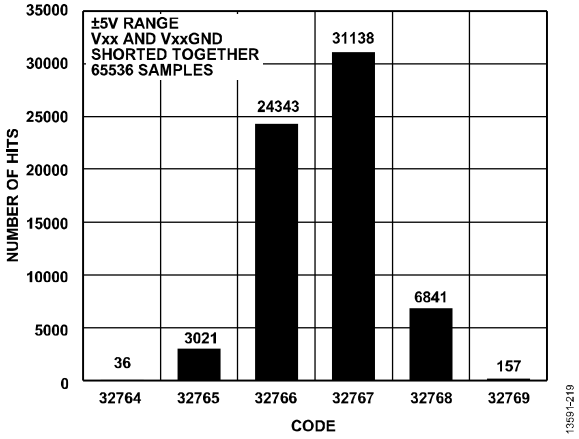


图19. 码中心处的码直流直方图，±5 V范围

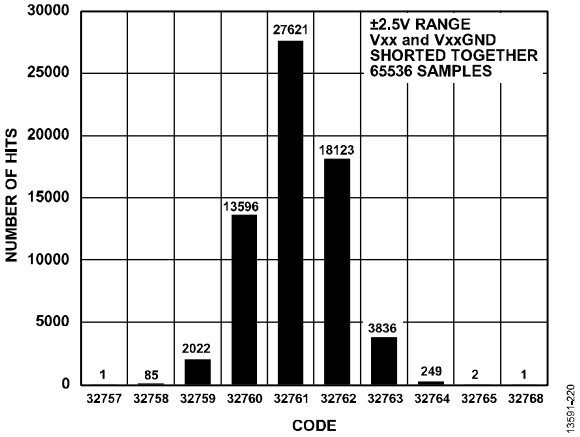


图20. 码中心处的码直流直方图，±2.5 V范围

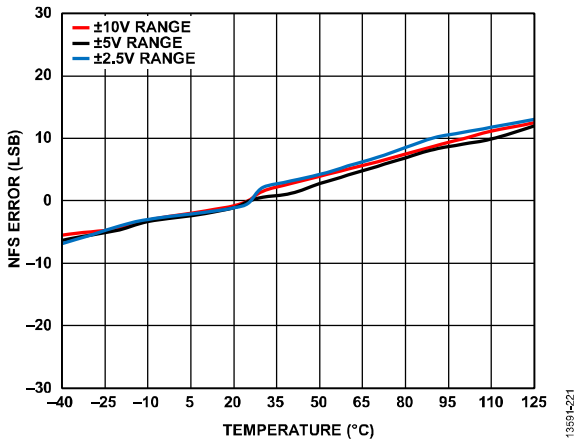


图21. NFS误差与温度的关系

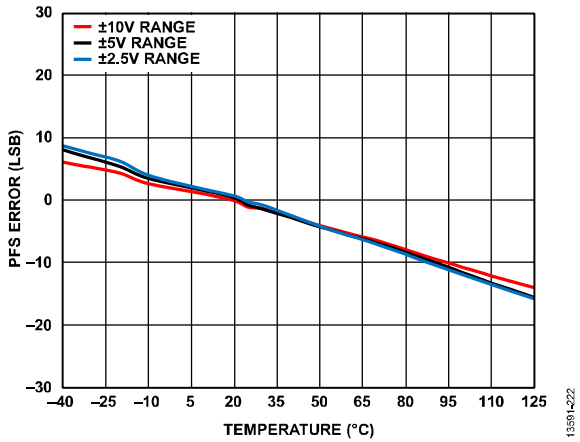


图22. PFS误差与温度的关系

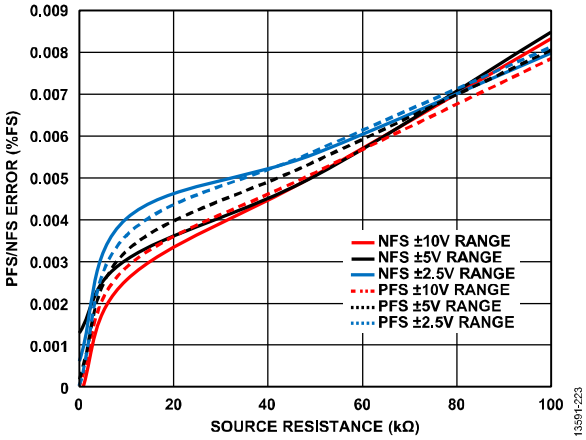


图23. PFS/NFS误差与信号源电阻的关系

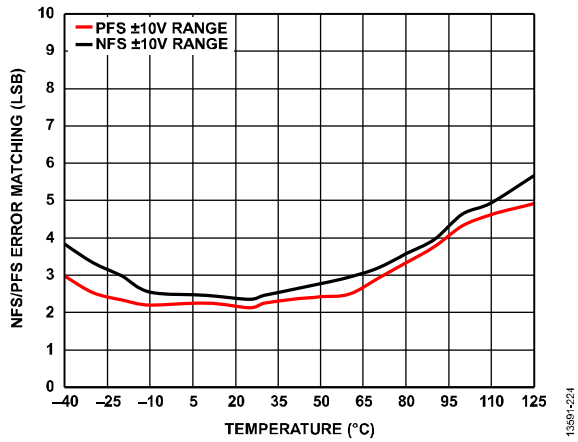


图24. NFS/PFS误差匹配与温度的关系

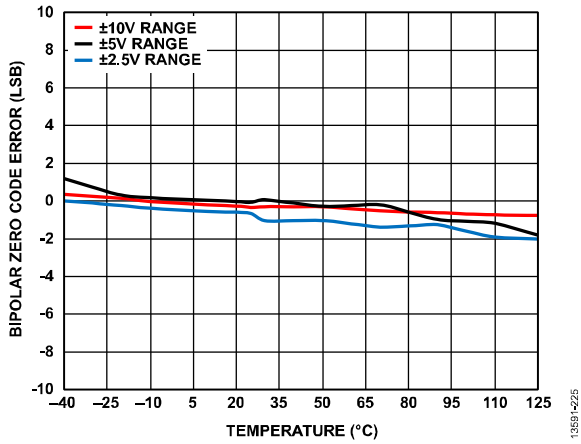


图25. 双极性零代码误差与温度的关系

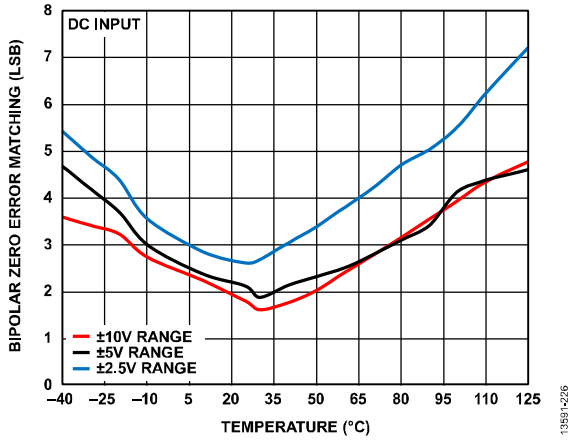


图26. 双极性零误差匹配与温度的关系

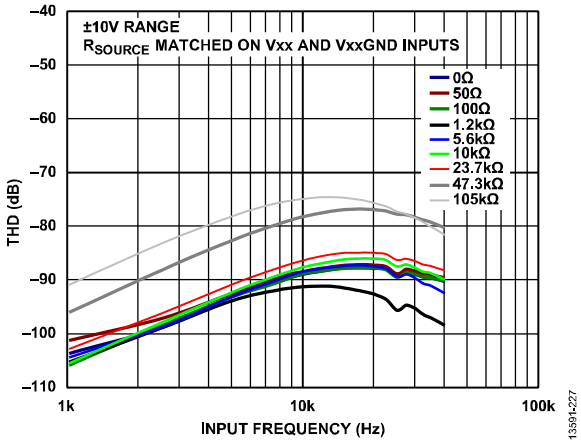


图27. 各种源阻抗下THD与输入频率的关系，±10 V范围

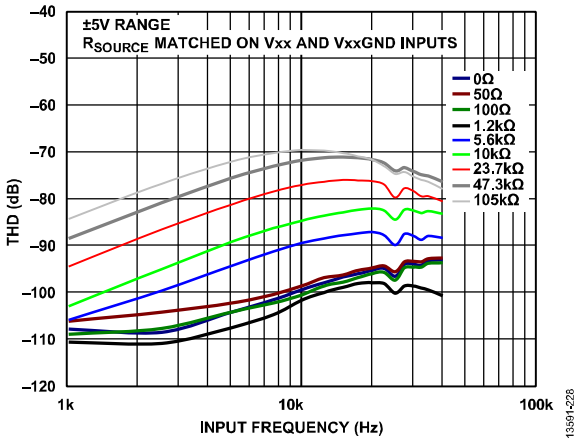


图28. 各种源阻抗下THD与输入频率的关系，±5 V范围

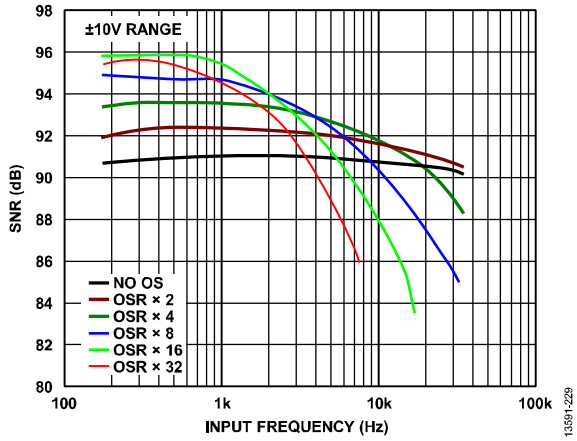


图29. 不同过采样率下SNR与输入频率的关系，±10 V范围

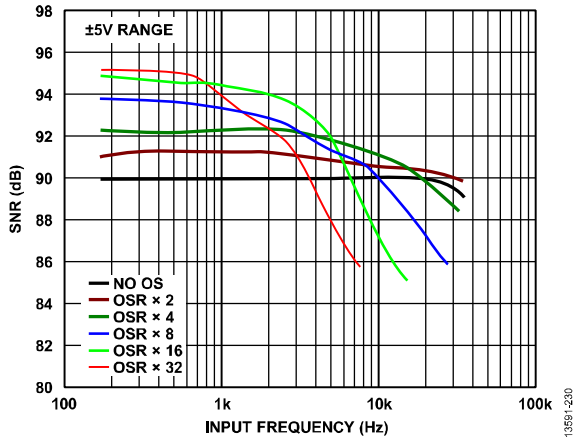


图30. 不同过采样率下SNR与输入频率的关系，±5 V范围

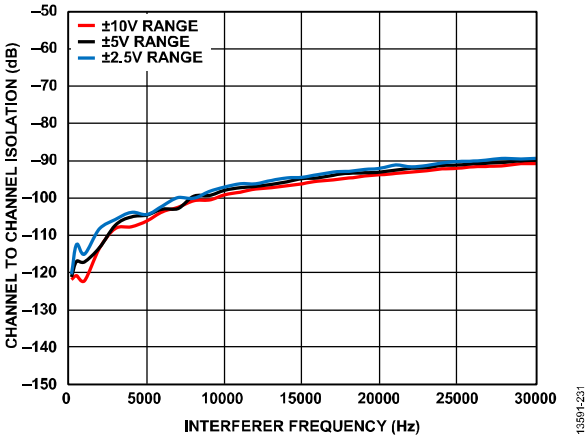


图31. 通道间隔离

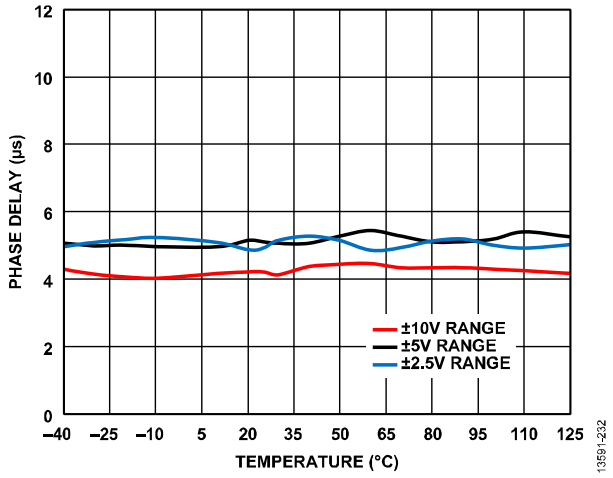


图32. 相位延迟与温度的关系

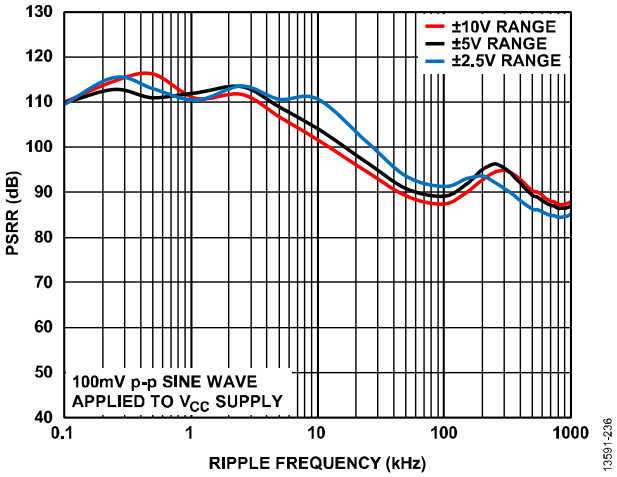


图35. PSRR与纹波频率的关系

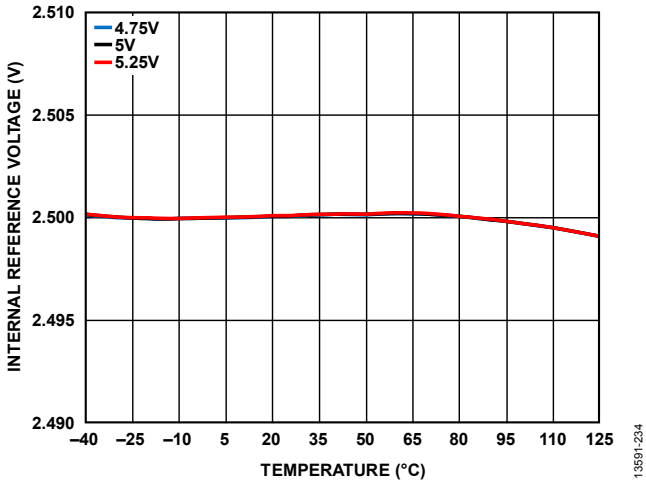


图33. 不同电源电压下内部基准电压与温度的关系

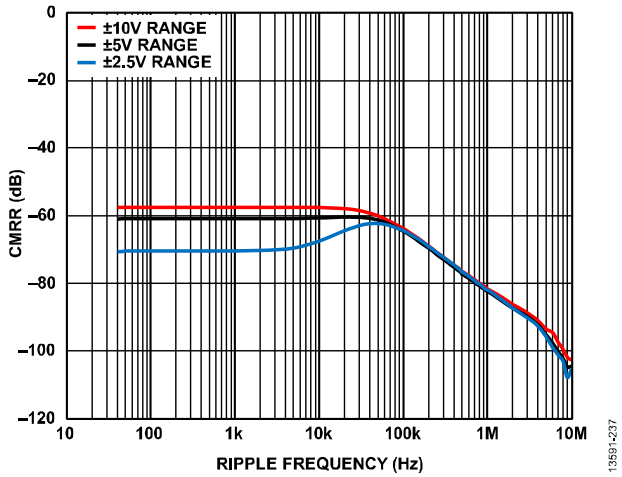


图36. CMRR与纹波频率的关系

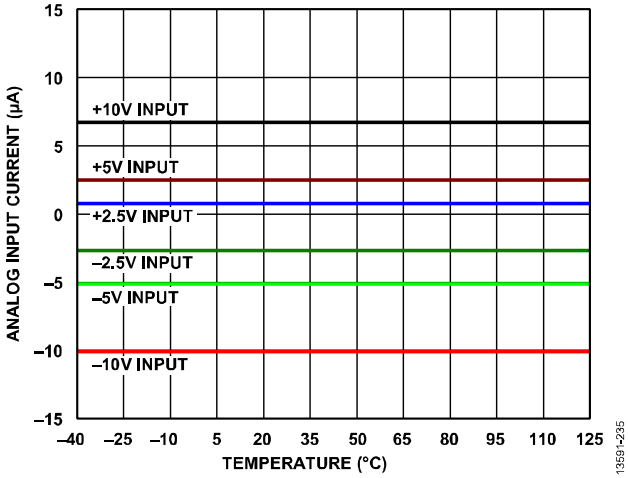


图34. 不同电源电压下模拟输入电流与温度的关系

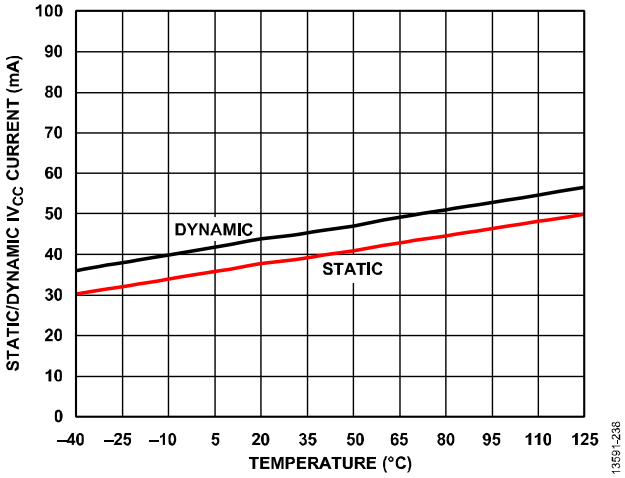


图37. 静态/动态IV_{CC}电流与温度的关系

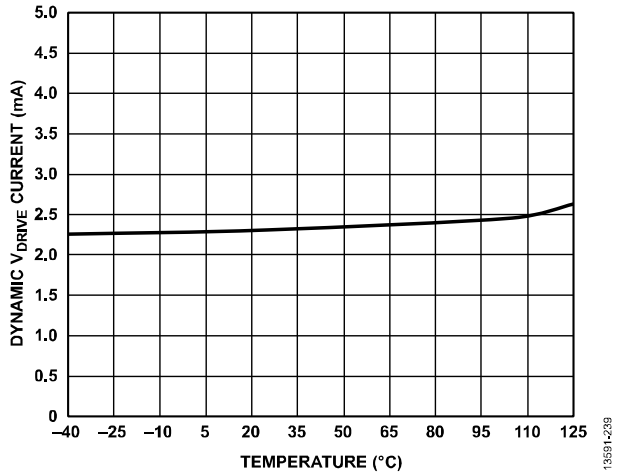


图38. 动态V_{DRIVE}电流与温度的关系

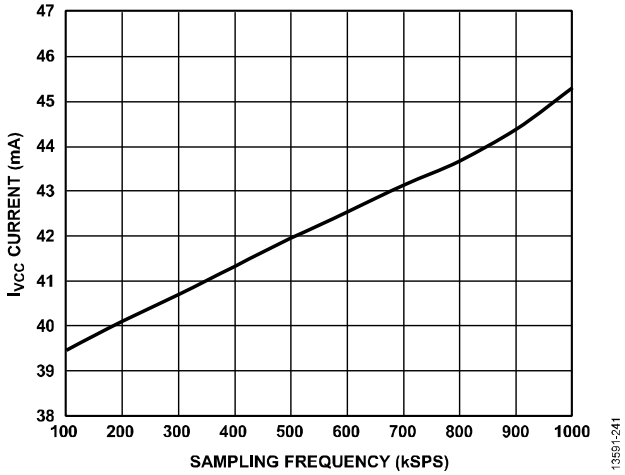


图40. I_{VCC}电流与采样频率的关系

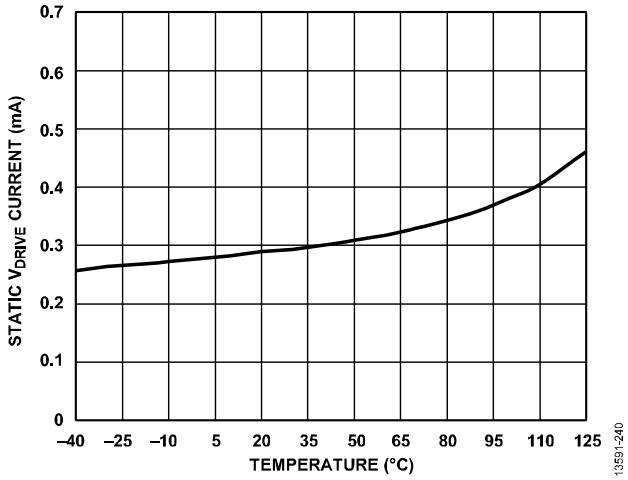


图39. 静态V_{DRIVE}电流与温度的关系

术语

积分非线性（INL）

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数的两个端点，起点在低于第一个码转换的½ LSB处的零电平，终点在高于最后一个码转换的½ LSB处的满量程。

差分非线性（DNL）

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

双极性零代码误差

双极性零代码误差是指半量程转换（全1到全0）与理想值，即0 V – ½ LSB的偏差。

双极性零代码误差匹配

双极性零代码误差匹配是指任何两个输入通道之间双极性零代码误差的绝对差。

正满量程（PFS）误差

正满量程误差是指校正双极性零代码误差之后，实际的最后一个码转换与理想的最后一个码转换（10 V – 1½ LSB (9.99954)、5 V – 1½ LSB (4.99977) 和2.5 V – 1½ LSB (2.49989)）的偏差。正满量程误差包括内部基准电压缓冲的贡献。

正满量程误差匹配

正满量程误差匹配是指任何两个输入通道之间正满量程误差的绝对差。

负满量程（NFS）误差

负满量程误差是指校正双极性零代码误差之后，第一个码转换与理想的第一个码转换（–10 V + ½ LSB (–9.99985)、–5 V + ½ LSB (–4.99992) 和–2.5 V + ½ LSB (–2.49996)）的偏差。负满量程误差包括内部基准电压缓冲的贡献。

负满量程误差匹配

负满量程误差匹配是指任何两个输入通道之间负满量程误差的绝对差。

信纳比（SINAD）

SINAD是指在ADC输出端测得的信号对噪声及失真比。信号为正弦波的均方根值；噪声为一直到半采样频率（$f_S/2$）的所有非基波信号的均方根和，包括谐波，但直流信号除外。

信噪比（SNR）

SNR是指在ADC输出端测得的信号对噪声比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半（$f_S/2$，直流信号除外）的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数：级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，SNR理论值计算公式为：

$$信噪比 = (6.02N + 1.76)\ \text{dB}$$

因此，16位转换器的SNR理论值为98dB。

总谐波失真（THD）

THD指前五个谐波成分的rms和与满量程输入信号的rms值之比，用分贝（dB）表示。

峰值谐波或杂散噪声

在ADC输出频谱（最高达$f_S/2$，直流信号除外）中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪底内的ADC，则由噪声峰值决定。

交调失真（IMD）

当输入由两个频率分别为fa和fb的正弦波组成时，任何非线性有源器件都会以和与差频率mfa ± nfb（其中m, n = 0, 1, 2, 3）的形式产生失真产物。交调失真项的m和n都不等于0。例如，二阶项包括（fa + fb）和（fa – fb），而三阶项包括（2fa + fb）、(2fa – fb)、(fa + 2fb）和（fa – 2fb)。

交调失真根据THD参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用分贝（dB）表示。

电源抑制比（PSRR）

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化。电源抑制比（PSRR）定义为满量程频率f下ADC输出功率与频率f_S下施加于ADC V_{CC}电源的100 mV峰峰值正弦波功率的比值：

$$PSRR\ (\text{dB}) = 10\log(Pf/Pf_S)$$

其中：

Pf是在频率f下ADC的输出功率。

Pf_S是在频率f_S下耦合到V_{CC}电源的功率。

交流共模抑制比（AC CMRR）

交流共模抑制比定义为频率f下的ADC输出功率与频率f_S下施加于共模电压Vxx和VxxGND的正弦波功率的比值。

$$AC\ CMRR\ (\text{dB}) = 10\log(Pf/Pf_S)$$

其中：
Pf是在频率f下ADC的输出功率。
Pf_S是在频率f_S下ADC的输出功率。

通道间隔离

通道间隔离衡量所有输入通道之间的串扰水平。通过向所有未选定的输入通道施加一个满量程、最高160 kHz正弦波信号，然后决定该信号在选定通道内随所施加的1 kHz正弦波信号的衰减程度来测量。

相位延迟

相位延迟衡量一个输入被转换器采样到与该样本相关的结果可从ADC读出的绝对延迟时间，包括器件模拟前端引入的延迟。

相位延迟漂移

相位延迟漂移是指在器件的完整工作温度范围内，温度每改变一个单位所引起的群延迟变化。

相位延迟匹配

相位延迟匹配是指任何同步采样对之间的最大相位延迟。

工作原理

转换器详解

AD7616是一款采用高速、低功耗、电荷再分配逐次逼近型模数转换器（ADC）的数据采集系统，可以对16个模拟输入通道进行双路同步采样。AD7616的模拟输入可以接受真双极性输入信号。模拟输入范围选项有±10 V、±5 V和±2.5 V。AD7616采用5 V单电源供电。

AD7616内置输入箝位保护、输入信号缩放放大器、一阶抗混叠滤波器、片内基准电压源、基准电压缓冲器、双路高速ADC、数字滤波器、灵活的序列器以及高速并行和串行接口。

通过控制HW_RNGSELx引脚，AD7616可工作在硬件或软件模式。在硬件模式下，AD7616由引脚控制进行配置。在软件模式下，AD7616由控制寄存器（通过串行或并行接口访问）进行配置。

模拟输入

模拟输入通道选择

AD7616内置双路同步采样16位ADC。每个ADC有8个模拟输入通道，总共有16路模拟输入。此外，AD7616还有片内诊断通道用于监控V_{CC}电源，以及片内可调低压差稳压器。在硬件模式下通过CHSELx引脚控制，或在软件模式下通过通道寄存器控制，可以选择通道进行转换。要对诊断通道进行采样，必须使用软件模式。可以动态选择通道，或利用AD7616片内序列器预先设置要转换的通道。在硬件模式下，只有对应的A和B通道才能同步采样，即通道V0A总是与通道V0B一同采样。在软件模式下，可以选择任意A通道与任意B通道一起进行同步采样。

模拟输入范围

AD7616可处理真双极性、单端输入电压。范围选择引脚HW_RNGSEL0和HW_RNGSEL1的逻辑电平决定所有模拟输入通道的模拟输入范围。如果两个范围选择引脚均接逻辑低电平，则软件模式下的模拟输入范围由输入范围寄存器决定（详情参见“寄存器汇总”部分）。在软件模式下，可以为每个通道配置单独的模拟输入范围。

表8. 模拟输入范围选择

模拟输入范围	HW_RNGSEL1	HW_RNGSEL0
通过输入范围寄存器配置	0	0
±2.5 V	0	1
±5 V	1	0
±10 V	1	1

在硬件模式下，这些引脚的逻辑状态改变会立即影响模拟输入范围，但是，除正常采集时间要求外，还有典型值约为120 µs的建立时间要求。建议根据系统信号所需的输入范围，通过硬连线连接范围选择引脚。

模拟输入阻抗

AD7616的模拟输入阻抗为1 MΩ，这是固定输入阻抗，不随AD7616采样频率而变化。高模拟输入阻抗可免除AD7616前端的驱动放大器，允许其与信号源或传感器直接相连。

模拟输入箝位保护

图41显示了AD7616的模拟输入电路。AD7616的每个模拟输入均包含箝位保护电路。虽然采用5 V单电源供电，但此模拟输入箝位保护允许−20 V到+20 V的输入过压。

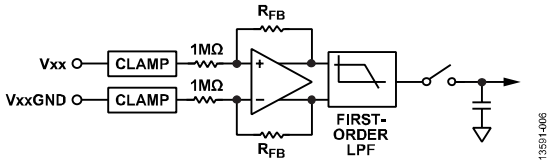


图41. 模拟输入电路

图42显示了箝位电路的输入箝位电流与源电压特性的关系。对于−20 V到+20 V的源电压，箝位电路中无电流。当输入电压高于+20 V或低于−20 V时，AD7616箝位电路开启。

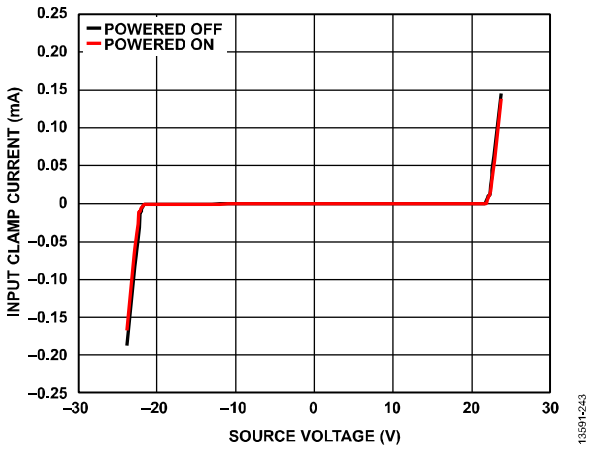


图42. 输入保护箝位曲线，输入箝位电流与源电压的关系

模拟输入通道上应放置一个串联电阻，以将输入电压高于+20 V或低于−20 V时的电流限制在±10 mA以下。如果模拟输入通道VxA或VxB上有一个串联电阻，则模拟输入接地通道VxAGND或VxBGND上也需要一个与之对应的电阻（见图43）。如果VxAGND或VxBGND通道上没有对应的电阻，该通道将出现失调误差。应使用输入过压箝位保护电路来保护AD7616免受瞬变过压事件的影响。建议不要将AD7616置于箝位保护电路长期活动（正常或掉电情况）的条件下。

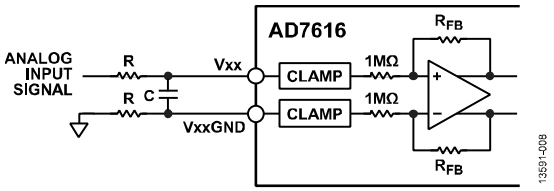


图43. 模拟输入端的输入电阻匹配

模拟输入抗混叠滤波器

AD7616还提供了模拟抗混叠滤波器（一阶巴特沃兹滤波器）。图44和图45分别显示了模拟抗混叠滤波器的频率和相位响应。±10 V范围的典型拐角频率为39 kHz，±5 V范围为33 kHz。

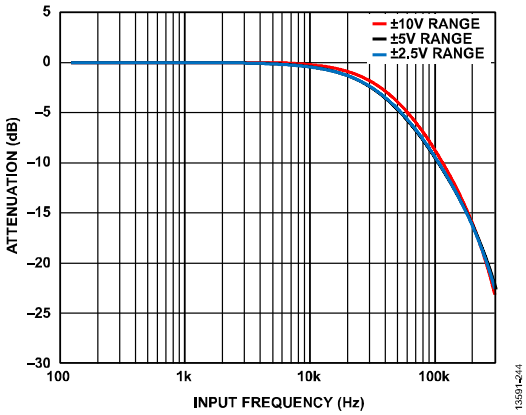


图44. 模拟抗混叠滤波器频率响应

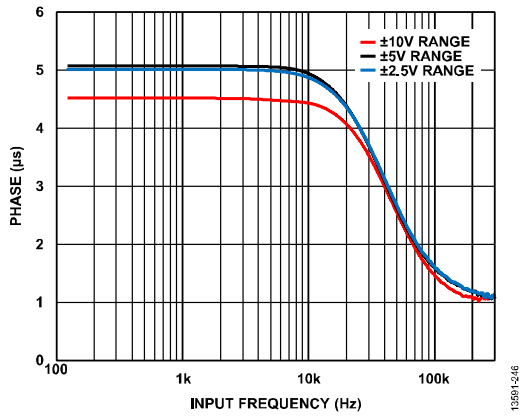
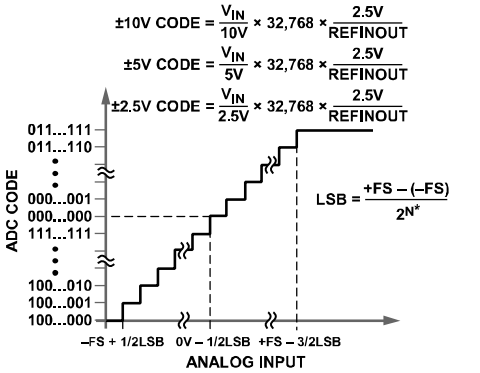


图45. 模拟抗混叠滤波器相位响应

ADC传递函数

AD7616的输出编码方式为二进制补码。所设计的码转换在连续LSB整数值的中间（即1/2 LSB和3/2 LSB）进行。对于AD7616，LSB大小为满量程范围除以65,536。AD7616的理想传递特性如图46所示。LSB大小取决于所选的模拟输入范围。



	+FS	MIDSCALE	–FS	LSB
±10V RANGE	+10V	0V	–10V	305µV
±5V RANGE	+5V	0V	–5V	152µV
±2.5V RANGE	+2.5V	0V	–2.5V	76µV

*WHERE N IS THE NUMBER OF BITS OF THE CONVERTER

13591-009

图46. 传递特性

内部/外部基准电压源

AD7616可以采用内部或外部基准电压源工作，其内置一个2.5 V片内带隙基准电压源。REFINOUT引脚既可使用该2.5V基准电压，以在内部产生4.096 V片内基准电压，也允许向AD7616施加一个2.5 V外部基准电压。所施加的2.5 V外部基准电压也会在内部缓冲的作用下放大至4.096 V。此4.096 V缓冲的基准电压是SAR ADC所用的基准电压。

REFSEL引脚是一个逻辑输入引脚，允许用户选择内部基准电压或外部基准电压。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到REFINOUT引脚。

内部基准电压缓冲始终使能。完全复位之后，AD7616工作在REFSEL引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对REFINOUT引脚去耦。需要将一个100 nF X8R陶瓷电容连接在REFINOUT引脚至REFINOUTGND之间。

AD7616内置一个基准电压缓冲器，后者配置为将基准电压放大至约4.096 V。REFCAP和REFGND之间需要连接一个10 µF X5R陶瓷电容。REFINOUT引脚提供的基准电压为2.5 V。当AD7616配置为外部基准电压模式时，REFINOUT引脚为高输入阻抗引脚。

如果系统其它地方需要使用内部基准电压，则首先必须在外部对其进行缓冲。

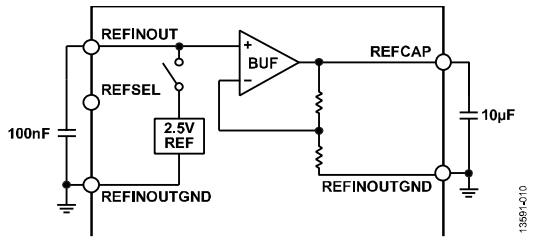


图47. 基准电压电路

关断模式

RESET引脚保持低电平超过1.2 µs时，AD7616进入关断模式。当RESET引脚从低电平变为高电平时，器件退出关断模式，进入正常模式。

当AD7616处于关断模式时，典型功耗为78 µA，上电到可对器件执行写操作的时间约为240 µs。上电到可执行转换的时间为15 ms。在关断模式下，所有电路均关断，所有寄存器清零并复位至默认值。

数字滤波器

AD7616内置一个可选的数字一阶sinc滤波器，在使用较低吞吐速率或需要更高信噪比或更宽动态范围的应用中，须使用该滤波器。

数字滤波器的OSR在硬件模式下由过采样引脚OS2至OS0 (OSx) 控制，在软件模式下由配置寄存器中的OS位控制。在软件模式下，设置配置寄存器中的OS位之后，所有通道均使能过采样。在硬件模式下，完全复位释放时的OSx信号决定要使用的OSR。

表9提供了用来选择不同过采样倍率的过采样位解码。除过采样功能外，输出结果被抽取为16位分辨率。

如果OSx引脚/OS位选择8倍过采样，则下一个CONVST上升沿采集选定通道的第一个样本，该通道的其余7个样本由内部产生的采样信号采集。然后对这些样本求平均值，以改进SNR性能。随着过采样率提高，−3 dB带宽降低，容许的采样频率也降低。转换时间随着过采样率提高而延长，BUSY信号与过采样率成比例。采集和转换时间随着过采样率提高而线性增加。

若在序列器或突发模式下使能过采样，则在序列器移至下一通道之前，会采集给定通道的额外样本。

表9显示了器件每个允许的过采样率所对应的典型SNR性能。对于该器件的三个输入范围，使用的输入信号音为100 Hz正弦波。SNR与OSR的关系如图48所示。

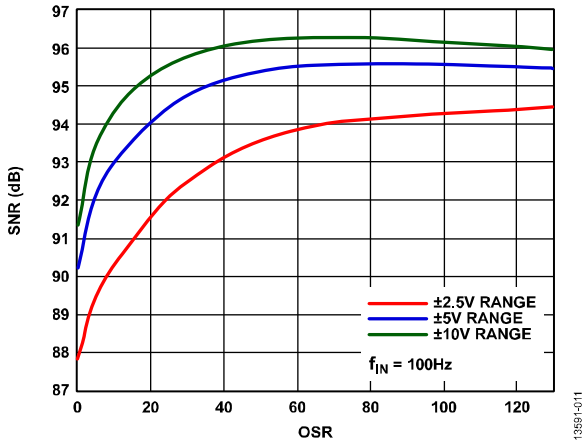


图48. 所有模拟输入范围的典型SNR与OSR的关系

表9. 过采样位解码

OSx引脚/OS位	OSR	典型SNR (dB)			−3 dB带宽 (kHz)
		±2.5 V范围	±5 V范围	±10 V范围	所有范围
000	无过采样	87.5	89.7	90.8	37
001	2	88.1	90.6	91.8	36.5
010	4	89	91.6	92.9	35
011	8	89.9	92.6	93.9	30.5
100	16	91	93.6	94.9	22
101	32	92.6	94.8	95.8	13.2
110	64	93.9	95.5	96.2	7.2
111	128	94.4	95.4	95.9	3.6

应用信息

功能概述

AD7616有两种主要工作模式：硬件模式和软件模式。此外，硬件或软件模式的通信接口可以是串行或并行。对于不同的工作模式和接口选择，某些功能可能无法使用。在软件串行模式和软件并行模式下，全部功能均可使用；在硬件串行模式和硬件并行模式下，某些功能受到限制。表10列出了不同工作模式下可以使用的功能。

电源

AD7616有两个独立电源V_{CC}和V_{DRIVE}，其分别为模拟电路和数字接口供电。V_{CC}电源和V_{DRIVE}电源均应通过并联的10 µF电容和100 nF电容去耦。

另外，这些电源由两个内部LDO稳压器调节。模拟LDO (ALDO) 通常提供1.87 V电压。ALDO应通过REGCAP和REGCAPGND引脚之间的10 µF电容去耦。数字LDO (DLDO) 通常提供1.89 V电压。DLDO应通过REGCAPD和REGCAPDGND引脚之间的10 µF电容去耦。

AD7616对电源上电时序十分鲁棒。推荐顺序是先让V_{DRIVE}上电，再让V_{CC}上电。$\overline{RESET}$保持低电平，直至两个电源均稳定为止。

典型连接

图49显示了AD7616正常工作所需的典型连接。按照图49所示将V_{CC}和V_{DRIVE}电源去耦。较小的0.1 µF电容应尽可能靠近电源引脚，较大的10 µF体电容与之并联。按照图49所示及表7所述将基准电压源和LDO稳压器去耦。

模拟输入引脚要求VxA和VxAGND（类似地，VxB和VxBGND）输入端的电阻R匹配，以免阻抗不匹配引起模拟输入通道上的增益误差。

表10. 功能矩阵

	工作模式[1]			
	软件模式，HW_RNGSELx = 00		硬件模式，HW_RNGSELx ≠ 00	
功能	串行，SER/PAR = 1	并行，SER/PAR = 0	串行，SER/PAR = 1	并行，SER/PAR = 0
内部/外部基准电压源	是	是	是	是
可选模拟输入范围				
独立通道配置	是	是	否	否
统一通道配置	否	否	是	是
顺序序列器	是	是	是	是
完全可配置的序列器	是	是	否	否
突发模式	是	是	是	是
片内过采样	是	是	是	否
CRC	是	是	是	否
诊断通道转换	是	是	否	否
硬件复位	是	是	是	是
串行 1 线模式	是	否	是	否
串行 2 线模式	是	否	是	否
寄存器访问	是	是	否	否

[1] “是”意味着可用，“否”意味着不可用。

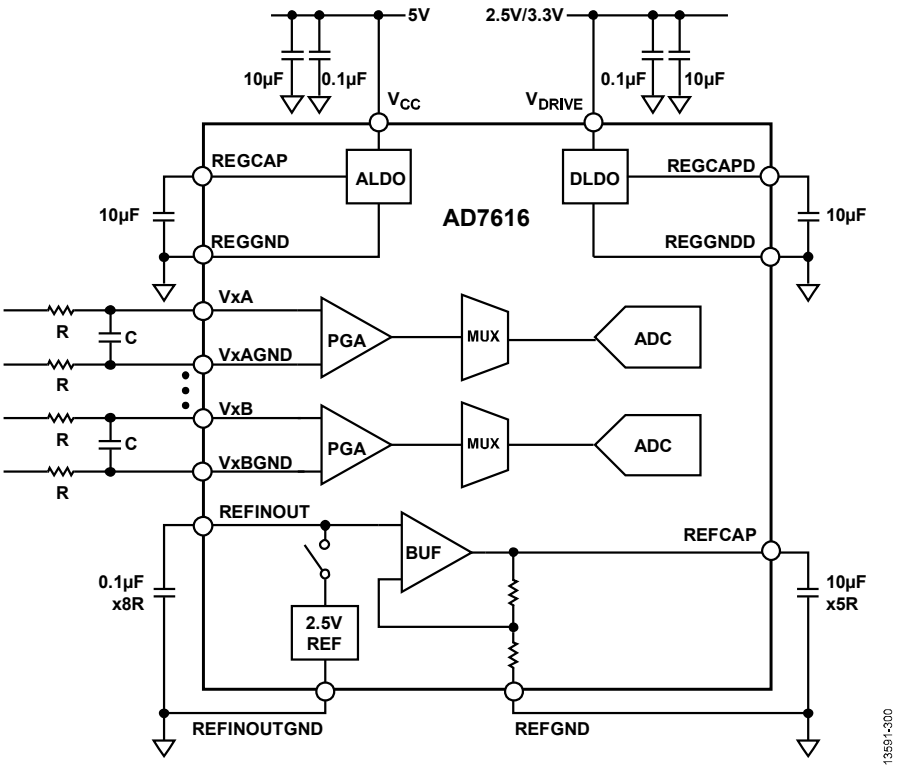

5V
2.5V/3.3V
10µF
0.1µF
VCC
VDRIVE
0.1µF
10µF
REGCAP
ALDO
DLDO
REGCAPD
10µF
AD7616
10µF
REGGND
REGGNDD
VxA
R
C
PGA
MUX
ADC
VxAGND
R
VxB
R
C
PGA
MUX
ADC
VxBGND
R
REFINOUT
BUF
REFCAP
0.1µF
x8R
2.5V
REF
10µF
x5R
REFINOUTGND
REFGND
13591-300

图49. 典型外部连接

器件配置

工作模式

工作模式（硬件模式或软件模式）在AD7616退出完全复位时配置。当RESET引脚从低电平变为高电平时，HW_RNGSELx引脚的逻辑电平决定工作模式。HW_RNGSELx引脚具有双重功能。如果HW_RNGSELx = 0b00，则AD7616进入软件模式。HW_RNGSELx的任何其它组合都会将AD7616配置为硬件模式，模拟输入范围配置如表8所示。配置软件模式后，便会忽略HW_RNGSELx信号的逻辑电平。配置一种工作模式后，要退出该工作模式并设置另一种工作模式，需要通过RESET引脚执行完全复位。若选择硬件模式，则所有后续器件配置都是通过引脚控制进行。硬件模式下禁止访问片内寄存器。在软件模式下，接口和基准电压配置必须通过引脚控制进行，但所有后续器件配置只能通过寄存器进行。

内部/外部基准电压源

当AD7616退出完全复位时，内部基准电压源要么使能，要么禁用。当RESET引脚从低电平变为高电平时，REFSEL信号的逻辑电平配置基准电压源。配置基准电压源后，便会忽略REFSEL信号的逻辑电平变化。若REFSEL信号设为1，则使能内部基准电压源。若REFSEL设为逻辑0，则禁用内部基准电压源，必须将外部基准电压源施加到REFINOUT引脚，AD7616才能正常工作。要退出当前工作模式并设置另一种工作模式，需要通过RESET引脚执行完全复位。

REFINOUT和REFINOUTGND引脚之间应连接一个100 nF电容。若使用外部基准电压源，则应在基准电压源与AD7616的REFINOUT引脚之间串联一个10 kΩ带宽限制电阻。

数字接口

数字接口选择（并行或串行）在AD7616退出完全复位时配置。当RESET引脚从低电平变为高电平时，SER/PAR信号的逻辑电平配置该接口。若SER/PAR信号设为0，则使能并行接口。若SER/PAR信号设为1，则选择串行接口。此外，若选择串行接口，当RESET引脚被释放时，会监视SER1W信号以决定选择串行1线还是2线模式。配置好接口之后，便会忽略SER/PAR信号或SER1W信号（使能串行接口情况下）的逻辑电平变化。要退出当前工作模式并设置另一种工作模式，需要通过RESET引脚执行完全复位。

硬件模式

若选择硬件模式，可用功能会受到限制，而且所有功能都是通过引脚控制进行配置。为了配置AD7616的功能，完全复位后会检查以下信号的逻辑电平：CRC、BURST、SEQEN和OSx。表11汇总了完全复位释放时器件锁存的信号，其取决于所选的工作模式。完成器件配置后，要退出当前配置并设置另一种配置，需要通过RESET引脚执行完全复位。根据所选的接口类型，可用功能可能会受到限制。关于硬件并行或串行模式下可用功能的完整列表，请参见表10。

复位时会查询CHSELx引脚状态，以决定要获取哪个初始模拟输入通道对进行转换，或配置序列器的初始设置。正常工作期间可以重新配置要转换的通道对或硬件序列器，方法是在CONVST上升沿之前到BUSY下降沿为止，设置并保持CHSELx信号电平。

HW_RNGSELx信号控制所有16个模拟输入通道的模拟输入范围。这些引脚的逻辑状态改变会立即影响模拟输入范围；但是，除正常采集时间要求外，还有典型值约为120 µs的建立时间要求。建议根据系统信号所需的输入范围，通过硬连线连接范围选择引脚。

硬件模式下禁止访问片内寄存器。

表11. 锁存的硬件信号汇总[1]

信号	完全复位时锁存		复位时读取		繁忙时读取		边沿驱动	
	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式
REFSEL	是	是						
SEQEN	是	否						
HW_RNGSELx（范围选择）				是	是		是	否
HW_RNGSELx（硬件或软件模式）	是	是						
SER/$\overline{\text{PAR}}$	是	是						
CRCEN	是	否						
OSx	是	否						
BURST	是	否						
$\overline{\text{CHSELx}}$			是	否	是	否		
SER1W	是	是						

[1] 表11中的空白单元意味着不适用。

软件模式

若选择软件模式且已配置基准电压源和接口类型，则AD7616的所有其它配置都要通过片内寄存器进行设置。选择软件模式时，AD7616的全部功能都可以使用。表11汇总了完全复位释放时器件锁存的信号，其取决于所选的工作模式。

复位功能

AD7616有两种复位模式：完全或部分。复位模式选择取决于复位低电平脉冲的长度。部分复位要求$\overline{\text{RESET}}$引脚保持低电平40 ns到500 ns。释放$\overline{\text{RESET}}$ 50 ns之后，器件即完全可用，可以启动转换。完全复位要求$\overline{\text{RESET}}$引脚保持低电平至少1.2 µs。释放$\overline{\text{RESET}}$ 15 ms之后，器件完成重新配置，可以启动转换。

部分复位会重新初始化下列模块：

- 序列器
- 数字滤波器
- SPI
- 两个SAR ADC

部分复位完成时，会丢弃当前转换结果。部分复位不会影响软件模式下设置的寄存器值，或硬件和软件模式下存储用户配置的锁存器。部分复位之后，软件模式下需要执行一次伪转换。

完全复位会将器件复位至默认上电状态。AD7616退出完全复位时会配置如下内容：

- 硬件模式或软件模式
- 内部/外部基准电压源
- 接口类型

上电时，一旦V_{CC}和V_{DRIVE}电源均稳定下来，便可释放$\overline{\text{RESET}}$信号。完全复位后释放$\overline{\text{RESET}}$引脚时，HW_RNGSELx、REFSEL、SER/$\overline{\text{PAR}}$和DB4/$\overline{\text{SER1W}}$引脚的逻辑电平决定器件配置。

若选择硬件模式，则当$\overline{\text{RESET}}$引脚在完全复位模式下从低电平变为高电平时，CRC、BURSTEN、SEQEN和OSx信号所决定的功能也会被锁存。完成功能配置后，便会忽略这些信号的变化。在硬件模式下，模拟输入范围（HW_RNGSELx信号）可在完全或部分复位期间或正常工作期间配置，但硬件/软件模式选择需要完全复位才能重新配置，同时此设置会被锁存。

在硬件模式下，退出完全和部分复位时均会查询CHSELx和HW_RNGSELx引脚，以便执行如下操作：

- 确定要获取哪一个初始模拟输入通道对进行转换。
- 配置序列器的初始设置。
- 选择模拟输入电压范围。

CHSELx和HW_RNGSELx信号不会被锁存。正常工作期间可以重新配置要转换的通道对或硬件序列器，方法是在CONVST上升沿之前设置CHSELx信号电平并保持不变，直到BUSY再次变为低电平。详情参见“通道选择”部分。

在软件模式下，所有其它功能都是通过片内寄存器进行配置。

引脚功能概览

AD7616有多个双功能引脚，其功能取决于HW_RNGSELx引脚选择的工作模式。表12列出了不同工作模式和接口模式下的引脚功能。

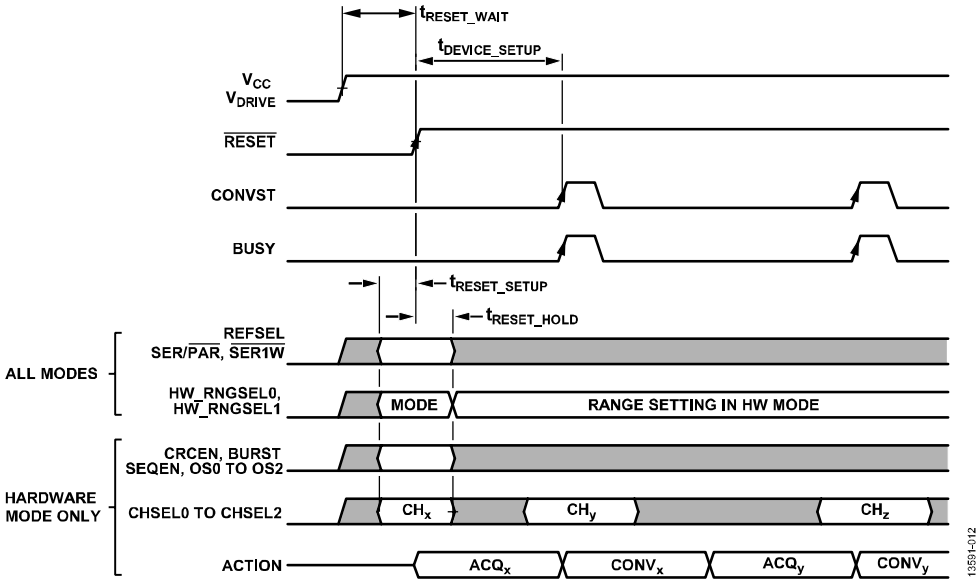


图50. AD7616复位时的配置

表12. 引脚功能概览

	工作模式			
	软件模式，HW_RNGSELx = 00		硬件模式，HW_RNGSELx ≠ 00	
引脚	串行，SER/PAR = 1	并行，SER/PAR = 0	串行，SER/PAR = 1	并行，SER/PAR = 0
CHSELx	无功能，连接到DGND	无功能，连接到DGND	CHSELx	CHSELx
SCLK/RD	SCLK	RD	SCLK	RD
WR/BURST	连接到DGND	WR	BURST	BURST
DB15/OS0至DB13/OS2	连接到DGND	DB15至DB13	OSx	DB15至DB13
DB12/SDOA	SDOA	DB12	SDOA	DB12
DB11/SDOB	SDOB，串行1线模式下浮空	DB11	SDOB	DB11
DB10/SDI	SDI	DB10	连接到DGND	DB10
DB9至DB6，DB3至DB0	连接到DGND	DB9至DB6，DB3至DB0	连接到DGND	DB9至DB6，DB3至DB0
DB5/CRCEN	连接到DGND	DB5	CRCEN	DB5
DB4/SER1W	SER1W	DB4	SER1W	DB4
HW_RNGSELx	HW_RNGSELx，连接到DGND	HW_RNGSELx，连接到DGND	HW_RNGSELx，配置模拟输入范围	HW_RNGSELx，配置模拟输入范围
SEQEN	无功能，连接到DGND	无功能，连接到DGND	SEQEN	SEQEN
REFSEL	REFSEL	REFSEL	REFSEL	REFSEL

数字接口

通道选择

硬件模式

CHSELx信号的逻辑电平决定要转换的通道对；信号解码信息参见表13。退出完全或部分复位时的CHSELx信号决定要采样的初始通道对。复位之后，在BUSY高电平期间会检查CHSELx信号的逻辑电平，以便设置下一转换的通道对。CHSELx信号电平必须在CONVST从低电平变为高电平之前设置，并且保持不变，直到BUSY从高电平变为低电平，指示转换已完成。详情参见图51。

软件模式

在软件模式下，要转换的通道由通道寄存器选择。上电时或复位后，选择进行转换的默认通道为V0A和V0B。

表13. CHSELx引脚解码

通道选择输入引脚			要转换的模拟输入通道
CHSEL0	CHSEL1	CHSEL2	
0	0	0	V0A, V0B
0	0	1	V1A, V1B
0	1	0	V2A, V2B
0	1	1	V3A, V3B
1	0	0	V4A, V4B
1	0	1	V5A, V5B
1	1	0	V6A, V6B
1	1	1	V7A, V7B

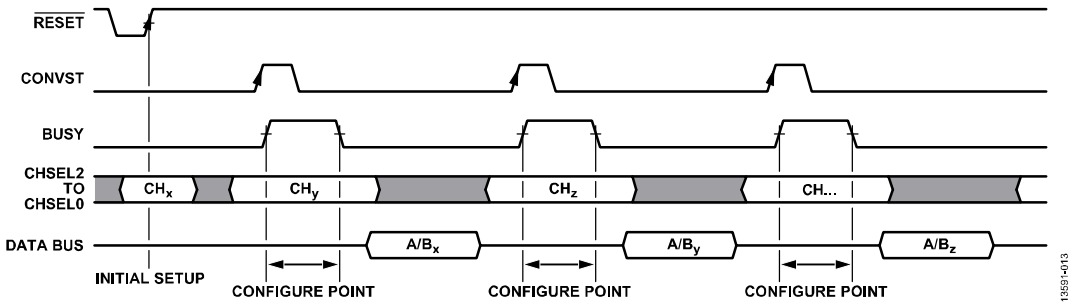


图51. 硬件模式通道转换设置

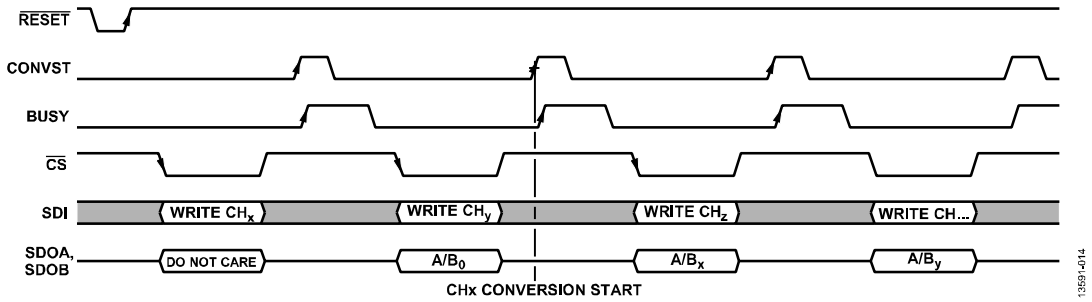


图52. 软件串行模式通道转换设置

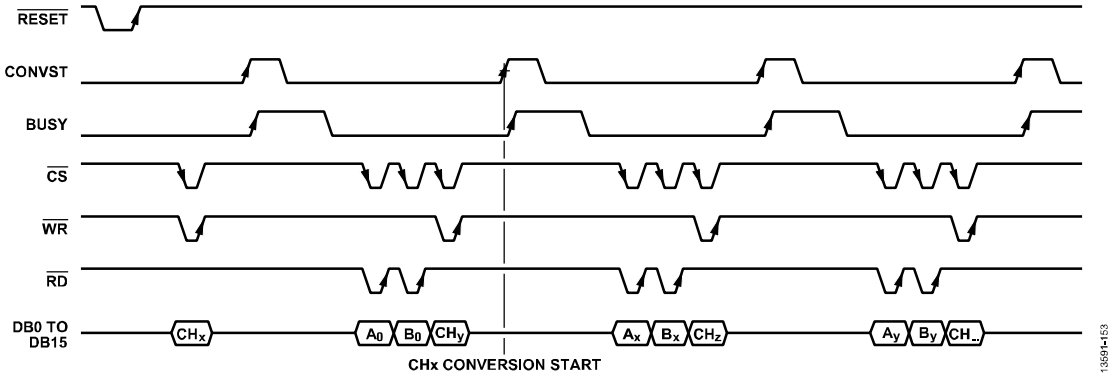


图53. 软件并行模式通道转换设置

并行接口

通过并行接口可读取转换结果，以及配置和回读片内寄存器。要从AD7616读取数据，可以通过并行数据总线并使用标准$\overline{CS}$、$\overline{RD}$和$\overline{WR}$信号。通过并行总线读取数据时，需将SER/$\overline{PAR}$引脚与低电平相连。

读取转换结果

CONVST信号启动转换过程。CONVST信号从低电平变为高电平时，启动对所选输入的转换。BUSY信号变为高电平表示转换正在进行。BUSY信号从高电平变为低电平表示转换已完成，可以通过并行接口回读转换结果。

要从AD7616读取数据，可以通过并行数据总线并使用标准$\overline{CS}$和$\overline{RD}$信号。通过内部选通$\overline{CS}$和$\overline{RD}$输入信号，可以将转换结果输出到数据总线。当$\overline{CS}$和$\overline{RD}$同时处于逻辑低电平状态时，数据线DB15至DB0脱离高阻态。

$\overline{CS}$输入信号的上升沿使总线进入三态，$\overline{CS}$输入信号的下降沿使总线脱离高阻态。$\overline{CS}$是使能数据线的控制信号；利用该功能可以让多个AD7616器件共享同一并行数据总线。

所需的读操作次数取决于器件配置。对于同步采样的A和B通道，读取转换结果至少需要两次读操作。如果使能了其他功能，如CRC、状态和突发模式等，则所需的回读次数相应地增加。

$\overline{RD}$引脚用来从输出转换结果寄存器读取数据。对AD7616的$\overline{RD}$引脚施加一系列$\overline{RD}$脉冲，可使各通道的转换结果逐个输出到并行总线DB15至DB0。BUSY变为低电平后的第一个$\overline{RD}$下降沿输出通道Ax的转换结果。下一个$\overline{RD}$下降沿则用通道Bx转换结果更新总线。

写入寄存器数据

在软件模式下，可以通过并行接口写入AD7616的所有读/写寄存器。通过并行总线（DB15至DB0）、$\overline{CS}$和$\overline{WR}$信号进行单次16位并行访问，可执行寄存器写命令。写入AD7616数据通过DB15至DB0输入提供，DB0是数据字的LSB。写命令的格式如图54所示。要选择写命令，必须将位D15设为1。位［D14:D9］为寄存器地址。随后的9位（位［D8:D0］）包含待写入选定寄存器的数据。寄存器地址的完整列表参见“寄存器汇总”部分。数据在$\overline{WR}$的上升沿锁存到器件中。

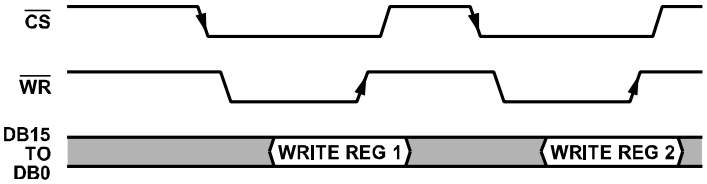


图54. 并行接口寄存器写操作

读取寄存器数据

器件中的所有寄存器均可通过并行接口读取。要读取一个寄存器，首先须向AD7616写入要读取的寄存器地址。寄存器读命令的格式如图56所示。要选择读命令，必须将位D15设为0。位［D14:D9］为寄存器地址。忽略随后的9位（位［D8:D0］）。读命令在$\overline{WR}$的上升沿锁存到AD7616中。此锁存器将把相关寄存器数据传输至输出寄存器，然后便可利用标准读命令通过DB15至DB0引脚读取寄存器数据。更多信息参见图56。

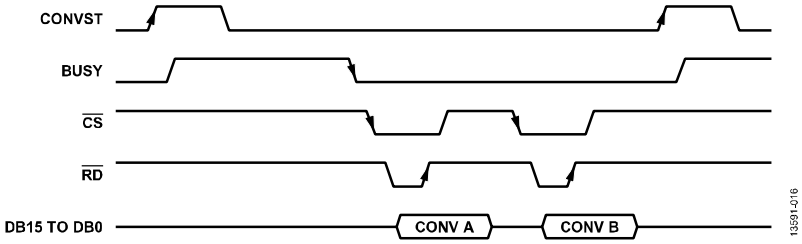


图55. 并行接口转换回读

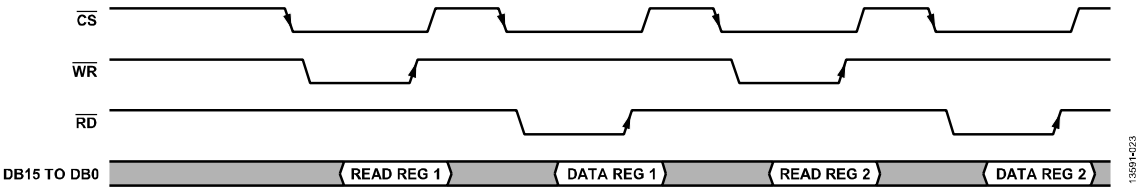


图56. 并行接口寄存器读操作

串行接口

要通过SPI连接AD7616，SER/$\overline{PAR}$引脚必须连接高电平。$\overline{CS}$和SCLK信号从AD7616传输数据。AD7616有两个串行数据输出引脚：SDOA和SDOB。利用串行1线或串行2线模式从AD7616回读数据。

在AD7616的串行2线模式下，通道V0A至V7A的转换结果出现在SDOA上，通道V0B至V7B的转换结果出现在SDOB上。在串行1线模式下，通道V0B至V7B的转换结果与通道V0A至V7A的转换结果交错出现。要实现最大吞吐速率，须使用2线模式。

通过SDOA和SDOB回读数据时，$\overline{SER1W}$引脚必须连接高电平。仅通过SDOA回读数据时，$\overline{SER1W}$引脚必须连接低电平。串行1线或2线模式在AD7616退出完全复位时配置。

读取转换结果

CONVST信号启动转换过程。CONVST信号从低电平变为高电平时，启动对所选输入的转换。BUSY信号变为高电平表示转换正在进行。BUSY信号从高电平变为低电平表示转换已完成，可以通过串行接口回读转换结果。

$\overline{CS}$下降沿使数据输出线路SDOA和SDOB脱离三态，并输出转换结果的MSB。SCLK上升沿将随后的所有数据位逐个送至串行数据输出SDOA和SDOB。图57显示采用AD7616的两条SDOx线读取两个同步转换结果。若将状态寄存器内容附加到转换结果，或者工作在序列器突发模式（多个16 SCLK传输访问AD7616中的数据），则$\overline{CS}$应保持低电平以对全部数据进行帧传输。也可只用一条SDOx线逐个输出数据，此时必须利用SDOA来访问全部转换数据。当AD7616通过一条SDOx线访问VxA和VxB两个通道的转换结果时，总共需要32个SCLK周期。既可利用一个$\overline{CS}$信号使能这32个SCLK周期帧，也可利用$\overline{CS}$信号独立使能各组的16个SCLK周期帧。只用一条SDOx线的缺点是吞吐速率会降低。

在串行1线模式下，不用的SDOB线应保持不连接。若使用SDOA作为单一串行数据输出线，通道结果将按如下顺序输出：VxA和VxB。图58所示为1线串行回读操作。

串行接口模式下的数据回读速度取决于SPI频率、V_{DRIVE}电源和SDO线上的负载电容C_{LOAD}。表14列出了不同条件下可实现的最大速度。

表14. SPI频率与负载电容和V_{DRIVE}的关系

V_{DRIVE} (V)	C_{LOAD} (pF)	SPI频率（MHz）
2.3至3	20	40
3至3.6	30	50

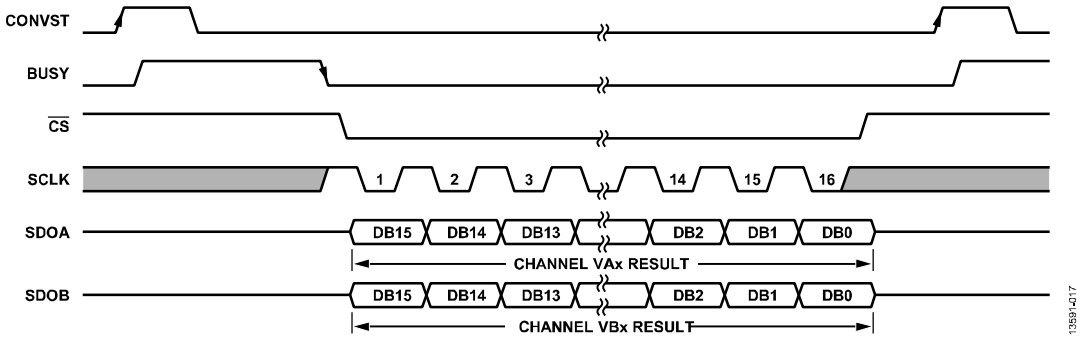


图57. 串行接口2线模式

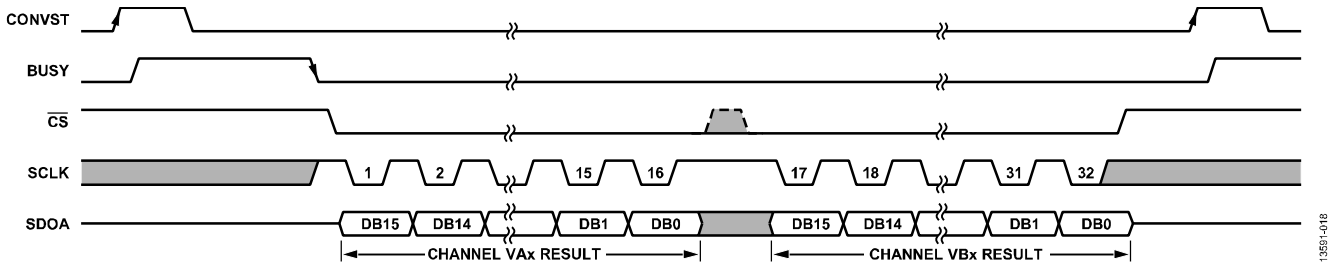


图58. 串行接口1线模式

写入寄存器数据

通过串行接口可写入AD7616中的所有读/写寄存器。通过单次16位SPI读取操作，可执行寄存器写命令。写命令的格式如表15所示。要选择写命令，必须将位D15设为1。位[D14:D9] 为寄存器地址。随后的9位（位 [D8:D0]）包含待写入选定寄存器的数据。图59所示为典型串行写命令。

读取寄存器数据

器件中的所有寄存器均可通过串行接口读取。读取寄存器的命令执行方法为：发出一个寄存器读取命令，然后再发出一个额外的SPI命令；该命令可以是有效的命令，也可以是无操作（NOP）。读命令的格式如表16所示。要选择读命令，必须将位D15设为0。位 [D14:D9] 为寄存器地址。忽略随后的9位（位 [D8:D0]）。寄存器地址的完整列表参见“寄存器汇总”部分。图60所示为典型串行读命令。

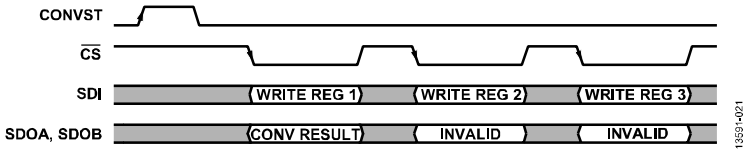


图59. 串行接口寄存器写操作

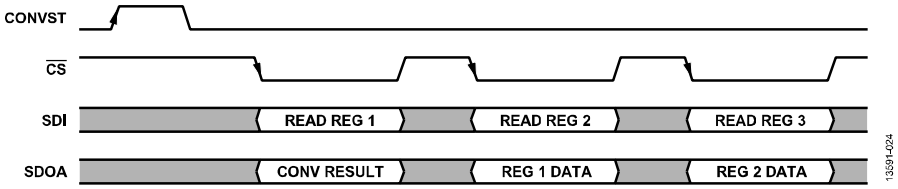


图60. 串行接口寄存器读操作

表15. 写命令消息配置

MSB LSB

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/R	REGADDR[5:0]						数据 [8:0]								
1	寄存器地址						要写入的数据								

表16. 读命令消息配置

MSB LSB

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/R	REGADDR[5:0]						数据 [8:0]								
0	寄存器地址						无关								

序列器

AD7616有一个高度可配置的片内序列器。序列器的功能和配置取决于AD7616的工作模式。

在硬件模式下，序列器只能按顺序工作，总是从通道V0A和V0B开始转换，然后依次转换后续各通道，直至配置的最后一个通道。

在软件模式下，序列器具有额外的功能和配置。序列器堆栈有32个可唯一配置的序列步骤，允许设置任意通道顺序。此外，任意通道VxA输入可以与任意通道VxB输入或诊断通道配对。

序列器工作时，可以使能或不使能突发功能。若使能突发功能，则转换一个序列中的所有通道只需一个CONVST脉冲。若禁用突发模式，则一个序列中每个转换步骤都需要一个CONVST脉冲。关于突发工作模式的详情，请参见“突发序列器”部分。

硬件模式序列器

在硬件模式下，序列器由SEQEN引脚和CHSELx引脚配置。当AD7616退出完全复位时，序列器要么使能，要么禁用。当释放$\overline{\text{RESET}}$引脚时，SEQEN引脚的逻辑电平决定序列器是使能还是禁用（设置参见表17）。释放$\overline{\text{RESET}}$引脚后，该功能便固定下来，要退出该功能并设置另一种配置，需要通过$\overline{\text{RESET}}$引脚执行完全复位。

表17. 硬件模式序列器配置

SEQEN	接口模式
0	禁用序列器
1	使能序列器

当序列器使能时，CHSELx引脚的逻辑电平决定选择哪些通道在序列中进行转换。释放$\overline{\text{RESET}}$引脚时的CHSELx引脚状态决定要在序列中转换的通道初始设置。要在之后重新配置选定进行转换的通道，请在当前转换序列完成之前，将CHSELx引脚设为所需的设置并保持最后一个BUSY脉冲时间。详情参见图61。

表18. CHSELx引脚解码序列器

通道选择输入引脚			要顺序转换的模拟输入通道
CHSEL0	CHSEL1	CHSEL2	
0	0	0	仅V0x
0	0	1	V0x至V1x
0	1	0	V0x至V2x
0	1	1	V0x至V3x
1	0	0	V0x至V4x
1	0	1	V0x至V5x
1	1	0	V0x至V6x
1	1	1	V0x至V7x

软件模式序列器

在软件模式下，AD7616含有32层完全可配置序列器堆栈。通过并行或串行接口写入配置寄存器和序列器堆栈寄存器，可实现对序列器的控制。

每个堆栈步骤都可以独立配置，通道VxA的任意输入可以与通道VxB的任意输入配对，或者选择任何诊断通道进行转换。序列器深度设置范围是1到32层。序列器深度通过SSRENx位控制。根据所需的最后步骤设置序列器堆栈寄存器中的SSRENx位。对于所需的深度，通过写入各序列堆栈寄存器中的ASELx和BSELx位来选择要转换的通道。

将配置寄存器中的SEQEN位设为1就会激活序列器。

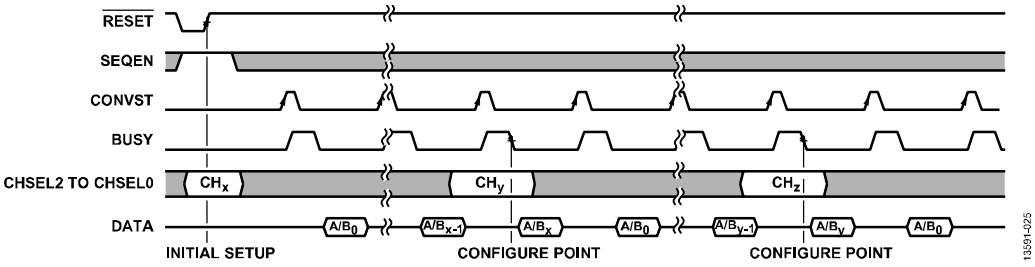


图61. 硬件模式序列器配置

要配置并使能序列器，建议按如下步骤操作（见图62）：

1. 配置所需模拟输入通道的模拟输入范围。
2. 设置序列器堆栈寄存器以选择序列中的通道。
3. 将需要的最后一个序列步骤中的SSRENx位置1。
4. 将配置寄存器中的SEQEN位置1。
5. 提供一个伪CONVST脉冲。
6. 重复发送CONVST脉冲并读取转换结果，遍历序列器堆栈中的每个元素。

若再来一个CONVST脉冲，序列将自动从序列器堆栈中的第一个元素重新开始。

部分复位之后，序列器指针重定位在堆栈的第一层，但寄存器设置值保持不变。

突发序列器

突发模式下不需要为转换序列中的每个步骤产生一个CONVST脉冲。一个CONVST脉冲就能转换序列中的每个步骤。

突发序列器是一个配合序列器工作的额外特性。若使能突发功能，则一个CONVST脉冲就能启动序列器中配置的所有通道的转换。使用突发功能时，无需为转换序列中的每个步骤产生一个CONVST脉冲，若禁用突发功能则不然。

突发功能的配置取决于工作模式：硬件模式或软件模式。关于各种模式下配置突发功能的具体信息，参见“硬件模式突发”部分和“软件模式突发”部分。

配置后，突发序列在CONVST上升沿启动。BUSY引脚变为高电平表示转换正在进行。BUSY引脚将保持高电平，直到序列中的所有转换都已完成。BUSY引脚变为低电平后，可以回读转换结果。

读取突发序列中所有数据所需的数据读取次数取决于配置的序列长度。

转换结果按通道的设置顺序出现在数据总线（并行或串行）上。

在突发模式下，AD7616的吞吐速率受限，具体值取决于序列长度。每个通道对都需要采集、转换和回读时间。完成一个含有N对通道的序列所需的时间可通过下式估算：

$$t_{BURST} = (t_{CONV} + 25\ \text{ns}) + (N - 1)(t_{ACQ} + t_{CONV}) + N(t_{RB})$$

其中：

t_{CONV}为典型转换时间。

t_{ACQ}为典型采集时间。

t_{RB}为串行1线、串行2线或并行模式下回读转换结果所需的时间。

硬件模式突发

将BURST引脚置1，就会在硬件模式下使能突发模式。还要将SEQEN引脚置1以使能序列器。

在硬件模式下，突发序列器由BURST、SEQEN和CHSELx引脚配置。当AD7616退出完全复位时，突发序列器要么使能，要么禁用。当释放$\overline{\text{RESET}}$引脚时，SEQEN引脚和BURST引脚的逻辑电平决定突发序列器是使能还是禁用。释放$\overline{\text{RESET}}$引脚后，该功能便固定下来，要退出该功能并设置另一种配置，需要通过$\overline{\text{RESET}}$引脚执行完全复位。

当突发序列器使能时，CHSELx引脚的逻辑电平决定选择哪些通道在突发序列中进行转换。释放$\overline{\text{RESET}}$引脚时的CHSELx引脚状态决定要在序列中转换的通道初始设置。要在复位后重新配置选定进行转换的通道，请将CHSELx引脚设为所需的设置并保持下一个BUSY脉冲时间（详情参见图63）。

软件模式突发

在软件模式下，将配置寄存器中的BURST位设为1可使能突发功能。将配置寄存器中的SEQEN位设为1时，必须执行此操作，如“软件模式序列器”部分中配置序列器的步骤所述（更多信息参见图64）。

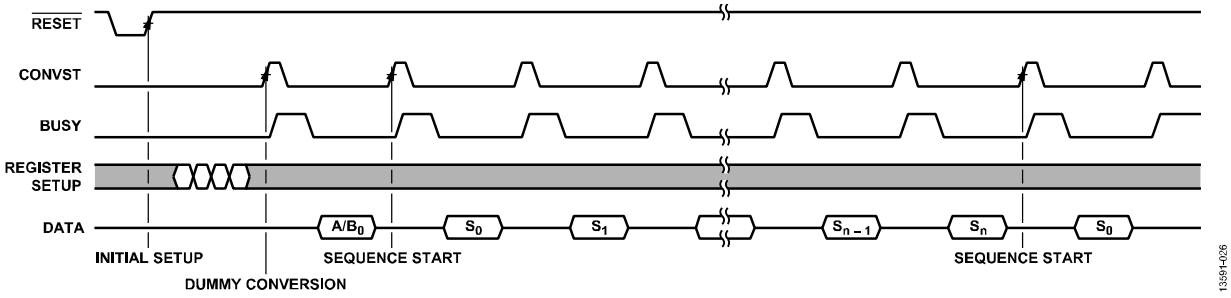


图62. 软件模式序列器配置

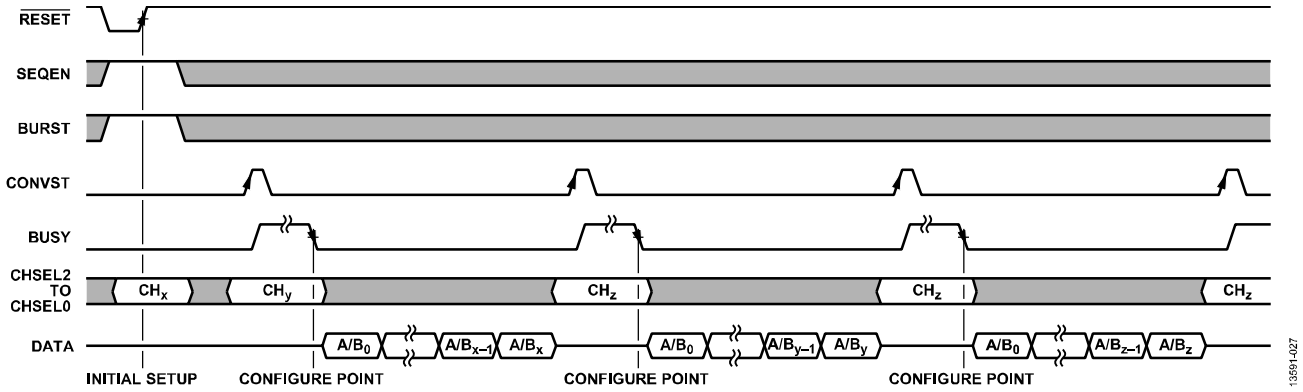


图63. BURST序列器硬件模式

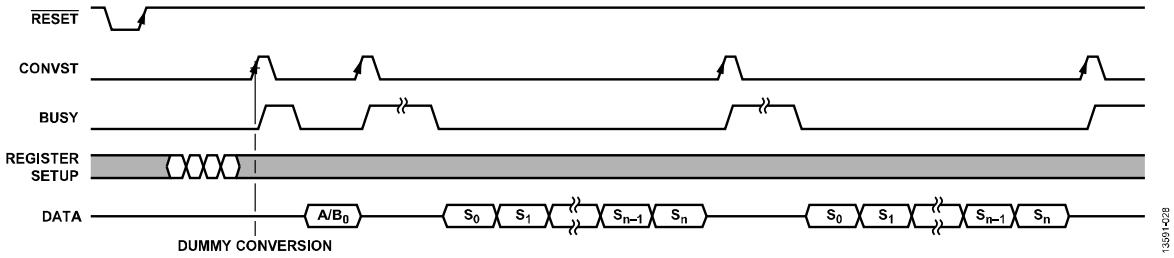


图64. BURST序列器软件模式

诊断

诊断通道

除16个模拟输入VxA和VxB外，AD7616还可以转换以下诊断通道：V_{CC}和模拟ALDO电压。将通道寄存器（参见“通道寄存器”部分）设置为对应的通道标识符，便可选择诊断通道进行转换。软件模式下也可将诊断通道增加到序列器堆栈中，但要提供精确的读数，吞吐速率须小于250 kSPS。图65所示为使用诊断通道时相对于预期值的偏差与采样频率的关系曲线。

各通道的预期输出由以下传递函数决定：公式中VREF指REFCAP引脚上的电压，其典型值为4.096 V。

$$V_{CC}码 = \frac{\left(\left(4 \times V_{CC}\right) - V_{REF}\right) \times 32{,}768}{5 \times V_{REF}}$$

$$LDO码 = \frac{\left(\left(10 \times V_{ALDO}\right) - \left(7 \times V_{REF}\right)\right) \times 32{,}768}{10 \times V_{REF}}$$

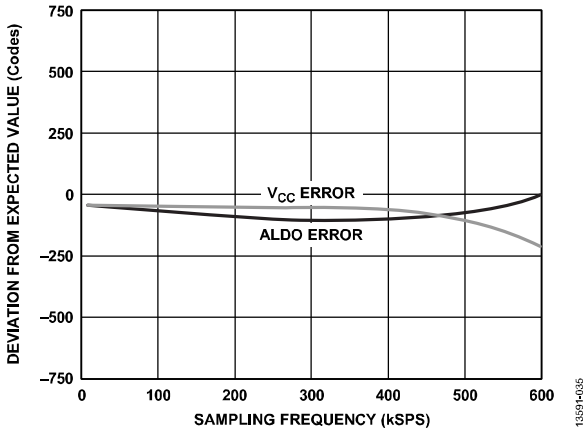


图65. 相对于预期值的偏差与采样频率的关系

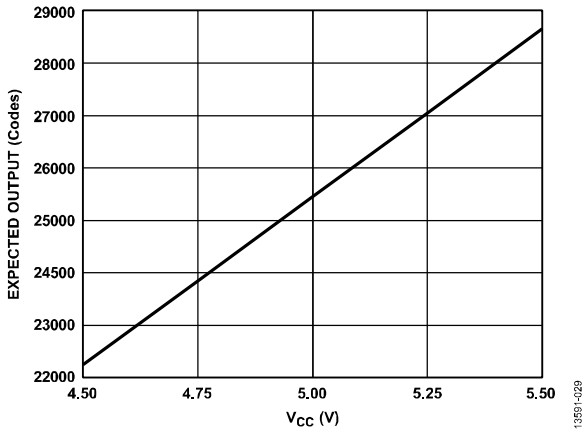


图66. V_{CC}诊断传递函数

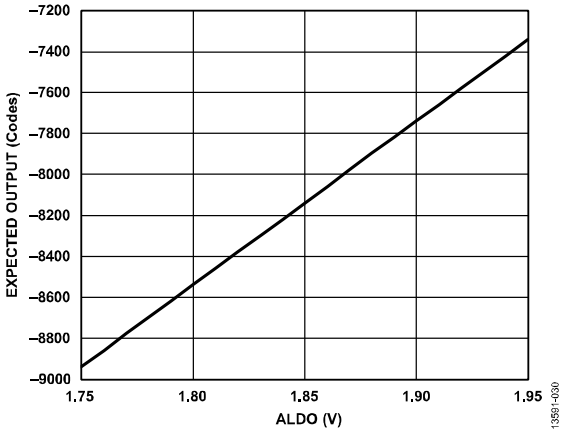


图67. ALDO诊断传递函数

接口自测

选择通道寄存器中的通信自测通道，可以测试数字接口的完整性（参见“通道寄存器”部分）。

配置寄存器选择通信自测通道，进行转换（非序列器模式下，第一次需要一次伪转换），会迫使转换结果寄存器变为已知固定输出。读取转换代码时，代码0xAAAA作为ADC A的转换代码输出，代码0x5555作为ADC B的转换代码输出。

CRC

AD7616具有循环冗余校验（CRC）模式，利用这种模式可检测数据中的错误，从而提高接口的鲁棒性。软件（串行和并行）模式和硬件（仅串行）模式下均可使用CRC特性。硬件并行模式下不能使用CRC特性。CRC结果包含在状态寄存器中。使能CRC特性会使能状态寄存器，反之亦然。

在硬件模式下，CRCEN引脚控制CRC特性。当AD7616退出完全复位时，CRC特性要么使能，要么禁用。当释放$\overline{\text{RESET}}$引脚时，CRCEN引脚的逻辑电平决定CRC特性是使能还是禁用。CRCEN引脚设为1时，使能CRC特性。释放$\overline{\text{RESET}}$引脚后，该功能便固定下来，要退出该功能并设置另一种配置，需要通过$\overline{\text{RESET}}$引脚执行完全复位。更多信息参见“复位功能”部分。使能后，CRC结果追加到转换结果上。CRC状态寄存器为16位字，前8位为最后转换的通道对的通道ID，后8位为CRC结果。该结果通过额外的读命令访问，如图68所示。

在软件模式下，将配置寄存器中的CRCEN位或STATUSEN位设为1可使能CRC功能（参见“配置寄存器”部分）。

使能CRC功能后，就会对通道VxA和通道VxB的转换结果计算CRC。根据器件的配置上，传输完转换结果后，计算并通过串行或并行接口传输CRC。Hamming距离与转换结果的位数相关。转换结果位数≤119时，Hamming距离为4。位数>119时，Hamming距离为1，即总是会检测到1位错误。

下面用伪代码说明AD7616中如何实现CRC：

```
crc = 8'b0;
i = 0;
x = number of conversion channel pairs;
for (i=0, i<x, i++) begin
crc1 = crc_out(An,Crc);
crc = crc_out(Bn,Crc1);
i = i +1;
end
```

其中函数crc_out(data, crc) 为

```
crc_out[0] = data[14] ^ data[12] ^ data[8] ^
data[7] ^ data[6] ^ data[0] ^ crc[0] ^
crc[4] ^ crc[6];
crc_out[1] = data[15] ^ data[14] ^ data[13]
^ data[12] ^ data[9] ^ data[6] ^ data[1] ^
data[0] ^ crc[1] ^ crc[4] ^ crc[5] ^ crc[6]
^ crc[7];
crc_out[2] = data[15] ^ data[13] ^ data[12]
^ data[10] ^ data[8] ^ data[6] ^ data[2] ^
data[1] ^ data[0] ^ crc[0] ^ crc[2] ^ crc[4]
^ crc[5] ^ crc[7];
crc_out[3] = data[14] ^ data[13] ^ data[11]
^ data[9] ^ data[7] ^ data[3] ^ data[2] ^
data[1] ^ crc[1] ^ crc[3] ^ crc[5] ^ crc[6];
crc_out[4] = data[15] ^ data[14] ^ data[12]
^ data[10] ^ data[8] ^ data[4] ^ data[3] ^
data[2] ^ crc[0] ^ crc[2] ^ crc[4] ^ crc[6]
^ crc[7];
crc_out[5] = data[15] ^ data[13] ^ data[11]
^ data[9] ^ data[5] ^ data[4] ^ data[3] ^
crc[1] ^ crc[3] ^ crc[5] ^ crc[7];
crc_out[6] = data[14] ^ data[12] ^ data[10]
^ data[6] ^ data[5] ^ data[4] ^ crc[2] ^
crc[4] ^ crc[6];
crc_out[7] = data[15] ^ data[13] ^ data[11]
^ data[7] ^ data[6] ^ data[5] ^ crc[3] ^
crc[5] ^ crc[7];
```

AD7616使用的初始CRC字为等于0的8位字。上述代码中描述的XOR操作用于计算转换结果A_N的CRC字的每一位。然后，将此CRC字（crc1）用作转换结果B_N的CRC字（crc）计算的起点。对于每个转换的通道对，循环重复上述过程。

根据AD7616的工作模式，状态寄存器值被附加到转换数据上，并利用额外的读命令通过串行或并行接口读出。然后，对于收到的转换结果，用户可以重复上述代码中描述的XOR计算，检查两个CRC字是否一致。图68显示了每种工作模式下CRC字是如何附加到数据上的。

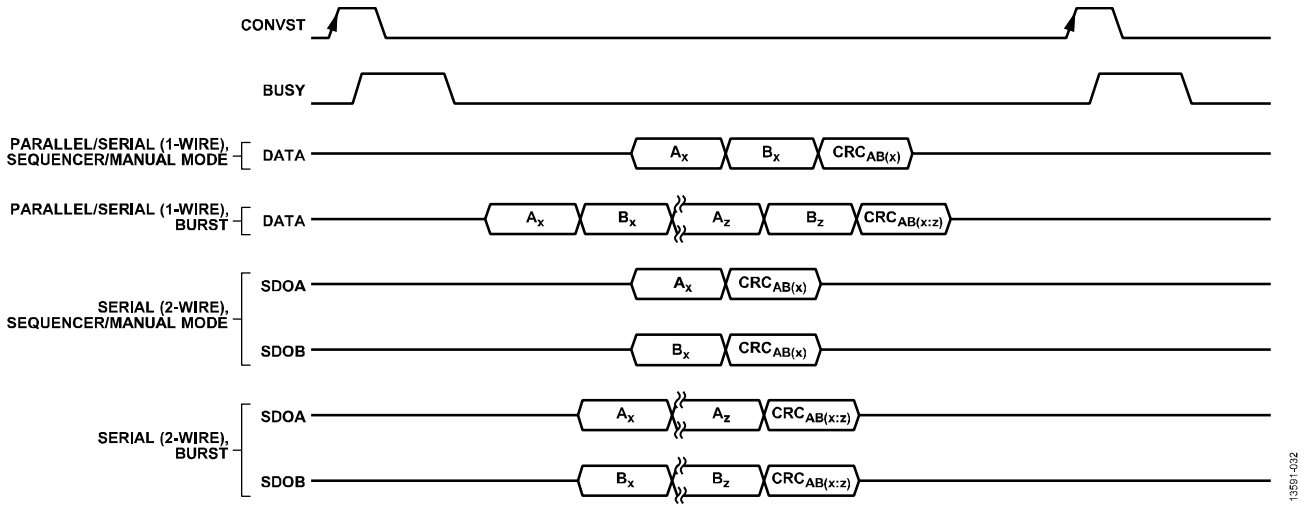


图68. 所有模式的CRC回读

寄存器汇总

AD7616有6个读/写寄存器，用于在软件模式下配置器件；另有32个序列器堆栈寄存器，用于设置灵活的片内序列器；还有一个只读状态寄存器。表19是AD7616的读/写寄存器一览表。状态寄存器是一个只读寄存器，包含关于上次转换的通道对的信息和CRC结果。

表19. 寄存器汇总[1]

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W
0x02	配置寄存器	[15:8]	寻址							保留	0x0000	R/W
		[7:0]	SDEF	BURSTEN	SEQEN	OS			STATUSEN	CRCEN		
0x03	配置寄存器	[15:8]	寻址							保留	0x0000	R/W
		[7:0]	CHB				CHA					
0x04	输入范围寄存器A1	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V3A		V2A		V1A		V0A			
0x05	输入范围寄存器A2	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V7A		V6A		V5A		V4A			
0x06	输入范围寄存器B1	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V3B		V2B		VB1		V0B			
0x07	输入范围寄存器B2	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V7B		V6B		VB5		V4B			
0x20 to 0x3F	序列器堆栈寄存器[0:31]	[15:8]	寻址							SSRENx	0x0000[2]	R/W
		[7:0]	BSELx				ASELx					
N/A	状态寄存器	[15:8]	A[3:0]				B[3:0]				N/A	R
		[7:0]	CRC[7:0]									

[1] N/A表示不适用。

[2] 启动完全或部分复位后，序列器堆栈寄存器重新初始化，遍历通道V0A和通道V0B至通道V7A和通道V7B并循环。其余24层堆栈重新初始化为0x0。

寻址寄存器

写入器件的7个MSB用于确定要寻址的寄存器。这7个MSB由寄存器地址（REGADDR）位［5:0］和读/写位组成。寄存器地址位确定选择哪个片内寄存器。读/写位确定DB10/SDI线上数据的其余9位是否载入被寻址的寄存器。若读/写位为1，则将这些位载入由寄存器选择位寻址的寄存器。若读/写位为0，则认为命令是一个读操作请求。被寻址的寄存器数据可在下一读操作中读取。

MSB LSB

D15	D14	D13	D12	D11	D10	D9	D8至D0
W/$\overline{R}$	REGADDR[5]	REGADDR[4]	REGADDR[3]	REGADDR[2]	REGADDR[1]	REGADDR[0]	DATA[8:0]

表20.

位	引脚名称	描述
D15	W/R	若向此位写入1，则将此寄存器的位［D8:D0］写入REGADDR[5:0］指定的寄存器。 若写入0，则下一个操作是对指定寄存器执行读操作。
D14	REGADDR[5]	若向此位写入1，则REGADDR[4:0］的内容指定32个序列器堆栈寄存器。 若写入0，则选择REGADDR[4:0］所定义的寄存器。
[D13:D9]	REGADDR[4:0]	当W/$\overline{R}$ =1时，REGADDR[4:0］的内容决定要选择的寄存器，如下所示： 00001：保留。 00010：选择配置寄存器。 00011：选择通道寄存器。 00100：选择输入范围寄存器A1。 00101：选择输入范围寄存器A2。 00110：选择输入范围寄存器B1。 00111：选择输入范围寄存器B2。 01000：选择状态寄存器。 当W/$\overline{R}$ = 0时，REGADDR[4:0］为00000，读取转换代码。
[D8:D0]	DATA[8:0]	将这些位写入位REGADDR[5:0］指定的寄存器。有关各寄存器的详细说明，参见下面的部分。

配置寄存器

配置寄存器用在软件模式下，用来配置ADC的许多主要功能，包括序列器、突发模式、过采样和CRC选项。

地址：0x02；复位：0x0000；名称：配置寄存器

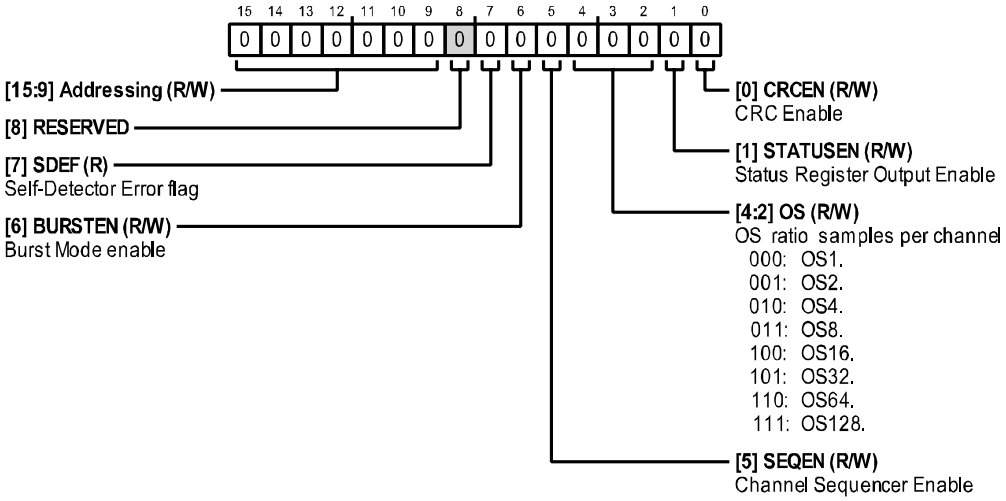


表21. 配置寄存器的位功能描述

位	位名称	设置	描述	复位[1]	访问类型
[15:9]	寻址	0	位［15:9］指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	RW
8	保留		保留。	0x0	R/W
7	SDEF		自检测错误标志。	N/A	R
		0	测试通过。AD7616上电后成功完成自身配置。		
		1	测试失败。器件配置过程中检测到问题。要求复位。		
6	BURSTEN		突发模式使能。	0x0	RW
		0	禁用突发模式。每个要转换的通道对都需要一个CNVST脉冲。		
		1	单个CNVST脉冲就能转换32层序列器堆栈寄存器中设置的每个通道对，直到且包括SSRENx位定义的层。详情参见“软件模式序列器”部分和“软件模式突发”部分。		
5	SEQEN		通道序列器使能。	0x0	RW
		0	禁用通道序列器。		
		1	使能通道序列器。		
[4:2]	OS		过采样（OS）率，每通道样本数。	0x0	RW
		000	禁用过采样。		
		001	使能过采样，OSR = 2。		
		010	使能过采样，OSR = 4。		
		011	使能过采样，OSR = 8。		
		100	使能过采样，OSR = 16。		
		101	使能过采样，OSR = 32。		
		110	使能过采样，OSR = 64。		
		111	使能过采样，OSR = 128。		
1	STATUSEN		状态寄存器输出使能。	0x0	RW
		0	读取转换结果时，不读出状态寄存器。		
		1	读出所有选定通道的所有转换字（若在序列器模式下使能了自测通道，则还包括自测通道）之后，读出状态寄存器。CRC结果包括在最后8位中。		
0	CRCEN		CRC使能。STATUSEN和CRCEN位功能相同。	0x0	RW

[1] N/A表示不适用。

通道寄存器

地址：0x03；复位：0x0000；名称：通道寄存器

在软件手动模式下，通道寄存器选择输入通道或自测通道进行下一次转换。

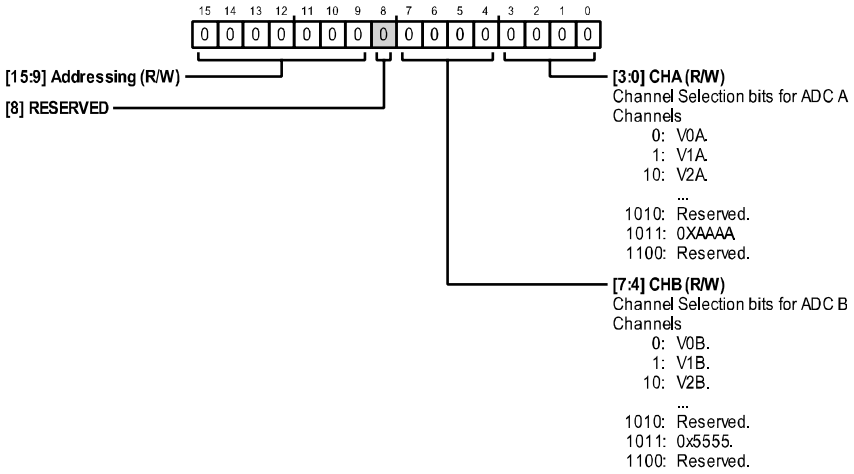


表22. 通道寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位［15:9］指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:4]	CHB		ADC B通道的通道选择位。		
		0000	V0A/V0B。		
		0001	V1A/V1B。		
		0010	V2A/V2B。		
		0011	V3A/V3B。		
		0100	V4A/V4B。		
		0101	V5A/V5B。		
		0110	V6A/V6B。		
		0111	V7A/V7B。		
		1000	V_{CC}。		
		1001	ALDO。		
		1010	保留。		
		1011	设置数字接口通信自测功能的专用位。读取转换代码时，代码0xAAAA作为通道A的转换代码读出，代码0x5555作为通道B的转换代码读出。		
		1100	保留。		
[3:0]	CHA		ADC A通道的通道选择位。设置同ADC B。	0x0	R/W

输入范围寄存器

输入范围寄存器A1和输入范围寄存器A2为模拟输入通道V0A至V7A选择三个可能输入范围（±10 V、±5 V或±2.5 V）中的一个。输入范围寄存器B1和输入范围寄存器B2为模拟输入通道V0B至V7B选择三个可能输入范围（±10 V、±5 V或±2.5 V）中的一个。

输入范围寄存器A1

地址：0x04；复位：0x00FF；名称：输入范围寄存器A1

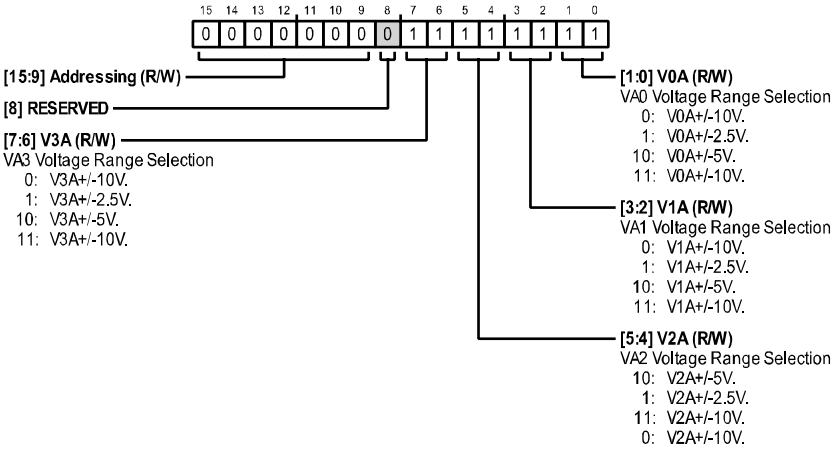


表23. 输入范围寄存器A1的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位［15:9］指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:6]	V3A		V3A电压范围选择。	0x3	R/W
		00	V3A ± 10 V。		
		01	V3A ± 2.5 V。		
		10	V3A ± 5 V。		
		11	V3A ± 10 V。		
[5:4]	V2A		V2A电压范围选择。	0x3	R/W
		00	V2A ± 10 V。		
		01	V2A ± 2.5 V。		
		10	V2A ± 5 V。		
		11	V2A ± 10 V。		
[3:2]	V1A		V1A电压范围选择。	0x3	R/W
		00	V1A ± 10 V。		
		01	V1A ± 2.5 V。		
		10	V1A ± 5 V。		
		11	V1A ± 10 V。		
[1:0]	V0A		V0A电压范围选择。	0x3	R/W
		00	V0A ± 10 V。		
		01	V0A ± 2.5 V。		
		10	V0A ± 5 V。		
		11	V0A ± 10 V。		

输入范围寄存器A2

地址：0x05；复位：0x00FF；名称：输入范围寄存器A2

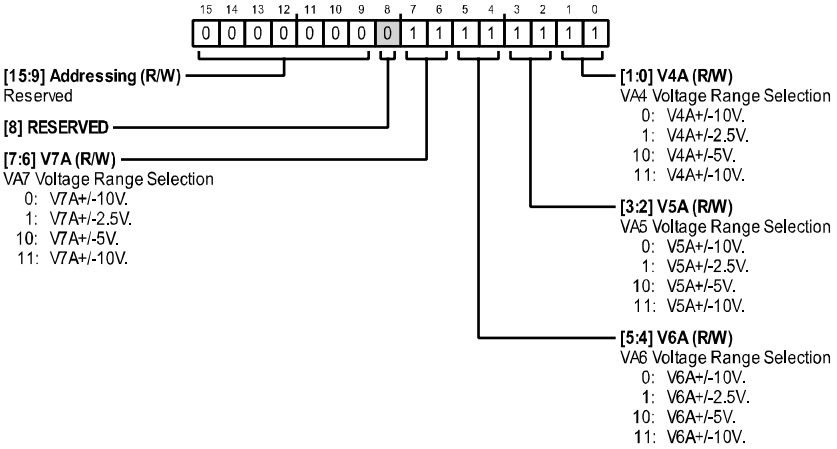


表24. 输入范围寄存器A2的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位［15:9］指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:6]	V7A		V7A电压范围选择。	0x3	R/W
		00	V7A ± 10 V。		
		01	V7A ± 2.5 V。		
		10	V7A ± 5 V。		
		11	V7A ± 10 V。		
[5:4]	V6A		V6A电压范围选择。	0x3	R/W
		00	V6A ± 10 V。		
		01	V6A ± 2.5 V。		
		10	V6A ± 5 V。		
		11	V6A ± 10 V。		
[3:2]	V5A		V5A电压范围选择。	0x3	R/W
		00	V5A ± 10 V。		
		01	V5A ± 2.5 V。		
		10	V5A ± 5 V。		
		11	V5A ± 10 V。		
[1:0]	V4A		V4A电压范围选择。	0x3	R/W
		00	V4A ± 10 V。		
		01	V4A ± 2.5 V。		
		10	V4A ± 5 V。		
		11	V4A ± 10 V。		

输入范围寄存器B1

地址：0x06；复位：0x00FF；名称：输入范围寄存器B1

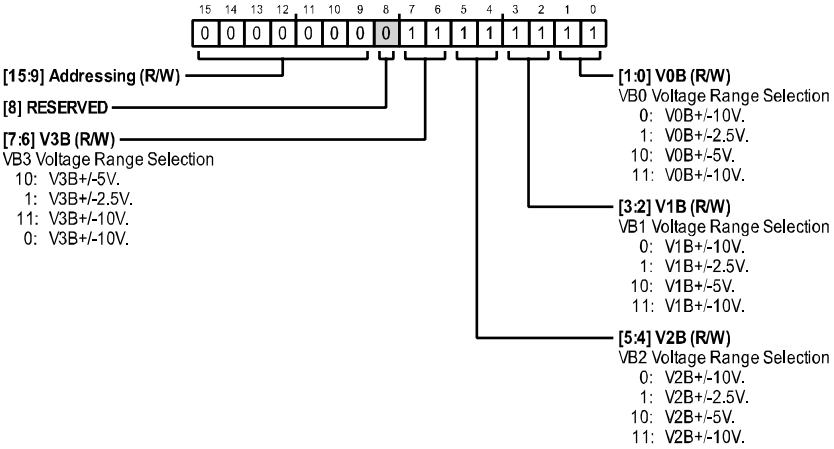


表25. 输入范围寄存器B1的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位［15:9］指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:6]	V3B		V3B电压范围选择。	0x3	R/W
		00	V3B ± 10 V。		
		01	V3B ± 2.5 V。		
		10	V3B ± 5 V。		
		11	V3B ± 10 V。		
[5:4]	V2B		V2B电压范围选择。	0x3	R/W
		00	V2B ± 10 V。		
		01	V2B ± 2.5 V。		
		10	V2B ± 5 V。		
		11	V2B ± 10 V。		
[3:2]	VB1		VB1电压范围选择。	0x3	R/W
		00	VB1 ± 10 V。		
		01	VB1 ± 2.5 V。		
		10	VB1 ± 5 V。		
		11	VB1 ± 10 V。		
[1:0]	V0B		V0B电压范围选择。	0x3	R/W
		00	V0B ± 10 V。		
		01	V0B ± 2.5 V。		
		10	V0B ± 5 V。		
		11	V0B ± 10 V。		

输入范围寄存器B2

地址：0x07；复位：0x00FF；名称：输入范围寄存器B2

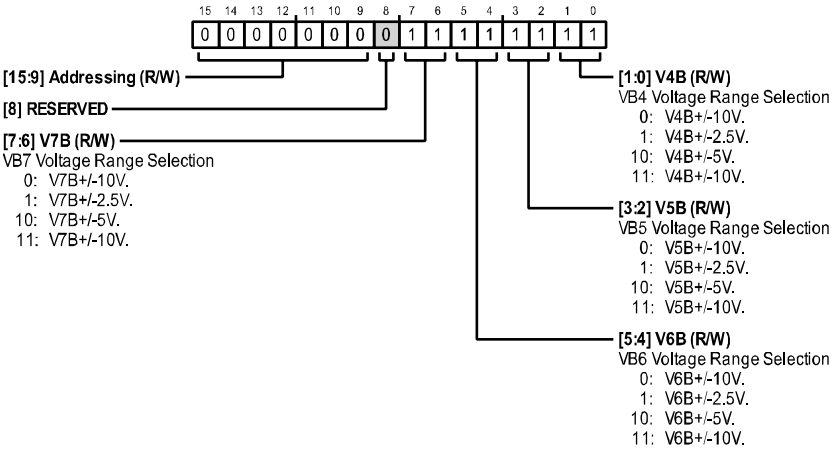


表26. 输入范围寄存器B2的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位［15:9］指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:6]	V7B		V7B电压范围选择。	0x3	R/W
		00	V7B ± 10 V。		
		01	V7B ± 2.5 V。		
		10	V7B ± 5 V。		
		11	V7B ± 10 V。		
[5:4]	V6B		V6B电压范围选择。	0x3	R/W
		00	V6B ± 10 V。		
		01	V6B ± 2.5 V。		
		10	V6B ± 5 V。		
		11	V6B ± 10 V。		
[3:2]	V5B		V5B电压范围选择。	0x3	R/W
		00	V5B ± 10 V。		
		01	V5B ± 2.5 V。		
		10	V5B ± 5 V。		
		11	V5B ± 10 V。		
[1:0]	V4B		V4B电压范围选择。	0x3	R/W
		00	V4B ± 10 V。		
		01	V4B ± 2.5 V。		
		10	V4B ± 5 V。		
		11	V4B ± 10 V。		

序列器堆栈寄存器

虽然通道寄存器能够定义下一个要转换的通道（无论是诊断通道还是一对模拟输入通道），但若要对许多模拟输入通道进行采样，那么利用32个序列器堆栈寄存器将很方便。在通信寄存器中，当REGADDR5位设为逻辑1时，REGADDR[4:0] 的内容指定32个序列器堆栈寄存器中的一个。在每个序列器堆栈寄存器中，用户可以指定一对模拟输入进行同步采样。

序列的结构形成一个堆栈，其中的每一行代表要同步转换的两个通道。序列从序列器堆栈寄存器1开始，一直遍历到序列器堆栈寄存器32并循环。如果某一序列器堆栈寄存器中的位D8（使能位SSRENx）设为1，该序列将以该寄存器定义的模拟输入对结束，然后回到第一序列器堆栈寄存器并再次循环。默认情况下，序列器堆栈寄存器设置为遍历通道V0A和通道V0B至通道V7A和通道V7B并循环。启动完全或部分复位后，序列器堆栈寄存器重新初始化，遍历通道V0A和通道V0B至通道V7A和通道V7B并循环。

地址：0x20至0x3F；复位：0x0000；名称：序列器堆栈寄存器［0:31］

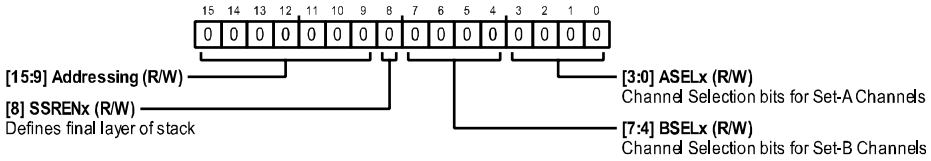


表27. 序列器堆栈寄存器［0:31］的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位［15:9］指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	SSREN[0:31]		此位设为0时，指示ADC在转换完当前通道对之后，转移至序列器堆栈的下一层。此位设为1时，定义序列器堆栈的该层为序列中的最后一层。然后，序列器回到堆栈的第一层并循环。	0x0	R/W
[7:4]	BSEL[0:31]		ADC B通道的通道选择位。	0x0[1]	R/W
		0000	V0B。		
		0001	V1B。		
		0010	V2B。		
		0011	V3B。		
		0100	V4B。		
		0101	V5B。		
		0110	V6B。		
		0111	V7B。		
		1000	V_{CC}。		
		1001	ALDO。		
		1010	保留。		
		1011	设置数字接口通信自测功能的专用位。读取转换代码时，代码0xAAAA作为通道A的转换代码读出，代码0x5555作为通道B的转换代码读出。		
		1100	保留。		
[3:0]	ASEL[0:31]		ADC A通道的通道选择位。设置同ADC B。	0x0[1]	R/W

[1] 启动完全或部分复位后，序列器堆栈寄存器重新初始化，遍历通道V0A和通道V0B至通道V7A和通道V7B并循环。其余24层堆栈重新初始化为0x0。

状态寄存器

状态寄存器是一个16位只读寄存器。若配置寄存器中的STATUSEN位或CRCEN位设为逻辑1，则在选定通道的所有转换字结束时（如果序列器模式下使能了自测通道，则还包括自测通道），读出状态寄存器。参阅CRC部分和图68。

MSB															LSB
D15	**D14**	**D13**	**D12**	**D11**	**D10**	**D9**	**D8**	**D7**	**D6**	**D5**	**D4**	**D3**	**D2**	**D1**	**D0**
A[3:0]				B[3:0]				CRC[7:0]							

表28. 状态寄存器的位功能描述

位	位名称	设置	描述	复位[1]	访问类型
[D15:D12]	A[3:0]		通道A上前一次转换结果的通道索引。	N/A	R
[D11:D8]	B[3:0]		通道B上前一次转换结果的通道索引。	N/A	R
[D7:D0]	CRC[7:0]		前一次转换结果的CRC计算。详情参见CRC部分。	N/A	R

[1] N/A表示不适用。

外形尺寸

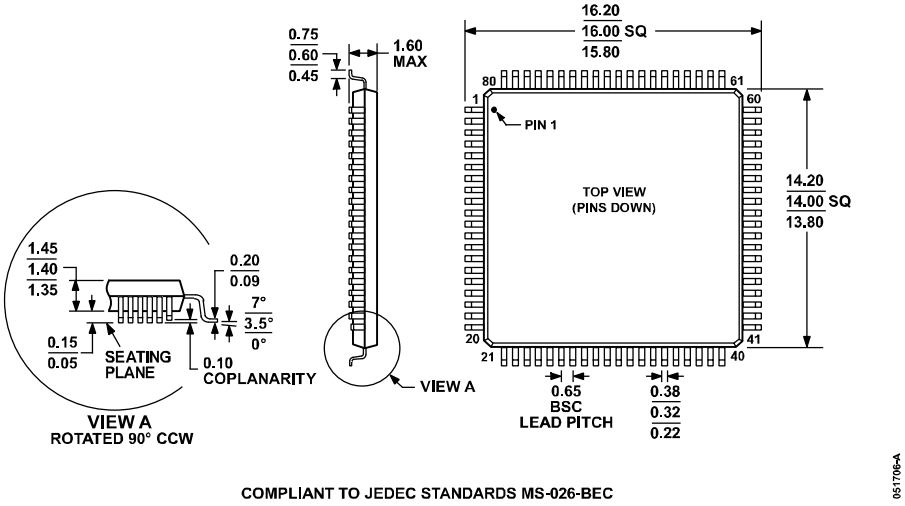


图69. 80引脚薄型四方扁平封装 [LQFP]
(ST-80-2)
图示尺寸单位：mm

订购指南

型号[1]	温度范围	封装描述	封装选项
AD7616BSTZ	-40°C至+125°C	80引脚薄型四方扁平封装 [LQFP]	ST-80-2
AD7616BSTZ-RL	-40°C至+125°C	80引脚薄型四方扁平封装 [LQFP]，13”卷盘	ST-80-2
EVAL-AD7616SDZ		评估板	

[1] Z = 符合RoHS标准的兼容器件。

©2016 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D13591sc-0-10/16(0)