P87LPC769 OTP 单片机数据手册

概述

P87LPC769 是 20 脚封装的单片机，可以在宽范围的性能要求下实现高集成度、低成本的解决方案。作为 Philips 小型封装系列中的一员，P87LPC769 提供可编程选择的高速、低速晶振和 RC 振荡方式。具有较宽的操作电压范围。并提供可编程 I/O 口输出模式选择，可选择施密特触发输入，LED 驱动输出和内部看门狗定时器。P87LPC769 基于 80C51 的加速处理器结构使指令执行速度为标准 80C51 MCU 的两倍。

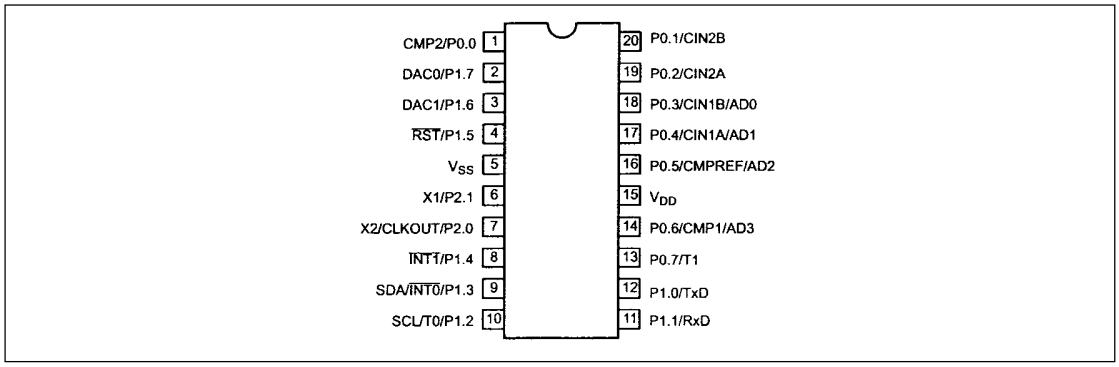
特性

- 操作频率为 20MHz 时，除乘法和除法指令外，加速 80C51 指令执行时间为 300～600ns。V_{DD}=4.5～5.5V 时，时钟频率可达 20MHz。
- 4 通道多路 8 位 A/D 转换器。在振荡器频率 f_{osc}=20MHz 时，转换时间为 9.3μs。
- 两路数模转换器（DAC）输出。（其中一路与 A/D 转换复用）
- 4K 字节 OTP 程序存储器，128 字节的 RAM。32Byte 用户代码区可用来存放序列码及设置参数。
- 2 个 16 位定时/计数器，每一个定时器均可设置为溢出时触发相应端口输出。
- 内含 2 个模拟比较器。
- 全双工通用异步接收/发送器（UART）及 I^2C 通信接口。
- 八个键盘中断输入，另加 2 路外部中断输入。
- 4 个中断优先级。
- 看门狗定时器利用片内独立振荡器,无需外接元件,看门狗定时器溢出时间有 8 种选择。
- 低电平复位。使用片内上电复位时不需要外接元件。
- 低电压复位可在掉电时使系统安全关闭。也可将其设置为一个中断源。
- 振荡器失效检测。看门狗定时器具有独立的片内振荡器，因此它可用于振荡器的失效检测。
- 可配置的片内振荡器及其频率范围和 RC 振荡器选项(用户通过对 EPROM 位编程选择)。选择 RC 振荡器时不需外接振荡器件。
- 可编程 I/O 口输出模式：准双向口,开漏输出,上拉和只有输入功能。可选择施密特触发输入。
- 所有口线均有 20mA 的驱动能力。
- 可控制口线输出转换速度以降低 EMI,输出最小上升时间约为 10ns。
- 最少 15 个 I/O 口,选择片内振荡和片内复位时可多达 18 个 I/O 口。
- 如果选择片内振荡及复位时,P87LPC769 仅需要连接电源线和地线。
- 串行 EPROM 编程允许对芯片进行板上编程。2 位 EPROM 保密位可防止程序被读出。
- 空闲和掉电两种省电模式。提供从掉电模式中唤醒功能（低电平中断输入启动运行）。典型的掉电电流为 1μA。
- 20 脚 SO 封装。

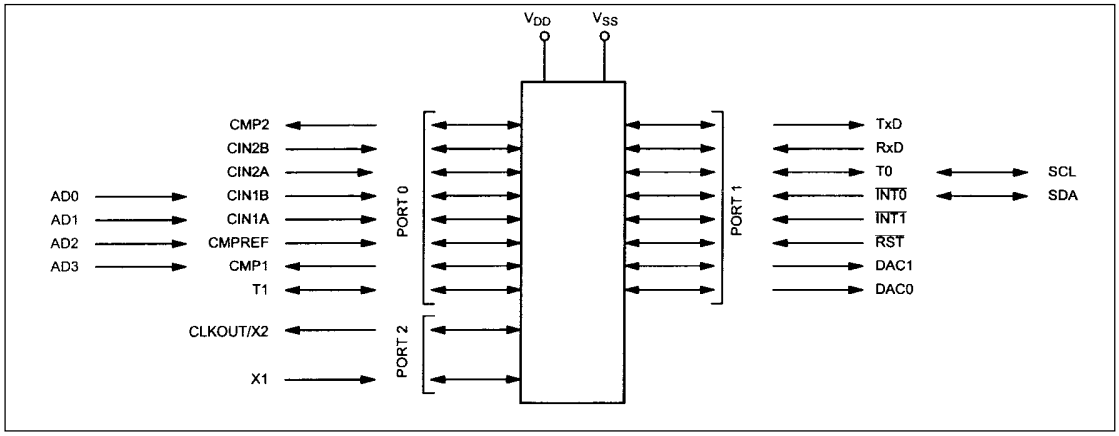
订购信息

货品号	温度范围(℃)和封装	频率
P87LPC769FN	-45～+125℃，PSOP(塑料小型封装)	20MHz(5v),10MHz(3v)
P87LPC769FD	-45～+85℃，PSOP(塑料小型封装)	20MHz(5v),10MHz(3v)

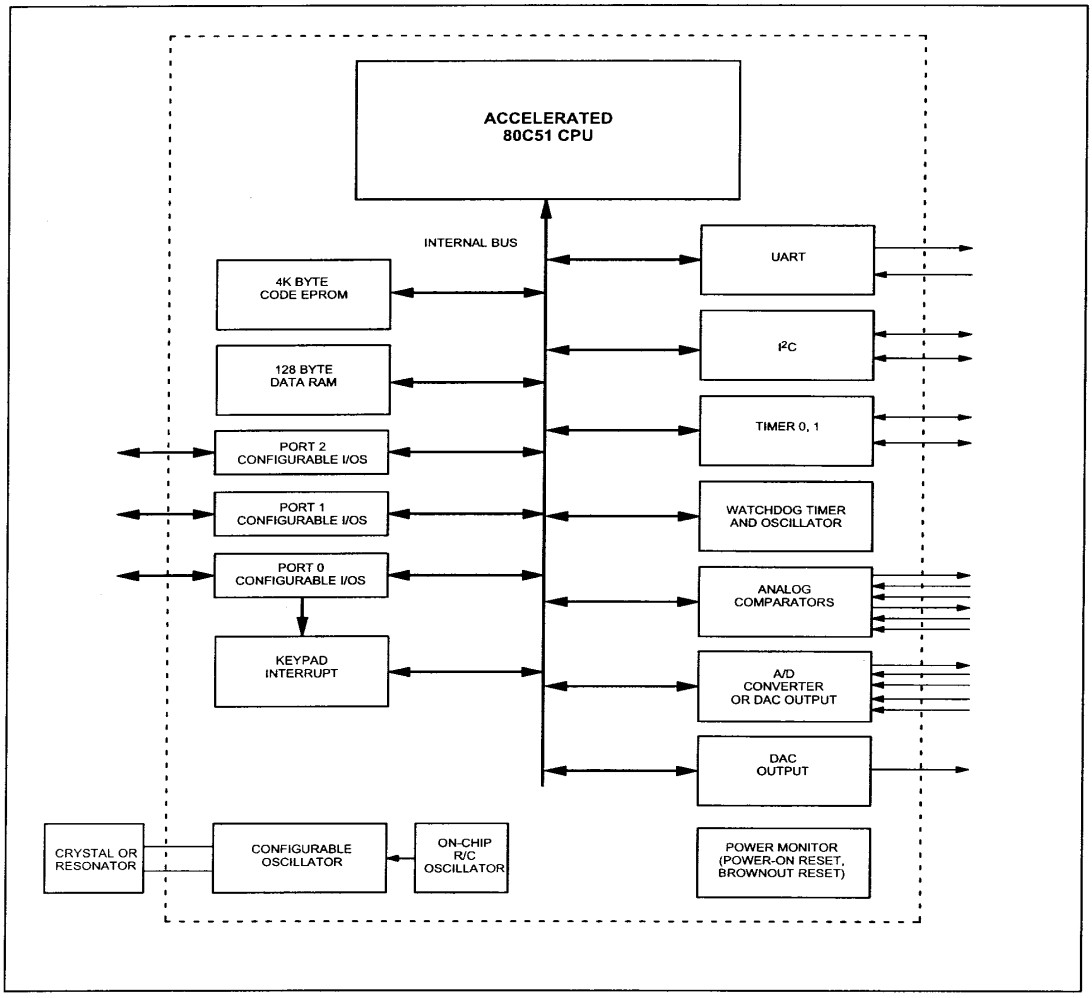
管脚配置，20 脚 SO 封装



逻辑符号



方框图



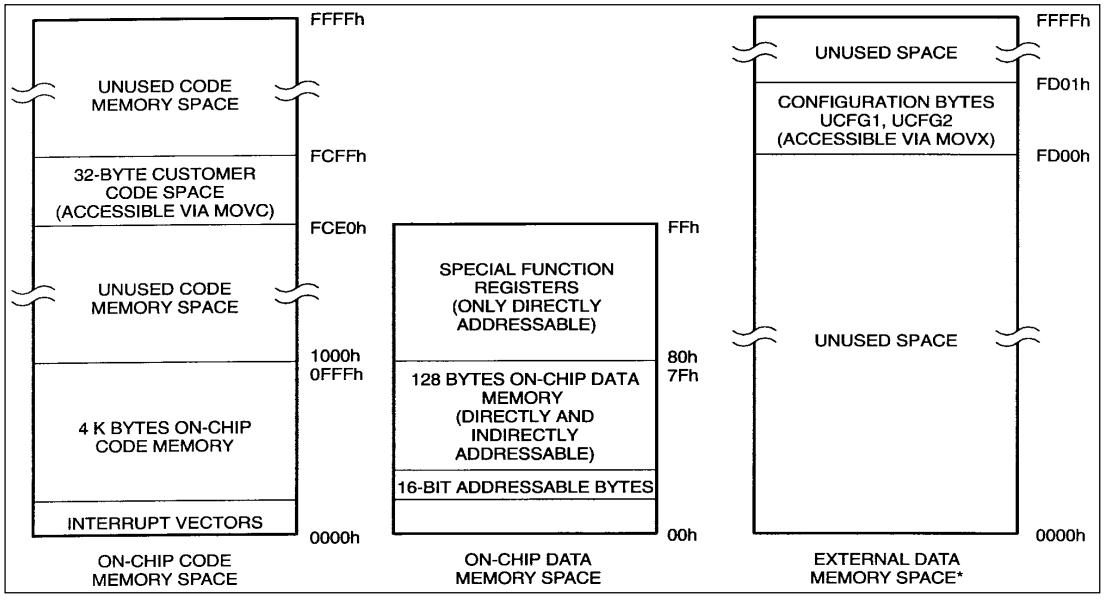


图 1 P87LPC769 程序和数据存储器分布图

* P87LPC769 不支持对外部数据存储器的访问。但用户配置字节可被看作象外部外部数据存储器一样，通过 MOVX 指令进行访问。

管脚描述

助记符	管脚号	类型	名称及功能描述
P0.0～P0.7	1，13，14 16～20	I/O	PORT0：PORT0 是一个用户可定义输出类型的 8 位 I/O 口，PORT0 锁存器在准双向模式中配置，由 UCFG1 中的 PRHI 位确定复位后写入“1”还是“0”。PORT0 口由口配置寄存器设定为输出或输入模式，每一位均可单独设定。详细请参考 I/O 口配置和 DC 电气特性部分。 PORT0 口具有键盘输入中断功能。 PORT0 口还可用作如下特殊功能：
	1	O	P0.0 CMP2 比较器 2 输出
	20	I	P0.1 CIN2B 比较器 2 正向输入 B
	19	I	P0.2 CIN2A 比较器 2 正向输入 A
	18	I	P0.3 CIN1B 比较器 1 正向输入 B AD0 A/D 通道 0 输入
	17	I	P0.4 CIN1A 比较器 1 正向输入 A AD1 A/D 通道 1 输入
	16	I	P0.5 CMPREF 比较器参考(反向)输入 AD2 A/D 通道 2 输入
	14	O	P0.6 CMP1 比较器 1 输出 AD3 A/D 通道 3 输入
	13	I/O	P0.7 T1 定时/计数器 1 外部计数输入或溢出输出
P1.0～P1.7	2～4，8～12	I/O	PORT1：除了下面说明的三个管脚外,PORT1 是一个用户可定义输出类型的 8 位 I/O 口，PORT1 锁存器在准双向模式中配置，由 UCFG1 中的 PRHI 位确定复位后写入“1”还是“0”。PORT1 口由口配置寄存器设定为输出或输入模式，每一位均可单独设定。详细请参考 I/O 口配置和 DC 电气特性部分。 PORT1 口还可用作如下特殊功能：
	12	O	P1.0 TxD 串行口输出
	11	I	P1.1 RxD 串行口输入
	10	I/O I/O	P1.2 T0 定时/计数器 0 外部计数输入或溢出输出。 SCL I^2C 串行时钟输入/输出。为了和 I^2C 格式一致，当配置成输出时为开漏输出。
	9	I I/O	P1.3 $\overline{INT0}$ 外部中断 0 输入。 SDA I^2C 串行数据输入/输出。为了和 I^2C 格式一致，当配置成输出时为开漏输出。
	8	I	P1.4 $\overline{INT1}$ 外部中断 1 输入
	4	I	P1.5 $\overline{RST}$ 外部复位输入(可通过 EPROM 配置选择),低电平复位,使 I/O 口和外围器件为默认状态,处理器从 0 地址开始执行,当用作 I/O 口时,P1.5 只能用作施密特输入。
	3	O	P1.6 DAC1 DAC1 输出
	2	O	P1.7 DAC0 DAC0 输出
P2.0～P2.1	6,7		PORT2：PORT2 是一个用户可定义输出类型的 8 位 I/O 口，PORT2 锁存器在准双向模式中配置，由 UCFG1 中的 PRHI 位确定复位后写入“1”还是“0”。PORT2 口由口配置寄存器设定为输出或输入模式，每一位均可单独设定。详细请参考 I/O 口配置和 DC 电特性部分。 PORT2 口还可用作如下特殊功能：
	7	O	P2.0 X2 由 EPROM 选择为晶体振荡时,振荡器输出。 CLKOUT 通过使能 SFR 位,连接到内部 RC 振荡或外部时钟输入的频率除以 6 后输出。
	6	I	P2.1 X1 由 EPROM 选择为振荡器输入或内部时钟发生器电路。
V_{SS}	5	I	地
V_{DD}	15	I	电源:正常操作模式、空闲模式和掉电模式时的电源。

表 1. 特殊功能寄存器

名称	定义	地址	位功能和位地址								复位值
			E7	E6	E5	E4	E3	E2	E1	E0	
ACC*	累加器	E0H									00H
			C7	C6	C5	C4	C3	C2	C1	C0	
ADCON#*	A/D 控制	C0H	ENADC	ENDAC1	ENDAC0	ADCI	ADCS	RCCLK	AADR1	AADR0	00H
AUXR1#	辅助功能寄存器	A2H	KBF	BOD	BOI	—	SRST	0	—	DPS	02H[1]
			F7	F6	F5	F4	F3	F2	F1	F0	
B*	B 寄存器	F0H									00H
CMP1#	比较器 1/2	ACH	—	—	CE1	CP1	CN1	OE1	CO1	CMF1	00H[1]
CMP2#	控制寄存器	ADH	—	—	CE2	CP2	CN2	OE2	CO2	CMF2	00H[1]
DAC0#	A/D 结果/DAC0 输出	C5H									00H
DAC1#	DAC1 输出	C6H									00H
DIVM#	MCU 时钟分频控制	95H									00H
DPTR	数据指针（双字节）										
DPH	指针高字节	83H									00H
DPL	指针低字节	82H									00H
			CF	CE	CD	CC	CA	CB	C9	C8	
I2CFG#*	I^2C 配制寄存器	C8H 读	SLAVEN	MASTRQ	0	TIRUN	—	—	CT1	CT0	00H[1]
		C8H 写	SLAVEN	MASTRQ	CLRTI	TIRUN	—	—	CT1	CT0	
			DF	DE	DD	DC	DB	DA	D9	D8	
I2CON#*	I^2C 控制寄存器	D8H 读	RDAT	ATN	DRDY	ARL	STR	STP	MASTER	—	80H[1]
		D8H 写	CXA	IDLE	CDR	CARL	CSTR	CSTP	XSTR	XSTP	
I2DAT#*	I^2C 数据寄存器	D9H 读	RDAT	0	0	0	0	0	0	0	80H
		D9H 写	XDAT	X	X	X	X	X	X	X	
			AF	AE	AD	AC	AB	AA	A9	A8	
IEN0*	中断使能 0	A8H	EA	EWD	EBO	ES	ET1	EX1	ET0	EX0	00H
			EF	EE	ED	EC	EB	EA	E9	E8	
IEN1#*	中断使能 1	E8H	ETI	—	EC1	EAD	—	EC2	EKB	E12	00H[1]
			BF	BE	BD	BC	BBB	BA	B9	B8	
IP0*	中断优先级 0	B8H	—	PWD	PBO	PS	PT1	PX1	PT0	PX0	00H[1]
IP0H#	中断优先级 0 高字节	B7H	—	PWDH	PBOH	PSH	PT1H	PX1H	PT0H	PX0H	00H[1]
			FF	FE	FD	FC	FB	FA	F9	F8	
IP1*	中断优先级 1	F8H	PTI	—	PC1	PAD	—	PC2	PKB	P12	00H[1]
IP1H#	中断优先级 1 高字节	F7H	PTIH	—	PC1H	PADH	—	PC2H	PKBH	P12H	00H[1]
KBI#	键盘中断	86H									00H
			87	86	85	84	83	82	81	80	
P0*	0 口	80H	T1	CMP1	CMPREF	CIN1A	CIN1B	CIN2A	CIN2B	CMP2	注 2
			97	96	95	94	93	92	91	90	
P1*	1 口	90H	DAC0	DAC1	$\overline{RST}$	$\overline{INT1}$	$\overline{INT0}$	T0	RxD	TxD	注 2
			A7	A6	A5	A4	A3	A2	A1	A0	
P2*	2 口	A0H	—	—	—	—	—	—	X1	X2	注 2
P0M1#	0 口输出模式选择 1	84H	P0M1.7	P0M1.6	P0M1.5	P0M1.4	P0M1.3	P0M1.2	P0M1.1	P0M1.0	00H
P0M2#	0 口输出模式选择 2	85H	P0M2.7	P0M2.6	P0M2.5	P0M2.4	P0M2.3	P0M2.2	P0M2.1	P0M2.0	00H
P1M1#	1 口输出模式选择 1	91H	P1M1.7	P1M1.6	—	P1M1.4	—	—	P1M1.1	P1M1.0	00H[1]
P1M2#	1 口输出模式选择 2	92H	P1M2.7	P1M2.6	—	P1M2.4	—	—	P1M2.1	P1M2.0	00H[1]
P2M1#	2 口输出模式选择 1	A4H	P2S	P1S	P0S	ENCLK	ENT1	ENT0	P2M1.1	P2M1.0	00H
P2M2#	2 口输出模式选择 2	A5H	—	—	—	—	—	—	P2M2.1	P2M2.0	00H[1]
PCON	电源控制寄存器	87H	SMOD1	SMOD0	BOF	POF	GF1	GF0	PD	IDL	注 3
			D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00H
PT0AD#	0 口数字输入禁能	F6H									00H
			9F	9E	9D	9C	9B	9A	99	98	
SCON*	串行口控制	98H	SM0	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SBUF	串口数据缓冲区	99H									xxH
SADDR#	串口地址寄存器	A9H									00H
SADEN#	串口地址使能	B9H									00H
SP	堆栈指针	81H									07H
			8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器 0/1 控制	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TMOD	定时器 0/1 工作模式	89H	GATE	C/T	M1	M0	GATE	C/T	M1	M0	00H
WDCON#	看门狗控制寄存器	A7H	—	—	WDOVF	WDRUN	WDCLK	WDS2	WDS1	WDS0	注 4
WDRST#	看门狗复位寄存器	A6H									xxH

注：带“*”的特殊寄存器可位寻址。

带“#”的 SFRS 表示从 80C51 特殊功能寄存器修改而来或新增加寄存器。

（1）在特殊功能寄存器中，“x”位表示无效位保留这些位以备将来扩展用，复位时均为 0。

（2）复位后各 I/O 口的值由 UCFG1 配置字节中的 PRHI 位决定。

（3）PCON 复位后的值为 xx BOF POF- 0000b。复位不影响 BOF 和 POF 位。当上电时由硬件置位 POF，掉电复位/中断和加电均可使 BOF 置位。

（4）看门狗复位时 WDCON 复位值为 xx110000b，看门狗使能时其它原因复位使 WDCON 复位为 xx010000b，看门狗禁能时其它原因复位使 WDCON 复位为 xx000000b。

功能描述

增强型 MCU

P87LPC769 采用增强型 80C51 MCU，其运行速度是标准 80C51 的 2 倍，这意味着 P87LPC769 在 10MHZ 时性能和标准 80C51 采用 20MHZ 时性能相同。一个机器周期由 6 个振荡周期组成，大多数指令执行时间为 6 或 12 个振荡周期，用户亦可选择工作在标准 80C51 MCU 时序，这时一个机器周期变为 12 个振荡周期。以下章节中，“MCU 时钟”指控制内部指令执行的时钟。当系统被设置成为标准 80C51 时序（由 CLKR 位确定）或通过设定 DIVM 寄存器分频时，“MCU 时钟”和外部所加时钟不同。**参考“振荡器”一节有关叙述。**

模拟功能

P87LPC769 内部集成了 1 个 A/D 转换器，2 个模拟比较器和 2 个 D/A 转换器。**为了获取最佳性能和降低功耗，作为模拟功能使用的管脚必须关闭数字信号输入（DAC 输出脚除外）及输出功能。**

将口线功能由输出转为只有输入功能时（高阻抗）禁止数字信号输出功能，如 I/O 口部分所述。

使用 PT0AD 寄存器，可禁止 PORT0 口的数字输入功能，在 PT0AD 寄存器中每位均对应 PORT0 相应位。置位 PT0AD 中相应位禁止此管脚作为信号数字输入。**当数字输入功能被禁止时，任何指令读取该位时均为“0”。**

A/D 转换器

P87LPC769 带有一个四通道 8 位 A/D 转换器。四个 P0 口脚可选择作为 A/D 转换输入。由于器件管脚有限，A/D 转换的电源和参考电压与 MCU 共用 Vcc 和 Vss。

A/D 转换器电路包括一个 4 输入模拟多路开关选择器和一个 8 位逐次逼近 ADC。A/D 还带有一个比率电位计以保证 DAC 的单调性。如果 A/D 转换器未使能，DAC0 的电压可从一个管脚输出。详见 DAC 有关章节。

A/D 转换器由特殊功能寄存器 ADCON（详见图 2）控制。通过将 ENADC 置位使能 A/D 转换后，为使 A/D 稳定下来，至少过 10μs 后方可启动 A/D 转换。在 A/D 转换之前必须通过 AADR1 和 AADR0 选择一个模拟输入端用于比较。在 A/D 转换进行当中不能改变这两个位的状态。

通过设置 ADCS 位启动 A/D 转换。当转换进行当中其保持为 1。转换结束时，ADCS 位清零，ADCI 位置位。当 ADCI 置位时，如果中断系统及 A/D 中断使能（通过设置 IE1 中的 EAD 位），将产生中断。A/D 中断为挂起的中断的最高优先级。

转换完成时结果放入 DAC0 中。在下次 A/D 转换启动之前，此结果保持不变。ADCI 位必须通过软件清零。A/D 通道选择和置位 ADCS 以启动下一次 A/D 转换可使用同一条指令，但不能与清除 ADCI 共用一条指令。

A/D 转换器的连接如图 3 所示。理想的 A/D 转换结果由下面的公式给出：

$$\text{结果} = (V_{IN} - V_{SS}) \times \frac{256}{V_{DD} - V_{SS}} \quad \text{(将结果四舍五入)}$$

ADCON 地址：C0h

可位寻址	7	6	5	4	3	2	1	0
复位值：00h	ENADC	ENDAC1	ENDAC0	ADCI	ADCS	RCCLK	ADDR1	ADDR0

位	符号	功能
ADCON.7	ENADC	当 ENADC＝1 时，A/D 使能，在其使能后至少 10μs 方可启动 A/D 转换。当 ADCS 或 ADCI 为 1 时，ENADC 不能清零。
ADCON.6	ENDAC1	当 ENDAC1＝1 时，DAC1 使能并提供一个模拟输出电压。详见 DAC 输出的有关章节。
ADCON.5	ENDAC0	当 ENDAC0＝1 时，DAC0 使能并提供一个模拟输出电压。ADCS 和 ADCI 为零时可写。详见 DAC 输出的有关章节。ENADC 和 ENDAC0 不可同时置位。
ADCON.4	ADCI	A/D 转换完成/中断标志。转换完成后该位置位。如果 A/D 中断使能且处于足够高的优先级，ADCI 置位可产生硬件中断。该位必须由软件清零。
ADCON.3	ADCS	A/D 启动位。由软件置位启动被选的 A/D 输入转换。ADCS 在 A/D 转换进行中保持 1，当转换完成后自动清零。当 ADCS 或 ADCI 为 1 时忽略新的启动请求。
	ADCI，ADCS	A/D 状态
	0 0	A/D 空闲，可启动 A/D 转换。
	0 1	A/D 转换正在执行，暂不启动新转换。
	1 0	A/D 转换完成，在启动新转换之前必须将 ADCI 清零。
	1 1	A/D 转换完成。在启动新转换之前必须将 ADCS 清零。当 A/D 转换完成后，该状态将保持 1 个机器周期。
ADCON.2	RCCLK	当 RCCLK＝0 时，将 MCU 时钟作为 A/D 时钟源。当 RCCLK＝1 时，内部 RC 振荡器作为 A/D 时钟源。当 ADCS 和 ADCI 为 0 时，该位可进行写操作。
ADCON.1,0	AADR1, 0	与 AADR0 一起用于选择 A/D 通道。该位仅当 ADCS 和 ADCI 均为 0 时可写。
	AADR1,AADR0	A/D 输入选择
	0 0	AD0（P0.3）
	0 1	AD1（P0.4）
	1 0	AD2（P0.5）
	1 1	AD3（P0.6）

图 2. A/D 控制寄存器（ADCON）

A/D 时序

A/D 时钟可由两种方式之一提供。默认的方式为将 MCU 时钟作为 A/D 的时钟源。使用该方式时，A/D 转换在 31 个机器周期内完成。A/D 转换可在最大 MCU 时钟频率 20MHz 下进行，转换时间为 9.3μs。当使用 MCU 时钟率时，计算 A/D 转换时间的公式为：186μs/MCU 时钟频率(MHz)。为获得精确的 A/D 转换结果，MCU 时钟频率至少应为 1MHZ。

甚至当片内 RC 振荡器未用作 MCU 时钟时，A/D 转换也可将 RC 振荡器作为时钟源。这是通过将 ADCON 中的 RCCLK 置位实现的。这种设置有几个优点。首先，在较低的 MCU 时钟频率下可加快 A/D 转换速度。其次，MCU 可工作在 1MHz 以下而不影响 A/D 转换的精度。最后，可应用掉电模式完全关闭 MCU 及其振荡器和其它的外部功能，从而获得最大可能的 A/D 转换精度。但在 MCU 使用超过 4MHz 的外部时钟源时，请勿使用该方式。

当 A/D 以 RC 振荡器为时钟源而 MCU 使用其它时钟源时，需要 3 或 4 个机器周期来同步 A/D 操作。该时间范围从最小 3 个机器周期(以 MCU 时钟频率计算)＋108RC 时钟到最大 4 个机器周期＋112RC 时钟。

不同的 MCU 时钟频率所对应的 A/D 转换时间如表 2 所示。表 2 中列出了（RCCLK＝1）使用 RC 时钟频率 4.5MHz（6MHz-25%）时的最大时间，RC 时钟频率 7.5MHz（6MHz＋25%）时的最小时间，标称时间取理想的 6MHz RC 时钟频率和平均为 3.5 个机器周期（以 MCU 时钟频率计算）。

表 2. A/D 转换时间

MCU 时钟频率	RCCLK=0	RCCLK=1		
		最小	标称	最大
32KHz	NA	563.4μs	659μs	757μs
1MHz	186μs	32.4μs	39.3μs	48.9μs
4MHz	46.5μs	18.9μs	23.6μs	30.1μs

注：当 MCU 时钟频率大于 4MHz 时，请勿将 RC 振荡器作为 ADC 的时钟源。

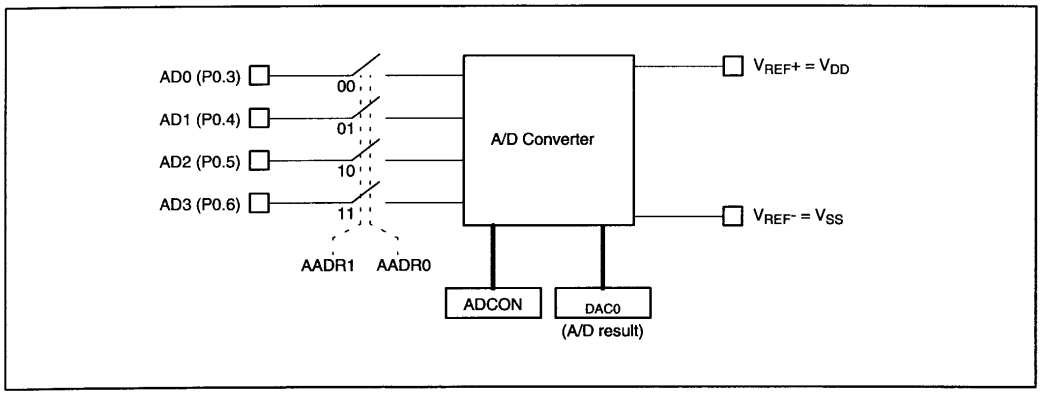


图 3. A/D 转换器的连接

掉电模式和空闲模式下的 A/D 转换

当使用 MCU 时钟作为 A/D 时钟源时，空闲模式可节电和减少转换过程中的系统噪声。如果 A/D 中断使能，当转换完成时将自动终止空闲模式并重新恢复 MCU 运行。空闲模式中，MCU 自身的噪声被消除，但振荡器和其它运行中的片内元件产生的噪声仍将保持。

当 A/D 转换以 RC 振荡器作为时钟源时，可进入掉电模式。在该模式下，可消除大部分片内噪声源从而获得最大的 A/D 转换精度。

当使用 MCU 时钟作为 A/D 时钟源时，进入掉电模式后 A/D 转换将终止操作而不唤醒 MCU。当 A/D 转换恢复时，DACO 的内容无效。

当启动 A/D 转换后，必须在 2 个机器周期内激活掉电或空闲模式以获得最精确的 A/D 转换结果。这两个机器周期是以 MCU 时钟频率计算的。当在掉电模式或空闲模式下使用 A/D 转换时，注意在 A/D 转换完成之前，MCU 不应被其它中断唤醒。唤醒掉电模式和空闲模式的原因是不同的。

A/D 转换精度还被应用中其它处产生的噪声、电源噪声和电源调节噪声所影响。由于 P87LPC769 的电源端还用作 A/D 的电源和参考电压，因此电源对 A/D 读取精度有着非常直接的影响。在非掉电模式下使用 A/D 转换时，通过 CLKR 或 DIVM 将时钟分频会对 A/D 转换精度有不利的影响。

A/D 示例程序

示例的第一部分演示了使用 A/D 时对 I/O 口进行配置。示例中将用于 A/D 转换的四个口都设置成可用的 A/D 通道。将口配置用于模拟功能详见模拟功能的有关章节。

```
；在不影响其它管脚的情况下，将口设置用于 A/D 转换。
        mov     PT0AD,#78h      ;A/D 输入脚禁止数字信号输入
        anl     P0M2,#87h       ;A/D 输入脚禁止数字信号输出
        orl     P0M1,#78h       ;A/D 输入脚禁止数字信号输出
```

下面的示例为使用 A/D 中断。程序 ADStart 使用累加器中提供的 A/D 通道开始 A/D 转换。未检查通道编号的有效性。A/D 必须提前使能以使其有足够的时间稳定下来。

中断处理程序读取转换值并将其存入存储器地址 ADResult。在启动转换之前必须使能中断。

```
；启动 A/D 转换。
ADStart:
        orl     ADCON,A         ;加入新的通道编号
        setb    ADCS            ;启动 A/D 转换
        orl     PCON,#01h       ;MCU 可在此进入空闲模式
        orl     PCON,#02h       ;如果 RCCLK=1,MCU 可在此进入掉电模式
        ret
；A/D 中断处理程序
ADInt:
        push    ACC             ;保存累加器
        mov     A,DAC0          ;得到 A/D 转换结果
        mov     ADResult,A      ;存入存储器单元
        clr     ADCI            ;清除 A/D 完成标志
        anl     ADCON,#0fch     ;清除 A/D 通道编号
        pop     ACC             ;恢复累加器
        reti
```

下面的示例为使用查询方式的 A/D 转换 。使用累加器中提供的 A/D 通道开始 A/D 转换。未检查通道编号的有效性。A/D 必须提前使能以使其有足够的时间稳定下来。转换结果放入累加器 A。

```
ADRead:
        orl     ADCON,A         ;加入新的通道编号
        setb    ADCS            ;启动 A/D 转换
ADChk:
        jnb     ADCI,ADChk      ;等待 ADCI 置位
        mov     A,DAC0          ;得到 A/D 转换结果
        clr     ADCI            ;清除 A/D 完成标志
        anl     ADCON,#0fch     ;清除 A/D 通道编号
        ret
```

数模转换器（DAC）输出

P87LPC769 提供两通道 8 位 DAC 功能。DAC0 同时作为 A/D 转换器的一部分，在进行 A/D 转换时禁能。在 DAC 使能时，对应的 DAC 输出管脚必须禁止数字信号输出，见模拟功能章节。

DAC 用电源作为参考电压：V_{DD} 作为上限参考电压，V_{SS} 作为下限参考电压。DAC 输出值由电阻“T”型网络产生且无缓冲输出。V_{DD} 或 V_{SS} 与 DAC 输出之间的最大电阻值为 10kΩ。在装入 DAC 输出值时必须小心以避免输出电压的变形。DAC 的精度受片内和应用中其它地方产生的噪声影响。由于 P87LPC769 的电源作为 DAC 的参考电压，因此电源也会影响 DAC 输出的精度。

理想的 DAC 输出值可由下式得到：

$$\text{结果} = (\text{DAC值} + 0.5) \times \frac{V_{DD} - V_{SS}}{256}$$

式中 DAC 值为相应的 DAC 寄存器（DAC0 或 DAC1）的内容。

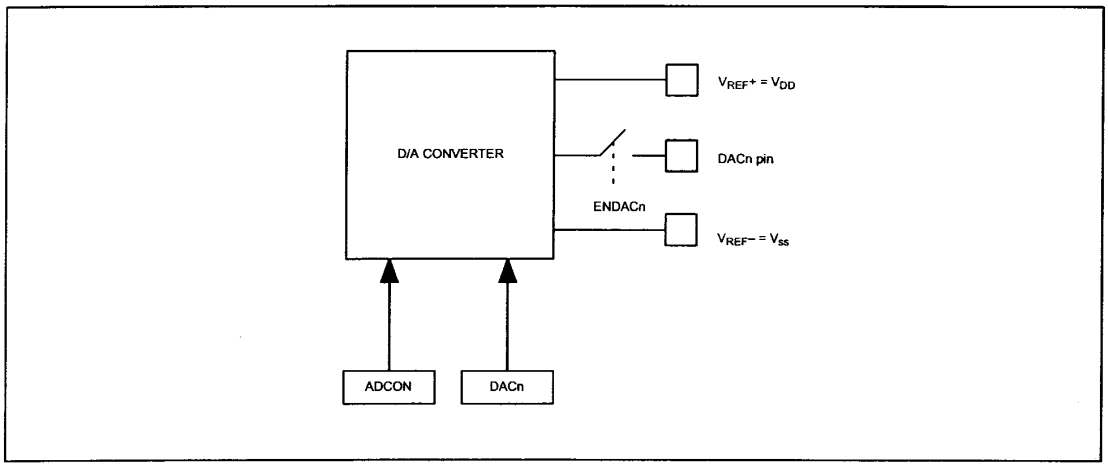


图 4 DAC 方框图

模拟比较器

P87LPC769 有 2 个模拟比较器，输入和输出选项允许将比较器配置成为不同模式。当正向输入（二个可选择脚之一）电压大于反向输入时（**可选择为由外部管脚输入或内部参考电压**），输出信号为“1”（**可从寄存器读出或输出到管脚**），反之则输出为“0”。**输出变化时每个比较器均可配置为产生中断**。

比较器的配置

每个比较器对应一个控制寄存器。CMP1 对应比较器 1，CMP2 对应比较器 2。两个控制寄存器完全相同，如图 5 所示。

两个比较器总的连接方式如图 6 所示。每个比较器有 8 种可能的方式。由对应的 CMPn 寄存器中的控制位 CPn、CNn 和 OEn 决定，如图 7 所示。

当每个比较器刚被使能时，比较器输出和中断标志无效且被保持 10 微秒，在此期间相应的比较器中断不应使能,并且在使能中断以前清除相应的比较器中断标志,避免立即响应中断服务。

CMPn **地址**：CMP1 0ACh，CMP2 0ADh 复位值：00h

不可位寻址

7	6	5	4	3	2	1	0
—	—	CEn	CPn	CNn	OEn	COn	CMFn

位	符号	功能
CMPn.7,6	—	保留未用，用户请勿将其写为‘1’。
CMPn.5	CEn	比较器使能位。软件设定后，相应比较器使能。CEn **设定 10 微秒后比较器输出有效值**。
CMPn.4	CPn	比较器正向输入选择，为‘0’时选择 CINnA 作为正向输入，为‘1’时选择 CINnB 作为正向输入。
CMPn.3	CNn	比较器反向输入选择，为‘0’时选择 CMPREF 作为比较器反向输入，为‘1’时选择内部比较器参考电压 Vref 作为比较器反向输入。
CMPn.2	OEn	输出使能，为‘1’时，比较结果输出到 CMPn 脚，此输出和 MCU 时钟不同步。
CMPn.1	COn	比较器输出，和 MCU 同步以便于软件读取。比较器禁能时清零。
CMPn.0	CMFn	比较器中断标志。当比较器输出 COn 状态改变时由硬件置位。如使能比较器中断时，该位置位可产生硬件中断。当比较器禁能(CEn=0)时,通过软件清零。

图 5 比较器控制寄存器

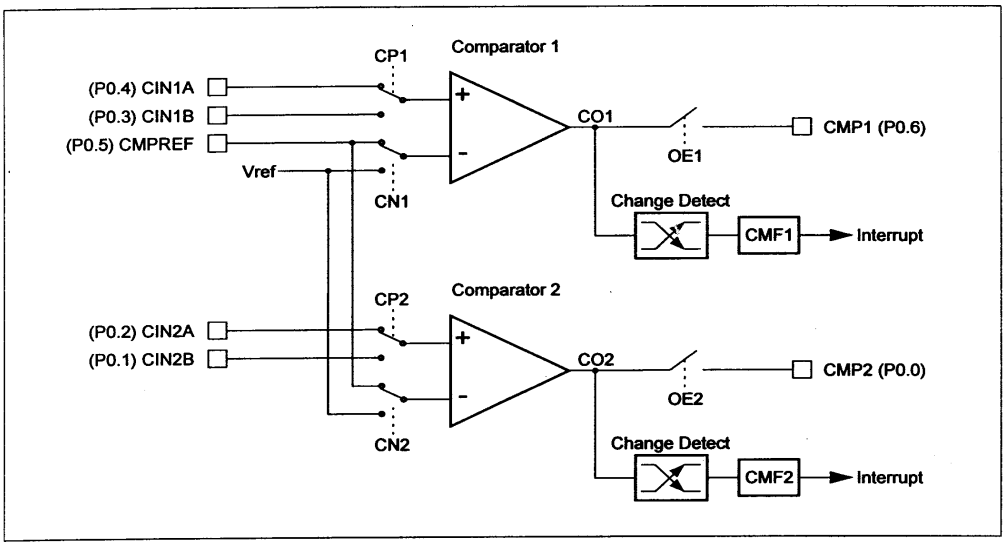


图 6 比较器输入、输出连线

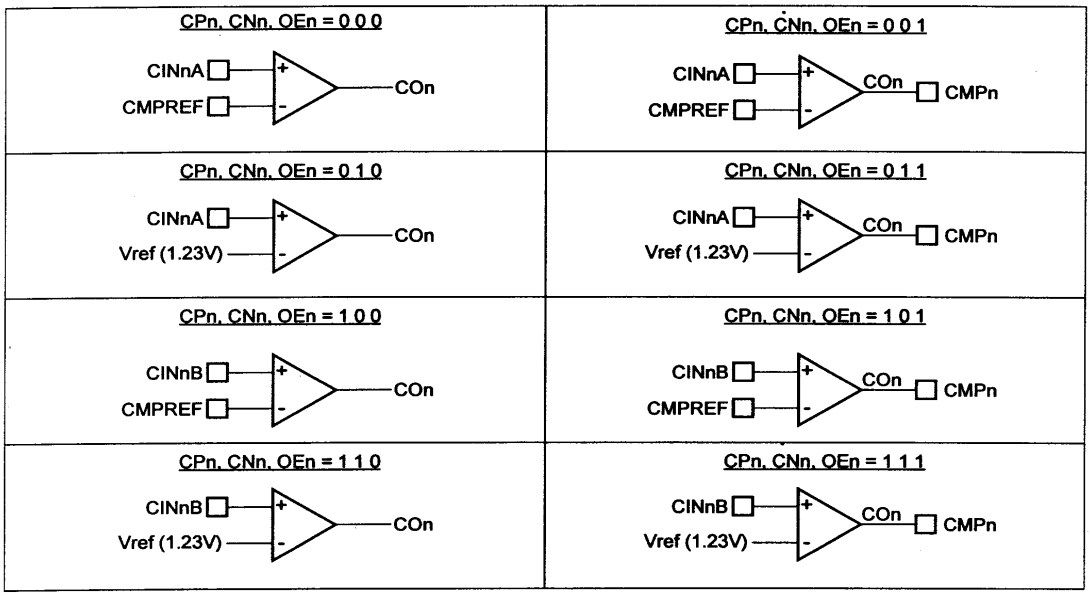


图 7 比较器配置

内部参考电压

当仅使用一个输入口线时，内部参考电压产生器支持默认的参考电压，其值为 Vref=1.28V±10%。

比较器中断

在每个比较器配置寄存器中都有一个相应的比较器中断标志位 CMFn。当比较器输出状态变化时中断标志位置位，此标志位可通过软件查询或产生一个中断，当 IEN1 中的 ECn 位被置位且 IEN0 中的 EA 位被设定从而开中断时系统将会产生中断。

比较器和省电模式

在掉电模式或空闲模式下，两个比较器或其中之一继续保持使能状态。比较器功能可在低功耗模式下继续保持。当比较器中断使能时，比较器输出发生变化时将会产生一个中断并将 MCU 唤醒。当比较器输出管脚使能时，此管脚应该配置为上拉输出模式以便在掉电工作模式下获得较快的开关速度，因为当振荡器停止后，打开准双向口不会产生正常情况下的短时强上拉。

比较器在掉电或空闲状态下所消耗的电流和正常操作模式下相同。

比较器配置举例

下面是一段初始化比较器的程序。比较器 1 配置成为 CIN1A 和 CMPREF 输入，比较器结果输出到 CMP1 脚，当比较器输出结果发生变化时产生中断。

由中断返回前必须清除中断标志位（CMFn）。

```
CMPINIT：
        MOV     PT0AD,#30H      ；禁止 CIN1A 和 CMPREF 上的数字输入功能，使能比较器功能
        ANL     P0M2,#0CFH      ；禁止 CIN1A 和 CMPREF 上的数字输出功能，使能比较器功能
        ORL     P0M1,#30H       ；开启比较器 1 并进行如下设置
        MOV     CMP1,#24H       ；—正向输入为 CIN1A
                                ；—选择 CMPREF 脚作为参考电压
                                ；—比较结果输出到 CMP1
        CALL    DELAY10US       ；比较器启动至少 10 微秒后方可使用
        ANL     CMP1,#0FEH      ；清除比较器 1 的中断标志
        SETB    EC1             ；使能比较器 1 中断，保持当前中断优先权
        SETB    EA              ；开中断
        RET                     ；返回调用处
```

I²C 总线接口

I²C 总线用两条线（SDA 和 SCL）在总线和装置之间传递信息。总线的主要特性如下：

- 在主设备和从设备之间采用双向数据传送方式
- 从设备串行寻址（无需额外接线）
- 每传送完一字节产生应答位
- 多主机总线
- 多主机同时传送时进行仲裁避免总线上数据冲突

I²C 总线系统包括一个可简化软件驱动的 I²C 总线硬件。除了必要的总线仲裁，帧错误检测，时钟扩展和总线超时定时器外，还包括一个一位接口，这个接口通过循环查询或中断来同步软件。**详细参考** http://www.zlgmcu.com 用 8xC751 微控制器作为 I²C 总线主机“部分”，对 P87LPC769 I²C 总线接口有进一步的说明和实例。

P87LPC769 的 I²C 执行是从 87C751 和 87C752 照搬而来，但有以下几点不同：

- I²C 中断和定时器 I 的中断向量地址
- I²C 的 SFR 地址（I2CON，I2CFG，I2DAT）
- I²C 中断使能位的位置和它所在的 SFR 的名称（EI2 为 IEN1 的位 0）
- 定时器 I 中断使能位的位置和它所在的 SFR 的名称（ETI 为 IEN1 的位 7）
- I²C 定时器 I 中断有可设定的优先级

定时器 I 可通过引起中断来控制 I²C 总线的定时和检测“总线被锁”的情况。在数据进行传送时，I²C 总线处于长时间的停止状态将产生中断，使程序有机会纠正错误并恢复 I²C 操作。

在 I²C 总线操作中有 6 个时间宽度非常重要，由定时器 I 确定。

- 当装置为主机时 SCL 时钟信号的最小高电平时间。
- 当装置为主机时 SCL 时钟信号的最小低电平时间，对于只有一个位接口的地方低电平时间宽度不很重要。因为 SCL 为低电平时间会一直保持到软件响应 I²C 标志。软件响应时间一般会达到或超过最小低电平时间。如果软件响应时间小于最小高电平时间加上最小低电平时间，定时器 I 将会确保达到最小时间。
- 发送停止信号时由 SCL 高电平到 SDA 高电平的最小时间。
- 在 I²C 停止信号和起始信号之间，SDA 由变为高电平到变为低电平的最小时间（4.7μs,见 I²C 总线标准）。
- 发送起始信号时,由 SDA 变为低电平到 SCL 变为低电平的最小时间。
- I²C 传送数据帧的过程中 SCL 跳变的最大时间，在起始信号和停止信号之间为数据帧处理过程。

在此期间装置检测软件是否响应 I^2C 以及总线上是否存在其它 I^2C 装置。SCL 强制为低表明装置为无效的主机或从机，SCL 强制为高表明装置无效，或引入 I^2C 总线的噪声导致所有主机退出 I^2C 仲裁。

上述前 5 种时间为 4.7μs (见 I^2C 总线标准)并且由定时器 I 的低 3 位确定,定时器 I 由 P87LPC769 的 MCU 时钟驱动。对于不同的时钟振荡频率,定时器 I 可被预置为 4 个值之一以获取最佳时序。在低频时,软件响应时间增加将会降低 I^2C 总线的性能。参阅特殊功能寄存器 I2CFG 有关预分频值(CT0、CT1)的描述。

SCL 跳变的最大时间很重要,但是其实际宽度却并不严格。10 位定时器 I 用来计数最大时间，当 I^2C 使能时，SCL 脚信号变化时将定时器 I 清零。在 I^2C 等待时定时器不运行(例如，在复位或停止位之后)当计数器 I 运行时,在 SCL 上变化过后的经过 1020 到 1023 个机器周期将会发生定时器计时溢出，计时溢出使 I^2C 接口硬件复位并产生中断（如果定时器 I 中断使能）。如果由于软件响应时间不够而造成总线挂起，装置复位释放 SCL 并且允许其他装置对 I^2C 继续操作。

如果 I2CFG 寄存器中的 TIRUN 位置位，定时器 I 使能运行并在溢出后复位 I^2C 接口。

定时器 I 中断可通过 IEN1 中的 ETI 位使能，并且它的优先级分别通过 IP1H 和 IP1 寄存器中的 PTIH 位和 PTI 位设定。

I^2C 中断

如果 I^2C 中断使能（EA 和 EI2 均被置为 1），当由于起始位、停止位、总线仲裁失败或数据准备好而导致 ATN 被置位时，将会发生 I^2C 中断（参阅以下有关 ATN 的描述）。在实际应用中，用这种方式并不能有效地操作 I^2C 接口，因为这样 I^2C 中断服务程序不得不判别几百种可能的情况。由于 I^2C 能以很高速度执行，如果程序仅仅是等待 I^2C 接口，软件将执行得更快。

典型情况下，当装置为空闲从机时，I^2C 中断仅用来表明起始信号；或者当装置为空闲主机（如果在等待使用 I^2C 总线）时，仅用来指示停止信号。这是通过仅在上述情况下使能 I^2C 中断来实现的。

I2CON 地址：D8h 复位值：81h

可位寻址*

	7	6	5	4	3	2	1	0
读	RDAT	ATN	DRDY	ARL	STR	STP	MASTER	—
写	CXA	IDLE	CDR	CARL	CSTR	CSTP	XSTR	XSTP

位	符号	功能
I2CON.7	RDAT	最后接收到的数据位
“	CXA	清除发送激活标志
I2CON.6	ATN	当 DRDY、ARL、STR、STP 任意一个为 1 时，ATN=1
“	IDLE	在 I^2C 从器件模式中，向此位置 1，使 I^2C 硬件直到下次需要时才理会外部总线
I2CON.5	DRDY	数据准备标志，在 SCL 上升沿置位
“	CDR	向此位写入 1 清除 DRDY 标志
I2CON.4	ARL	仲裁失败标志。发送模式下仲裁失败时置位
“	CARL	向此位写入“1”清除 CARL 标志
I2CON.3	STR	起始标志。主机或非空闲从机检测到起始信号时置位
“	CSTR	向此位写入 1 清除 STR 标志
I2CON.2	STP	停止标志。主机或非空闲从机检测到停止信号时置位
“	CSTP	向此位写入 1 清除 STP 标志
I2CON.1	MASTER	指示本装置目前是否是总线主机
“	XSTR	向此位写入“1”产生重复的起始信号
I2CON.0	—	未定义
“	XSTP	向此位写入“1”产生停止信号

* 由于 80C51 系列提供位寻址功能，不能使用诸如 SETB，CLR，CPL，MOV（位）和 JBC 指令改变 I2CON 寄存器的值，这是因为对于这个寄存器读和写操作意义不同。但可通过 JB 和 JNB 指令对 I2CON 进行位测试。

图 8. I^2C 控制寄存器（I2CON）

读 I2CON

RDAT：在 SCL 的上升沿将 SDA 上的数据读取到接收数据位 RDAT 中。RDAT 也可由 I2DAT 寄存器中得到（I2DAT 的低 7 位均为 0）。由 RDAT 读取数据和从 I2DAT 中读取数据的区别是读取 I2DAT 时清除 DRDY 位，允许 I^2C 处理下一位数据。一般情况下，接收数据前 7 位从 I2DAT 中读取，第 8 位由 RDAT 读取，然后向 I2DAT 写入数据发送应答位，同时清除 DRDY 位。

ATN： 当 DRDY，ARL，STR 和 STP 中的一个或多个为 1 的时候 ATN 为 1。因此，通过测试 ATN 位就可确定是否由等待状态中退出 I^2C 服务程序。

DRDY：除空闲从机外，在 SCL 上升沿“数据准备”位 DRDY（同 ATN）被置位。向 CDR 写入 1 或读写 I2DAT 寄存器时 DRDY 被清零。SCL 为低的时间一直延续到软件响应并清除 DRDY 位为止。

检测 ATN 和 DRDY

一旦程序检测到 ATN=1，接着继续检测 DRDY 位。如果 DRDY=1，并且装置接收到最后一位数据，装置可从 I2DAT 或 I2CON 的 RDAT 位中读取数据。接着，如果要发送下一位数据，将数据写入 I2DAT。无论如何，都应清除 DRDY 位并返回继续监测 ATN 位。注意，如 ARL、STR 和 STP 任何一位被置位，清除 DRDY 位不会使 SCL 释放为高电平，这样 I^2C 将不会继续处理下一位数据。如果程序检测到 ATN=1 且 DRDY=0，应该继续检查 ARL、STR 和 STP。

ARL：当装置处于发送激活状态但是总线仲裁失败时，ARL 置“1”，当 ARL 为“1”时装置应该退出发送激活状态。ARL 被置位有以下四种情况：

1、 如果程序发送“1”或者重复起始信号时，但其他设备发送“0”或停止信号，这样在 SCL 的上升沿 SDA 上数据为“0”时（如其他设备发送停止信号，在 STP 置位后 ARL 也会立刻被置位）。
2、 如果程序发送“1”，但是其他设备发送重复起始信号时，在 SCL 变低前 SDA 首先变低（此类型的 ARL 总伴随着 STR=1）。
3、 主模式下，当程序发送重复起始信号，其他设备发送数据 1，并且在 SDA 变低前首先令 SCL 变低。
4、 主模式下，由于其它设备发送“0”而使程序无法发送停止信号时。

STR：当检测到主机或非空闲从机发送起始信号时 STR 被置 1。（当空闲从机接收到起始信号从而被激活时，STR 位不置“1”。直到在 SCL 的上升沿置位 DRDY 时从机才有效）。

STP：当检测到主机或非空闲从机发送停止信号时 STP 被置 1。（空闲从机的停止信号不置位 STP 位）。

MASTER：如果装置作为 I^2C 总线的主机时 MASTER 为 1。当 MASTRQ 为“1”且总线不忙时 MASTER 被置位。（例如，当复位或定时器 1 计时溢出后未接收到起始位或在上一次起始位后又接收到停止位）。ARL 置位或在 MASTRQ 用软件写入 0 时 MASTER 清零，而后 XSTP=1。

写 I2CON

一般来讲，I2CON 每位对应一个 I^2C 信息，一个服务子程序查询 ATN 是否 1。可将 DRDY，ARL，STR 和 STP 位中的一位或几位写入“1”。数据可由 I2DAT 读出或写入 I2DAT。

CXA：向 CXA 写入“1”清除发送激活状态（读取 I2DAT 也可清除发送激活状态）。

关于发送激活

写 I2DAT 或向 I2CON 中的 XSTR 或 XSTP 写入“1”将装置设置为发送激活状态。发送激活置位时 I^2C 总线接口只将 SDA 线拉低，且 ARL 位只能置 1。读取 I2DAT 寄存器或写 CXA=1 将清除发送激活状态。当 ARL=1 时自动清除发送激活状态。

IDLE	将 IDLE 写为 1，直到下一次起始信号发送时从机才接收 I^2C 总线信息。（如果 MASTRQ=1，则一个停止信号会将该装置变为主机）
CDR	向 CDR（CLEAR DATA READY）位写入‘1’清除 DRDY（读写 I^2DAT 也可清除 DRDY）
CARL	向 CARL 位写入‘1’ 清除 ARL 位。
CSTR	向 CSTR 位写入‘1’ 清除 STR 位。
CSTP	向 CSTP 位写入‘1’ 清除 STP 位。注意，如果 DRDY，ARL，STR 和 STP 中任意一个或多个为 1，SCL 低电平一直保持，直到将以上几个位清零从而响应服务程序。
XSTR	仅当装置为主机时，向 XSTR 和 CDR 写入‘1’， I^2C 总线发送重复起始信号。注意 XSTR 不需要也不应该用于发送初始（非重复）起始信号，而是由 I^2C 硬件自动发送。

XSTR 不需要也不应该用于发送初始（非重复）起始信号，而是由 I²C 硬件自动发送。在 SCL 为低期间，将 XSTR 置‘1’包括了将 I2DAT 的 XDAT 位置 1 的作用。将装置置为发送有效状态并在 SCL 为低电平时释放 SDA 为高电平。在 SCL 变为高后，I²C 硬件等待适当的时间然后置 SDA 为低发出起始信号。

XSTP 仅当装置为主机时，向 XSTP 和 CDR 写入 1，I²C 总线发送停止信号。如果没有更多的初始化信息，将 XSTP 置 1 之前，服务程序应该清除 I2CFG 中的 MASTRQ 位。将 XSTP 置‘1’包括了将 I2DAT 的 XDAT 位置‘0’的作用。在 SCL 为低期间，将 XSTP 置 1 并且将 I2DAT 中的 XDAT 写入‘0’，将 SDA 线置为低。在 SCL 变为高后，I²C 硬件等待适当的时间然后置 SDA 为高发出停止信号。

I2DAT 地址： D9h 复位值：xxh

不可位寻址

	7	6	5	4	3	2	1	0
读	RAT	—	—	—	—	—	—	—
写	XDAT	—	—	—	—	—	—	—

位	符号	功能
I2DAT.7	RDAT	读： 最后接收到数据位。每个 SCL 上升沿由 SDA 取值。读取 I2DAT 清除 RDY 位和发送激活状态。
I2DAT.7	XDAT	写：下一位将要发送的数据写入此位。写 I2DAT 也清除 DRDY 和置位发送激活状态。
I2DAT.6～0	—	保留未用。

图 9. I²C 数据寄存器（I2DAT）

I2CFG 地址：0C8H

不可位寻址

复位值：00H

7	6	5	4	3	2	1	0
SLAVEN	MASTRQ	CLRTI	TIRUN	—	—	CT1	CT0

位	符号	功能
I2CFG.7	SLAVEN	从机使能,向此位写入 1 使装置变为 I²C 从机。如果 SLAVEN 和 MASTRQ 均为 0 则 I²C 硬件被禁能。复位或 I²C 定时器溢出此位清零。
I2CFG.6	MASTRQ	主机请求。向此位写入‘1’装置向 I²C 总线申请成为主机。如果当此位由 0 变 1 时正处于一个传送过程，则一直延续装置检测到停止信号，发送起始信号并置位 DRDY（这样置位 ATN 并产生 I²C 中断）。主机想放弃 I²C 主机权时，向 I2CON 中的 XSTP 写入 1。MASTRQ 可由 I²C 定时器超时清零。
I2CFG.5	CLRTI	写入“1”清除定时器 I 溢出标志。读此位时总为“0”。
I2CFG.4	TIRUN	写入“1”定时器 I 开始运行。写‘0’停止定时器 I 运行并将定时器清零。和 SLAVEN、MASTRQ 和 MASTER 这些位一起控制选择操作模式，如表一所示。
I2CFG.2,3		保留。
I2CFG.1,0	CT1,CT0	这两位可编程确定 MCU 时钟分频比率。当此装置为 I²C 主机时获得最佳的 SCL 时间，由这两位确定的时间包括 SCL 的时间参数以及起始和停止信号的时序。

图 10 I²C 配置寄存器 (I2CFG)

软件响应时间

由于 P87LPC769 可工作于 20MHz，并且 I²C 接口被优化用于高速操作，就很有可能出现服务程序响应 DRDY（在 SCL 的上升沿置位）并在 SCL 重新变低以前将数据写入 I2DAT，如果将 XDAT 数据直接加到 SDA 将会违反 I²C 通信协议。因为仅当 SCL 为低时 XDAT 才能加到 SDA 线，所以不必担心出现这种情况。

反过来，一个包含了 I²C 服务子程序的程序可能会花很长的时间去处理响应 DRDY，典型情况是在其它外围功能中断使能的情况下，I²C 子程序查询信息标志位。如果发生其它中断，装置将会延迟 I²C 服务程序的响应。程序员不必过份担心这种情况，因为直到服务程序响应 I²C 功能后硬件才会释放 SCL。唯一的约束是等待响应的时间不能超过定时器 I 的溢出时间。

CT1 和 CT0 对应值如表 4 所示,在特定振荡频率下允许 I²C 总线运行于最大速率。Fosc 最大值栏如表中所示。表中第一栏为 CT1 和 CT0 的值。MCU 时钟最大值大于或等于实际频率。

对应 CT1 和 CT0 的不同设定值，表 4 给出了机器周期计数值。SCL 的最小高电平和低电平时间计算如下：

SCL 最小高/低时间(μs) = 6 * 最小时间计数 / MCU 时钟频率 (MHz)。

例如，在 8MHz 频率下,CT1/CT0 为 10 时，最小 SCL 高低电平时间为 5.25μs。

表 2 也列出对应每种 CT1/CT0 值的定时器 I 溢出周期(机器周期)。由于 SCL 的最小高电平时间和低电平时间的测量方式不同，从而定时器溢出周期也不同。对 I^2C 接口操作时，每次 SCL 变化时定时器的预置值由 CT1、CT0 确定。以经过 SCL 的最小高电平时间和低电平时间而达到 008 值为基准来选择预置值，(实际预置值为 8 减去机器周期计数)。

表 3 TIRUN 与 SLAVEN、MASTRQ 和 MASTER 的相互作用

SLAVE, MASTRQ, MASTER	TIRUN	操作模式
全为 0	0	I^2C 接口禁能，定时器 I 被清零并停止运行。如果 I^2C 应用中在特定时间不想执行 I^2C 功能，应将 SLAVEN、MASTRQ、TIRUN 均置‘0’
全为 0	1	I^2C 接口禁能
不全为 0	0	I^2C 接口使能。定时器 I 的低 3 位产生最小时间，和高位无关。这样不检测 I^2C 是否被“挂起”， 此配置可用于低速 I^2C 操作
不全为 0	1	I^2C 接口使能。在 I^2C 传送数据时运行定时器。由 SCL 的跳变沿、起始信号或停止信号清零定时器 I。在 I^2C 正常操作模式下使用此配置

表 4 CT1.CT0 的值

CT1, CT0	最小时间计数（机器周期）	MCU 最大时钟（100KHz I^2C 频率）	溢出周期（机器周期）
1 0	7	8.4MHz	1023
0 1	6	7.2MHz	1022
0 0	5	6.0MHz	1021
1 1	4	4.8MHz	1020

中断

P87LPC769 有四个优先级别的中断结构，这为 P87LPC769 的多中断源处理提供了极大的灵活性。P87LPC769 支持多达 13 个中断源。

任何一个中断源均可通过对 IEN0 和 IEN1 中的相应位置位或清零单独使能或禁能。其中 IEN0 中的 EA 可关闭所有的中断。

每个中断源可被单独设置为四个中断优先级之一，分别通过清零或置位 IP0，IP0H，IP1，IP1H 中相应位来实现（00--最低，11--最高）。一个中断服务程序可响应更高级的中断，但不能响应同优先级或低级中断。最高级中断服务程序不响应其它任何中断。如果两个不同中断优先级的中断源同时申请中断时，响应较高优先级的中断申请。

如果 2 个同优先级的中断源同时申请中断。内部查询顺序表将确定首先响应哪一个中断请求，这叫作仲裁队列。注：中断查询队列只用来处理相同优先级别中断源同时申请中断的情况。表 5 汇集了中断源，中断标志，向量地址，使能位、优先级别、仲裁队列顺序和是否中断可将 MCU 从掉电方式中唤醒。

表 5 中断汇总

描述	中断标志位	中断向量	中断使能位	中断优先级	仲裁顺序	掉电唤醒
外部中断 0	IE0	0003H	EX0(IEN0.0)	IP0H.0,IP0.0	1(最高)	YES
定时器 0 中断	TF0	000BH	ET0(IEN0.1)	IP0H.1,IP0.1	4	NO
外部中断 1	IE1	0013H	EX1(IEN0.2)	IP0H.2,IP0.2	7	YES
定时器 1 中断	TF1	001BH	ET1(IEN0.3)	IP0H.3,IP0.3	10	NO
串口 Tx、Rx	TI 和 RI	0023H	ES (IEN0.4)	IP0H.4,IP0.4	12	NO
掉电检测	BOD	002BH	EBO(IEN0.5)	IP0H.5,IP0.5	2	YES
I^2C 中断	ATN	0033H	EI2(IEN1.0)	IP1H.0,IP1.1	5	NO
KBI 中断	KBF	003BH	EKB(IEN1.1)	IP1H.1,IP1.1	8	YES
比较器 2 中断	CMF2	0043H	EC2(IEN1.2)	IP1H.2,IP1.2	11	YES
看门狗定时器	WDOVF	0053H	EWD(IEN0.6)	IP0H.6,IP0.6	3	YES
A/D 转换器	ADCI	005BH	EAD(IEN1.4)	IP1H.4,IP1.4	6	YES
比较器 1 中断	CMF1	0063H	EC1(IEN1.5)	IP1H.5,IP1.5	9	YES
定时器 I 中断	—	0073H	ETI(IEN1.7)	IP1H.7,IP1.7	13(最低)	NO

外部中断输入

P87LPC769 有 2 个独立的外部中断输入和键盘中断功能，键盘中断在本章另外单独介绍。2 个外部中断和标准 80C51 控制器相同。

通过置位和清除 TCON 寄存器中的 IT1 和 IT0 的值可将外部中断源设为电平触发或边沿触发.如果 ITn=0 时，在 INTn 脚上出现低电平时将产生中断。如果 ITn=1，外部中断为边沿触发。在这种模式下如果在上一个周期为高而本周期为低时将会产生有效采样，TCON 中的中断标志 IEn 被置位,当中断服务程序响应中断时 IEn 自动清零。

如果外部中断为电平中断则外部中断源一直持续到中断产生。如果中断服务完成后而外部中断仍旧维持，这将产生下一次中断。当中断设定为电平中断时是否清除中断标志 IEn 无关紧要，因为中断只和输入口电平有关。

如果 P87LPC769 处于掉电或空闲状态时发生外部中断，中断将唤醒微处理器继续运行。详细请参考省电模式部份。

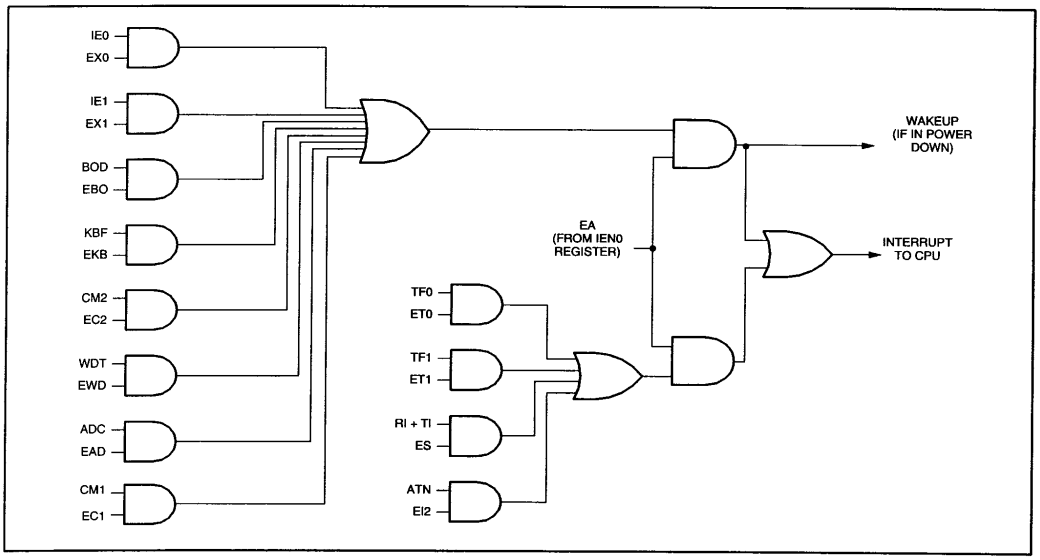


图 11 中断源,中断使能,掉电唤醒中断源

I/O 口

P87LPC769 有 3 个 I/O 口，Port0、Port1 和 Port2。I/O 口的具体数量取决于振荡和复位方式选择。当选用两个口线作为外部振荡器和一个外部复位时 P87LPC769 可使用 15 个 I/O 口，如果选用片内振荡和内部复位时可使用多达 18 个脚作为 I/O 口线。

除了 3 个口以外，P87LPC769 其他所有的 I/O 口均可由软件配置成 4 种输出类型之一，如表 6 所示。四种输出类型分别为：准双向口(标准 8051 输出模式),上拉，开漏输出或只有输入功能。每个口配置 2 个控制寄存器控制每个管脚输出类型。

表 6 口输出方式设定

PxM1.Y	PxM2.Y	口输出模式
0	0	准双向口
0	1	上拉
1	0	仅为输入
1	1	开漏

准双向口输出配置

准双向口是 80C51 及其派生品的输出模式，这是 P87LPC769 的一种默认输出方式。这种输出类型可用作输出和输入功能而不需重新配置口线输出状态。这是因为当口线输出为 1 时驱动能力很弱，外部装置可将它拉为低。**当管脚输出为低时，它的驱动能力很强可吸收很大的电流。准双向口除了有三个上拉晶体管适应不同的需要外，和开漏输出有点相似。**

在三个上拉晶体管中，有一个“极弱上拉”，当口线锁存为“1”时打开，当引脚悬空时，这个极弱的上拉源产生很弱的上拉电流将引脚上拉为高电平。

第二个上拉晶体管称为“弱”上拉，当口线寄存器为 1 且管脚本身也为 1 时打开。此上拉提供基本驱动电流使准双向口输出为‘1’。如果一个管脚输出为‘1‘而由外部装置下拉到低时，弱上拉关闭而“极弱上拉”维持开状态，为了把这个管脚强拉为低，外部装置必须有足够的吸电流能力将管脚外部的电压降到门槛电压以下。

第三个上拉晶体管相对而言为“强上拉”。当口线锁存器由 0 到 1 跳变时，这个上拉用来加快准双向口由逻辑 0 到逻辑 1 转换。当发生这种情况时，强上拉打开约 2 个机器周期以便尽快将管脚上拉到高电平，然后再将其关断。

准双向口输出如图 12 所示。

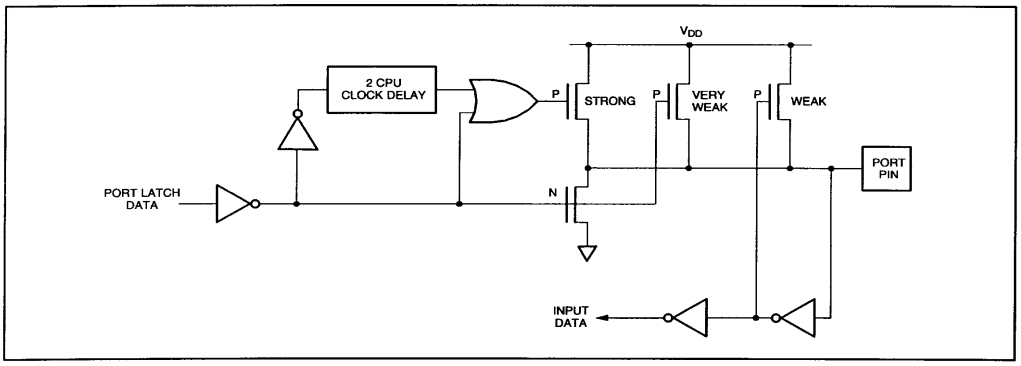


图 12 准双向口输出

开漏输出配置

当口线锁存器为‘0’时，开漏输出关闭所有的上拉晶体管。**作为一个逻辑输出，这种配置方式必须有外部上拉，一般通过电阻外接到 V_{DD}。这种方式的下拉和准双向口相同。**输出口线配置如图 13 所示。

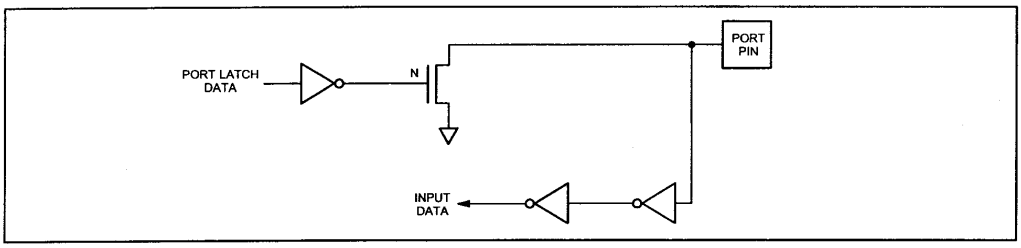


图 13 开漏输出

上拉输出配置

上拉输出方式中的下拉结构和开漏输出与准双向口的下拉结构相同，但当锁存器为‘1’时提供持续的强上拉。**上拉模式一般用于需要驱动多路输入的情况**。

上拉管脚配置如图 14 所示。

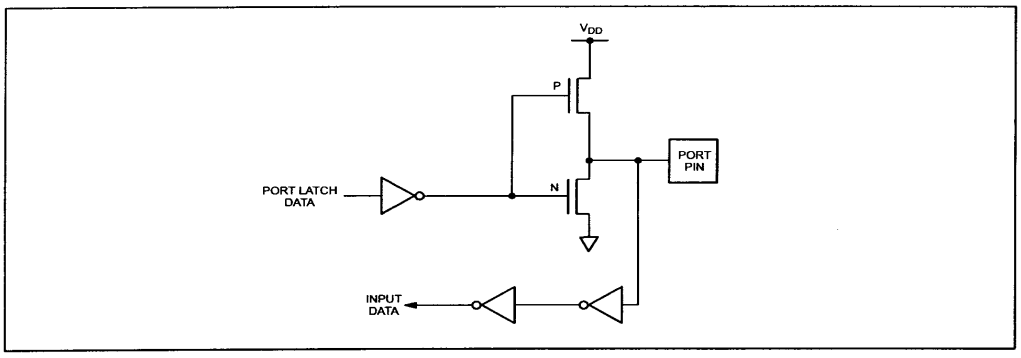


图 14 上拉输出

P1.2,P1.3 和 P1.5 不可选择输出方式，P1.2 和 P1.3 永远为开漏输出模式，向其对应锁存器位写入 1 可用作输入功能。当 P87LPC769 使用内部复位时 P1.5 可以用作施密特触发输入功能。另外，选择晶体振荡器时，P2.0 和 P2.1 口不能用作 I/O 口，**在振荡器部分对此有详细描述**。

复位后各个 I/O 口管脚的值由 UCFG1 寄存器的 PRHI 位决定，由应用需要选择复位后为高或者为低。**当复位后口线被设置为高时，这些口线为准双向口，不能输出大电流**。

每个 P87LPC769 输出口都可提供 20mA 的吸入电流驱动 LED。但是所有口的输出电流总和不能超过规定的最大电流。

P87LPC769 各个端口的电平转换速度可以控制，这就可避免因电平转换过快而导致的噪声。转换时间由出厂时设定，上升时间和下降时间大约为 10ns 时间。

当 P2.0，P2.1 用作其他功能时，P2M1 中的控制位无法控制选择其输出模式。这 2 位既可选择为施密特触发输入，也可选择定时器 0 和定时器 1 的输出，或当装置用内部 RC 振荡或外部输入时钟时输出时钟信号。后面 2 个功能参考定时/计数器和振荡器的有关部分。此功能的选择位如图 15 所示。

每个 P87LPC769 的 I/O 口均可选择为 TTL 电平输入或施密特触发输入。用一个位即可对其选择。对于 P1.2，P1.3 和 P1.5 只能选择为施密特输入方式。

P2M1 地址：A4H 复位值：00H

不可位寻址

7	6	5	4	3	2	1	0
P2S	P1S	P0S	ENCLK	ENT1	ENT0	(P2M1.1)	(P2M1.0)

位	符号	功能
P2M1.7	P2S	当 P2S=1 时，端口 2 施密特触发器输入使能。
P2M1.6	P1S	当 P1S=1 时，端口 1 施密特触发器输入使能。
P2M1.5	P0S	当 P0S=1 时，端口 0 施密特触发器输入使能。
P2M1.4	ENCLK	ENCLK 置位同时 P87LPC769 配置使用片内 RC 振荡器时,X2 脚可输出一时钟，详见振荡器部分。
P2M1.3	ENT1	该位置位时，定时器 1 溢出将触发 P0.7 脚，因而输出频率为定时器溢出频率的一半，详见定时/计数器部分。
P2M1.2	ENT0	该位置位时，定时器 0 溢出将使 P1.2 脚触发，因而输出频率为定时器 0 溢出频率的一半。详见定时/计数器部分。
P2M1.1,P2M1.0	—	此两位与 P2M2 寄存器内对应位分别控制 P2.1 及 P2.0 的输出配置。详见表 4。

图 15 端口 2 模式寄存器 1（P2M1）

键盘中断（KBI）

键盘中断功能主要是使键盘上任一键或连至 P87LPC769 特殊脚的键被按下时能产生一个中断（见图 16）。该中断可用于将 MCU 从空闲模式或掉电模式中唤醒。此特性尤其适合便携式且使用电池供电的系统。

P87LPC769 允许端口 0 的部分或全部引脚被使能键盘中断，这是通过对 KBI 寄存器对应位置位完成的，如图 17 所示。当打开 KBI 中断功能后，任一被使能引脚被拉低都会将 AUXR1 寄存器内键盘中断标志（KBF）置位。如若中断允许则将产生一中断。注意 KBF 位必须由软件清除。

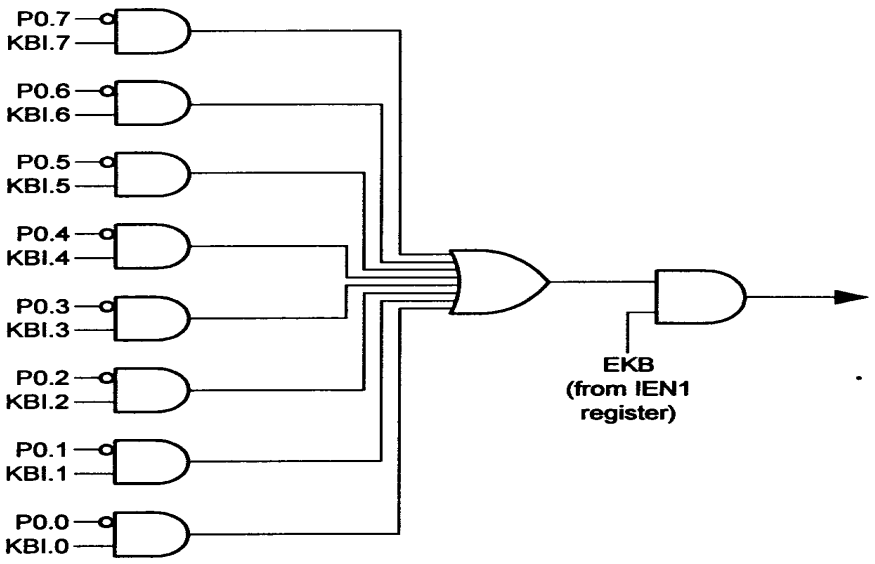


图 16 键盘中断

由于人对时间分辨精度及键开关闭合的机械延迟，KBI 特性通常可用于中断服务程序轮流查询端口 0 以确定按下的是哪个键，甚至决定是否将处理器从低功耗模式唤醒。参见低功耗模式部分。

KBI 地址：86H

不可位寻址	7	6	5	4	3	2	1	0
复位值：00H	KBI.7	KBI.6	KBI.5	KBI.4	KBI.3	KBI.2	KBI.1	KBI.0

位	符号	功能
KBI.7	-	置位时允许 P0.7 引发键盘中断
KBI.6	-	置位时允许 P0.6 引发键盘中断
KBI.5	-	置位时允许 P0..5 引发键盘中断
KBI.4	-	置位时允许 P0.4 引发键盘中断
KBI.3	-	置位时允许 P0.3 引发键盘中断
KBI.2	-	置位时允许 P0.2 引发键盘中断
KBI.1	-	置位时允许 P0.1 引发键盘中断
KBI.0	-	置位时允许 P0.0 引发键盘中断

注:当键盘中断使能后设置 KBI 寄存器方才有效。中断标志(KBF)是 AUXR1 的第 7 位。

图 17 键盘中断寄存器(KBI)

振荡器

P87LPC769 提供几种用户可选择的振荡器选项，允许根据需要从高精度至最低成本范围内进行优化选择。这些选项在 EPROM 编程时配置。支持的基本振荡器类型包括:低、中、及高速晶振，范围：20KHz～20MHz，陶瓷振荡器及片内 RC 振荡器。

低频振荡器选项

此选项支持 20KHz～100KHz 的外部晶振。在该模式下与石英晶振配合使用的电容值见表 7。

表 7 用于低频振荡器选项时推荐使用的振荡器电容值

振荡器频率	V_{DD}=4.5~5.5V		
	下限	理想值	上限
20kHz	33pF	33pF	47pF
32kHz	33pF	33pF	47pF
100kHz	15pF	15pF	33pF

中频振荡器选项

此选项支持 100KHz～4MHz 的外部晶振，同时也支持陶瓷谐振器。在该模式下与石英晶振配合使用的电容值见表 8。

表 8 用于中频振荡器选项时推荐使用的振荡器电容值

振荡器频率	V_{DD}=4.5~5.5V		
	下限	理想值	上限
100kHz	33pF	33pF	47pF
1MHz	15pF	15pF	33pF
4MHz	15pF	15pF	33pF

高频振荡器选项

此选项支持 4MHz～20MHz 外部晶振，同时也支持陶瓷谐振器。在该模式下与石英晶振配合使用的电

容值见表 8。

表 9 用于高频振荡器选项时推荐使用的振荡器电容值

振荡器频率	V_{DD}=4.5~5.5V		
	下限	理想值	上限
4MHz	15pF	33pF	68pF
8MHz	15pF	33pF	47pF

片内 RC 振荡器选项

片内 RC 振荡器典型频率为 6MHz，可通过 DIVM 寄存器分频后获取较低频率。注意片内振荡器频率有±25%误差，因此不适于某些场合使用。使用 RC 振荡器时，可选择从 X2/P2.0 脚输出时钟。

外部时钟输入选项

在此配置中，提供 MCU 时钟的外部时钟源从 X1/P2.1 脚输入。频率可从 0Hz 到 20MHz。当使用外部时钟输入模式时， X2/P2.0 脚可用作标准端口引脚。此时亦可选择从 X2/P2.0 脚输出时钟。

时钟输出

P87LPC769 在选择片内 RC 振荡器或外部时钟输入时支持时钟输出功能。这使得外部器件可与 P87LPC769 同步。对 P2M1 寄存器的 ENCLK 置位后, 无论是否处于空闲模式, 只要片内振荡器运行, X2/CLKOUT 就有信号输出。输出时钟频率为 MCU 时钟频率的 1/6。如果空闲模式时不需要时钟输出，可在进入空闲模式之前关闭输出以节省电能。选择外部时钟时亦可输出时钟。

振荡器必须设置为下列模式之一：

——低频晶振

——中频晶振

——高频晶振

为限制晶振驱动电平可串联电阻，对于低频晶振尤其重要。

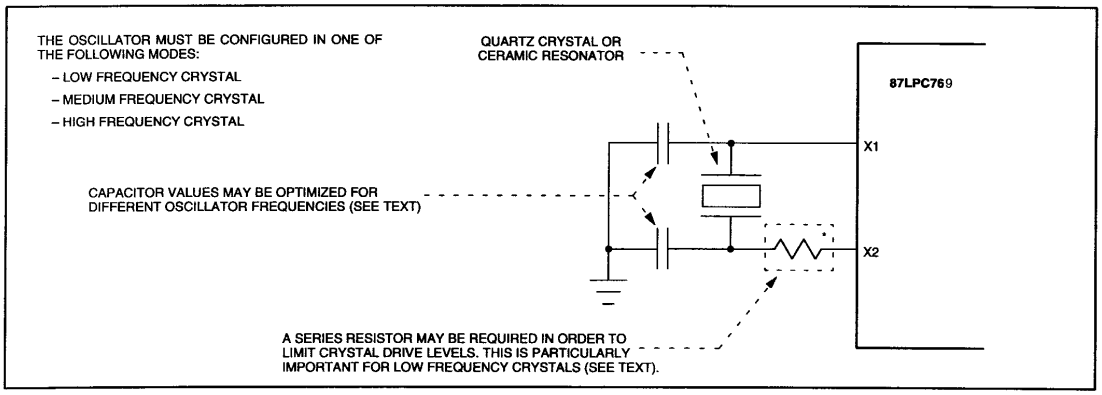


图 18 晶振的使用

振荡器须设置为外部时钟输入模式。将 P2M1 寄存器内 CLK 位置位可从 X_2 脚输出时钟。

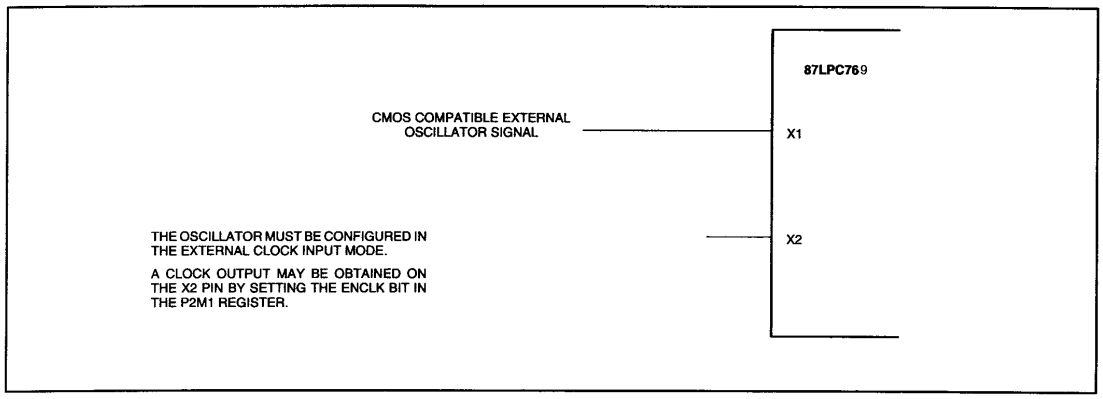


图 19 使用外部时钟输入

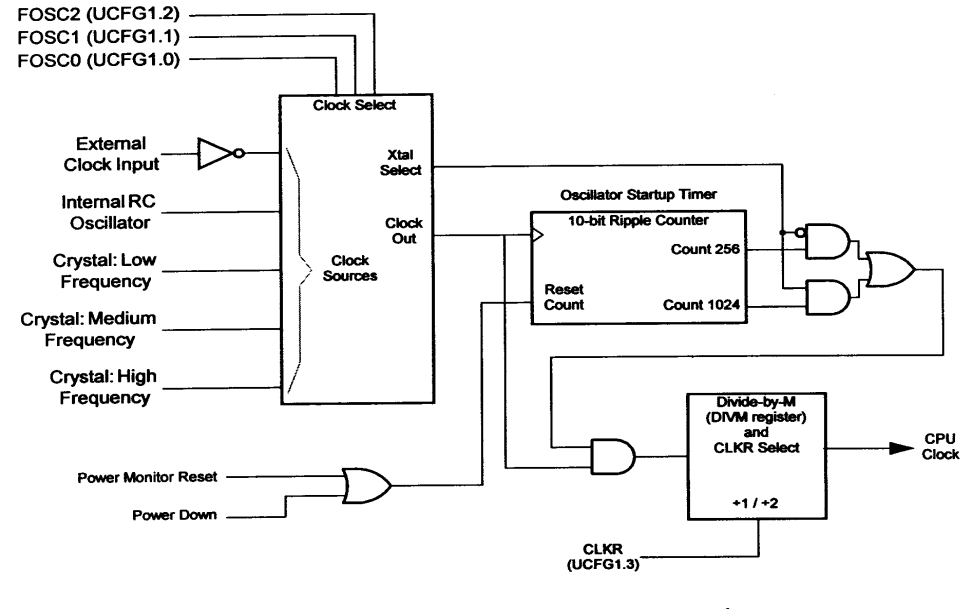


图 20 振荡器控制框图

MCU 时钟调整：CLKR 与 DIVM

为了向下兼容，CLKR 配置位允许设置 P87LPC769 指令及外围时序符合标准的 80C51 时序（将 MCU 时钟 2 分频）。P87LPC769 的默认时序是每一机器周期 6 个 MCU 时钟，而标准 80C51 时序是每一机器周期 12 个 MCU 时钟。CLKR 位于 EPROM 配置寄存器 UCFG1 内。

另外，MCU 时钟可由振荡器频率通过可编程分频器降频得到。此功能由 DIVM 寄存器控制，如果 DIVM 寄存器置为 0（默认值），MCU 的时钟则根据前述 CLKR 功能取振荡器频率或振荡器频率的二分频。

当 DIVM 的值置为 N（1～255），MCU 的时钟则被 2×（N+1）分频。所以实际分频值为 4～512。此特性可用于暂时使 MCU 以较低频率工作以降低功耗,类似于空闲模式。通过分频,程序以较低速度运行时，使 MCU 仍保持对事件响应的能力，而不只是对能产生中断的事件（能使 MCU 从空闲模式退出）才响应。这就比掉电模式少了振荡器起振时间。在程序内 DIVM 的值可随时改变而无需中断程序运行。

电源监控功能

P87LPC769 内含电源监控功能用于防止（或减少）上电及掉电时的错误操作。这是通过两种硬件功能完成的：上电检测及掉电检测。

（1）掉电检测

此功能用于防止当电压降至某一特定值之下时处理器错误操作。

掉电检测的默认操作是产生一次处理器复位，也可通过置位 AUXR1 寄存器内 BOI 位（AUXR1.5）配置为产生一个中断。

P87LPC769 掉电电平为 3.8V。当 V_{DD} 掉至所选电压以下时，掉电检测器触发并保持到 V_{DD} 返升至掉电检测电平之上。当掉电检测产生一次处理器复位,该复位将一直保持到 V_{DD} 上升到检测电平之上。每当 V_{DD} 从检测电平以上降到检测电平以下掉电检测产生一次中断, 为了处理中断, 中断系统及 BOI 必须都被使能(通过 IEN0 中的 EA 和 EB0)。

当检测到掉电时，PCON 寄存器内 BOF 标志置位以便软件判断复位原因。该标志需要软件清除。

欲正确检测到掉电，V_{DD} 下降速度不得快于 50mV/μs，为得到正确的复位，V_{DD} 恢复时上升速度不得快于 2 mV/μs。

掉电电压通过 EPROM 配置寄存器 UCFG1 内 BOV 位编程时必须置零。

在某些应用中不需要掉电检测功能时，可将它关闭以节约电能。可对 AUXR1 寄存器中的 BOD 位置位（AUXR1.6）来关闭此功能。

（2）上电检测

上电检测功能类似于掉电检测, 但设计成电压初始上升时工作，在供电电压上升到掉电检测门槛电平之前有效。当上电检测激活时，PCON 寄存器内 POF 标志用来表明初始上电的状况。该标志需要软件清除。

节电模式

P87LPC769 支持空闲及掉电两种节电模式。

（1）空闲模式

空闲模式下外围器件继续工作可以产生中断激活处理器。所有被使能的中断或复位均可结束空闲模式。将 PCON 寄存器内 IDL 位置位即可进入空闲模式（见图 21）。

（2）掉电模式

掉电模式将振荡器停振以使功耗最小。将 PCON 寄存器内 PD 位置位即可进入掉电模式 (见图 21) 。

当复位或表 10 所示中断源之一发生时处理器即退出掉电模式。这时该中断应被使能且优先级高于正在处理的中断。

在此模式下，电压降至 RAM 保持电压 V_{RAM}。进入掉电模式时 RAM 内容被保存。SFR 内容在 V_{DD} 降至 V_{RAM} 时不作保护,此时建议通过复位唤醒处理器。在退出掉电模式前 V_{DD} 必须上升到操作电压范围之内。由于看门狗定时器有一独立的振荡器，所以在掉电模式下它的溢出可将处理器复位。

注意如果掉电检测复位已使能，当 V_{DD} 一旦降至低于掉电门槛电压即将处理器复位。如果掉电检测被配置成中断并使能该中断，当 V_{DD} 降至掉电电压之下时该中断可将处理器从掉电模式唤醒。

当处理器从掉电模式中唤醒时，将立即启动振荡器并且当振荡器稳定下来时开始执行程序。振荡器稳定是在起振后计数若干 MCU 时钟，对于晶振计 1024 时钟，对于内部 RC 或外部时钟计 256 个时钟。

在掉电模式下，包括掉电检测，看门狗定时器，比较器在内的一些功能继续工作, 因而增加了功率的消耗。

表 10 掉电模式唤醒事件

唤醒事件	条件
外部中断 0 或 1	相应中断须使能。
键盘中断	键盘中断须使能并正确设置。
比较器 1 或 2	比较器须使能并正确设置，相应的中断须使能。
看门狗定时器复位	看门狗须使能(通过 UCFG1 EPROM 配置字节内 WDTE 位)。
看门狗定时器中断	UCFG1 EPROM 配置字节内 WDTE 位不可置位，相应中断须使能 。
掉电检测复位	AUXR1 内 BOD 位不可置位，AUXR1 内 DOI 位不可置位。相应中断须使能。
掉电检测中断	AUXR1 内 BOD 位不可置位。AUXR1 内 BOI 位须置位。相应中断须使能。
复位输入	外部中断输入须使能。
A/D 转换器	在掉电模式中 A/D 转换器必须使用内部 RC 时钟（RCCLK＝1）。A/D 转换必须使能并正确设置。相应的中断必须使能。

低电压 EPROM 操作

EPROM 阵列包含了一些模拟电路，这部分电路在 V_{DD} 低于 4V 时是不需要的，但 V_{DD} 高于 4V 时则需要。可通过软件置位 LPED（AUXR.4）将这些模拟电路断电以降低耗电。只有上电复位才能清除 LPED 位，所以只有那些持续工作于 4V 以下电压的场合才可将 LPED 置位。

PCON 地址： 87H　　复位值：30H——上电复位
20H——掉电复位
00H——其它复位源

不可位寻址

7	6	5	4	3	2	1	0
SMOD1	SMOD0	BOF	POF	GF1	GF0	PD	IDL

位	符号	功能
PCON.7	SMOD1	置位时对于方式 1、2、3 可得到两倍 UART 波特率
PCON.6	SMOD0	该位决定 SCON SFR 的第 7 位的功能。当清零时,SCON.7 是 SM0 位,当置 1 时,SCON.7 是 FE（帧错误）标志。参见图 30。
PCON.5	BOF	掉电标志。当掉电复位或中断产生时自动置位。上电时亦置位。须软件清零。参见电源监控部分。
PCON4	POF	上电标志。上电复位时自动置位。通过软件清零。详见电源监控部分。
PCON.3	GF1	通用标志 1，可通过软件读写。但对操作并无影响。
PCON.2	GF0	通用标志 0，可通过软件读写。但对操作并无影响。
PCON.1	PD	掉电控制位。置位即可进入掉电模式，掉电模式终止时清零。
PCON.0	IDL	IDLE 模式控制位，置位即可进入空闲模式，空闲模式终止时清零。

图 21 电源控制寄存器（PCON）

复位

P87LPC769 内部集成了上电复位电路，用于在器件上电时提供一个复位信号。建议使用内部复位以节省外部元件并可将 P1.5 作为通用的输入口使用。

P87LPC769 另外还可通过对用户配置寄存器 UCFG1 中的 RPD 位编程为 0，将 P1.5 作为外部低有效复

位管脚 RST。此时内部复位在器件上电时仍然有效。当 RST 脚的信号为低电平时，P87LPC7698 保持复位直到信号变为高电平。

看门狗定时器可用于检测振荡器是否正常工作，因为看门狗定时器使用的是独立的片内振荡器。对 UCFG1 的描述见本手册的“系统配置字节”一节。

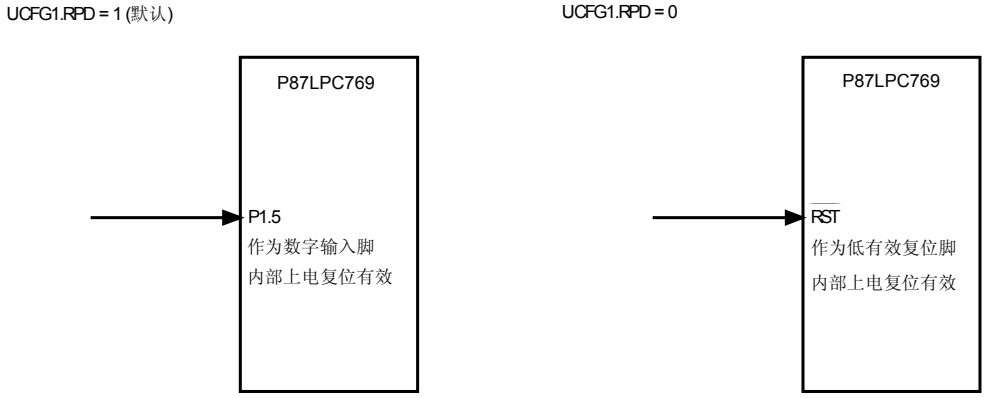


图 22 将 P1.5 作为通用输入管脚或低有效复位管脚

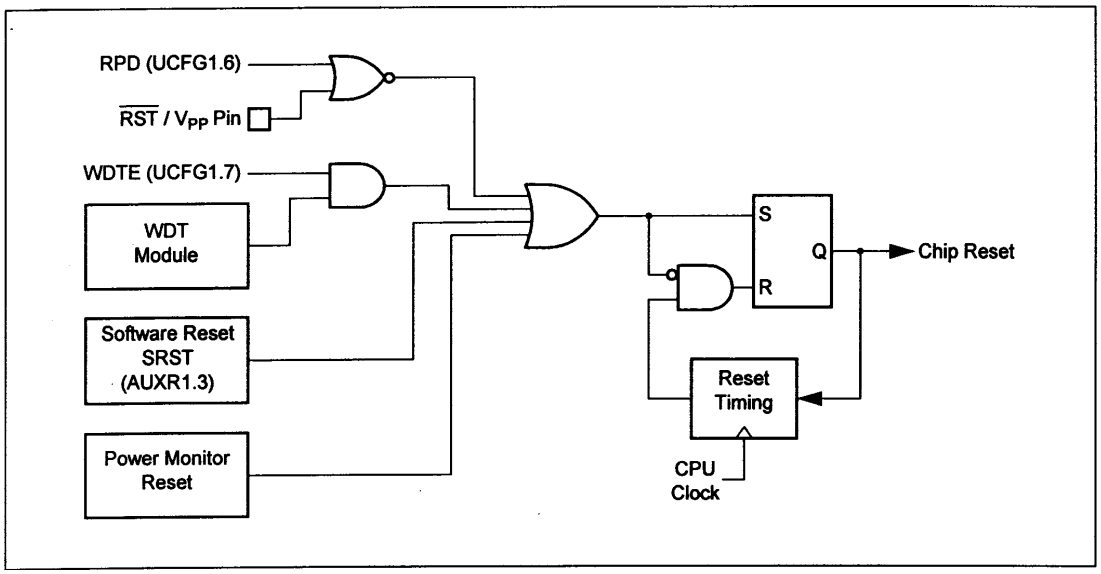


图 23 复位源方框图

将 EPROM 配置寄存器 UCFG1 内 RPD 位编程为 1 可关闭外部复位输入，即选择使用完全内部复位。

定时器 / 计数器

P87LPC769 有两个通用定时/计数器，与 80C51 定时器 0 及定时器 1 兼容。两者均可选择以计数器或定时器方式工作。另外增加了定时器溢出时 T0 与/或 T1 脚自动翻转的功能。

在用于定时器功能时，每个机器周期寄存器加 1。所以可以视为计数机器周期。由于一个机器周期包含 6 个 MCU 时钟周期，所以计数频率为 MCU 时钟频率的 1/6。**有关 MCU 时钟参见增强 MCU 一节**。

在用于计数器功能时，寄存器在 T0 或 T1 脚的每一个下降沿加 1。此时，每一个机器周期对外部输入采样一次。当某一周期时引脚状态采样为高而下一周期采样为低,计数器加 1。检测到跳变的下一周期寄存器更换新值。由于检测下降沿跳变需两个机器周期，所以计数频率最大值为 MCU 时钟频率的 1/6。外部输

入信号占空比并无限制，但必须保证信号在改变之前至少被采样一次，信号必须保持至少一个整的机器周期。

通过特殊功能寄存器 TMOD 内控制位 C/T 选择定时器或计数器功能。此外，定时器 0 及定时器 1 有 4 种工作模式，由 TMOD 内 M1 及 M0 选择，模式 0、1、2 对于定时器及计数器是一样的。模式 3 则不同。

TMOD 地址：89H

不可位寻址 复位值：00H

7	6	5	4	3	2	1	0
GATE1	C/$\overline{T}$1	M1	M0	GATE0	C/$\overline{T}$0	M1	M0

位	符号	功能
TMOD.7	GATE1	用于定时器 1，置位时只有在 INT1 脚置高及 TR1 控制置位时才可打开定时器/计数器。清零时，置位 TR1 即可打开定时器/计数器。
TMOD.6	C/$\overline{T}$1	控制定时器 1 用作定时器或计数器，清零则用作定时器，置位用作计数器。
TMOD.5,4	M1，M0	定时器 1 模式选择
TMOD. 3	GATE0	用于定时器 0，功能同 TMOD.7
TMOD. 2	C/$\overline{T}$0	用于定时器 0，功能同 TMOD.6
TMOD.1,0	M1，M0	定时器 0 模式选择
	M1，M0	定时器模式
	0 0	8048 定时器 TLn 用作 5 位预分频器
	0 1	16 位定时器/计数器，无预分频器。
	1 0	8 位自装载定时器，当溢出时将 THn 存放的值装入 TLn。
	1 1	定时器 0 此时作为双 8 位定时/计数器。TL0 作为一个 8 位定时器/计数器，通过标准定时器 0 控制位控制。TH0 仅作为一个 8 位定时器，由定时器 1 控制位控制，在这种模式下定时/计数器 1 关闭。

图 24 定时/计数器模式控制寄存器（TMOD）

模式 0 将定时器设置成模式 0 时类似 8048 定时器，即 8 位计数器带 32 分频的预分频器。图 26 所示为模式 0 工作方式。

此模式下，定时器寄存器配置为 13 位寄存器。当计数从全为“1”翻转为全为“0”时，置位定时器中断标志 TFn。当 TRn=1 同时 GATE=0 或 INTn=1 时定时器计数置位 GATE 时将由外部输入 INTn 控制位控制。GATE 是 TMOD 寄存器内的控制位。

该 13 位寄存器包含 THn 的 8 位及 TLn 的低 5 位，TLn 的高 3 位不定且可忽略。置位运行标志（TRn）不能清除此寄存器。

模式 0 对于定时器 0 及定时器 1 相同。见图 26。两个 GATE 位分别分配给定时器 0 及定时器 1。

模式 1 模式 1 除了使用了 THn 及 TLn 全部 16 位外与模式 0 相同。见图 27。

模式 2 此模式下定时器寄存器作为可重装的 8 位计数器（TLn），如图 28 所示，TLn 溢出不仅置位 TFn，而且将 THn 内容重新装入 TLn，THn 内容由软件预置。重装时 THn 内容不变。模式 2 操作方法同于定时器 0 及定时器 1。

模式 3 **在**模式 3 时定时器 1 关闭，就等效于 TR1=0。

此模式下定时器 0 的 TL0 及 TH0 作为两个独立的 8 位计数器。图 25 所示为模式 3 时定时器 0 的逻辑图。TL0 占用定时器 0 的控制位：C/T，GATE，TR0，INT0 及 TF0。TH0 限定为定时器功能（计数器周期），占用定时器 1 的 TR1 及 TF1。此时 TH0 控制“定时器 1”中断。

模式 3 可用于需要一个额外的 8 位定时器的场合。定时器 0 工作于模式 3 时，P87LPC769 看似有 3 个定时器/计数器，当定时器 0 工作于模式 3 时，定时器 1 可通过开关进入/退出模式 3,它仍可用作串行端口的波特率发生器，或者应用于任何不要求中断的场合 。

TCON 地址：88H

可位寻址	7	6	5	4	3	2	1	0
复位值：00H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

位	符号	功能
TCON.7	TF1	定时器 1 溢出标志。由定时器/计数器溢出硬件置位。中断处理时由硬件清除。或用软件清除。
TCON.6	TR1	定时器 1 运行控制位。由软件置位/清零。
TCON.5	TF0	定时器 0 溢出标志。（功能同 TF1）
TCON.4	TR0	定时器 0 运行控制位，由软件置位/清零。TR1 控制定时器 1 运行与停止。
TCON.3	IE1	中断 1 边沿触发标志。当检测到外部中断 1 边沿时由硬件置位。中断处理时由硬件清除，或由软件清除。TR0 控制定时器 0 运行与停止。
TCON.2	IT1	中断 1 触发类型控制位，由软件置位/清零以选择外部中断以下降沿/低电平方式触发。
TCON.1	IE0	中断 0 边沿触发标志。当检测到外部中断 1 边沿时由硬件置位。中断处理时由硬件清除，或由软件清除。
TCON.0	IT0	中断 0 边沿 触发类型控制位。（功能同 IT1）

图 25 定时器/计数器控制寄存器（TCON）

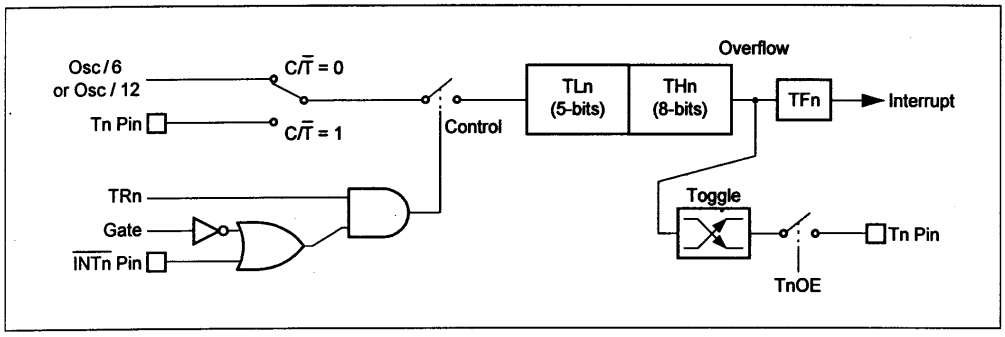


图 26 模式 0 方式时定时/计数器 0 或 1（13 位计数器）

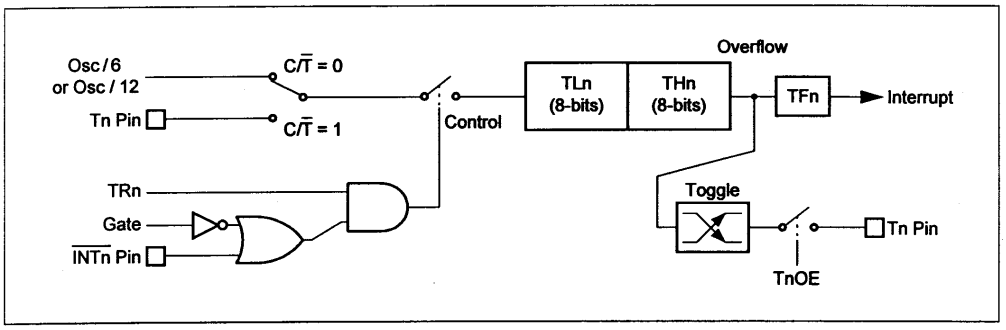


图 27 模式 1 方式时定时/计数器 0 或 1（16 位计数器）

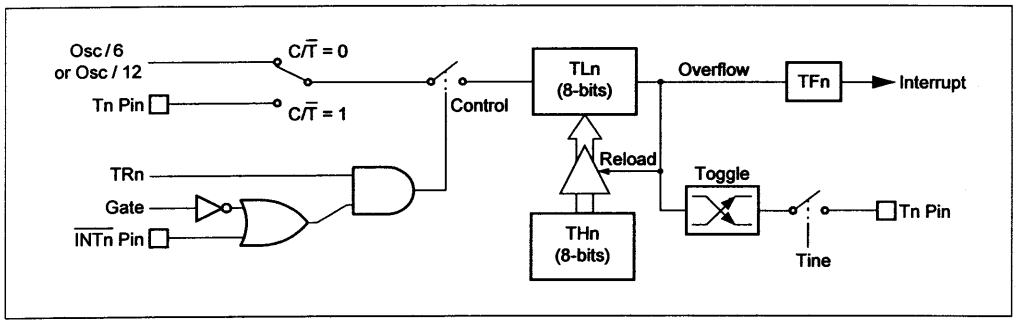


图 28 模式 2 方式时定时/计数器 0 或 1（8 位自动重装）

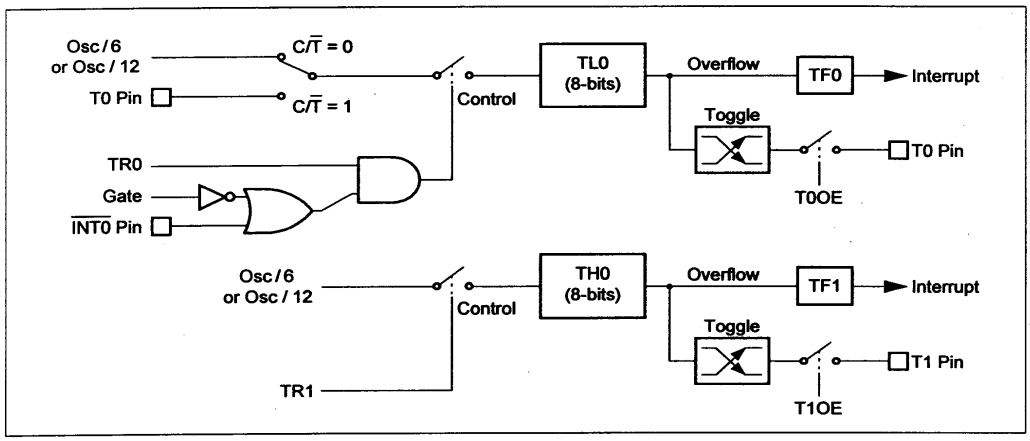


图 29 模式 3 方式时定时/计数器 0（双 8 位计数器）

定时器溢出触发输出

定时器 T0 及 T1 可配置为定时器溢出时自动触发一端口输出。T0、T1 计数输入与定时器触发输出占用相同引脚。。此功能由 P2M1 寄存器内 ENT0 及 ENT1 分别控制定时器 0 及定时器 1。此模式打开时，在首次溢出前端口输出为高。

UART

P87LPC769 内含加强型 80C51 UART。模式 1 及模式 3 时定时器 1 作为波特率可变，模式 0 及模式 2 时波特率固定。由于 P87LPC769 MCU 时钟不同于标准 80C51，波特率计算亦有不同。在标准 80C51 UART 基础上增加了帧错误检测及自动地址识别。

串行端口是全双工的，即它可同时发送及接收。同时带有接收缓冲，所以前一接收字节从 SBUF 寄存器内读出之前可开始接收下一字节。但是如果下一字节接收完毕而前一字节仍未读出，则前一字节将被丢失。串行端口接收及发送寄存器均通过 SBUF 访问。对 SBUF 写操作则装入发送寄存器，读 SBUF 则访问一个物理上分开的接收寄存器。

串行端口 4 种可选模式

模式 0

串行数据通过 RxD 进出。TxD 输出移位时钟。每次发送或接收以 LSB（低位）作首位，每次 8 位。波特率固定为 MCU 时钟频率的 1/6。

模式 1

TxD 脚发送，RxD 脚接收，每次数据为 10 位，一个起始位（逻辑 0），8 个数据位（LSB 作首位）及一个停止位（逻辑 1）。当接收数据时，停止位存于 SCON 的 RB8 内，波特率可变，由定时器 1 溢出速率决定。

模式 2

TxD 脚发送，RxD 脚接收，每次数据为 11 位，一个起始位（逻辑 0），8 个数据位（LSB 作首位），一个可编程第 9 位数据及一个停止位（逻辑 1）。

发送时，第 9 个数据位（SCON 内 TB8 位）可置为 0 或 1。例如奇偶位（PSW 内 P 位）移至 TB8。接收时，第 9 位数据存入 SCON 的 RB8 位，停止位忽略。波特率可编程为 MCU 时钟频率的 1/16 或 1/32，由 PCON 内 SMOD1 位决定。

模式 3

TxD 脚发送，RxD 脚接收，每次数据为 11 位，一个启始位（逻辑 0），8 个数据位（LSB 为首位），一可编程的第 9 位数据及一个停止位。事实上模式 3 除了波特率外均与模式 2 相同。其波特率可变并由定时器 1 溢出率决定。

在上述 4 种模式中，发送过程是以一条写 SBUF 作为目标寄存器的指令开始的，模式 0 时接收过程开始应设置 R1=0 及 REN=1，其它模式下如若 REN=1 则通过起始位初始化。

串行端口控制寄存器（SCON）

串行端口控制及状态寄存器即 SCON，如图 30 所示，其中包括模式选择位，以及发送、接收时第 9 位数据（TB8 及 RB8），以及串行端口中断位（TI 及 RI）。

帧错误位（FE）可用于对接收到的数据流进行检测是否丢失停止位。FE 同 SM0 位地址同为 SCON.7。该位在何时取何种功能是由 PCON 内 SMOD0 位决定的。若 SMOD0=0，SCON.7 为 SM0，如果 SMOD0=1，则为 FE 位。置位后 FE 位需软件清除。

SCON 地址：98H

可位寻址	7	6	5	4	3	2	1	0
复位值： 00H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI

位	符号	功能
SCON.7	FE	帧错误。当检测到一个无效停止位时，通过 UART 接收器设置该位，但它必须由软件清零。要使该位有效，PCON 寄存器中的 SMOD0 位必须置 1。
SCON.7	SM0	和 SM1 定义串行口操作模式。要使该位有效，PCON 寄存器中的 SMOD0 必须置 0。
SCON.6	SM1	和 SM0 定义串行口操作模式（见下表）

SM0	SM1	UART 模式	波特率
0	0	0：同步移位寄存器	MCU 时钟/6
0	1	1：8 位 UART	可变
1	0	2：9 位 UART	MCUU 时钟/32 或 MCU 时钟/16
1	1	3：9 位 UART	可变

SCON.5	SM2	在模式 2 和 3 中多处理机通信使能位。在模式 2 或 3 中，若 SM2=1，且接收到的第 9 位数据（RB8）是 0，则 RI（接收中断标志）不会被激活。在模式 1 中，若 SM2=1 且没有接收到有效的停止位，则 RI 不会被激活。在模式 0 中，SM2 必须是 0。
SCON.4	REN	允许接收位。由软件置位或清除。REN=1 时，允许接收，REN=0 时，禁止接收。
SCON.3	TB8	模式 2 和 3 中发送的第 9 位数据，可以按需要由软件置位或清除。
SCON.2	RB8	模式 2 和 3 中已接收的第 9 位数据，在模式 1 中，或 sm2=0，RB8 是已接收的停止位。在模式 0 中，RB8 未用。
SCON.1	TI	发送中断标志。模式 0 中。在发送完第 8 位数据时，由硬件置位。其它模式中，在发送停止位之初，由硬件置位。在任何模式中，都必须由软件来清除 TI。
SCON.0	RI	接收中断标志，模式 0 中，接收第 8 位结束时由硬件置位。其它模式中，在接收停止位的中间时刻，由硬件置位。在任何模式（SM2 所述情况除外）必须由软件清除 RI。

图 30 串行控制寄存器（SCON）

波特率

操作模式 0 的波特率是固定的，为 MCU 时钟/6。模式 2 的波特率是 MCU 时钟/32 或 MCU 时钟/16，取决于 PCON 寄存器中的 SMOD1 位的值。若 SMOD1=0（复位值），波特率为 MCU 时钟/32，若 SMOD1=1，波特率为 MCU 时钟/16。

$$\text{模式 2波特率} = \frac{1 + SMOD\ 1}{32} CPU \text{ 时钟频率}$$

使用定时器 1 作波特率发生器。

当定时器 1 用作波特率发生器，模式 1 和 3 中波特率由定时器 1 的溢出速率和 SMOD1 的值决定。在此应用中定时器 1 不能用作中断，定时器 1 可以工作在定时或计数方式和 3 种工作模式中任何一个。在最典型应用中，它用作定时器方式工作自动重装载模式（TMOD 的高半字节为 0010b），它的波特率值由下式给出：

表 11 和 12 列出了定时器 1 各种常用的波特率和它们的获得方法。

$$\text{模式1,3波特率} = \frac{CPU\text{时钟频率} / 192\,(or\ 96\ if\ SMOD\,1 = 1}{256 - (TH\,1)}$$

表 11 SMOD1=0 时的波特率，定时器值和 MCU 时钟频率

Timer out	Baud Rate				
	2400	4800	9600	19.2k	38.4k
-1	0.4608	0.9216	*1.8432	*3.6864	*7.3728
-2	0.9216	1.8432	*3.6864	*7.3728	-
-3	1.3824	2.7648	5.5296	-	-
-4	*1.8432	*3.6864	*7.3728	-	-
-5	2.3040	4.6080	9.2160	-	-
-6	2.7648	5.5296	-	-	-
-7	3.2256	6.4512	-	-	-
-8	*3.6864	*7.3728	-	-	-
-9	4.1472	8.2944	-	-	-
-10	4.6080	9.2160	-	-	-

表 12 SMOD1=1 时的波特率，定时器值和 MCU 时钟频率

Timer Vlue	Baud Rate					
	2400	4800	9600	19.2k	38.4k	57.6k
-1	0.2304	0.4608	0.9216	*1.8432	*3.6864	5.5296
-2	0.4608	0.9216	*1.8432	*3.6864	*7.3728	-
-3	0.6912	1.3824	2.7648	5.5296	-	-
-4	0.9216	*1.8432	*3.6864	*7.3728	-	-
-5	1.1520	2.3040	4.6080	9.2160	-	-
-6	1.3824	2.7648	5.5296	-	-	-
-7	1.6128	3.2256	6.4512	-	-	-
-8	*1.8432	*3.6864	*7.3728	-	-	-
-9	2.0736	4.1472	8.2944	-	-	-
-10	2.3040	4.6080	9.2160	-	-	-
-11	2.5344	5.0688	-	-	-	-
-12	2.7648	5.5296	-	-	-	-
-13	2.9952	5.9904	-	-	-	-
-14	3.2256	6.04512	-	-	-	-
-15	3.4560	6.9120	-	-	-	-
-16	*3.6864	*7.3728	-	-	-	-
-17	3.9168	7.8336	-	-	-	-
-18	4.1472	8.2944	-	-	-	-
-19	4.3776	8.7552	-	-	-	-
-20	4.6080	9.2160	-	-	-	-
-21	4.8384	9.6768	-	-	-	-

注：

1. 表 11 和 12 为应用于 UART 模式 1 和 3（可变模式）和 MCU 时钟频率(MHz)的标准波特率。
2. 表 11 为定时器设置和 MCU 时钟频率在 PCON 寄存器中 SMOD1（复位值）情况的波特率。表 7 为 SMOD1=1 情况的波特率。
3. 这些表所示所有 MCU 时钟频率在 20MHz 所对应的波特率范围。其它仅能提供较低波特率的 MCU 时钟频率没有列出。
4. 表中标记（*）表示无需特别定制就可获得的标准晶振和陶瓷振荡器频率。

UART 模式 0

串行数据由 RxD 端出入。TxD 输出同步移位时钟，发送或接收的是 8 位数据，低位在先，其波特率固定为 MCU 时钟的 1/6，图 31 是串行口模式 0 的功能方框简图和有关的时序图。

执行任何一条把 SBUF 作为目的寄存器的指令时，就开始发送。当 S6P2 出现“SBUF”信号。S6P2 时刻“写 SBUF”信号将 1 装入发送移位寄存器的第 9 位，并通知发送控制部分开始发送。写信号有效后一个完整的机器周期后 SEND 端有效。

SEND 使能 RxD（P1.1）端送出数据，TxD（P1.0）输出移位时钟。每个机器周期的 S3、S4 及 S5 状态内移位时钟为低电平，而 S6、S1 及 S2 状态内为高。在 SEND 有效时，每一机器周期的 S6P2 时刻，发送移位寄存器的内容右移一位。

数据位向右移时，左边添加零。当数据字节最高位（MSB）移到移位寄存器的输出端时，其左边是装入“1”的第 9 位，再左的内容均为 0, 此时通知 Tx 控制模块进行最后一位移位处理后禁能 SEND 并置位 T1, 所有这些步骤均在“写入 SBUF”后第 10 个机器周期的 S1P1 时进行的。接收初始化条件是 REN=1 及 R1=0。下一机器周期的 S6P2 时，RX 控制单元向接收移位寄存器写入 1111 1110 并在下一节拍使 RECEIVE 端有效。

RECEIVE 使能移位时钟转换 P1.0 功能，移位时钟在每个机器周期的 S3P1 及 S6P1 跳变。在 RECEIVE 有效时每一机器周期的 S6P2 时刻，接收移位寄存器内容向左移一位。从右移位进来的值是该机器周期 S5P2 时从 P1.1 脚上采样得来的。

数据从右边移入时，左边移出为“1”。当初始时置入最右端的“0”移至最左端时，通知 RX 控制时钟作最后一次移位后装入 SBUF。在写入 SCON 清除 R1 后第 10 个机器周期，RECEIVE 端被清除且置位 RI。

UART 模式 1

串行口工作于模式 1 时，传输的是 10 位：1 位起始位（0），8 位数据（低位在先）及一位停止位（1）. 由 RxD 接收，TxD 发送。接收时，停止位存入 SCON 内 RB8。P87LPC769 波特率取决定时器 1 的溢出速率。图 32 所示为串行口的功能简图及相应的发送/接收时序。

发送过程是由执行一条以 SBUF 为目的寄存器的指令启动的。“写 SBUF”信号还把 1（TB8）装入发送移位寄存器的第 9 位，同时通知发送控制器进行发送。实际上发送过程开始于 16 分频计数器下次翻转后的那个机器周期的 S1P1 时刻。每位的发送时序与 16 分频计数器同步，而并不与“写 SBUF”信号同步。

发送以激活 SEND 端开始，向 TxD 发送一起始位。一位（时间）以后 DATA 端有效，使输出移位寄存器中数据得以送至 TxD。再过一位，产生第一个移位脉冲。

数据向右移出，左边不断填以 0，当数据字节的最高位移到移位寄存器的输出位置时，其左边是装入“1”的第 9 位，再左的内容均为 0。此时通知 TX 控制器作最后一次移位，然后禁能 SEND 端并置位 TI。这都发生于“写 SBUF”后 16 分频计时器的第 10 次翻转时。

接收在 RxD 端检测到负跳变时启动，为此 MCU 对 RxD 不断采样，采速率为波特率的 16 倍。当检测到负跳变时，16 分频计数器立即复位，同时将 1FFH 写入输入移位寄存器。复位 16 分频计时器确保计时器翻转时位与输入数据位时间同步。

计数器的 16 个状态将每个位时间分为 16 份。在第 7、8、9 状态时，位检测器对 RxD 端的值采样。取值为三个采样值中取多数（至少 2 个）作为读入值，这样可以抑制噪声。如果所接收的第一位不为 0，说明它不是一帧数据的起始位，该位被摒弃，接收电路被复位，等待另一个负跳变的到来。这用来防止错误的起始位。如果起始位有效，则被移入输入移位寄存器，并开始接收这一帧中的其它位。

当数据位逐一由右边移入时，“1”从左边被移出。当起始位 0 移到最左边时（模式 1 为 9 位寄存器），通知接收控制器进行最后一次移位，将移位寄存器内容（9）位分别装入 SBUF 及 RB8，并置 RI=1。仅当最后一位移位脉冲产生时同时满足下述 2 个条件：①RI=0，②SM2=0 或接收到的停止位=1，才会装载 SBUF 和 RB8，并且置位 RI。

上述两个条件任一不满足,所接收到的数据帧就会丢失，不再恢复。两者都满足时，停止位就进入 RB8，

8 位数据进入 SBUF，RI=1。这时，无论上述条件满足与否，接收控制单元都会重新等待 RxD 的负跳变。

模式 2 和模式 3

模式 2 和 3 中，发送（通过 TxD）和接收（通过 RxD）都是 11 位，包括 1 位起始位（0），8 位数据位（LSB 在先），1 位可编程数据位（第 9 位）及一位停止位（1）。发送时，第 9 位数据位（TB8）可置为 0 或 1。接收时，第 9 位存入 SCON 的 RB8。模式 2 时波特率可编程选为 MCU 时钟频率的 1/16 或 1/32。模式 3 时可由定时器 1 获取可变的波特率。

图 33 及 34 所示为模式 2、3 时串行口的功能简图。接收部分与模式 1 相同。发送部分仅发送移位寄存器内第 9 位和模式 1 有所不同。

发送过程是由执行一条以 SBUF 为目的寄存器的指令启动的。“写 SBUF”同时将 TB8 装入发送移位寄存器的第 9 位位置上。并通知发送控制器进行一次发送。发送过程由于 16 分频计数器下一次翻转后机器周期的 S1P1 时刻开始。

发送过程由使能 SEND 有效开始，将一个起始位送到 TxD 端。一位时间后，DATA 有效，数据由移位寄存器送入 TxD 端。再过一位后产生第一个移位脉冲。第一个移位时钟将“1”（停止位）送入移位寄存器的第 9 位，此后每次移位只把 0 送入第 9 位，所以当数据位向右移出时，“0”从左边移入。当 TB8 移至输出位置上时，它左边就是停止位，其余位均为零。此时将通知发送控制器作最后一次移位，然后使 SEND 无效并置位 TI。这些均发生在“写 SBUF”后第 11 次计数器翻转时，MCU 以 16 倍波特率对 RxD 脚进行采样，一旦检测到负跳变，16 分频计数器立即复位同时将 1FFH 移位寄存器。

在每一位的第 7、8、9 状态时，位检测器对 RxD 端值进行采样。对三个采样值取多数（至少 2 次）为确定值以抑制噪声。如若所接收的第一位不为 0，接收电路复位，单元等待下一个负跳变的出现。如果起始位有效，则被移入输入移位寄存器，并开始接收这一帧中的其它位。

数据位从右边移入，“1”从左边移出。当起始位移至寄存器（模式 2~3 时为 9 位寄存器）的最左端时，通知接收控制器进行最后一次移位，并装入 SBUF 及 RB8 并置位 RI。仅当产生最后一位移位脉冲时同时满足下列 2 个条件：①RI=0,②SM2=0 或接收到的第 9 位数据为 1 时, 才装载 SBUF 和 RB8 并置位。

上述两个条件任一不满足,所接收到的数据帧就会丢失，不再恢复 RI 仍为 0。当两者都满足时，第 9 位数据位就装入 RB8，前 8 位数据则装入 SBUF，一位时间后，无论上述条件满足与否，单元都会重新等待 RxD 端的负跳变。

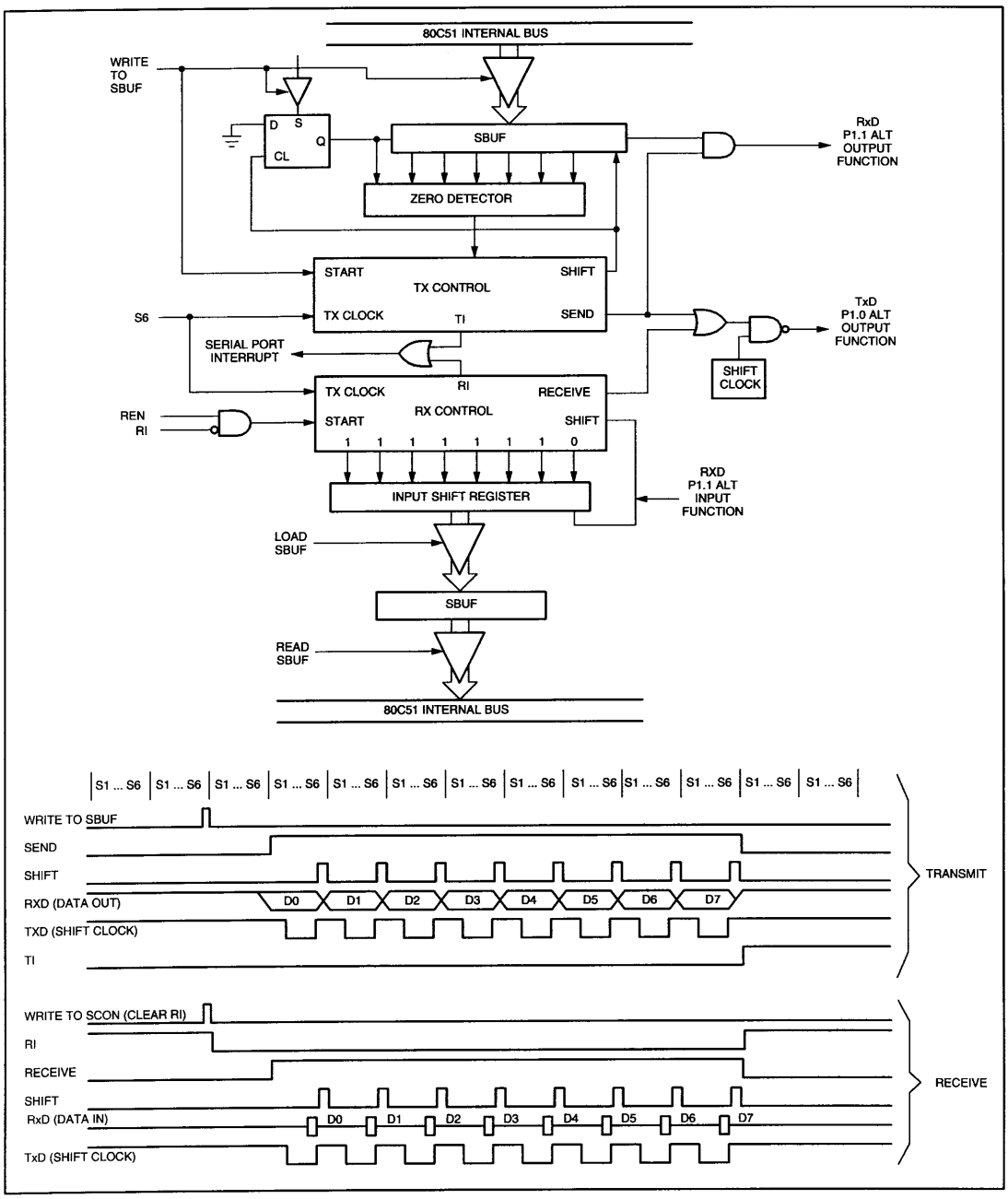

80C51 INTERNAL BUS
WRITE TO SBUF
D
S
Q
CL
SBUF
RxD P1.1 ALT OUTPUT FUNCTION
ZERO DETECTOR
START
SHIFT
TX CONTROL
TX CLOCK
TI
SEND
S6
TxD P1.0 ALT OUTPUT FUNCTION
SERIAL PORT INTERRUPT
SHIFT CLOCK
TX CLOCK
RI
RECEIVE
REN
RI
START
RX CONTROL
SHIFT
1 1 1 1 1 1 1 0
RXD P1.1 ALT INPUT FUNCTION
INPUT SHIFT REGISTER
LOAD SBUF
SBUF
READ SBUF
80C51 INTERNAL BUS
S1 ... S6
WRITE TO SBUF
SEND
SHIFT
RXD (DATA OUT)
D0 D1 D2 D3 D4 D5 D6 D7
TXD (SHIFT CLOCK)
TI
TRANSMIT
WRITE TO SCON (CLEAR RI)
RI
RECEIVE
SHIFT
RxD (DATA IN)
D0 D1 D2 D3 D4 D5 D6 D7
TxD (SHIFT CLOCK)
RECEIVE

图 31　　串口模式 0

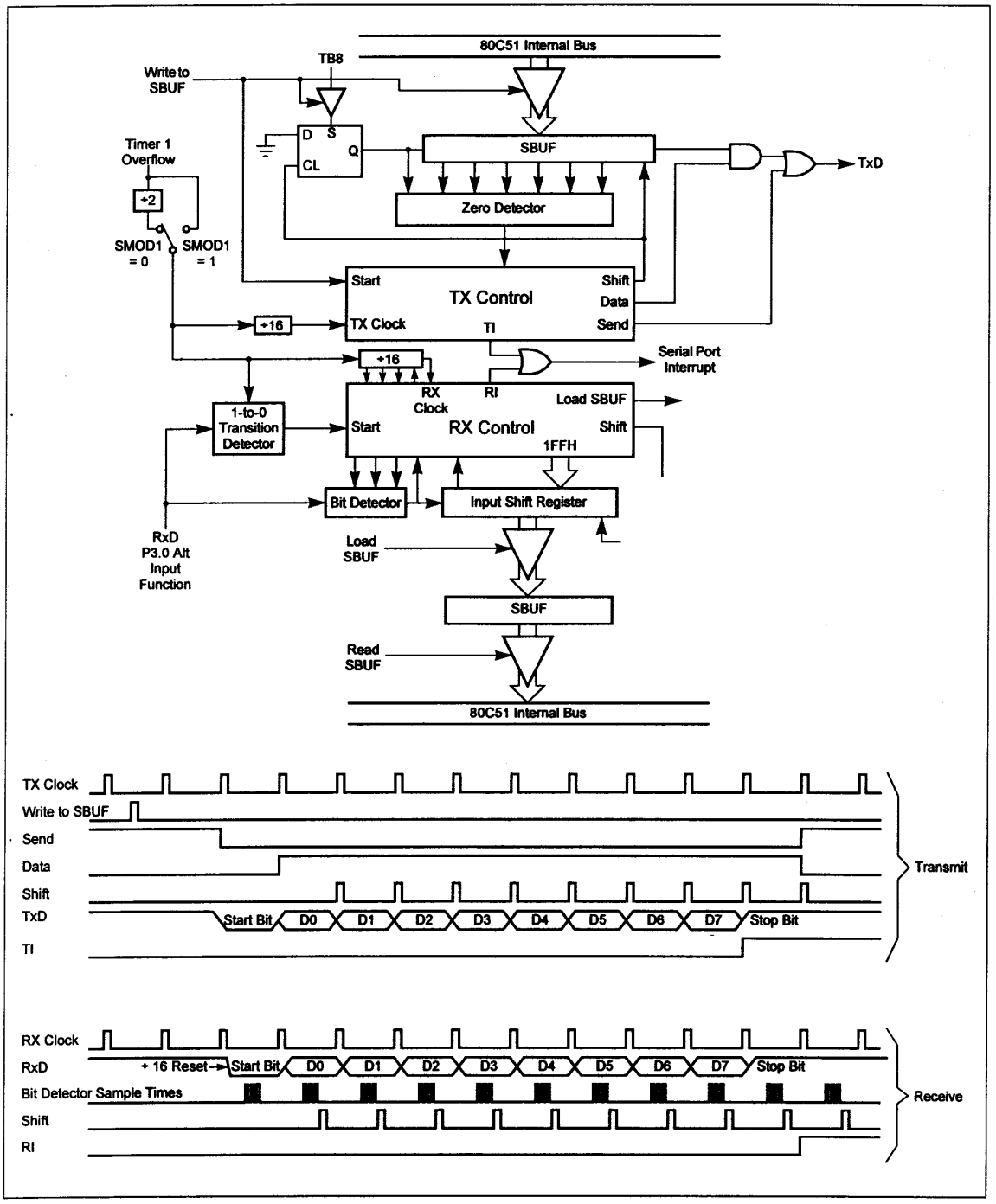

80C51 Internal Bus
TB8
Write to SBUF
D
S
Q
CL
SBUF
TxD
Timer 1 Overflow
÷2
SMOD1 = 0
SMOD1 = 1
Zero Detector
Start
TX Control
Shift
Data
Send
TX Clock
TI
÷16
Serial Port Interrupt
RX Clock
RI
Load SBUF
1-to-0 Transition Detector
Start
RX Control
Shift
1FFH
Bit Detector
Input Shift Register
RxD P3.0 Alt Input Function
Load SBUF
SBUF
Read SBUF
80C51 Internal Bus
TX Clock
Write to SBUF
Send
Data
Shift
TxD
TI
Start Bit
D0
D1
D2
D3
D4
D5
D6
D7
Stop Bit
Transmit
RX Clock
RxD
÷ 16 Reset
Bit Detector Sample Times
Shift
RI
Receive

图 32 串口模式 1

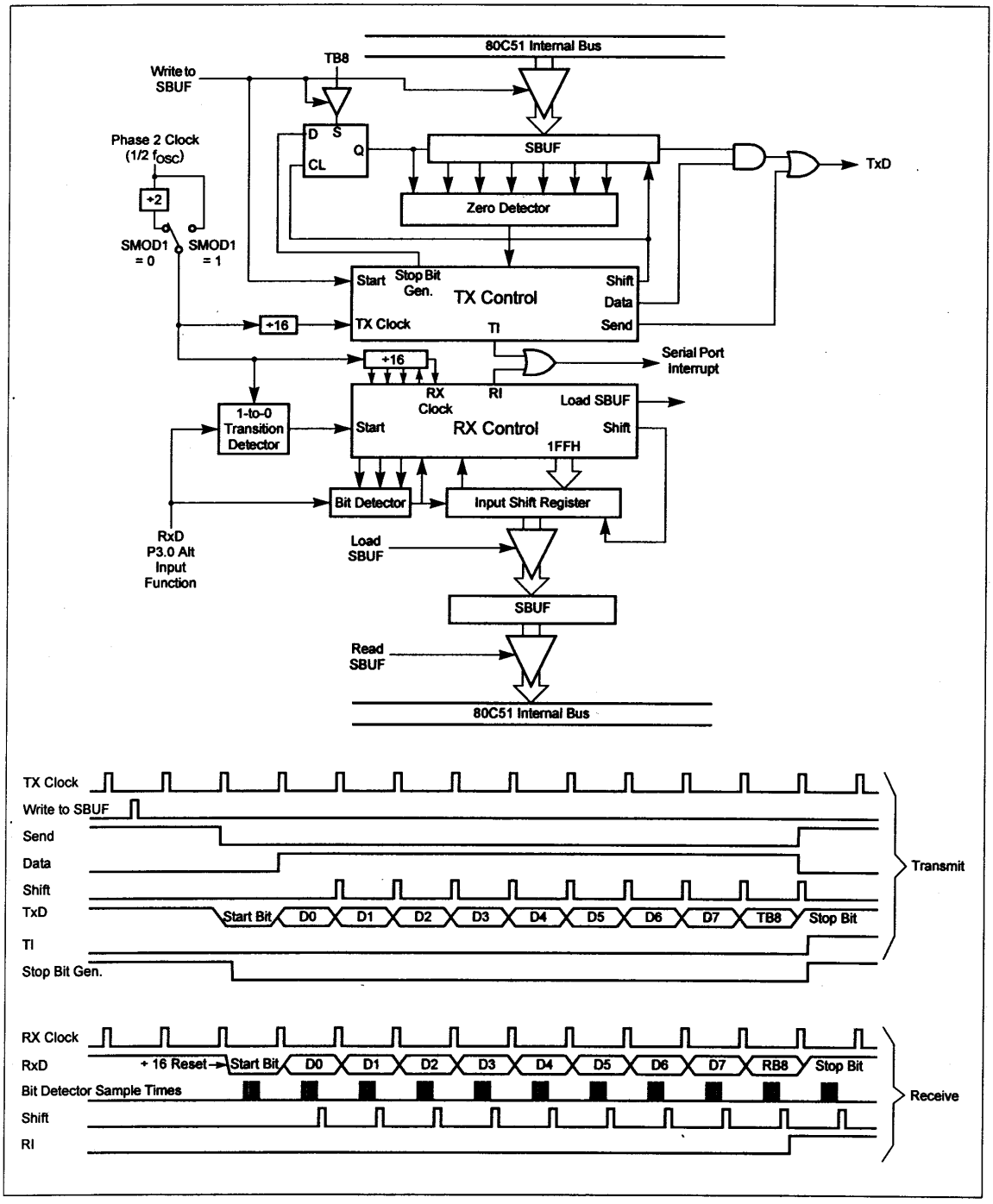

80C51 Internal Bus
TB8
Write to SBUF
Phase 2 Clock (1/2 fosc)
D
S
Q
CL
SBUF
TxD
Zero Detector
÷2
SMOD1 = 0
SMOD1 = 1
Start
Stop Bit Gen.
TX Control
Shift
Data
Send
÷16
TX Clock
TI
÷16
Serial Port Interrupt
RX Clock
RI
Load SBUF
1-to-0 Transition Detector
Start
RX Control
Shift
1FFH
Bit Detector
Input Shift Register
RxD P3.0 Alt Input Function
Load SBUF
SBUF
Read SBUF
80C51 Internal Bus
TX Clock
Write to SBUF
Send
Data
Shift
TxD
Start Bit
D0
D1
D2
D3
D4
D5
D6
D7
TB8
Stop Bit
TI
Stop Bit Gen.
Transmit
RX Clock
RxD
+ 16 Reset
Start Bit
D0
D1
D2
D3
D4
D5
D6
D7
RB8
Stop Bit
Bit Detector Sample Times
Shift
RI
Receive

图 33 串口模式 2

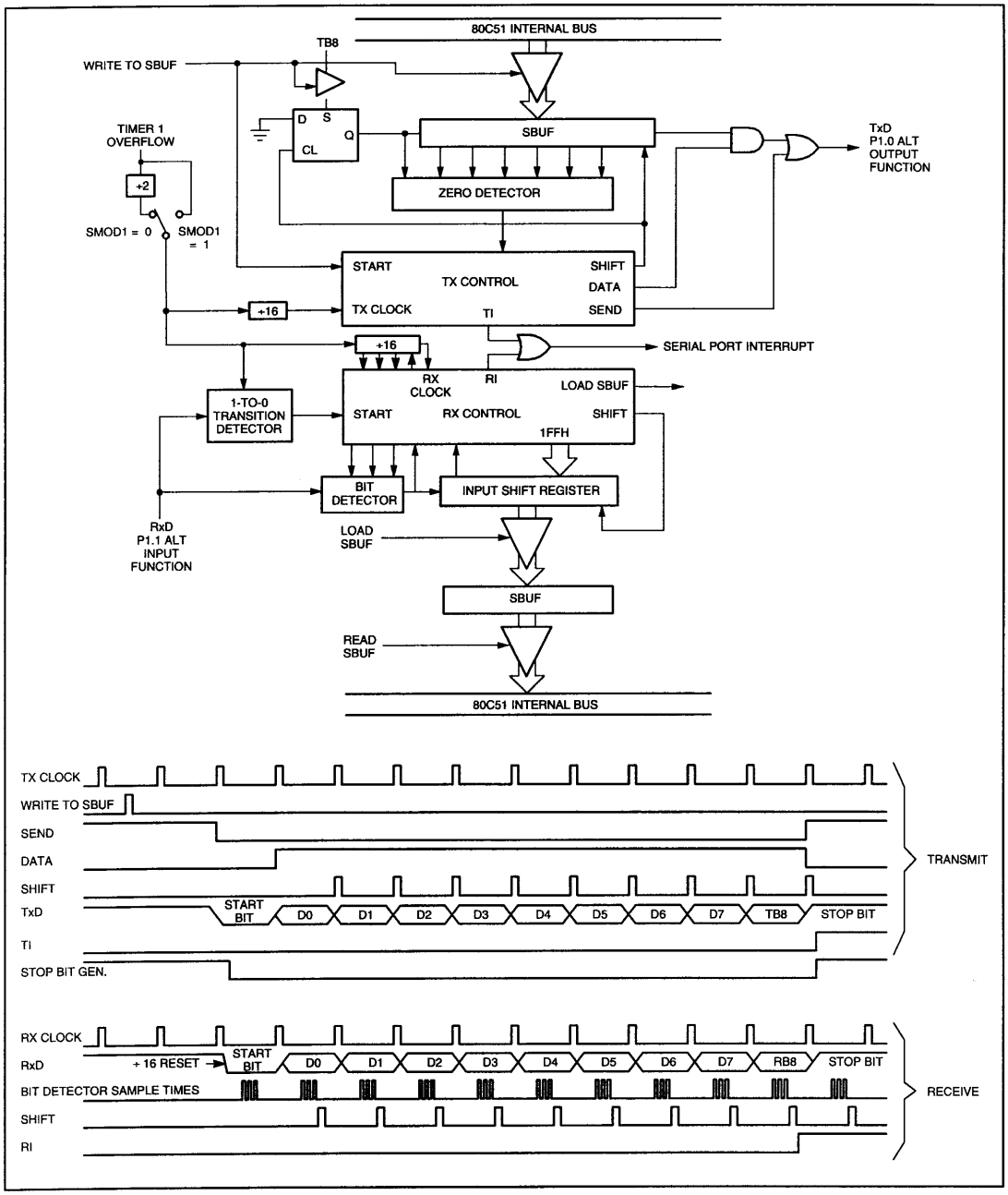


图 34　串口模式 3

多处理机通信

UART 模式 2 及模式 3 有一个专门的应用领域即多处理机通信。在这些模式时，发送及接收的均为 9 位数据。接收时第 9 位存入 RB8。UART 可编程为：接收到停止位时，仅当 RB8=1 时串口中断才有效。可通过置位 SCON 内 SM2 位来选择这一特性。下述为多处理机系统利用这一特性的一种方法。

当主机需要发送一数据块给数台从机之一时，首先发送出目的从机的地址字节。地址与数据字节通过第 9 位数据区别，其中地址字节的第 9 位为 1，而数据字节为 0，SM2=1 时，数据字节不会使各从机中断，而地址字节则令所有从机中断，所以各从机可以检查接收到的数据判断是否被寻址。被寻址的从机即可清除 SM2 位以准备接收随后数据内容。未被寻址的从机的 SM2 位仍为 1 则不理睬随后数据继续各自工作。

模式 0 时 SM2 无效，模式 1 时 SM2 用于检验停止位是否有效，虽然这方面 FE（帧错误）标志可更好地胜任。在模式 1 时，如果 SM2=1，那么只有接收到有效的结束位才可产生接收中断。

地址自动识别

地址自动识别是使 UART 通过硬件比较从串行数据位中识别出某一特定地址。这样就不必花费大量时间去处理由串行口输入的串行地址。在 9 位 UART 模式（模式 2 和模式 3）下,将 SCON 内 SM2 置位即可利用该特性。在 9 位 UART 内容包含“特定”地址或“广播”地址，接收中断标志（RI）将自动置位。在 9 位模式下第 9 个信息位须为 1 以标明该信息内容是地址而非数据。

使用地址自动识别特性时，主机通过调用特定从机地址选择与一个（或多个）从机通信。使用广播地址时，所有从机都被联系。在此使用了两个特殊功能寄存器，SADDR 表示从机地址，SADEN 表示地址屏蔽。SADEN 用于定义 SADDR 内哪几位需使用而哪几位不予考虑。SADEN 屏蔽可以与 SADDR 逻辑“与”得出特定地址，用于对每一从机进行寻址。示例如下：

从机 0 SADDR=1100 0000
SADEN=1111 1101
特定地址=1100 00X0

从机 1 SADDR=1100 0000
SADEN=1111 1110
特定地址=1100 000X

上例中 SADDR 相同，而 SADEN 不同以区分两个从机。从机 0 要求 0 位为 0 而忽略 1 位。从机 1 则要求 1 位为 0 而忽略 0 位。由于从机 1 的 1 位必须为 0，从机 0 只能取独有的地址 1100 0010 以区别。由于从机 0 的 0 位必须为 1，从机 1 只能取独有的地址 1100 0001 以区别。而取地址 1100 0000 时两从机都可被寻址。

下例所示为选择从机 1、2 而不选从机 0：

从机 0 SADDR=1100 0000
SADEN=1111 1001
特定地址=1100 0XX0

从机 1 SADDR=1110 0000
SADEN=1111 1010
特定地址=1100 0X0X

从机 2 SADDR=1110 0000
SADEN=1111 1100
特定地址=1110 00XX

上述三个从地址只有低 3 位不同。从机 0 要求位 0=0，它可通过 1110 0110 单独寻址；从机 1 要求位 1=0，可通过 1110 0101 单独寻址；从机 2 要求位 2 为 0，可通过 1110 0011 单独寻址。由于必须使地址字节的第 2 位为“1”以屏蔽从机 2，因此使用地址 1110 0100 可选通从机 0 和 1 同时屏蔽从机 2。。将 SADDR 和 SADEN 相“或”后产生每个从机的“广播”地址，结果为零的位视为无效。大多数情况下，无效位被设定为 1，这样，“广播”地址为 FFH。复位时 SADDR 和 SADEN 均为 00H，此时给定地址与“广播”地址均无效。这样有效地禁止了自动寻址模式，微处理器只能使用标准的 UART 通讯模式。

看门狗定时器

看门狗定时器由一个完全独立的振荡器控制，以保证其最大限度的可靠性，它通过 WDTE 位使能。

当看门狗功能被启动，定时器必须定时得到软件的清除，以防止其溢出将 MCU 复位，但是定时器不能被关闭。当不作为看门狗定时器时（通过 UCFG1 寄存器的 WDTE 位控制），它将作为一个间隔定时器使用，并可产生中断。看门狗定时器如图 35 所示。

看门狗溢出时间选择有 8 个数据，标称时间范围从 16ms 到 2.1 秒。独立的看门狗 RC 振荡器的频率误差为±37%，溢出时间和其它的控制位如图 36 所示。当使能看门狗功能时，在芯片初始化时向 WDCON 写入数据以设定看门狗溢出时间。建议初始化 WDCON 时，先清看门狗，然后写“WDCON”配置的 WDS2～0 位。采用这种方式，能在 10ms 内完成设置，从而避免在初始化完成前看门狗溢出复位。

由于看门狗定时器振荡器是完全的片内振荡电路，它独立于 MCU 使用的任何外部震荡电路。它实质上执行的是内部振荡器失效的检测功能。当看门狗功能被启动，无论 MCU 振荡器因何故失效，看门狗定时器都会溢出并使 MCU 复位。

当看门狗功能被使能，定时器会因为其它原因造成的芯片复位而暂时无效。例如上电复位、掉电复位或外部复位等。

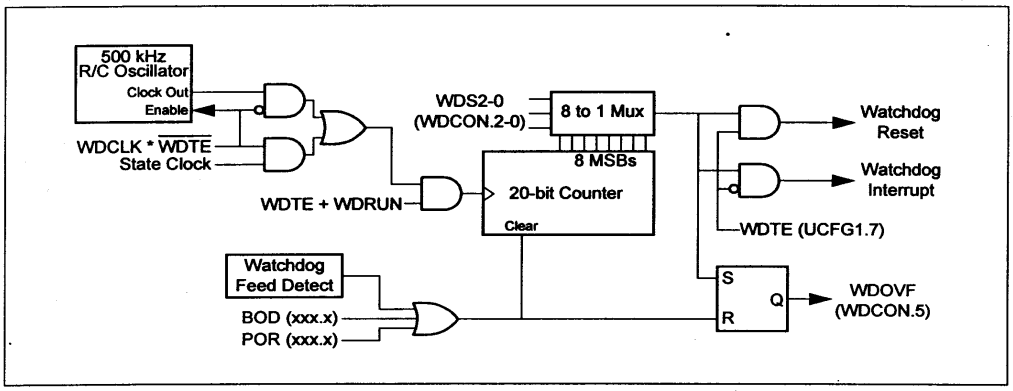


图 35 看门狗定时器

看门狗清“0”顺序

如果看门狗定时器正在进行，必须在其溢出产生复位前清“0”，看门狗清“0”顺序包括：先写立即数 1EH，再写 0E1H 到“WDRST”寄存器。下面是一个操作实例：

```
WDFeed：
        MOV     WDRST，#1EH
        MOV     WDRST，#0E1H
```

这两条写 WDRST 的命令不必是连续的两条指令。一个不正确的看门狗清“0”顺序不会引起看门狗定时器的任何即刻反应。如果在溢出之前没有给它一个正确的清“0”，它仍然按最初设置的时间溢出。

发生芯片复位后，用户程序只有有限的时间清看门狗或改变溢出时间。如果应用中使用较低的 MCU 时钟频率，那么在发生看门狗溢出之前能被执行的指令非常少。

看门狗复位

如果发生看门狗复位，内部复位有效时间约为 1μs。如果 MCU 时钟仍在运行，程序的执行将在复位后立即开始。如果处理器工作在掉电模式，看门狗复位将启动振荡器并且在振荡器稳定后恢复程序的执行。

WDCON 地址：A7H
不可位寻址

7	6	5	4	3	2	1	0
-	-	WDOVF	WDRUN	WDCLK	WDS2	WDS1	WDS0

复位值：
30H—看门狗复位
如果看门狗使能 WDTE 位则其它引起复位的事件，其复位值为 10H。
如果看门狗不使能 WDTE 位则其它引起复位的事件，其复位值为 00H。

位	符号	功能
WDCON.7,6	–	保留作将来使用,用户编程时请勿置为 1
WDCON.5	WDOVF	看门狗定时器溢出标志。当看门狗复位或定时器置位，当看门狗清零时清零。
WDCON.4	WDRUN	看门狗运行控制。当 WDRUN=1 时看门狗定时器开始工作，当 WDRUN=0 时看门狗定时器停止工作。如果 WDTE 位为 1 时，WDRUN 位在看门狗运行时将被强制为 1。
WDCON.3	WDCLK	看门狗时钟选择。当 WDCLK=1 时，看门狗定时器时钟为 MCU 时钟的 1/6；当 WDCLK=0 时，看门狗定时器时钟为看门狗 RC 振荡器。如果 WDTE 位为 1 时，WDCLK 位被强制为 0，即使用看门狗 RC 振荡器。
WDCON.2-0	WDS2-0	看门狗溢出周期选择。

WDS2-0	溢出时钟	最小时间	标称时间	最大时间
000	8,192	10ms	16ms	23ms
001	16,384	20 ms	32ms	45ms
010	32,768	41ms	65ms	90ms
011	65,536	82ms	131ms	180ms
100	131,072	165ms	262ms	360ms
101	262,144	330ms	524ms	719ms
110	524,288	660ms	1.05sec	1.44sec
111	1,048,576	1.3sec	2.1sec	2.9sec

图 36 看门狗时钟控制寄存器(WDCON)

附加功能

“AUXR1”寄存器由几个特别控制位组成，这些位另几种芯片功能相关。AUXR1 在图 37 中详述。

AUXR1 地址：A2H 复位值：00H
不可位寻址

7	6	5	4	3	2	1	0
KBF	BOD	BOI	–	SRST	0	–	DPS

位	符号	功能
AUXR1.7	KBF	键盘中断标志。当 P0 口任何一个使能为键盘中断功能的管脚变低时，KBF 置位。它必须通过软件清零。
AUXR1.6	BOD	禁能掉电检测。当 BOD 置位时，关闭掉电检测以节省电能。详细资料见电源监控功能。
AUXR1.5	BOI	掉电检测中断。当 BOI 置位时，禁止掉电检测产生芯片复位，但允许掉电检测作为一个中断。详细资料见电源监控功能。
AUXR1.4	–	以后扩展用。用户程序应将该位置 0。
AUXR1.3	SRST	软件复位。当 SRST 通过软件置位时，P87LPC769 就象硬件复位一样复位。
AUXR1.2	0	该位为 0。允许通过将 DPTR 加 1 切换 DPS 位而不影响寄存器的其它位。
AUXR1.1	–	以后扩展用。用户程序不能将其置 1。
AUXR1.0	DPS	数据指针选择。通过用户程序选择 2 个数据指针中的一个。

图 37 AUXR1 寄存器

软件复位

AUXR1 寄存器的 SRST 位使软件能象发生外部复位或看门狗复位一样彻底复位。如果写 AUXR1 的第 3 位为“1”，所有的 SFRS 将被赋初值且从地址 0000 开始执行。写入 AUXR1 时，务必当心防止突发性软件复位。

双数据指针

双数据指针（DPTR）增加了处理器指向确定指示地址的方式。AUXR1 寄存器的 DPS 位选择两个数

据指针中的一个。没被选择的 DPTR，软件不予接受，除非 DPS 位被改变。

受数据指针选择影响的指令有：

- INC DPTR
- JMP @A+DPTR
- MOV DPTR,#data16
- MOVC A,@A+DPTR
- MOVX A,@DPTR
- MOVX @DPTR,A

而且任何存取或操作 DPH 和 DPL 寄存器(DTTR 的高字节和低字节的指令)均受 DPS 位设置的影响。“MOVX”指令执行被 P87LPC769 限制了，因为它没有外部数据总线。但是，它们可用于访问 EPROM 配置信息（见 EPROM 特征章节）。

AUXR1 的第 2 位被强制为逻辑电平“0”，这样 DPS 位可以简单地通过将 AUXR1 加 1 进行切换（因此而转换数据指针），这样不会更改寄存器的其它位。

EPROM 特性

对 P87LPC769 的 EPROM 编程是通过一个串行编程方式实现的。命令、地址及数据在进入编程模式后通过两个引脚传送。串行编程使 P87LPC769 在应用板上很容易实现在线编程。编程算法可从 Philips 的网站上获得，可访问

http://www.semiconductors.philips.com/mcu/support/progspecs/

P87LPC769 带有三个可读的标识字节,可用 EPROM 编程系统来识别器件。这些标识字节可表明 P87LPC769 器件是由 philips 生产的。标识字节位于地址 FC30H、FC31H 及 FC60H，可通过使用 DPTR 寻址的 MOVC 指令进行读取。

一个从 FCE0H 至 FCFFH 的特殊用户数据区也可通过 MOVC 指令访问，此“用户代码”区可使用与主代码 EPROM 同样方法进行编程，可用来存放序列码、生产日期或别的应用信息。

32 字节用户代码空间

EPROM 有一小块空间保留给用户使用，可用来存放程序版本、序列码或作其它用途。该区域位于地址 FCEOH 到 FCFFH。不支持该区域的程序执行。但可通过 MOVC 指令对其进行读取。此存储区可与其它程序存储区以及 UCFG 字节同时编程。

系统配置字节

P87LPC769 的众多用户可配置的特性必须在上电时定义，开始执行程序后便不可设置了。这些特性是通过两个 EPROM 字节编程来配置的，方法与对 EPROM 程序空间编程相同。两个配置字节 UCFG1 及 UCFG2 的内容如图 38，39 所示。配置字节的值由程序内 MOVX 指令读取，其地址如图所示。

UCFG1 地址：FD00H

未编程值： 0FFH

7	6	5	4	3	2	1	0
WDTE	RPD	PRHI	BOV	CLKR	FOSC2	FOSC1	FOSC0

位	符号	功能
UCFG1.7	WDTE	看门狗定时器使能位，当置 0 时，则关闭看门狗定时器，定时器可用来作产生中断，反之，看门狗定时器使能。
UCFG1.6	RPD	复位引脚禁能位,当置 1 时，P1.5 不能作复位功能，允许其用作仅为输入口。
UCFG1.5	PRHI	口复位高：为 1 时,口复位为高电平；为 0 时，口复位为低电平。
UCFG1.4	BOV	该位必须编程为零。
UCFG1.3	CLKR	时钟速率选择。等于 0 时，MCU 时钟被 2 分频，结果象标准的 80C51 一样，每 12 个 MCU 时钟周期为一个机器周期。
UCFG1.2-0	FOSC2-FOSC0	MCU 振荡类型选择。详见振荡器部分。除了下面给出的组合外，其它的不能使用。它们被保留供将来使用。
	FOSC2-FOSC0	振荡器配置
	1 1 1	外部时钟从 X1 输入 (为未编程部分的缺省设置)
	0 1 1	内部 RC 振荡器 6MHz±25%
	0 1 0	低频晶振，20KHz 至 100KHz
	0 0 1	中频晶振或共振器 100KHz 至 4MHz
	0 0 0	高频晶振或共振器,4MHz 至 20MHz

图 38 EPROM 系统配置字节 1（UCFG1）

UCFG2 地址：FD01H

7	6	5	4	3	2	1	0
SB2	SB1	—	—	—	—	—	—

未编程值： FFH

位	符号	功能
UCFG2.7,6	SB2,SB1	EPROM 保密位,细节请看表 8
UCFG2.5-0	—	保留作将来之用。

图 39 EPROM 系统配置(UCFG2)

保密位

若保密位没被编程确定，EPROM 里面的代码就可以被校验。一旦保密位第 1 位被编程，以后就不能对 EPROM 再编程。这种情况下，保密位第 2 位仍然可以被编程。当两位保密位都被编程，EPROM 的校验也被禁止。

SB2	SB1	保密描述
1	1	两位保密位都没被编程。没有程序保密位。EPROM 可以被编程和校验。
1	0	只有保密位 1 被编程。EPROM 被编程禁止。保密位 2 仍然可以被编程。
0	1	只有保密位 2 被程。不支持这种组合。
0	0	两位保密位都被编程。EPROM 不能被编程和校验。

DC 电气特性

Vdd=4.5V～5.5V T_{amb}= -45～+125℃ 或 –45℃～+85℃。

符号	参数	测试条件	范围			单位
			最小	典型 [1]	最大	
I_{DD}	电源电流,工作模式	5.0V,20MHz[11]		15	25	mA
		3.0V,10MHz[11]		4	7	mA
I_{ID}	电源电流,空闲模式	5.0V,20MHz[11]		6	10	mA
		3.0V,10MHz[11]		2	4	mA
I_{PD}	电源电流,掉电模式	5.0V[11]		1	10	μA
		3.0V[11]		1	5	μA
V_{RAM}	RAM 保持电压		1.5			V
V_{IL}	输入低电压(TTL 输入)	4.5V < V_{DD} < 5.5V	-0.5		$2V_{DD}$-0.1	V
V_{IL1}	负门槛电压(施密特输入)		-0.5V_{DD}	0.4V_{DD}	0.3 V_{DD}	V
V_{IH}	输入高电压(TTL 输入)		0.2V_{DD}+0.9		V_{DD}+0.5	V
V_{IH1}	正门槛电压(施密特输入)		0.7 V_{DD}	0.6V_{DD}	V_{DD}+0.5	V
HYS	滞后电压(1 口)			0.2V_{DD}		V
V_{OL}	输出低电压 [5,9]	I_{OL}=3.2mA,V_{DD}=4.5V			0.4	V
V_{OL1}	输出低电压 [5,9]	I_{OL}=20mA,V_{DD}=4.5V			1.0	V
V_{OH}	输出高电压 [3]	I_{OH}=-30μA,V_{DD}=4.5V	V_{DD}-0.7			V
V_{OH1}	输出高电压 [4]	I_{OH}=-1.0mA,V_{DD}=2.7V	V_{DD}-0.7			V
C_{IO}	输入/出口感应电容 [10]				15	Pf
I_{IL}	逻辑 0 输入 [8]	V_{IN}=0.4V			-50	μA
I_{LI}	输入漏电流 [7]	V_{IN}=V_{IL},或 V_{IH}			±2	μA
I_{TL}	逻辑 1 到 0 跳变电流 [3,6]	V_{IN}=2.0Vat VDD=5.5	-150		-650	μA
R_{RST}	内部复位上拉电阻		40		225	kΩ
$V_{BO3.8}$	BOV=0 时掉电电压	Tamb=-45℃～+85℃	3.45	3.8	3.90	V
V_{REF}	参考电压		1.11	1.26	1.41	V
$T_c(V_{REF})$	温度系数			tbd		ppm/℃
SS	电源灵敏度			tbd		%/V

注：

1. 不能保证得到典型的标称值。表中所列值为在室温，电压 5V 下测得。
2. 详见其它图表。 激活模式： $I_{CC(MAX)}$＝tbd
   空闲模式： $I_{CC(MAX)}$＝tbd
3. 带弱上拉的准双向口模式（用于所有带上拉的口）。请勿用于开漏管脚。
4. 使用上拉模式的口。请勿用于开漏管脚。
5. 除了高阻模式外的所有输出模式。
6. 准双向口模式和外部驱动 1 变 0 时的管脚的跳变电流。当 V_{IN} 大约为 2V 时，该电流最大。
7. 在高阻模式下测得。该参数在低温下未作测试但可得到保证。
8. 在准双向模式下测得。
9. 在稳态（非瞬态）条件下，I_{OL} 必须受到以下限制：
   每个管脚最大 I_{OL}： 20mA
   所有管脚的最大 I_{OL}： 80mA
   所有管脚的最大 I_{OH}： 5mA
   如果 I_{OL} 超过测试条件，V_{OL} 可能超过相应的规格。管脚不能保证吸收大于上表所列的电流。
10. 管脚电容由其特性得到，但未作测试。
11. I_{DD}，I_{ID} 和 I_{PD} 的规格在以下条件下测得：使用外部时钟源，关闭比较器，掉电检测和看门狗定时器。参看图 43~49。
12. 器件在 V_{DD}≥2.7V 并且 f_{OSC}≤10MHz 时启动操作可保证处于掉电电压点时指令的继续正确运行。

在 V_{DD} < 2.7V 时则不能保证初始上电操作。

13. 器件在 V_{DD}≥4.0V 并且 f_{OSC}≤20MHz 时启动操作可保证处于掉电电压点时指令的继续正确运行。在 V_{DD} < 4.0V 且 f_{OSC} >10MHz 时则不能保证初始上电操作。

比较器电气特性

V_{DD}=4.5V～5.5V T_{amb}= -45～+125℃ 或 – 45℃～+85℃。

符号	参数	测试条件	范围			单位
			最小	典型	最大	
V_{IO}	比较器输入偏移电压 [1]				±10	mV
V_{CR}	通常模式比较器输入范围		0		V_{DD}-0.3	V
CMRR	通常模式失真比率 [1]				-50	dB
	响应时间			250	500	nS
	比较器有效输出				10	μs
I_{IL}	比较器输入漏电流	$0<V_{IN}<V_{DD}$			±10	μA

注：

1. 该参数由其特性保证，而不是由产品测得。

A/D 转换器 DC 电气特性

V_{DD}=4.5V～5.5V T_{amb}= -45～+125℃ 或 – 45℃～+85℃。

符号	参数	测试条件	范围		单位
			最小	最大	
AV_{IN}	模拟输入电压		V_{SS}-0.2	V_{DD}+0.2	V
R_{REF}	VDD 和 VSS 间电阻	A/D 使能	tbd	tbd	kΩ
C_{IA}	模拟输入电容			15	pF
DLe	微分非线性 [1,2,3]			±1	LSB
ILe	积分非线性 [1,4]			±1	LSB
OSe	偏移误差 [1,5]			±2	LSB
Ge	增益误差 [1,6]			±1	%
Ae	绝对电压误差 [1,7]			±1	LSB
M_{CTC}	通道间匹配			±1	LSB
Ct	输入口间窜扰 [8]	0-100kHz		-60	dB
-	输入转换速率 [9]			100	V/ms
-	输入阻抗 [10]			10	kΩ

注：

1. 条件：V_{SS}＝0V; V_{DD}＝5.12V.
2. A/D 是单调的，无丢失的代码。
3. 微分非线性(DLe)是指实际的阶宽和理想的阶宽之间的差。见图 40。
4. 积分非线性(ILe)是指在调整了增益和偏移误差之后实际台阶的中心与理想的转换曲线的峰值差。见图 40。
5. 偏移误差(OSe)是指符合实际转换曲线的直线(在除去增益误差后)与符合理想转换曲线的直线之间的绝对差。见图 40。
6. 增益误差(Ge)是指符合实际转换曲线的直线(在除去偏移误差后)与符合理想转换曲线的直线之间的相对差。见图 40。
7. 绝对电压误差(Ae)是指未校正 ADC 的实际转换曲线和理想转换曲线台阶中心之间的最大差。
8. 当模拟和数字信号同时输入 A/D 管脚时应当考虑。
9. 当输入电压变化比转换速率快时，将导致错误的读取。
10. 信号源阻抗大于 10KΩ时，将导致 A/D 精度下降和错误的读取。

AC 电气特性

V_{DD}=4.5V～5.5V T_{amb}= -45～+125℃ 或 –45℃～+85℃。V_{SS}=0V[1, 2, 3]

符号	图例	参数名		范围		单位
				最小	最大	
外部时钟						
f_c	42	振荡频率(V_{DD}=4.5V～6.0V)		0	20	MHz
f_c	42	振荡频率(V_{DD}=2.7V～6.0V)		0	10	MHz
f_c	42	时钟周期,MCU 时序		1/ f_c		ns
t_{CHCX}	42	时钟高电平时间[4]	f_{OSC}=20 MHz	20		ns
	42		f_{OSC}=10 MHz	20		ns
t_{CHCX}	42	时钟低电平时间[4]	f_{OSC}=20 MHz	20		ns
	42		f_{OSC}=10 MHz	20		ns
移位寄存器						
t_{XLXL}	41	串行口时钟周期		$6t_C$		ns
t_{QVXH}	41	输出数据建立到时钟上升沿		$5t_C$-133		ns
t_{XHQX}	41	输出数据在时钟上升沿后保持		$1t_C$-80		ns
t_{XHDV}	41	输出数据建立到时钟上升沿			$5t_C$-133	ns
t_{XHDX}	41	输出数据在时钟上升沿后保持		0		ns

注：

1. 如不另外说明，上述参数在操作温度范围内有效。
2. 所有输出端的负载电容为 80Pf。
3. 部分操作可低至 0Hz。
4. 仅应用于一个外部时钟源，而不是连接到 X1，X2 脚的晶振。

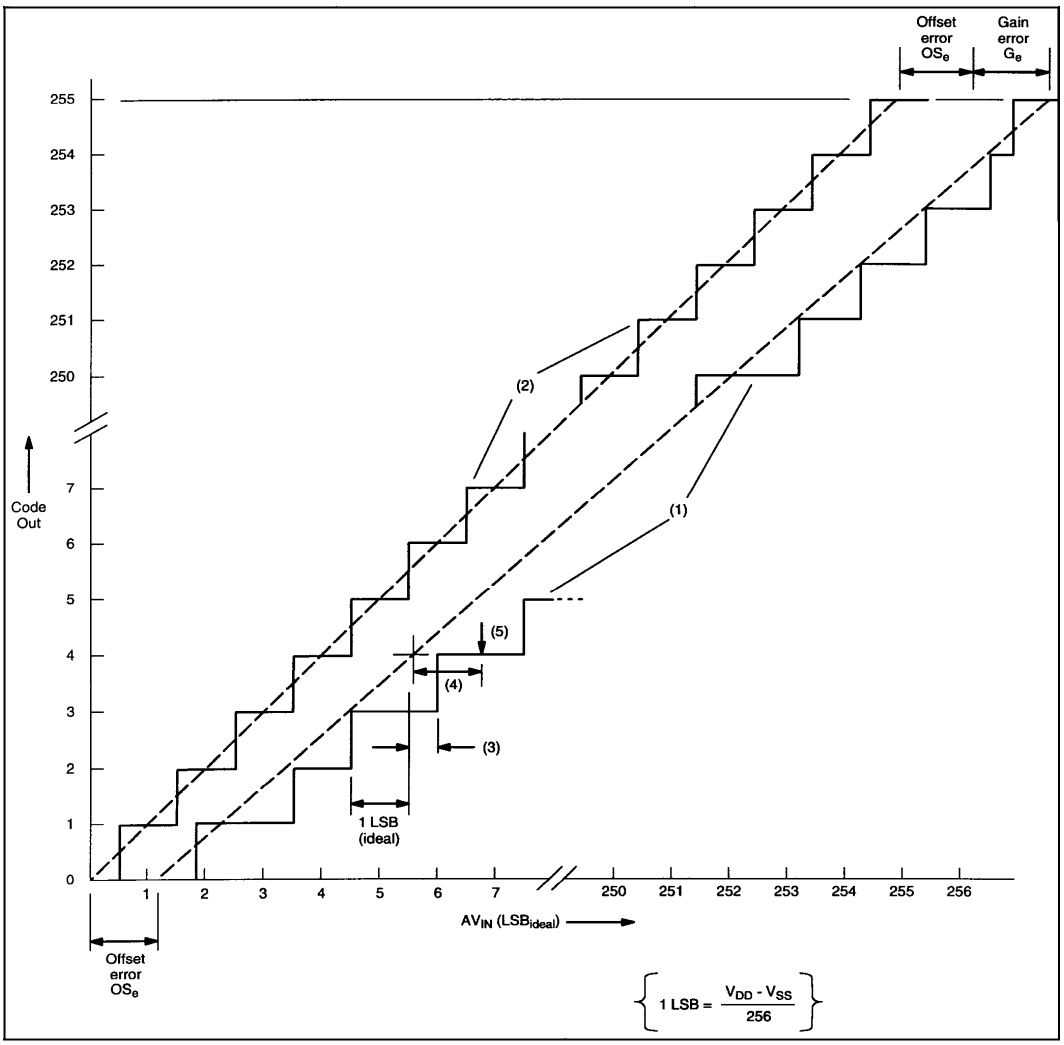


图 40 A/D 转换特性

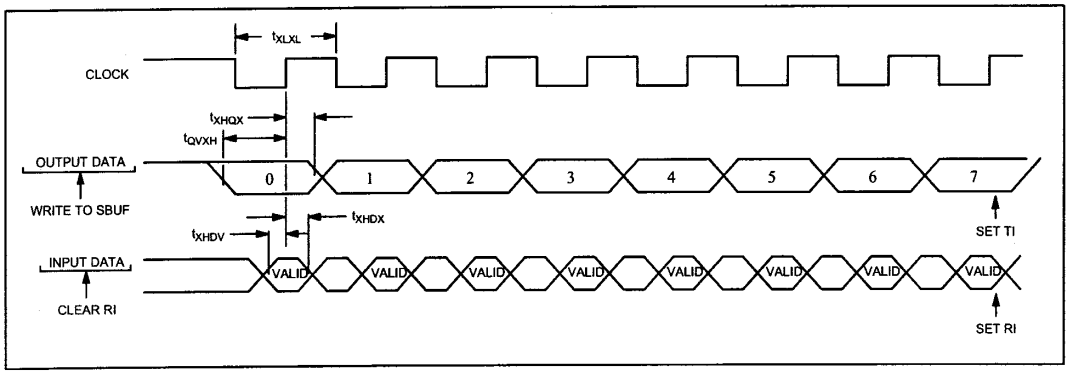


图 41 移位寄存器模式时序

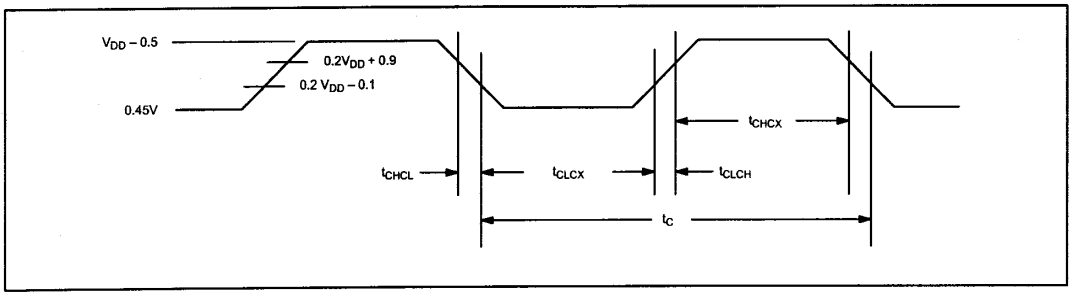


图 42 外部时钟时序

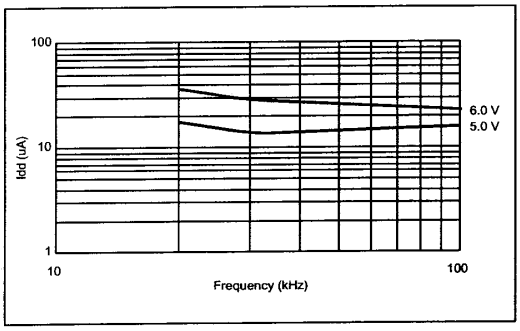


图 43 典型的低频振荡器 Idd(25℃)

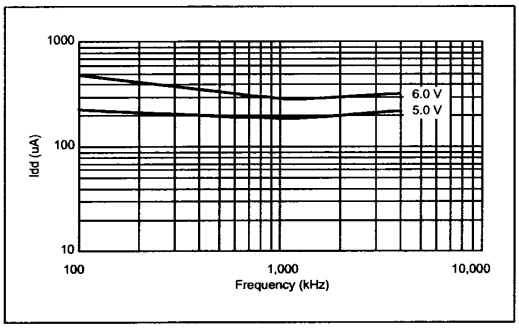


图 44 典型的中频振荡器 Idd(25℃)

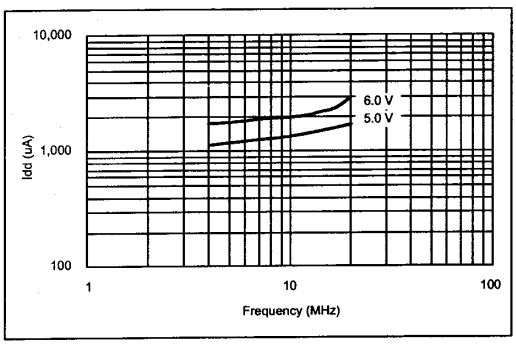


图 45 典型的高频振荡器 Idd(25℃)

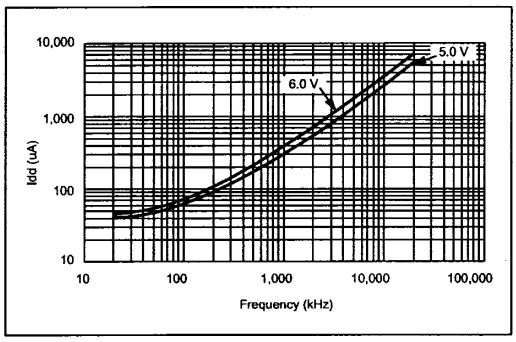


图 46 典型的空闲 Idd 对应频率(外部时钟，25℃，LPEP＝0)

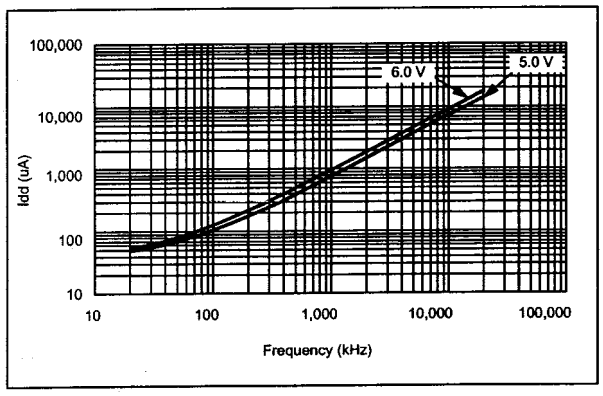
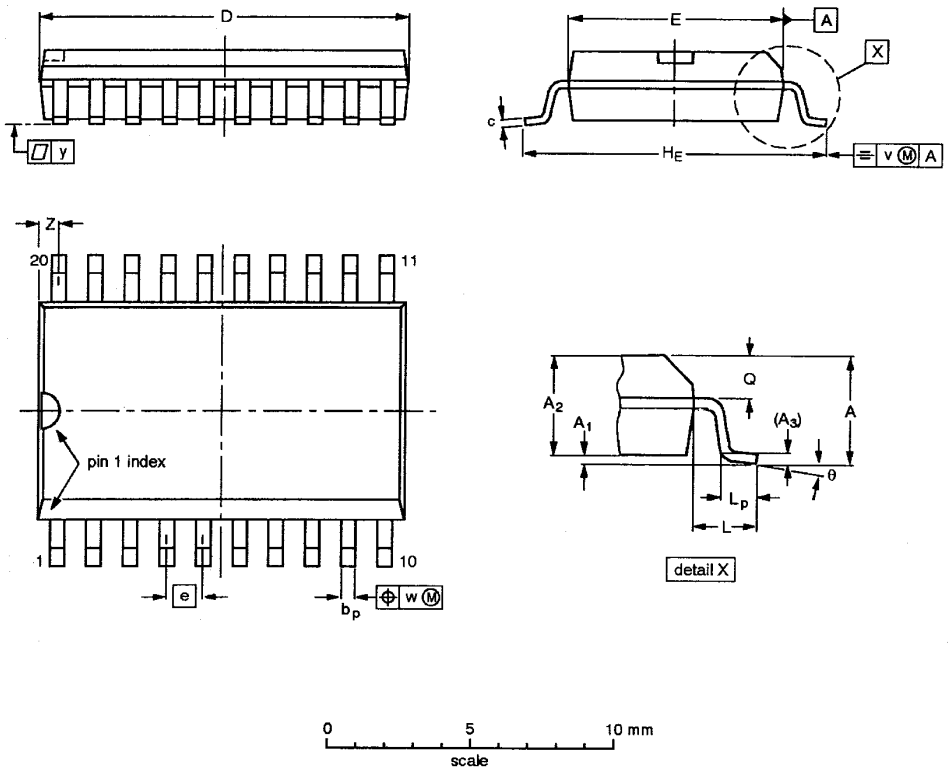


图 47 典型的使用中 Idd 与对应频率
(外部时钟，25℃，LPEP＝0)

SO20：塑料小型表面封装；20 脚；本体宽度 7.5mm



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(1)}$	e	H_E	L	L_p	Q	v	w	y	$Z^{(1)}$	θ
mm	2.65	0.30 0.10	2.45 2.25	0.25	0.49 0.36	0.32 0.23	13.0 12.6	7.6 7.4	1.27	10.65 10.00	1.4	1.1 0.4	1.1 1.0	0.25	0.25	0.1	0.9 0.4	8° 0°
inches	0.10	0.012 0.004	0.096 0.089	0.01	0.019 0.014	0.013 0.009	0.51 0.49	0.30 0.29	0.050	0.419 0.394	0.055	0.043 0.016	0.043 0.039	0.01	0.01	0.004	0.035 0.016	