ANALOG DEVICES

超越一切可能™

# ADI应用笔记合集(第1册)

（上）

ADI公司　编译



# 目录

## 仪器仪表和测量


AD8436真均方根-直流(RMS-TO-DC)转换器 (AN-1341) ....5
面向可调低压差稳压器的降噪网络 (AN-1329) ....20
产生故障保护开关的副故障电源 (AN-1380) ....27
由单一输入电压实现分离供电轨的改进拓扑结构 (AN-1106) ....32
如何运用DC-DC升压调节器 (AN-1132) ....41
如何运用DC-DC降压调节器 (AN-1125) ....45
低压差(LDO)调节器的噪声源 (AN-1120) ....52
降压调节器的印刷电路板布局布线指南，针对采用双通道开关控制器的低噪声设计而优化 (AN-1119) ....61
高速差分ADC驱动器设计考虑 (AN-1026) ....65
利用AD5370清零至任意电压 (AN-1036) ....77
用于ADI公司低失真引脚排列运算放大器的有源滤波器评估板 (AN-0993) ....79
用于标准SOIC运算放大器的有源滤波器评估板 (AN-0991) ....80
用于差分放大器的有源滤波器评估板 (AN-0992) ....81
如何预测直接数字频率合成器(DDS)输出频谱中主相位截断杂散的频率和幅度 (AN-1396) ....82
应用ADA4177系列输入过压保护运算放大器的实际设计考虑 (AN-1387) ....86
高电压D类放大器的输出电流监控 (AN-1375) ....90
最低噪声的零漂移放大器提供5.6 nV/√Hz电压噪声密度 (AN-1114) ....95
在系统中成功运用低压差稳压器 (AN-1072) ....102
使用加速度计进行倾斜检测 (AN-1057) ....108
基于MMSE的触摸英语多点校准算法 (AN-1021) ....115
数字滤波器的选择：AD7190、AD7192 (AN-0979) ....125


## 电机控制系统设计


利用反激、SEPIC和Cuk组合为IGBT电机驱动产生多个隔离偏置轨 (AN-1316) ....129
使用ADSP-CM402F/ADSP-CM403F/ADSP-CM407F/ADSP-CM408F SINC滤波器和
AD7401A实现隔离式电机控制反馈 (AN-1265) ....143
使用ADSP-CM408F ADC控制器的电机控制反馈采样时序 (AN-1267) ....158
电流检测放大器共模阶跃响应 (AN-1308) ....175
轻松实现复杂的电源时序控制 (AN-1311) ....180
采用ADP2441/ADP2442同步降压DC-DC稳压器设计反相电源 (AN-1269) ....185

## 过程控制和工业自动化


应用ADA4177系列输入过压保护运算放大器的实际设计考虑 (AN-1387) ....86
AD7192在电子秤应用中的辐射抗扰度性能 (AN-1186) ....192
AD7780在电子秤应用中的辐射抗扰度性能 (AN-1187) ....204
EMC兼容RS-485通信网络 (AN-1161) ....215
如何为ADF4355-2设置VCO旁路校准 (AN-1381) ....228
LVDS和M-LVDS电路实施指南 (AN-1177) ....232
在减少应力的同时获得更大升压：SEPIC乘法升压转换器 (AN-1126) ....242
控制器局域网(CAN)实施指南 (AN-1123) ....257
用开关调节器为双电源精密ADC供电 (AN-1141) ....270
调整AD5362的输出范围和跨度 (AN-0986) ....277


## 通信


如何为ADF4355-2设置VCO旁路校准 (AN-1381) ....228
ADF7021-N无线计量总线(WM-Bus)无线电性能(模式N) (AN-1285) ....279
ADF7023上的滚动数据缓冲器 (AN-1275) ....289
ADF7023和ADF7023-J的嵌入式数据包误差率测试 (AN-1276) ....292
ADF7021、ADF7021-N和ADF7021-V的镜像抑制校准 (AN-1258) ....295
了解ADF7021的AFC环路并为实现最小前同步码长度而进行优化 (AN-1182) ....305
LVDS和M-LVDS电路实施指南 (AN-1177) ....232
由单一输入电压实现分离供电轨的改进拓扑结构 (AN-1106) ....32
在减少应力的同时获得更大升压：SEPIC乘法升压转换器 (AN-1126) ....242
采用恒定负渗漏电流优化ADF4157和ADF4158 PLL的相位噪声和杂散性能 (AN-1154) ....311
ADP1047/ADP1048的先进功率计量功能 (AN-1145) ....315
控制器局域网(CAN)实施指南 (AN-1123) ....257
无线发射机IQ平衡和边带抑制 (AN-1100) ....323
AD9552：适合网络时钟应用的可编程晶振 (AN-0988) ....330
TD-SCMA多载波系统可行性研究 (AN-0974) ....337
RF功率校准提高无线发射机的性能 (AN-1040) ....363
在点对点微波发射系统中使用正交数字上变频器(QDUC)的优势 (AN-0996) ....370
零延迟时钟定时技术简介 (AN-0983) ....376
如何预测直接数字频率合成器(DDS)输出频谱中主相位截断杂散的频率和幅度 (AN-1396) ....82
通信系统中接收链的差分滤波器设计 (AN-1364) ....382

## 消费电子

面向可调低压差稳压器的降噪网络 (AN-1329) ..... 20
高电压D类放大器的输出电流监控 (AN-1375) ..... 90
使用ADUX1020实现手势识别 (AN-1419) ..... 391

## 能源

利用反激、SEPIC和Cuk组合为IGBT电机驱动产生多个隔离偏置轨 (AN-1316) ..... 129
ADE9078用于无电压检测的低功耗模式 (AN-1415) ..... 395

## 医疗保健

如何预测直接数字频率合成器(DDS)输出频谱中主相位截断杂散的频率和幅度 (AN-1396) ..... 82

## 楼宇技术

使用ADUX1020实现手势识别 (AN-1419) ..... 391
利用反激、SEPIC和Cuk组合为IGBT电机驱动产生多个隔离偏置轨 (AN-1316) ..... 129

## 汽车应用

如何为ADF4355-2设置VCO旁路校准 (AN-1381) ..... 228
校准*i*MEMS®陀螺仪 (AN-1049) ..... 398
使用ADUX1020实现手势识别 (AN-1419) ..... 391

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# AD8436真均方根-直流(RMS-TO-DC)转换器

作者：James Staley

## 简介

ADI的AD8436是一款完整的真均方根片上测量系统。该器件能为设计人员提供最大的灵活性，满足应用需求，并兼具最小的整体尺寸和最低的功耗。

AD8436由三个完全独立的电路模块组成，如图1所示。轨到轨场效应晶体管(FET)输入放大器，高动态范围、真零均方根计算内核以及精密轨到轨输出放大器为MΩ级高输入阻抗电压源的测量系统提供了便利。AD8436的这三个元件配合使用可提供高度精确的直流输出电压，等效于施加接近零电平的输入电压时的均方根值；此外，在适当的输入衰减下，可施加的输入电压远超最大额定输入电压。

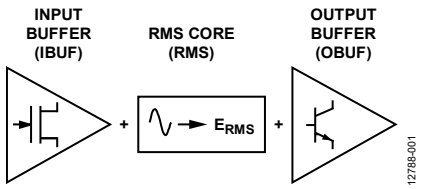



*图1. 三个独立电路*

本应用笔记以下标表示AD8436的内部元件，如$R_{V-I}$和$R_{I-V}$电阻。诸如CAVG、CIN和CCF电容等外部元件一律以大写字母表示，与评估板保持一致。

## 概述

如图2所示，AD8436的核心是真零高动态范围模拟计算内核。该内核的设计保证了从≤1 mV到3 V的电压电平范围内工作的连续性。相比以前的ADI均方根-直流转换器产品，AD8436均方根内核具有更高的动态范围以及速度更快、更一致的响应。

对于信号源容易受负载误差影响的应用或需要提高增益以便放大低电平交流信号的应用而言，集成式FET输入放大器可将真实世界信号与转换器内核相匹配。这样就无需使用额外的元器件占用本已拥挤不堪的印刷电路板(PCB)空间了。

驱动低阻抗负载的精密直流输出放大器可优化转换器内核与下一级之间的性能。输出缓冲器还可配置为Sallen-Key或其他有源滤波器架构，进一步降低建立时间，达到其他模拟甚至数字均方根-直流解决方案所达不到的水平。

所有这些功能均采用符合RoHS标准的20引脚LFCSP和QSOP封装。

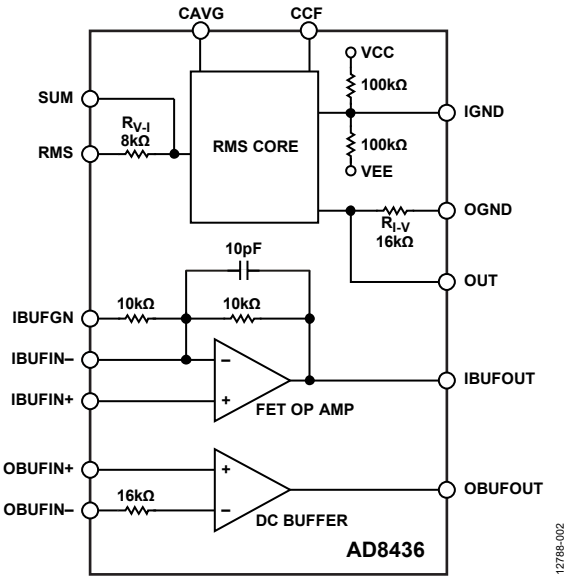



*图2. AD8436均方根-直流转换器功能框图*

## 范围

本应用笔记详尽阐述了AD8436的配置选项，并力求清晰明了。本文尽可能收集了工程师的反馈，且涉及的大部分电路通过实验验证。本文最大程度减少仿真和其他假设性内容的篇幅。文中很多应用与创意受大量AD8436用户的电子邮件以及提问启发。

# 使用内核

## 使用RMS引脚

对于成本和功耗为首要考虑因素的应用，如需实现基本交流-直流转换，只需内核和两个外部电容即可(无需电源滤波，参见图3和“单电源供电”部分)。输入电压通常通过低漏电容(CIN)——比如金属化聚酯电容或高品质钽电容——交流耦合至RMS引脚。施加的电压通过连接到均方根内核的8 kΩ电阻$R_{V-I}$转换为电流。$R_{V-I}$和内核的结点一定程度上表现出配置为求和放大器的运算放大器特性。更多详情，参见“电容选择”部分和“SUM引脚”部分；这两部分对差异之处给出了解释。由于薄膜电阻$R_{V-I}$和$R_{I-V}$为比率匹配电阻且具有比率式的温度特性，因此RMS引脚可作为几乎全部应用的首选输入端口。

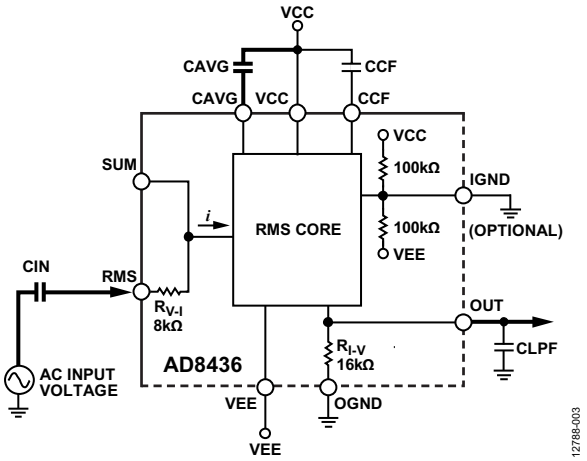



*图3. 最大程度减少输入/输出连接数*
*(粗线表示信号路径)*

RMS引脚上的输入阻抗是一个8 kΩ电压-电流转换电阻($R_{V-I}$)，参考IGND引脚。如果输入由电压源提供(即ZOUT = 0 Ω)，则输入幅度不受相对较低的8 kΩ输入电阻影响。电容CIN阻隔来自以及去往内核的直流电流，使折合到输入的失调电压极小，可忽略不计(例如$V_{OS}$ < ±10 μV)。CIN电容经常采用高电压电容，帮助AD8436免受危险电压(比如家用线路电压)的影响。注意，FET输入缓冲器放大器(IBUF)可从非零阻性电压源轻松输出电压，哪怕是MΩ级电压源。详情参见“输入和输出运算放大器”部分。

## 基本交流耦合微调

对于外部校准而言，通过在信号源和RMS引脚之间插入一个低数值金属薄膜电阻(图4中的200 Ω)可增加内部电阻$R_{V-I}$数值。在OGND和地之间加入一个小调整器(图4中的RTRIM = 500 Ω)。通过调节RTRIM即可校准AD8436，而不会影响$V_{OS}$。

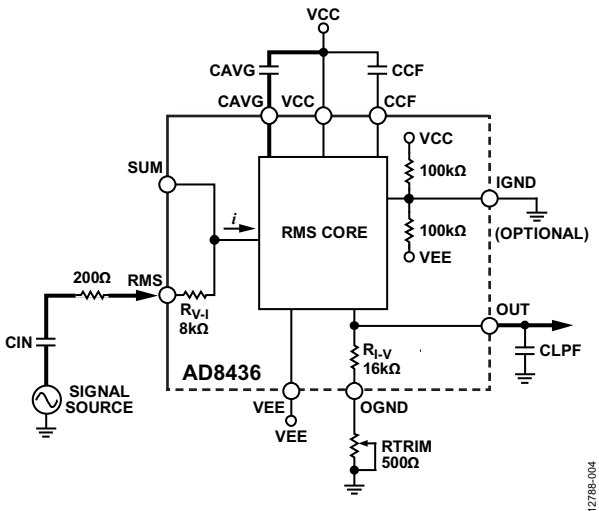



*图4. 基本交流耦合校准*

## 输入直流耦合—校准和$V_{OS}$调整

当AD8436的输入引脚RMS直流耦合至信号源时，直流和交流组合信号以交流+直流方式处理(参见“SUM引脚—多路输入特性”部分)。然而，内核中的微弱直流误差源会产生小直流失调误差($V_{OS}$)。AD8436针对$V_{OS}$误差进行了生产测试，保证数据手册规格(B级型号<0.25 mV，A级和J级型号<0.5 mV)。

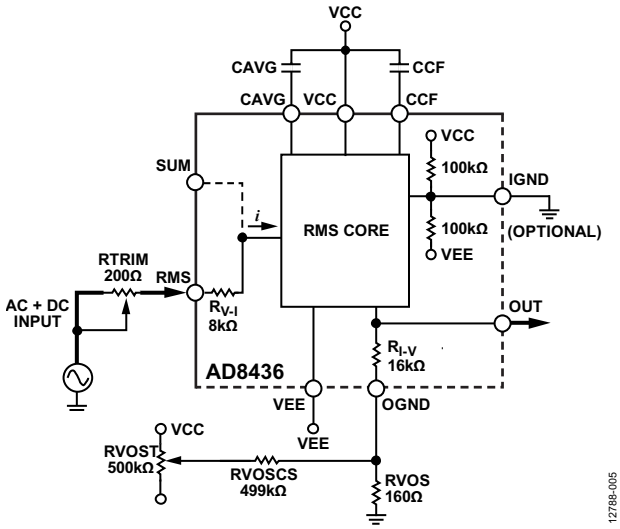



*图5. 交流+直流信号的可选输入连接，包括失调校正和调整*
*(VCC = +5 V，VEE = −5 V)*

图5显示了如何通过在OGND引脚和地之间插入一个小数值固定电阻(RVOS = 160 Ω)并与$R_{I-V}$串联，来降低任何小$V_{OS}$误差。由RVOST调整器以及RVOSCS与游标的串联组合组成的电流源连接OGND引脚。电流源增加或减去一个小电流，消除失调电流。由于$R_{I-V}$数值随着160 Ω电阻的加入而改变，电阻$R_{I-V}$必须通过外部电阻加以补偿；此外部电阻连接RMS引脚与信号源。200 Ω调整器足以提供充分的调整范围。如需调整器件，可移除一切输入信号，并使用RVOST将OUT引脚的直流输出设为0 V。下一步，将300 mV、1 kHz测试信号到200 Ω调整器，并调节OUT引脚的300 mV直流。如果两次调节之间存在矛盾，则重复操作步骤，直到实现所需结果。

## SUM引脚

SUM引脚可直接访问均方根内核，有效更改可用输入电压范围。直接内核访问是AD8436特有的可选功能。

对于范围平移应用，增加或降低$R_{V-I}$可在默认范围内优化所需误差；该误差为内嵌的8 kΩ电阻值所固有。若RMS引脚上的电阻值低于内部8 kΩ，则内核输入电流增加；若数值大于8 kΩ则情况相反。采用这种方法调节内核很方便，无需使用外部衰减器或放大器。将片内FET输入放大器的可调节增益功能以及输出电压的扩展能力搭配使用，则无需牺牲建立时间性能即可让低电平电压转换为较高的电流电平，其效果与使用RMS引脚相同。

使用SUM引脚时，必须考虑由于$R_{V-I}$和$R_{I-V}$的温度系数失配导致的温度误差。对于AD8436中采用硅铬(SiCr)工艺制造的电阻而言，其电阻温度系数(TCR)小于50 ppm。如果温度漂移误差参数很重要，那么应当使用相同TCR的电阻。对于低电流应用，应考虑通过增加恰好足够数值的外部电阻来补充8 kΩ $R_{V-I}$，使其等于所需数值。

## SUM引脚—多路输入特性

使用独立的V-I电阻，则可将多个电压施加到SUM引脚。然而，与那些输出等于输入电压数学求和的典型运算放大器求和电路不同，该电路中施加到SUM引脚的输入电压转换为输入电压的平方和(RSS)。对于$V_{RMS1}$和$V_{RMS2}$这两个均方根电压而言：

$$V_{OUT} = \sqrt{(V_{RMS1})^2 + (V_{RMS2})^2}$$

举例而言，如果某人将100 mV直流电压施加于100 mV引脚上，并将60 Hz交流电压施加于SUM引脚上，那么直流分量不会在输出端产生交流转换失调(即200 mV)，而是产生141 mV直流信号。

$$V_{OUT} = \sqrt{(0.1\text{ V ac})^2 + (0.1\text{ V dc})^2} = 0.141\text{ V dc}$$

幸运的是，我们有办法在AD8436的输出端添加固定失调电压；这部分内容将在“具有不同共模电压的直流匹配器件”部分讨论。

## 电容选择

对输入(CIN)去耦、计算均方根直流平均值(CAVG)以及抑制OUT引脚上的纹波时，要求使用外部电容(CLPF)。此外，AD8436配置为产生平均整流值时，也需要用到电容CLPF。电容CAVG和电容CFILT以及内部5 kΩ和16 kΩ充电电阻直接控制转换器的建立时间。电容CCF是一个辅助均值电容，形成无源RC低通滤波器的第二个极点。电容CCF的3 dB频率必须调节为不低于CAVG控制的主极点频率的三倍。

### 输入去耦电容(CIN)

电容CIN连接V-I电阻，形成高通滤波器，并参考IGND(共模)。随着输入频率(f)接近∞，$X_C$通过串联衰减接近0 Ω。换言之，电容值必须增加，以支持较低的频率。

计算CIN值的一种极其简单的方法，是以$R_{V-I}$的百分比表示所需的误差(单位：Ω)，然后计算所需频率下的等效电容。本例中，$R_{V-I}$为8 kΩ，1%误差的等效串联电阻为$R_{ERR}$ = 80 Ω，最小电容值为：

$$CIN \approx 1/\omega R_{ERR} = 1/2\pi 50 \times 80 = 40\ \mu F$$

最接近的标准值为47 μF，该数值下的容性电抗为68 Ω (50 Hz)，误差为0.85%。

### 均值电容(CAVG)

基本均方根-直流转换需要一个外部电容(CAVG)来提供均方根的平均值。使用下列三种方法的任意一种，选择CAVG电容值。

方法1是一种简单的图形化方法，如图7所示。只需在横轴和纵轴上定位所需的频率和误差电平，然后根据这些点画出线条。在线条的交点处选择或估算较高的电容值。橙色标记和虚线是目标频率为50 Hz以及60 Hz，且可接受误差为1%的两个示例。这两个示例中，最接近的标准电容值均为2.2 μF。

方法2是利用表1来体现均方根误差表达式。使用这三个经验表达式之一，获得更为精确的数字结果，然后选择下一个更高的标准电容值。

**表1. 三个均方根误差值下的CAVG与频率(f)的关系式(方法2)**

| 均方根误差(%) | CAVG (μF) |
|---|---|
| 0.1 | 200/f |
| 1 | 70/f |
| 5 | 20/f |

方法3(见图6)是以对数-对数图表示的图形方式。橙色的标记和虚线指定了所需频率(50 Hz)和CAVG值在对数-对数曲线上一致的点，而蓝色对角线表示误差值(1%)。在较高频率应用中，选择较小的平均电容时图6很有用。

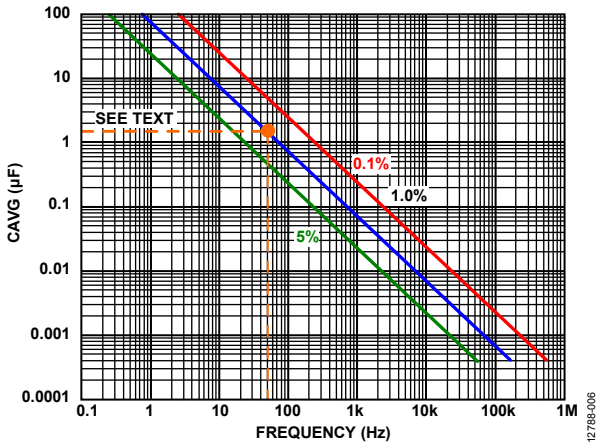



*图6. 三个误差值下的CAVG与频率的关系(方法3)*

就电路拓扑而言，均值电容位于均方根内核的平方和开方单元之后。它唯一的功能是按绝对值周期顺序存储足够的电荷，产生无纹波直流电压。对该功能进行图像化的最佳方式，是考虑所有直流电源中存在的滤波器电容。由于电容位于隐式转换反馈环路内，因而产生的直流电压即包含了均方根-直流转换。对于要求提供均方根结果的大部分应用而言，电容值只需足够大从而对足够多的输入波形周期进行均值求取，即可在目标频率下产生最大允许误差。

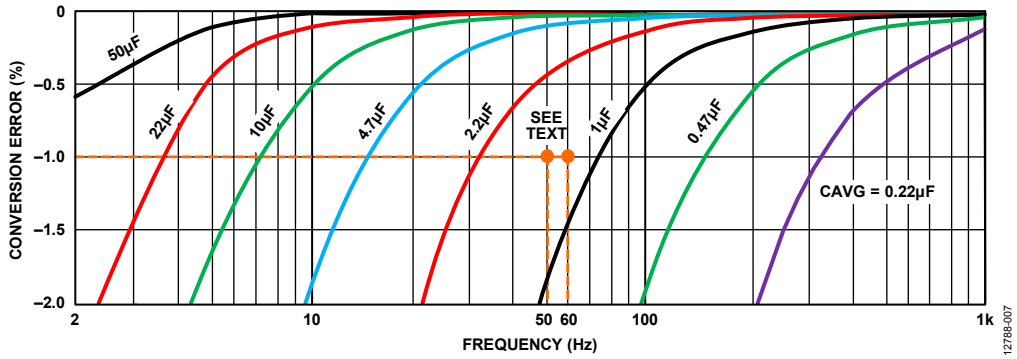



*图7. 不同CAVG值的转换误差与频率的关系(方法1)*

### 低通滤波器电容(CLPF)

AD8436参考地的输出阻抗为16 kΩ。由于均方根转换而产生的残留纹波误差在此点可最高效滤除，因为电压源驱动通过5 kΩ电阻以不受驱动阻抗影响的方式对电容CLPF充电。输出结构为：电流源驱动16 kΩ电阻，并转换为具有16 kΩ电阻值的电压源。在该点处(此例中为OUT引脚)连接电容时，它就变为参考地的低通滤波器。实验表明，对于300 mV均方根、60 Hz正弦波输入波形而言，10 μF的CAVG电容和3.3 μF的CLPF电容组合可将纹波降低至1 mV峰峰值以内。噪声和建立时间随输出缓冲器配置为双极点Sallen-Key低通滤波器而改变，如“低成本、三相电源线监控—优化建立时间”部分所述。

### 波峰因数电容(CCF)

对于大部分正弦应用来说，波峰因数误差并不是什么问题；然而，如需精确测量低占空比方波或脉冲，那么这类误差就很重要。

CCF引脚是连接5 kΩ电阻抽头的节点，可对CAVG电容充电。在此点连接电容可为均方根低通滤波器增加一个极点。CCF电容的确切值不重要，但必须低于CAVG值的10%，以保证两个电容表现为双极点RC低通滤波器。在AD8436-EVALZ评估板中使用100 nF滤波器，是大部分特性化数据的默认值。

### 电容形式

均方根-直流转换器数据手册建议使用高品质电容作为CAVG电容，但对于本应用而言什么是最关键的因素则言之甚少。传统ADI数据手册建议使用钽电容；它们依旧是很好的选择，但现在有了更多选择。均值电容最关键的属性是直流漏电流(端到端电阻)，第二关键的是电介质吸收(参见图30)。

由于电介质的长足进步，领先的陶瓷电容制造商现已能为汽车市场提供高温表贴电容产品(150°C，尺寸1210)。目前，电容值可高达47 μF。采用X8L电介质和具备高温耐受性的器件通常适用于汽车和/或井下石油钻探应用。这些电容的物理特性更稳定，且无其它所有陶瓷电容电介质的颤噪效应。

薄膜电容同样适合均值电容应用，且在过去几年中尺寸已有所缩小；然而，很多薄膜电容不适合进行回流焊组装。此外，用户还必须注意温度限值。

## 输出连接—内核

### 最小输出配置

均方根输出端输出电流，数值为输入电流标称值的一半，并进而转换为16 kΩ电阻$R_{I-V}$上的电压。该转换的表达式如下：

对于电压，转换式为：

$$V_{OUT(DC)} = e_{RMSIN}$$

对于以A为单位的电流，转换式为：

$$I_{DCOUT} = (I_{RMSIN}/2)\ \text{A}$$

其中，$I_{RMSIN} = (e_{RMSIN}/8\ \text{k}\Omega)$。

如果输出电压直接施加到下一级，则输出表现为一个16 kΩ输出阻抗的电压源。

### 使用$R_{V-I}$和$R_{I-V}$电阻调节AD8436，输出较高或较低电压

AD8436的有效范围是输入与输出电流的倍数。例如，考虑300 mV标称输入电压的情况(指定的调整电压)。如果目标输入电压为600 mV，则只需使$R_{V-I}$和$R_{I-V}$阻值翻倍即可让AD8436的可用输入电压翻倍。当AD8436采用较高的信号电平代替较老的均方根-直流转换器使用时，以输入与输出电流的倍数作为有效范围是AD8436的一个有用属性。必须记住，这些属性是用来改变均方根-直流电压幅度的，动态范围不受影响。

## 输入和输出运算放大器

如图2所示，片内AD8436输入和输出运算放大器设计为能够与均方根内核实现接口。IBUF是单位增益FET输入运算放大器，2倍增益时为引脚可选。输出运算放大器集成精密双极性直流放大器以及与其同相输入端串联的16 kΩ电流匹配电阻。通过加入几个电阻，用户可以在很宽的增益设置范围内配置任意一个或全部两个运算放大器。

### FET输入缓冲器—内部增益选项

高输入阻抗输入缓冲器具有金属氧化物半导体场效应晶体管(MOSFET)输入架构，以及一对严格匹配的10 kΩ电阻，用来提供6 dB引脚可选增益。用户可选择单位增益或6 dB增益设置，只需通过引脚选择即可；用户还可使用单个外部电阻获得高达40 dB的外部可调节增益。

单位增益选项如图8所示；图9显示6 dB增益的引脚连接。注意外部对IGND的10 MΩ电阻用于为IBUFIN+管脚提供偏置。

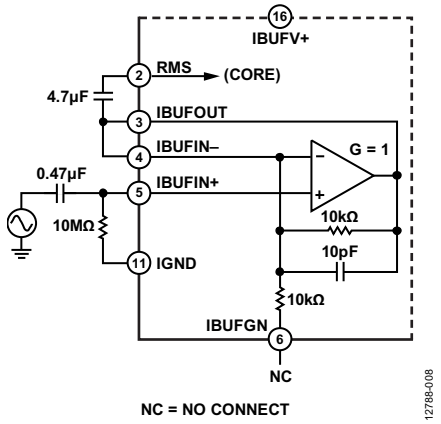



*图8. 针对LFCSP配置为单位增益的交流耦合高阻抗输入缓冲器*

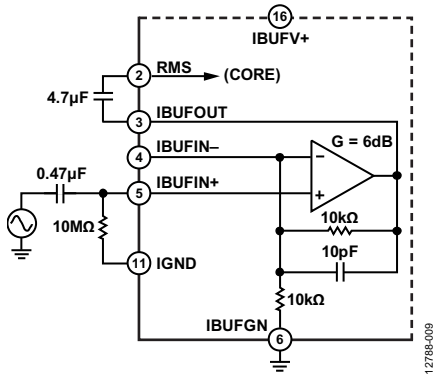



*图9. 针对LFCSP配置为G = 6 dB的交流耦合高阻抗输入放大器*

10 kΩ反馈电阻上有一个小电容，用来降低噪声、增加稳定性。图10和图11分别显示了大信号和小信号带宽，并分别采用0 dB和6 dB增益选项。

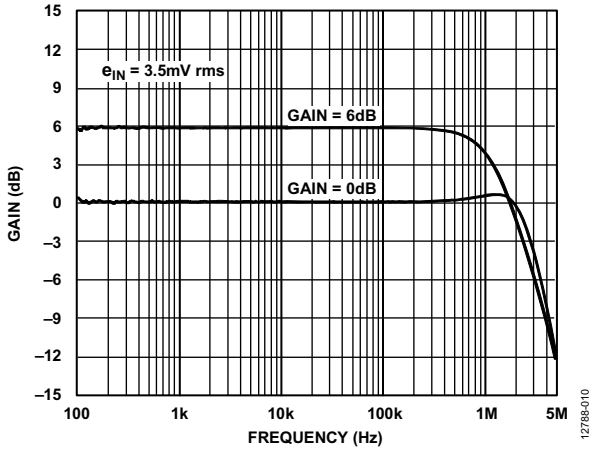



*图10. 两个内部增益选项下的AD8436 FET输入缓冲器小信号带宽*

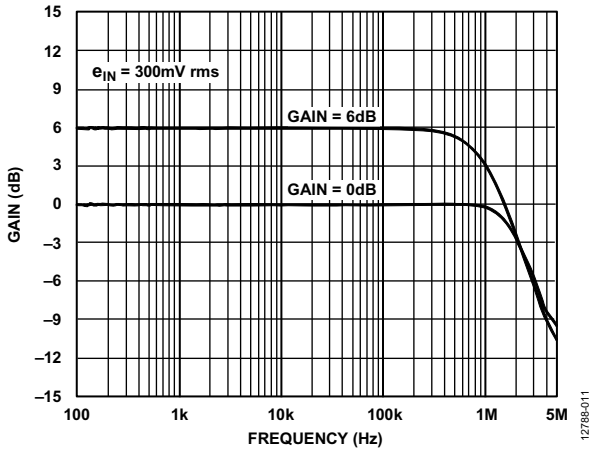
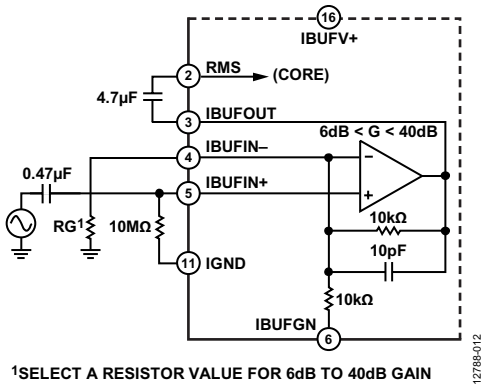



*图11. 增益为0 dB和6 dB时的AD8436 FET输入缓冲器大信号带宽*

### 针对大于6 dB的输入增益配置IBUF

AD8436可在较宽的输入电压和频率范围内提供增益。10倍或100倍增益值可将可测量的交流电压可用范围扩展至几十mV以下。较高的增益值要求在IBUFIN–引脚与地之间连接单个外部电阻。与一切运算放大器一样，增益遵循经典增益带宽(GBW) 20 dB/十倍频程关系。内部反馈电阻为10 kΩ，激光调整至1%精度。对于6 dB以上的增益，使用同相增益等式加以变换(G = RFB/RG + 1)，以便计算新的增益电阻值RG(参见图12)。

$$RG = \frac{10^4}{G-1}$$




[1]SELECT A RESISTOR VALUE FOR 6dB TO 40dB GAIN

*图12. 针对LFCSP进行外部增益调节时的FET输入缓冲器配置*

IBUF带宽足够用于音频和电源应用。表2显示了5种增益值，以及相应的RG值。图13显示了相应的GBW曲线结果。

**图2. 设置输入缓冲器的增益**

| 增益 (dB) | 增益 (×) | RG (计算值) | RG (最接近1%) | 测量3 dB带宽(参见图13) |
|---|---|---|---|---|
| 0 | 1 | ∞ | 保持开路 | 2.82 MHz |
| 6 | 2 | 10 kΩ | 10 kΩ | 1.29 MHz |
| 10 | 3.16 | 4.1625 kΩ | 4.64 kΩ | 639 kHz |
| 20 | 10 | 1.101 kΩ | 1.1 kΩ | 160 kHz |
| 40 | 100 | 101 Ω | 101 Ω | 15 kHz |

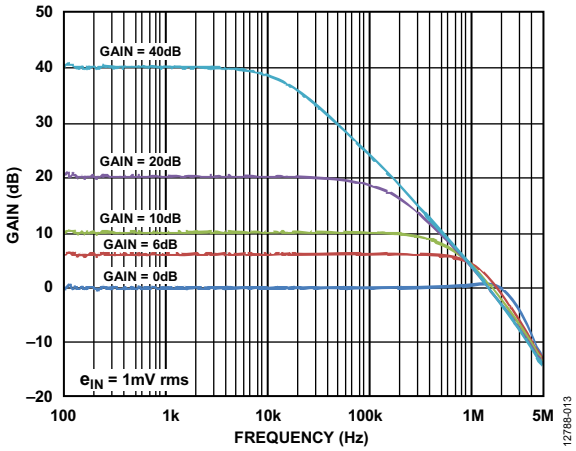



*图13. 5种增益值下的FET输入缓冲器增益与带宽选项*

FET输入放大器的显著特点是负载对几乎所有真实信号源的影响都很小。很多源电路利用阻性分压器调节高电平电压以供测量使用，比如工具线或电源。数字万用表(DMM)和其他范围开关仪器仪表是这类应用的很好的示例。有关DMM前端设计的完整说明不在本文的讨论范围内，但图14显示了这类仪器仪表前端的原理图，以表示其关键特性。高电压电容(选择元器件时应始终考虑安全性)可保护器件免受意外的直流电压损害。二极管对和小串联电阻将过压箝位至电源，保护低压均方根-直流转换器输入。最后，带一个或多个抽头的大电阻网络可用来将输入电压降低至AD8436的可用范围内。注意，1 kΩ电阻用来使输入以IGND引脚为参考。

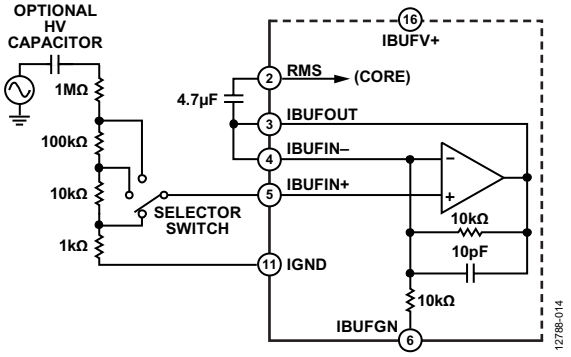



*图14. LFCSP AD8436 FET输入缓冲器范围切换*

### 采用极低输入电压为AD8436供电

AD8436可转换低于1 mV的输入电压，但如此低的电压会延长上电建立时间。该特性是由于将CAVG电容充电至其工作偏置电压的输入电流电平较低所导致。1 mV均方根输入信号的上电时间典型值为30 s，且随着输入电压的降低而增加。

在上电延迟参数很重要的应用中，可通过调节$R_{V-I}$和$R_{I-V}$以获得更多电流而降低这种效应。一种方法是配置输入缓冲器使其有一定增益，以便在施加相同输入电压的情况下增加内核输入电流。将外部电阻连接SUM和OUT引脚并调节至适当数值(分别低于8 kΩ和16 kΩ)可将总增益恢复至单位增益。图15显示了输入缓冲器配置为6 dB增益，同时匹配RIN输入电阻与ROUT输出电阻以获得最佳温度稳定性。

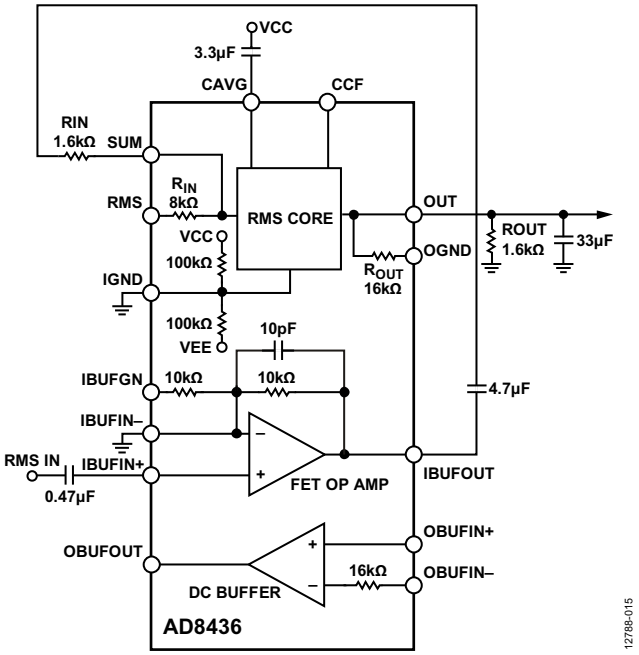



*图15. AD8436针对低电压输入优化，增强上电性能*

另外，建议使用数值尽可能小的均值电容来满足均方根误差要求。然后，通过增加CLPF电容值，滤除一切纹波。

内核输入电流的5倍增长与内置输入缓冲器的2倍增益结合可实现10倍总增益，将1 mV的输入上电建立时间从大约30 s降低到不足3 s。采用此法时，应注意该方法会降低最大可用输入电压；因此，实施这种方法需进行权衡取舍。

## 使用精密直流输出缓冲器

### 将AD8436输出运算放大器配置为单位增益缓冲器

如图16所示，AD8436输出放大器是一款精密双极性运算放大器，具有极低的直流失调电压误差。连接运算放大器输出端与反相输入端的16 kΩ电阻可消除由于偏置电流从同相输入端流过$R_{I-V}$而产生的失调电压，最大程度降低失调电压误差。

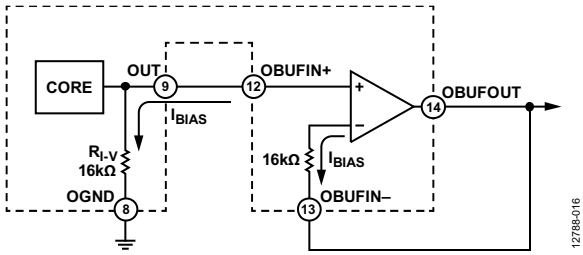



*图16. 精密直流输出缓冲器可消除$V_{OS}$中的共模偏置电流成分*

### 针对增益配置AD8436精密输出运算放大器

对于需要额外驱动电压的应用而言，可通过在反相输入端插入一个图腾柱网络增加输出缓冲器的增益，如图17所示。在必须先降低输入信号以避免内核过驱或应用需要更高的直流输出情况下，这种配置很有用。确保总负载电阻高于500 Ω，且图腾柱增益网络的电阻范围为10 kΩ至25 kΩ。在同相输入端增加额外的电阻值，以便补偿由于输出网络组合电阻导致的偏置电流引起的$V_{OS}$变化。

表3显示了3倍和10倍增益下的电阻值和增益值。

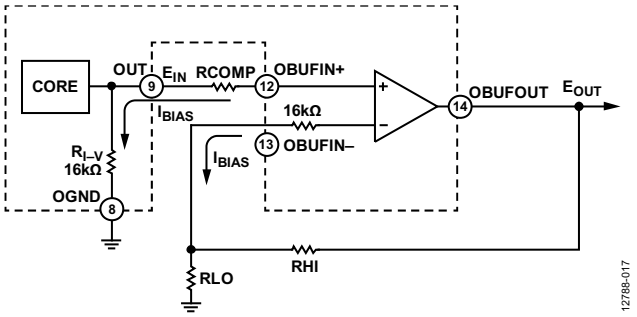



*图17. LFCSP AD8436精密直流运算放大器缓冲器配置为高于单位增益*

**表3. 3倍和10倍增益下的外部电阻**

| RHI (kΩ) | RLO (kΩ) | RCOMP (kΩ) | 增益 (RHI/RLO) + 1 | $E_{IN}$ (V) | $E_{OUT}$(计算值) | $E_{OUT}$(测量值) | 增益(测量值) | 误差(%) |
|---|---|---|---|---|---|---|---|---|
| 6.65 | 3.32 | 2.21 | 3.003× | 3.3 | 9.91 | 9.91 | 3.003 | 0.1 |
| 9.09 | 1 | 909 | 10.09× | 0.3 | 3.03 | 3.03 | 10.09 | 0.17 |

## 单电源供电

AD8436完全支持单电源应用，比如手持式DMM以及其他小型便携式仪器仪表。这些应用中的输入信号通常参考0 V(即电气接地)。VCC和VEE之间内部连接100 kΩ匹配电阻对，为AD8436电路提供中间电源直流参考，用户可通过IGND引脚进行访问。RMS和SUM引脚均参考IGND；然而，在IBUF+引脚和IGND引脚之间要求使用外部电阻(建议10 MΩ)，以偏置FET运算放大器。建议在IGND引脚和VEE(接地)之间连接一个10 µF去耦电容。

## 最小输入连接

图18显示基本交流输入连接。需要使用CIN电容，以便将以地为参考的交流输入信号与参考RMS引脚的中间电源IGND信号相隔离。

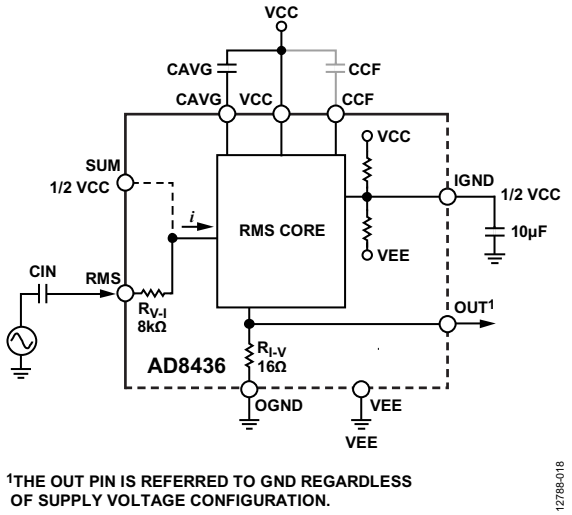



*图18. 带单电源的基本输入连接*

## 不同共模电压下的直流匹配器件

有时需要将AD8436器件与不同直流共模输入器件相匹配——比如模数转换器(ADC)或脉宽调制器(PWM)——此时需要能够平移AD8436输出端的共模电压(参见图19中的“功能框图”)。

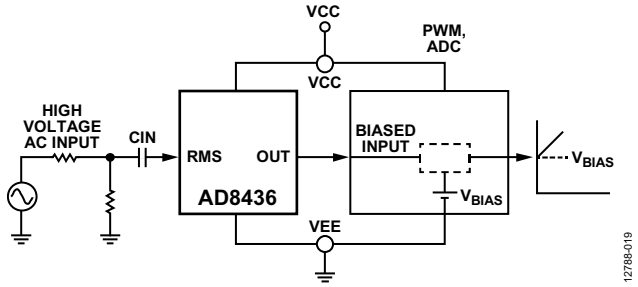



*图19. AD8436驱动外部器件需使用固定直流输入偏置(功能框图)*

最直观的解决方案是采用失调使能放大器(比如差分放大器或仪表放大器)对AD8436直流输出电压进行电平搬移。在如图20所示的电路图中，AD8237仪表放大器配置为位于信号路径上的AD8436和后续器件之间的缓冲器和电平转换器。AD8237是一款低电流、单电源、轨到轨仪表放大器，非常适用于本应用。将所需的失调电压直接施加在参考输入端，并将AD8436输出施加在AD8237的同相输入端。然后，将反相输入端接地。单个器件即可实现缓冲与电平转换功能，且AD8436输入保护功能不受影响。

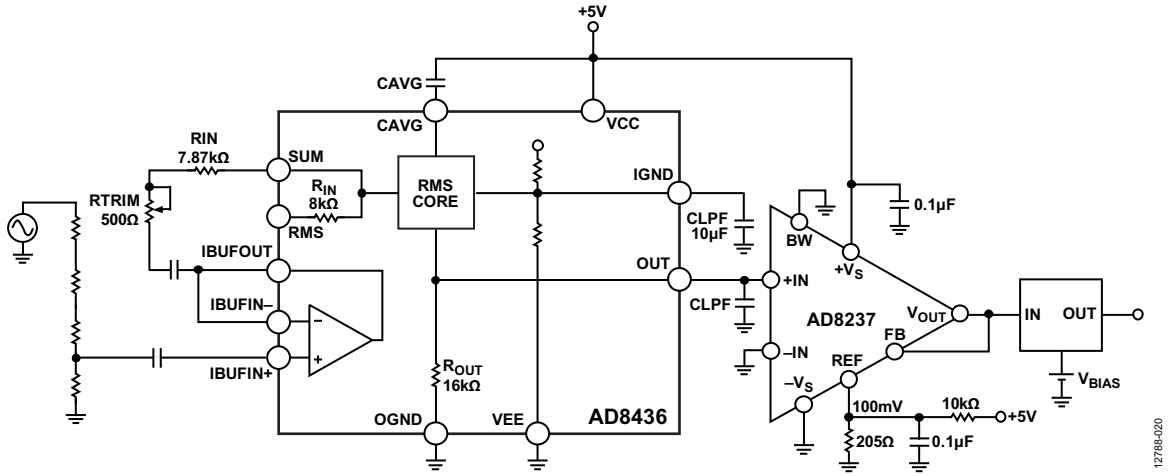



*图20. AD8436配置为单电源和偏置输出原理图*

# 交流电流、接地故障和三相应用

## 危险电路测量

### 配置电流互感器

诸如AD8436等单芯片均方根-直流转换器非常适合采用低成本环形电流互感器的电流测量应用。环形电流互感器用于各种范围从mA到高达几百A的电流应用已有多年历史。

这类变压器原边的形状像甜甜圈，它有一圈或多圈穿过铁磁性内核的中央，并在周围缠绕几百圈。原边由一根或多根导线与负载串联并穿过环形中心组成，副边由内核周围的几百圈线圈组成。图21是一个环形电流互感器的基本原理图。

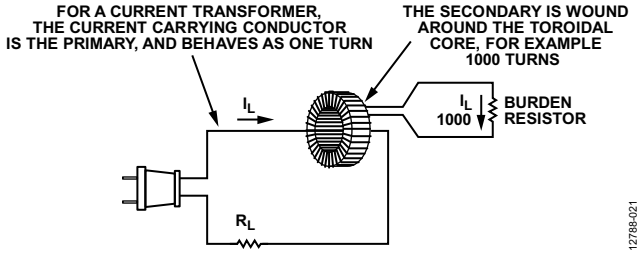



*图21. 环形电流互感器原理图*

AD8436非常适合用作电流互感器的接口，因为互感器的副边电流必须全部通过负载电阻以获得最大精度，并且FET输入缓冲器不会产生分流路径误差。图23显示了电流互感器实验的基准设置电路，以及如何使用。

下列实验中的电流互感器能够检测低至mA水平的电流值，具有很小的中心通孔(~7 mm)，使用1 kΩ负载电阻时精度约为80%。AD8436 FET输入缓冲器不会产生电流互感器负载误差，并通过单个2.4 kΩ外部反馈电阻以大约2 dB增益对互感器误差进行补偿。

实验中，可将常用的60 W白炽灯用作有用的电流负载。使用Tektronix电流探头监控电流电平，并通过Agilent或Fluke副边标准DMM测量电压。60 W灯泡的负载电流标称值为0.5 A rms，而测试灯泡的测量值为0.499 A rms。

### 检测接地故障电流

众所周知，国际上对于连接交流电的设备具有严格的安全标准。UL是美国跨行业电气安全测试组织，为提出申请的制造商提供担保，确保买家购买的设备经过独立的安全性测试。

IEC是一个国际组织，为欧盟制定安全标准，是安全与法规的黄金标准。

这些标准之一便是漏电流，定义为当用户接触设备的导电部件时，从电源出发并流过用户的交流线路电流。这类漏电流称为接地故障电流(在欧盟标准中称为残余电流)，它具有致命的危险。图22显示了接地故障电流路径原理图。注意，接地故障电流太小，无法使主保护设备跳变，但又足够大，可对人体造成致命危害。在美国，室外导线必须配备特殊的断路器，称为接地故障断路器(GFCI)。

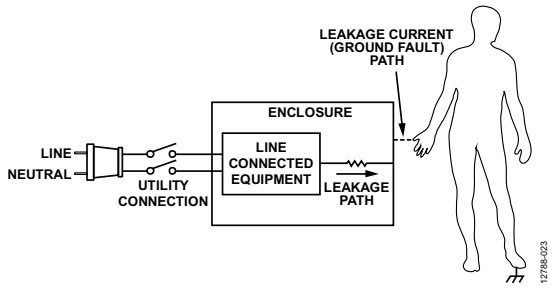



*图22. 接地故障电流路径造成人体危害*

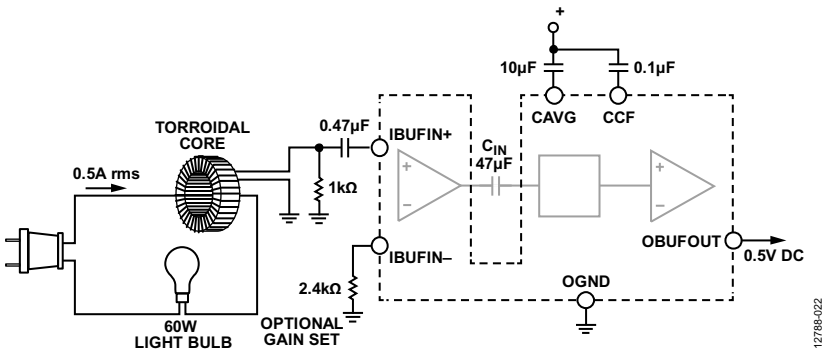



*图23. AD8436电流互感器配置功能框图*

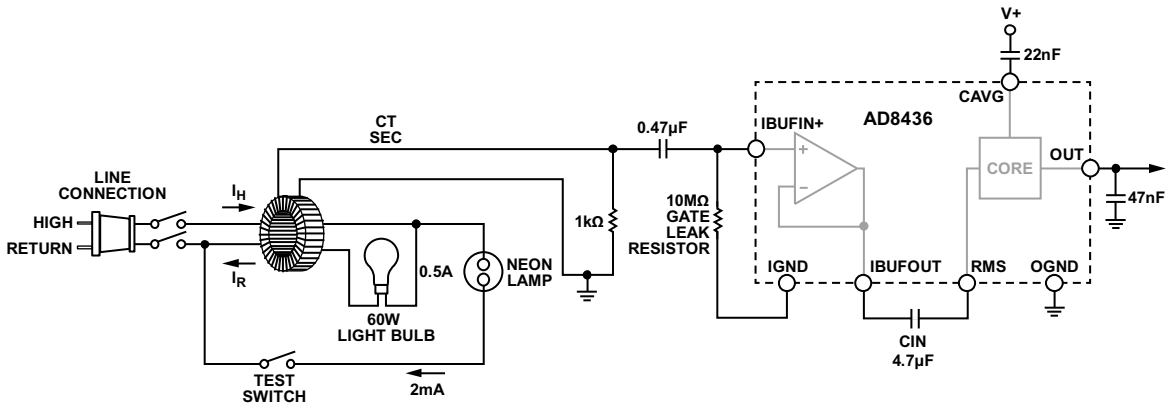



*图24. AD8436配置为精密全波整流器(绝对值电路)的接地故障(残余电流)测试电路*

如需测量或检测这些小数值电流，则AD8436非常实用。一种常用的技巧是通过导电线缆使用源电流和返回电流配置电流互感器，用来检测差分电流。正常情况下，流入负载的电流等于流出负载的电流，这两者之间的任何不平衡都有可能是漏电流导致的。当电流互感器采用差分配置时，意料外的电流会触发警报。图24为采用AD8436检测接地故障电流的实验测试。

将氖灯连接在环形圈周围并产生小差动电流，使通过磁芯中央部分的负载电流发生不平衡。氖灯表现为一个齐纳钳位二极管，低电压下无电流流过，在大约90 V之后启动；在此之后，流过极小的2 mA rms电流。该电流由于幅度较小，而难以检测。

图25是波形的示波器截图。轨迹1是氖灯上的线路电压；轨迹2是流过氖灯的电流，数值大约为2 mA rms；轨迹3是产生的电流互感器副边电压。

注意，该波形是一串瞬态响应，捕捉的是氖灯点亮与熄灭时的电流变化，其幅度极小(约为2 mV p-p)，并在0 V附近对称。此波形仅表示本次实验。有害接地故障电流何时出现通常无法预测，因为它们是由元器件故障或其他随机事件所导致。解决这个问题的一种方法是脉冲整流，同时采用固定参考电平比较器检测幅度。为演示该方法，将AD8436配置为低电平绝对值电路，使其具有出色的检测器特性，以发出峰值约为1 mV的单极脉冲链，如图25中的轨迹4所示。

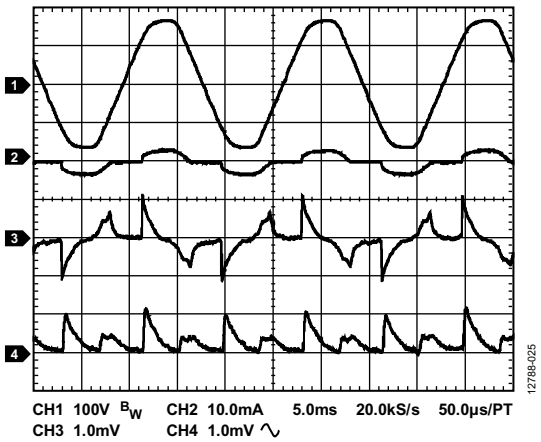



*图25. GFI仿真实验测试电路波形(参见图24)；轨迹1：氖灯电压；轨迹2：氖灯电流；轨迹3：电流互感器负载电阻波形；轨迹4：AD8436输出施加在比较器输入端*

## 低成本、三相电源线监控—优化建立时间

AD8436的跨导线性反馈环路设计采用了内部高增益驱动器，可协助稳定建立时间。相比之前的电路，该设计的优势是能够以较小的均值电容实现相同的均方根精度，但纹波稍多。采用时间常数较短的外部2f低通滤波器可轻松消除该纹波， 最后实现总建立时间更短的转换器应用，并具有相同的转换精度。

图26(感谢ADI现场应用工程师)显示典型欧洲三相电源分配波形的相位关系。电力系统的高压均方根测量要求采用具有高输入阻抗缓冲器的高电平分压器，减少负载错误。取决于系统中的相位数量，可通过多路复用器选择一个或多个均方根-直流转换器以及低通滤波器，同时利用单个ADC采样，将它们的输出转换为数字信号(参见图27上半部分的多通道测量系统示例)。多路复用器和ADC可在单个20 ms电源线电压周期内很好地对所有相位连续采样。

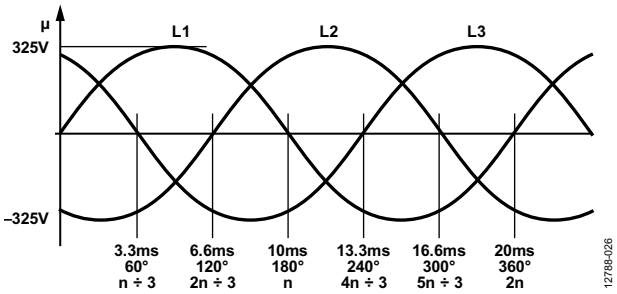



*图26. 欧洲50 Hz/三相电力系统*

但是，如果在更长的时间周期内对数据进行更少的采样，使用单个均方根-直流转换器也是可行的。由于电力系统频率为50 Hz至60 Hz(国际标准)，并且产生均方根值需要多个全周期，因此相对较长的采样周期(1秒)是可行的。因此，若每过0.33秒采样一次，则单个均方根-直流转换器和低通滤波器可以顺序转换全部三个相位，如图27下半部分所示。

这种情况下，将3:1多路复用器放置在信号路径前方，后接AD8436。通过多路复用器选择各相位，多路复用器的公共输出连接AD8436的IBUFIN+引脚。FET缓冲器减轻了分压器的负载，并驱动均方根-直流转换器。中等带宽(~15 MHz)运算放大器用作双极点Sallen–Key低通滤波器，具有足够低的3 dB频率，能够有效滤除一切100 Hz残余输出纹波。注意，采用单个均方根-直流转换器采集三相数据时，复杂度(和成本)大幅下降。如果将FET输入缓冲器配置为Sallen-Key滤波器可进一步降低成本；但某些情况下带宽可能不足。

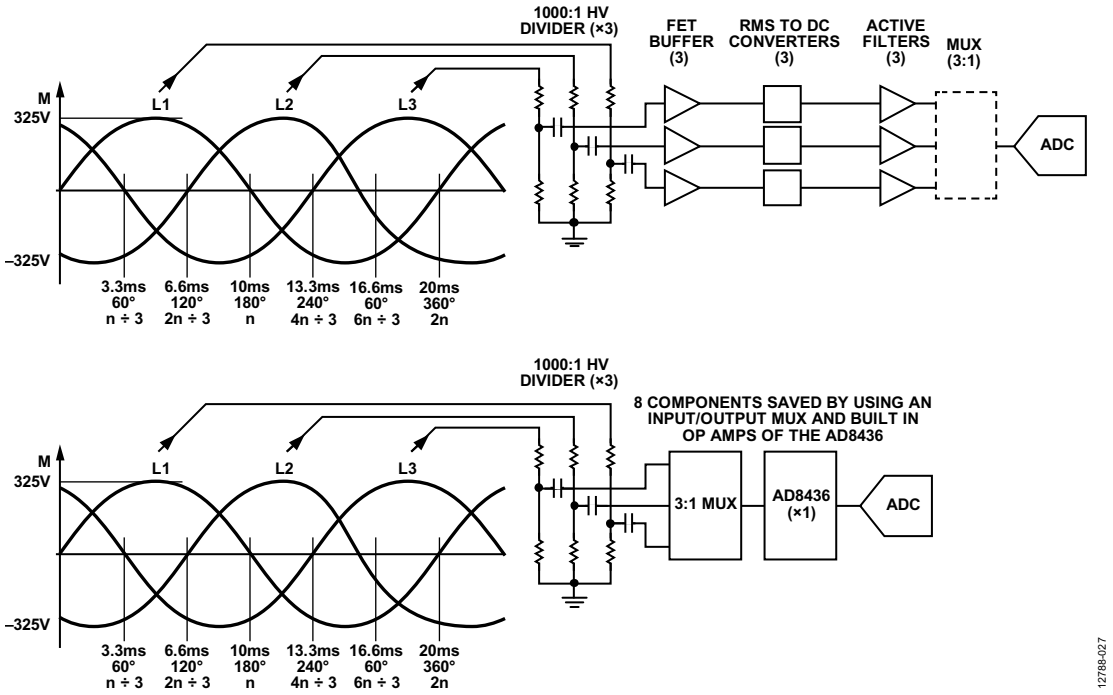



*图27. 使用AD8436测量三相电力系统RMS电压的两种方法比较*

## 性能

图28显示的是AD8436按图29所示进行配置后的测试结果记录；使用突发脉冲信号仿真多路复用器(比如ADG1604)输出端的开关样本。4.8 V直流电源为AD8436供电，并通过示波器观察输入和输出。AD8436输出缓冲器配置为双极点10 Hz Sallen-Key低通滤波器，采用2 μF和1.5 μF电容以及8.01 kΩ外部电阻，如图29所示(器件内置16 kΩ输入电阻)。

测试波形周期为1秒(可大幅缩短)，正弦波输入采用252 mV rms的16个周期50 Hz突发脉冲(20 ms × 16 = 320 ms)。

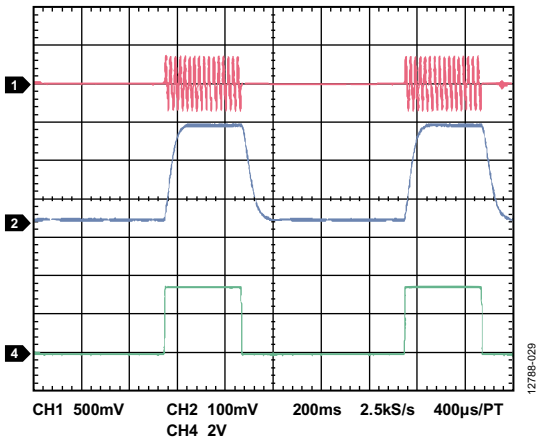



*图28. AD8436针对三相转换配置的时序测量；轨迹1：输入突发脉冲—16个周期，每周期20 ms，持续1秒；轨迹2：输出；轨迹3：时序参考—突发脉冲(函数发生器的同步输出)*

## 直连电源线测量

可通过适当配置的差分放大器以及降压电阻网络(比如AD628)测量线路电压。虽然以某种方式直连电源线的电路在器件数与成本方面有优势，但这种连接对人体存在危害性，只能用在电流隔离应用中。有关线路电压测量的完整描述，请参见技术文章MS-2405：“简单电路测量交流电力线的RMS值”。

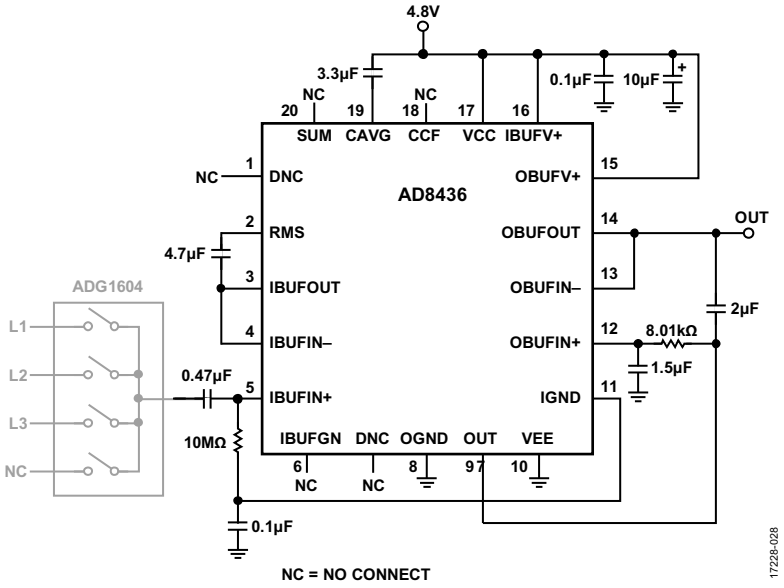



*图29. LFCSP AD8436高阻抗输入和精密输出缓冲器配置为支持高阻抗源，以及一个双极点Sallen-Key低通输出滤波器*

# 误差源

AD8436根据数据手册规格进行激光微调；但是，应当谨慎选择电容类型并审查PCB布局布线和装配，且实现精确低电平均方根-直流转换时尤其如此。

## CAVG引脚

如图30所示，CAVG引脚上的寄生阻抗和电容类型都可能引入小误差。由于电路板污染或电容漏电流而从输出路径转移的一切外部电流都会降低转换输出电压，引起相应的负误差。应当指明适合互补金属氧化物半导体(CMOS)器件的PCB操作程序。

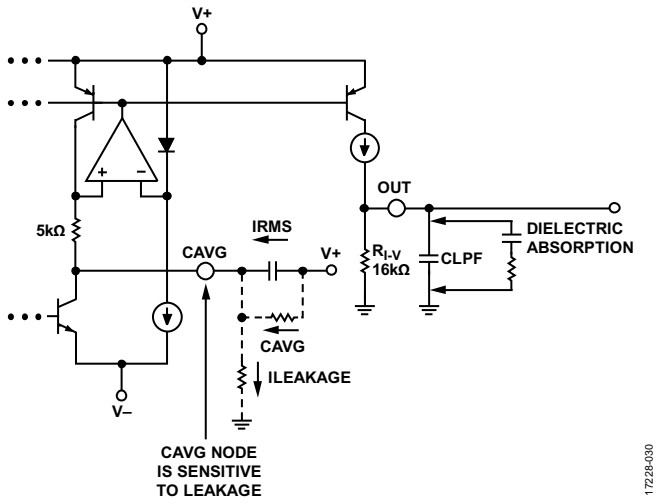



*图30. 电容和漏电流误差*

## CLPF引脚

如图30所示，AD8436输出电流源驱动16 kΩ电阻$R_{I-V}$。用于低通滤波器应用的电容必须具备良好的电介质吸收品质，否则可能产生误差电压，并引发关断或暂时零电平信号事件。电介质吸收等效误差电路如图30所示。

## 转换误差

如图31所示，AD8436输出除所需输出信号外，还包括部分小幅度以及交流和直流误差成分。交流误差等于输出端均值或滤波之后的输入频率纹波的两倍，可通过正确选用CAVG和CLPF并以最低预期工作频率加以控制。通过外部失调调节补偿固定直流误差；通过调节或校准等外部手段补偿非线性。

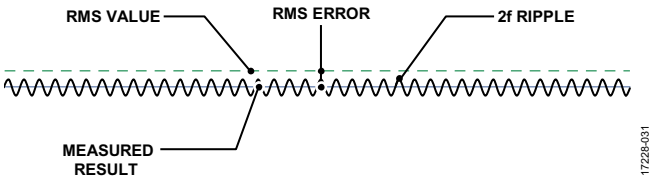



*图31. AD8436输出分量*

如图31所示，小直流均方根误差表示真均方根和测量直流结果之间的差异。就数学角度而言，随着均值电容或频率值接近无穷大，均方根误差接近零。实际处理时通常忽略这种理论上的收敛性，但对数-对数表示方法对于确定较高频率应用中的均值电容大小而言很有用。此外，对于较高的工作频率而言(比如100 kHz)，也许可以使用交流耦合限制频率响应，从而实现部分输入高通滤波。

在现代ADC或微控制器应用中，取决于精度和位分辨率，纹波误差影响可能是个大问题。在低电源电压转换器中，经常会出现基准电压仅为1 V的情况。对于普通的10位转换器而言，明确采样时要求LSB权重为1 mV，纹波小于500 μV。

直流误差包含固定失调误差，可通过校准去除。其余误差由AD8436采用的跨导线性方法的非线性所导致。幸运的是，它在一个很大的动态范围内是一种很小的误差；然而，如果在扩展范围内使用，则可能需要多个校准点。使用±5 V电源时，内核电阻值调整为300 mV rms输入。

## PCB防范措施

选定AD8436提供的多种选项之后，只需少数几个步骤就能让结果极为不同。这里有必要讨论印刷电路和/或其他物理属性。一切AD8436电路板设计都需要专门的接地层，并且能得益于电源层的设计，哪怕电源层包括多个电源和信号走线。顶层和底层的空白空间覆铜，进一步改善噪声性能。AD8436的IBUF采用FET设计，而AD8436的LFCSP版本特别易受电路板表面漏电流的影响。幸运的是，业界对于这些影响早已知晓，并且有数以百万计的MOSFET应用先例。对于QSOP型号，采用合适的溶剂手动清洗便已足够；但对于LFCSP型号而言采用机器冲洗和烘干是移除封装下的残余盐分和焊剂污染的最有效手段。PCB装配工厂都已知晓并能完全应对这些问题。

## 结论

AD8436相比较早的均方根-直流转换器以及采用各种数字方案的转换器可提供大量灵活性、性能以及成本方面的优势。本文描述的应用和数据为现实场景提供解决方案。很多内容来自客户的贡献和反馈。

## 相关链接

AD8436数据手册

均方根-直流转换器应用指南

非常见问题解答(RAQ)：模拟电路中的电阻

©2015 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN12788sc-0-1/15(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 面向可调低压差稳压器的降噪网络

作者：Glenn Morita

## 简介

噪声对高性能模拟电路设计人员来说是一个极其重要的参数。对高速时钟、模数转换器(ADC)、数模转换器(DAC)、电压控制振荡器(VCO)和锁相环(PLL)来说尤其如此。降低输出电压噪声的关键是保持交流闭环增益接近单位增益，且不影响交流性能和直流闭环增益。

本应用笔记描述如何用简单的RC网络降低可调低压差稳压器(LDO)的输出噪声。我们将提供针对多个LDO的实验数据，以展示这一简单电路技术的有效性。尽管降噪(NR)是本应用笔记的重点，但同时一些测试数据也展示了降噪对电源抑制比(PSRR)和瞬变负载响应的影响。

图1显示典型可调LDO的简化框图。输出电压$V_{OUT}$是基准电压$V_R$和误差放大器直流闭环增益的函数。将基准电压与直流闭环增益相乘可以算出输出电压。公式如下

$$V_{OUT} = V_R \times \left(1 + \frac{R1}{R2}\right) \quad (1)$$

其中，$\left(1 + \frac{R1}{R2}\right)$为直流闭环增益。

误差放大器噪声$V_N$也乘以相同的因数，得到的输出噪声随设定输出电压值而成比例的增加。

当输出电压比基准电压小两倍时，输出噪声仅会小幅增加。然而，对于许多敏感型应用来说，这个小幅增加却是不可接受的。

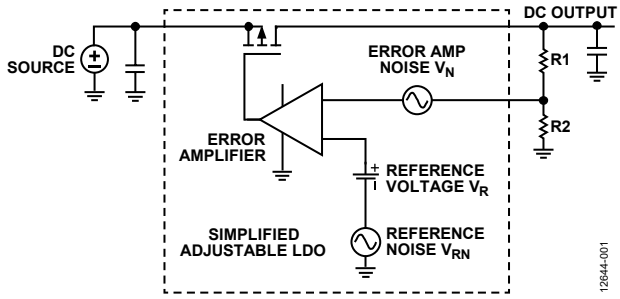



*图1.显示内部噪声源的可调LDO简化框图*

# LDO中的噪声

LDO的主要内部噪声源是内部基准电压和误差放大器。

现代LDO采用数百nA的内部偏置电流工作，以便实现15 μA或更低的静态电流。这种低偏置电流要求使用高达1 GΩ级的大值偏置电阻。相比分立式设计，采用低偏置工作电流，会导致误差放大器和基准电压电路的噪声增大。

典型的LDO采用一个电阻分压器来设置输出电压。因而交流闭环增益等于直流闭环增益加一。误差放大器的噪声增益也等于交流闭环增益。

## 降低LDO噪声

用于降低LDO噪声的方法主要有两种。

- 对基准电压进行滤波
- 降低误差放大器的噪声增益

某些LDO允许使用外部电容来对基准电压进行滤波。事实上，许多超低噪声LDO要求使用外部降噪电容(在应用示意图中一般表示为$C_{BYP}$)来实现其低噪声性能。只对基准电压滤波，这种方法的不足在于，误差放大器噪声和任何残余基准电压噪声会被闭环增益放大，结果带来与输出电压成比例的噪声。

图2所示为ADP125的噪声频谱密度，其中，输出电压设为500 mV、1 V、2.5 V和4 V。结果表明，噪声随输出电压的增加而增加，这是搭载$C_{BYP}$电容的LDO的典型行为。

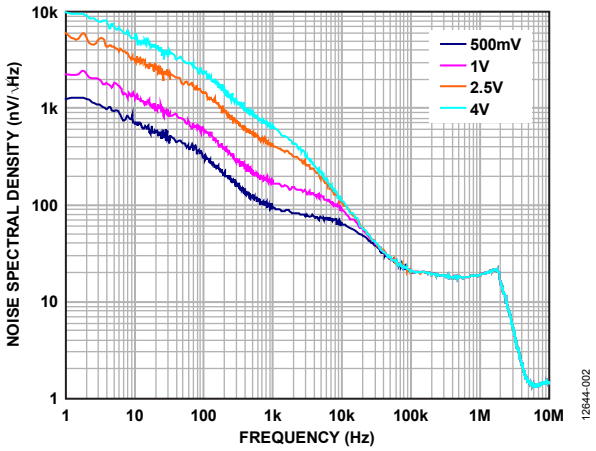



*图2. ADP125不同输出电压下的噪声频谱密度*

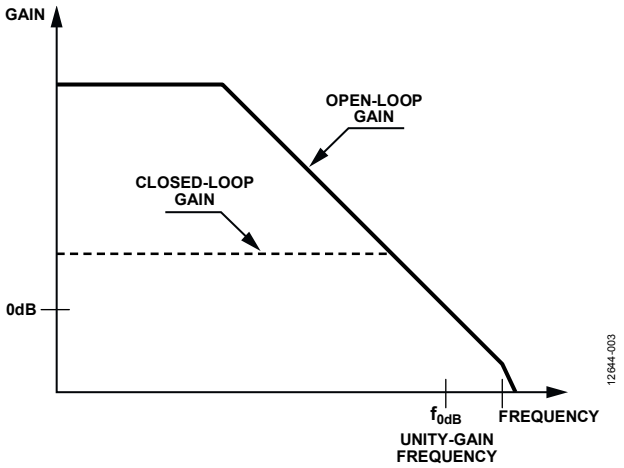



*图3. LDO闭环和开环增益频率响应*

降低误差放大器的噪声增益可使LDO的输出噪声不随输出电压上升而大幅增加。遗憾的是，对于固定输出LDO，由于无法接入反馈节点，输出噪声一般无法降低。然而幸运的是，在可调输出LDO中，很容易接入反馈节点。

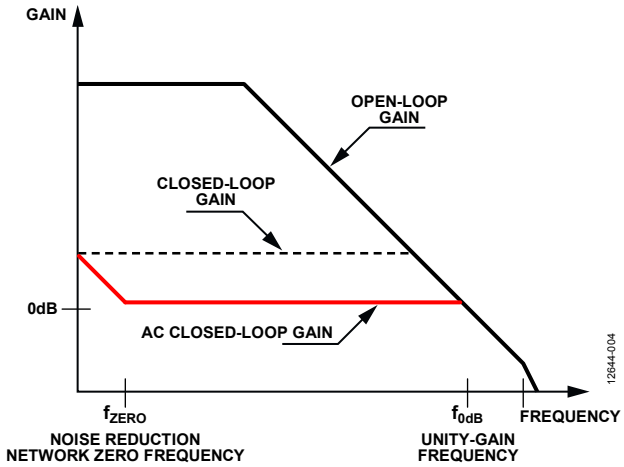



*图4. 采用降噪网络时的交流闭环频率响应*

图4比较了经合理设计降噪网络的交流闭环增益和未经过修改的闭环增益。对于LDO的大部分带宽，交流增益接近单位增益。结果降低了基准电压和误差放大器的噪声放大幅度。

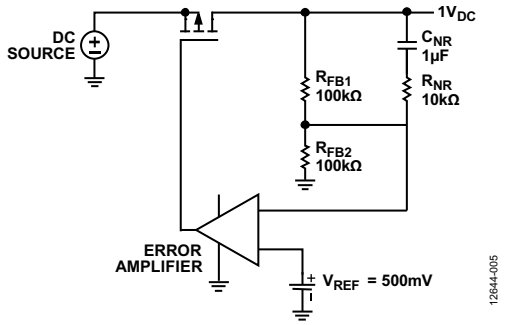



*图5. 降低可调LDO的噪声增益*

图5所示为一个1 V输出可调LDO，其中，通过$R_{FB1}$和$R_{FB2}$设置输出电压。通过$R_{NR}$和$C_{NR}$降低误差放大器的噪声增益。有些LDO具有低相位裕量，或者在单位增益下不稳定；因此，可以随机选择$R_{NR}$阻值使放大器的高频增益接近1.1。尽管降噪幅度会减小，但为了确保LDO保持稳定，$R_{NR}$的阻值可以根据需要进行调整。所选的$C_{NR}$用于将降噪网络的低频零点(由$C_{NR}$、$R_{FB1}$和$R_{NR}$构成)设置在10 Hz以下，确保1/f区域的噪声得到充分降低。

## LDO噪声示例

图6至图9显示多个可调LDO在使用与不使用降噪网络时的输出电压噪声。降噪网络对噪声频谱密度的影响是显而易见的。在所有情况下，当频率在20 Hz到10 kHz，有些LDO甚至高达50 kHz时，噪声有显著下降。

图上同时给出了可调LDO在单位增益条件下的噪声频谱密度，以便进行比较。显然，超过由$R_{FB1}$和$C_{NR}$产生的零点时，采用降噪网络的可调LDO的噪声特性几乎与单位增益的LDO相同。

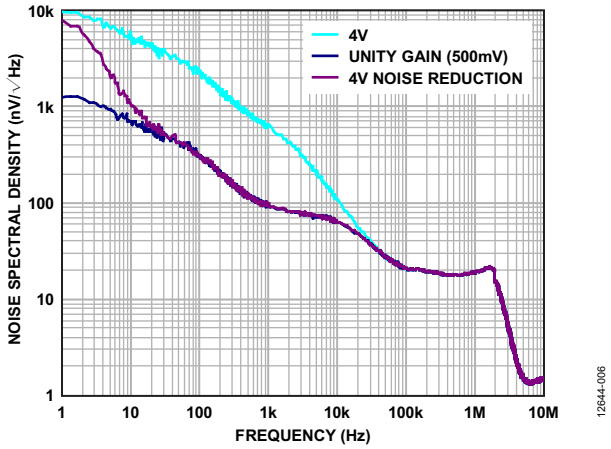



*图6. ADP125可调LDO的噪声频谱密度*

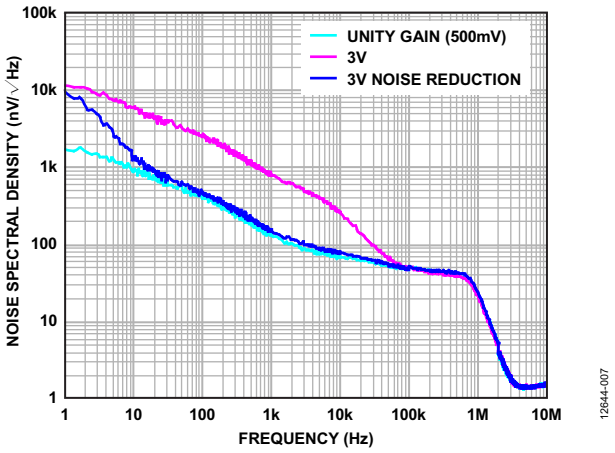



*图7. ADP171可调LDO的噪声频谱密度*

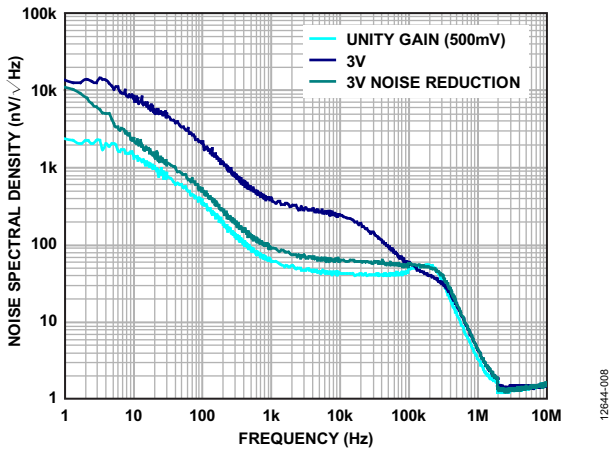



*图8. ADP1741/ADP1753/ADP1755可调LDO的噪声频谱密度*

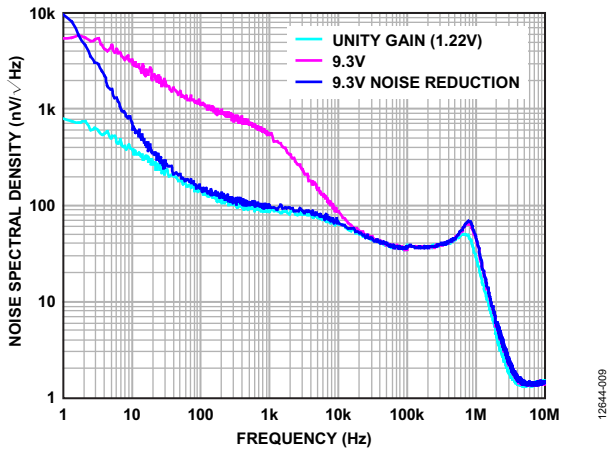



*图9. ADP7102/ADP7104/ADP7105可调LDO的噪声频谱密度*

注意，无论有无降噪网络，噪声频谱密度曲线均在20 kHz上方收敛。这是因为误差放大器的闭环增益达到放大器的开环特性，无法进一步降低噪声增益。

# 降噪网络

## 配合ADP7142运用降噪网络的设计示例

设ADP7142的噪声约为11 μV，可用以下公式计算ADP7142在可调模式下的噪声：

$$噪声 = 11\ \mu V \times (R_{PAR} + R_{FB2})/R_{FB2} \quad (2)$$

其中，$R_{PAR}$为$R_{FB1}$和$R_{NR}$的并联组合。

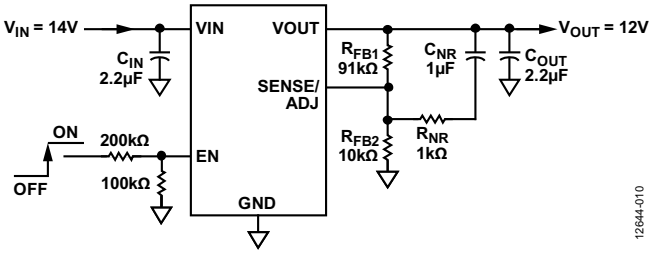



图10. 降噪更改

基于图10所示元件值，ADP7142电路具有以下特性：

- 直流增益：10 (20 dB)
- 3 dB滚降频率：1.75 Hz
- 高频交流增益：1.099 (0.82dB)
- 理论降噪系数：9.1 (19.2 dB)
- 无降噪功能时可调LDO的实测RMS噪声：70 μV rms
- 有降噪功能时可调LDO的实测RMS噪声：12 μV rms
- 实测降噪幅度约为15.3 dB

注意，测得的降噪低于理论降噪。图11显示可调型ADP7142在有降噪网络和无降噪网络条件下在6 V和12 V电压时的噪声频谱密度。有降噪网络的输出噪声在两种电压下大致相等，尤其是在频率高于100 Hz时。

不带降噪网络的输出噪声在6 V和12 V两种电压下可能相差2 kHz至20 kHz左右。如果噪声高于40 kHz，则误差放大器的闭环增益受限于其开环增益特性。因此，如果误差放大器具有无限带宽，那么20 kHz至100 kHz噪声成分将小于预期。噪声也低于根据直流增益而预期的值(70 μV rms和110 μV rms)。在同一频率范围内，PSRR性能也有改善(更多信息参见“改善PSRR”部分)。

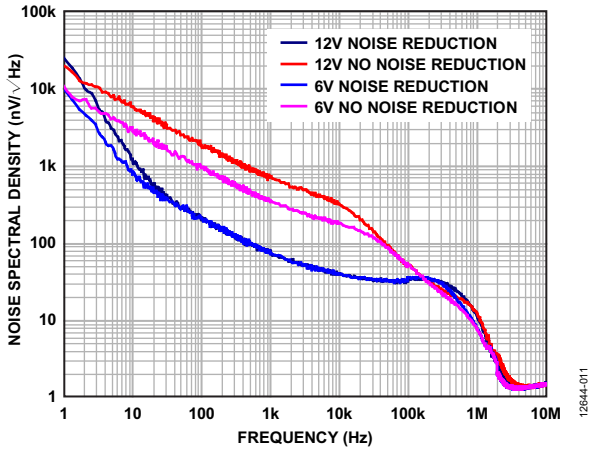



图11. ADP7142在有无降噪网络条件下的6 V和12 V输出电压。

## LDO PSRR

PSRR是衡量电路抑制电源输入端出现的外来信号(如噪声和纹波)，使这些干扰信号不致于破坏电路输出的能力。电路的PSRR为：

$$PSRR = 20 \times \log\left(\frac{VE_{IN}}{VE_{OUT}}\right) \quad (3)$$

其中，$VE_{IN}$和$VE_{OUT}$分别为输入端和输出端的干扰信号。

对于多数电路(如ADC、DAC和放大器等)，该PSRR适用于向电路内部供电的引脚。然而，LDO输入电源引脚不仅为内部电路供电，还为稳压输出电压提供负载电流。

## 改善PSRR

使用降噪网络降低可调LDO输出噪声还有另一个优势，即还能改善LDO的低频PSRR。在图5中，$R_{FB1}$、$R_{NR}$和$C_{NR}$形成一个超前滞后网络，其中，零点大约位于$1/(R_{FB1} \times C_{NR})$处。其极点也大约在$1/(R_{NR} \times C_{NR})$处。超前-滞后网络在反馈环路中充当正反馈功能，因此能改善LDO的PSRR。对于低于LDO闭环增益和开环增益收敛点的频率，PSRR改善量(单位为dB)约为

$$20 \times \log\left(1 + \frac{R_{FB1}}{R_{NR}}\right)$$

图12至图15展示了降噪网络对多个可调LDO的PSRR的影响。当频率在10 Hz到20 kHz范围内时，PSRR的改善幅度在15 dB和20 dB之间。例如，图15比较了一个9 V可调LDO在使用和不使用降噪网络条件下的PSRR。在本例中，$R_{FB1}$ = 64 kΩ，$R_{FB2}$ = 10 kΩ，$R_{NR}$ = 10 kΩ且$C_{NR}$ = 1 µF。由$R_{FB1}$和$C_{NR}$形成的零点约为2.5 Hz，在频率超过10 Hz时PSRR的改善情况是非常显著的。当频率范围为100 Hz至1 kHz时，PSRR的整体改善幅度约为17 dB。PSRR的改善情况直到LDO开环增益和闭环增益收敛的20 kHz处才有所下降。

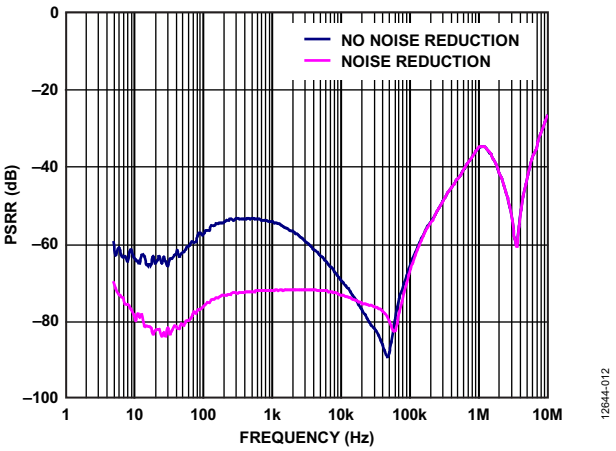



图12. ADP125可调LDO在有无降噪网络条件下的PSRR

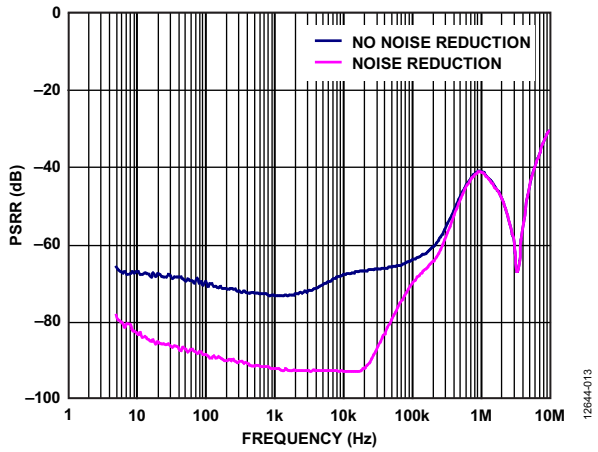



图13. ADP171可调LDO在有无降噪网络条件下的PSRR

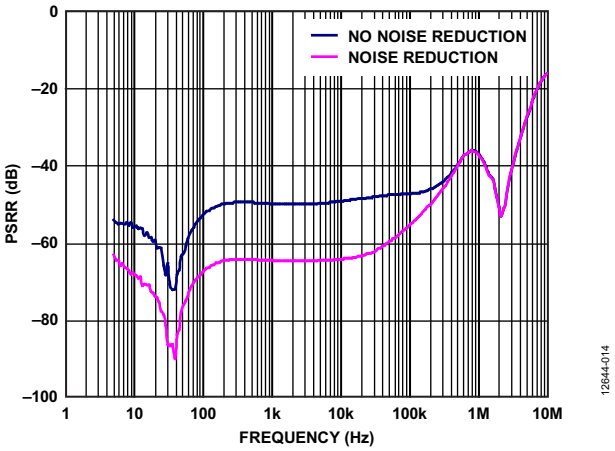



图14. ADP1741/ADP1753/ADP1755可调LDO在有无降噪网络条件下的PSRR

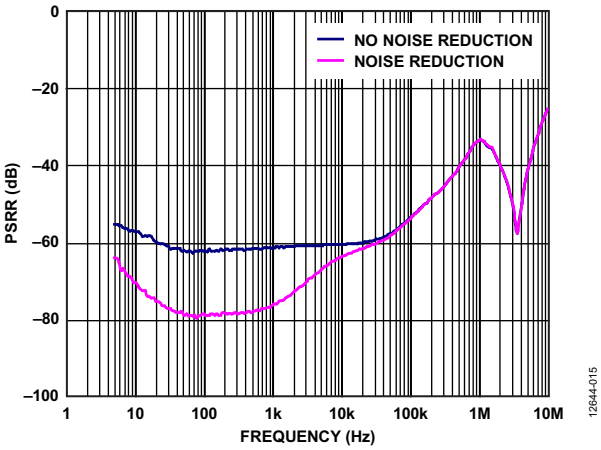



图15. ADP7102/ADP7104可调LDO在有无降噪网络条件下的PSRR

## 瞬变负载改善

降噪网络也可改善LDO的瞬变负载响应。由于$R_{FB1}$，$R_{NR}$和$C_{NR}$（见图5）在LDO反馈环路中执行正反馈功能，因此，瞬变负载的高频部分未经衰减就馈入误差放大器。这样，误差放大器就可以快速对瞬变负载做出响应。图16和图17所示为ADP125在有无降噪网络条件下的瞬变负载响应。从图17可以看出，采用降噪网络时，LDO可以在不到50 µs的时间内对瞬变负载做出响应，而未采用降噪网络时，LDO的响应时间则达500 µs。

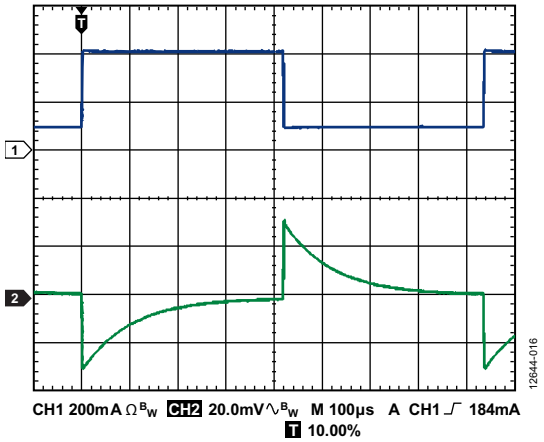



图16. ADP125可调LDO在无降噪网络条件下的瞬变负载响应

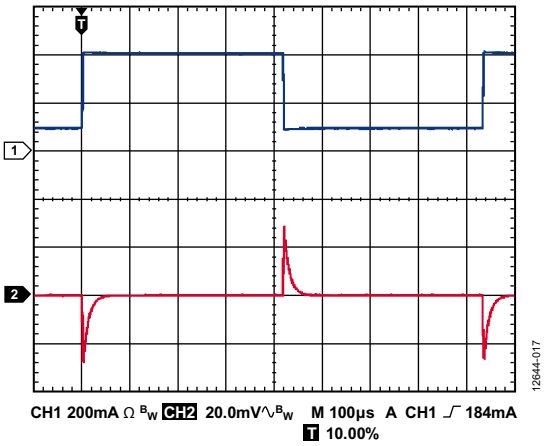



图17. ADP125可调LDO在有降噪网络条件下的瞬变负载响应

## 对启动时间的影响

使用降噪网络的一个缺点是它会极大地增加LDO的启动时间。图18至图20所示为ADP125在有无降噪网络条件下的启动时间。LDO的正常启动时间约为600 µs。增加$C_{NR}$ = 10 nF的降噪网络后，启动时间增至6 ms。当$C_{NR}$ = 1 µF时，启动时间为600 ms。对于电路完全上电后不再开关LDO的应用而言，启动时间的增加不是问题。

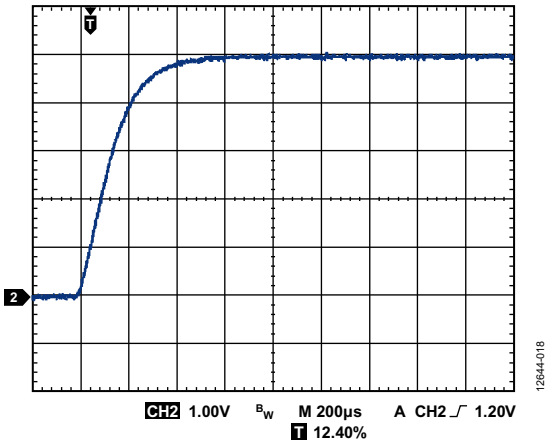



图18. ADP125可调LDO的启动时间

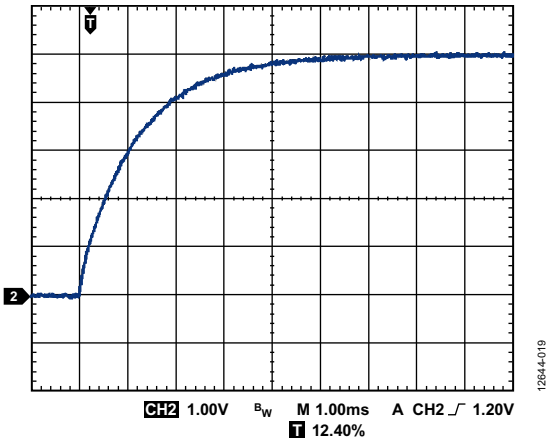



图19. ADP125可调LDO在采用$C_{NR}$ = 10 nF的降噪网络时的启动时间

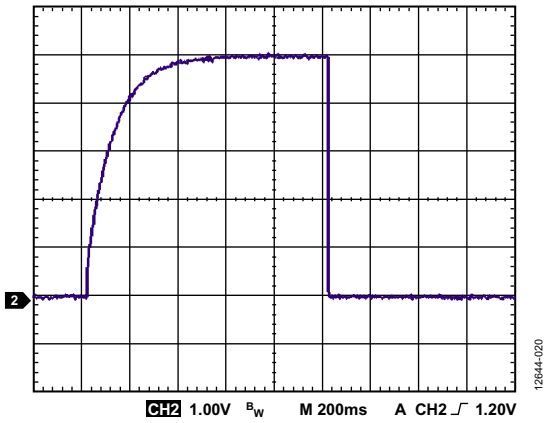



图20. ADP125可调LDO在采用$C_{NR}$ = 1 µF的降噪网络时的启动时间

## 小结

一般地，增加一个简单的RC网络后，可调LDO的噪声、PSRR和瞬变负载性能可以得到大幅改善。噪声敏感型应用(如高速时钟、ADC、DAC、VCO和PLL)可以从采用降噪网络的可调LDO中受益。

这种技术仅对与图5所示架构类似的可调输出电压LDO有效。这种架构的特性是，输出噪声随输出电压的变化而变化。这一点在图5中表现十分明显，因为基准电压和误差放大器噪声大约按R1:R2的比例增加。

较老的可调LDO(如ADP123、ADP125、ADP171、ADP223、ADP323、ADP1741、ADP1753、ADP1755、ADP7102、ADP7104和ADP7105)都采用了这种通用架构，都可从降噪网络中大受裨益。

较新的LDO(如ADP7118、ADP7142、ADP7182、ADM7170、ADM7171和ADM7172)在可调模式时，使用的是一种类似架构。然而，这些LDO把误差放大器设为单位增益，并使基准电压等于输出电压，由此确保输出噪声几乎独立于输出电压。在可调模式下使用LDO时，最好选择一个稍低于设定电压的固定输出电压以确保误差放大器的直流增益能尽量接近单位增益。

超低噪声LDO(如ADM7150、ADM7151、ADM7154和ADM7155)不能从降噪网络中受益。它们的架构把LDO误差放大器设为单位增益，即是说，基准电压等于输出电压，非常像前面提到的较新LDO。这些设计中的误差放大器具有超低的噪声和一个极点远低于1 Hz的对基准电压进行滤波的内部滤波器。这两个设计元素相结合，结果几乎消除了LDO输出端的噪声。

©2014 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN12644sc-0-10/14(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 产生故障保护开关的副故障电源

作者：Paul O'Sullivan

## 简介

ADI公司的新系列故障保护开关(ADG5462F、ADG5243F、ADG5248F和ADG5249F)支持用户自定义的故障保护电平。器件的两个副电源POSFV和NEGFV用于设置过压保护启动的电平。POSFV可以用4.5 V至$V_{DD}$的电源供电，NEGFV可以用$V_{SS}$至0 V的电源供电。如果没有负电源，必须将这些引脚(POSFV和NEGFV)连接到$V_{DD}$ (POSFV)和$V_{SS}$ (NEGFV)。这种情况下，过压保护将在主电源电压时启动。当源极输入电压超出POSFV或NEGFV超出幅度达到阈值电压$V_T$时，通道关断；或者，如果器件未通电，通道也将保持关断状态。当通道关断时，源极输入保持高阻抗。

副电源(POSFV和NEGFV)提供故障保护发挥作用所需的电流，因而必须是低阻抗电源。由于这个原因，它们不能从主供电轨上的电阻分压器产生。本应用笔记描述根据系统要求产生副供电轨的一些方案，以及各种电源配置方案的优点和缺点。

## 故障保护概述

利用内部电路，开关可以将源极引脚上的电压与POSFV和NEGFV进行比较，从而检测过压输入。如果信号电压超出副电源电压超出幅度达到电压阈值($V_T$)，则认为该信号过压。阈值电压典型值为0.7 V，但可能在0.8 V(−40°C时)至0.6 V(+125°C时)范围内变动。

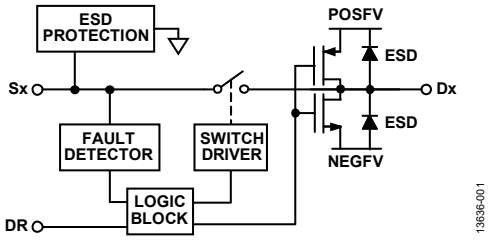



*图1. 开关通道和控制功能*

当一个源极引脚(Sx)上检测到过压状况时，开关自动断开，该源极引脚变为高阻态，确保无电流流过开关。然后，根据器件以及DR引脚(如有)的配置，漏极引脚被拉至所超过的电源或变为开路。

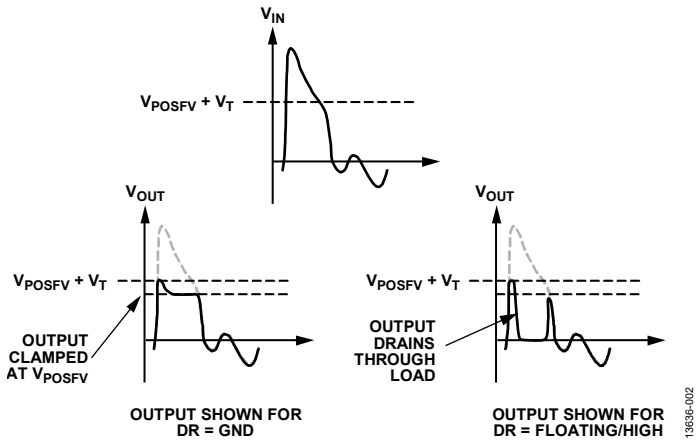



*图2. 故障期间ADG5462F漏极输出响应*

## 采用ADG5462F通道保护器的数据采集信号链

图3示例是一个采用ADG5462F通道保护器的数据采集信号链的一部分。PGA利用±15 V供电轨实现最佳模拟性能，ADC下游的输入信号范围为0 V至5 V。

通道保护器位于可编程增益放大器(PGA)和模数转换器(ADC)之间，正常工作时允许信号通过，但在过压情况下，它将PGA的过压输出箝位在0 V到5 V之间，从而保护ADC。

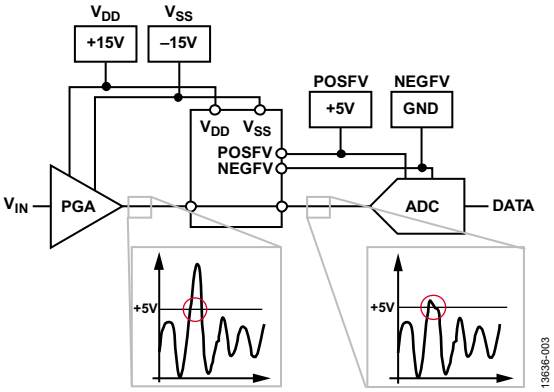



*图3. ADG5462F通道保护器应用示例*

图4突出显示了ADG5462F通道保护器上使用单独的主电源电压和副电源电压的优点。本例中的ADC信号范围是0 V到5 V。开关采用5.5 V单电源供电时，开关导通电阻($R_{ON}$)在信号范围内会有很大的变化，对THD + N等系统性能参数不利。利用开关的$R_{ON}$平坦区域和±15 V主电源可优化系统性能。ADC会受到副供电轨所设置的阈值的保护。

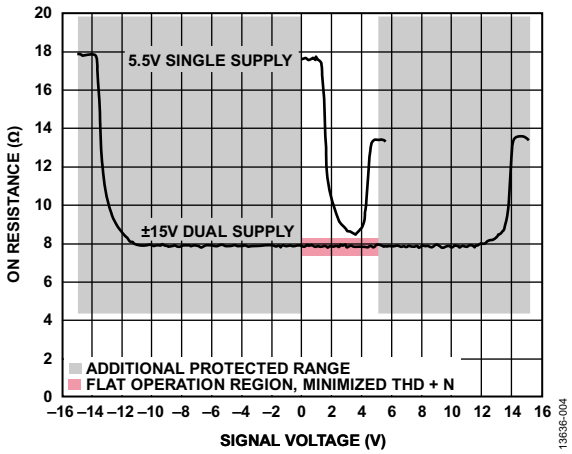



*图4. $R_{ON}$的平坦工作范围*

# POSFV/NEGFV配置方案

POSFV和NEGFV故障电源有多种配置方式。主要考虑事项如下：

- 模拟开关性能要求：设定对主供电轨的要求
- 下游器件要求的故障保护电平：设定对副供电轨的电压要求
- 其他系统供电轨的可用性：确定产生POSFV/NEGFV电源的要求

下面详细说明几种不同的方案。

## POSFV连接$V_{DD}$且NEGFV连接$V_{SS}$(或GND)

POSFV连接$V_{DD}$且NEGFV连接$V_{SS}$(或GND)是最简单的配置，其设置的故障阈值电压与主供电轨电压相同。发生故障时，漏极引脚箝位在$V_{DD}$ + 0.7 V或$V_{SS}$ − 0.7 V。

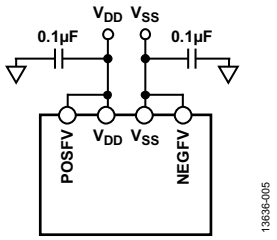



*图5. 主电源短接副电源*

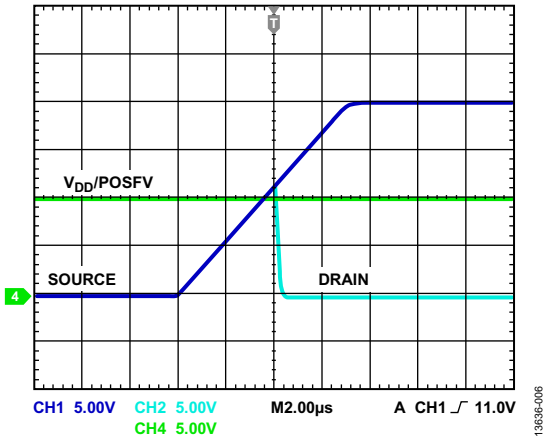



*图6. 漏极输出对正过压的响应(POSFV连接$V_{DD}$)*

这种配置既有优点，也有缺点。

### 电源相连的优点

这是最简单的配置，无需其他供电轨或分立器件。

### 电源相连的缺点

如果降低$V_{DD}$/$V_{SS}$范围以满足保护电压要求，则与设置较宽的$V_{DD}$/$V_{SS}$范围相比，$R_{ON}$性能不是最优的。此外，在故障期间，漏极引脚箝位至$V_{DD}$/POSFV以上约0.7 V，然后开关关断。因此，下游器件会看到短时间(约500 ns)的超过$V_{DD}$的小过冲。不过，此能量比1 kV ESD脉冲更友好，应当不会引起任何系统问题，如图7中的示波器图所示。

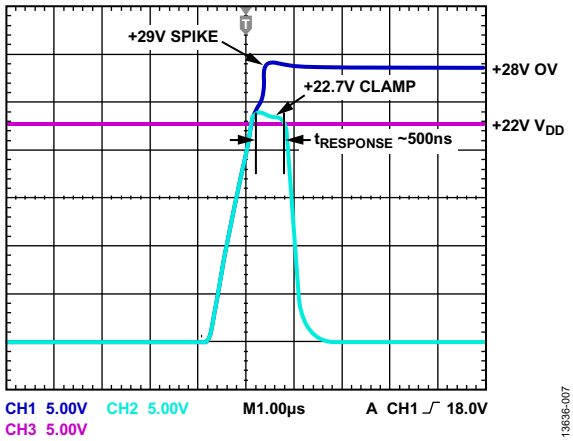



*图7. 故障期间的过冲*

## POSFV/NEGFV各使用单独的低阻抗电源

POSFV和NEGFV各使用单独的低阻抗电源是许多应用的默认工作模式。在以上“采用ADG5462F通道保护器的数据采集信号链”部分所述的示例中，已经有合适的供电轨可供用户使用，例如用于PGA的±15 V电源和用于ADC的+5 V/GND电源。这种情况下使用的电源范围更宽，可实现最佳模拟性能，副电源保护下游器件免受预期信号范围以上的过压故障影响。

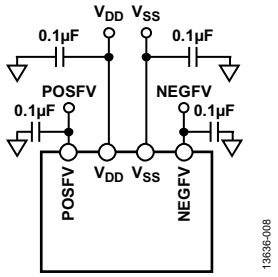



*图8. 单独的低阻抗副供电轨*

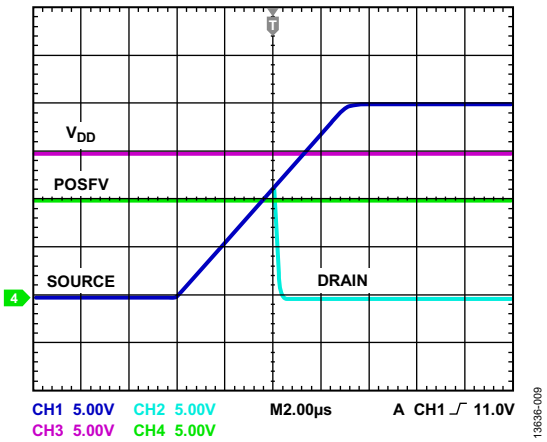



*图9. 漏极输出对正过压的响应*
*(专用POSFV供电轨)*

这种配置既有优点，也有缺点。

### 独立电源的优点

使用独立电源可提供最佳$R_{ON}$性能。此外，用户可根据下游器件的特定保护要求设置故障阈值。

### 独立电源的缺点

一个重要考虑是该配置需要独立的低阻抗供电轨。如果系统中没有电源可用，必须从DC-DC转换器或主电源的缓冲电阻分压器产生电源。

## 主供电轨与副供电轨之间增加一个二极管

某些情况下，下游器件对超出主供电轨的过压非常敏感。此时，漏极引脚在故障后箝位至$V_{DD}$ + 0.7 V并持续500 ns可能是不允许的。为将箝位电压降到大致等于$V_{DD}$电压的电平，一种方案是在$V_{DD}$和POSFV之间增加一个二极管。POSFV比$V_{DD}$低一个二极管压降，因此，故障阈值和箝位电压大致与$V_{DD}$电压相同。

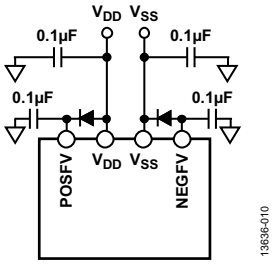



*图10. 二极管配置的副供电轨*

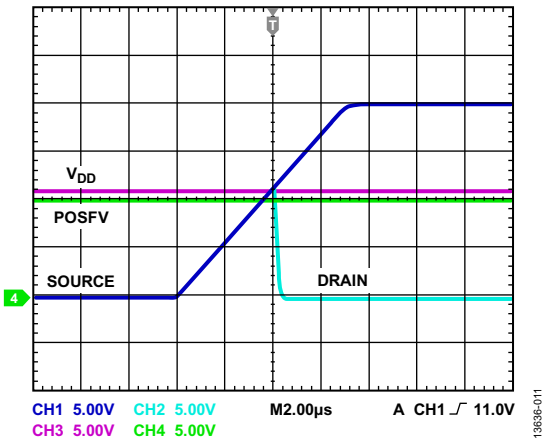



*图11. 漏极输出对正过压的响应*
*($V_{DD}$和POSFV之间连接一个二极管)*

由于内部漏极箝位二极管以副电源为基准，并且副电源不是由低阻抗源驱动，因此这种解决方案仅适合于源极引脚迅速进入故障状况的情况。如果源极引脚以较慢的斜坡速率进入故障状况，POSFV或NEGFV引脚可能会随故障而动，保持比故障电压低一个二极管压降的电平。这可能会导致检测不到过压事件。如果进入故障状况的斜坡速率很慢，使用一个较大的POSFV/NEGFV稳定电容会有帮助。

这种配置既有优点，也有缺点。

### 增加二极管的优点

在主供电轨与副供电轨之间增加一个二极管可限制超过$V_{DD}$的过冲，对敏感的下游电路有利。此外，这种配置可设置自定义故障阈值，而不会产生额外的系统供电轨。

### 增加二极管的缺点

为了产生POSFV/NEGFV供电轨，需要增加分立器件(即两个二极管)。信号范围也可能会略微降低(如果内部和外部二极管压降不匹配，故障检测器可能会在主供电轨内触发)。此外，这种配置不适合于斜坡速率较慢的故障状况。

## 使用齐纳二极管的反向击穿电压配置POSFV/NEGFV

如果没有其他定制供电轨可用，系统设计人员需要产生POSFV和NEGFV电源。为此，一种方案是在主供电轨和副供电轨之间使用一个齐纳二极管，然后利用POSFV/NEGFV电源电流引起的反向击穿电压(齐纳电压)配置副供电轨。

击穿电压为2 V和以上的齐纳二极管很容易获得，因此，利用这种方法可产生任意POSFV/NEGFV电压。

漏极响应与具有专用副供电轨的情况相似，如图9所示。不同器件的齐纳电压可能有所不同，而且齐纳电压会随温度而变化。因此，POSFV/NEGFV电压(故而阈值电压)不像专用供电轨那样稳定。然而，如果故障阈值容差满足应用需求，那么这将是一种廉价且简单的副供电轨配置方式。

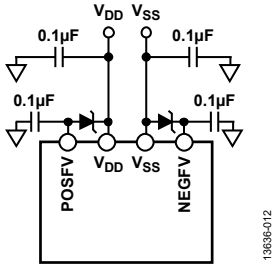



*图12. 齐纳二极管配置的副供电轨*

这种配置既有优点，也有缺点。

### 使用齐纳二极管的优点

使用齐纳二极管的配置可设置自定义故障阈值，而不会产生额外的系统供电轨。

### 使用齐纳二极管的缺点

齐纳二极管配置需要额外的分立器件来产生POSFV/NEGFV供电轨。因此，齐纳电压随器件和温度的变化会直接影响故障阈值精度。齐纳二极管配置不适合于斜坡速率较慢的故障状况(类似于上述二极管配置)。

## 小结

故障保护开关允许用户设置特定故障阈值，达到该阈值时，开关关断。设置较宽的主电源电压有利于开关实现最佳模拟性能(例如更平坦、更低的导通电阻$R_{ON}$)。若需要较低的故障阈值电压，则POSFV和NEGFV需要单独的低阻抗电源以产生这些阈值。

©2015 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN13636sc-0-12/15(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 由单一输入电压实现分离供电轨的改进拓扑结构

作者：Kevin Tompsett

## 简介

虽然轨到轨单电源运算放大器已得到广泛使用，但仍然常常需要由单一（正）输入供电轨产生两个供电轨（例如 ±15 V），以便为模拟信号链的不同部分供电。这些部分的电流一般较低（例如 10 mA 至 500 mA），正负电源具有相对匹配良好的负载。

该问题的一种解决方案是使用两个不同的转换器，一个提供正供电轨，一个提供负供电轨。这样做成本高昂，而且正如本应用笔记所示，也没有必要。另一种解决方案是使用一个反激式转换器，然而，两个电源在差分负载下往往不能非常好地保持一致，需要较大且昂贵的变压器，而且效率低下。

更好的解决方案是使用一个 SEPIC-Ćuk 转换器，该拓扑结构由连接到同一开关节点的一个输出不受调节的 Ćuk 转换器和一个输出受到调节的 SEPIC 转换器组成。这一组合产生的两个电源几乎能在所有条件下都非常好地保持一致，除非负载 100% 不匹配。

对该转换器的工作原理及使用 ADI 公司 ADP161x 的实现方案进行分析，证明这种拓扑结构功能全面。此外，本文将介绍一种革命性的新型设计工具，它有助于在用户应用中快速实现 SEPIC-Ćuk 转换器。

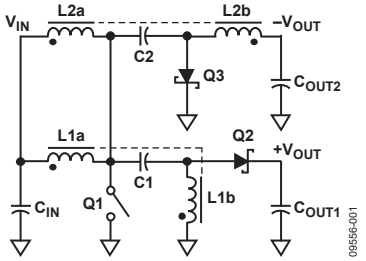



*图 1. SEPIC-Ćuk 转换器原理图*

# 拓扑结构描述

初看起来，SEPIC-Ćuk 似乎是一个很复杂的转换器，具有四个不同的电感和开关。但是，可以将它看作由两个转换器组成，从而简化分析。对于 SEPIC 或 Ćuk 转换器，Q1 和 Q2 开关以相反的相位工作。图 2 显示 SEPIC 转换器在两种不同开关状态下的电流流向。

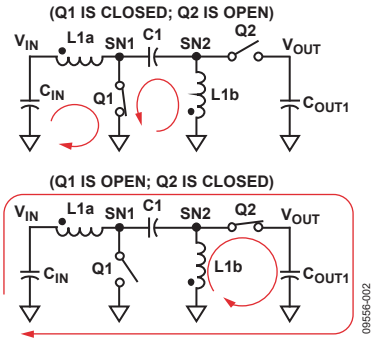



*图 2. SEPIC 转换器的电流流向*

虽然并不十分明显，但传输电容 (C1) 的电压约为恒定的 $V_{IN}$（带很小的纹波）。

图 4 所示为 SEPIC 转换器的理想波形。当 Q1 导通时，SN2 的电压等于 $-V_{IN}$。因此，在 Q1 导通（Q2 断开）期间，L1a 和 L1b 上的电压为 $V_{IN}$；当 Q1 断开（Q2 导通）时，L1a 和 L1b 上的电压为 $-V_{OUT}$。应用电感伏秒平衡原理，可以计算稳态直流转换比，如方程式 1 所示。D 为转换器的占空比（开关周期中 Q1 导通时间所占的比例）。

$$\frac{V_{OUT\,SEPIC}}{V_{IN}} = \frac{D}{(1-D)} \quad (1)$$

Ćuk 转换器的工作方式与 SEPIC 转换器相似，但是，开关 Q2 接地，而不是连接到输出端，电感 L2b 连接到输出端，而不是接地。图 3 显示 Ćuk 转换器在两种开关位置时的电流流向。

Ćuk 是一个负输出转换器，因此流出负载的电流为其提供能量。

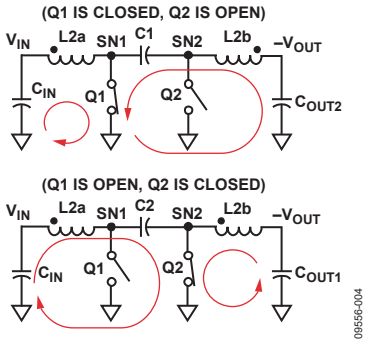



*图 3. Ćuk 转换器的电流流向*

Ćuk 转换器的理想波形如图 4 所示。应用电感伏秒平衡和电容电荷平衡的原理，可知 C1 上的电压为 $V_{IN} + V_{OUT}$。因此，SN2 开关节点在 GND（当 Q2 闭合时）与 $-(V_{IN} + V_{OUT})$ 之间切换。当 Q1 导通（Q2 断开）时，L2a 和 L2b 上的电压为 $V_{IN}$；当 Q1 断开（Q2 导通）时，L2a 和 L2b 上的电压为 $-V_{OUT}$。

比较图 4 和图 5 中的波形可知，Ćuk 中电感上的电压与 SEPIC 中的情况完全相同。因此，Ćuk 的占空比关系式恰好为 SEPIC 的负值，如方程式 2 所示。

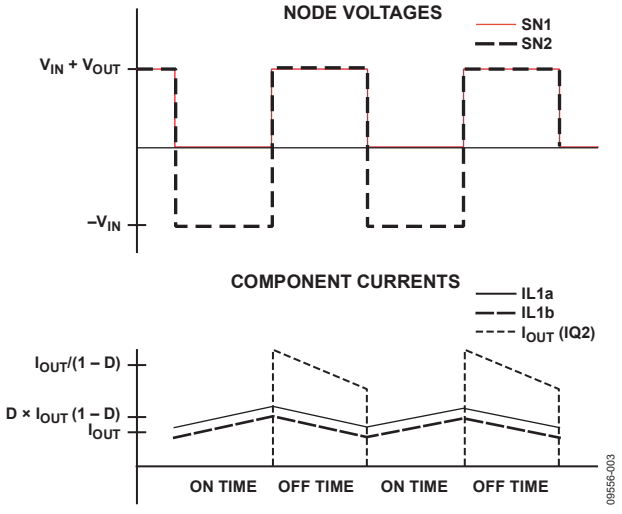



*图 4. SEPIC 理想波形*

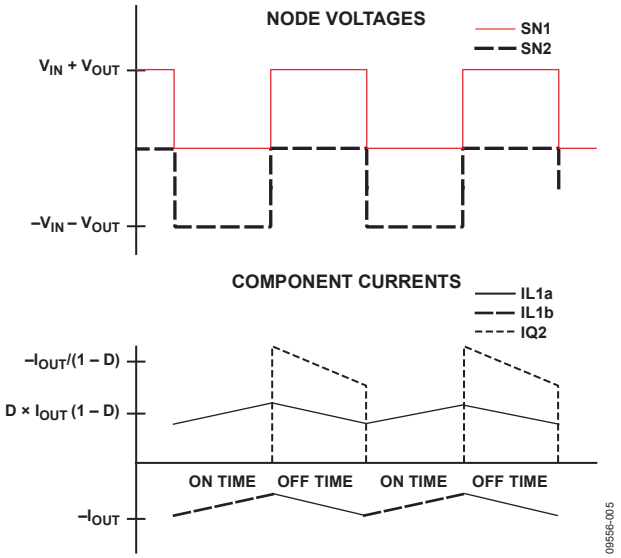



*图 5. Ćuk 理想波形*

$$\frac{V_{OUT\,Cuk}}{V_{IN}} = \frac{-D}{(1-D)} \tag{2}$$

由于占空比关系式大小相等但符号相反，开关节点 (SN1) 电压相同，电感电流相同，因此可以简单地将这两个转换器同时连接到节点 SN1。合并后的转换器如图 1 所示。

Q2 和 Q3 由二极管取代，因为这些电源一般是低功率模拟电源，适合使用异步控制器。此外，两个电感（L1a 和 L2a）并联，这是因为 L1a 和 L1b、L2a 和 L2b 通过两个独立的耦合电感耦合在一起，由此会带来多项好处。

耦合电感可将电感中的电流纹波降低两倍（参见“参考文献”部分引用的 Ćuk-Middlebrook 论文）。此外，它可以消除方程式 3 和方程式 4 所确定的 SEPIC 和 Ćuk 谐振，从而显著降低小信号模型的复杂度，并且支持更高的带宽。这样，我们就能使用种类众多的现成器件，而不必局限于为数不多的三绕组 1:1:1 电感。

$$f_{\text{SEPIC resonance}} = \frac{1}{2\pi\sqrt{(L_{1a}+L_{1b})C_1}} \tag{3}$$

$$f_{\text{Cuk resonance}} = \frac{1}{2\pi\sqrt{(L_{2a}+L_{2b})C_2}} \tag{4}$$

也可以使用 Coilcraft Hexapath 系列等六绕组器件或定制的三绕组变压器。

## 耦合系数的限制

虽然耦合电感具有突出的优势，但并不希望耦合太紧，以至于有大量能量通过铁芯传输。为避免这种情况，设计人员必须确保 C1（和 C2）在开关频率下的复阻抗小于泄漏电感 ($L_{LKG}$) 的阻抗加上单一绕组 DCR 构成的复阻抗的十分之一。

该不等式如方程式 5 所示。泄漏电感 ($L_l$) 可以利用方程式 6 和耦合电感数据手册中提供的耦合系数 (K) 来计算。$L_m$ 是数据手册中提供的自感测量值。注意，在方程式 5 中，$C_x$ 和 $L_x$ 中的 x 表示 C1 或 C2、L1 或 L2。

$$|Z_{C_x}| = \sqrt{ESR_{C_x}{}^2 + \left(\frac{1}{2\pi C_{C_x} f_{sw}}\right)^2} \le \frac{|Z_{L_{lkg\,L_x}}|}{10} = \frac{\sqrt{DCR_{L_x}{}^2 + 2\pi L_{L_{lkg\,L_x}}}}{10} \tag{5}$$

$$L_{lkg} = L_m(1-K) \tag{6}$$

## 差分负载和输出电压跟踪

本质上，SEPIC-Ćuk 的 Ćuk（负）输出是未经调节的，因此与 SEPIC（正）输出相比，输出电流的变化会带来一定的负载变化，特别是负载不匹配时。注意，其跟踪特性比相似配置的反激式转换器要好得多，尤其是在瞬变或负载不匹配的情况下，这是因为通道之间的耦合是直接连接，而不是通过本身具有泄漏电感的变压器进行连接。

图 6 显示将一个 30 mA 瞬变施加于 SEPIC-Ćuk 转换器的 Ćuk ($-V_{OUT}$) 输出的响应，SEPIC 输出保持恒定的 100 mA。图中显示两个输出均对该瞬变负载做出了响应。这是最差情况的瞬变，因为 Ćuk 输出未经调节。值得注意的是，$-V_{OUT}$ 轨显示的大部分偏差实际上是应用于两个轨的负载（$I_{OUT}+$、$I_{OUT}-$）之间不匹配所引起的直流调节偏移。

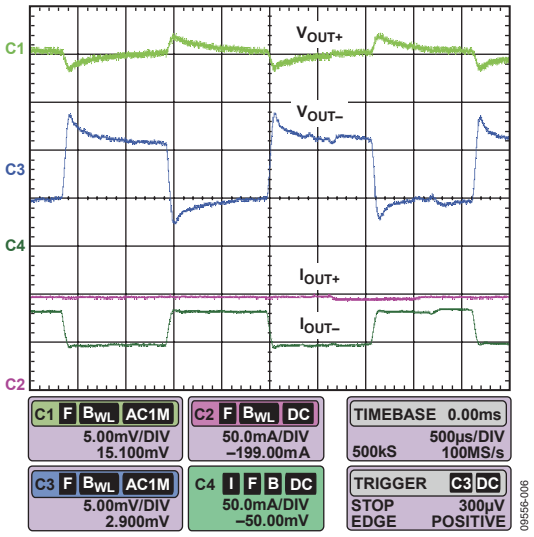



*图 6. 对负 (Ćuk) 输出施加 30 mA 阶跃负载的瞬态响应*

当两个电源的负载相同时，在稳态下，权重较大的误差项是电感的 DCR 不匹配和二极管的正向电压，可以让这些误差变得相对输出电压非常小。

当负载显著不匹配时，误差增大，如图 7 所示。因此，在某些应用中，可能有必要在一个或两个通道上放置一个小的伪负载，使两个电源均在其调节窗口中。应注意，一般而言，只要有足够的裕量，则运算放大器等模拟芯片对其电源的直流变化不是很敏感。

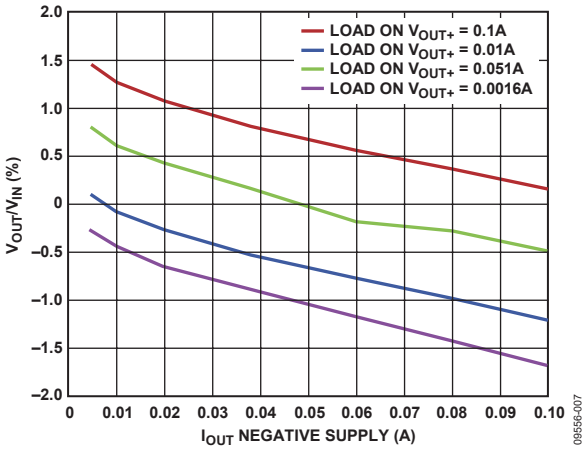



*图 7. 差分负载下供电轨之间的相对电压调节*

## 小信号分析和环路补偿

SEPIC-Ćuk 转换器的完整小信号分析超出了本文的范围，不过，利用本应用笔记提供的方程式，设计人员应能正确补偿其设计。ADP161x SEPIC-Ćuk 设计工具使用的模型更完整、更精确，但也复杂得多。所示的方程式适用于 SEPIC-Ćuk 中的 ADP161x 器件，对 ADI 公司或其他公司制造的其他器件而言可能不够精确。

只要满足几项设计要求，则 SEPIC-ĆUK 的小信号模型看起来与不带 Ćuk 的 SEPIC 转换器非常相似。假设 SEPIC-Ćuk 供电轨使用的电感相同，这一要求是有道理的，因为两个输出是针对同一电压和电流而设计。

Ćuk 和 Middlebrook 的论文（参见“参考文献”部分）表明：无论是小信号还是大信号，耦合电感的行为都与具有两倍的单绕组电感值、无 SEPIC 或 Ćuk 谐振的电感相似。因此，本应用笔记的分析使用有效电感值，即耦合电感数据手册提供的单绕组电感值的两倍。分析假设使用相同的阻性负载，不过，转换器在较大的负载不平衡下仍能保持稳定。两个传输电容（C1 和 C2）的值应几乎相同，但 C2 略大于 C1。假设这些电容为陶瓷电容，因此在计算有效电容时，设计人员需要考虑其直流偏置值的不同。

补偿 SEPIC Ćuk 的第一步是选择可实现的目标交越频率。像大多数升压和降压 / 升压拓扑结构一样，SEPIC-Ćuk 具有一个右半平面零点 (RHP)，它依据方程式 7 确定。RHP 具有双重作用，既能像零点一样提高增益，也能像极点一样减除相位。因此，必须用最大为 RHP 频率 ($f_{RHP}$) 五分之一的频率来补偿转换器的交越频率。

SEPIC-Ćuk 还有一个谐振，它由泄漏电感 ($L_{lkg}$) 和传输电容 (C1) 引起，发生于 $F_{res}$。该谐振一般会被电感的 DCR 很好地消除，但可能引起较大的相位延迟，因此，交越频率应不超出其十分之一。此外，由于使用一个采用标准 Type II 补偿的电流模式控制器，因此最大可实现的交越频率约为开关频率的十分之一。所以，目标 $f_u$ 应为这三种约束条件下的最小值，如方程式 9 所示。

$$f_{RHP} = \frac{R_{LOAD} D_{Q2}^{1.5}}{L \times D_{Q1}} \quad (7)$$

$$f_{res} = \frac{1}{2\pi\sqrt{L_{lkg} C_1}} \quad (8)$$

$$f_u = minimum\left(\frac{f_{RHP}}{5}, \frac{f_{res}}{10}, \frac{f_{fsw}}{10}\right) \quad (9)$$

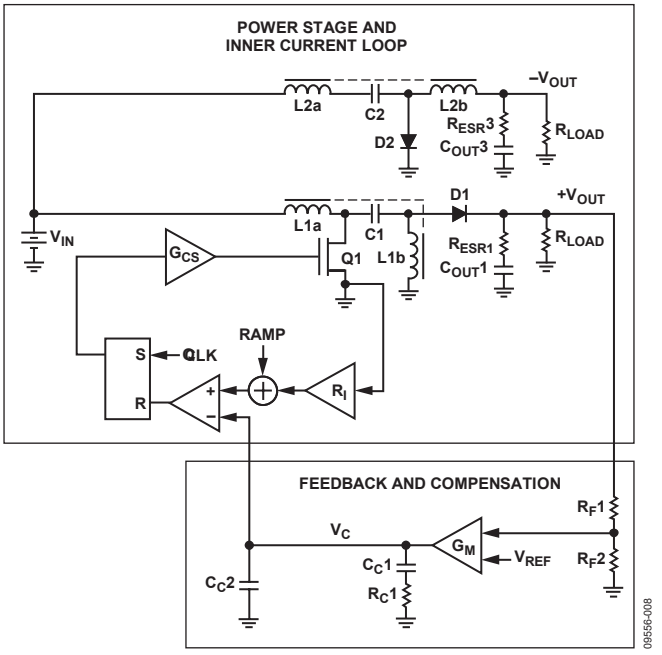



*图 8. 功率级和补偿器件框图*

图 8 中的补偿值可以按照下式计算。由于假设使用陶瓷输出电容，因而可以将 $C_C2$ 选为 10 pf。

$$C_{C1} = -C_{C2} + \sqrt{\frac{V_{REF}{}^2 G_m{}^2 A_c{}^2}{4\pi^2 V_{OUT}{}^2}\left(\frac{1}{f_p{}^2}+\frac{1}{f_u{}^2}\right) - C_{C2}{}^2\left(\frac{1}{2}+\frac{f_u{}^2}{f_p{}^2}\right)} \quad (10)$$

$$R_c = \frac{1}{2\pi f_p C_{C1}} \quad (11)$$

其中：

$f_p$ 为电流模式转换器的主要极点，通过一些校正因数来处理斜坡补偿和有限电流增益。

$$f_p = \frac{(1-D_{off})^{0.25}}{\left(\frac{D_{off} M_c}{D_{on}}\right)^{0.45}} \frac{2}{(C_{out1}+C_{out3}+C_2)R_{LOAD}} \quad (12)$$

$A_c$ 为开环转换器增益在交越频率 $f_u$ 时的幅度。

$$A_c = \frac{F_m}{2D_{on}D_{off}\left(1+\frac{F_m V_{out}(1+D_{on})}{D_{on}D_{off}{}^2 R_{load}}\right)} \frac{\sqrt{1+\left(\frac{f_u}{f_{rhp}}\right)^2}}{\sqrt{1+\left(\frac{f_u}{f_p}\right)^2}} \quad (13)$$

$M_c$ 和 $F_m$ 是 Ridley 关于电流模式控制的论文（参见“参考文献”部分）中导出的项。

$$M_c = 1 + \frac{V_{RAMP} f_{sw} L_1 A_{cs}}{2 V_{IN}} \quad (14)$$

$$F_m = \frac{L f_{sw} A_{cs}}{4 M_c V_{IN}} \quad (15)$$

$V_{ramp}$ 和 $A_{cs}$ 是芯片内的固定常数。

$$V_{RAMP} = 0.1 \text{ (ADP1612/ADP1613)} \quad (16)$$

$$A_{cs} = 13.5 \text{ (ADP1612/ADP1613)} \quad (17)$$

## 功率器件选型要点

电感中的 30% 纹波一般会产生合理的值（见方程式 19），这是通常情况。然而，当降压比较大时，将输入电感中的纹波百分比提高到 50% 或 60% 可能更佳。

$$I_{IN} = \frac{V_{OUT} I_{OUT}}{V_{IN}} \text{ (into each inductor L1a and L2 a)} \quad (18)$$

$$\Delta I_L = 0.3 I_{IN} \quad (19)$$

$$I_{pkLx_a} = I_{IN} + \frac{\Delta I_L}{2} \quad (20)$$

$$I_{pkLx_b} = I_{OUT} + \frac{\Delta I_L}{2} \quad (21)$$

$$L1 = \frac{V_{IN} V_{OUT}}{(V_{IN} + V_{OUT}) f_{sw} \Delta I_L} \quad (22)$$

FET 开关 Q1、两个二极管开关 Q2 和 Q3 中的电流如图 9 所示。图 9 同时给出了开关电流的直流成分。注意，Q1 承载用于 SEPIC 和 Ćuk 两个供电轨的电流。峰值电流取决于方程式 19 中选择的纹波。

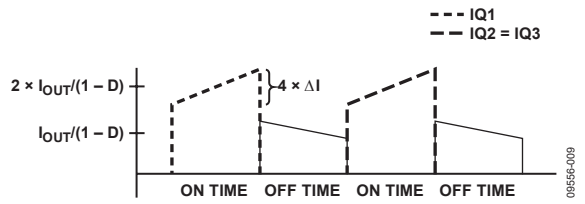



*图 9. SEPIC-Ćuk 理想波形*

主开关 Q1 中的开关损耗计算超出了本应用笔记的范围。注意，在许多情况下，开关损耗可能相当大，因为开关得到的电压摆幅很大(~$V_{IN}$ + $V_{OUT}$)，而且电流也很大(参见图9)。

ADP1612/ADP1613 通过高速开关来降低这一损耗。所选 FET 的额定耐压值至少应为 $V_{IN}$ + $V_{OUT}$，良好的设计应当为杂散电感引起的开关节点响铃振荡，以及导通电阻损耗和开关损耗引起的热应力留有余量。

SEPIC（正）输出的峰峰值输出电压纹波 ($\Delta V_{ripple\ SEPIC}$) 可通过下式近似计算：

$$\Delta V_{ripple\ SEPIC} \approx \frac{I_{OUT} D_{ON}}{f_{sw} C_{OUT1}} + ESR_{COUT1} \times I_{OUT}(1 - D_{ON}) \quad (23)$$

流经电容的电流值 ($I_{RMS\ Cout\ SEPIC}$) 为：

$$I_{rms_COUT_SEPIC} = \frac{I_{OUT} D_{ON}}{(1 - D_{ON})} \sqrt{1 + \left(\frac{1}{3}\right)\left(\frac{\Delta I_L (1 - D_{ON})}{2 I_{OUT}}\right)^2} \quad (24)$$

Ćuk（负）输出的峰峰值输出电压纹波 ($\Delta V_{ripple\ Ćuk}$) 可通过下式近似计算：

$$\Delta V_{ripple\ Cuk} \approx \frac{\Delta I_L D_{ON}}{8 f_{sw} C_{OUT3}} + ESR_{COUT3} \times I_L \quad (25)$$

流入 Ćuk（负）输出 ($\Delta V_{rip\ Ćuk}$) 上 $C_{OUT}$ 的电流均方根值可通过下式近似计算：

$$I_{rms_COUT_Cuk} = \frac{\Delta I_L}{\sqrt{3}} \quad (26)$$

C1 和 C2 上的纹波应当约为 $V_{IN}$ 的 5%。如上文所述，尽管其直流电压不同，但这些电容应具有相近的值。

$$V_{ripple_Cx} = \frac{(1 - D_{ON}) I_{IN}}{f_{sw} C_1} + I_{IN} ESR_{C_x} \quad (27)$$

选择 C1 和 C2 时，由于流经其中的电流相当大，必须考虑电流均方根额定值。

$$I_{rms_C_1 \times C_2} = \sqrt{\frac{(1 - D_{ON})}{3}\left(I_{pk_L_{xa}}{}^2 + I_{pk_L_{xa}}\left(I_{IN} - \frac{\Delta I_L}{2}\right) + \left(I_{IN} - \frac{\Delta I_L}{2}\right)^2\right) + \left(\frac{D_{ON}}{3}\right)\left(I_{pk_L_{xb}}{}^2 + I_{pk_L_{xb}}\left(I_{OUT} - \frac{\Delta I_L}{2}\right) + \left(I_{OUT} - \frac{\Delta I_L}{2}\right)^2\right)} \quad (28)$$

$$V_{ripple_Cx} = \frac{(1 - D_{ON}) I_{IN}}{f_{sw} C_1} + I_{IN} ESR_{Cx} \quad (29)$$

Q2 和 Q3 一般是二极管，因此选择器件时需要考虑多个事项。$V_{ds\ max}$ 的额定值至少应为 $V_{IN} + V_{OUT}$。连续电流至少应为所见峰值电流的 1/3。值得注意的是，由于两个电源的输出电压纹波之间的相位关系，SEPIC 二极管实际上会在一定的时间内接收到全部开关电流，之后电流才实现更平均的分配。不过，正如预期的那样，流过两个二极管的平均电流相同，均为 $I_{OUT}$。此外，在应用的热环境下，封装必须能够处理 $I_{OUT}$。

$$I_{DC_diode_current_rating} \geq \frac{2}{3}\left(I_{IN} + I_{OUT} + \Delta I_L\right) \quad (30)$$

## 输出滤波器

SEPIC-Ćuk 作为双轨转换器通常用于模拟电源，往往要求输出纹波极低。只需使用陶瓷输出电容，一般就能在 Ćuk（负）输出轨上轻松实现低输出纹波（低至 1 mV），因为输出电流是连续的，像降压转换器的输出电流一样。

在 SEPIC（正）轨上，输出电流是断续的，像降压转换器的输入电流一样，这导致流入输出电容的电流发生阶跃变化。即便使用陶瓷电容，由于其电感影响，这些开关尖峰也不能得到很好的衰减。因此，常常需要在 SEPIC 绕组的输出端放置一个小的阻尼输出 pi 滤波器。

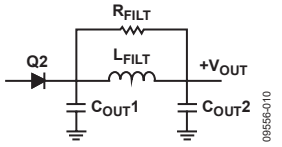



*图 10. 输出滤波器原理图*

虽然该滤波器会以值得注意的新方式影响小信号模型，但本应用笔记不会详细讨论这一问题。只要根据方程式 31 和方程式 32 选择阻尼电阻，并且将转换器的交越设计在 $\omega_o$ 的十分之一或更低，则 pi 滤波器应不会引起电路不稳定。

利用“功率器件选型要点”部分的方程式，$C_{OUT1}$ 应针对约 2% 的输出纹波进行选择，$C_{OUT2}$ 应与 Ćuk 输出端的输出电容匹配。$L_{filt}$ 的合理值一般是 1 μH，$Q_o$ 应设为 1。

$$\omega_o = \sqrt{\frac{2\left(C_{OUT1} + C_{OUT2}\right)}{\left(L_{filt} C_{OUT1}\ C_{OUT2}\right)}} \quad (31)$$

$$R_{filt} = \frac{\left(R_{load} L_{filt}\left(C_{OUT1} + C_{OUT2}\right) - \frac{L_{filt}}{Q_o \omega_o}\right)}{\frac{R_{load}\left(C_{OUT1} + C_{OUT2}\right)}{Q_o \omega_o} - L_{filt} C_{OUT1}} \quad (32)$$

# ADP161x设计工具

ADP161x SEPIC-Ćuk 设计工具是一款基于 Excel® 的完全集成设计器，支持以 SEPIC-Ćuk 配置使用 ADP161x 芯片。一旦用户启用宏（可能需要更改 Excel 的安全设置），就会出现 **Enter Inputs**（输入信息）对话框，也可以通过点击 **Find Solution**（查找解决方案）按钮找到该对话框。在对话框中，输入设计所要求的电压和电流，并选择是否优化成本、损耗或尺寸。

点击 **View Solution**（查看解决方案）按钮，设计工具将输出一个完整的优化设计，包括带价格和补偿值的 BOM、精确并经过测试的效率 - 负载曲线、功率损耗 - 负载曲线、满载波特图、性能参数、器件应力以及每个器件的功耗。此外，**Build Your Design**（构建设计）选项卡提供同样的 BOM，但器件安排在空白演示板 (ADP161x-BL3-EVZ) 上，并且会提供配置演示板所需的任何额外器件。

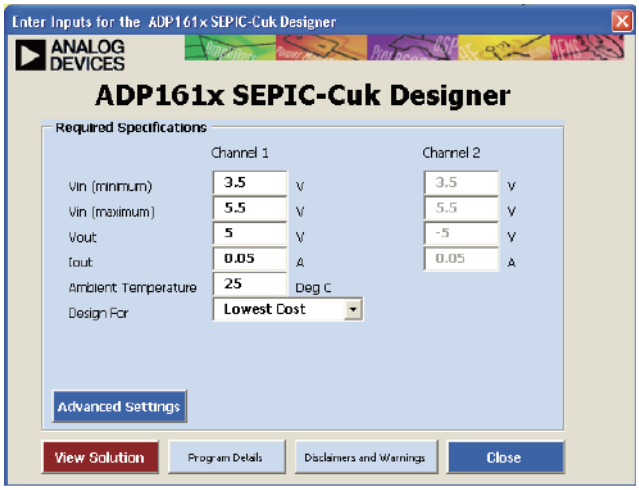



*图 11. 基本输入对话框*

**Advanced Settings**（高级设置）对话框提供其他定制工具，用户可以选择输出电压纹波、电流、瞬态响应、可选输出滤波器使用、外部 UVLO 等参数指标。关于这些选项功能的详细说明，请点击 **Enter Inputs**（输入信息）对话框中的 **Program Details**（程序详情）按钮，可打开 **Program Details**（程序详情）对话框。

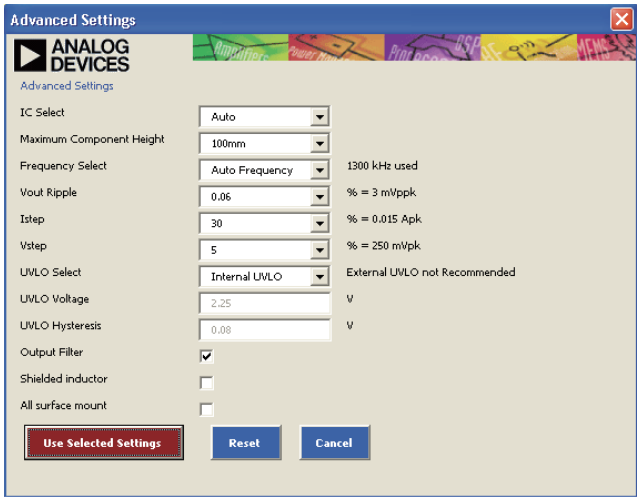



*图 12. 高级输入对话框*

该工具最强大的功能之一是 **User Interface**（用户接口）选项卡中的器件按钮。利用该功能，用户可以更改各个器件，全面定制设计。

先从成千上万器件组成的数据库中预选出下拉列表中的各器件，产生一个功能设计；然后根据 **Enter Inputs**（输入信息）对话框中选择的优化条件进行排序。不同器件之间存在关联，因此必须从上至下依次选择器件。

# 验结果

为了证明该设计工具的有效性，我们利用该工具完成了一项设计，要求如下：5 $V_{IN}$、±5 $V_{OUT}$、50 mA，高级规格如图 11 和图 12 所示。此外，我们更换了二极管，使损耗稍低些。10 mA 左右时参差不齐效率的曲线是转换器进入断续模式引起的。一旦两个开关均断开，开关节点响铃振荡便会在特定负载电流时引起零电压切换。该电路的原理图如图 14 所示。

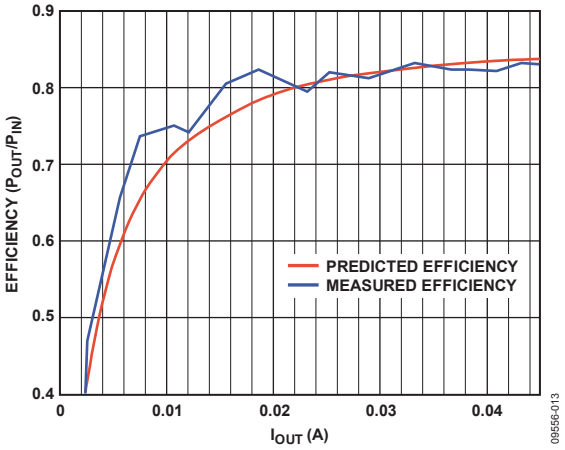



*图 13. 效率验证*

## 参考文献

Ćuk，Slobodan and R.D.Middlebrook。1983。“新型最优拓扑开关DC-DC转换器的耦合电感和其他扩展功能”。开关模式电源转换的发展，第I卷和第II卷。欧文，加州：特斯拉公司。

Ridley，Dr. Ray。1990。“用于电流模式控制的新型连续时间模型”。Bradenton，佛罗里达州：Ridley Engineering。

## 结束语

总之，SEPIC-Ćuk 提供了一种低成本的可靠途径，可以仅用一个控制器来产生两个供电轨。ADIsimPOWER™ 设计工具支持完全定制设计，能够迅速构建鲁棒的 SEPIC-Ćuk 设计。

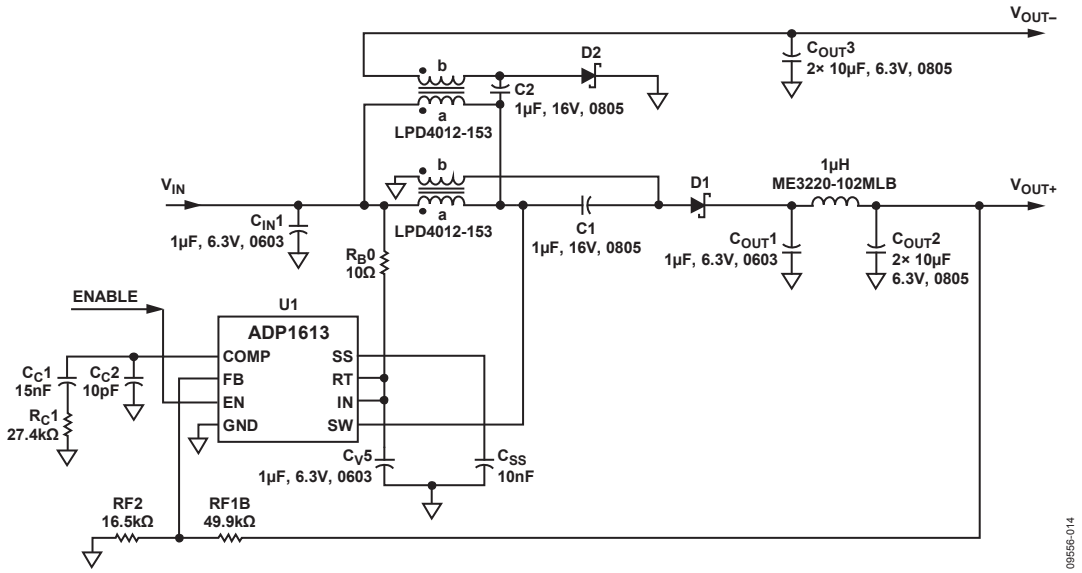



*图 14. 测试电路原理图*

©2011 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN09556sc-0-9/11(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 如何运用DC-DC升压调节器

作者：Ken Marasco

## 升压调节器

便携式电子器件(如智能手机、GPS导航系统和平板电脑)的电源可以来自低压太阳能电池板、电池或AC/DC电源。电池供电系统通常将电池串联叠置以实现更高的电压，但由于空间不足，此技术未必总是可行。开关转换器使用电感的磁场来交替地存储电能，并以不同电压释放至负载。因为损耗很低，所以开关转换器是个不错的高效率选择。连接至转换器输出端的电容可减少输出电压纹波。升压转换器提供较高的输出电压；而应用笔记AN-1125(如何运用DC-DC降压调节器)所讨论的降压转换器则提供较低的输出电压。内置FET作为开关的开关转换器称为开关调节器，需要外部FET的开关转换器则称为开关控制器。

图1显示采用两节串联的AA电池供电的典型低功耗系统。电池可用输出范围约为1.8 V至3.4 V，而IC工作时需要1.8 V和5.0 V电压。升压转换器可在不增加电池单元数量的情况下提升电压，从而为WLED背光、微型硬盘驱动器、音频设备和USB外设供电，而降压转换器可为微处理器、内存和显示器供电。

电感阻挡电流变化的倾向可提供升压功能。充电时，电感用作负载并存储电能；放电时，电感用作电能来源。放电过程中产生的电压与电流变化速率而不是原始充电电压相关，因此可提供不同的输入和输出电平。

升压调节器包括两个开关、两个电容和一个电感，如图2所示。非交叠开关驱动机制确保任一时间只有一个开关导通，避免发生不良的直通电流。在第1阶段($t_{ON}$)，开关B断开，开关A闭合。电感连接到地，因此电流从$V_{IN}$流到地。由于电感两端为正电压，因此电流增大，使电能存储于电感中。在第2阶段($t_{OFF}$)，开关A断开，开关B闭合。电感连接到负载，因此电流从VIN流到负载。由于电感两端为负电压，因此电流减小，电感中存储的能量释放到负载中。

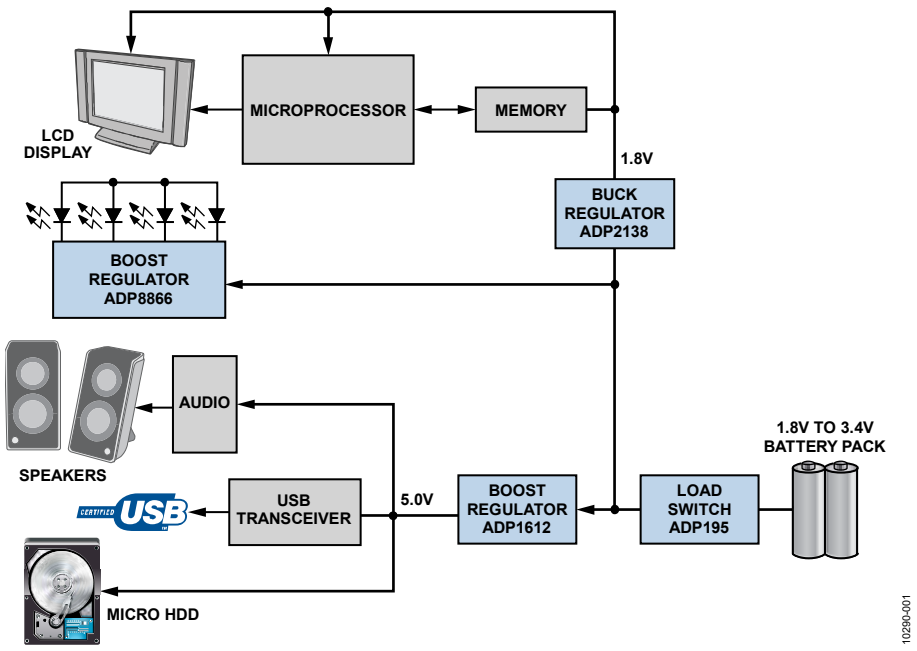



*图1. 典型低功耗便携式系统*

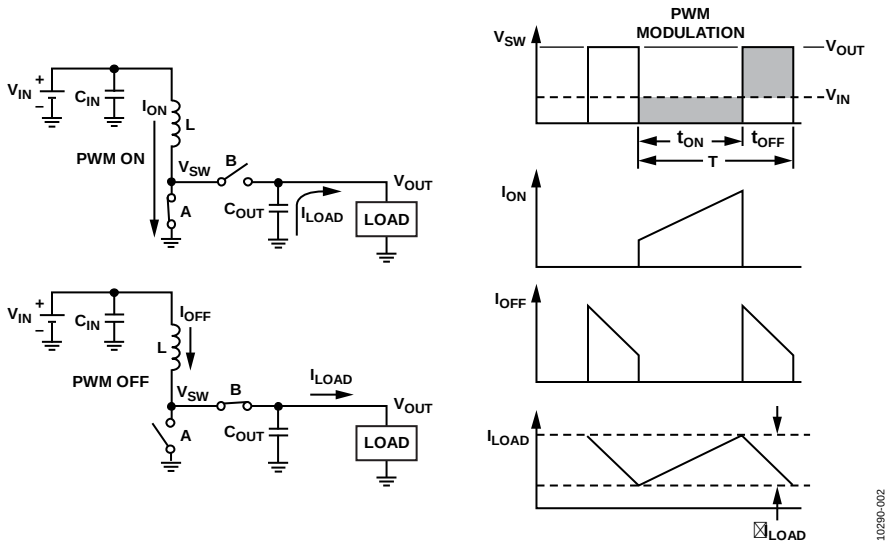



图2. 升压转换器拓扑结构和工作波形

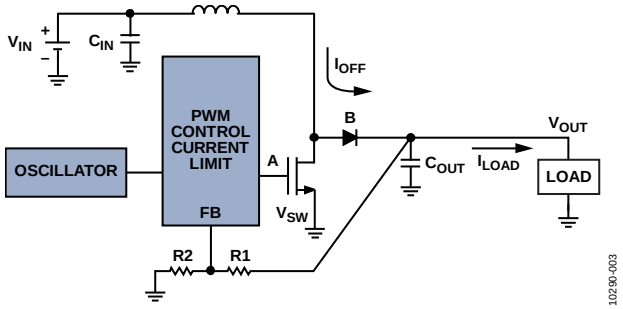



图3. 升压调节器集成振荡器、PWM控制环路和开关FET

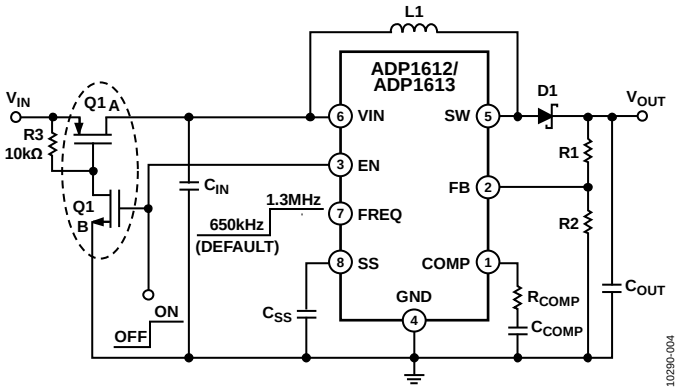



图4. ADP1612/ADP1613典型应用电路

注意，开关调节器既可以连续工作，也可以断续工作。以连续导通模式(CCM)工作时，电感电流不会降至0；以断续导通模式(DCM)工作时，电感电流可以降至0。电流纹波在图2中显示为ΔILOAD，使用以下公式计算：

$$\Delta I_{LOAD} = (V_{IN} \times t_{ON})/L$$

平均电感电流流入负载，而纹波电流流入输出电容。

使用肖特基二极管代替开关B的调节器定义为异步(或非同步)调节器，而使用FET作为开关B的调节器定义为同步调节器。图3中，开关A和B已分别使用内部NFET和外部肖特基二极管来实施，从而形成异步升压调节器。对于需要负载隔离和低关断电流的低功耗应用，可添加外部FET，如图4所示。将器件的EN引脚驱动至0.3 V以下便可关断调节器，使输入与输出完全断开。

现代低功耗同步降压调节器以脉宽调制(PWM)为主要工作模式。PWM保持频率不变，通过改变脉冲宽度($t_{ON}$)来调整输出电压。输送的平均功率与占空比D成正比，因此这是一种向负载提供功率的有效方式。

$$D = \frac{t_{ON}}{_{ON} + t_{OFF}} = \frac{_{OUT} - V_{IN}}{t \quad V_{OUT}}$$

例如，所需输出电压为15 V，可用输入电压为5 V时：

$$D = (15 - 5)/15 = 0.67 \text{ or } 67\%$$

由于功耗降低，输入功率必须等于传递至负载的功率减去所有损耗。假定转换十分有效，则少量的功率损失可在基本功耗计算中省略不计。因此输入电流可近似表示为：

$$I_{IN} = (V_{OUT}/V_{IN}) \times I_{OUT}$$

例如，如果负载电流在15 V时为300 mA，则5 V时$I_{IN}$ = 900 mA，即输出电流的三倍。因此，可用负载电流随着升压电压增大而降低。

升压转换器使用电压或电流反馈来调节选定的输出电压；控制环路则可根据负载变化保持输出调节。低功耗升压转换器的工作频率范围一般是600 kHz到2 MHz。开关频率较高时，所用的电感可以更小，但开关频率每增加一倍，效率就会降低大约2%。在ADP1612和ADP1613升压转换器(参见"ADP1612和ADP1613"部分)中，开关频率可通过引脚选择，最高效率下的工作频率为650 kHz，最小外部器件的工作频率为1.3 MHz。对于650 kHz的工作频率，将FREQ连接至GND，而1.3 MHz的工作频率则连接至VIN。

电感是升压调节器的关键器件，它在电源开关导通期间存储电能，而在关断期间通过输出整流器将电能传输至输出端。为了在低电感电流纹波与高效率之间取得平衡，ADP1612/ADP1613数据手册建议电感值范围为4.7 μH至22 μH。一般而言，较低值的电感在给定实体尺寸下具有更高的饱和电流和更低的串联电阻，而较低的电感导致较高的峰值电流，可降低效率并增加纹波和噪声。通常最好在断续导通模式下执行升压，以便缩小电感尺寸并改善稳定性。峰值电感电流(最大输入电流加一半的电感纹波电流)必须小于电感的额定饱和电流；而调节器的最大直流输入电流必须小于电感的均方根电流额定值。

## 升压调节器主要规格和定义

### 输入电压范围

升压转换器的输入电压范围决定了最低的可用输入电源电压。规格可能提供很宽的输入电压范围，但输入电压必须低于$V_{OUT}$才能实现高效率工作。

### 地电流或静态电流

未输送给负载的直流偏置电流($I_Q$)。$I_Q$越低则效率越高，然而，$I_Q$可以针对许多条件进行规定，包括关断、零负载、PFM工作模式或PWM工作模式。因此，为了确定某个应用的最佳升压调节器，最好查看特定工作电压和负载电流下的实际工作效率。

### 关断电流

这是使能引脚(EN)被拉低、器件关断时消耗的输入电流，低ISD对于电池供电器件在休眠模式下能否长时间待机很重要。

### 开关占空比

工作占空比必须小于最大占空比，否则输出电压无法调节。例如：

$$D = (V_{OUT} - V_{IN})/V_{OUT}$$

$V_{IN}$ = 5 V且$V_{OUT}$ = 15 V时，D = 67%。ADP1612和ADP1613的最大占空比为90%。

### 输出电压范围

这是器件支持的输出电压范围。升压转换器的输出电压可以是固定的，或者可利用电阻设定所需的输出电压来调节。

### 限流

升压转换器通常指定峰值电流限值而不是负载电流。请注意，$V_{IN}$与$V_{OUT}$间的差异越大，可用负载电流越低。峰值电流限值、输入电压、输出电压、开关频率和电感值均会决定最大可用输出电流。

### 线性路调整率

线性路调整率是指输出电压随输入电压变化而发生的变化率。

### 负载调整率

负载调整率是指输出电压随输出电流变化而发生的变化率。

### 软启动

升压转换器具有软启动功能很重要，启动时输出电压以可控方式缓升，从而避免启动时出现输出电压过冲现象。某些升压转换器的软启动可通过外部电容调节。随着软启动电容充电，它会限制器件允许的峰值电流。凭借可调软启动功能，可改变启动时间以满足系统要求。

### 热关断(TSD)

当结温超过规定的限值时，热关断电路就会关闭调节器。一直较高的结温可能由工作电流高、电路板冷却不佳或环境温度高等原因引起。保护电路包括迟滞，发生热关断后，器件只有在片内温度降至预设限值以下后才返回正常工作状态。

### 欠压闭锁(UVLO)

如果输入电压低于UVLO阈值，IC便自动关闭电源开关并进入低功耗模式。这可以防止低输入电压下可能发生的工作不稳定现象，并防止电源器件在电路无法控制它时启动。

## ADP1612和ADP1613

升压DC-DC开关转换器的工作频率是650 kHz或1300 kHz。

分别采用1.8 V至5.5 V单电源或2.5 V至5.5 V单电源供电时，升压转换器ADP1612和ADP1613能够以高达20 V的电压供应超过150 mA的电流。通过将一个1.4 A/2.0 A、0.13 Ω功率开关与一个电流模式脉宽调制调节器集成在一起，其输出随输入电压、负载电流和温度变化仅改变不到1%。工作频率可通过引脚选择，并可通过优化实现高效率或最小外部元件尺寸：650 kHz时，其效率可达到90%；1.3 MHz时，其电路能够以最小空间实现，因而非常适合便携式设备和液晶显示器中空间受限的应用环境。可调软启动电路防止发生浪涌电流，确保安全、可预测的启动条件。ADP1612和ADP1613在开关状态下的功耗为2.2 mA，在非开关状态下的功耗为700 μA，在关断模式下的功耗为10 nA。这些器件采用8引脚MSOP封装，额定温度范围为−40°C至+125°C。

## 结束语

低功耗升压调节器通过提供成熟的设计使开关DC-DC转换器设计变得简单。ADP1612/ADP1613数据手册提供了设计计算，ADIsimPower™设计工具可简化最终用户的工作。如需其他信息，请联系ADI公司应用工程师，或者访问ezchina.analog.com的EngineerZone™中文技术论坛寻求帮助。有关ADI升压调节器选型指南、数据手册和应用笔记，请访问：www.analog.com/cn/products/power-management

## 参考文献

Lenk，John D. 1996。开关电源的简化设计。Elsevier。

Marasco，Ken。2011。AN-1125应用笔记，如何运用DC-DC降压调节器。ADI公司 (September)。

Marasco，Ken。2009。“如何运用DC-DC降压调节器”。模拟对话。第43卷，第3期。

www.analog.com/cn/products/power-management

www.analog.com/cn/products/power-management/switching-power-converters/switching-regulators

www.analog.com/cn/products/power-management/switching-power-converters/switching-controllers

www.analog.com/cn/ADIsimPower

©2011 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN10290sc-0-11/11(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 如何运用DC-DC降压调节器

作者：Ken Marasco

## 简介

智能手机、平板电脑、数码相机、导航系统、医疗设备和其它低功耗便携式设备常常包含多个采用不同半导体工艺制造的集成电路。这些设备通常需要多个独立的电源电压，各电源电压一般不同于电池或外部AC/DC电源提供的电压。

图1显示了一个采用锂离子电池供电的典型低功耗系统。电池的可用输出范围是3 V到4.2 V，而IC需要0.8 V、1.8 V、2.5 V和2.8 V电压。为将电池电压降至较低的直流电压，一种简单的方法是运用低压差调节器(LDO)。不过，当$V_{IN}$远高于$V_{OUT}$时，未输送到负载的功率会以热量形式损失，导致LDO效率低下。一种常见的替代方案是采用开关转换器，它将能量交替存储在电感的磁场中，然后以不同的电压释放给负载。这种方案的损耗较低，是一种更好的选择，可实现高效率运行。降压型转换器可提供较低的输出电压。内置FET作为开关的开关转换器称为开关调节器，需要外部FET的开关转换器则称为开关控制器。多数低功耗系统同时运用LDO和开关转换器来实现成本和性能目标。

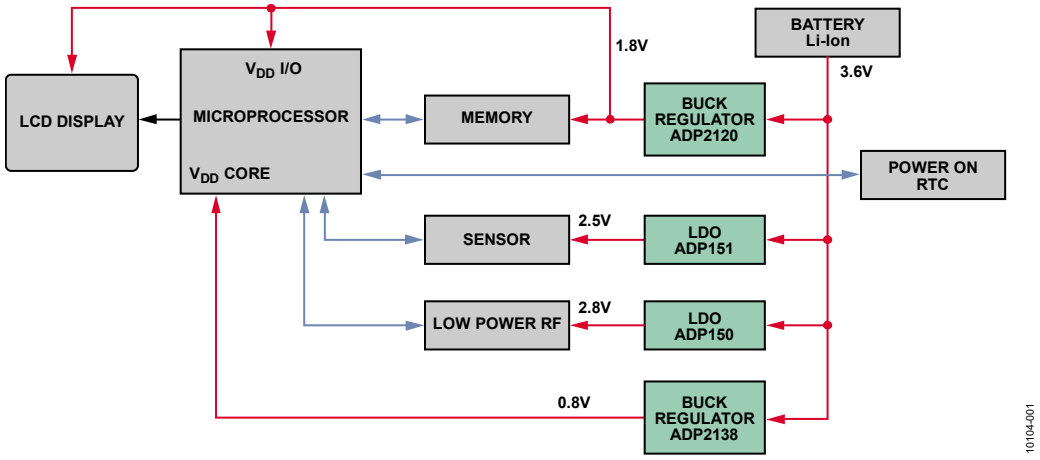



*图1. 典型低功耗便携式系统*

# 降压调节器

降压调节器包括两个开关、两个电容和一个电感，如图2所示。非交叠开关驱动机制确保任一时间只有一个开关导通，避免发生不良的电流直通。在第1阶段，开关B断开，开关A闭合。电感连接到$V_{IN}$，因此电流从$V_{IN}$流到负载。由于电感两端为正电压，因此电流增大。在第2阶段，开关A断开，开关B闭合。电感连接到地，因此电流从地流到负载。由于电感两端为负电压，因此电流减小，电感中存储的能量释放到负载中。

注意，开关调节器既可以连续工作，也可以断续工作。以连续导通模式(CCM)工作时，电感电流不会降至0；以断续导通模式(DCM)工作时，电感电流可以降至0。低功耗降压转换器很少在断续导通模式下工作。设计的电流纹波(如图2中的$\Delta I_{LOAD}$所示)通常为标称负载电流的20%到50%。

在图3中，开关A和开关B分别利用pFET和nFET开关实现，构成一个同步降压调节器。“同步”一词表示将一个FET用作低端开关。用肖特基二极管代替低端开关的降压调节器称为“异步”(或非同步)型。处理低功率时，同步降压调节器更有效，因为FET的压降低于肖特基二极管。然而，当电感电流达到0时，如果底部FET未释放，同步转换器的轻载效率会降低，而且额外的控制电路会提高IC的复杂性和成本。

目前的低功耗同步降压调节器以脉宽调制(PWM)为主要工作模式。PWM保持频率不变，通过改变脉冲宽度($t_{ON}$)来调整输出电压。输送的平均功率与占空比D成正比，因此这是一种向负载提供功率的有效方式。

$$D = \frac{t_{ON}}{t_{ON} + t_{OFF}} \approx \frac{V_{OUT}}{V_{IN}}$$

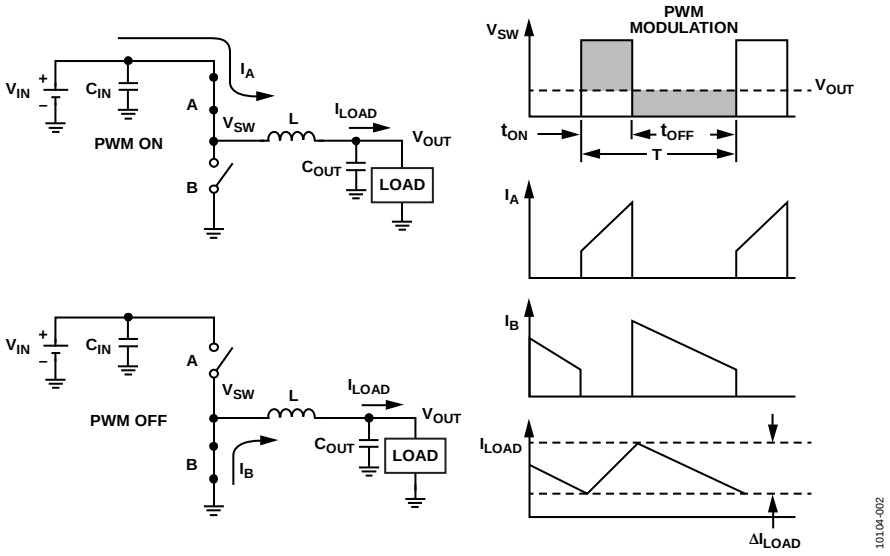



*图2. 降压转换器拓扑结构和工作波形*

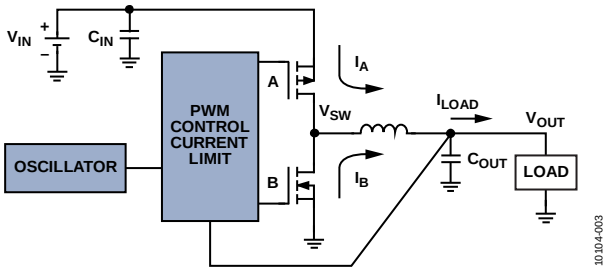



*图3. 降压调节器集成振荡器、PWM控制环路和开关FET*

FET开关由脉宽控制器控制，后者响应负载变化，利用控制环路中的电压或电流反馈来调节输出电压。低功耗降压转换器的工作频率范围一般是1 MHz到6 MHz。开关频率较高时，所用的电感可以更小，但开关频率每增加一倍，效率就会降低大约2%。

在轻载下，PWM工作模式并不总是能够提高系统效率。以图形卡电源电路为例，视频内容改变时，驱动图形处理器的降压转换器的负载电流也会改变。连续PWM工作模式可以处理宽范围的负载电流，但在轻载下，调节器所需的功率会占去输送给负载的总功率的较大比例，导致系统效率迅速降低。针对便携应用，降压调节器集成了其它省电技术，如脉冲频率调制(PFM)、脉冲跳跃或这两者的结合等。

ADI公司将高效率轻载工作模式定义为“省电模式”(PSM)。进入省电模式时，PWM调节电平会产生偏移，导致输出电压上升，直至它达到比PWM调节电平高约1.5%的电平，此时PWM工作模式关闭，两个功率开关均断开，器件进入空闲模式。$C_{OUT}$可以放电，直到$V_{OUT}$降至PWM调节电压。然后，器件驱动电感，导致$V_{OUT}$再次上升到阈值上限。只要负载电流低于省电模式电流阈值，此过程就会重复进行。

ADP2138是一款紧凑型800 mA、3 MHz、降压DC-DC转换器。图4所示为典型应用电路。图5和图6分别显示了强制(连续)PWM工作模式下和自动PWM/PSM工作模式下的效率改善情况。由于频率存在变化，PSM干扰可能难以滤除，因此许多降压调节器提供一个MODE引脚(如图4所示)，用户可以通过该引脚强制器件以连续PWM模式工作，或者允许器件以自动PWM/PSM模式工作。MODE引脚既可以通过硬连线来设置任一工作模式，也可以根据需要而动态切换，以达到省电目的。

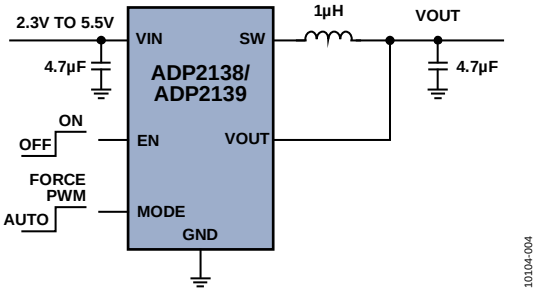



*图4. ADP2138/ADP2139典型应用电路*

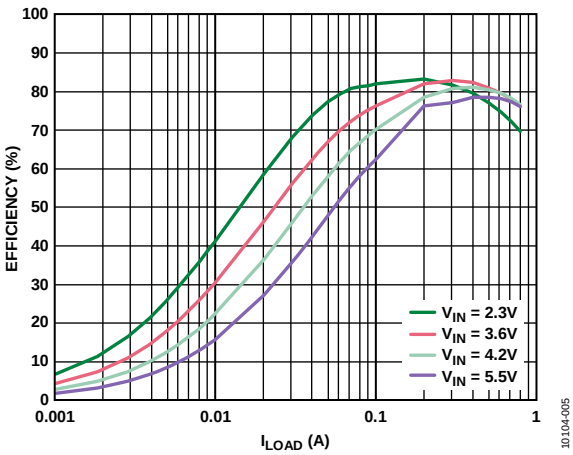



*图5. ADP2138在连续PWM模式下的效率与负载电流的关系，整个输入电压范围内，$V_{OUT}$ = 0.8 V*

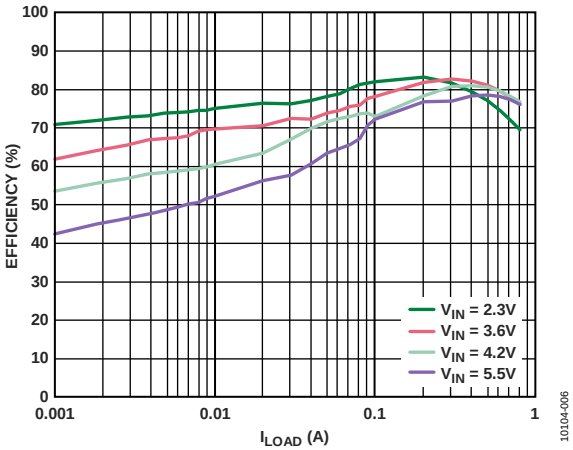



*图6. ADP2138在自动PWM/PSM模式下的效率与负载电流的关系，整个输入电压范围内，$V_{OUT}$ = 0.8 V*

# 降压调节器提高效率

电池的续航时间是新型便携式设备设计高度关注的一个特性。提高系统效率可以延长电池工作时间，降低更换或充电的频度。例如，一个锂离子充电电池可以使用ADP125 LDO以0.8 V电压驱动一个500 mA负载，如图7所示。该LDO的效率只有19%($V_{OUT}/V_{IN} \times 100\% = 0.8/4.2 \times 100\%$)。LDO无法存储未使用的能量，因此剩余的81%的功率(1.7 W)只能以热量形式在LDO内部耗散掉，这可能会导致手持式设备的温度迅速上升。如果使用ADP2138开关调节器，在4.2 V输入和0.8 V输出下，工作效率将是82%，比前一方案的效率高出4倍多，便携式设备的温度升幅将大大减小。这些系统效率的大幅改善使得开关调节器大量运用于便携式设备。

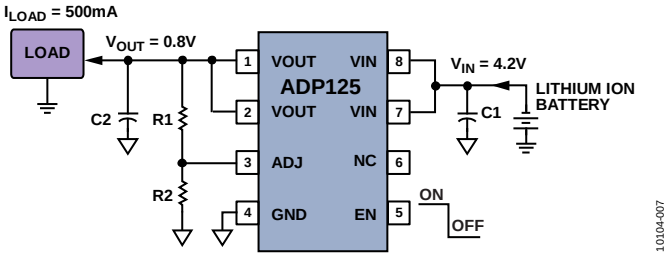



*图7. 低压差调节器ADP125可以驱动500 mA负载*

# 降压转换器关键规格和定义

## 输入电压范围

降压转换器的输入电压范围决定了最低的可用输入电源电压。规格可能提供很宽的输入电压范围，但$V_{IN}$必须高于$V_{OUT}$才能实现高效率工作。例如，要获得稳定3.3 V输出电压，输入电压必须高于3.8 V。

## 地电流或静态电流

$I_Q$是未输送给负载的直流偏置电流。器件的$I_Q$越低，则效率越高。然而，$I_Q$可以针对许多条件进行规定，包括关断、零负载、PFM工作模式或PWM工作模式。因此，为了确定某个应用的最佳降压调节器，最好查看特定工作电压和负载电流下的实际工作效率数据。

## 关断电流

这是使能引脚禁用时器件消耗的输入电流，对低功耗降压调节器来说通常远低于1 μA。这一指标对于便携式设备处于睡眠模式时电池能否具有长待机时间很重要。

## 输出电压精度

ADI公司的降压转换器具有很高的输出电压精度，固定输出器件在工厂制造时就被精确调整到±2%之内(25°C)。输出电压精度在工作温度、输入电压和负载电流范围条件下加以规定，最差情况下的不精确性规定为±x%。

## 线性调整率

线性调整率是指额定负载下输出电压随输入电压变化而发生的变化率。

## 负载调整率

负载调整率是指输出电压随输出电流变化而发生的变化率。对于缓慢变化的负载电流，大多数降压调节器都能保持输出电压基本上恒定不变。

## 负载瞬变

如果负载电流从较低水平快速变化到较高水平，导致工作模式在PFM与PWM之间切换，或者从PWM切换到PFM，就可能产生产生瞬态误差。并非所有数据手册都会规定负载瞬变，但大多数数据手册都会提供不同工作条件下的负载瞬态响应曲线。

## 限流

ADP2138等降压调节器内置保护电路，限制流经pFET开关和同步整流器的正向电流。正电流限值限制可从输入端流向输出端的电流量。负电流限值防止电感电流反向并流出负载。

## 软启动

内部软启动功能对于降压调节器非常重要，它在启动时控制输出电压缓升，从而限制浪涌电流。这样，当电池或高阻抗电源连接到转换器输入端时，可以防止输入电压下降。器件使能后，内部电路开始上电周期。

## 启动时间

启动时间是指使能信号的上升沿至$V_{OUT}$达到其标称值的90%的时间。这个测试通常是在施加$V_{IN}$、使能引脚从断开切换到接通的条件下进行。在使能引脚连接到$V_{IN}$的情况下，当$V_{IN}$从关断切换到开启时，启动时间可能会大幅增加，因为控制环路需要一定的稳定时间。在调节器需要频繁启动和关闭以节省功耗的便携式系统中，调节器的启动时间是一个重要的考虑因素。

## 热关断(TSD)

当结温超过规定的限值时，热关断电路就会关闭调节器。极端的结温可能由工作电流高、电路板冷却不佳或环境温度高等原因引起。保护电路包括一定的迟滞，防止器件在芯片温度降至预设限值以下之前返回正常工作状态。

## 100%占空比工作

随着$V_{IN}$下降或$I_{LOAD}$上升，降压调节器会达到一个限值：即使pFET开关以100%占空比导通，$V_{OUT}$仍低于预期的输出电压。此时，ADP2138平滑过渡到可使pFET开关保持100%占空比导通的模式。当输入条件改变时，器件立即重新启动PWM调节，$V_{OUT}$不会过冲。

## 放电开关

在某些系统中，如果负载非常小，降压调节器的输出可能会在系统进入睡眠模式后的一定时间内仍然保持较高水平。然而，如果系统在输出电压放电之前启动上电序列，系统可能会发生闩锁，或者导致器件受损。当使能引脚变为低电平或器件进入欠压闭锁/热关断状态时，ADP2139降压调节器通过集成的开关电阻(典型值100 Ω)给输出放电。

## 欠压闭锁

欠压闭锁(UVLO)可以确保只有在系统输入电压高于规定阈值时才向负载输出电压。UVLO很重要，因为它只在输入电压达到或超过器件稳定工作要求的电压时才让器件上电。

# 结束语

低功耗降压调节器使开关DC-DC转换器设计不再神秘。ADI公司提供一系列高集成度、坚固耐用、易于使用、高性价比的降压调节器，只需极少的外部元件就能实现高工作效率。系统设计师可以使用降压调节器数据手册中提供的设计计算，或者使用ADIsimPower™设计工具。欲查看有关ADI公司降压调节器的选型指南、数据手册和应用笔记，请访问：www.analog.com/cn/products/power-management。欲了解更多信息，请联系ADI公司应用工程师。

# 参考文献

有关所有ADI公司器件的信息，请访问：
www.analog.com/cn.

Lenk，John D. 1996。开关电源的简化设计。Elsevier。

Marasco，Ken。2009。“如何成功运用低压差调节器”。模拟对话。第43卷，第3期。

www.analog.com/cn/products/interface-isolation/hart-4-20ma-loop-interface-devices/industrial-4-20ma-dac-solution

www.analog.com/cn/products/power-management/linear-regulators

www.analog.com/cn/products/power-management

www.analog.com/cn/ADIsimPower

©2011 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN10104sc-0-9/11(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 低压差(LDO)调节器的噪声源

作者：Glenn Morita

## 为什么噪声源很重要

噪声重要与否，取决于它对目标电路工作的影响程度。

例如，一个开关电源在3 MHz时具有显著的输出电压纹波，如果它为之供电的电路仅有几Hz的带宽，如温度传感器等，则该纹波可能不会产生任何影响。但是，如果该开关电源为RF锁相环(PLL)供电，结果可能大不相同。

为了成功设计一个鲁棒的系统，了解噪声源、其频谱特性、降噪策略以及目标电路对该噪声的敏感程度至关重要。

本应用笔记还会力图澄清电源抑制比(PSRR)与内生噪声的区别，并且说明如何应用数据手册中每个参数的规格。

## 噪声源

低压差(LDO)调节器，或者说任何电路的噪声源都可以分为两大类：内部噪声和外部噪声。内部噪声好比是您头脑中的噪声，外部噪声则好比是来自喷气式飞机的噪声。

对于电子电路，内部噪声是指任何电子器件内部产生的噪声，外部噪声则是指从电路外部传到电路中的噪声。

LDO易于使用，但PSRR和内生噪声常常令人困惑。许多情况下，都将二者一起简单地归类为噪声，这是对性能指标的误用，因为这两种噪声具有不同的特性，并且用于降低其对系统性能影响的方法也不同。

图1为LDO的简单框图，显示了内部噪声源与外部噪声源的区别。误差放大器决定LDO的PSRR，因而也决定了其抑制输入端噪声的能力。内部噪声则始终出现在LDO的输出端。

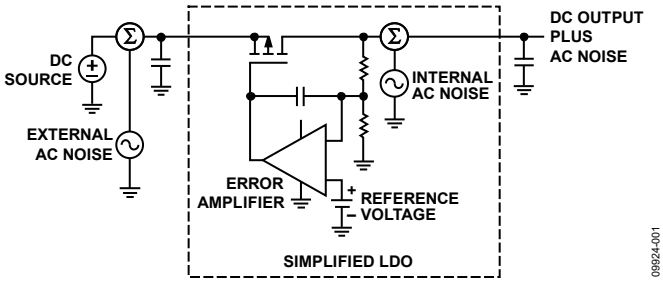



*图1. 显示内部和外部噪声源的简化LDO框图*

## 内部噪声

内部噪声有许多来源，各种噪声源都有自己独一无二的特性。图2显示了一个典型器件的噪声如何随频率而变化，以及各类噪声对总噪声的贡献。从1/f区到热区的跃迁点称为转折频率。内部噪声主要有以下几类：热噪声、1/f噪声、散粒噪声、爆裂或爆米花噪声。

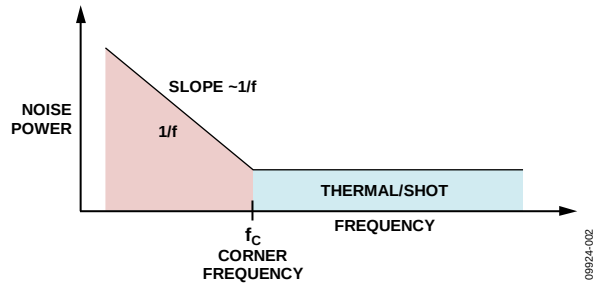



*图2. 典型噪声功率与频率的关系*

### 热噪声

在绝对零度以上的任何温度，导体或半导体中的载流子(电子和空穴)会发生扰动，这就是热噪声(亦称约翰逊噪声或白噪声)的来源。热噪声功率与温度成比例。它具有随机性，因而不随频率而变化。

热噪声是一个物理过程，可以通过下式计算：

$$Vn = \sqrt{(4kTRB)} \quad (1)$$

其中：
k表示波尔兹曼常数($1.38^{-23}$ J/K)。
T表示绝对温度(K = 273°C)。
R表示电阻(单位Ω)。

B表示观察到噪声的带宽(单位Hz，电阻上测得的均方根电压也是进行测量的带宽的函数)。

例如，一个100 kΩ电阻在1 MHz带宽和室温下给电路增加的噪声为：

$$Vn = (4 \times 1.38^{-23} \times 300 \times 1^5 \times 1^6)½ = 40.7\ \mu V\ rms \quad (2)$$

### 1/f噪声

1/f噪声来源于半导体的表面缺陷。1/f噪声功率与器件的偏置电流成正比，并且与频率成反比，这一点与热噪声不同。即使频率非常低，该反比特性也成立，然而，当频率高于数kHz时，关系曲线几乎是平坦的。1/f噪声也称为粉红噪声，因为其权重在频谱的低端相对较高。

1/f噪声主要取决于器件几何形状、器件类型和半导体材料，因此，要创建其数学模型极其困难，通常使用各种情况的经验测试来表征和预测1/f噪声。

一般而言，具有埋入结的器件，如双极性晶体管和JFET等，其1/f噪声往往低于MOSFET等表面器件。

### 散粒噪声

散粒噪声发生在有势垒的地方，例如PN结中。半导体器件中的电流具有量子特性，电流不是连续的。当电荷载子、空穴和电子跨过势垒时，就会产生散粒噪声。像热噪声一样，散粒噪声也是随机的，不随频率而变化。

爆裂或爆米花噪声

爆裂或爆米花噪声是一种低频噪声，似乎与离子污染有关。爆米花噪声表现为电路的偏置电流或输出电压突然发生偏移，这种偏移持续的时间很短，然后偏置电流或输出电压又突然返回其原始状态。这种偏移是随机的，但似乎与偏置电流成正比，与频率的平方成反比($1/f^2$)。

由于现代半导体工艺技术的洁净度非常高，爆裂噪声几乎已经被消除，不再是器件噪声的一个主要因素。

## 外部噪声

外部噪声源远多于内部噪声源，包括以下几类：

- 耦合到敏感电路中的电磁场。
- 导致压电材料产生干扰交流电压的机械冲击或振动。
- 来自其他电路，通过电源或设计不佳的PCB布局布线传导或辐射到电路中的噪声。

### 电磁耦合

电磁场可以通过以下一种或多种方法在电路中感应噪声：辐射耦合、容性耦合、感性耦合和传导耦合。通过适当的PCB布局布线和屏蔽技术，可以降低此类耦合的影响，但这不在本应用笔记的讨论范围之内。

### 压电效应

某些器件，如高容值多层陶瓷电容等，对机械冲击和振动敏感(即具有颤噪效应)，这是因为其结构中使用了高介电常数材料。这些电介质具有高压电性，很容易将微小的机械振动转换为毫伏甚至微伏电平信号。因此，低电平信号链电路中不推荐使用高容值陶瓷电容。

虽然薄膜电容不具有压电性，但它也对振动敏感，这是因为薄膜电介质上的任何机械应力都会使薄膜厚度发生细微变化，导致电容略微增大或减小。电容中存储的能量是恒定的，因此电压必须略微改变以适应电容变化。能量、电容和电压之间的关系可通过下式来描述：

$$E = \frac{1}{2} CV^2 \quad (3)$$

机械应力消除后，电容上的电压回到其原始状态。如果机械应力是周期性的，则将产生一个小交流电压。

### 电源噪声

电源噪声和纹波一般是LDO输出端仅次于内部噪声的最主要噪声源。根据噪声源的频谱成分，LDO可以大大改善下游电路的电源质量。

在许多系统中，来自交流电源或电池的电源由高效率开关模式电源转换为中间电压，以便在整个系统中分配。这些中间电压在使用点被转换为特定电压。

开关模式电源的噪声主要取决于其拓扑结构和负载状态。频谱成分可以是从数Hz到数十MHz。许多情况下，为了给敏感的模拟负载供电，需要通过LDO净化高噪声电源分配总线。LDO抑制输入源噪声的能力取决于其PSRR以及它如何随频率而变化。

## LDO中的噪声

LDO的主要内部噪声源是内部基准电压和误差放大器。

现代LDO采用数十nA的内部偏置电流工作，以便实现15 μA或更低的静态电流。这种低偏置电流要求使用高达GΩ级的大值偏置电阻。

### 基准电压噪声

电阻的热噪声定义为$Vn = \sqrt{(4kTRB)}$，可以看出，电阻对基准电压电路噪声的贡献可能相当大。幸运的是，LDO的基准电压不需要数Hz以上的带宽，可以利用片内无源滤波来轻松降低该噪声。

例如，一个源阻抗为0.1 GΩ的带隙基准电压源在10 Hz到100 kHz范围内具有407 μV rms的噪声，将带宽限制在10 Hz，噪声可以降低至4.1 μV rms。如果将带宽降低至1.6 Hz，则基准电压源的噪声贡献降低至1.3 μV rms。利用一个1 GΩ电阻和一个100 pF电容可以构建一个转折频率为1.6 Hz的单极点RC滤波器。图3显示了如何在芯片中实现这样一个1.0 V超低噪声基准电压源。

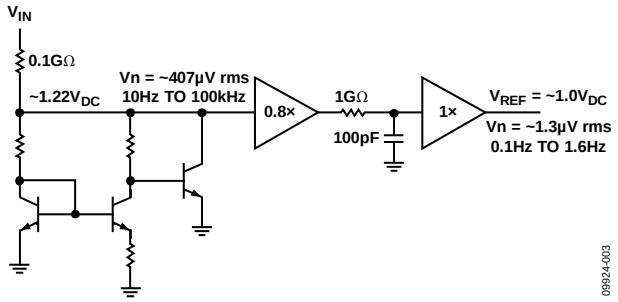



*图3. 超低噪声、超低功耗基准电压源(ADP223)*

### 误差放大器噪声

如果使用低噪声基准电压源，则误差放大器将成为总输出噪声的重要来源。基准电压源和误差放大器的噪声贡献不相关，必须通过均方根方法求和。

图4所示为一个具有500 mV基准电压源的2.5 V输出LDO示例。基准电压源的噪声为1 μV rms，误差放大器的噪声为1.5 μV rms，总噪声为9 μV rms，计算如下：

$$Vn = \sqrt{((G \times 1.5\ \mu V\ rms)^2 + (G \times 1.0\ \mu V\ rms)^2)} \quad (4)$$

$$G = 1 + 400\ k\Omega / 100\ k\Omega = 5$$

$$Vn = \sqrt{(7.5^2 + 5^2)} = 9\ \mu V\ rms$$

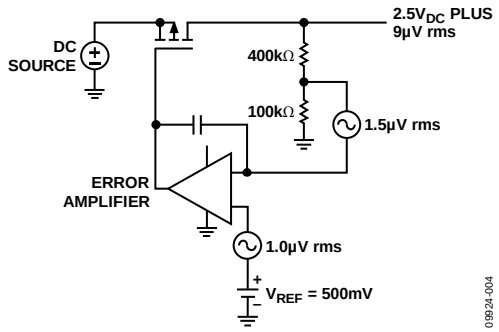



*图4. 基准电压源和误差放大器的噪声贡献(ADP223)*

### 降低LDO噪声

用于降低LDO噪声的方法主要有两种：

- 对基准电压进行滤波
- 降低误差放大器的噪声增益

某些LDO允许使用外部电容来对基准电压进行滤波。事实上，许多所谓的超低噪声LDO都需要使用外部降噪电容来实现其低噪声性能。对基准电压进行外部滤波的缺点是启动时间与滤波电容的大小成比例，图3说明了为什么会如此。连接100 pF电容的节点被引出，以便连接外部电容。

降低误差放大器的噪声增益对启动时间的影响不如对基准电压进行滤波那样大，因而更容易在启动时间与输出噪声之间权衡选择。遗憾的是，对于固定输出LDO，由于无法接入反馈节点，输出噪声一般无法降低。然而，在大多数可调输出LDO中，很容易接入反馈节点。

如果误差放大器的噪声贡献大于基准电压源的贡献，则降低误差放大器的噪声增益可以显著降低LDO的总噪声。确定误差放大器是否是主要噪声来源的一种方法，就是比较特定LDO的固定输出版本与可调输出版本的噪声。如果固定输出LDO的噪声远低于可调输出LDO，则误差放大器是主要噪声源。

图5所示为一个2.5 V输出可调LDO，R1、R2、R3和C1为外部元件。所选的R3用于将放大器的高频增益设置为1.5倍至2倍。某些LDO的相位裕量较低，或者在单位增益下不稳定。所选的C1用于将降噪网络(C1、R1和R3)的低频零点设置在10 Hz至100 Hz范围内，确保1/f区中的噪声得到充分降低。

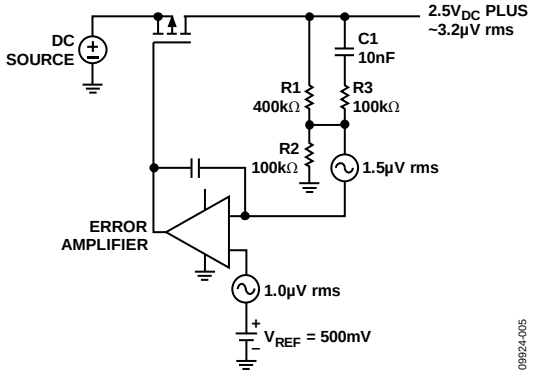



*图5. 降低可调输出LDO的噪声增益*

图6显示了降噪(NR)网络对高压可调LDO噪声谱密度的影响。从图6可以看出，在20 Hz至2 kHz范围，噪声性能提高大约3倍(~10 dB)。注意，两条曲线在20 kHz以上融合，这是因为误差放大器的闭环增益达到放大器的开环特性，无法进一步降低噪声增益。

在同一频率范围内，PSRR性能也有改善(更多信息参见“改善PSRR”部分)。

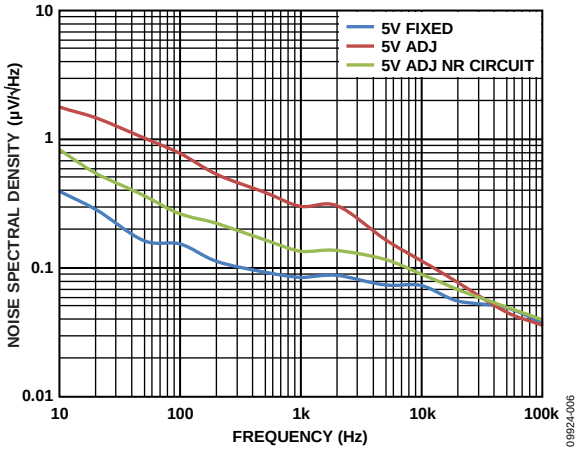



*图6. 可调输出LDO的噪声谱密度*

### LDO数据手册中的噪声规格

通常，LDO数据手册通过两种方式来规定内部噪声：

- 一定带宽内的总积分噪声，用µV rms表示(见图7)
- 噪声谱密度曲线，噪声与频率的关系用µV/√Hz表示(见图6)

ADI公司数据手册规定10 Hz至100 kHz带宽内的总积分噪声。图7显示了10 Hz至100 kHz带宽内ADP223在不同输出电压下的总均方根噪声与负载电流的关系。

通常而言，轻负载下的均方根噪声较低，因为LDO的带宽随着静态电流而降低。当负载电流达到数mA时，LDO以全带宽工作，噪声不随负载而变化。

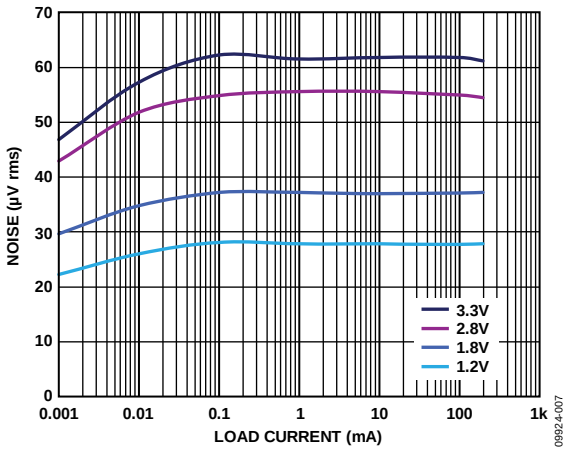



*图7. 均方根噪声与负载电流和输出电压的关系(ADP223)*

图8所示为ADP223的噪声谱密度图，它显示了10 Hz至100 kHz频率范围内噪声谱密度随输出电压的变化情况。在该带宽内对此图中的数据进行积分可得到均方根噪声。对于任意频率范围，可以使用以下公式来估算均方根噪声：

$$Vn = \sqrt{BW} \times \sqrt{(N_{FL}^2 \times N_{FU}^2)} \quad (5)$$

其中：

$BW = N_{FU} - N_{FL}$.

$N_{FL}$为频率下限时的噪声(单位$\mu V/\sqrt{Hz}$)

$N_{FU}$为频率上限时的噪声(单位$\mu V/\sqrt{Hz}$)

例如，对于图8中的1.2 V输出，10 Hz至100 Hz范围内的均方根噪声约为：

$$Vn = \sqrt{(100 - 10)} \times \sqrt{(1.18^2 \times 0.8^2)} \quad (6)$$

$Vn$ = 8.9 μV rms

噪声谱密度测量在足够高的负载电流下进行，确保LDO以全带宽工作，但又不能过高，以至于引起严重的自热效应。对于最大输出电流为1 A或以下的大多数LDO，10 mA较为适当。

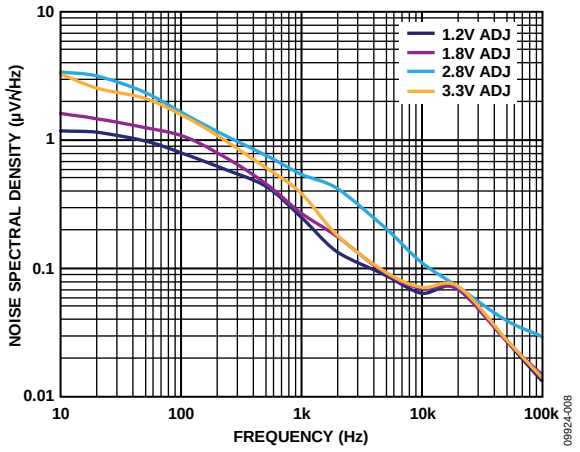



*图8. 噪声谱密度与输出电压的关系(ADP223)*

### 比较LDO噪声指标

均方根噪声用单一数值表示，因此它是用于比较不同LDO性能的一个有用指标。然而，进行比较的LDO的噪声指标必须是在相同的测试条件下测得。

例如，在10 Hz至100 kHz范围内，1.2 V输出的ADP223均方根噪声约为27.7 μV rms。如果噪声带宽降到100 Hz至100 kHz，则均方根噪声降至约26.2 μV rms。均方根噪声之所以降低，是因为进行的噪声测量不再包括10 Hz至100 Hz范围内的8.9 μV rms噪声。

$$Vn = \sqrt{(27.7^2 - 8.9^2)} = 26.2\ \mu V\ rms \quad (7)$$

此外还必须留意所考虑的LDO的降噪特性。对于需要外部电容进行降噪的LDO，不使用电容时的噪声可能比使用电容时高100倍。在要求小尺寸和低成本的应用中，出于节省PCB面积和成本考虑，可能会选择不需要外部降噪电容，但噪声略高于需要降噪电容的LDO。

### LDO PSRR

LDO的PSRR常常与内部噪声相混淆。简单地说，PSRR衡量电路抑制电源输入端出现的外来信号(噪声和纹波)，使这些干扰信号不致于破坏电路输出的能力。电路的PSRR定义如下：

$$PSRR = 20\log(VE_{IN}/VE_{OUT}) \quad (8)$$

其中，$VE_{IN}$和$VE_{OUT}$分别是输入端和输出端出现的外来信号。

对于ADC、DAC和放大器等电路，该PSRR适用于向目标电路内部供电的输入端。对于LDO，输入电源引脚为调节输出电压和内部电路供电。

### PSRR与频率的关系

PSRR不是通过单一值来定义，因为它与频率相关。如图1所示，LDO由基准电压、误差放大器、MOSFET或双极性晶体管等功率调整元件组成。误差放大器提供直流增益以便调节输出电压。误差放大器的交流增益特性在很大程度上决定了LDO的PSRR。典型LDO在10 Hz时可能具有高达80 dB的PSRR，但在数十kHz时则可能降至仅20 dB。

误差放大器增益带宽与PSRR的关系如图9所示。本例已进行高度简化，输出电容和调整元件寄生效应被忽略。

PSRR等于60 dB开环增益的倒数，直到3 kHz时增益开始滚降。PSRR以20 dB/10倍的速率降低，直到3 MHz时PSRR达到0 dB；对于此后所有更高的频率，PSRR保持0 dB不变。

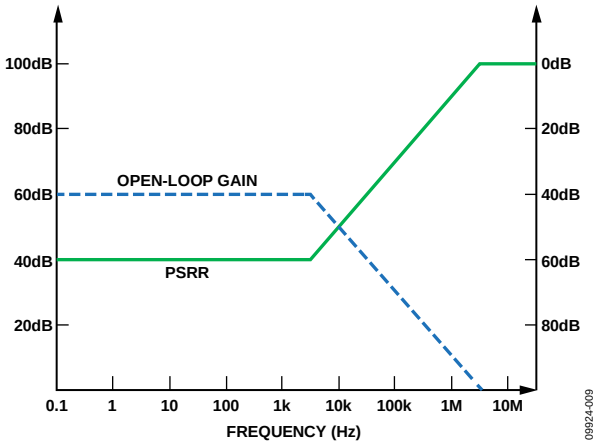



*图9. 简化的LDO增益与PSRR的关系*

图10的PSRR曲线显示了表征LDO　PSRR的三个主要频域：基准电压PSRR区、开环增益区和输出电容区。

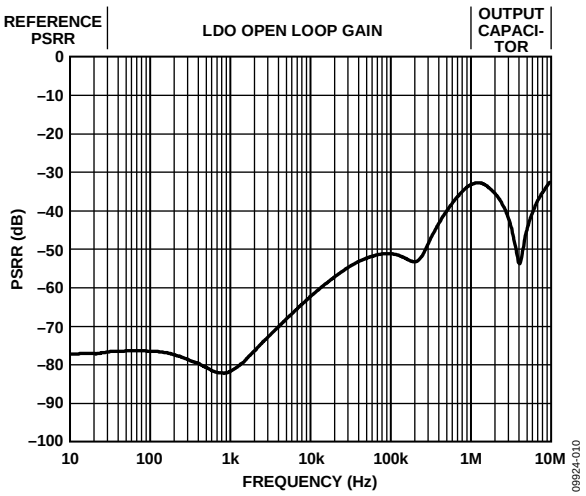



*图10. 典型LDO PSRR与频率的关系*

基准电压PSRR区取决于基准电压放大器的PSRR和LDO开环增益。理想情况下，基准电压放大器完全不受电源扰动的影响。实际上，基准电压只需要抑制最高数十Hz的电源噪声，因为误差放大器反馈确保在低频时具有高PSRR。

在大约10　Hz以上的第二区中，PSRR主要由LDO的开环增益决定。此区中的PSRR是误差放大器增益带宽(最高为单位增益频率)的函数。在低频时，误差放大器的交流增益等于直流增益并保持不变，直至达到3 dB滚降频率。在高于3 dB滚降点的频率，误差放大器的交流增益随着频率提高而降低，变化速率通常为20 dB/10倍。

在误差放大器的单位增益频率以上，控制环路的反馈对PSRR无影响，PSRR由输出电容和输入与输出电压之间的任何寄生效应决定。在这些频率，输出电容ESR和ESL以及电路板布局布线会强烈影响PSRR。为了降低高频谐振的影响，必须特别注意布局布线。

## PSRR与负载电流的关系

如“PSRR与频率的关系”部分所述，LDO的PSRR取决于误差放大器反馈环路的增益带宽，任何会影响此环路增益的因素都会影响LDO的PSRR。负载电流可以通过两种方式影响PSRR。

在低负载电流下(通常小于50 mA)，调整元件的输出阻抗很高。由于控制环路的负反馈，LDO输出似乎是理想的电流源。输出电容和调整元件形成的极点导致输出阻抗出现在相对较低的频率，并且往往会提高低频时的PSRR。低电流时输出级的高直流增益往往也会提高误差放大器单位增益点以下频率时的PSRR。

在重负载电流下，LDO输出不太像是一个理想电流源，调整元件的输出阻抗相对较低，导致输出级的增益降低。输出级增益的下降使得直流到反馈环路单位增益频率范围内的PSRR降低。图11显示直流增益随着负载电流的降低而显著下降。从200 mA到100 mA，ADP151的直流增益下降超过20 dB。

输出级带宽因为输出极点频率的提高而提高。在高频时，PSSR似乎应当随着环路带宽的提高而提高，但实际上，由于总环路增益的降低，高频PSRR可能没有提高。一般而言，轻负载时的PSRR优于重负载时的PSRR。

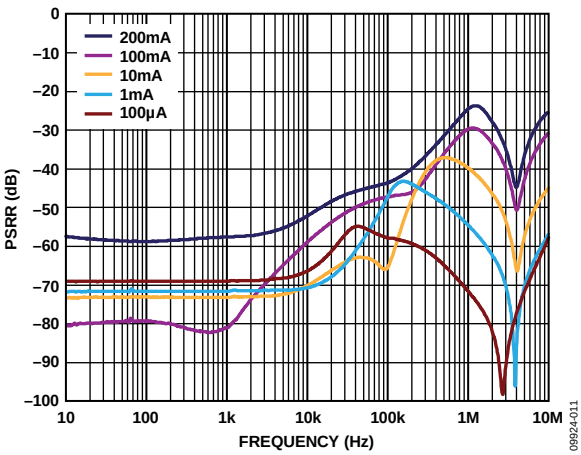



*图11. 典型LDO PSRR与负载电流的关系(ADP151)*

## PSRR与LDO裕量的关系

LDO的PSRR也与输入到输出的压差或裕量有关。对于固定裕量电压，PSRR随着负载电流的提高而降低，这在重负载电流和小裕量电压时尤其明显。图12显示了2.8 V输出ADP151在200 mA负载、500 mV和1 V裕量下的PSRR差异。

随着负载电流提高，调整元件(ADP151的P-MOSFET)脱离饱和状态，进入三极工作区，其增益相应地降低，这导致LDO的总环路增益降低，因而PSRR下降。裕量越小，则增益降幅越大。在某些小裕量电压，控制环路根本没有增益，PSRR降至0。

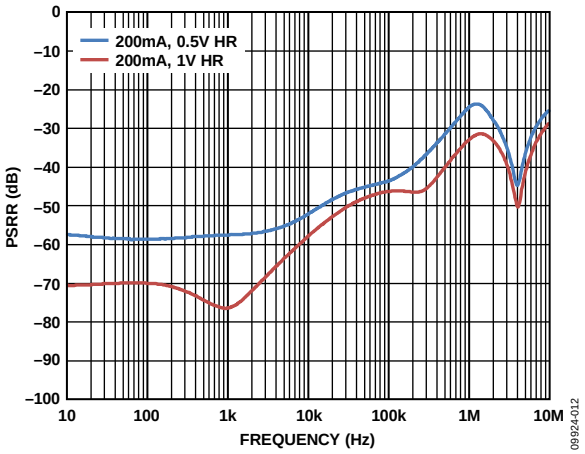



*图12. 典型LDO PSRR与裕量的关系(ADP151)*

降低环路增益的另一个因素是调整元件具有一个非零电阻，或称$RDS_{ON}$。$RDS_{ON}$包括MOSFET导通电阻、片内互连电阻和线焊电阻。$RDS_{ON}$通过LDO的压差电压估算。例如，WLCSP封装的ADP151在200 mA负载下的最差情况压差电压为200 mV，这意味着$RDS_{ON}$约为1.0 Ω。图13显示了调整元件和$RDS_{ON}$的简化原理图。

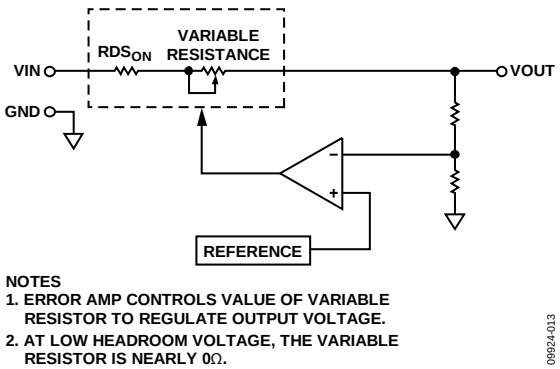



*图13. 简化的LDO显示调整元件电阻*

负载电流引起的$RDS_{ON}$上的任何压降都会导致调整元件有效部分的裕量降低相应的量。例如，如果调整元件是一个1 Ω器件，负载电流为200 mA，则裕量将降低200 mV。当LDO在1 V或更低的裕量电压下工作时，估算LDO PSRR时必须考虑此压降。

## 改善PSRR

在既定的负载电流下，LDO的PSRR可以通过多种方式加以改善：

- 让LDO在至少1 V的裕量下工作。某些LDO，如ADP151等，能够在低至500 mV的裕量下很好地工作。
- 使用最大负载电流额定值至少比预期负载大1.5倍的LDO。
- 在LDO的输入端或输出端增加外部滤波。
- 如果裕量足够，级联两个或更多LDO。

### 增加外部滤波以提高PSRR

增加外部滤波可以大大改善LDO电路的PSRR，但是，其代价是电路更复杂，并且裕量和效率会降低。根据应用不同，可以将额外滤波添加到LDO的输入端(前置滤波)或输出端(后置滤波)。

后置滤波常常用于LDO输出端存在显著低频噪声的场合，如ADP151等现代低噪声LDO不再需要后置滤波。后置滤波的缺点是滤波器电感的电阻会引起额外的负载调整误差。

当必须抑制高频噪声时，如开关转换器的输出电压纹波等，增加前置滤波更合适，而且它不会影响负载调整。

图14显示一个LDO电路同时采用前置滤波和后置滤波，然而，通常情况下仅使用一个外部滤波器。

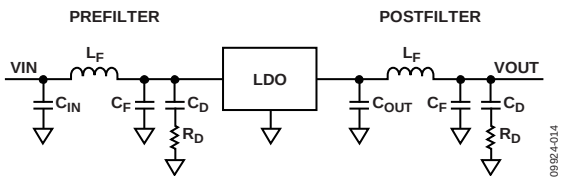



*图14. 采用外部前置滤波和后置滤波的LDO*

滤波器的主要元件是$L_F$和$C_F$，用于设置滤波器的转折频率。$C_D$和$R_D$消除$L_F$和$C_F$的谐振。$C_{IN}$和$C_{OUT}$是用于LDO的典型输入和输出电容，但$C_{IN}$不是必需的。

$C_F$、$L_F$、$C_D$和$R_D$的值可以通过以下方程式来确定：

$$1/(2\pi \times \sqrt{(L_F \times C_F)}) = Corner\ Frequency \quad (9)$$

$$C_D = 10 \times C_F \quad (10)$$

$$R_D = \sqrt{(L_F/C_F)} \quad (11)$$

例如，假设必须将一个开关转换器的1 MHz纹波降低至少30 dB，100 kHz至200 kHz的转折频率应当足够。

根据方程式9，假设$C_F$ = 1 µF、$L_F$ = 1 µH，则$f_C$ = 160 kHz。根据方程式10，$C_D$ = 10 µF；根据方程式11，$R_D$ = 1 Ω。

图15显示了示例滤波器的响应。1 MHz时的衰减约为33 dB，最大峰化约为0.7 dB(81 kHz时)。

电感$L_F$的直流电阻应尽可能低，以使裕量降幅最小(对于后置滤波器，则使负载调整误差最小)。电感的饱和电流也必须至少像电路的最大预期负载电流一样高。

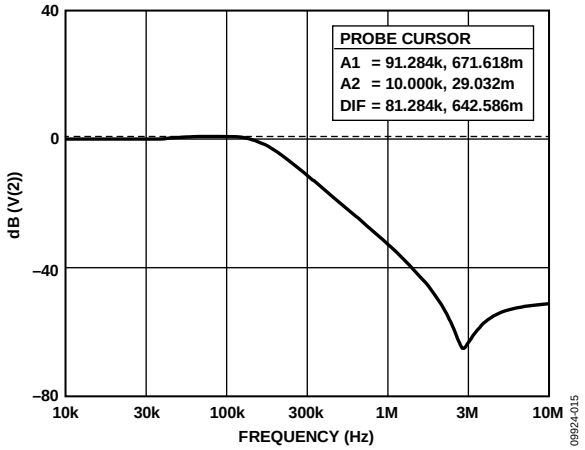



*图15. 示例纹波滤波器的响应*

## 级联多个LDO以提高PSRR

在裕量充足的应用中，级联多个LDO(如ADP151等)可以大大提高PSRR，同时保持ADP151的低输出噪声特性。图16显示两个级联LDO的原理图。旁路电容$C_{IN}$、$C_{OUT}$和$C_O$等于ADP151数据手册的推荐值，即1 µF。

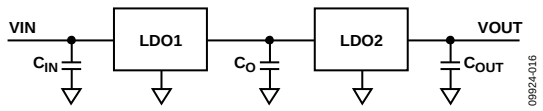



*图16. 级联LDO*

所选的LDO1输出确保LDO2上的裕量至少为500 mV。为获得最佳性能，LDO1上的裕量至少也应为500 mV。图17比较了一个1.8 V ADP151与两个级联ADP151的PSRR。两种情况下的负载电流和裕量均分别为200 mA和1 V。从图17可以清楚地看出，级联两个LDO可以将宽频率范围内的PSRR提高多达30 dB。

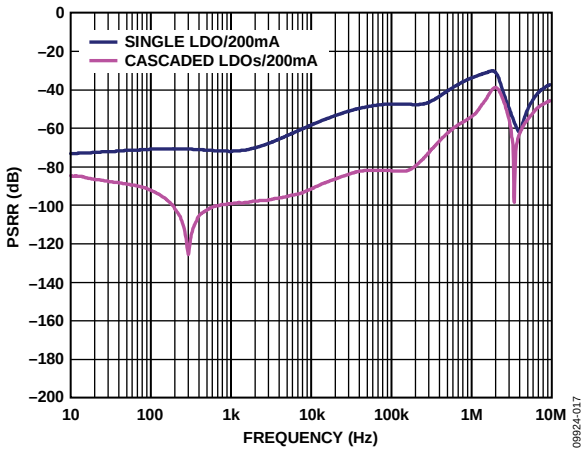



*图17. 一个LDO和级联LDO的PSRR*

## 比较LDO PSRR指标

比较LDO的PSRR指标时，应确保测量是在相同的测试条件下进行。许多旧式LDO仅说明120 Hz或1 kHz时的PSRR，而未提及裕量电压或负载电流。至少电气技术规格表中的PSRR应针对不同的频率列出。为使比较有意义，最好应使用不同负载和裕量电压下的PSRR典型工作性能曲线。

输出电容也会影响高频时的LDO PSRR。例如，1 µF电容的阻抗是10 µF电容的10倍。在频率高于误差放大器的0 dB交越频率时，电源噪声的衰减与输出电容有关，此时的容值特别重要。比较PSRR数值时，输出电容的类型和值必须相同，否则比较无效。

## LDO总噪声

内部噪声和PSRR均构成LDO总输出噪声的一部分。根据应用不同，内部噪声和PSRR二者之一的贡献可能很重要，或者二者的贡献均很重要。当PSRR和内生噪声对应用的整体性能均有影响时，就无法应用噪声的单一数值。

一个典型应用是利用开关转换器为RF PLL供电。为了抑制来自开关转换器的纹波，输出通过一个LDO进行调节。LDO的内部噪声会轻微调制PLL的电源，从而在PLL的输出端引起相位噪声。PLL的相位噪声由VCO频率偏移引起，与电源电压有关，表示为Δf/ΔV，常常称为VCO的推移增益。

LDO的PSRR可以降低开关转换器在LDO单位增益频率以下的噪声。超出LDO的单位增益频率时，开关转换器噪声由LDO输出电容或LDO之后的无源滤波进行衰减。未经充分衰减的开关转换器频率谐波表现为PLL频率任一端上的杂散。

## 结束语

一般而言，LDO噪声包括两部分：内部或内生噪声以及外部或外生噪声。

热噪声和1/f噪声是主要的内生噪声源，与LDO的设计和半导体技术有关。

外部噪声有许多来源，但最常见的是LDO输入电源的噪声。

由于LDO具有高增益以确保良好的线路和负载调整性能，因此它能够衰减来自输入电源的噪声和纹波，这就是LDO的PSRR。LDO的带宽有限，因此其PSRR随着频率提高而降低。LDO带宽之外的噪声无法通过LDO本身进行衰减，可以利用无源滤波器来降低。

©2011 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN09924sc-0-9/11(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 降压调节器的印刷电路板布局布线指南，针对采用双通道开关控制器的低噪声设计而优化

作者：Scott Zheng

## 简介

“噪声问题！”——这是每位电路板设计师都会听到的四个字。为了解决噪声问题，往往要花费数小时的时间进行实验室测试，以便揪出元凶，但最终却发现，噪声是由开关电源的布局不当而引起的。解决此类问题可能需要设计新的布局，导致产品延期和开发成本增加。本应用笔记提供有关印刷电路板(PCB)布局布线的指南，以帮助设计师避免此类噪声问题。作为例子的开关调节器布局采用双通道同步开关控制器ADP1850，第一步是确定调节器的电流路径。然后，电流路径决定了器件在该低噪声布局布线设计中的位置。

## PCB布局布线指南

### 确定电流路径

在开关转换器设计中，高电流路径和低电流路径彼此非常靠近。交流(AC)路径携带有尖峰和噪声，高直流(DC)路径会产生相当大的压降，低电流路径往往对噪声很敏感。适当PCB布局布线的关键在于确定关键路径，然后安排器件，并提供足够的铜面积以免高电流破坏低电流。性能不佳的表现是接地反弹和噪声注入IC及系统的其余部分。

图1所示为一个同步降压调节器设计，它包括一个开关控制器和以下外部电源器件：高端开关、低端开关、电感、输入电容、输出电容和旁路电容。图1中的箭头表示高开关电流流向。必须小心放置这些电源器件，避免产生不良的寄生电容和电感，导致过大噪声、过冲、响铃振荡和接地反弹。

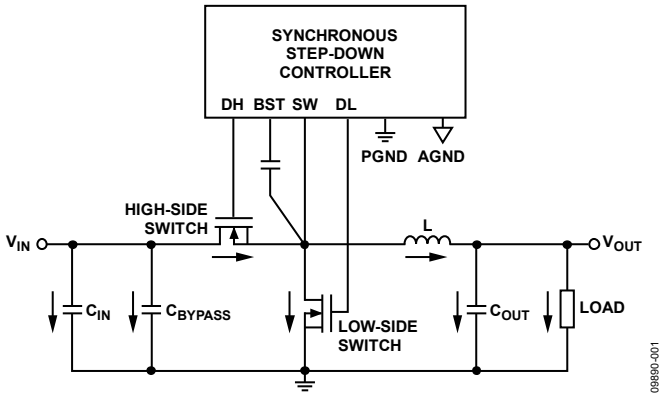



*图1. 典型开关调节器(显示交流和直流电流路径)*

诸如DH、DL、BST和SW之类的开关电流路径离开控制器后需妥善安排，避免产生过大寄生电感。这些线路承载的高δI/δt交流开关脉冲电流可能达到3 A以上并持续数纳秒。高电流环路必须很小，以尽可能降低输出响铃振荡，并且避免拾取额外的噪声。

低值、低幅度信号路径，如补偿和反馈器件等，对噪声很敏感。应让这些路径远离开关节点和电源器件，以免注入干扰噪声。

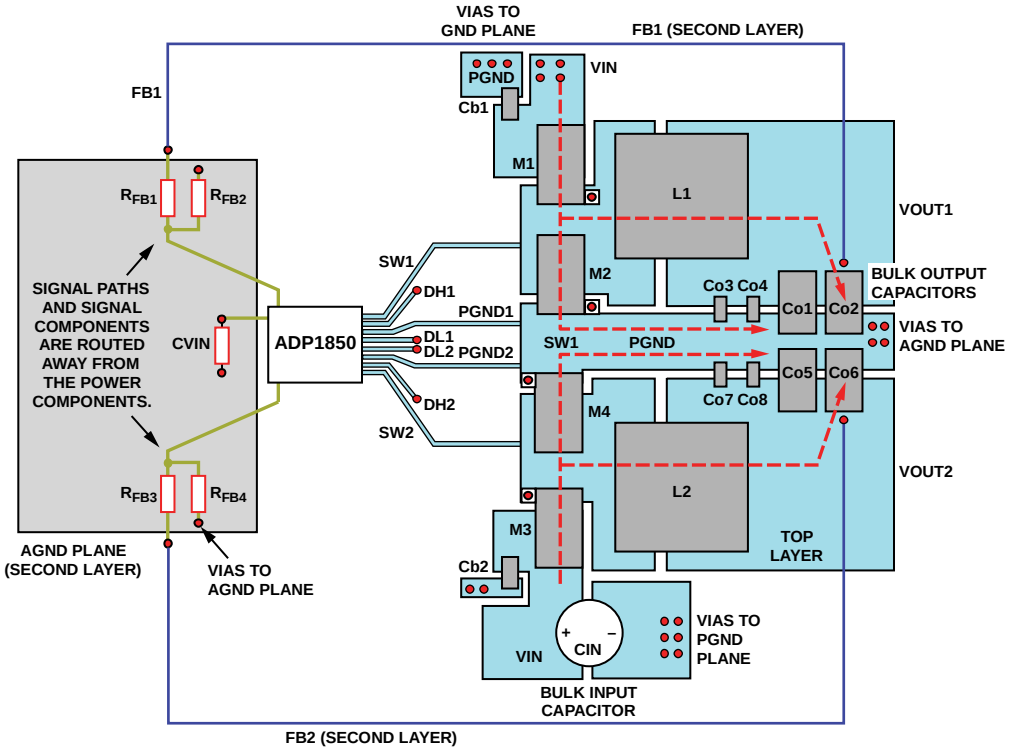
## 布局物理规划

PCB物理规划(floor plan)非常重要，必须使电流环路面积最小，并且合理安排电源器件，使得电流顺畅流动，避免尖角和窄小的路径。这将有助于减小寄生电容和电感，从而消除接地反弹。图2所示为采用开关控制器ADP1850的双路输出降压转换器的PCB布局。请注意，电源器件的布局将电流环路面积和寄生电感降至最小。虚线表示高电流路径。同步和异步控制器均可以使用这一物理规划技术。在异步控制器设计中，肖特基二极管取代低端开关。

## 电源器件：MOSFET和电容(输入、旁路和输出)

顶部和底部电源开关处的电流波形是一个具有非常高δI/δt的脉冲。因此，连接各开关的路径应尽可能短，以尽量降低控制器拾取的噪声和电感环路传输的噪声。在PCB一侧上使用一对DPAK或SO-8封装的FET时，最好沿相反方向旋转这两个FET，使得开关节点位于该对FET的一侧，并利用合适的陶瓷旁路电容将高端漏电流旁路到低端源。务必将旁路电容尽可能靠近MOSFET放置(参见图2)，以尽量减小穿过FET和电容的环路周围的电感。

输入旁路电容和输入大电容的放置对于控制接地反弹至关重要。输出滤波器电容的负端连接应尽可能靠近低端MOSFET的源，这有助于减小引起接地反弹的环路电感。图2中的Cb1和Cb2是陶瓷旁路电容，这些电容的推荐值范围是1 μF至22 μF。对于高电流应用，应额外并联一个较大值的滤波器电容，如图2的CIN所示。




NOTES
1. LAYER 1: SIGNAL AND HIGH CURRENT PATHS.
2. LAYER 2: AGND PLANE.
3. LAYER 3 AND 4: PGND PLANES. M1 AND M2 ARE SUPERSO8 PACKAGES HIGH-SIDE AND LOW-SIDE MOSFETs FOR REGULATOR 1, RESPECTIVELY. SIMILARLY, M3 AND M4 ARE FOR REGULATOR 2. Co1 TO Co8 ARE OUTPUT CAPACITORS. CIN IS THE INPUT BULK CAPACITOR. Cb1 AND Cb2 ARE BYPASS MULTILAYER CERAMIC CAPACITORS (MLCC).

09890-002

*图2. 采用ADP1850控制器的双路输出降压转换器的PCB布局*

## 散热考虑和接地层

在重载条件下，功率MOSFET、电感和大电容的等效串联电阻(ESR)会产生大量的热。为了有效散热，图2的示例在这些电源器件下面放置了大面积的铜。

多层PCB的散热效果好于2层PCB。为了提高散热和导电性能，应在标准1盎司铜层上使用2盎司厚度的铜。多个PGND层通过过孔连在一起也会有帮助。图3显示一个4层PCB设计的顶层、第三层和第四层上均分布有PGND层。

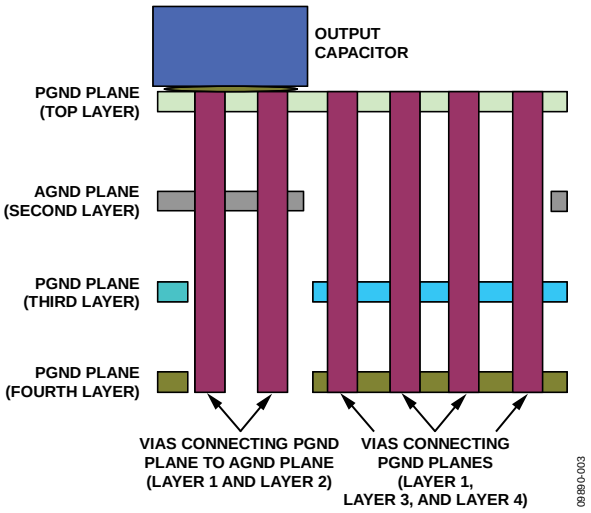



*图3. 截面图：连接PGND层以改善散热*

这种多接地层方法能够隔离对噪声敏感的信号。如图2所示，补偿器件、软启动电容、偏置输入旁路电容和输出反馈分压器电阻的负端全都连接到AGND层。请勿直接将任何高电流或高δI/δt路径连接到隔离AGND层。AGND是一个安静的接地层，其中没有大电流流过。

所有电源器件(如低端开关、旁路电容、输入和输出电容等)的负端连接到PGND层，该层承载高电流。

GND层内的压降可能相当大，以至于影响输出精度。通过一条宽走线将AGND层连接到输出电容的负端(参见图4)，可以显著改善输出精度和负载调节。

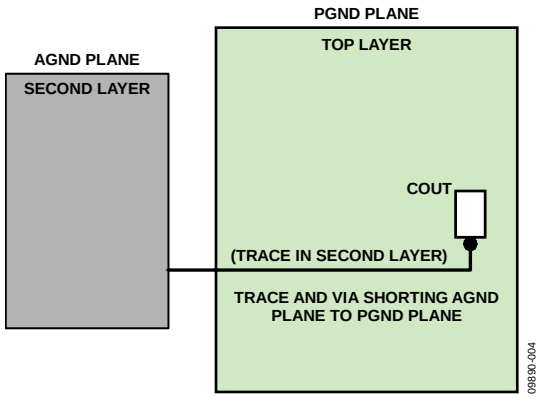



*图4. AGND层到PGND层的连接*

AGND层一路扩展到输出电容，AGND层和PGND层在输出电容的负端连接到过孔。

图2显示了另一种连接AGND和PGND层的技术，AGND层通过输出大电容负端附近的过孔连接到PGND层。图3显示了PCB上某个位置的截面，AGND层和PGND层通过输出大电容负端附近的过孔相连。

## 电流检测路径

为了避免干扰噪声引起精度下降，电流模式开关调节器的电流检测路径布局必须妥当。双通道应用尤其要更加重视，消除任何通道间串扰。

双通道降压控制器ADP1850将低端MOSFET的导通电阻RDS(ON)用作控制环路架构的一部分。此架构在SWx与PGNDx引脚之间检测流经低端MOSFET的电流。一个通道中的地电流噪声可能会耦合到相邻通道中。因此，务必使SWx和PGNDx走线尽可能短，并将其放在靠近MOSFET的地方，以便精确检测电流。到SWx和PGNDx节点的连接务必采用开尔文检测技术，如图2和图5所示。注意，相应的PGNDx走线连接到低端MOSFET的源。不要随意将PGND层连接到PGNDx引脚。

相比之下，对于ADP1829等双通道电压模式控制器，PGND1和PGND2引脚则是直接通过过孔连接到PGND层。

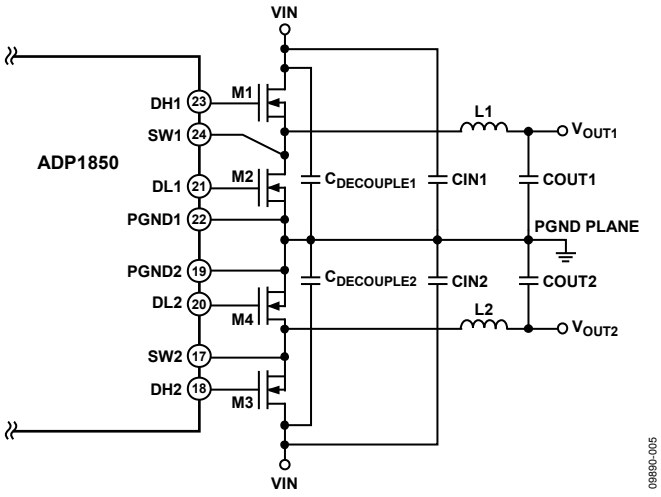



*图5. 两个通道的接地技术*

## 反馈和限流检测路径

反馈(FB)和限流(ILIM)引脚是低信号电平输入，因此，它们对容性和感性噪声干扰敏感。FB和ILIM走线应避免靠近高δI/δt走线。注意不要让走线形成环路，导致不良电感增加。在ILIM和PGND引脚之间增加一个小MLCC去耦电容(如22 pF)，有助于对噪声进行进一步滤波。

## 开关节点

在开关调节器电路中，开关(SW)节点是噪声最高的地方，因为它承载着很大的交流和直流电压/电流。此SW节点需要较大面积的铜来尽可能降低阻性压降。将MOSFET和电感彼此靠近放在铜层上，可以使串联电阻和电感最小。

对电磁干扰、开关节点噪声和响铃振荡更敏感的应用可以使用一个小缓冲器。缓冲器由电阻和电容串联而成(参见图6中的$R_{SNUB}$和$C_{SNUB}$)，放在SW节点与PGND层之间，可以降低SW节点上的响铃振荡和电磁干扰。注意，增加缓冲器可能会使整体效率略微下降0.2%到0.4%。

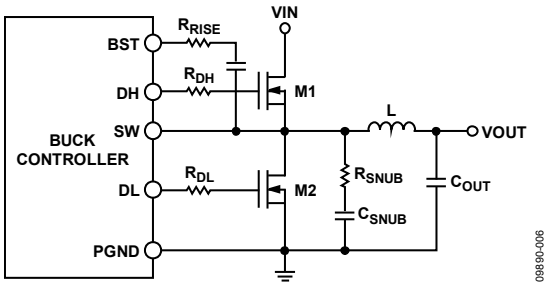



*图6. 缓冲器和栅极电阻电阻*

## 栅极驱动器路径

栅极驱动走线(DH和DL)也要处理高δI/δt，往往会产生响铃振荡和过冲。这些走线应尽可能短。最好直接布线，避免使用馈通过孔。如果必须使用过孔，则每条走线应使用两个过孔，以降低峰值电流密度和寄生电感。

在DH或DL引脚上串联一个小电阻(约2 Ω至4 Ω)可以减慢栅极驱动，从而也能降低栅极噪声和过冲。另外，BST与SW引脚之间也可以连接一个电阻(参见图6)。在布局期间用0 Ω栅极电阻保留空间，可以提高日后进行评估的灵活性。增加的栅极电阻会延长栅极电荷上升和下降时间，导致MOSFET的开关功率损耗提高。

## 总结

了解电流路径、其敏感性以及适当的器件放置，是消除PCB布局设计噪声问题的关键。ADI公司的所有电源器件评估板都采用上述布局布线指导原则来实现最佳性能。评估板文件UG-204和UG-205详细说明了ADP1850相关的布局布线情况。

注意，所有开关电源都具有相同的元件和相似的电流路径敏感性。因此，以针对电流模式降压调节器的ADP1850为例说明的指导原则同样适用于电压模式和/或升压开关调节器的布局布线。

©2011 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN09890sc-0-8/11(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 高速差分ADC驱动器设计考虑

作者：John Ardizzoni　Jonathan Pearson

## 简介

多数现代高性能ADC都利用差分输入来抑制共模噪声及干扰，将动态范围提高2倍，并通过平衡信号提高总体性能。尽管带差分输入的ADC可以接受单端输入信号，但在输入差分信号时，ADC的性能才能达到最佳状态。ADC驱动器—通常设计用于提供此类信号的电路—执行多种重要功能，包括幅度缩放、单端-差分转换、缓冲、共模失调调整、滤波等。自AD8138推出以来，差分ADC驱动器已成为数据采集系统中必不可少的信号调理元件。

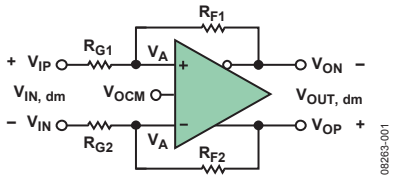



*图 1. 差分放大器*

图1所示为一种基本的全差分电压反馈ADC驱动器。可见，其与传统的运算放大器反馈电路存在两点差异。差分ADC驱动器多一个输出引脚($V_{ON}$)和输入引脚($V_{OCM}$)。将信号接入带差分输入端的ADC时，这些引脚可带来极大的灵活性。

差分ADC驱动器产生的不是单端输出信号，而是在$V_{OP}$和$V_{ON}$之间以$V_{OCM}$为参考产生平衡差分输出信号。(P表示正极，N表示负极。)输入端$V_{OCM}$用于控制输出共模电压。只要输入与输出处于各自限度之内，输出共模电压一定等于应用于$V_{OCM}$输入端的电压。负反馈和高开环增益会使$V_{A+}$和$V_{A-}$两个放大器输入引脚处的电压实际上相等。

出于下文讨论需要，在此先明确一些定义。如果输入平衡信号，$V_{IP}$和$V_{IN}$以共同基准电压为参照，其名义幅度相等、相位相反。当输入单端信号时，一个输入端电压固定，另一输入端则因其而变化。两种情况下，输入信号均定义为$V_{IP} - V_{IN}$。

差模输入电压 $V_{IN, dm}$以及共模输入电压 $V_{IN, cm}$分别由等式1和等式2定义。

$$V_{IN,\,dm} = V_{IP} - V_{IN} \tag{1}$$

$$V_{IN,\,cm} = \frac{_{IP} + V_{IN}}{2} \qquad V \qquad ) \quad 2 \quad ($$

对于平衡输入信号，该共模定义一目了然，但对单端输入信号同样有效。

输出电压同样有差模和共模两种，分别由等式3和等式4定义。

$$V_{OUT,\,dm} = V_{OP} - V_{ON} \tag{3}$$

$$V_{OUT,\,cm} = \frac{_{OP} + V_{ON}}{2} \qquad V \tag{4}$$

请注意实际输出共模电压$V_{OUT, cm}$与$V_{OCM}$输入引脚之差，后者用于确定输出共模电平。

分析差分ADC驱动器比分析传统运算放大器要复杂得多。为了简化代数式，不妨定义两个反馈因子β1和β2，如等式5和等式6所示。

$$\beta_1 = \frac{R_{G1}}{_{F} + R_{G1}} \qquad R \tag{5}$$

$$\beta_2 = \frac{R_{G2}}{_{F2} + R_{G2}} \qquad R \tag{6}$$

Rev. 0
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700　www.analog.com/cn
Fax: 781.461.3113
©2009 Analog Devices, Inc. All rights reserved.

在多数ADC驱动应用中，$\beta_1 = \beta_2$，但以$V_{IP}$、$V_{IN}$、$V_{OCM}$、$\beta_1$和$\beta_2$为因子，$V_{OUT,dm}$的一般闭环等式可用于了解β失配是如何影响性能的。等式7所示$V_{OUT,dm}$等式包括放大器有限频率依赖性，开环电压增益A(s)。

$$V_{OUT,dm}=\left[\frac{2}{\beta_1+\beta_2}\right]\left[\frac{V_{OCM}(\beta_1-\beta_2)+V_{IP}(1-\beta_1)-V_{IN}(1-\beta_2)}{1+\frac{2}{A(s)(\beta_1+\beta_2)}}\right] \quad (7)$$

当β1 ≠ β2时，差分输出电压取决于$V_{OCM}$，这种结果并不理想，因为它会在差分输出中产生失调和过量噪声。电压反馈结构的增益带宽积为常数。有趣的是，增益带宽积中的增益为两个反馈因子平均值的倒数。

当$\beta_1 = \beta_2 \equiv \beta$时，等式7可简化为8。

$$\frac{V_{OUT,dm}}{V_{IN,dm}}=\left[\frac{R_F}{R_G}\right]\left[\frac{1}{1+\frac{1}{A(s)(\beta)}}\right] \quad (8)$$

这个等式更为眼熟；当$A(s) \to \infty$时，理想闭环增益简化为$R_F/R_G$。增益带宽积同样眼熟，噪声增益等于1/β，与传统运算放大器一样。

匹配反馈因子差分ADC驱动器的理想闭环增益如等式9所示。

$$A_v=\frac{V_{OUT,dm}}{V_{IN,dm}}=\frac{R_F}{R_G} \quad (9)$$

作为差分ADC驱动器的重要性能指标之一的输出平衡包括两个部分：幅度平衡和相位平衡。幅度平衡是衡量两个输出在幅度上的匹配程度的一项指标；在理想放大器中，二者精确匹配。输出相位平衡这项指标旨在衡量两个输出的相位差离180°的距离。输出幅度或输出相位若存在失衡，结果会在输出中产生不良共模成分。输出平衡误差(等式10)为差分输入信号产生的输出共模电压与同一输入信号产生的输出差模电压之对数比，单位为分贝。

$$\text{输出平衡误差}=20\log_{10}\left[\frac{\Delta V_{OUT,cm}}{\Delta V_{out,dm}}\right] \quad (10)$$

内部共模反馈环路迫使$V_{OUT,cm}$等于应用于$V_{OCM}$输入的电压，结果产生良好的输出平衡。

## 将输入引脚端接至ADC驱动器

ADC驱动器通常用在处理高速信号的系统中。距离超过信号波长一小部分的器件必须通过阻抗受控的电气传输线相连，以防止损失信号完整性。当传输线两端均以其特性阻抗端接时，可获得最佳性能。驱动器一般置于ADC附近，因此两者中间不需要受控阻抗连接；然而，鉴于至ADC驱动器输入端的输入信号连接较长，必须使用一个受控阻抗连接，并按适当电阻进行端接。

ADC驱动器的输入电阻，无论属于差分还是单端性质，都必须大于或等于目标端电阻，以便添加一个端电阻$R_T$与放大器输入端并联，以获得所需电阻。在此处考虑的各示例中，所有ADC驱动器均采用平衡反馈比设计，如图2所示。

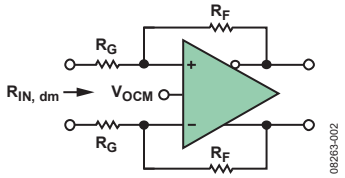



*图 2. 差分放大器输入阻抗*

由于负反馈使放大器两个输入端之间的电压变成零，因此，两个输入端为虚联接，差分输入电阻$R_{IN}$仅为$2 \times R_G$。为了匹配传输线电阻$R_L$，将电阻$R_T$(通过等式11计算得出)置于差分输入上。图3所示为典型电阻$R_F = R_G = 200\ \Omega$，目标$R_{L,dm} = 100\ \Omega$ 且 $R_T = 133\ \Omega$。

$$R_T=\frac{1}{\frac{1}{R_L}-\frac{1}{R_{IN}}} \quad (10)$$

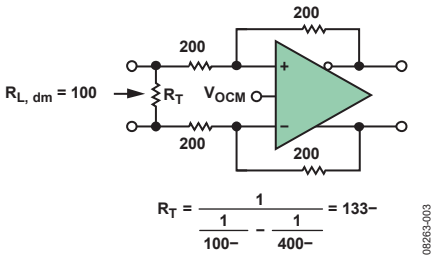



*图3. 匹配 100 Ω 线路*

端接单端输入要麻烦许多。图4展示了ADC驱动器在单端输入及差分输出下的工作方式。

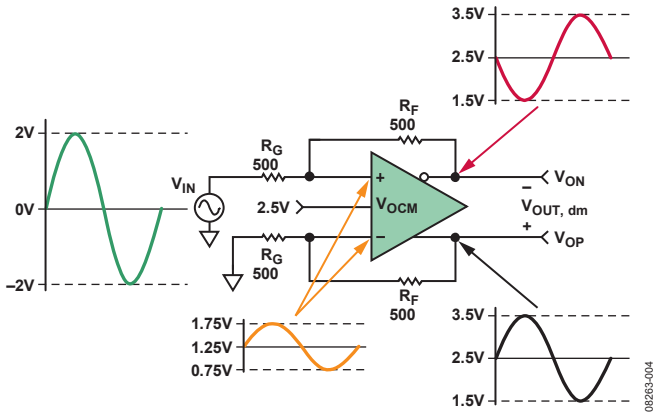



图4. 至ADC驱动器的单端输入示例

虽然输入为单端性质，但$V_{IN,dm}$仍等于$V_{IN}$。由于电阻$R_F$和$R_G$相等且平衡，故为单位增益，且差分输出$V_{OP} - V_{ON}$等于输入，即4 V p-p。$V_{OUT,cm}$等于$V_{OCM}$ = 2.5 V；来自低反馈电路的两个输入电压$V_{A+}$和$V_{A-}$等于 $V_{OP}/2$。

利用等式3和等式4，可得 $V_{OP} = V_{OCM} + V_{IN}/2$，±1 V同相摆动约2.5 V。$V_{ON} = V_{OCM} - V_{IN}/2$，±1 V反相摆动约2.5 V。因此，$V_{A+}$和$V_{A-}$在±0.5 V下约摆动1.25 V。必须由$V_{IN}$提供的电流的交流成分为(2 V – 0.5 V)/500 Ω = 3 mA，因此，必须匹配的接地电阻(从$V_{IN}$看过去)为667 Ω。

在各环路反馈因子相匹配时，确定单端输入电阻的通用公式为等式12，其中，$R_{IN,se}$为单端输入电阻。

$$R_{IN,se} = \left( \frac{R_G}{1 - \frac{R_F}{2 \times (R_G + R_F)}} \right) \quad (12)$$

这是计算端电阻的第一步。然而，需要注意的是，各放大器增益等式均基于阻抗输入源为零的假设。当存在由单端输入导致的失衡时，必须相匹配的有效源阻抗只会给上位电阻$R_G$增加电阻。为保持平衡，必须给低位电阻$R_G$增加电阻，但这又会影响增益。

虽然在端接单端信号时可采用闭式解，但迭代法更为常用。在以下示例中，迭代法的作用更加明显。

图5中，为保持低噪度，需要一个值为1的单端转差分增益，一个50 Ω的输入引脚以及值接近200 Ω的若干反馈电阻和增益电阻。

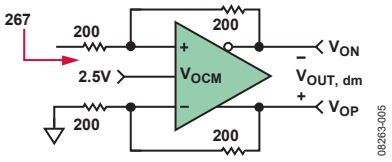



图5. 单端输入阻抗

利用等式12可算出单端输入电阻267 Ω。根据等式13可知，要使267 Ω的输入电阻降至50 Ω，并联电阻$R_T$应为61.5 Ω。

$$R_T = \frac{1}{\frac{1}{50\,\Omega} - \frac{1}{267\,\Omega}} = 61.5 \quad (13)$$

图6所示电路给出了源电阻和端电阻。当源电阻值为50 Ω时，源电阻的开路电压为2 V p-p。当源电阻端接于50 Ω时，输入电压降为1 V p-p，该值同时为单位增益驱动器的差分输出电压。

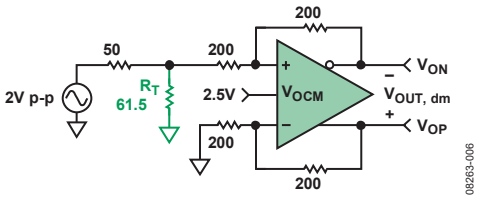



图6. 带源电阻和端电阻的单端电路

该电路给人的第一印象是完整，但仅上位电阻$R_G$就添加了一个61.5 Ω的未匹配电阻，与50 Ω电阻并联。这会改变增益及单端输入电阻，并使反馈因子失去匹配。对于小增益，输入电阻的变化较小，可暂时忽略不计，但反馈因子仍然必须得到匹配。最简单的方法是给低位电阻$R_G$增加电阻。图7所示为一种戴维宁等效电路，其中，前述并联组合充当源电阻。

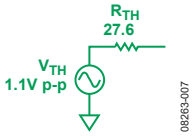



图7. 戴维宁等效输入源

在该替代电路中，向低位环路增加了一个27.6 Ω电阻$R_{TS}$，以便匹配环路反馈因子，如图8所示。

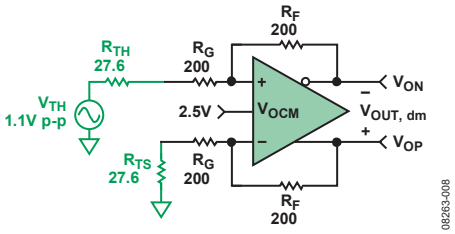



图8. 平衡单端端极电路

注意，1.1 V p-p的戴维宁电压大于1 V p-p的正确端接电压，各个增益电阻的值均增加27.6 Ω，结果降低了闭环增益。在大电阻(>1 kΩ)和小增益(1或2)的情况下，这种反向作用可相互抵消，但在小电阻或高增益情况下，并不能完全抵消。

现在，我们可以轻松地分析图8所示电路，其差分输出电压可利用等式14计算。

$$V_{OUT,dm} = 1.1\text{Vp-p}\left(\frac{200\Omega}{227.6\Omega}\right) = 0.97\text{Vp-p} \quad (14)$$

差分输出电压并未完全处于1 V p-p的理想水平，但可通过修改反馈电阻来独立对增益进行最终调整，如等式15所示。

$$R_F = 227.6\Omega\left(\frac{Desired\ V_{OUT,d}}{1.1\text{Vp-p}}\right) = 227.6\Omega\left(\frac{1.0\text{Vp-p}}{1.1\text{Vp-p}}\right) = 206.9\Omega \quad (15)$$

图9展示的是完整电路，采用标准1%电阻值。

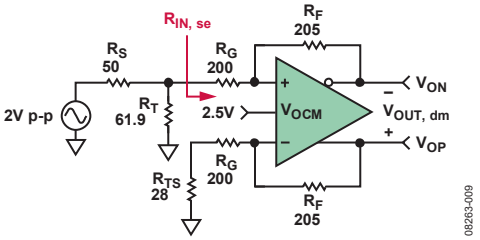



*图9. 完整单端端极电路*

参照图9，因$R_F$和$R_G$两个电阻发生变化，驱动器的单端输入电阻$R_{IN,se}$也随之变化。驱动器的增益电阻在上位环路中为200 Ω，下位环路中为200 Ω + 28 Ω = 228 Ω。在不同的增益电阻值下，计算RIN, se首先需要计算两个β值，分别如等式16和等式17所示。

$$\beta_1 = \frac{R_G}{R_F + R_G} = \frac{200\Omega}{405\Omega} = 0.494 \quad (16)$$

$$\beta_2 = \frac{R_G + R_{TS}}{R_F + R_G + R_{TS}} = \frac{228\Omega}{433\Omega} = 0.527 \quad (17)$$

输入电阻$R_{IN,se}$的计算方法如等式18所示。

$$R_{IN,\ N,} = \frac{R_G(\beta_1 + \beta_2)}{\beta_1(\beta_2 + 1)} = 271\Omega \quad (18)$$

其结果与最初算出的267 Ω差别不大，对$R_T$不会产生大的影响，因为$R_{IN,se}$与$R_T$属于并联关系。

如果需要更加精确的总增益，可使用更高精度的电阻和串联调整电阻。

当闭环增益为1或2时，此处所述方法迭代一次即可。对于更高增益，$R_{TS}$的值接近$R_G$，根据等式18算出的$R_{IN,se}$值与根据等式12求得的值之差将变大。这类情况需要进行多次迭代。

这个任务不算艰巨：最近发布的差分放大器计算器工具ADIsimDiffAmp™及ADI Diff Amp Calculator™可以承担所有繁重劳动，仅需数秒即可完成以上计算。有关更多信息，请参看www.analog.com/cn。

## 输入共模电压范围(ICMVR)

ICMVR规定可应用于差分放大器输入端而不影响正常运行的电压范围。这些输入端出现的电压可称为ICMV、$V_{acm}$或$V_{A\pm}$。但这一规格经常被误解。最常见的困难是确定差分放大器输入端的实际电压，尤其是相对于输入电压而言。在已知$V_{IN,cm}$、β和$V_{OCM}$三个变量的情况下，可算出放大器输入电压($V_{A\pm}$)，各β不等时使用通用等式19，各β相等时使用简化等式20。

$$V_{acm}\text{或}V_{A\pm} = \frac{2\beta_1\beta_2 V_{OCM} + V_{IP}\beta_1(1-\beta_1) + V_{IN}\beta_1(1-\beta_2)}{\beta_1 + \beta_2} \quad (19)$$

$$V_{acm}\text{或}V_{A\pm} = V_{IN,CM} + \beta(V_{OCM} - V_{ICM}) \quad (20)$$

注意，$V_A$始终是输入信号的缩小版本(如图4所示)。输入共模电压范围因放大器的类别而异。ADI高速差分ADC驱动器有两种输入级配置，分别为中心型和偏移型。中心型ADC驱动器的每个供电轨都有约1 V的裕量(因而称为中心型)。偏移型输入级增加了两个晶体管，以允许输入端尽量靠近$-V_S$轨摆动。图10所示为一种典型的差分放大器的简化输入示意图(Q2和Q3)。

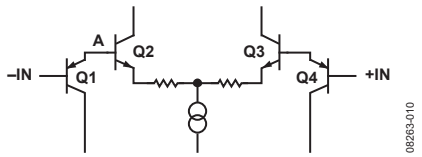



*图10. 简化版差分放大器(偏移型ICMVR)*

偏移型输入结构允许差分放大器处理双极性输入信号，即使放大器由单电源驱动也是如此，特别适合采用地电压或地电压以下输入的单电源应用。输入端增加的PNP晶体管(Q1和Q4)将输入向差分对偏移一个晶体管$V_{be}$。例如，若–IN应用电压为–0.3 V，则A点为0.7 V，使差分对可以正常运行。若无PNP(中心型输入级)，A点–0.3 V的电压会使NPN差分对发生反向偏置，并中断正常运行。

**表1. 高速ADC驱动器规格**

| ADC驱动器 | | | | 电源电压(V) | | | | | | | | 偏离供电轨的输出摆幅(V) | $I_{SUPPLY}$ (mA) |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | ICMVR | | | | $V_{OCM}$ | | | | | |
| 产品型号 | 带宽 (MHz) | 压摆率 (V/µs) | 噪声 (nV) | ±5 V | +5 V | +3.3 V | +3 V | ±5 V | +5 V | +3.3 V | +3 V | | |
| AD8132 | 350 | 1200 | 8 | −4.7至+3 | 0.3至3 | 0.3至1.3 | 0.3至1 | ±3.6 | 1至3.7 | N/A | 0.3至1 | ±1 | 12 |
| AD8137 | 76 | 450 | 8.25 | −4至+4 | 1 to 4 | 1至2.3 | 1至2 | ±4 | 1至4 | 1至2.3 | 1至2 | 轨到轨 | 3.2 |
| AD8138 | 320 | 1150 | 5 | −4.7至+3.4 | 0.3至3.2 | N/A | N/A | ±3.8 | 1至3.8 | N/A | N/A | ±1.4 | 20 |
| AD8139 | 410 | 800 | 2.25 | −4至+4 | 1至4 | N/A | N/A | ±3.8 | 1至3.8 | N/A | N/A | 轨到轨 | 25 |
| ADA4927-1/ ADA4927-2 | 2300 | 5000 | 1.4 | −3.5至+3.5 | 1.3至3.7 | N/A | N/A | ±3.5 | 1.5至3.5 | N/A | N/A | ±1.2 | 20 |
| ADA4932-1/ ADA4932-2 | 1000 | 2800 | 3.6 | −4.8至+3.2 | 0.2至3.2 | N/A | N/A | ±3.8 | 1.2至3.2 | N/A | N/A | ±1 | 9 |
| ADA4937-1/ ADA4937-2 | 1900 | 6000 | 2.2 | N/A | 0.3至3 | 0.3至1.2 | N/A | N/A | 1.2至3.8 | 1.2至2.1 | N/A | ±0.9 | 40 |
| ADA4938-1/ ADA4938-2 | 1000 | 4700 | 2.6 | −4.7至+3.4 | 0.3至3.4 | N/A | N/A | ±3.7 | 1.3至3.7 | N/A | N/A | ±1.2 | 37 |
| ADA4939-1/ ADA4939-2 | 1400 | 6800 | 2.3 | N/A | 1.1至3.9 | 0.9至2.4 | N/A | N/A | 1.3至3.5 | 1.3至1.9 | N/A | ±0.8 | 37 |

表1为ADI ADC驱动器的多种规格参数提供了快速参考，包括哪些驱动器采用了偏移型ICMVR配置，哪些未采用。

## 输入和输出耦合：交流或直流

需要交流耦合还是直流耦合可能对差分ADC驱动器的选择起着重要的影响。输入耦合和输出耦合两种情况有不同的考虑。

交流耦合输入级如图11所示。

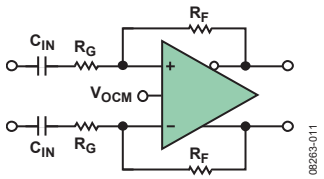



*图11. 交流耦合ADC驱动器*

对于带交流耦合输入端的差分转差分应用，出现在放大器输入引脚处的直流共模电压等于直流输出共模电压，因为输入电容阻断了直流反馈电流。同时，直流下的反馈因子相互匹配且完全与单位值相等。$V_{OCM}$及直流输入共模电压通常设置在电源电压一半附近。采用中心型输入共模范围的ADC驱动器在这类应用中工作良好，其输入共模电压接近标定范围的中心。

交流耦合单端转差分应用与差分输入应用相似，但在放大器输入引脚处有共模纹波，为输入信号的缩小分量。采用中心型输入共模范围的ADC驱动器将输入共模电压置于标定范围中心附近，为多数应用中的纹波提供了充足的裕量。

当输入耦合可选时，值得注意的是，带交流耦合输入的ADC驱动器的功耗低于带直流耦合输入的类似驱动器，因为两个反馈环路中都不存在直流共模电流。

交流耦合，当ADC要求输入共模电压与驱动器输出端的可用电压相差很大时，可对ADC驱动器的输出端进行交流耦合。当$V_{OCM}$设为电源电压一半附近时，驱动器的输出摆幅最大；在驱动要求极低输入共模电压的低电压ADC时，这会带来一个问题。一种简单的解决办法是将驱动器输出端与ADC输入端之间的连接交流耦合起来(如图12所示)，以消除ADC驱动器输出端的直流共模电压，并允许向ADC交流耦合一侧注入合适的共模电平。例如，驱动器可能采用5 V的单电源，其中$V_{OCM}$ = 2.5 V，ADC可能采用1.8 V的单电源，应用于ADC CMV的要求输入共模电压为0.9 V。

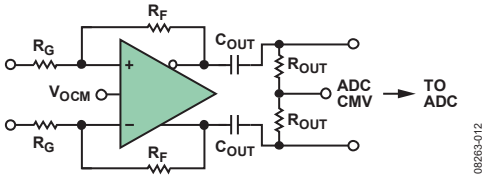



*图12. 带交流耦合输出的直流耦合输入*

采用偏移型输入共模范围的驱动器一般在采用单电源的直流耦合系统中可发挥出最大优势。其原因在于，输出共模电压通过反馈环路分压，其可变成分可能接近于接地电压(负电轨)。在单端输入情况下，受输入相关纹波影响，输入共模电压甚至更接近负电轨。

采用单端或差分输入和交流耦合或直流耦合的双电源系统，因裕量增加，在两类输入级中都可获得优异的性能。

表2总结了各种输入耦合及电源组合条件下最常见的ADC驱动器输入级类型。然而，此类选择不一定是最佳选择，每个系统都应进行具体分析。

**表2. 耦合及输入级选项**

| 输入耦合 | 输入信号 | 电源 | 输入类型 |
|---|---|---|---|
| 任意 | 任意 | 双电源 | 任一 |
| 交流 | 单端 | 单电源 | 中心型 |
| 直流 | 单端 | 单电源 | 偏移型 |
| 交流 | 差分 | 单电源 | 中心型 |
| 直流 | 差分 | 单电源 | 中心型 |

## 输出摆幅

为了实现ADC动态范围的最大化，输入信号需要达到ADC的满幅度输入范围。然而，驱动ADC应谨慎为上。如果ADC驱动过多，可能损坏输入端；如果驱动不足，又会损失分辨率。对ADC进行满幅度输入范围驱动并不表示放大器输出端必须全范围摆动。差分输出的重大优势之一在于，各输出端仅需摆动传统单端输出端的一半。驱动器输出端可以远离供电轨，结果可减少失真。但是，单端驱动器并非如此。驱动器的输出电压越接近供电轨，放大器的线性度越差，失真越明显。

对于要求毫伏输出电压的应用，请参见表1中带轨到轨输出端的ADC驱动器，其裕量从数毫伏到数百毫伏不等，具体取决于负载。

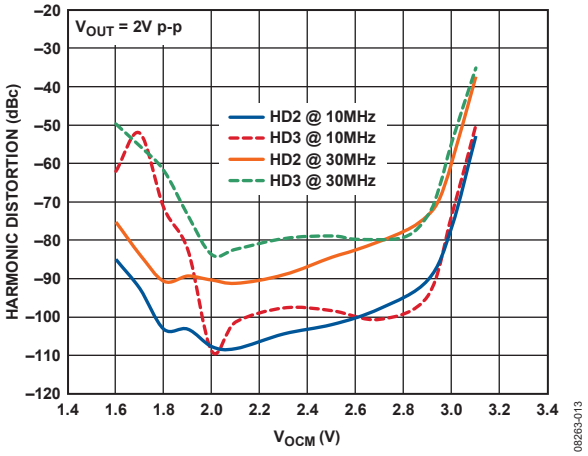



*图13. ADA4932在不同频率下的谐波失真与 $V_{OCM}$(电源电压：5V)*

图13展示的是ADA4932在不同频率下的谐波失真与$V_{OCM}$，其典型输出摆幅为1.2 V/轨。输入摆幅为$V_{OCM}$与信号$V_{PEAK}$之和(1 V)。注意，电压超过2.8 V时，失真会急剧增加(3.8 $V_{PEAK}$或比5 V供电轨低1.2)。低端时，失真在2.2 V(−1 $V_{PEAK}$)时，仍然很低。带宽和压摆率的讨论中会提到类似表现。

## 噪声

ADC的缺陷包括量化噪声、电噪声或随机噪声以及谐波失真。作为多数应用中的重要因素，噪声通常是宽带系统中最重要的性能指标。

所有ADC与生俱来都存在量化噪声，具体视位数而定(n)；通过增加位数(n)，可减少量化噪声。即使是理想的转换器也会产生量化噪声，因此，人们把量化噪声当作衡量随机噪声和谐波失真的一种基准。ADC驱动器产生的输出噪声应相当于或低于ADC的随机噪声和失真。接下来，我们首先考察ADC噪声及失真的特点，然后探讨如何基于性能来衡量ADC驱动器的噪声。

量化噪声产生的原因在于，ADC将分辨率无限的模拟信号量化成数量有限的离散数据。一个n位ADC拥有$2^n$个二进制级。各级之差代表着可以解析的最小差，称为量化级的最低有效位(LSB)，简称q。因此，一个量化级为转换器范围的$1/2^n$。如果可变电压由完美的n位ADC转换，然后变换回模拟信号，再从ADC的输入信号中减除，其余差则表现为噪声。其均方根值为

$$\text{均方根量化噪声} = \frac{q}{\sqrt{12}} = \frac{1}{2^n\sqrt{12}} \quad (21)$$

根据该等式，可以推导出n位ADC在其奈奎斯带宽下的信号-量化噪声比对数(dB)公式(等式22)；这是n位转换器可获得的最佳信噪比。

信号-量化噪声比(dB) = 6.02n + 1.76 dB (22)

ADC中的随机噪声由热噪声、散粒噪声和闪烁噪声构成，一般比量化噪声大。谐波失真是ADC中的非线性度导致的，会在输出中产生在谐波上与输入信号相关的不良信号。总谐波失真和噪声(THD + N)是ADC的一项重要性能指标，用于将电噪声和谐波失真与接近ADC满量程输入范围的模拟输入进行比较。电噪声在特定带宽范围内积分，该带宽范围包括需要考虑上次谐波的频率。在等式23中，总谐波失真THD包括前五个谐波失真成分，与噪声一起取均方根值。

THD+噪声=

$$\frac{\sqrt{[V_2(\text{rms})]^2+[V_3(\text{rms})]^2+[V_4(\text{rms})]^2+[V_5(\text{rms})]^2+[V_6(\text{rms})]^2+V_n{}^2}}{[V_1(\text{rms})]^2} \quad (23)$$

输入信号为$v_1$，前五个谐波失真之积为$v_2$至$v_6$，ADC电噪声为$v_n$。

THD +噪声的倒数，即信噪失真比(SINAD)通常表示为分贝(等式24)。

$$SINAD(dB) = 20\log_{10}\left[\frac{1}{THD+N}\right] \quad (24)$$

若以信号-量化噪声比(等式22)代替SINAD，则可定义转换器在信号-量化噪声比等于其SINAD(等式25)的情况下的有效位数(ENOB)。

$$SINAD(\text{dB}) = 6.02(ENOB) + 1.76\ \text{dB} \quad (25)$$

ENOB也可以SINAD为因子，如等式26所示。

$$ENOB = \frac{\text{SINAD(dB)-1.76 dB}}{6.02} \quad (26)$$

ENOB可用对ADC驱动器的噪声性能与ADC的噪声性能进行对比，以确定其是否适合驱动该ADC。图14所示为一种差分ADC噪声模型。

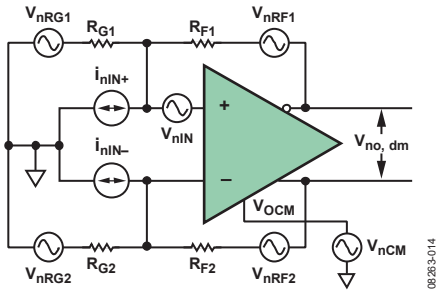



*图14. 差分ADC驱动器的噪声模型*

一般情况下且β1 = β2 ≡ β时，八个源对总输出噪声密度的各自贡献分别如27中相应等式所示。

$$v_{no,dm}\text{因}\,v_{nIN} = \frac{2v_{nIN}}{\beta_1+\beta_2} = \frac{v_{nIN}}{\beta},\ \beta_1=\beta_2=\beta$$

$$v_{no,dm}\text{因}\,v_{nCM} = \frac{2v_{nCM}(\beta_1-\beta_2)}{\beta_1+\beta_2} = 0,\ \beta_1=\beta_2=\beta$$

$$v_{no,dm}\text{因}\,i_{nIN+} = \frac{2i_{nIN+}(1-\beta_1)R_{G1}}{\beta_1+\beta_2} = (i_{nIN+})(R_{F1}),\ \beta_1=\beta_2=\beta$$

$$v_{no,dm}\text{因}\,i_{nIN-} = \frac{2i_{nIN-}(1-\beta_1)R_{G2}}{\beta_1+\beta_2} = (i_{nIN-})(R_{F2}),\ \beta_1=\beta_2=\beta$$

$$v_{no,dm}\text{因}\,v_{nRG1} = \frac{(2\sqrt{4kTR_{G1}})(1-\beta_1)}{\beta_1+\beta_2} = \sqrt{4kTR_{G1}}\left(\frac{R_{F1}}{R_{G1}}\right),\ \beta_1=\beta_2=\beta$$

$$v_{no,dm}\text{因}\,v_{nRG2} = \frac{(2\sqrt{4kTR_{G2}})(1-\beta_2)}{\beta_1+\beta_2} = \sqrt{4kTR_{G2}}\left(\frac{R_{F2}}{R_{G2}}\right),\ \beta_1=\beta_2=\beta$$

$$v_{no,dm}\text{因}\,v_{nRF1} = \frac{(2\beta_1\sqrt{4kTR_{F1}})}{\beta_1+\beta_2} = \sqrt{4kTR_{F1}},\ \beta_1=\beta_2=\beta$$

$$v_{no,dm}\text{因}\,v_{nRF2} = \frac{(2\beta_1\sqrt{4kTR_{F2}})}{\beta_1+\beta_2} = \sqrt{4kTR_{F2}},\ \beta_1=\beta_2=\beta \quad (27)$$

总输出噪声电压密度$v_{no,dm}$通过计算这些成分的均方根得出。将这些等式输入电子表格是计算总输出噪声电压密度的最佳方式。ADI Diff Amp Calculator可快速算出噪声、增益及差分ADC驱动器的其他有用信息，可从www.analog.com/cn下载。

现在，可以将ADC驱动器的噪声性能与ADC的ENOB进行比较。比如，增益为2的AD9445 ADC差分驱动器，采用5 V电源和2 V满量程输入；该驱动器处理直接耦合宽带信号，占用50 MHz (−3 dB)的带宽，以单极滤波器进行限制。根据关于各种条件下ENOB规格的数据表，在奈奎斯特带宽为50 MHz的情况下，ENOB = 12位。

ADA4939是一种高性能的宽带差分ADC驱动器，支持直接耦合。就噪声而言，它是驱动AD9445的上好选择。数据表推荐$R_F$ = 402 Ω且$R_G$ = 200 Ω，差分增益约为2。这种配置的总输出电压噪声密度为9.7 nV√Hz。

首先，计算系统的噪声带宽BN，指的是输出噪声功耗与实际滤波器相等的等效矩形低通滤波器的带宽，实际滤波器确定已知常数输入噪声功率频谱密度的系统带宽。对于单极点滤波器，$B_N$等于π/2乘以3 dB带宽所得乘积，如等式28所示。

$$B_N = \left(\frac{\pi}{2}\right)50\,\text{MHz} = 78.5\,\text{MHz} \quad (28)$$

接下来，计算噪声密度在系统带宽均方根下的积分，以求出输出均方根噪声(等式29)。

$$v_{no,dm}\,(\text{rms}) = (9.7\ \text{nV}/\sqrt{\text{Hz}})(\sqrt{78.5\ \text{MHz}})$$

$$= 86\ \mu\text{V rms} \quad (29)$$

根据假设，噪声幅度应呈高斯分布；因引，利用峰峰值噪声(大约在99.7%的时间中，噪声电压会在这些限值之间摆动)的常见±3σ限值，峰峰值输出噪声计算方法如下所示：

$$v_{no,dm}\,(\text{p-p}) \approx 6(86\ \mu\text{V rms}) = 516\ \mu\text{V p-p} \quad (30)$$

现在，我们来比较一下驱动器的峰峰值输出噪声与AD9445 LSB的1 LSB，比较的基础是ENOB为12位，且满量程输入范围为2V，如等式31所示。

$$\text{单}LSB = 2\ \text{V}/2^{12} = 488\ \mu\text{V} \quad (31)$$

在12位ENOB下，驱动器产生的峰峰值输出噪声类似于ADC的LSB；因此，从噪声角度来看，该驱动器是本应用的最佳选择。最终决策必须基于对驱动器及ADC组合的构建和测试。

## 电源电压

考虑电源电压和电流是缩小ADC驱动器选择范围的简便方式。表1简要总结了ADC驱动器在各种电源电压下的性能，可供参考。电源电压会影响带宽、信号摆幅及ICMVR。选择差分放大器时，需要衡量各项参数和折衷事项，这是非常重要的。

另一项重要规格参数是电源抑制(PSR)。电源引脚在作为放大器输入端方面所起的作用往往被忽视。电源线存在的任何噪声或者耦合到电源线中的噪声都可能破坏输出信号。

例如，在ADA4937-1上加上50 mV p-p、50 MHz噪声的电源。其50 MHz电源抑制为−70 dB。这就意味着，在放大器输出端，电源线上的噪声将降至16 μV左右。在带1 V满量程输入的16位系统中，1 LSB为15.3 μV；因此，来自电源线的噪声会覆盖1个LSB。

为了改善这种情况，可增加串联SMT铁氧体磁珠L1和L2，以及分流旁路电容C1和C2(见图15)。

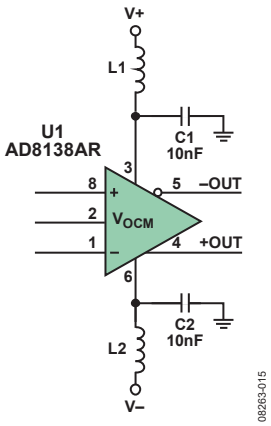



*图15. 电源旁路*

50 MHz下，铁氧体磁珠的阻抗为60 Ω，10 nF (0.01 μF)电容的阻抗为0.32 Ω。这两个元件构成的衰减器可提供45.5 dB的衰减(见等式32)。

$$\text{除法器衰减} = 20\log\left(\frac{0.32}{0.32+60}\right) = -45.5\ \text{dB} \quad (32)$$

除法器衰减与−70 dB的电源抑制一起可产生约115 dB的抑制性能。结果使噪声降至约90 nV p-p，远远低于1 LSB。

## 谐波失真

频域上低的谐波失真对窄带和宽带系统都非常重要。驱动器中的非线性度会在放大器输出端产生单频谐波失真及多频交调失真产物。

分析噪声一例中用到的方法可以用来分析谐波失真，比较ADA4939的谐波失真与AD9445 12位ENOB在2V满量程输出下的1个LSB。噪声分析中，一个ENOB LSB为488 μV。

ADA4939参数表中的失真数据是增益为2时，在不同频率下比较2次和3次谐波得出的结果。表3所示为在增益为2且差分输出摆幅为2 V p-p时的谐波失真数据。

**表3. ADA4939的二次及三次谐波失真**

| 参数 | 谐波失真(dBc) |
|---|---|
| HD2 @ 10 MHz | −102 |
| HD2 @ 70 MHz | −83 |
| HD2 @ 100 MHz | −77 |
| HD3 @ 10 MHz | −101 |
| HD3 @ 70 MHz | −97 |
| HD3 @ 100 MHz | −91 |

数据显示，谐波失真随频率而增加，且在目标带宽(50 MHz)下，HD2表现比HD3差。谐波失真产物的频率高于目标频率，因此，可通过限制系统频带来降低其幅度。如果系统在50 MHz下采用“砖墙式”滤波器，则只需考虑高于25 MHz的频率，因为该滤波器消除了频率更高的全部谐波。然而，系统的最高带宽设为50 MHz，因为所用滤波器可能无法充分抑制谐波，失真产物可能以杂散信号进入信号带宽。图16展示了当输出为2 V p-p时，ADA4939在不同电源电压下的谐波失真与频率的关系。

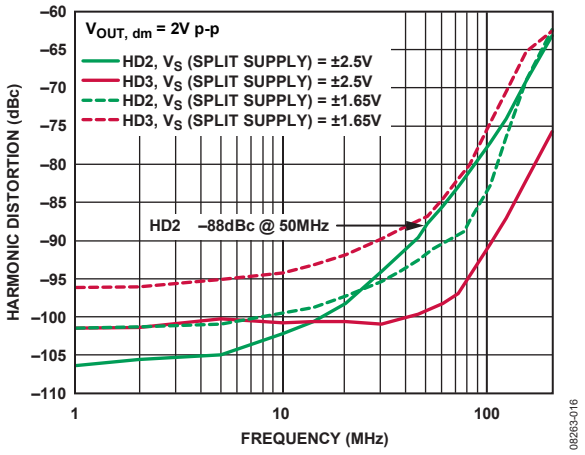



*图16. 谐波失真与频率的关系*

相对于2 V p-p的输入信号，50 MHz下的HD2约为−88 dBc。为了比较谐波失真与1 ENOB LSB，必须将该电平转换成电压，如等式33所示。

$$HD2=(2\text{Vp-p})(10^{\frac{-88}{20}}) \approx 80\,\mu\text{V p-p} \quad (33)$$

失真产物仅为80 μV p-p，相当于1 ENOB LSB的16%。因此，从失真角度来看，ADA4939是AD9445 ADC驱动器的良好选择。

由于ADC驱动器属于负反馈放大器，其输出失真取决于放大器电路中的环路增益量。负反馈放大器的内部开环失真下降1/(1 + LG)，其中，LG表示可用环路增益。

放大器的输入(误差电压)乘以一较大正向电压增益A(s)，然后通过反馈因子β，反馈到输入端，在此调整输出以减少误差。因此，这类放大器的环路增益为A(s) × β；随着环路增益(A(s)、β，或者两者兼而有之)的减少，谐波失真会增加。积分器之类的电压反馈放大器设计用于在直流及低频下产生大A(s)，然后在指定高频处朝着单位1呈1/f滚降。随着A(s)的滚降，环路增益会减小，失真会增加。可见，谐波失真为A(s)的倒数。

电流反馈放大器可将误差电流用作反馈信号。误差电流乘以一较大正向跨阻T(s)，将电流转换成输出电压，然后通过反馈因子1/RF，将输出电压转换成反馈电流，以减少输入误差电流。因此，理想电流反馈放大器的环路增益为$T(s) \times (1/R_F) = T(s)/R_F$。与A(s)类似，T(s)具有较大的直流值，会随着频率增加滚降，结果减少环路增益、增加谐波失真。

环路增益同时与反馈因子$1/R_F$有直接关系。理想电流反馈放大器的环路增益并不取决于闭环电压增益，因此，谐波失真性能不会随着闭环增益的增加而下降。在现实电流反馈放大器中，环路增益在一定程度上取决于闭环增益，但依赖程度远低于电压反馈放大器。这样，对于要求高闭环增益和低失真的应用来说，电流反馈放大器(如ADA4927)优于电压反馈放大器。

图17展示了在闭环增益增加时，ADA4927失真性能的情况。

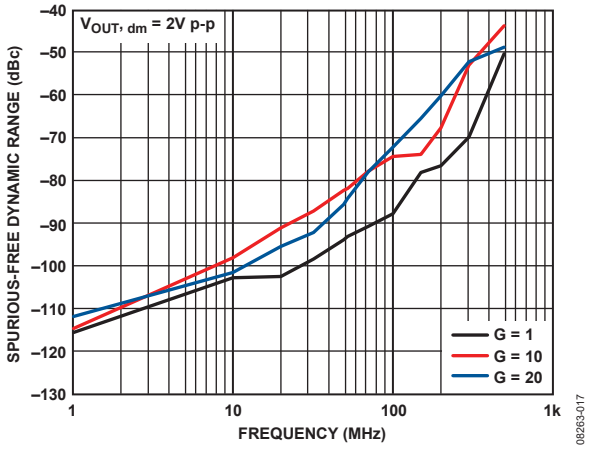



*图17. 失真与频率和增益的关系*

## 带宽和压摆率

带宽和压摆率在ADC驱动器应用中显得尤其重要。一般地，小信号带宽为器件的带宽，而压摆率则旨在衡量放大器输出端在大信号摆幅下的最大变化率。

与ENOB类似，有效可用带宽(EUBW)描述的是带宽。许多ADC驱动器和运算放大器都声称具有很宽的带宽，但并非全部带宽都能派上用场。例如，−3 dB带宽是常规的带宽衡量方式，但并不表示全部−3 dB带宽都是可用的。−3 dB带宽的幅度和相位误差可以比实际的截止频率提前十倍出现。确定可用带宽的一个好办法是查阅数据手册中的失真图。

图18显示，为了使二次和三次谐波维持在大于−80 dBc的水平，则不能在高于60 MHz的频率下使用ADC驱动器。由于应用各不相同，应根据系统要求来选择带宽充足、失真性能良好的驱动器。

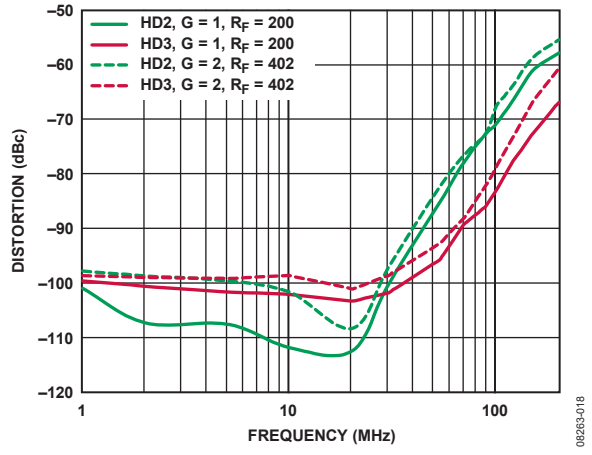



*图18. ADA4937 电流反馈ADC驱动器的失真曲线*

压摆率(一种大信号参数)指在不出现过量失真的情况下，放大器输出端可以对输入端进行跟踪的最大变化率。考虑压摆率下的正弦波输出。

$$V_O = V_P \sin 2\pi ft \tag{34}$$

零交越下，等式34的导数(变化率)即最大变化率为

$$\frac{dv}{dt}_{max} = 2\pi f v_p \tag{35}$$

其中：

*dv/dt max*为压摆率。

$V_P$为峰值电压。

*f*为全功率带宽(FPBW)。求解FPBW：

$$FPBW = \frac{\text{压摆率}}{2\pi Vp} \tag{36}$$

可见，在选择ADC驱动器时，必须考虑增益、带宽和压摆率(FPBW)，以确定放大器能否满足应用需要。

## 稳定性

差分ADC驱动器稳定性考虑与运算放大器相同。关键参数是相位裕量。特定放大器配置的相位裕量可根据数据手册得到，然而，在现实系统中，PCB电路板布局存在的寄生效应可能大幅降低相位裕量。

负电压反馈放大器的稳定性取决于其环路增益(即A(s) × β)的量和符号。差分ADC驱动器拥有两个反馈因子，因而比典型的运算放大器电路要复杂一些。环路增益出现在等式7和等式8的分母中。等式37描述的是未匹配反馈因子下的环路增益(β1 ≠ β2)。

$$\text{环路增益} = \frac{A(s)(\beta_1 + \beta_2)}{2} \tag{37}$$

当反馈因子不匹配时，有效反馈因子为两个反馈因子的平均值。当二者相匹配且定义为β时，环路增益可简化为A(s) × β。

为了使反馈放大器保持稳定，其环路增益不得等于−1或其等效值，即相移−180°时幅度为+1。对于电压反馈放大器而言，在其开环增益频率坐标图上，环路增益等于1(即0 dB)的点正好是A(s)的量等于反馈因子倒数的点。对于基本的放大器应用，反馈纯粹为电阻式，不会在反馈环路中产生相移。当反馈因子相匹配时，独立于反馈因子倒数1 + RF/RG的频率通常称为噪声增益。如果将以分贝为单位的不变噪声增益画在与开环增益A(s)相同的坐标图上，则两条曲线相交处的频率为环路增益为1或0 dB之处。A(s)在该频率下的相位与−180°之差被定义为相位裕量，为了运行稳定，其值必须大于或等于45°。

图19展示了ADA4932在$R_F/R_G$ = 1(噪声增益= 2)时的单位环路增益点和相位裕量。

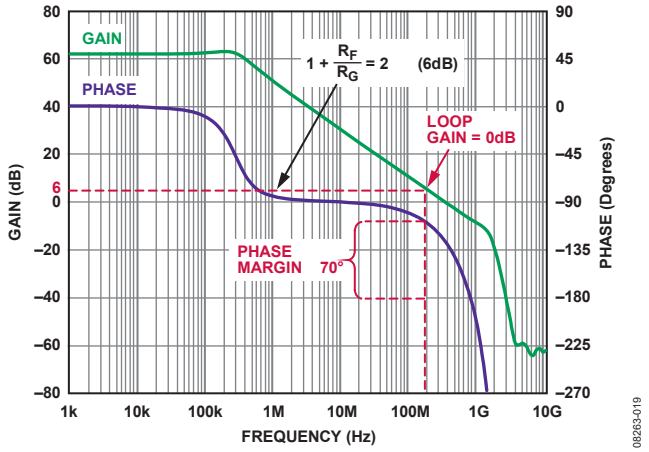



*图 19. ADA4932开环增益量和相位与频率的关系*

仔细考察图19可以发现，当噪声增益为1(各环路反馈100%)时，ADA4932的相位裕量约为50°。虽然使ADC驱动器运行于零增益下是不切实际的，但观察表明， ADA4932可在小数差分增益(例如，$R_F/R_G$ = 0.25，噪声增益= 1.25)下稳定运行。但并非所有差分ADC驱动器皆是如此。在所有ADC驱动器的数据手册中，可以看到最小稳定增益。

电流反馈ADC驱动器的相位裕量也可根据开环响应来确定。电流反馈放大器采用的不是正向增益A(s)，而是正向跨阻T(s)，以误差电流作为反馈信号。带匹配反馈电阻的电流反馈驱动器的环路增益为$T(s)/R_F$；因此，当$T(s) = R_F$时，电流反馈放大器环路增益量等于1(即0 dB)该点可在开环跨阻与相位关系坐标图上轻松找到，其方法与电压反馈放大器相同。对电阻与1 kΩ之比作图，可在对数坐标图上表示电阻。图20展示了ADA4927电流反馈差分ADC驱动器在$R_F$ = 300 Ω时的单位环路增益点和相位裕量。

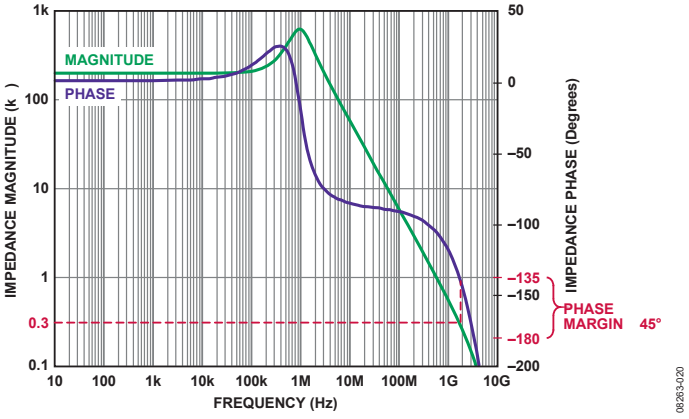



*图 20. ADA4927开环增益量和相位与频率的关系*

环路增益为0 dB，300 Ω反馈电阻水平线与跨阻量曲线相交于此。在此频率下，T(s)的相位约为−135°，结果得到+45°的相位裕量。相位裕量和稳定性与$R_F$同向升降。电流反馈放大器应始终采用相位裕量充裕的纯电阻式反馈。

## PCB电路板布局

在设计稳定的ADC驱动器时，这种思想必须在PCB电路板上实现。电路板中的寄生元件会导致部分相位裕量损失，因此必须将此类元件减至最少。需要特别注意的是负载电容、反馈环路电感和求和节点电容。各个此类寄生电抗都会增加反馈环路中的滞后相移，由此导致相位裕量减少。如果PCB电路板布局不当，设计本身即可损失20°或以上的相位裕量。

在电压反馈放大器的情况下，最好采用小的$R_F$，以减少因$R_F$与求和节点电容形成的极点导致的相移。如果需要采用大RF，可在各反馈电阻上利用小电容$C_F$来补偿该电容，小电容的值应使$R_FC_F$等于$R_G$与求和节点电容之积。

PCB电路板布局实际上是设计流程的最后步骤之一。不幸的是，尽管高速电路的性能高度依赖于布局，这同时也是设计过程中最易被忽视的步骤之一。设计不当的布局可能使性能大打折扣，甚至使其失去效用。虽然此处不可能涵盖高速PCB电路板设计的各个方面，但我们将讨论几个关键话题。

寄生元件会牺牲高速电路的性能。寄生电容由元件焊盘和布线与接地层或电源层形成。无接地层的长布线会形成寄生电感，可能在瞬态响应中导致振铃振荡或其他不稳定行为。寄生电容在放大器的求和节点处尤其危险，因为这种电容会在反馈响应中产生极点，导致峰化和不稳定。一种解决办法是确保在电路板各层中，ADC驱动器支架及反馈元件焊盘下方不存在接地层和电源层。

为了减少不良寄生电抗，应尽量缩短所有布线的距离。FR-4上的外层50 Ω PCB电路板布线会贡献大约2.8 pF/英寸和7 nH/英寸的寄生电感。而内层50 Ω布线则会使此类寄生电抗增加约30%。另需确保长的走线下方有接地层，以减少布线电感。尽量缩短布线距离、减小其大小有助于降低寄生电容和电感，有利于维持设计的完整性。

电流旁路是电路板布局中的另一个关键；务必确保电源旁路电容以及$V_{OCM}$旁路电容位于尽量接近放大器引脚之处。另外，在电源层采用多个旁路电容有助于确保为宽带噪声提供一个低阻抗路径。图21所示为一种典型的差分放大器示意图，其中含有电源旁路，输出端带一低通滤波器。该低通滤波器用于限制进入ADC的带宽和噪声。理想情况下，电源旁路电容回路应靠近负载回路；这样有助于减少接地层中的循环电流并提高ADC驱动器的性能(参见图22)。

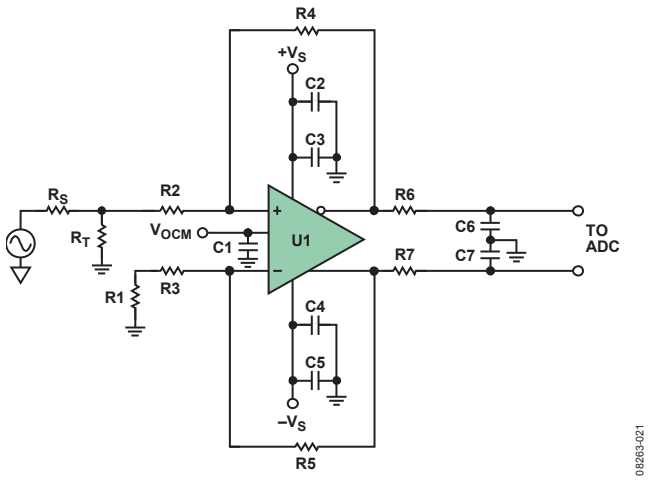



*图21. 带电源旁路和输出低通滤波器的ADC驱动器*

接地层以及广义接地是个内容丰富的复杂话题，超出了本应用笔记的范围。但是可考虑以下关键点(见图22)：

- 只在一个点上连接模拟地和数字地。这样可减少模拟电流和数字电流在接地层中的交互作用，避免其在系统中产生噪声。
- 将模拟电源接入模拟电源层，将数字电源接入数字电源层。
- 对于混合信号IC，将模拟地回路接入模拟接地层，将数字地回路接入数字接地层，并仅用一小连接将两个接地层相连，以减少数字电流与模拟电流的混合(见图23)。

有关高速印刷电路板(PCB)布局的详情，请参阅《高速印刷电路板布局实用指南》，网址：www.analog.com/cn。

本应用笔记所含信息旨在帮助大家思考在设计ADC驱动器时必须考虑的各种因素。深入了解差分放大器并从设计之初即注意ADC驱动器设计细节，有利于减少将来的问题，降低风险，确保设计的鲁棒性。

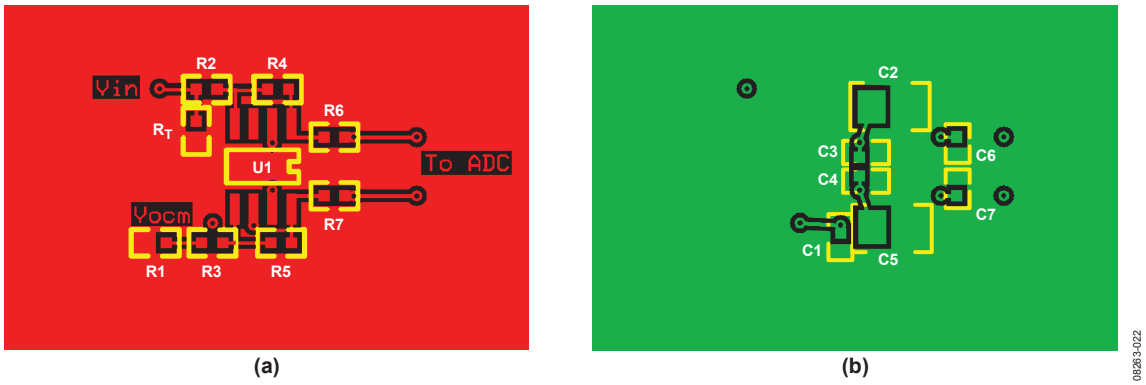



*图22. 元件侧面 (a)、电路侧面 (b)*

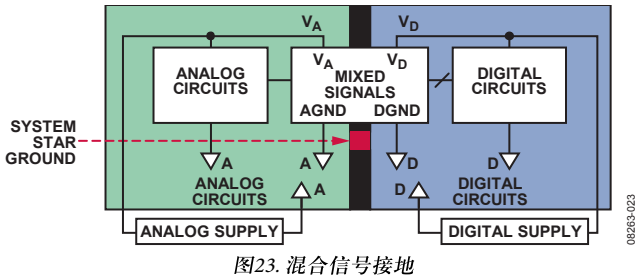



*图23. 混合信号接地*

©2009 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN08263sc-0-11/09(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 利用AD5370清零至任意电压

作者：Ken Kavanagh

## 简介

包括AD5370在内的许多DAC都拥有$\overline{\text{CLR}}$引脚，当置位时该引脚可将输出设置为预定义电压，通常是0 V。某些情况下，数模转换器(DAC)也可以设置为清零至中间电平。对于多通道DAC，常用的解决方案是将所需清零代码写入所有通道。此方法耗费时间较长，因此不太合适。AD5370包含软件捷径，可以大幅减少所需的写入量。本应用笔记说明的技术也可应用于表1中列出的DAC。

**表1. 可应用该技术的其他DAC**

| 产品型号 | 描述 |
|---|---|
| AD5360 | 16通道、16位电压输出DAC |
| AD5361 | 16通道、14位电压输出DAC |
| AD5362 | 8通道、16位电压输出DAC |
| AD5363 | 8通道、14位电压输出DAC |
| AD5371 | 40通道、14位电压输出DAC |
| AD5372 | 32通道、16位电压输出DAC |
| AD5373 | 32通道、14位电压输出DAC |

## 实现方式

AD5370的每个通道具有两个输入寄存器：X1A和X1B。写入任一寄存器时，根据M和C寄存器的内容执行校准计算。结果存储于X2A或X2B寄存器内。在典型应用中，仅使用X1A寄存器。这种情况下，可使用X2A寄存器(以及X2B寄存器)保持清零代码，必要时可将输出切换至清零代码。图1显示了这些寄存器的配置情况。MUX 1 (参见图1)决定数据写入寄存器X1A还是寄存器X1B，校准结果相应地存储于寄存器X2A或寄存器X2B内。每个通道的MUX1多路复用器由控制寄存器内的单一位控制。

载入DAC寄存器的值由MUX 2(参见图1)决定。用于每个通道的MUX 2可独立控制，从而可根据各通道，选择X2A或X2B寄存器用作DAC寄存器。也可使用单次写操作，在寄存器X2A与寄存器X2B之间切换所有通道，反之亦然。AD5370的40个通道排列成五组，每组八个通道。每组内各通道的MUX2由该器件在8位寄存器内的单一位独立控制。

### 去除输出毛刺

正常操作期间，每当写入DAC时，AD5370便会触发去抖电路。去抖电路确保在同一组内变化的所有DAC可在旧值与新值间平稳过渡。当MUX 2值变化时，去抖电路不会被触发；因此如果存在抖动问题，MUX 2值变化后，每组内应至少写入一个DAC。当用脉冲驱动$\overline{\text{LDAC}}$并更新输出时，该操作便触发去抖电路。

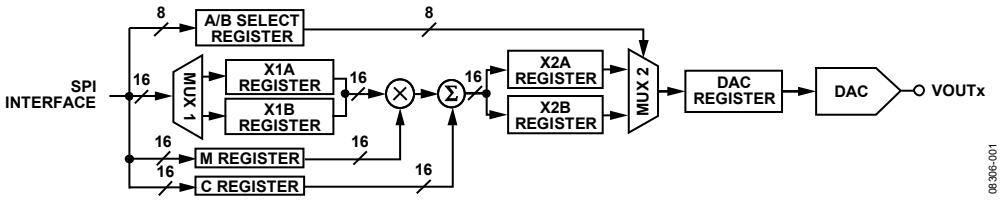



*图1. 单通道的功能框图*

## 示例

本示例假定输出被清零至1 V；AD5370的增益(M)、失调调整(C)和失调DAC (OFSx)寄存器处于默认值下；使用3 V基准电压。图2中的流程图显示初始化AD5370的程序，以及进入和退出清零模式的程序。利用该程序，可以将AD5370的所有40个通道设置为预定值，而使用的写操作远远少于通常所需的40次。

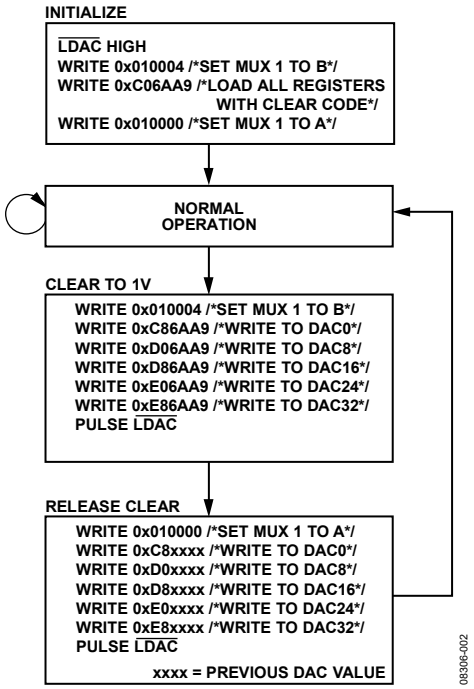



*图2. 清零功能流程图*

©2011 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN08306sc-0-7/11(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 用于ADI公司低失真引脚排列运算放大器的有源滤波器评估板

作者：John Ardizzoni

EVAL-FLTR-LD-1RZ有源滤波器评估板适用于ADI公司的低失真SOIC引脚排列运算放大器，其中包括下列高性能器件：AD8000、AD8099、AD8045、ADA4899和ADA4857。通过该有源滤波器评估板，可快速完成两极点、四极点或六极点Sallen-Key有源滤波器的原型设计。图1中的电路板原理图展示的是低通滤波器。通过交换滤波器电阻和电容的位置，可以将电路板从低通滤波器转换成高通滤波器。

该评估板同时支持有利于简化测试和集成的边缘安装型SMA连接器。

这款有源滤波器评估板为裸板，用户可轻松定制滤波器设计，其装配图如图2所示。所有元件均为0603封装尺寸，唯一的例外是大旁路电容，其封装尺寸为3216。

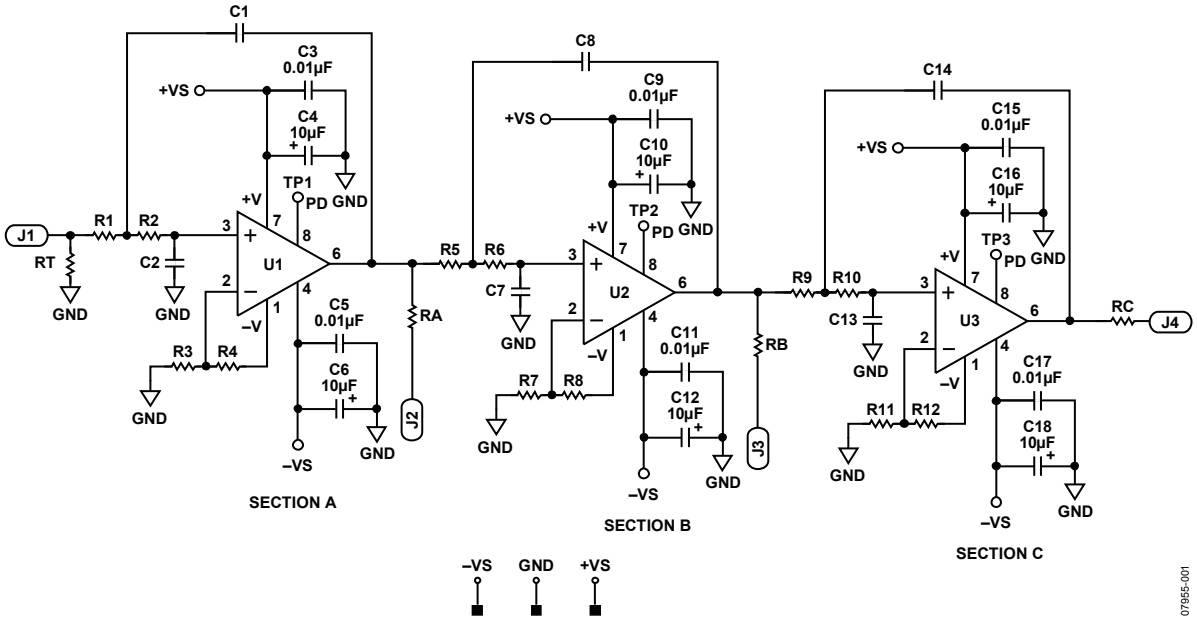



*图 1.有源滤波器评估板原理图*

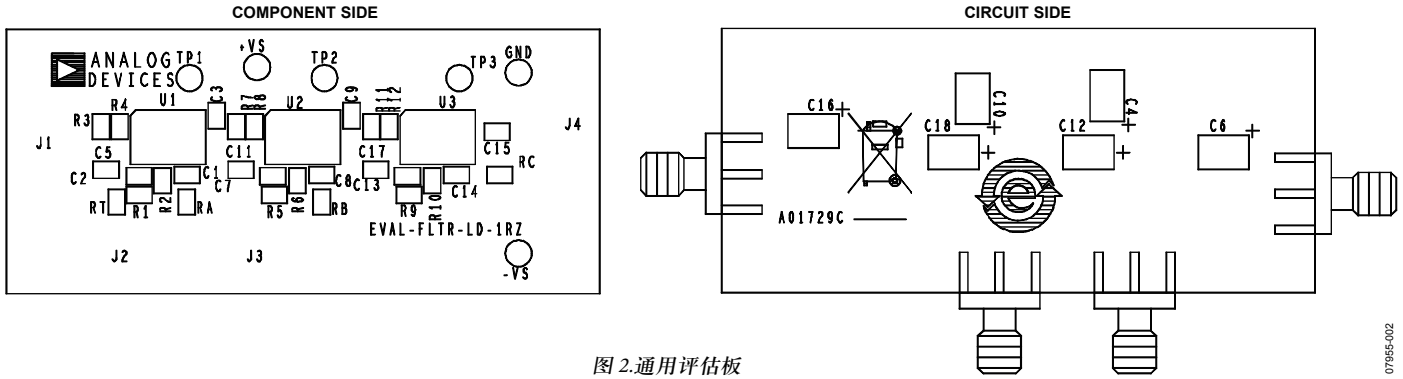



*图 2.通用评估板*

©2008 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN07955sc-0-12/08(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • 电话：781.329.4700 • 传真：781.461.3113 • 网址：www.analog.com

# 用于标准SOIC运算放大器的有源滤波器评估板

作者：John Ardizzoni

EVAL-FLTR-SO-1RZ有源滤波器评估板适用于标准引脚排列运算放大器。滤波器板可实现对二级、四极或六极低通或高通Sallen-Key有源滤波器进行快速原型设计。图1中的电路板原理图展示的是低通滤波器。通过交换滤波器电阻和电容的位置，可以将电路板从低通滤波器转换成高通滤波器。该评估板支持有利于简化测试和集成的边缘安装型SMA连接器。

这款有源滤波器评估板为裸板，用户可轻松定制滤波器设计，其装配图如图2所示。所有元件均为0603封装尺寸，唯一例外是大旁路电容，其封装尺寸为3216。

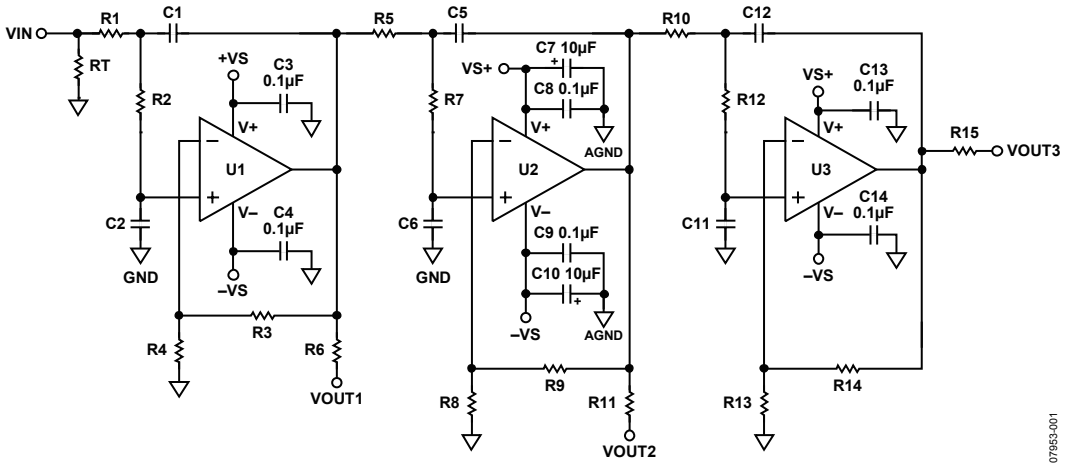



*图1. 有源滤波器评估板原理图*

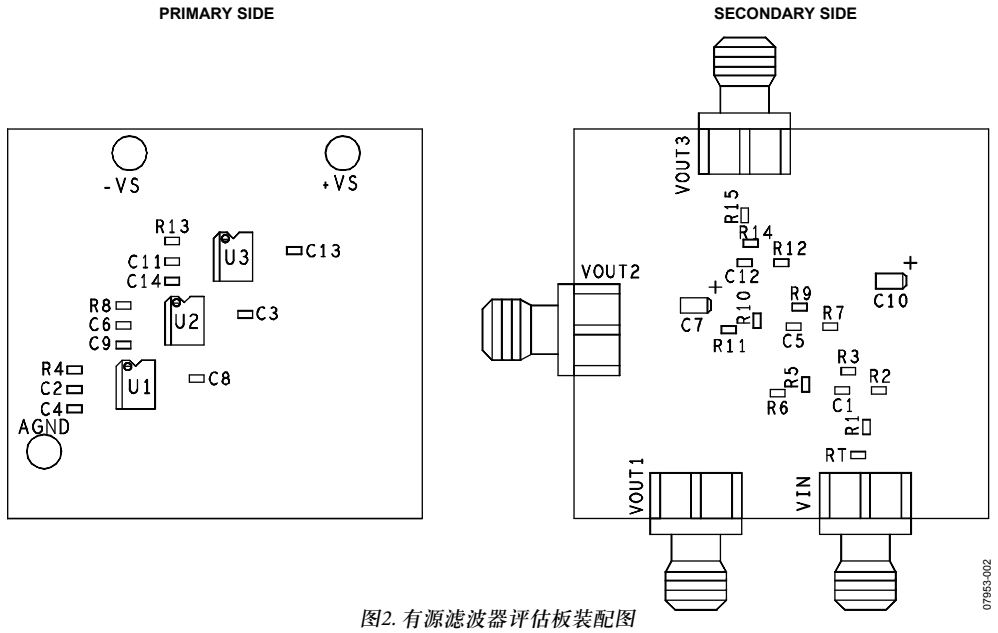



*图2. 有源滤波器评估板装配图*

©2008-2010 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN07953sc-0-8/10(A)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 用于差分放大器的有源滤波器评估板

作者：John Ardizzoni

EVAL-FLTR-DF-1RZ有源滤波器评估板设计用于ADI差分放大器。通过该滤波器评估板，可快速制作两极点或三极点多反馈有源滤波器的原型。图1中的电路板原理图展示的是低通滤波器。通过交换滤波器电阻和电容的位置，可以将电路板从低通滤波器转换成高通滤波器。

该评估板同时支持有利于简化测试和集成的边缘安装型SMA连接器。滤波器的输入端既可单端驱动也可差分驱动。

这款有源滤波器评估板为裸板，用户可轻松定制滤波器设计，其装配图如图2所示。所有元件均为0603封装尺寸，唯一的例外是大旁路电容，其封装尺寸为3216。

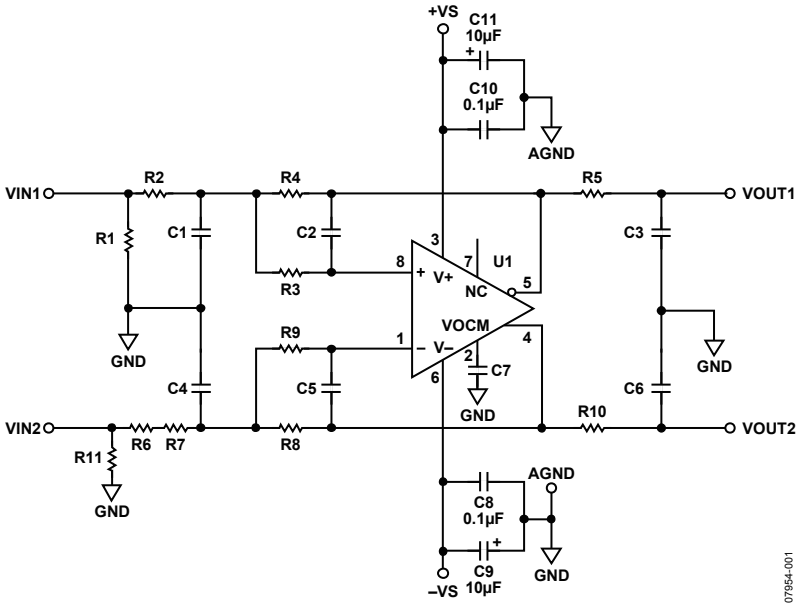



*图1.有源滤波器评估板原理图*

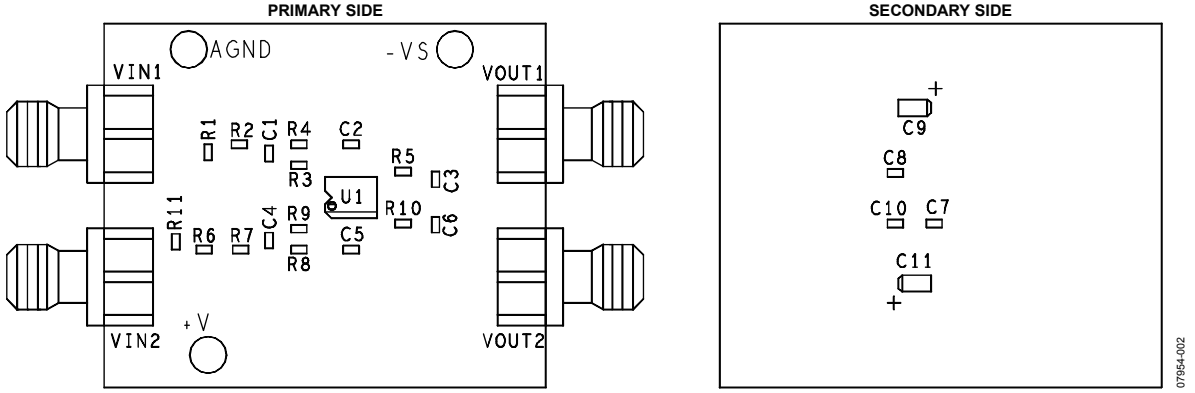



*图2. 有源滤波器评估板装配图*

©2008 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN07954sc-0-12/08(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 如何预测直接数字频率合成器(DDS)输出频谱中主相位截断杂散的频率和幅度

作者：Ken Gentile

## 简介

现代直接数字频率合成器(DDS)通常利用累加器和数字频率调谐字(FTW)在累加器输出端产生周期性的N位数字斜坡(见图1)。此数字斜坡可依据公式1定义DDS的输出频率($f_O$)，其中$f_S$为DDS采样速率(或系统时钟频率)。

$$f_O = f_S \times \frac{FTW}{2^N} \quad (1)$$

DDS给定时，组成FTW的位数(N)定义了$f_O$的最小可能变化，这发生在FTW值仅更改最低有效位(LSB)时。也就是说，FTW中的1 LSB变化定义了DDS的调谐分辨率。例如，N = 32的DDS的调谐分辨率高于N = 24的DDS。为了证实DDS的极佳调谐能力，以AD9912为例，N = 48产生的调谐分辨率为$1/2^{48}$(即1/281,474,976,710,656)。事实上，$f_S$ = 1 GHz时，AD9912产生的频率调谐分辨率约为3.6 μHz (0.0000036 Hz)。

若DDS的FTW为N位，细看图1可知，累加器输出端的位数(N)和角度转幅度模块输入端的位数(P)之间存在明显的差异，即P ≤ N。这种差异会导致DDS输出频谱中出现相位截断杂散。

知道给定DDS的P值对预测相位截断杂散非常重要。本应用笔记介绍了一种用于计算特定相位截断杂散的频率和幅度的方法，尤其适合给定FTW的主相位截断(PPT)。

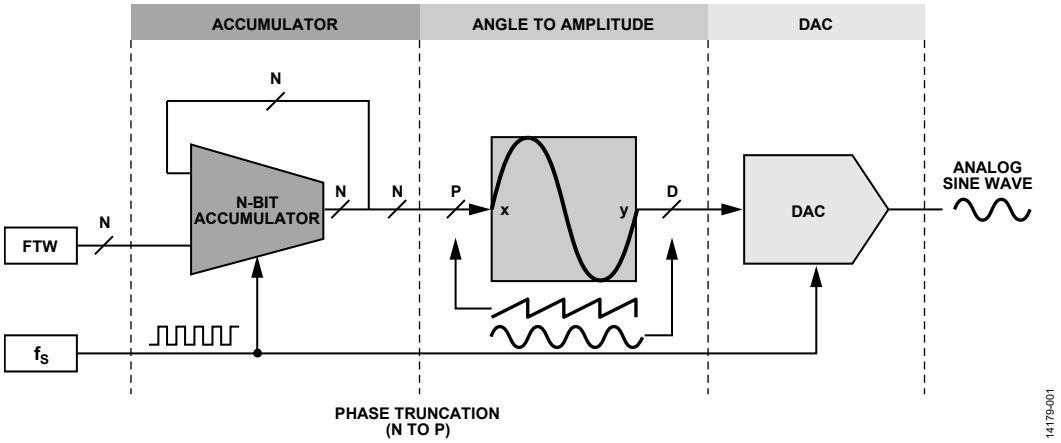



*图1. DDS功能框图*

## 相位截断

累加器和FTW组成DDS的频率控制元件。但是，除了频率控制元件外，DDS还具有将N位累加器输出从相位值转换为幅度值的角度转幅度模块。角度转幅度模块占据了DDS数字电路的很大一部分。因此，通过增大N来提高DDS的调谐分辨率会大幅增加角度转幅度模块所需的电路数。同样，将所有N位相位信息转换为幅度不太实际。如图1所示，实际DDS使用累加器位的子集进行相位幅度转换，即P最高有效位(MSB)。这种位截断会大幅减少角度转幅度模块所需的电路数。但代价是需要在DDS输出端引入可能的频谱伪像(具体而言就是相位截断杂散)。

## 相位截断杂散

根据定义，按P = N设计的DDS没有相位截断。因此，其输出频谱中没有相位截断杂散。但是在实际DDS中，P < N，这会产生相位截断。

有三类相位截断杂散：一阶、二阶和三阶。这几个分类源于DDS中相位幅度转换器和数模转换器(DAC)的级联组合的频谱特性。图2结合图形说明将傅里叶变换技术应用于角度转幅度模块(带P位相位输入)和呈现谐波失真的非理想DAC所产生的谱线。一般而言，频谱由$2^P$个频率构成，指数范围为0至$2^P - 1$，分类详情如表1。

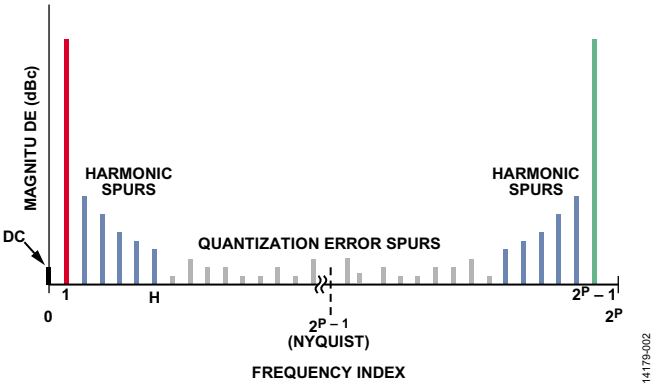



*图2. 角度转幅度模块和DAC的频谱特性*

## 主相位截断(PPT)杂散

每阶(一阶、二阶和三阶)的许多相位截断杂散可能在DDS的输出频谱中出现，具体取决于FTW的特定值。本应用笔记重点介绍最大的一阶杂散，即PPT杂散。

由于DDS输出是从相位采样生成波形的结果(即累加器输出)，因此DDS输出频谱遵循奈奎斯特采样理论的规则。输出频谱显示为两个完全相同的频谱，每个频谱跨越采样频率($f_S$)一半的频率范围。这两个频谱是彼此的镜像，反映奈奎斯特频率($f_S/2$)。同样，PPT杂散将其自身表示为两个杂散。一个PPT杂散出现在0 Hz和$f_S/2$之间，另一个作为其镜像出现在$f_S/2$和$f_S$之间。

请注意，尽管两个PPT杂散是最大的一阶相位截断杂散，但整体而言，这些杂散可能不是最大的相位截断杂散。由于相位截断杂散在DDS输出频谱中的分配机制，部分二阶相位截断杂散的幅度可能大于PPT杂散。

我们无法预测二阶或三阶相位截断杂散的幅度。二阶相位截断杂散幅度取决于DAC的谐波失真特性，这些特性因器件而异。三阶相位截断杂散幅度与量化误差相关，而量化误差基本上是随机的。

**表1. 图2中显示的频率分类**

| 索引 | 颜色 | 频率分类 |
|---|---|---|
| 0 | 黑色 | DC。 |
| 1 | 红色 | 基频或傅里叶频率。 |
| $2^P - 1$ | 绿色 | 一阶相位截断杂散(基波的奈奎斯特频率镜像)。 |
| 2 – H、$2^P - H$至$2^P - 2$ | 蓝色 | 二阶相位截断杂散。第一组指数构成DAC谐波杂散，第二组指数构成其镜像。 |
| H + 1至$2^P - H - 1$ | 灰色 | 三阶相位截断杂散。这些杂散构成与角度幅度转换器和DAC相关的量化杂散(及其镜像)。 |

## 最右侧的非零位

计算PPT杂散的幅度和频率位置需要知道以下参数：

- DDS采样速率($f_S$)
- 两个DDS参数：N和P
- FTW的特定值

对于给定应用，N和P固定，$f_S$通常为恒定值。相反，FTW完全可变，控制$f_O$的值(详见公式1)。FTW的值不仅控制DDS输出频谱中$f_O$的位置，而且控制相位截断杂散的位置。事实上，对于DDS输出频谱，给定FTW的最重要特性是以二进制形式表示时的尾随零数量。尾随零数量定义了重要参数L，即FTW最右侧非零位的位置。

FTW中的L位位置取决于FTW的特定值(切记，FTW的值依据所需DDS输出频率而变化，详见公式1)。这种依赖性非常大，因为任意给定FTW的L位位置决定相位截断杂散在DDS输出频谱中的分配方式。

对于任意给定FTW，图3演示了如何找到L的值。首先，将FTW转换为二进制。然后，将指数值分配给FTW位，MSB的起始指数值为1。图3为一个32位FTW的示例；因此，指数范围为1至32。L值是值为1的最后一位的指数(从MSB向LSB读)。图3中的FTW值为0x0036e580(十六进制)，因此，采用本协议时，此特定FTW的L的值为25。

给定FTW的L的值最为重要。首先，L决定相位截断杂散是否出现在DDS输出频谱中。若L ≤ P，则没有相位截断杂散。若L > P，则包括PPT杂散在内的相位截断杂散出现在DDS输出频谱中。其次，L和P的值可确定PPT杂散的幅度和频率(假定L > P)。

## PPT幅度

两个PPT杂散具有相同的幅度(见公式2)。 若已知特定FTW的值和给定DDS设计的P值，两个PPT杂散的幅度为：

$$PPT\ 幅度 = 20 \times \log_{10} \left| \frac{\sin\left(\frac{\pi}{2^L}\right)}{\sin\left(\frac{\pi(2^P - 1)}{2^L}\right)} \right| \quad (2)$$

其中，PPT幅度的值以dBc为单位： 与频率为$f_O$时主DDS输出信号的幅度相关的分贝。

请注意，公式2中的两个正弦函数的参数以弧度为单位。例如，假设DDS的P = 19，FTW如图3所示，则使用公式2得到的PPT杂散幅度为−114.38789 dBc。

## PPT频率

需要多个步骤才能确定这两个PPT频率。第一步，得出K的值，FTW的十进制值截断为L位。要得到K，在FTW为二进制形式的情况下，消除尾随0并将得到的L位FTW转换为相应的十进制值。例如，图3中的FTW可得到K = 28,107(通过将二进制数字0000000000110110111001011转换为相应的十进制数字得出)。

使用K计算两个PPT杂散的频谱指数位置(R1和R2)，如下面的公式3和公式4所示：

$$R1 = (K \times (2^P - 1)) \text{ modulo } 2^L \quad (3)$$

$$R2 = (K \times (2^L - 2^P + 1)) \text{ modulo } 2^L \quad (4)$$

例如，在DDS的P = 19且FTW如图3所示的情况下，公式3中括号内的数字为14,736,134,709，公式4中括号内的数字为928,378,285,515。将$2^{25}$模数应用于这些值可得到

$R1$ = 5,739,061

$R2$ = 27,815,371

根据下面的公式5和公式6，使用R1和R2确定DDS输出频谱中的两个PPT频率位置($f_{PPT1}$和$f_{PPT2}$)。

$$f_{PPT1} = f_S \times \frac{R1}{2^L} \quad (5)$$

$$f_{PPT2} = f_S \times \frac{R2}{2^L} \quad (6)$$

例如，若$f_S$ = 250 MHz，FTW如图3所示，且R1和R2的值已在前面的例子中计算出，则两个PPT杂散频率如下：

$f_{PPT1}$ = 42.759336531162261962890625 MHz

$f_{PPT2}$ = 207.240663468837738037109375 MHz

MSB ----------► L LSB

| INDEX | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 29 | 30 | 31 | 32 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| FTW | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| HEX | 0 | | | | 0 | | | | 3 | | | | 6 | | | | e | | | | 5 | | | | 8 | | | | 0 | | | |

14179-003

*图3. FTW的L位*

## 结论

尽管本应用笔记介绍了一种相对简单的方式来预测两个PPT杂散的频率和幅度，但公式3和公式4可能引起计算问题。具体而言，括号内的数字由一个整数定义，可能非常大。

为了解释这些计算中较大整数引起的问题，试重新考虑AD9912，其中N = 48，P = 19。假定FTW为0x400000000001(十六进制)，即70,368,744,177,665(十进制)。在此例中，L = 48；因此，K的值与FTW相同。

现在考虑公式4中括号内的数字。$2^L - 2^P + 1$可得到以下值：

$$2^{48} - 2^{19} + 1 = 281,474,976,186,369$$

因此，由公式4中括号内的数字可得到

$$K \times (2^L - 2^P + 1) = 70,368,744,177,665 \times 281,474,976,186,369$$
$$= 19,807,040,591,672,948,094,687,248,385$$

以二进制形式表示此整数需要94位。大部分计算软件工具无法精确表示这种大小的整数。例如，在64位机器上运行的MATLAB将$K \times (2^L - 2^P + 1)$表示为浮点数：$1.980704059167295 \times 10^{28}$。对应的整数为19,807,040,591,672,950,000,000,000,000。此值与真实值偏差较大，因此得到的R2并不正确。

事实上，不仅大部分软件工具无法处理极大整数，而且大部分计算机内部的处理器芯片也无法处理极大整数。例如，一台带64位处理器的计算机无法处理94位整数。这个问题至关重要，因为计算R1和R2值需要极大整数计算，这超出了大部分计算机的能力。

除了正确表示公式3和公式4中括号内的数字，还需要计算括号内数字的2L模数。在前面的例子中，L = 48，这意味着模数达48位。大部分计算机不支持超过32位的模数计算。

总而言之，公式3和公式4产生的难题在使用软件工具实现PPT杂散计算时需要特别注意。用户必须将括号内的数字作为一个整数进行正确计算(无截断或四舍五入)，并且应在不损失精度的情况下正确处理模数计算。

尽管大部分软件工具和处理器无法直接处理极大整数，但也有例外。例如，软件工具Python本身支持极大整数计算。尽管MATLAB®本身无法处理极大整数，但支持极大整数计算的可变精度整数(VPI)工具箱可在MATLAB Central的Math Works网站上免费下载。

©2016 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN14179sc-0-2/16(0)

ANALOG DEVICES

AN-1387
应用笔记

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 应用ADA4177系列输入过压保护运算放大器的实际设计考虑

作者：Eric Modica和Michael Arkin

## 简介

ADI公司的精密和高速运算放大器产品线具有悠久的创新传统。有些创新旨在降低功耗，同时保持甚至改善速度和噪声性能；有些创新旨在通过降低失调、热漂移、电源抑制和共模电压变化来提高精度。

此外，最近的创新已经开始关注与放大器正常工作无关的环境因素。实例包括在放大器前端中集成电磁干扰(EMI)抑制和过压保护(OVP)特性。

抑制外部噪声源包括消除距离很近的开关器件或无线通信信号(来自WiFi、手持式无线电和手机等移动通信设备)的电磁与射频干扰的影响。EMI滤波元件的集成和规格已成为许多放大器设计的一个特性，ADI公司对此非常积极。

同样，保护运算放大器输入端免受高于正供电轨或低于负供电轨的电压影响也是这种创新的一个目标。

自1994年发布OPx91系列以来，ADI公司一直是OVP放大器市场的领军企业。OPx91是业界首款集成OVP的放大器，提供最高10 V保护，可防止电路在过压事件期间受到过大电流影响。2008年发布的ADA4091系列运算放大器将OVP性能水平提高到25 V。随后，2011年发布的ADA4096系列将OVP性能水平提高到32 V，这在如今仍然是集成保护的标准。

2014年，ADA4177系列(ADA4177-1、ADA4177-2、ADA4177-4)的发布首次将ADI集成OVP解决方案引入低噪声、精密运算放大器。它还给OVP解决方案增加一个额外特性，即在OVP事件期间防止输入电流提升正电压轨，另外还给增加了一个EMI滤波器。

ADA4177系列为运算放大器的鲁棒操作树立了新的标准。本应用笔记探讨ADA4177 OVP特性的应用，并就新OVP允许用户扩展保护范围，同时防止输入端过流并限制自热效应的方式提供指导。

## ADA4177限流与不限流

图1显示了一个用于测量ADA4177在过压事件期间的输入电流的测试电路。放大器配置为单位增益，在电源上下15 V范围内扫描正输入，同时测量输入偏置电流。

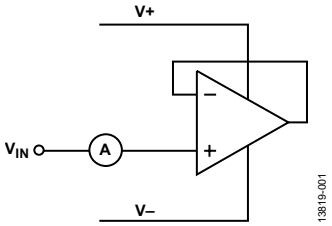



*图1. 过压限流测量电路*

图2显示了ADA4177和标准精密运算放大器的测量结果，用5 V电源进行测试。注意在20 V时，ADA4177输入电流是标准运算放大器的三分之一。如果用户想进一步限制输入电流，可以外加一个串联电阻。增加此电阻会提高系统的输入噪声(其等于电阻热噪声与放大器输入噪声的均方根和)。ADA4177噪声规格包括内部过压电路的贡献。

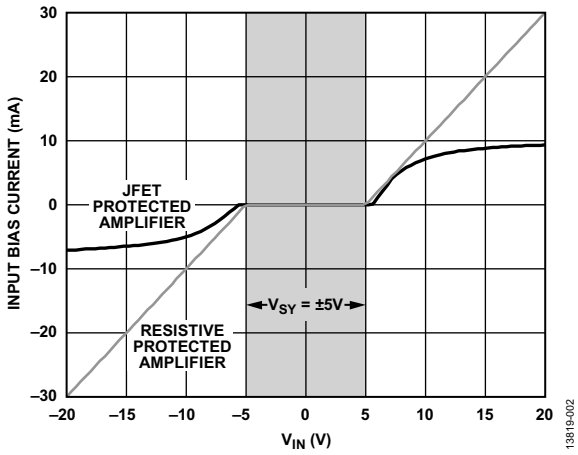



*图2. ADA4177输入限流与带500 Ω分立电阻的无保护运算放大器*

## 在过压事件期间保护电源

保护运算放大器输入端免受过压影响的一种常见方法，是将小信号或肖特基二极管连接在输入引脚与正负电源之间。图3显示了这种方法的原理图。肖特基二极管的导通电压为0.4 V，比小信号二极管低大约0.2 V。这种相对差异可在发生过压事件时防止运算放大器的内部ESD二极管导通。

增加$R_{OVP}$电阻可提供额外的限流能力，不过热噪声会提高。关于这种方案的详细分析及其局限性，参见技术文章“鲁棒的放大器提供集成过压保护”。

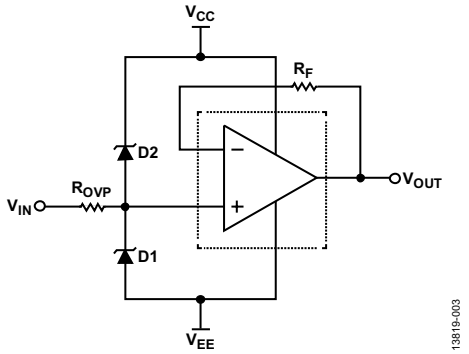



*图3. $R_{OVP}$、D1和D2提供输入过压保护*

这种方案的工作原理是将电流路由到运算放大器输入端以外的地方。然而，当电流被注入电源时，适当的解决方案便要取决于涉及到的应用和电路。如果电源为低压差(LDO)稳压器，$V_{CC}$和$V_{EE}$的设计很可能只能沿一个方向路由电流。图4显示了一个低压差稳压器的典型概念原理图，其中输出电压由下式确定：

$$V_{OUT} = V_{REF} \times \frac{R1 + R2}{R2}$$

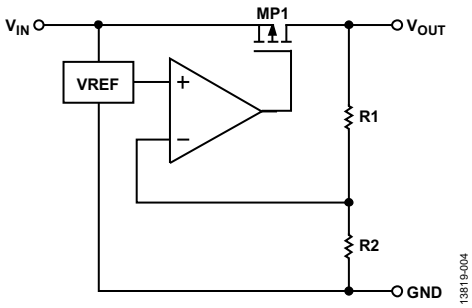



*图4. 低压差稳压器概念原理图*

MP1是一个串联PMOS调整管，设计用来提高电源可以流出的电流量。由此可推断，$V_{OUT}$不是设计用于吸收电流。因此，如果图3所示的过压保护将电流注入电源，该电流将经过R1和R2分压器，这会随着过压而线性提升电源。

如果过压发生在电源通电的情况下，电源电压可能会超过系统的目标工作电压。如果过压发生在系统关断的情况下，OVP电流可能会意外地让系统上电。ADA4177有内部电路可防止正过压提升电源。

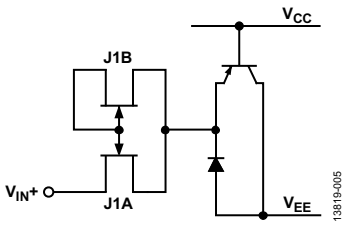



*图5. ADA4177输入保护概念原理图*

图5为ADA4177正输入端的概念原理图。如果$V_{IN}$超过$V_{CC}$，限流FET J1B就会使过压电流流入QP1的发射极。此电流由QP1的电流增益(或β)减小，使得过压电流路由至负电源，而不是正电源。

## 利用限流电阻扩展输入OVP保护范围并使OVP事件期间的自热效应最小

ADA4177输入端配有限流JFET。在过压或差分故障期间，这些JFET限制电流流入放大器，从而提高器件的鲁棒性和可靠性。然而，为使正常工作期间的输入噪声保持最小，这些FET必须很大。

与此相关的工程权衡结果是，限流可能不是低到能满足所有应用的需求。如图6所示，在10 V过压(OV)时，正输入端吸收大约7.5 mA电流。功耗($P_D$)计算如下：

$$P_D = 10\ V \times 7.5\ mA = 7.5\ mW$$

$\theta_{JA}$为158 W/°C，因而温度升幅约为12°C。如果ADA4177-4用在所有控制输入都可能受过压状况影响且时间不定的情况下，功耗可能会将结温快速提升到最大值150°C。

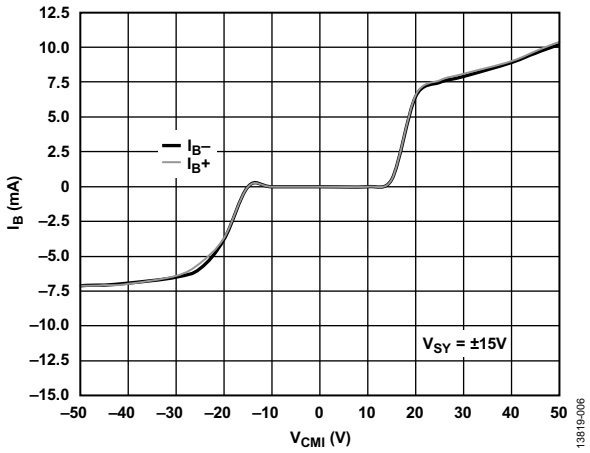



*图6. 正/负过压状况下的输入电流*

如果所有输入可能会同时经受长时间(>500 ms)过压，则输入端必须串联限流电阻。此电阻不仅能扩展器件的过压范围，还能分担过压期间的功率负荷。图7所示为ADA4177-4在32 V过压事件期间的功耗，一条曲线反映的是仅两个正输入端经受过压，另一条曲线反映的是所有四个正输入端同时经受过压。图7显示了两个/四个输入端经受32 V过压时ADA4177的功耗与附加输入串联电阻的关系。

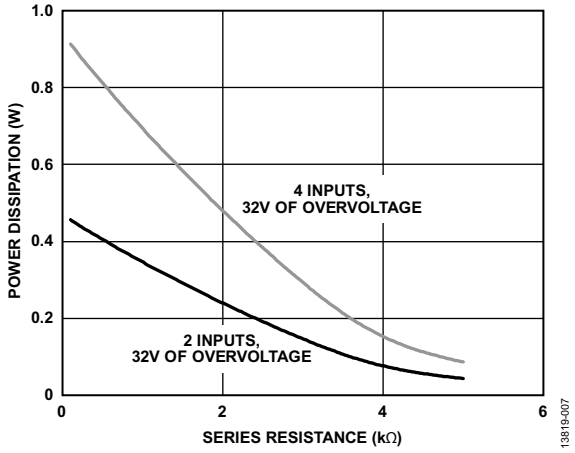



*图7. ADA4177-4在过压期间的功耗*

图8显示了ADA4177-4在相同过压事件期间的温度升幅，使用假设的$\theta_{JA}$ (158 W/°C)来计算芯片温度的升幅，其绘制方式与图7所示功耗相同。

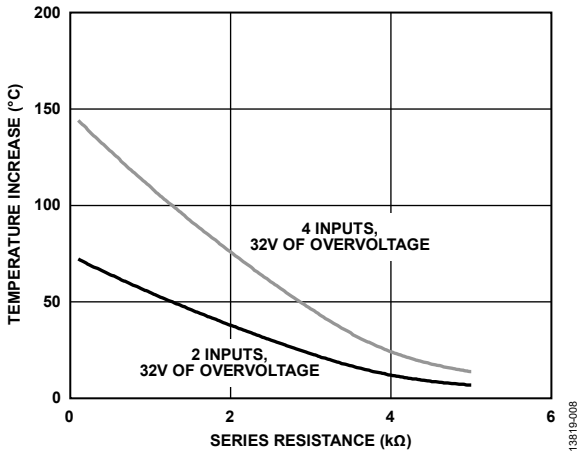



*图8. ADA4177-4在过压期间的温度升幅*

例如，将一个2 kΩ电阻与正输入端串联可使ADA4177在过压期间的功耗减半，而在正常工作期间，其仅给系统增加大约1 nV/√Hz的噪声。增加此电阻会限制过压期间的温度升幅。若没有此电阻，当所有四个输入端都经受过压时，温度上升可能达到大约150°C；若有该外部电阻，温度上升仅为大约75°C。类似地，若有两个输入端经受过压，在没有此电阻的情况下，温度上升可能达到大约70°C；在有该电阻的情况下，温度上升仅为大约40°C。

此外，过压保护范围也从32 V提高到50 V，因为外部电阻会分担一部分过压负荷。

## 参考文献

ADA4177-4产品页面和数据手册

ADA4177-2产品页面和数据手册

ADA4177-1产品页面和数据手册

Eric Modica和Michael Arkin，“鲁棒的放大器提供集成过压保护”，Analog Dialogue，46-02，2012年2月

## 修订历史

**2015年12月—修订版0：初始版**

©2015 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN13819sc-0-12/15(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 高电压D类放大器的输出电流监控

作者：Phillip Nanea和Paul Blanchard

## 简介

电路中的电流信息可提供有关电路状况的有用信息。电流监控电路广泛用于各种仪器仪表领域，以便实现保护、补偿和控制。电流监控的常见应用有电池监控系统、电机控制、过流保护和4 mA至20 mA系统。

电流监控在音频等商业应用中也很有用。此类应用之一是监控音频放大器输出到扬声器的电流，以便提供音质补偿和保护。

本应用笔记聚焦于工作在高电压范围的扬声器输出电流监控电路。该电路使用的主要器件是D类放大器、AD8479和ADA4805-1。

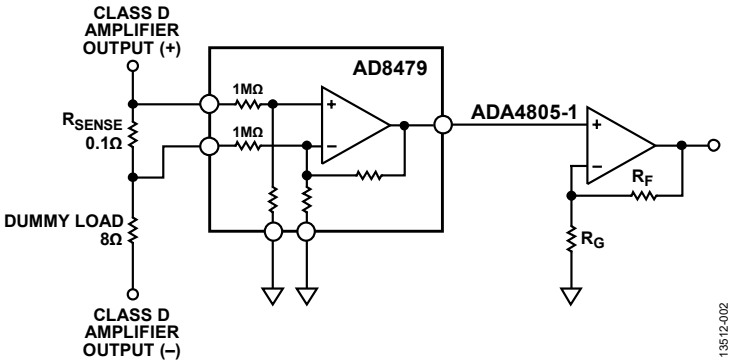



*图1. 采用AD8479和ADA4805-1的电流监控电路*

# 为什么使用D类放大器?

音频放大器必须以高效率、低失真的方式再现输入音频信号。在20 Hz到20 kHz音频频率范围内，它应具有良好的频率响应性能，以便忠实地再现声音和音乐。音频放大器可能需要提供从数毫瓦(用于个人音乐播放器和耳机)到数百瓦(用于强大的家用和商用音响系统，如剧院、会堂、室外音响系统等)不等的输出功率。

音频放大器分为多个类别：A类、AB类、B类和D类。与其他类别放大器相比，D类放大器效率最高，可提供高输出功率驱动。某些商用D类放大器提供每通道1500 W到每通道6000 W的功率能力。

D类放大器可以简单地描述为开关放大器或脉宽调制(PWM)放大器。图2显示了一个基本D类放大器的信号流程。

典型D类放大器的工作过程是从比较器开始。一个频率通常介于20 Hz到20 kHz的标准模拟音频信号与一个高频三角波形比较以产生PWM信号。随后，PWM信号驱动输出晶体管，产生一系列电压可能很高的脉冲。最后，一个低通滤波器恢复正弦音频信号。

不切换时，通过输出晶体管的电流为0；低导通电阻降低I2R损耗，从而显著减少输出级的总功率损耗。这样便可实现高效率。

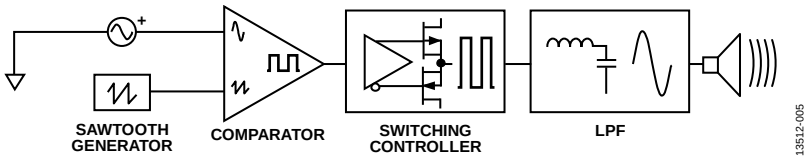



*图2. 基本D类放大器的信号流程*

# 电流监控电路

## 电路价值

即使D类放大器具有高效率和高功率运行优势，某些技术仍能改善音频质量，例如使用反馈和预失真机制。图4显示了一个使用反馈机制的基本D类放大器。在反馈机制中，输出信号(通常来自滤波器)被送至输入端的误差校正模块。误差校正模块可以是全模拟式，或者采用数字处理故意使音频信号预失真，从而校正输出瑕疵并改善音频输出质量。除了扬声器的固有非线性之外，扬声器阻抗因为温度和老化而变化的趋向也可能引起这种瑕疵。

电流监控电路可以获取要反馈的数据进行误差校正。选择适合这种用途的器件的挑战在于：器件必须足够鲁棒以便接收音频放大器输出端的高压脉冲。AD8479可以满足这一要求，因为即使存在高输入共模电压，它也能工作。电路中还加入了ADA4805-1，作为低失调、低噪声的模数转换器(ADC)驱动器。

## 电路元件

AD8479是一款精密差动放大器，即使存在高达±600 V的共模电压，它也能精确测量差分信号。图3所示的输入共模电压与输出电压的关系曲线表明了这种能力。它具有以下特性：低失调电压、低失调电压漂移、低增益误差漂移、出色的共模抑制比(CMRR)和宽频率范围。在本应用笔记中，AD8479配置为高端电流检测放大器，用于监控D类音频放大器的电流。AD8479同时具有130 kHz的带宽，可满足音频应用的带宽需求。

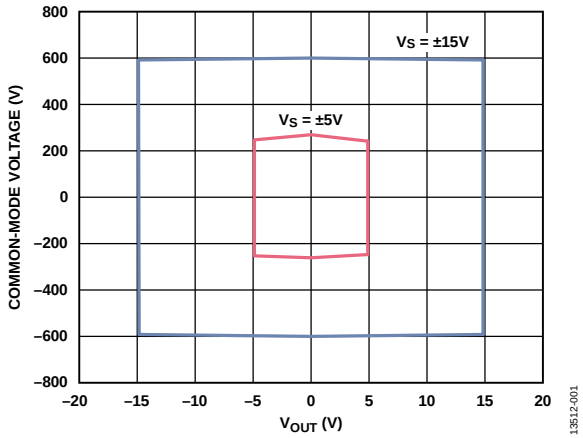



*图3. AD8479输入共模电压与输出电压($V_{OUT}$)的关系*

ADA4805-1是一款低输入失调电压和低输入失调电压漂移轨到轨放大器。ADA4805-1的增益设置为10，产生的输出电压通常在下一级的输入电压范围内。下一级通常使用逐次逼近型(SAR) ADC来处理音频信号。

所用的D类放大器为International Rectifier IRAUDAMP7S，它是一款25 W到500 W可扩展输出功率D类功率放大器。该放大器配置±50 V电源电压，提供1 kHz正弦输出。图1显示了电流监控电路的连接，0.1 Ω检测电阻连接在D类放大器输出端和高端配置中的8 Ω负载之间。

AD8479输出馈送到ADA4805-1输入，后者用作ADC驱动器，增益为10。电阻容差应较低，以免电路产生较大失调漂移。

对于本电路所用的D类放大器，流经检测电阻($R_{SENSE}$)的电流为4.74 A，产生475.71 mV峰值的满量程电压。共模电压为37.9 V峰值。

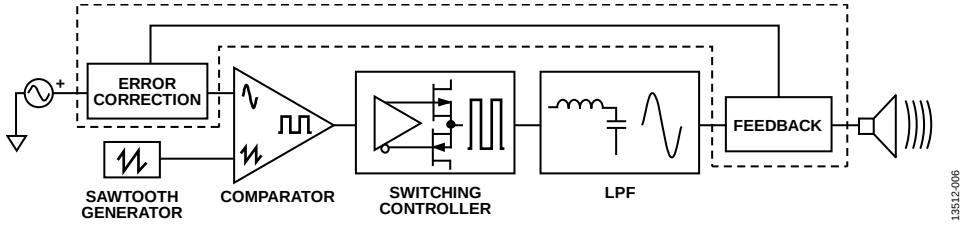



*图4. 使用反馈机制的基本D类放大器*

## 主要误差源

CMRR表示器件抑制各输入端共模干扰信号的能力。数学上，它指共模增益变化与差分增益之比。如果存在高共模电压，尤其是当测量小差分信号时，此参数常常是最大的误差贡献因素之一。CMRR产生一个对应的输出失调电压误差，该误差是系统总误差的一部分。

AD8479的额定CMRR为96 dB。共模电压贡献的误差通过下式计算：

$$误差(CMV，单位为\ \text{ppm FS}) = \frac{\frac{CMV}{CMR}}{FS} \times 10^6$$

$$误差(CMV) = \frac{\frac{37.9\ \text{V}}{10^{\frac{96\ \text{dB}}{20}}}}{475.71\ \text{mV}} \times 10^6 = 1262\ \text{ppm FS}$$

另一个误差源是失调电压。 满量程信号越小，失调电压贡献的误差越大。 失调电压贡献利用下式计算：

$$误差(V_{OS}) = (V_{OS}/FS) \times 10^6 = \text{ppm FS}$$

AD8479的输入失调电压为1 mV，转换为ppm时，贡献满量程(FS)的2102 ppm。

$$误差(V_{OS}) = (1\ \text{mV}/475.71\ \text{mV}) \times 10^6 = 2102\ \text{ppm FS}$$

对于ADA4805-1，它是

$$误差(V_{OS}) = 125\ \mu\text{V} \times 10 \times 10^6 = 1250\ \text{ppm FS}$$

ADA4805-1引入125 μV失调电压，其乘以增益10，故而失调电压引起的总误差为满量程(FS)的3352 ppm。

此外，数据手册显示AD8479具有0.02% FS的增益误差，因而AD8479给电路带来的误差为200 ppm FS。将增益误差直接增加到总误差中，利用下式计算等效ppm值：

$$误差(增益误差) = (增益误差) \times 10^6 = \text{ppm FS}$$

$$误差(增益误差) = (0.02\%/100) \times 10^6 = 200\ \text{ppm FS}$$

## 误差预算分析汇总

表1和表2分别汇总了AD8479和ADA4805-1的主要误差源。AD8479失调电压贡献的误差最大，在37.9 V输入共模电压下，其为2102 ppm FS。共模电压贡献的误差为1262 ppm FS。

这里，对于37.9 V共模电压和0.1 Ω检测电阻(参见图1)，失调电压贡献的误差最大，输入共模电压次之，不过，如果共模电压更大，它将成为最大的误差来源。例如，在250 V共模电压下，共模误差贡献为8329 ppm FS。对于高电压D类放大器，这种共模电压是很常见的。此外，检测电阻越大，其引起的压降越大，导致满量程电压提高，这最终会降低所有误差贡献。

**表1. AD8479的主要误差源**

| 误差源 | AD8479 | 误差(ppm FS) |
|---|---|---|
| 增益误差 | 0.02% FS | 200 |
| 共模 | 37.9 V | 1262 |
| 失调电压 | 1 mV | 2102 |

**表2. ADA4805-1的主要误差源**

| 误差源 | ADA4805-1 | 误差(ppm FS) |
|---|---|---|
| 失调电压 | 125 μV × 10 | 1250 |

图5显示了电流检测电路的响应测试结果。其中还包括AD8479的输入电压、AD8479的输出电压和ADA4805-1输出端的放大信号。大约4.74 A的电流流入检测电阻和负载。反相输入端信号约为±38 V，大约±500 mV出现在AD8479输出端，这显示了AD8479在高共模电压存在的情况下测量差分信号的能力。

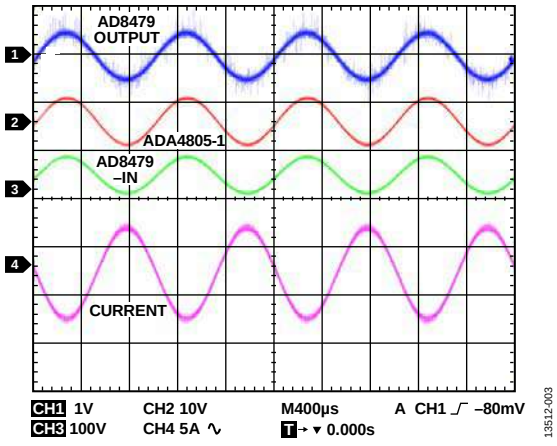



*图5. 实测电流和电压*

实时监控不仅需要高精度器件，还要求快速响应，以便应对目标电流的突然变化。输出信号的变化速度必须跟得上输入信号的变化速度，这就需要在很短的时间内正确解读扬声器的电气状态，甚至短路事件。图6显示了输入和输出响应与时间的关系，给出了输入信号的上升时间以及AD8479和ADA4805-1的输出。

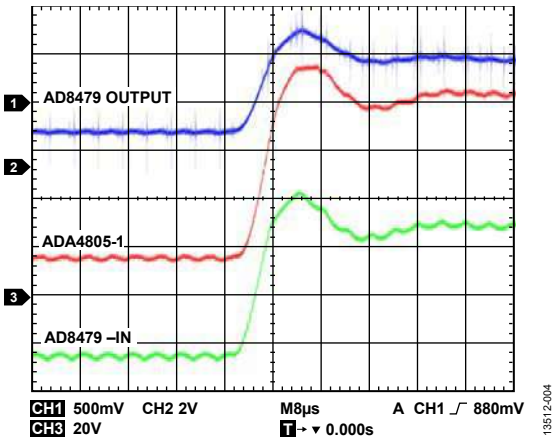



*图6. 显示相位响应的实测电压*

## 结论

D类音频放大器的电流监控电路需要鲁棒且合适的器件来提供精确测量。AD8479的高输入共模电压范围为测量D类音频放大器的典型信号输出提供了必要的条件。此外，AD8479和ADA4805-1具有充足的带宽来满足音频频段的工作要求。这些因素加上出色的失调、增益和CMRR特性，使得由它们构成的电流监控电路可在此类应用中提供高精度测量。

欲了解更多信息，请参阅以下文档：

- Gaalaas，Eric。“揭秘D类音频放大器”，Analog Dialogue，40-06，2006年6月。
- 指南MT-068，差动和电流检测放大器。ADI公司

©2016 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN13512sc-0-1/16(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 最低噪声的零漂移放大器提供5.6 nV/√Hz电压噪声密度

作者：Vicky Wong

## 简介

传感器产生的输出电压通常很低，需要通过具有高增益和精密直流性能的信号调理电路进行调理。然而，放大器的失调电压、漂移和1/f噪声会引起误差，尤其会影响直流或低频、低电平电压测量。因此，必须最大程度地降低失调电压和漂移，消除1/f噪声，以实现最佳的信号调理。零漂移放大器实现了超低失调电压和漂移、高开环增益、高电源抑制、高共模抑制以及零1/f噪声，能够给精密应用设计人员带来便利。

## 自稳零与斩波

正如其名，零漂移放大器的失调电压漂移近乎为零。放大器连续自我矫正任何直流误差，以尽可能保持精确。零漂移放大器可以采用两种不同的技术来设计：自稳零或斩波。每种技术都有其优缺点，适合不同的应用。

自稳零使用采样保持技术，由于噪声折回基带，其带内电压噪声较大。而斩波使用信号调制和解调技术，具有更低的基带噪声，但在斩波频率及谐波处产生噪声频谱。因此，斩波放大器更适合直流或低频应用，自稳零放大器则更适合宽带宽应用。

## ADA4528-1与传统斩波放大器

一直以来，斩波放大器的基带噪声相当大(参考表1)，斩波频率较低，致使它只能用在DC和频率低于100 Hz的应用。针对具有更大可用带宽的斩波放大器的应用要求，ADI公司推出了ADA4528-1，这是半导体业内目前噪声最低的斩波放大器。ADA4528-1运用了创新的斩波技术(采用自动校正反馈环路)且斩波频率比传统斩波放大器的斩波频率高5至10倍。

凭借200 Hz斩波频率和5.6 nV/√Hz超低电压噪声密度，此突破性设计让ADA4528-1在无法使用传统斩波放大器的更宽带宽应用中赢得一席之地。此外，ADA4528-1还具有0.3 μV失调电压、0.002 μV/°C失调电压漂移、158 dB共模抑制和150 dB电源抑制。这些规格非常适用于要求高增益放大低水平信号的应用和低噪声精密应用。此类应用包括精密电子秤、传感器前端、称重传感器和桥式传感器、热电偶传感器接口和医疗仪器。

# ADA4528-1斩波器架构

ADA4528-1内置创新专利技术，可抑制斩波放大器内的失调相关纹波。与在交流域对纹波进行滤波的其它斩波技术不同，这种技术在直流域消除放大器的初始失调。ADA4528-1利用一个称为自动校正反馈(ACFB)的本地反馈环路来消除失调，从而防止总输出中出现纹波。

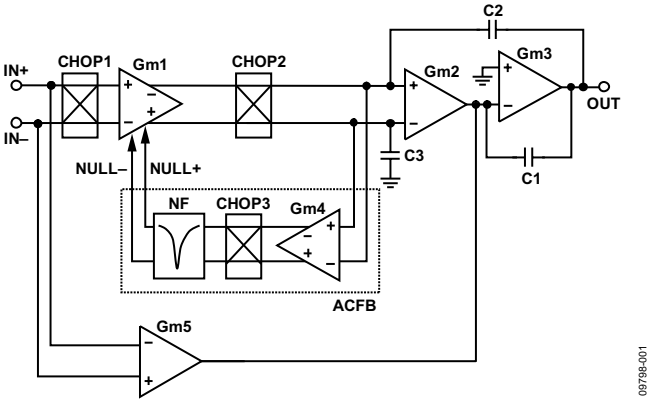



*图1. 放大器功能框图*

图1所示为ADA4528-1放大器的功能框图。它由一条带自动校正反馈(ACFB)功能的高直流增益路径和一条高频前馈路径并联而成。高直流增益路径包括输入斩波开关网络(CHOP1)、第一跨导放大器(Gm1)、输出斩波开关网络(CHOP2)、第二和第三跨导放大器(Gm2和Gm3)。ACFB环路包含第四跨导放大器(Gm4)、斩波开关网络(CHOP3)和开关电容陷波滤波器(NF)。最后高频前馈路径由第五跨导放大器(Gm5)所组成。所有斩波开关网络的斩波频率$f_{CHOP}$设计为在200 kHz下工作。

输入基带信号最初由CHOP1调制。接下来，CHOP2解调输入信号并将Gm1的初始失调和1/f噪声调制到斩波频率。在ACFB环路内的Gm4然后检测CHOP2输出端的调制纹波。纹波由CHOP3解调至直流域，经过陷波滤波器后馈入Gm1的调零输入端(NULL+和NULL–)。Gm1继续消除初始失调和1/f噪声，否则，它会作为调制纹波出现在总输出中。这样连续ACFB环路就抑制了调制波纹。

此外，CHOP3在CHOP2的输出端调制所需基带信号至斩波频率。陷波滤波器和时钟频率同步，滤除斩波频率下的信号，因而也滤除了调制分量。因此，ACFB环路有选择性地抑制不需要的失调电压和1/f噪声，同时又不会干扰所需的输入基带信号。

高频前馈路径的作用是放大接近或高于斩波频率的任何高频输入信号，它还能旁路ACFB环路造成的相移。由此，ADA4528-1具有标准−20 dB/10倍增益滚降和4 MHz单位增益带宽(见图2)。此高带宽允许高增益配置ADA4528-1，以足够环路增益降低增益误差。

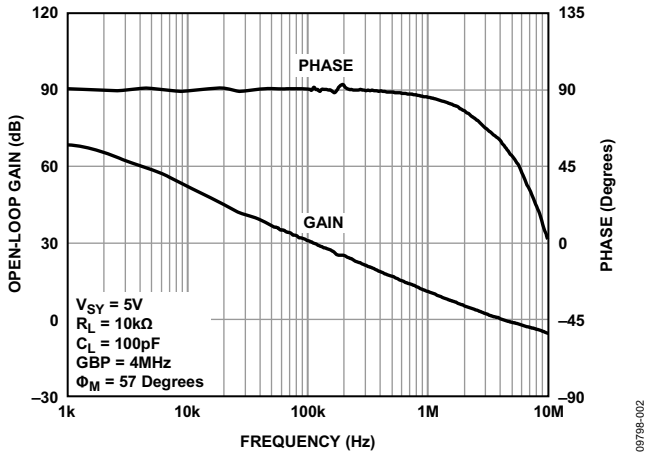



*图2. 开环增益和相位与频率的关系*

# 噪声特性

## 1/F噪声

1/f噪声(亦称为粉红噪声或闪烁噪声)是半导体器件的固有特性，随频率降低而提高。因此，它是直流或低频时的主要噪声。放大器的1/f转折频率是指闪烁噪声与宽带噪声相等时的频率。图3所示为未采用零漂移技术的放大器示例；1/f转折频率为800 Hz。对于直流或低频应用，1/f噪声是主要的噪声源，如果被电路噪声增益放大，它会产生显著的输出电压失调。

但零漂移放大器不会出现1/f噪声。它们对电压噪声进行整形以消除1/f噪声。由于1/f噪声表现为缓慢变化的失调量，因此能被斩波技术有效消除。当噪声频率接近DC时，校正变得更加有效，噪声随着频率降低而指数式提高的倾向得以消除。图4所示为不具有1/f电压噪声的ADA4528-1的电压噪声密度。斩波技术导致ADA4528-1在电源电压2.5 V时在0.1 Hz至10 Hz范围电压噪声仅为97 nV p-p，低频噪声低于易受1/f噪声影响的普通低噪声放大器。

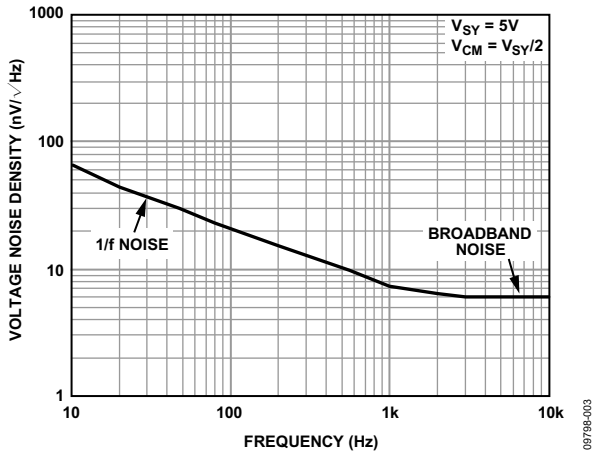



*图3. 非零漂移放大器：电压噪声密度与频率的关系*

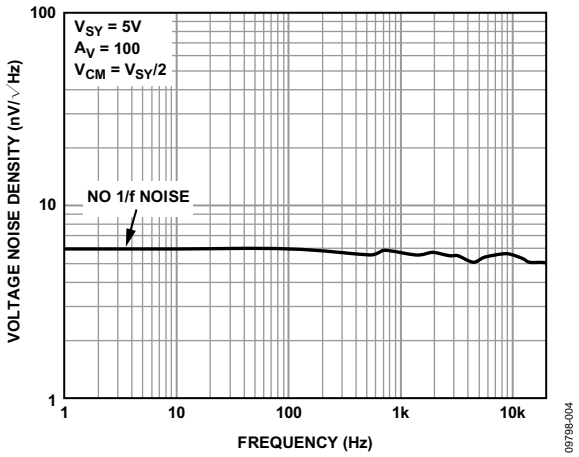



*图4.ADA4528-1零漂移放大器：电压噪声密度与频率的关系*

## 宽带噪声和外部源电阻考虑因素

ADA4528-1在1 kHz($V_{SY}$ = 2.5 V，$A_V$ = 100)时电压噪声密度为5.6 nV/√Hz，是目前业内噪声最低的零失调放大器。因此，必须考虑外部输入源电阻以保持系统的总体低噪声性能。

在任何放大器设计中必须考虑的总等效输入噪声主要是三种噪声的函数：输入电压噪声、输入电流噪声及外部电阻的热(约翰逊)噪声。输入电压噪声和输入电流噪声通常在数据手册的电气规格部分说明。外部源电阻的热噪声可采用下列公式计算：

$$V_{RS} = \sqrt{4\ kTR_S}$$

其中：

$k$为玻尔兹曼常数($1.38 \times 10^{-23}$ J/K)。

$T$为绝对温度(K)。

$R_S$为总输入源电阻(Ω)。

三个不相关噪声源可采用下列公式以和方根(rss)方式加总：

$$e_n\ total = \sqrt{[e_n^2 + 4\ kTR_S + (i_n \times R_S)^2]}$$

其中：

$e_n$为放大器的输入电压噪声(V/√Hz)。

$i_n$为放大器的输入电流噪声(A/√Hz)。

特定带宽上的等效总均方根噪声表示为：

$$e_n RMS = e_n\ total\ \sqrt{BW}$$

其中$BW$为带宽(单位Hz)。

此分析适用于平带噪声计算。如果相关带宽包括斩波频率，则必须进行更复杂的计算以包括在斩波频率下的噪声频谱效应(见图8)。

电压噪声密度有时取决于放大器增益配置。图5所示为重要竞争对手的零漂移放大器的电压噪声密度和闭环增益关系。放大器的电压噪声密度随着闭环增益从1000减少至1而从11 nV/√Hz增加至21 nV/√Hz。图6所示为三种不同增益配置$A_V$ = 1、10和100时ADA4528-1的电压噪声密度和频率关系。不论增益配置如何，ADA4528-1均提供6 nV/√Hz至7 nV/√Hz的恒定电压噪声密度。

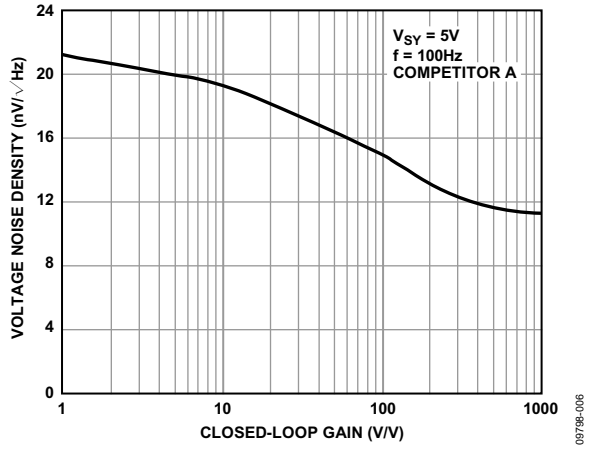



*图5. 竞争产品A：电压噪声密度和闭环增益关系*

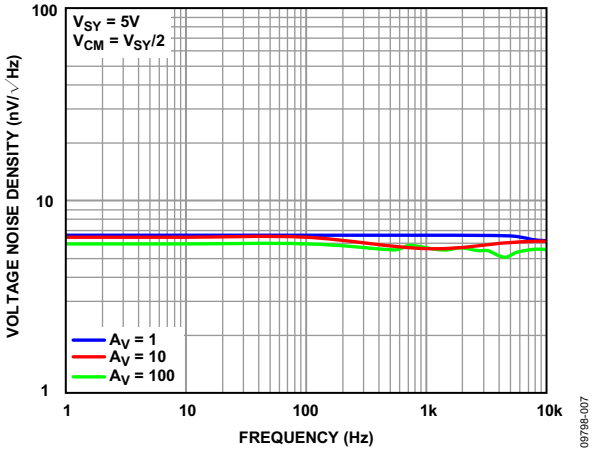



*图6. ADA4528-1：电压噪声密度与频率关系*

## 等效输出噪声计算

图7所示为同相配置的ADA4528-1。外部电阻、放大器电压噪声和电流等效输出噪声(RTO)计算公式如下：

噪声增益 = $1 + R_F/R_S$

$V_{RS} = \sqrt{4\,kTR_S}$

$V_{RF} = \sqrt{4\,kTR_F}$

$R_S$热噪声所引起的误差 = $V_{RS} \times R_F/R_S$

$R_F$热噪声所引起的误差 = $V_{RF}$

放大器电压噪声所引起的误差 = $e_n \times (1 + R_F/R_S)$

放大器电流噪声所引起的误差 = $i_n \times R_F$

具体计算值参见表1。

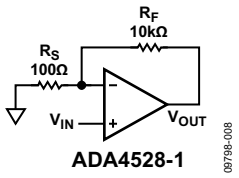



*图7. 同相增益配置*

**表1. 输出噪声计算值($V_{SY}$ = 5 V)**

| 噪声源 | 数值(f = 1 kHz) | 热噪声(nV/√Hz) | 总噪声RTO(nV/√Hz) | 输出噪声贡献(%) |
|---|---|---|---|---|
| $R_S$ | 100 Ω | 1.283 | 128.3 | 4.43 |
| $R_F$ | 10 kΩ | 12.83 | 12.83 | 0.04 |
| 电压噪声 | 5.9 nV/√Hz | N/A[1] | 595.9 | 95.52 |
| 电流噪声 | 0.5 pA/√Hz | N/A[1] | 5 | 0.01 |

[1] N/A表示不适用。

## 电压纹波

尽管斩波放大器消除了初始失调电压，但电压纹波仍会继续存在。这些电压纹波主要有两个来源。

首先，电压纹波是初始失调Gm1相关联残余纹波的组成部分(见图1)。此纹波在斩波频率(200 kHz)及其谐波下产生更高噪声频谱。图8所示为在三种不同增益配置下ADA4528-1电压噪声密度和频率的关系。在单位增益配置下放大器噪声频谱在200 kHz时为50 nV/√Hz。当运算放大器闭环带宽大于斩波频率时此噪声频谱更明显。但是，在更高增益时，噪声频谱因放大器的自然增益滚降特性而变得明显更小。因此，凭借超低噪声、失调电压和漂移能力，ADA4528-1非常适用于直流高增益配置。

为了抑制输出端噪声，在放大器周围放置一个反馈电容。图9及10所示为该配置和对应的电压噪声密度与频率关系图。反馈电容减少了放大器带宽以尽量降低噪声。

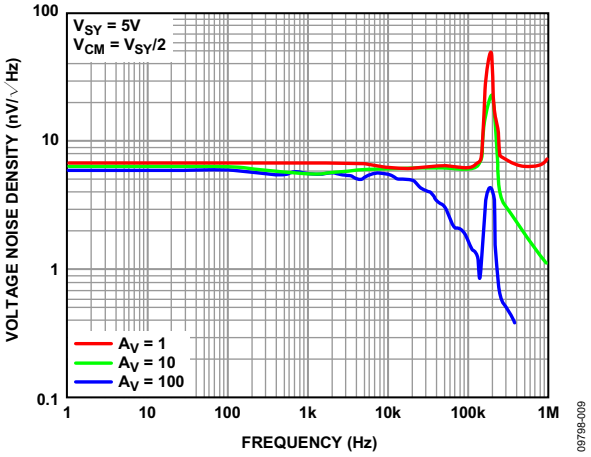



*图8. 在不同闭环增益下电压噪声密度和频率关系*

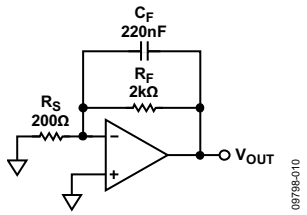



*图9. 使用反馈电容降低噪声*

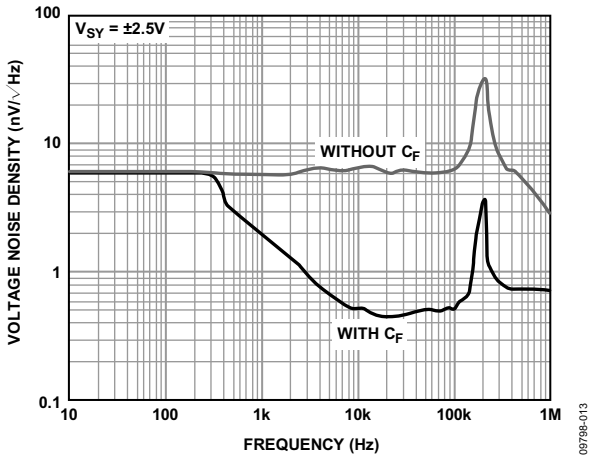



*图10. 带反馈电容的电压噪声密度*

电压纹波的第二来源是斩波频率($f_{CHOP}$)和输入信号频率($f_{IN}$)的交调结果。交调失真(IMD)是输入信号频率的函数，随着输入信号频率接近斩波频率而引入更大的误差。此交调在$f_{CHOP} \pm f_{IN}$下的二阶IMD产物、$2f_{IN} \pm f_{CHOP}$和$2f_{CHOP} \pm f_{IN}$的三阶IMD产物等处产生噪声频率。ADA4528-1产生远低于其他零漂移放大器的交调失真。在180 kHz下的500 mV p-p电压输入信号会在20 kHz产生14.6 μV rms的失真。

此外，注意所有零漂移放大器容易受初始失调和交调失真的残余纹波影响。

# ADA4528-1作为仪表放大器的应用

ADA4528-1具有超低失调电压和漂移、高开环增益、高共模抑制和高电源抑制的特性，在分立、单电源仪表放大器应用中成为运放的理想之选。

图11所示为使用ADA4528-1的经典3运放仪表放大器。仪表放大器高CMRR的关键是电阻是否完全匹配电阻比和相对漂移。对于真正差动放大，电阻比匹配非常重要，其中R5/R2 = R6/R4。电阻对于确定性能随工艺容差、时间和温度的变化非常重要。假定理想的单位增益差动放大器具有无限的共模抑制，1%的容差电阻匹配仅导致34 dB的共模抑制。因此，建议使用至少0.01%或更好的电阻。

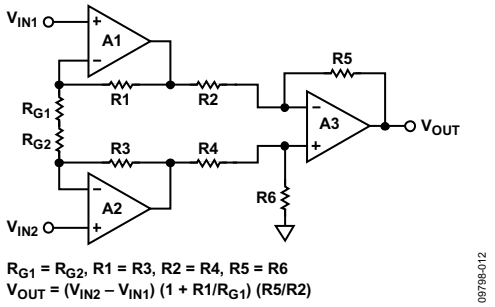



*图11. 分立3运放仪表放大器*

为了构建一个具有外部电阻而不会牺牲噪声性的分立仪表放大器，请密切关注所选电阻值。$R_{G1}$和$R_{G2}$各自热噪声被仪表放大器的总噪声增益所放大，因此应尽量选择低值来降低输出端的热噪声贡献，同时获得更精确的测量。表2所示为折合到输出的外部电阻噪声贡献(RTO)。

**表2. 热噪声贡献示例**

| 电阻 | 值 (Ω) | 电阻热噪声 (nV/√Hz) | 热噪声 RTO(nV/√Hz) |
|---|---|---|---|
| $R_{G1}$ | 400 | 2.57 | 128.30 |
| $R_{G2}$ | 400 | 2.57 | 128.30 |
| R1 | 10 k | 12.83 | 25.66 |
| R2 | 10 k | 12.83 | 25.66 |
| R3 | 10 k | 12.83 | 25.66 |
| R4 | 10 k | 12.83 | 25.66 |
| R5 | 20 k | 18.14 | 18.14 |
| R6 | 20 k | 18.14 | 18.14 |

注意，A1和A2具有1 + R1/RG1的高增益。在此情况下，放大器的输入失调电压和输入电压噪声非常重要。和$R_{G1}$和$R_{G2}$一样，放大器的输入失调电压和输入电压噪声被整体噪声增益所放大。因此，在A1和A2中使用高精度、低失调电压和低噪声放大器，例如ADA4528-1。另一方面，A3工作时的增益要低很多，并具有一系列不同的运算放大器要求。其折合到整体仪表放大器输入端的输入噪声除以第一级增益后可以忽略不计。

在直流和低频应用中A3使用AD8538或AD8628等零漂移放大器，可满足其最低电压漂移的要求。如果电压漂移不重要，请使用AD8603。

# 结论

综上所述，ADA4528-1主要特性如下

- 超低失调电压和漂移
- 无1/f电压噪声
- 超低电压噪声密度
- 高共模抑制
- 高电源抑制
- 轨到轨输入和输出

设计架构专门面向在直流或低频带宽中要求精确稳定性能的高增益精密信号调理应用。

关于其他零漂移放大器的选型，请参见表3。

关于低噪声运算放大器选型表，请参考AN-940应用笔记“最佳噪声性能：低噪声放大器选择指南”。

有关噪声的更多信息，请浏览分为三部分的网络研讨会系列“传感器信号调理电路中的噪声优化”。

- 第1部分：www.analog.com/webcast_noiseopt_part1
- 第2部分：www.analog.com/webcast_noiseopt_part2
- 第3部分：www.analog.com/webcast_noiseopt_part3

**表3. 单零漂移放大器**

| 产品型号 | $V_{SY}$ (V) | $V_{OS}$最大值(μV) | $TCV_{OS}$最大值(μV/C) | GBP (MHz) | 每个放大器$I_{sy}$最大值(mA) | 1 kHz时的$e_N$(nV/√Hz) | CMRR最小值(dB) | PSRR最小值(dB) | $I_B$最大值(pA) | 轨到轨输入 | 轨到轨输出 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| ADA4528-1 | 2.2至5.5 | 2.5 | 0.015 | 4 | 1.7 | 5.6 | 135 | 130 | 400 | 是 | 是 |
| AD8628 | 2.7至5 | 5 | 0.02 | 2 | 1 | 22 | 110 | 115 | 100 | 是 | 是 |
| AD8638 | 5至16 | 9 | 0.06 | 1.35 | 1.3 | 60 | 118 | 127 | 40 | 否 | 是 |
| AD8538 | 2.7至5.5 | 13 | 0.1 | 0.43 | 0.18 | 50 | 110 | 105 | 25 | 是 | 是 |
| ADA4051-1 | 1.8至5.5 | 15 | 0.1 | 0.115 | 0.018 | 95 | 105 | 110 | 50 | 是 | 是 |

©2011–2014 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN09798sc-0-4/14(B)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106 • Tel: 781/329-4700 • Fax: 781/461-3113 • www.analog.com

# 在系统中成功运用低压差稳压器

作者：Ken Marasco

## 简介

低压差稳压器（LDO）能够在很宽的负载电流和输入电压范围内保持规定的输出电压，而且输入和输出电压之差可以很小。这个电压差被称为压降或裕量要求，在负载电流为 2A时可以低至 80mV。可调输出低压差稳压器于 1977 年首次推出。现在，便携设备需要使用的低压差线性稳压器经常多达 20 个。最新便携设备中的许多LDO被集成进了多功能电源管理芯片（PMIC）——这是高度集成的系统，拥有 20 个或以上的电源域，分别用于音频、电池充电、设备管理、照明、通信和其它功能。

然而，随着便携系统的快速发展，集成式 PMIC 已经无法满足外设电源要求。在系统开发的后期阶段必须增加专用 LDO 来给各种选件供电，如相机模块、蓝牙、WiFi 和其它连接模块。LDO 还能用来辅助降低噪声，解决由电磁干扰（EMI）和印刷电路板（PCB）布线造成的稳压问题，并通过关闭不需要的功能来提高系统效率。

本文将讨论基本的LDO拓扑，解释关键的性能指标，并展示低压差稳压器在系统中的应用。同时使用ADI公司LDO产品系列的设计特征进行示例说明。

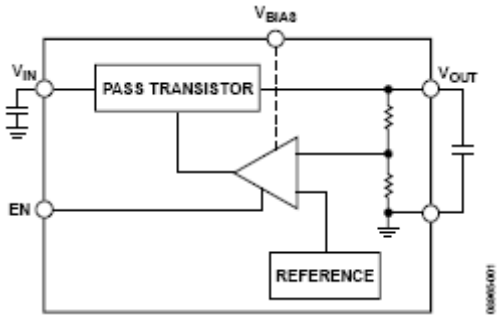



*图1. 采用低压差（$V_{OUT}$和在额定负载电流时$V_{IN}$的最低给定值之间的差值）技术稳定输出电压的LDO框图*

# 基本的LDO架构

LDO由参考电压、误差放大器、反馈分压器和传输晶体管组成，如图 1所示（参见参考文献部分中的“应用工程师问答 37：低压差稳压器”，作者Patuoux）。输出电流通过传输器件提供。传输器件的栅极电压由误差放大器控制——误差放大器将参考电压和反馈电压进行比较，然后放大两者的差值以便减小误差电压。如果反馈电压低于参考电压，传输晶体管的栅极电压将被拉低，允许更多的电流通过，进而提高输出电压。如果反馈电压高于参考电压，传输晶体管的栅极电压将被拉高，进而限制电流流动、降低输出电压。

这种闭环系统的动态特性基于两个主要的极点，一个是由误差放大器/传输晶体管组成的内部极点，另一个是由放大器的输出阻抗和输出电容的等效串联电阻（ESR）组成的外部极点。输出电容及其 ESR 将影响环路稳定性和对负载电流瞬态变化的响应性能。为了确保稳定性，推荐1Ω或以下的 ESR 值。另外，LDO 要求使用输入和输出电容来滤除噪声和控制负载瞬态变化。电容值越大，LDO 的瞬态响应性能越好，但会延长启动时间。ADI 公司的 LDO 在使用规定电容时可以在规定工作条件下达到很好的稳定性能。

## LDO 效率

提高效率一直是设计工程师的永恒追求，而提高效率的途径是降低静态电流（$I_Q$）和前向压降。

$$LDO\ efficiency = \left( \frac{V_{OUT} \times I_{OUT}}{V_{IN}\left(I_{OUT} + I_Q\right)} \right) \times 100\%$$

由于$I_Q$在分母上，因此很明显$I_Q$越高效率就越低。如今的LDO具有相当低的$I_Q$。当$I_Q$远小于$I_{LOAD}$时，在效率计算公式中可以忽略$I_Q$。这样，LDO的效率公式可以简化为（$V_{OUT}/V_{IN}$）*100%。由于LDO无法存储大量的未使用能量，没有提供给负载的功率将在LDO中以热量形式消耗掉。

$$Power\ dissipated\ (PD) = (V_{IN} - V_{OUT}) \times I_{IN}$$

LDO 可以提供稳定的电源电压，这种电压与负载和线路变化、环境温度变化和时间流逝无关，并且当电源电压和负载电压之间的压差很小时具有最高的效率。例如，随着锂离子电池从 4.2V（满充状态）下降到 3.0V（放电后状态），与该电池连接的 2.8V LDO 将在负载处保持恒定的 2.8V（压差小于 200mV），但效率将从电池满充时的 67%增加到电池放电后的 93%。

为了提高效率，LDO可以连接到由高效率开关稳压器（如ADP2108）产生的中间电压轨。例如，使用 3.3V开关稳压器时，LDO效率固定为 85%，假设开关稳压器效率为 95%，那么系统总效率将是 81%。

## 电路特性增强 LDO 性能

使能输入端允许通过外部电路控制LDO的启动和关闭，并允许在多电压轨系统中按正确的顺序加电。软启动可以在上电期间限制浪涌电流和控制输出电压上升时间。睡眠状态能使漏电流最小，这个特性在电池供电系统中特别有用，并且允许快速启动。当LDO的温度超过规定值时，热关断电路将关闭LDO。过流保护电路可以限制LDO的输出电流和功耗。欠压闭锁电路可以在供电电压低于规定的最小值时禁止输出。图 2是用于便携设计的典型电源系统简图。

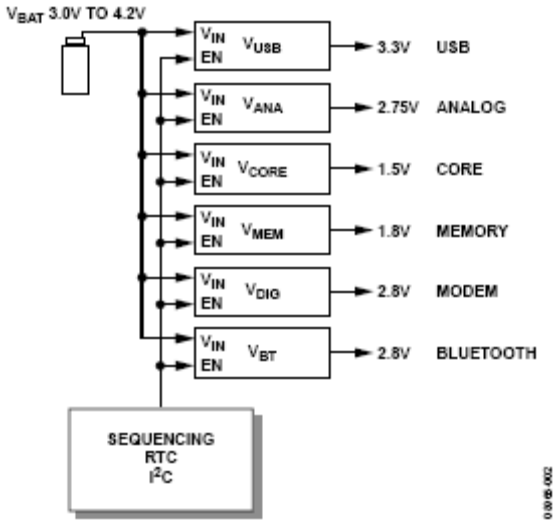



*图2. 便携系统中的典型电源域*

# 理解线性稳压器要求

## LDO 用于数字负载

像ADP170和ADP1706这类数字线性稳压器设计用于支持系统的主要数字要求，通常是微处理器内核和系统输入/输出（I/O）电路。用于DSP和微控制器的LDO必须具有较高的效率，并能处理快速变化的大电流。更新的应用要求给数字LDO造成了巨大的压力，因为处理器内核为了节能而经常改变时钟频率。为了响应软件导致的负载变化而发生的时钟频率变化对LDO的负载调整功能提出了严格的要求。

数字负载的重要特征有线路调整率和负载调整率，以及瞬态下冲和过冲。在给低电压的微处理器内核供电时，精确的输出控制总是非常重要，没有足够的调整率将致使内核闭锁。数据手册中并不总是提供上述参数，瞬态响应图形也许表现出对瞬态信号不错的上升和下降响应速度。线路和负载调整率有两种方式表述：一种是输出电压随负载变化的偏离百分比，实际的 V/I 值，或者在规定负载电流条件下同时用两者表示。

为了节省功耗，数字LDO需要具有较低的$I_Q$以延长电池寿命。便携系统有很长时间软件处于空闲状态，这段时间系统处于低功耗状态。在不活动时，系统将进入睡眠状态——要求LDO关闭，消耗电流不到 1 μA。当LDO处于睡眠模式时，所有电路（包括带隙参考）都将被关闭。当系统回到活动模式时，要求快速启动——在此期间数字供电电压必须不产生过高的过冲。过高的过冲将导致系统闭锁，有时需要拔出电池或按下主复位按钮才能解决问题，并重启系统。

## LDO 用于模拟和射频负载

像ADP121和ADP130具有的低噪声和高电源纹波抑制（PSRR）性能对模拟环境中使用的LDO来说非常重要，因为模拟器件比数字器件对噪声更敏感。模拟LDO需求主要来自无线接口要求——不损伤接收器或发射器，并在音频系统中不产生爆音或嗡嗡声。无线连接非常容易受噪声的影响，如果噪声干扰到信号，接收器的效果将大打折扣。在考虑模拟线性稳压器时，器件要能抑制来自上游电源和下游负载的噪声，而且自身不增加噪声，这一点很重要。模拟稳压器噪声用电压有效值（rms）来衡量，当用于敏感电路时，应低于 35 mV。PSRR反映LDO抑制电源线上的上游噪声的能力，应高于 60 dB。超低噪声LDO ADP150具有 9 mV的输出噪声和 70 dB的PSRR，是为敏感模拟电路供电的理想电源器件。增加外部滤波器或旁路电容也可以减小噪声，但会增加成本和PCB尺寸。仔细和灵活的LDO内部设计也有助于降噪和电源噪声抑制。选择LDO时，必须对涉及每个系统所需总体性能的产品细节进行检查。

# 关键的 LDO 指标和定义

**备注**：制造商数据手册首页一般是一些摘要信息，通常突出了一些吸引人的器件特性。关键参数经常强调典型的性能特征，但只有查阅了文档中的完整指标和其它数据后才能得到更完整的理解。另外，由于制造商提供指标的方式几乎没有标准可言，因此电源设计师需要理解用来获得电气指标表格中列出的关键参数的定义和方法。系统设计师应该密切关注关键参数，如环境和结点温度范围、图形信息中的 X-Y 刻度值、负载、瞬态信号的上升和下降时间以及带宽。下面讨论与 ADI 公司 LDO 的表征和应用有关的一些重要参数。

## 输入电压范围

LDO 的输入电压范围决定了最低的可用输入电源电压。指标可能提供宽的输入电压范围，但最低输入电压必须超过压降加上想要的输出电压值。例如，150mV 的压降对于稳定的 2.8V 输出来说意味着输入电压必须大于 2.95V。如果输入电压低于 2.95V，输出电压将低于 2.8V。

## 接地（静态）电流

静态电流$I_Q$就是输入电流$I_{IN}$和负载电流$I_{OUT}$之间的差值，在规定的负载电流条件下测量。对于固定电压稳压器，$I_Q$等于接地电流$I_G$。对于可调稳压器，如ADP171，静态电流等于接地电流减去来自外部分压电阻网络中的电流。

## 关断电流

这是指设备禁用时 LDO 消耗的输入电流，对便携 LDO 来说通常低于 1.0 μA。这个指标对于便携设备关机时长待机期间的电池寿命来说很重要。

## 输出电压精度

ADI 公司的 LDO 具有很高的输出电压精度，在工厂制造时就被精确调整到±1%之内（25℃）。输出电压精度在工作温度、输入电压和负载电流范围条件下加以规定。误差规定为±x%最差情况。

## 线路调整率

线路调整率是指输出电压随输入电压变化而发生的变化率。为了避免由于芯片温度变化引起的误差，线路调整率的测量通常在低功耗状态或使用脉冲技术进行。

## 动态负载调整率

只要负载电流缓慢变化，大多数 LDO 都能轻松地保持输出电压接近恒定不变。然而，当负载电流快速改变时，输出电压也将发生改变。当负载电流发生变化时输出电压会改变多少就决定了负载瞬态性能。

## 压差

压差指保持电压稳定所需的输入电压和输出电压之间的最小差值。也就是说，LDO 能够在输入电压降低时保持输出负载电压不变，直到输入电压接近输出电压加上压差，在这个点输出电压将“失去”稳定。压差应尽可能小，以使功耗最小，效率最高。当输出电压降低到低于标称值 100mV 的电压时，通常被认为达到了这个压差。负载电流和结点温度会影响这个压差。最大压差值应在整个工作温度范围和负载电流条件下加以规定。

## 启动时间

启动时间被定义为使能信号的上升沿到$V_{OUT}$接近其标称值的 90%时的时间。这个测试通常是接上$V_{IN}$、使能引脚从断开到接通的触发条件下进行测量。备注：在使能引脚连接$V_{IN}$的某些情况下，启动时间可能会大幅增加，因为带隙参考需要一定的稳定时间。在稳压器需要频繁关闭和启动以节省功耗的便携系统中，稳压器的启动时间是一个重要的考虑因素。

## 限流阈值

限流阈值被定义为输出电压下降到给定典型值的 90%时的负载电流。例如，3V 输出电压的限流阈值被定义为造成输出电压下降到 3.0V 的 90%或 2.7V 时的负载电流。

## 工作温度范围

工作温度范围可以由环境温度和结点温度加以规定。由于LDO会发热，因此IC的工作温度总是超过环境温度，比环境温度高出多少取决于工作状态和PCB热设计。数据手册上规定有最大结点温度（$T_J$），因为在最大结点温度之上工作过长的时间会影响器件的可靠性——统计学上称为平均故障时间（MTTF）。

## 热关断（TSD）

大多数 LDO 具有自动温度调节装置，用于防止 IC 发生热失控。当结点温度超过规定的热关断阈值时，这个装置将关断 LDO。为了在重启之前让 LDO 冷却下来，要求一定的滞后时间。TSD 很重要，因为它不单单保护 LDO；过多的热量影响的不止是稳压器。从 LDO 传导到 PCB（或从电路板上更热的元件传导到 LDO）的热量随着时间的推移可能破坏 PCB 材料和焊接可靠性，也会破坏附近元件，进而缩短便携设备的寿命。另外，热关断将影响系统的可靠性。因此，用于控制电路板温度的热设计（散热器、冷却装置等）是重要的系统考虑因素。

## 使能输入

LDO 使能信号以正和负逻辑的形式提供，用于关闭和启动 LDO。高电平有效逻辑在使能端电压超过逻辑高电平门限时使能器件，低电平有效逻辑在使能端电压低于逻辑低门限电平时使能器件。使能输入允许外部控制 LDO 的关闭和启动，这是多电压轨系统中调整电源上电顺序的一个重要特性。一些 LDO 具要相当短的启动时间，因为它们的带隙参考在 LDO 禁用时是打开的，允许 LDO 更快地启动。

## 欠压闭锁

欠压闭锁（UVLO）可以确保只有在系统输入电压高于规定阈值时才向负载输出电压。UVLO 很重要，因为它只在输入电压达到或超过器件稳定工作要求的电压时才让 LDO 器件上电。

## 输出噪声

LDO的内部带隙电压参考是噪声源，通常用给定带宽范围内的毫伏有效值表示。例如，ADP121在$V_{OUT}$为 1.2V时，在 10kHz至 100kHz的带宽范围内有 40μV rms的输出噪声。在比较数据手册指标时，给定的带宽和工作条件是重要的考虑因素。

## 电源抑制比

电源抑制比（PSR）用分贝表示，代表了 LDO 在宽的频范围（1kHz 至 100kHz）内对来自输入电源的纹波的抑制能力。在 LDO 中，PSR 可以用两个频段表征。频段 1 从直流到控制环路的单位增益频率，这时的 PSR 取决于稳压器的开环增益。频段 2 在单位增益频率之上，这时的 PSR 不受反馈环路的影响，PSR 取决于输出电压以及从输入到输出引脚的任何泄漏路径。选择一个适合的高值输出电容通常会改善后个频段的 PSR。在频段 1，ADI 公司专有的电路设计可以减少由于输入电压和负载变化引起的 PSR 变化。为了获得最佳的电源抑制性能，PCB 版图设计时必须考虑减小从输入到输出的泄漏，而且要有鲁棒性的接地性能。

## 最小输入和输出电容

最小输入和输出电容应大于在各种工作条件（尤其是工作电压和温度）下的规定值。在器件选型时必须考虑应用中的各种工作条件，确保满足最小的电容规格。推荐使用 X7R 和 X5R 型电容。Y5V 和 Z5U 电容不推荐在任何 LDO 电路中使用。

## 反向电流保持特性

采用PMOS传输管的典型LDO在$V_{IN}$和$V_{OUT}$之间有一个本征体二极管。当$V_{IN}$大于$V_{OUT}$时，这个二极管将处于反偏状态。如果$V_{OUT}$大于$V_{IN}$，这个本征二极管将变成前向偏置，产生从$V_{OUT}$到$V_{IN}$的电流，进而造成破坏性的功耗。一些LDO，如ADP1740/ADP1741，有额外的电路防止从$V_{OUT}$到$V_{IN}$的反向电流流动。反向电流保护电路检测到$V_{OUT}$超过$V_{IN}$时，将反转本征二极管连接的方向，使二极管仍处于反偏状态。

## 软启动

可编程软启动有助于减小启动时的浪涌电流和提供上电顺序。对于启动时要求浪涌电流受控的应用，有些LDO（如ADP1740/ADP1741）提供了可编程的软启动（SS）功能。为了实现软启动，在SS和地引脚之间需要连接一个小的陶瓷电容。

## 结束语

LDO执行的是一个重要功能。虽然概念上很简单，但在应用时需要考虑许多方面的因素。本文介绍了基本的LDO拓扑，解释了一些关键指标和低压差稳压器在系统中的应用。在数据手册中还包含了许多有用的信息。欲了解进一步信息（选型指南、数据手册、应用笔记）——以及获取人工帮助的方式——请访问电源管理网站。这个网站同时还提供业界最快、最精确的DC/DC电源管理设计工具ADIsimPower™。

### 参考文献

Dobkin，Robert。1977年4月12日。“摆脱固定IC稳压器”。电子设计。

Patoux，Jerome。2007。“请咨询应用工程师37及低压差稳压器”。模拟对话 41-2，8-10。

©2010 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN08965-0-4/10(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 使用加速度计进行倾斜检测

作者：Christopher J. Fisher

## 简介

检测系统倾斜的一种常用方法是对陀螺仪输出进行积分。虽然这种方法直截了当，但与零点偏置稳定性有关的误差会随着积分周期的增加而快速累积，使设备发生明显旋转——哪怕此时设备是静止的。

在某些应用中，若整个时间范围内作用于系统的净加速或力是重力，那么可以使用加速度计来测量倾斜的静态角度。这类应用有：游戏机、相机中的水平检测，以及在工业和医疗应用中检测设备的驶向。

对于采用加速度计的倾斜检测，假设重力是唯一的加速激励因素。在实际使用中，可在信号输出端执行信号处理，移除输出信号的高频成分，因此一定程度的交流加速度是可以接受的。

倾斜检测利用重力矢量及其在加速度计轴上的投影来确定倾斜角度。由于重力是直流加速度，任何产生额外直流加速度的力均会破坏输出信号，导致计算错误。直流加速度的来源包括车辆在一定时间内以恒定速度加速，以及旋转器件在加速度计上产生向心加速度。此外，通过重力旋转加速度计，随着目标轴上的重力投影变化，会引起明显的交流加速度。在计算倾斜之前，对加速度信号进行任何形式的滤波都会影响建立输出新静态值的速度。

本应用笔记讨论将加速度计输出转换为倾斜角度的基本原理。讨论内容包括如何计算单轴、双轴或三轴解决方案的理想倾斜角度。此外还包括一些关于校准的基本信息，以减少失调和灵敏度失配所引起的误差。

## 倾斜计算

### 单轴倾斜计算

在只需对有限的角度范围内进行倾斜检测的应用中(该应用的分辨率精度较低)，可使用单轴器件(或多轴器件中的单个轴)。

例如，在图1中，单轴(本例中是x轴)通过重力旋转。由于此方法仅使用单轴，且需要重力矢量，因此只有当器件的x轴始终位于重力平面上时，倾斜计算角度才是精确的。其他轴上的任何旋转都会降低加速度在x轴上的幅度，计算倾斜角度时便会产生误差。

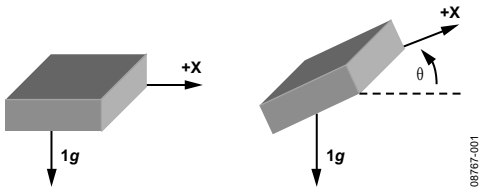



*图1. 用于倾斜检测的单轴*

根据基本三角恒等式，x轴上的重力矢量投影会产生输出加速度，大小等于加速度计x轴和水平面之间夹角的正弦值。水平面通常是与重力矢量正交的平面。当重力为理想值1 g时，输出加速度为：

$$A_{X,OUT}\,[g] = 1\,g \times \sin(\theta) \qquad (1)$$

使用单轴解决方案时——也就是说，输出的变化引起输入的某些变化——倾斜计算随着水平面与x轴夹角的增加而下降，当夹角接近±90°时，数值接近0。这点可以从图2中看出，其中绘出了输出加速度(以*g*表示)与倾斜角之间的关系图。接近±90°时，倾斜角出现很大变化时，输出加速度只会产生很小变化。

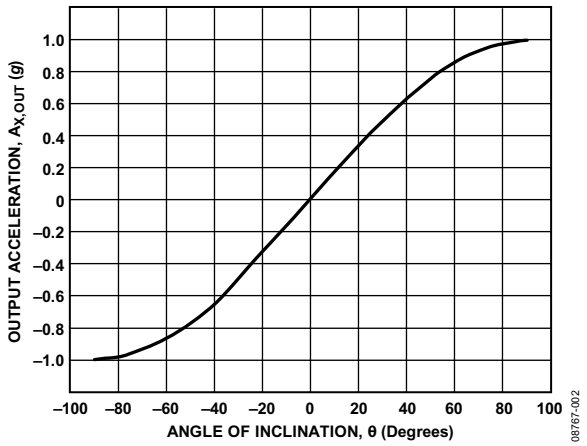



*图2. 输出加速度与倾角的关系*
*(单轴倾斜检测)*

由于以数字化的方式执行倾斜计算，输出加速度根据最低有效位(LSB)或代码表现为恒定加速度，并由模数转换器(ADC)获取，或者直接从数字输出部分获取。由于输出分辨率是恒定的加速度，倾斜分辨率(以度为单位)是可变的，其最佳分辨率接近0°，最差分辨率为±90°。

图3和图4显示倾角步进为1°和0.25°时的增量灵敏度。增量灵敏度等于输出变化，以mg显示，表示每个倾角的步进，或者：

$$S\,[g] = 1\,g \times \left(\sin\left(N+P\right) - \sin(N)\right) \qquad (2)$$

其中：

*N*为当前角度。

*P*为步长。

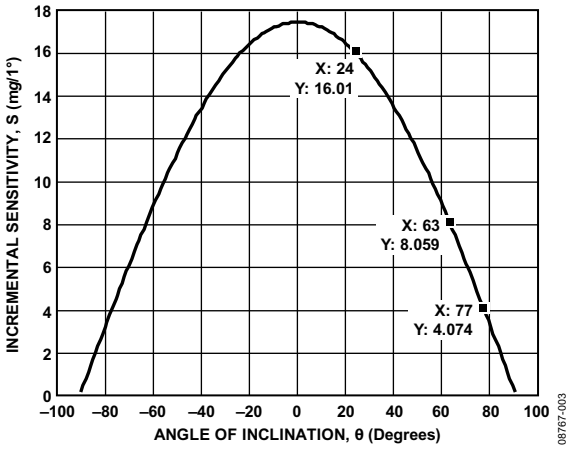



*图3. 步进为1°时的增量倾斜灵敏度*

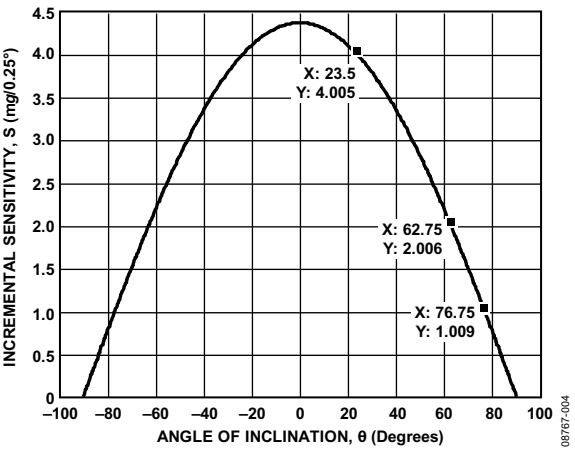



*图4. 步进为0.25°时的增量倾斜灵敏度*

测量输出加速度时，为了满足应用在整个范围内所需的倾斜分辨率，可利用这些曲线确定需达到的最小分辨率。例如，设计最大步长为1°，则针对±63°范围，分辨率至少需达到8 mg/LSB。类似地，为达到±63范围内的0.25°最大步长，则分辨率至少为2 mg/LSB。请注意，如果存在较大的扰动，可以使用过采样以获得更佳分辨率。

通过重力旋转时，由于加速度计输出符合正弦关系，使用反正弦函数可以将加速度转换为角度。

$$\theta = \sin^{-1}\left(\frac{A_{X,OUT}\,[g]}{1\,g}\right) \quad (3)$$

其中，倾斜角$\theta$单位为弧度。

如果需要窄范围倾斜，可以使用线性近似法取代反正弦函数。线性近似与小角度正弦近似有关。

$$\sin(\theta) \cong \theta,\ \theta << 1 \quad (4)$$

其中，倾斜角$\theta$单位为弧度。

额外的比例系数k可用于倾角的线性近似计算中，若容许的误差有所增加则可扩大近似的有效范围。

$$\theta \cong k \times \left(\frac{A_{X,OUT}\,[g]}{1\,g}\right) \quad (5)$$

其中，倾斜角$\theta$单位为弧度。

将等式5的结果乘以(180/π)，可转换为度。图5显示使用反正弦函数与使用k = 1时线性近似的对比。随着倾角幅度的增加，线性近似开始下降，计算得到的角度与实际角度发生偏差。

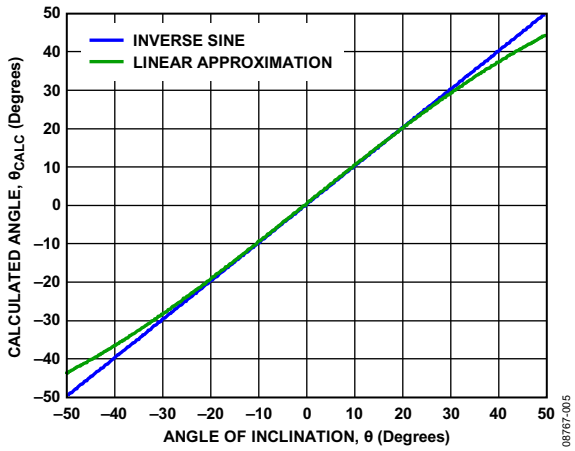



*图5. 倾角计算中反正弦函数与线性近似的对比*

由于计算角度根据实际倾角绘制，因此线性近似在靠近尾部时开始弯曲。这是因为线性近似仅在对比输出加速度时才表现为线性，如图2所示。随着倾角增加，输出加速度的表现与之相似。然而，反正弦函数应当产生与实际倾角一对一对应的输出，从而当描绘实际倾角时，计算得到的角度为一条直线。

例如，假设倾斜检测所需的分辨率为1°，则±0.5°的误差是可以接受的，因为它低于计算的舍入误差。若在k = 1的情况下绘制实际倾角与计算倾角之间的误差(如图6所示)，则线性近似的有效范围仅为±20°。若比例系数经调节后，使得误差最大但依然保持在计算得到的舍入限值内，则线性近似的有效范围增加到±30°以外。

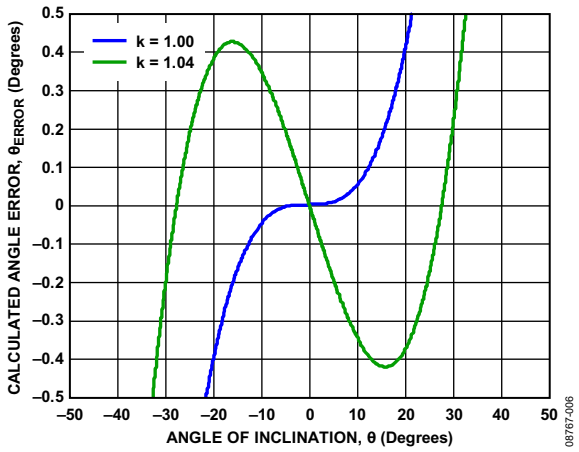



*图6. 不同比例系数下计算得到的角度误差*

## 双轴倾斜计算

单轴倾斜检测的一个限制，是需要高分辨率ADC或数字输出来实现大范围的有效倾角，如图3和图4所示；另一个限制，是单轴测量无法提供360°的测量，因为在倾角N°时产生的加速度与倾角180° – N°时产生的加速度相同。在某些应用中，这是可以接受的；但对于需要更高分辨率或要求在完整的360°弧度范围内区分倾角的应用而言，则需要第二条轴(如图7所示)，或者需要第二个传感器。若使用了第二个传感器，则其朝向应使第二个传感器的检测轴与第一个传感器的检测轴相互正交。

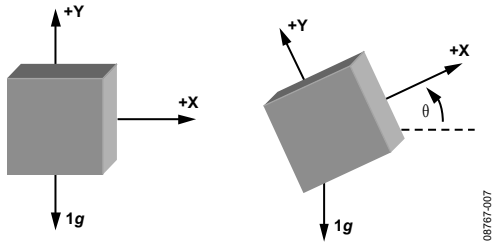



*图7. 用于倾斜检测的双轴*

增加一个轴对确定倾斜角有三大好处。下文说明这些好处。

## 恒定灵敏度

增加一个轴的第一大好处在于两个轴相互垂直。与单轴解决方案相同，x轴检测到的加速度与倾斜角的正弦值成比例。由于两个轴相互垂直，因此y轴加速度与倾斜角的余弦值成比例(见图8)。随着一条轴的增量灵敏度下降(比如该轴的加速度接近+1 *g*或−1 *g*)，另一条轴上的增量灵敏度将会上升。

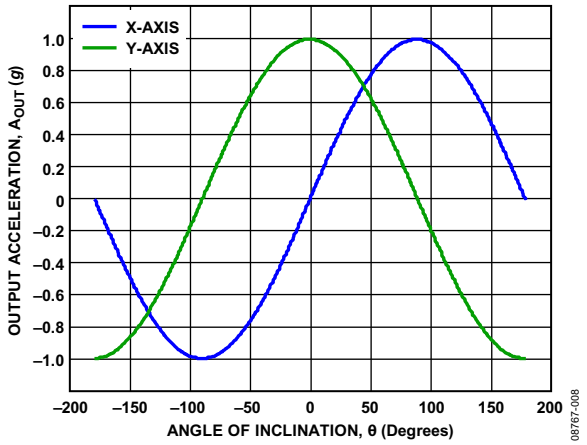



*图8. 输出加速度与倾角的关系*
*(双轴倾斜检测)*

将测量的加速度转换为倾角的一种方法，是计算x轴的反正弦函数和y轴的反余弦函数，与单轴解决方案类似。但是，更简单有效的方法是使用两个数值之比，可得到如下结果：

$$\frac{A_{X,OUT}}{A_{Y,OUT}} = \frac{1\,g \times \sin(\theta)}{1\,g \times \cos(\theta)} = \tan(\theta) \quad (6)$$

$$\theta = \tan^{-1}\left(\frac{A_{X,OUT}}{A_{Y,OUT}}\right) \quad (7)$$

其中，倾斜角$\theta$单位为弧度。

与单轴示例不同，使用两轴之比来确定倾角会使得增量灵敏度的确定变得十分困难。相反，假设所需的倾斜分辨率已知，则确定加速度计需达到的最低分辨率用处更大。假定一条轴的增量灵敏度随着另一条轴的增量灵敏度下降而上升，则净结果将是数值基本恒定的有效增量灵敏度。这表示若针对某一角度，为达到所需的倾斜步长要求而选择加速度计，则该加速度计将具备足够的分辨率以应付所有角度。

为确定所需的最小加速度计分辨率，可检查等式6，确定分辨率的极限。由于每条轴的输出和倾角的正弦或余弦有关，并且每种函数的倾角均相同，因此可求解的最小角度与可求解的最小加速度有关。

如图3和图4所示，正弦函数在0°附近具有最大速率变化，且可以看出，余弦函数在该点处具有最小速率变化。由于这个原因，倾斜导致的x轴加速度变化将先于y轴加速度变化而被识别。因此，系统在0°附近的分辨率主要取决于x轴的分辨率。如需确定P°的倾斜变化，加速度计必须要能检测根据下式所确定的变化量近似值：

$$\Delta A_{OUT}\,[g] \cong 1\,g \times \sin(P) \quad (8)$$

对于所需的倾斜步长，图9可用来确定所需的最小加速度计分辨率(或最大加速度计比例因子)。注意，加速度计分辨率的提升不仅与加速度计比例因子的降低有关，还与检测更小的输出加速度变化的能力有关。因此，针对目标倾斜步长选择具有适当分辨率的加速度计时，比例因子应当小于图9所示的限值。

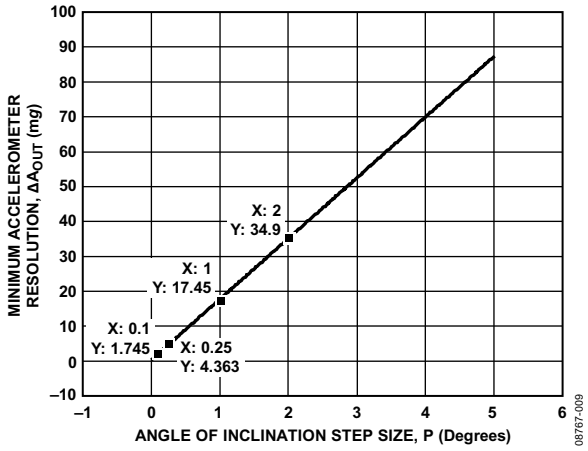



*图9. 用于目标倾角分辨率的最小加速度计分辨率*

## 降低与重力平面对齐的依赖性

使用至少两个轴的第二大好处是，与单轴解决方案不同，增加一个轴后，即使第三个轴上存在倾斜，也可以测出精确值。而在单轴解决方案中，只要除x轴以外的任何其它轴上存在倾斜，就会造成显著误差。这是因为有效增量灵敏度与目标轴上重力的和方根(RSS)值成比例。

若重力完全包含在xy平面中，那么在理想情况下，那些轴上检测到的加速度RSS值等于1 g。若在xz或yz平面上存在倾斜，则重力导致的总加速度将下降，从而降低有效增量灵敏度。这样会增加给定加速度计分辨率的倾斜步长，但依然可以提供精确的测量结果。倾角计算结果与xy平面上的旋转有关。

若系统足够倾斜，以至于xy平面上只有极少量由于重力而造成的加速度，那么倾角步长将会分辨率过低而不可用；因此，建议限制xz或yz平面的倾斜程度。

### 完整360°倾斜检测

增加一个轴的第三大好处是，能够区分各个象限并在整个360°弧度范围内测量角度。如图10所示，每个象限都具有与x和y轴加速度关联的不同符号组合。

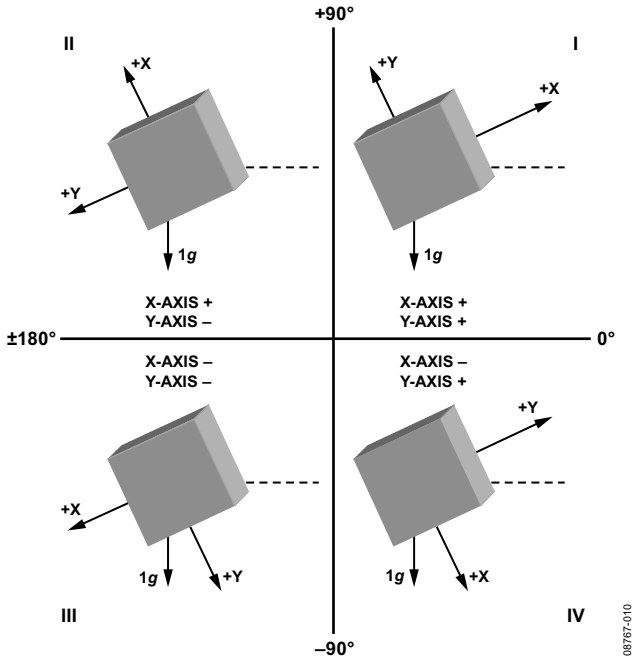



*图10. 象限检测的倾角和加速度符号*

如果操作数$A_{X,OUT}/A_{Y,OUT}$为正值，反正切函数会返回第一象限中的值；如果操作数为负值，则反正切函数会返回第四象限中的值。第二象限内的操作数为负值，因此在计算该象限内的角度时应将结果加上180°。第三象限内的操作数为正值，因此在计算该象限内的角度时应从结果中减去180°。而该角度所处的确切象限则可以通过各轴上测得的加速度符号来确定。

### 三轴倾斜计算

引入第三条轴后，便可在全部范围内确定传感器。经典的矩形(x, y, z)到球形(ρ, θ, ϕ)转换方法可将xy平面的倾角θ以及重力因素产生的倾角ϕ与每条轴上的测量加速度相关联，如下所示：

$$\theta = \tan^{-1}\left(\frac{A_{X,OUT}}{A_{Y,OUT}}\right) \quad (9)$$

$$\phi = \cos^{-1}\left(\frac{A_{Z,OUT}}{\sqrt{A^2{}_{X,OUT} + A^2{}_{Y,OUT} + A^2{}_{Z,OUT}}}\right) \quad (10)$$

假设重力是唯一测得的加速度原因，则等式10分母上的操作数可以常数代替(最好是1)，因为此时所有轴上的RSS值为常数。角度如图11所示；图11c显示θ只在xy平面上存在，而图11d显示ϕ为z轴与重力矢量之间的夹角。

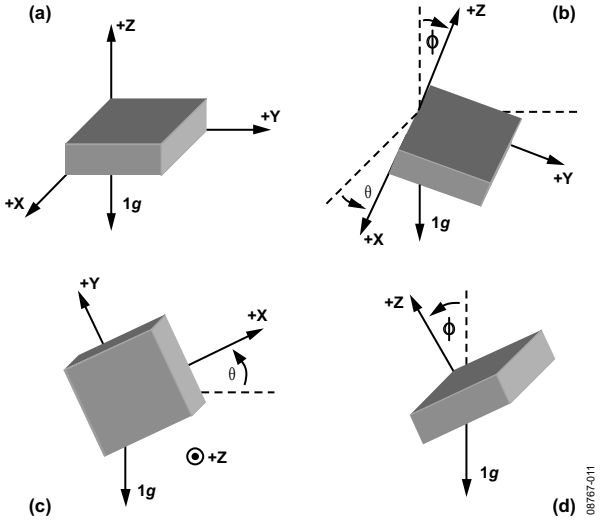



*图11. 球形坐标系统的角度*

由于三轴法与单轴/双轴法具有相似的等式，因此三轴解决方案的分析与单轴和双轴法结合使用时相同。两条正交轴之比有助于θ的测量，并且要达到要求的倾斜分辨率需要具备一个最小加速度计分辨率，如等式8所示。

ϕ的测量不仅与单轴解决方案的倾角测量有关，还与目标范围内实现特定倾角分辨率所需的最小加速度计分辨率的确定有关。区别在于，使用反余弦函数确定ϕ会使ϕ在90°时具有最大的增量灵敏度，而在0°和180°时具有最小的增量灵敏度。

以余弦代替等式2中的正弦，即可产生类似图3和图4的曲线。重要的是需注意，虽然θ的范围为−180°至+180°，但ϕ的范围仅为0°至180°。若ϕ的角度为负数，则θ的角度也会变为负数。

三轴倾斜检测的一种替代方法是单独确定加速度计每条轴与参考位置之间的夹角。参考位置通常选择器件的x轴和y轴位于水平面的方向上(0 *g*场)，并且z轴与水平面垂直(1 *g*场)。图12显示该方法，其中，θ表示水平面与加速度计x轴之间的夹角，ψ表示水平面与加速度计y轴之间的夹角，ϕ表示重力矢量与z轴之间的夹角。当位于x和y轴的0 *g*以及z轴的1 *g*初始位置时，所有计算的角度均为0°。

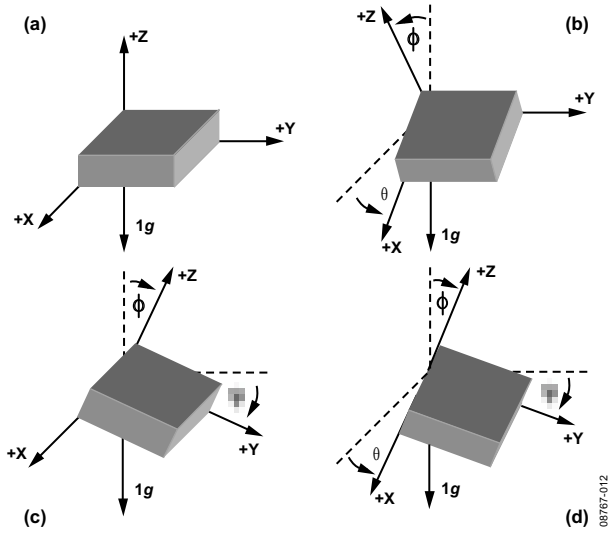



*图12. 独立倾斜检测的角度*

可利用基本三角恒等式计算倾角，如等式11、12和13所示。

$$\theta = \tan^{-1}\left(\frac{A_{X,OUT}}{\sqrt{A^2_{Y,OUT} + A^2_{Z,OUT}}}\right) \quad (11)$$

$$\psi = \tan^{-1}\left(\frac{A_{Y,OUT}}{\sqrt{A^2_{X,OUT} + A^2_{Z,OUT}}}\right) \quad (12)$$

$$\phi = \tan^{-1}\left(\frac{\sqrt{A^2_{X,OUT} + A^2_{Y,OUT}}}{A_{Z,OUT}}\right) \quad (13)$$

等式13中操作数出现明显反转，这是因为初始位置为1 *g*场。若需使用水平面作为z轴的参照，则可将操作数反转。角度为正表示对应的加速度计正轴指向水平面上方，而角度为负表示轴指向水平面下方。

由于采用反正切函数和加速度之比，因此具有双轴示例中提及的优势，也就是说有效增量灵敏度是恒定的，并且单位范围内的角度可在所有点上精确测得。

## 校准失调和灵敏度失配误差

本应用笔记中的分析假设采用理想加速度计。该假设等同于使用无0 *g*失调且具有完美灵敏度的器件——灵敏度以mV/*g*(模拟传感器)或LSB/*g*(数字传感器)表示。虽然传感器经过调节，但器件本质上是机械的，这便意味着系统完成装配后，器件上的任何静态应力都有可能影响失调和灵敏度。再加上工厂校准的限制，便有可能使误差超出应用允许的限值以外。

### 失调误差的影响

为了表明误差到底有多大，可以设想一下，某个双轴解决方案具有完美的灵敏度，但x轴上存在50 m*g*失调。0°时，x轴读数为50 m*g*，y轴读数则为1 *g*。由此计算得出的角度就是2.9°，因而会造成2.9°的误差。±180°时，x轴的读数为50 m*g*，y轴的读数则为−1 *g*。由此计算得出的角度会存在−2.9°的误差。图13所示为本例中算出的角度和实际角度之间的误差情况。失调引起的误差可能不仅大于系统所需的精度，而且还会发生变化，使简单地通过校准消除误差角变得困难。当多个轴上都存在失调时，这将会变得更为复杂。

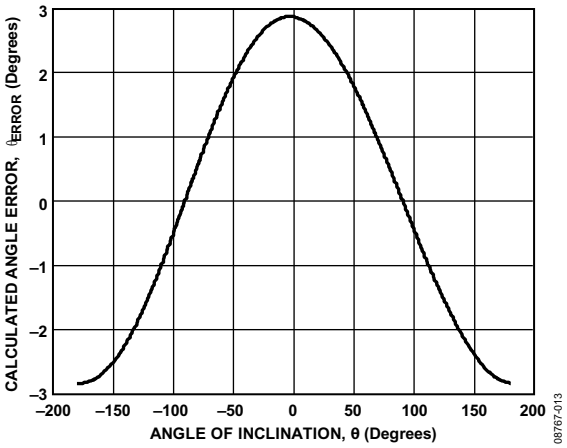



*图13. 加速度计失调引起的角度计算误差*

### 灵敏度失配误差的影响

在双轴倾斜检测应用中，由加速度计灵敏度导致的主要误差成分是目标轴之间的灵敏度差异(在单轴解决方案中，如果实际灵敏度和预期灵敏度之间存在任何偏差，则会导致出现误差)。由于使用的是x和y轴的比值，因此如果两者灵敏度相同，则可以消除大多数误差。

下面举例说明加速度计灵敏度失配的影响。假设某个双轴解决方案具有完美的失调调整功能，且y轴具有完美的灵敏度，但x轴的灵敏度为+5%。这表示在1 *g*场中，y轴读数为1 *g*，x轴读数则为1.05 *g*。图14所示为因为这种灵敏度失配而造成角度计算出现的误差情况。与失调误差类似，加速度计灵敏度失配引起的误差会在整个旋转范围内不断变化，使在计算出倾斜角后进行误差补偿变得困难。改变y轴的灵敏度会进一步增加失配，从而使误差更大。

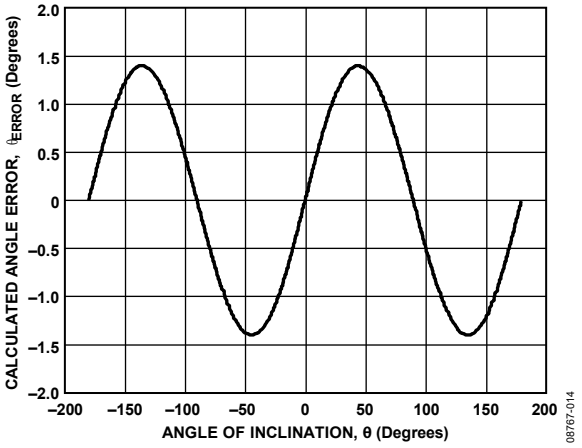



*图14. 加速度计灵敏度失配引起的角度计算误差*

## 基本校准技术

当失调引起的误差和灵敏度失配引起的误差两者相叠加时，误差可能会变得相当大，完全超出倾斜检测应用所能接受的范围。要减少这类误差，就应当对失调和灵敏度进行校准，并使用校准后的输出加速度来计算倾斜角。包括失调和灵敏度的影响后，加速度计输出变化如下：

$$A_{OUT}[g] = A_{OFF} + (Gain \times A_{ACTUAL}) \quad (14)$$

其中：

$A_{OFF}$表示失调误差，单位为*g*。

*Gain*表示加速度计的增益，理想值为1。

$A_{ACTUAL}$表示加速度计的真实加速度和目标值，单位为*g*。

一种简单的校准方法是假设增益为1并测量失调。经过此校准之后，系统的精度即会限制为未校准的灵敏度误差。这种简单的校准方法可通过将目标轴置于0 *g*场中并测量输出(大小等于失调)来完成。然后，应在处理信号之前从加速度计的输出中减去该值。这种方法通常称为无调头或单点校准，因为器件的典型取向会将x和y轴置于0 *g*场中。如果使用的是三轴器件，则应针对z轴包含至少一个调头或第二个点。

一种更加精确的校准方法是每个目标轴上取用两个点(三轴设计最多可取用六个点)。当某个轴处于+1 *g*和−1 *g*场中时，测得的输出如下：

$$A_{+1g}[g] = A_{OFF} + (1\ g \times Gain) \quad (15)$$

$$A_{-1g}[g] = A_{OFF} - (1\ g \times Gain) \quad (16)$$

其中，失调$A_{OFF}$的单位为*g*。

利用这两个点确定的失调和增益如下：

$$A_{OFF}[g] = 0.5 \times (A_{+1g} + A_{-1g}) \quad (17)$$

$$\text{增益} = 0.5 \times \left( \frac{A_{+1g} - A_{-1g}}{1g} \right) \quad (18)$$

其中，+1 *g*和−1 *g*测量结果A+1g和A−1g均以*g*表示。

由于测量目标轴时，正交轴都处于0 *g*场，因此这种校准方法还有助于将跨轴灵敏度影响降至最低。利用这些值，首先可以从加速度计测量结果中减去失调，然后将所得结果除以增益。

$$A_{ACTUAL}[g] = \frac{A_{OUT} - A_{OFF}}{Gain} \quad (19)$$

其中，$A_{OUT}$和$A_{OFF}$的单位为*g*。

等式15至等式19中，计算$A_{OFF}$和增益时，假设加速度值$A_{+1g}$和$A_{-1g}$均以*g*表示。如果加速度单位采用m*g*，则等式17中$A_{OFF}$的计算结果会保持不变，但等式18中增益的计算结果需要除以1000，以处理单位上的变化。

©2010 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN08767sc-0-2/10(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 基于MMSE的触摸屏应用多点校准算法

作者：Ning Jia

## 简介

现代设备多以液晶屏及触摸屏技术作为用户界面。因其简单的构造和众所周知的操作原理，电阻式触摸屏是讲求成本型设计的首选。然而，电阻式触摸屏存在的机械对齐误差及缩放因子，影响了触摸屏产生的X、Y坐标。因此，很难将触摸屏的坐标与其后显示屏(液晶屏等)完全对齐。含有触摸屏的最终产品出厂时，必须首先执行校准算法。

针对触摸屏的经典校准算法是一种基于三个参照点的三点校准算法。这种经典三点校准算法效率高、效果好，但当触摸屏较大时，性能较低。本应用笔记针对电阻式触摸屏，提出了一种基于最小均方误差(MMSE)的多点校准算法，采用三个以上的参照点。数学推导和实验均证明，本算法的精度优于经典三点校准算法。

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com/cn
Fax: 781.461.3113 ©2009 Analog Devices, Inc. All rights reserved.

## 数学原理

图1所示红色圆形的理想中心为O(原点)，理想半径为R。假定该红色圆形代表的是触摸屏下方液晶屏所显示的图像。蓝色椭圆表示用户沿着液晶屏所示红色圆形进行触摸时，触摸屏产生的一组点(图中为夸张的显示)。因此，受电阻式触摸屏本身机械对齐误差和缩放因子的影响，重构后的图像在各坐标轴上均以不同的因子旋转、平移和缩放。校准算法面临的挑战是如何将触摸屏产生的坐标转换成精确代表所示图像的一组坐标。

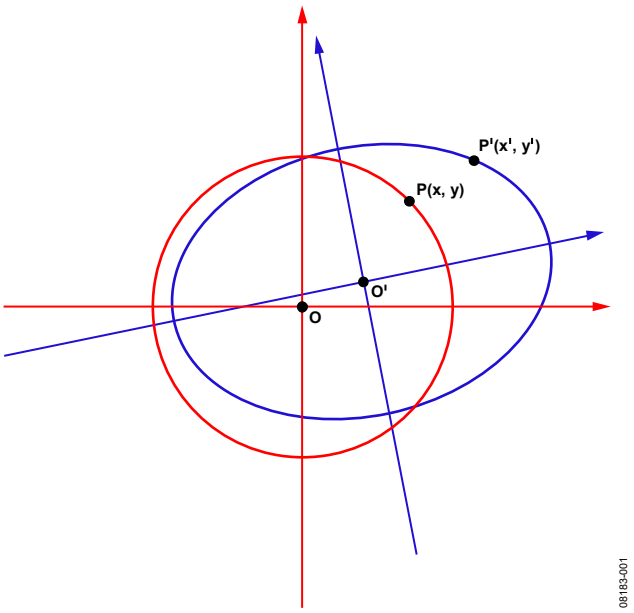



*图 1. 触摸屏误差*

设存在一点，其理想坐标为P(x, y)，且触摸屏产生的坐标为P'(x', y')。(P点位于红色圆形上，与其对应的P'点则位于蓝色椭圆上。)设P'(x', y') 旋转θ角度，然后在X和Y轴分别缩放KX和KY，分别平移$T_X$和$T_Y$，可以回到其理想坐标P(x, y)。校准算法的目的是计算系数θ、$K_X$、$K_Y$、$T_X$和$T_Y$。然后可利用这些系数对触摸屏直接产生的坐标进行校准。

为了便于大家理解以上分析，不妨假设P'(x', y')为触摸屏直接产生的坐标，其等价极坐标表达式P'(Rcos θ0, Rsin θ0)。另外假设，与P'(x', y')对应的理想坐标为P(x, y)。鉴于P'(x', y')与P(x, y)的关系，可得：

$$P(x, y) = P(K_X R\cos(\theta_0 + \theta) + T_X, K_Y R\sin(\theta_0 + \theta) + T_Y)$$

据三角函数，

$$\cos(\theta_0 + \theta) = \cos\theta_0 \cos\theta - \sin\theta_0 \sin\theta$$

及

$$\sin(\theta_0 + \theta) = \sin\theta_0 \cos\theta + \cos\theta_0 \sin\theta$$

可得以下方程式：

$$\begin{cases} x' = R\cos\theta_0 \\ y' = R\sin\theta_0 \end{cases}$$

$$\begin{cases} x = K_X R\cos(\theta_0 + \theta) + T_X = K_X R(\cos\theta_0 \cos\theta - \sin\theta_0 \sin\theta) + T_X \\ y = K_Y R\sin(\theta_0 + \theta) + T_Y = K_Y R(\sin\theta_0 \cos\theta - \cos\theta_0 \sin\theta) + T_Y \end{cases}$$

则有

$$\begin{cases} x = \cos\theta K_X x' - \sin\theta K_X y' + T_X \\ y = \cos\theta K_Y y' - \sin\theta K_Y x' + T_Y \end{cases}$$

其中：

θ、$K_X$、$K_Y$、$T_X$和$T_Y$均为常数。

设：

$$\cos\theta K_X = KX_1$$

$$-\sin\theta K_X = KX_2$$

$$T_X = KX_3$$

$$\sin\theta K_Y = KY_1$$

$$\cos\theta K_Y = KY_2$$

$$T_Y = KY_3$$

则前述方程式可改写为：

$$\begin{cases} x = KX_1 x' + KX_2 y' + KX_3 \\ y = KY_1 y' + KY_2 y' + KY_3 \end{cases}$$

可利用以上方程式来校准P'(x', y')，从而得到P(x, y)。对于X轴和Y轴而言，各方程式中均含有三个未知系数。

## 经典三点校准算法

通过上述分析，我们得到了X轴或Y轴的校准方程式。对于X轴或Y轴，各方程式均含有三个未知系数。因此，如果可获得三个不相关参照点的信息，则可构建出线性方程组，通过解方程来获得未知系数的解。

设三个参照点的理想坐标为($x_0$, $y_0$)、($x_1$, $y_1$) 和 ($x_2$, $y_2$)，其对应的采样坐标为($x'_0$, $y'_0$)、($x'_1$, $y'_1$) 和 ($x'_2$, $y'_2$)，则X轴和Y轴的方程式分别为

$$\begin{cases} x_0 = KX_1x'_0 + KX_2y'_0 + KX_3 \\ x_1 = KX_1x'_1 + KX_2y'_1 + KX_3 \\ x_2 = KX_1x'_2 + KX_2y'_2 + KX_3 \end{cases}$$

及

$$\begin{cases} y_0 = KY_1x'_0 + KY_2y'_0 + KY_3 \\ y_1 = KY_1x'_1 + KY_2y'_1 + KY_3 \\ y_2 = KY_1x'_2 + KY_2y'_2 + KY_3 \end{cases}$$

基于此，可将以上述方程改写为矩阵模式：

$$\begin{bmatrix} x'_0 & y'_0 & 1 \\ x'_1 & y'_1 & 1 \\ x'_2 & y'_2 & 1 \end{bmatrix} \bullet \begin{bmatrix} KX_1 \\ KX_2 \\ KX_3 \end{bmatrix} = \begin{bmatrix} x_0 \\ x_1 \\ x_2 \end{bmatrix}$$

及

$$\begin{bmatrix} x'_0 & y'_0 & 1 \\ x'_1 & y'_1 & 1 \\ x'_2 & y'_2 & 1 \end{bmatrix} \bullet \begin{bmatrix} KY_1 \\ KY_2 \\ KY_3 \end{bmatrix} = \begin{bmatrix} y_0 \\ y_1 \\ y_2 \end{bmatrix}$$

在此基础上，可以通过解方程算出校准系数$KX_1$、$KX_2$、$KX_3$、$KY_1$、$KY_2$ 和 $KY_3$。

通过消元法求得的结果如下：

设 $k = (x'_0 - x'_2)(y'_1 - y'_2) - (x'_1 - x'_2)(y'_0 - y'_2)$ 则

$$KX_1 = \frac{(x_0 - x_2)(y'_1 - y'_2) - (x_1 - x_2)(y'_0 - y'_2)}{k}$$

$$KX_2 = \frac{(x_1 - x_2)(x'_1 - x'_2) - (x_0 - x_2)(x'_1 - x'_2)}{k}$$

$$KX_3 = \frac{y'_0(x'_2x_1 - x'_1x_2) + (y'_1x'_0x_2 - x'_2x_0) + (y'_2x'_1x_0 - x'_0x_1)}{k}$$

$$KY_1 = \frac{(y_0 - y_2)(x'_1 - x'_2) - (y_1 - y_2)(y'_0 - y'_2)}{k}$$

$$KY_2 = \frac{(y_1 - y_2)(x'_0 - x'_2) - (y_0 - y_2)(x'_1 - x'_2)}{k}$$

$$KY_3 = \frac{y'_0(x'_2y_1 - x'_1y_2) + (y'_1x'_0y_2 - x'_2y_0) + (y'_2x'_1y_0 - x'_0y_1)}{k}$$

## 基于MMSE的多点校准算法

利用经典三点校准算法得到的系数，可以将三个参照点校准到理想位置。然而，对于不在参照点附近的其他点，校准性能不甚理想，当触摸屏相对较大时尤其如此。示例部分的实验结果同样证实了这个问题。因此，可考虑利用三个以上的参照点，以获得最佳校准系数。

设有N + 1个参照点(N + 1 > 3)，其理想坐标为($x_0$, $y_0$)、($x_1$, $y_1$)…($x_N$, $y_N$)，且其对应的采样坐标为($x'_0$, $y'_0$)、($x'_1$, $y'_1$)…($x'_N$, $y'_N$)，则相应的方程式如下：

$$\begin{cases} x_0 = KX_1x'_0 + KX_2y'_0 + KX_3 \\ x_1 = KX_1x'_1 + KX_2y'_1 + KX_3 \\ \vdots \\ x_N = KX_1x'_N + KX_2y'_N + KX_3 \end{cases}$$

及

$$\begin{cases} y_0 = KY_1x'_0 + KY_2y'_0 + KY_3 \\ y_1 = KY_1x'_1 + KY_2y'_1 + KY_3 \\ \vdots \\ y_N = KY_1x'_N + KY_2y'_N + KY_3 \end{cases}$$

注意，各方程组中的方程数(N + 1)均大于未知系数的个数(3)。

可见，我们的目的是算出适合全部(N + 1)个参照点的最佳校准系数。获得最佳系数的方法是遵循MMSE规则。这正是这种算法称为基于MMSE的多点校准算法的原因所在。

以X轴为例，定义一个目标函数

$$FX = \sum_{i=0}^{N} \left(KX_1x'_i + KX_2y'_i + KX_3 - x_i\right)^2$$

其中，FX为参照点的误差平方和。

$KX_1$、$KX_2$和$KX_3$的最佳系数指使目标函数FX最小的那些系数。因此，可使用以下方程式：

$$\begin{cases}\dfrac{\partial FX}{\partial KX_1}=0\\ \dfrac{\partial FX}{\partial KX_2}=0\\ \dfrac{\partial FX}{\partial KX_3}=0\end{cases}$$

即

$$\begin{cases}\dfrac{\partial FX}{\partial KX_1}=\sum_{i=0}^{N}2x_i'\left(KX_1x_i'+KX_2y_i'+KX_3-x_i\right)=0\\ \dfrac{\partial FX}{\partial KX_2}=\sum_{i=0}^{N}2y_i'\left(KX_1x_i'+KX_2y_i'+KX_3-x_i\right)=0\\ \dfrac{\partial FX}{\partial KX_3}=\sum_{i=0}^{N}2\left(KX_1x_i'+KX_2y_i'+KX_3-x_i\right)=0\end{cases}$$

以上方程式可简化为

$$\begin{cases}\left(\sum_{i=0}^{N}x_i'^2\right)KX_1+\left(\sum_{i=0}^{N}x_i'y_i'\right)KX_2+\left(\sum_{i=0}^{N}x_i'\right)KX_3=\sum_{i=0}^{N}x_i'x_i'\\ \left(\sum_{i=0}^{N}x_i'y_i'\right)KX_1+\left(\sum_{i=0}^{N}y_i'\right)KX_2+\left(\sum_{i=0}^{N}y_i'\right)KX_3=\sum_{i=0}^{N}y_i'x_i'\\ \left(\sum_{i=0}^{N}x_i'\right)KX_1+\left(\sum_{i=0}^{N}y_i'\right)KX_2+N\cdot KX_3=\sum_{i=0}^{N}x_i\end{cases}$$

设

$$R=\begin{bmatrix}\sum_{i=0}^{N}x_i'^2 & \sum_{i=0}^{N}x_i'y_i' & \sum_{i=0}^{N}x_i'\\ \sum_{i=0}^{N}x_i'y_i' & \sum_{i=0}^{N}y_i'^2 & \sum_{i=0}^{N}y_i'\\ \sum_{i=0}^{N}x_i' & \sum_{i=0}^{N}y_i' & N\end{bmatrix},\quad KX=\begin{bmatrix}KX_1\\KX_2\\KX_3\end{bmatrix},\quad BX=\begin{bmatrix}\sum_{i=0}^{N}x_i'x_i\\ \sum_{i=0}^{N}y_i'x_i\\ \sum_{i=0}^{N}x_i\end{bmatrix}$$

基于此，可将各方程式改写为矩阵模式R • KX = BX，并可通过求解前述方程组算出最佳系数 KX = $R^{-1}$ • BX。
与X轴类似，设

$$KY=\begin{bmatrix}KY_1\\KY_2\\KY_3\end{bmatrix},\quad BY=\begin{bmatrix}\sum_{i=0}^{N}x_i'y_i\\ \sum_{i=0}^{N}y_i'y_i\\ \sum_{i=0}^{N}y_i\end{bmatrix}$$

然后即可通过求解方程组R • KY = BY，算出Y轴的最佳系数 KY = $R^{-1}$ • BY。

通过消元法求得的结果如下：

设

$$a_0=\frac{\sum x_i'^2}{\sum x_i'},\quad a_1=\frac{\sum x_i'y_i'}{\sum y_i'},\quad a_2=\frac{\sum x_i'}{N}$$

$$b_0=\frac{\sum x_i'y_i'}{\sum x_i'},\quad b_1=\frac{\sum y_i'^2}{\sum y_i'},\quad b_2=\frac{\sum y_i'}{N},$$

$$c_0=\frac{\sum x_i'x_i'}{\sum x_i'},\quad c_1=\frac{\sum y_i'x_i}{\sum y_i'},\quad c_2=\frac{\sum x_i'}{N},$$

$$d_0=\frac{\sum x_i'y_i}{\sum x_i'},\quad d_1=\frac{\sum y_i'x_i}{\sum y_i'},\quad d_2=\frac{\sum y_i'}{N}$$

其中，$\Sigma\bullet$表示$\sum_{i=0}^{N}\bullet$

基于此，可将方程组 R • KX = BX 和 R • KY = BY 分别改写为

$$\begin{bmatrix}a_0 & b_0 & 1\\ a_1 & b_1 & 1\\ a_2 & b_2 & 1\end{bmatrix}\bullet\begin{bmatrix}KX_1\\KX_2\\KX_3\end{bmatrix}=\begin{bmatrix}c_0\\c_1\\c_2\end{bmatrix}$$

及

$$\begin{bmatrix}a_0 & b_0 & 1\\ a_1 & b_1 & 1\\ a_2 & b_2 & 1\end{bmatrix}\bullet\begin{bmatrix}KY_1\\KY_2\\KY_3\end{bmatrix}=\begin{bmatrix}d_0\\d_1\\d_2\end{bmatrix}$$

不难发现，以上方程组的格式与前面经典三点算法的方程组相同：

$$\begin{bmatrix}x_0' & y_0' & 1\\ x_1' & y_1' & 1\\ x_2' & y_2' & 1\end{bmatrix}\bullet\begin{bmatrix}KX_1\\KX_2\\KX_3\end{bmatrix}=\begin{bmatrix}x_0\\x_1\\x_2\end{bmatrix}$$

及

$$\begin{bmatrix}x_0' & y_0' & 1\\ x_1' & y_1' & 1\\ x_2' & y_2' & 1\end{bmatrix}\bullet\begin{bmatrix}KY_1\\KY_2\\KY_3\end{bmatrix}=\begin{bmatrix}y_0\\y_1\\y_2\end{bmatrix}$$

在此基础上，可利用相同的公式计算系数的结果。

设

$$k=(a_0-a_2)(b_1-b_2)-(a_1-a_2)(b_0-b_2)$$

则

$$KX_1=\frac{(c_0-c_2)(b_1-b_2)-(c_1-c_2)(b_0-b_2)}{k}$$

$$KX_2=\frac{(c_1-c_2)(a_0-a_2)-(c_0-c_2)(a_1-a_2)}{k}$$

$$KX_3=\frac{b_0(a_2c_1-a_1c_2)+b_1(a_0c_2-a_2c_0)+b_2(a_1c_0-a_0c_1)}{k}$$

$$KY_1=\frac{(d_0-d_2)(b_1-b_2)-(d_1-d_2)(b_0-b_2)}{k}$$

$$KY_2=\frac{(d_1-d_2)(a_0-a_2)-(d_0-d_2)(a_1-a_2)}{k}$$

$$KY_3=\frac{b_0(a_2d_1-a_1d_2)+b_1(a_0d_2-a_2d_0)+b_2(a_1d_0-a_0d_1)}{k}$$

## 基于MMSE的多点校准算法的分析

通过计算$a_0$、$a_1$、$a_2$；$b_0$、$b_1$、$b_2$；$c_0$、$c_1$、$c_2$和$d_0$、$d_1$、$d_2$可以发现，可将$a_0$、$a_1$、$a_2$当作基于三种不同方法的x'i的加权平均值，可将$b_0$、$b_1$、$b_2$看作基于三种不同方法的y'i的加权平均值。类似地，可将$c_0$、$c_1$、$c_2$当作基于三种不同方法的xi的加权平均值，$d_0$、$d_1$、$d_2$则可视为基于三种不同方法的yi的加权平均。

由于最终方程组与前面经典三点算法的方程组具有相同格式，因此，可将基于MMSE规则的算法视为另一种三点算法。然而，基于MMSE的算法的区别在于，其采用的不是任何参照点的直接信息，而是参照点的加权平均信息。换言之，先要算出N + 1个直接采样点$(x'_0, y'_0)$、$(x'_1, y'_1)$…$(x'_N, y'_N)$的三个加权平均点$(a_0, b_0)$、$(a_1, b_1)$、$(a_2, b_2)$。这三个加权平均点对应的理想坐标为$(c_0, d_0)$、$(c_1, d_1)$和$(c_2, d_2)$。可见，基于MMSE的算法等效于对这三个加权平均点而言的经典三点算法。

## 基于MMSE的多点校准算法的步骤

完成基于MMSE的多点校准算法的下列步骤：

1. 选择N +1 (N + 1 > 3)个参照点$(x_0, y_0)$、$(x_1, y_1)$…$(x_N, y_N)$。
2. 得到触摸屏产生的参照点的采样坐标$(x'_0, y'_0)$、$(x'_1, y'_1)$…$(x'_N, y'_N)$。
3. 利用本应用笔记给出的公式，算出校准系数KX和KY。包括以下公式：

$$k=(a_0-a_2)(b_1-b_2)-(a_1-a_2)(b_0-b_2)$$

$$KX_1=\frac{(c_0-c_2)(b_1-b_2)-(c_1-c_2)(b_0-b_2)}{k}$$

$$KX_2=\frac{(c_1-c_2)(a_0-a_2)-(c_0-c_2)(a_1-a_2)}{k}$$

$$KX_3=\frac{b_0(a_2c_1-a_1c_2)+b_1(a_0c_2-a_2c_0)+b_2(a_1c_0-a_0c_1}{k}\quad)$$

$$KY_1=\frac{(d_0-d_2)(b_1-b_2)-(d_1-d_2)(b_0-b_2)}{k}$$

$$KY_2=\frac{(d_1-d_2)(a_0-a_2)-(d_0-d_2)(a_1-a_2)}{k}$$

$$KY_3=\frac{b_0(a_2d_1-a_1d_2)+b_1(a_0d_2-a_2d_0)+b_2(a_1d_0-a_0d_1)}{k}$$

4. 在正常操作中，利用校准系数(KX, KY)和下列方程式计算P'(x', y')的校准点。

$$\begin{cases}x=KX_1x'+KX_2y'+KX_3\\ y=KY_1x'+KY_2y'+KY_3\end{cases}$$

## 示例

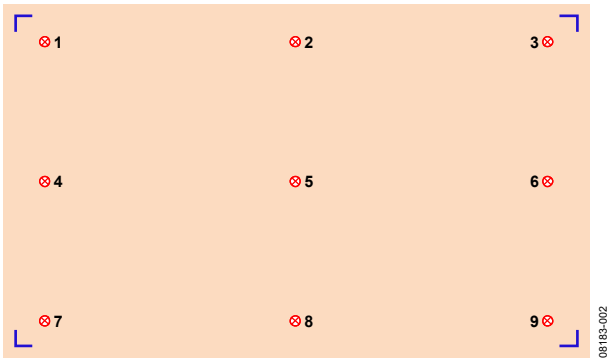



*图 2. 选择参照点*

如图2所示，从触摸屏上选择了九个点。其理想坐标为(3931, 3849)、(2047, 3849)、(164, 3849)、(3931, 2047)、(2047, 2047)、(164, 2047)、(3931, 246)、(2047, 246) 和 (164, 246)。触摸屏产生的对应采样坐标为(3927, 3920)、(2054, 3936)、(193, 3943)、(3911, 2119)、(2054, 2127)、(195, 2164)、(3915, 331)、(2050, 354)和(189, 371)。显然，理想坐标与对应的采样坐标之间存在极大的误差。

接下来的三个实验分别采用经典三点算法、基于MMSE的五点算法和基于MMSE的九点算法：

- 经典三点算法选择三个参照点，即图2中的点1、点6和点8。相应的校准系数为：
  $KX_1$=+1.011238，$KX_2$=–0.003952，$KX_3$=–24.638760
  $KY_1$=+0.009894，$KY_2$=+1.005168，$KY_3$=–130.112700
  利用以上系数，校准后的结果列于表1中。
- 基于MMSE的五点算法选择五个参照点，即图2中的点1、点3、点5、点7和点9。相应的校准系数为：
  $KX_1$= +1.009899, $KX_2$ = –0.002260, $KX_3$ = –23.715720
  $KY_1$=+0.008494, $KY_2$= +1.006247, $KY_3$ = –121.821000
  利用以上系数，校准后的结果列于表2中。
- 基于MMSE的九点算法选择九个参照点，即图2中的点1、点2、点3、点4、点5、点6、点7、点8和点9。相应的校准系数为：
  $KX_1$= +1.011161, $KX_2$ = –0.001887, $KX_3$ = –25.777180
  $KY_1$=+0.009718, $KY_2$= +1.006107, $KY_3$ = –126.258100
  利用以上系数，校准后的结果列于表3中。

**表1. 经典三点算法的结果**

| Point (X, Y) | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
|---|---|---|---|---|---|---|---|---|---|
| 理想坐标 | (3931, 3849) | (2047, 3849) | (164, 3849) | (3931, 2047) | (2047, 2047) | (164, 2047) | (3931, 246) | (2047, 246) | (164, 246) |
| 采样坐标 | (3927, 3920) | (2054, 3936) | (193, 3943) | (3911, 2119) | (2054, 2127) | (195, 2164) | (3915, 331) | (2050, 354) | (189, 371) |
| 校准坐标 | (3931, 3849) | (2037, 3846) | (155, 3835) | (3922, 2039) | (2044, 2028) | (164, 2047) | (3933, 242) | (2047, 246) | (165, 244) |
| 误差 | (0, 0) | (–10, –3) | (–9, –14 ) | (–9, –8 ) | (–3, –19 ) | (0, 0) | (+2, –4 ) | (0, 0) | (+1, –2) |
| 误差平方和 | (276, 650) | | | | | | | | |

**表2. 基于MMSE的五点算法的结果**

| Point (X, Y) | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
|---|---|---|---|---|---|---|---|---|---|
| 理想坐标 | (3931, 3849) | (2047, 3849) | (164, 3849) | (3931, 2047) | (2047, 2047) | (164, 2047) | (3931, 246) | (2047, 246) | (164, 246) |
| 采样坐标 | (3927, 3920) | (2054, 3936) | (193, 3943) | (3911, 2119) | (2054, 2127) | (195, 2164) | (3915, 331) | (2050, 354) | (189, 371) |
| 校准坐标 | (3933, 3856) | (2042, 3856) | (162, 3847) | (3921, 2044) | (2046, 2036) | (168, 2057) | (3929, 245) | (2046, 252) | (166, 253) |
| 误差 | (2, 7) | (–5, +7) | (–2, –2 ) | (–10, –3 ) | (–1, –11) | (4, 10) | (–2, –1) | (–1, +6) | (+2, +7) |
| 误差平方和 | (159, 418) | | | | | | | | |

**表3. 基于MMSE的九点算法的结果**

| Point (X, Y) | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
|---|---|---|---|---|---|---|---|---|---|
| 理想坐标 | (3931, 3849) | (2047, 3849) | (164, 3849) | (3931, 2047) | (2047, 2047) | (164, 2047) | (3931, 246) | (2047, 246) | (164, 246) |
| 采样坐标 | (3927, 3920) | (2054, 3936) | (193, 3943) | (3911, 2119) | (2054, 2127) | (195, 2164) | (3915, 331) | (2050, 354) | (189, 371) |
| 校准坐标 | (3938, 3856) | (2044, 3854) | (162, 3842) | (3925, 2044) | (2047, 2034) | (167, 2053) | (3932, 245) | (2046, 250) | (165, 249) |
| 误差 | (7, 7) | (–3, +5) | (–2, –7) | (–6, –3) | (0, –13) | (3, 6) | (+1, –1) | (–1, +4) | (+1,+3) |
| 误差平方和 | (110, 363) | | | | | | | | |

## 结论

如前述实验结果所示，无论采用哪种校准算法，校准坐标均远远优于直接采样坐标。另外，通过比较三种实验，可得出以下结论

- 经典三点校准算法有助于将三个参照点校准到理想位置。另外，对于靠近三个参照点的点，其性能表现非常好。然而，对于不在参照点附近的点，经典三点校准算法的表现不甚理想。这种算法的误差平方和是测试所用三种算法中最大的。因此，对于触摸屏尺寸相对较大的应用，经典三种校准算法并非好的选择。
- 对于某些点(接近参照点的点)，基于MMSE的多点校准算法的表现不如经典三点校准算法。然而，就整个触摸屏来看，基于MMSE的多点校准算法的误差平方和小于经典三点算法，因为它利用了三个以上参照点的信息。因而，总体而言，其性能优于经典三点算法。
- 对于基于MMSE的多点校准算法，使用的参照点越多，性能越佳。

实验结果与数学推导相符合。

## 代码执行

以C语言编写的校准算法代码见“编码”部分。有三个参照点时，代码执行经典三点校准算法。有三个以上的参照点时，代码执行基于MMSE的多点校准算法。代码已通过ADuC7026测试(ADuC7026是ADI公司出品的一款MCU产品)。三个示例实验的结果均采用该代码计算得到。

**编码**

```
#define N    9                                  // number of reference points for calibration
algorithm
signed short int ReferencePoint[N][2];       // ideal position of reference points
signed short int SamplePoint[N][2];          // sampling position of reference points
double KX1, KX2, KX3, KY1, KY2, KY3;         // coefficients for calibration algorithm


void Do_Calibration(signed short int *Px, signed short int *Py)// do calibration for point
(Px, Py) using the calculated coefficients
{
      *Px=(signed short int)(KX1*(*Px)+KX2*(*Py)+KX3+0.5);
      *Py=(signed short int)(KY1*(*Px)+KY2*(*Py)+KY3+0.5);
}


int Get_Calibration_Coefficient()            // calculate the coefficients for calibration
algorithm: KX1, KX2, KX3, KY1, KY2, KY3
{
      int i;
      int Points=N;
      double a[3],b[3],c[3],d[3],k;
      if(Points<3)
      {
            return 0;
      }
      else
      {
            if(Points==3)
            {
                  for(i=0; i<Points; i++)
                  {
                        a[i]=(double)(SamplePoint[i][0]);
                        b[i]=(double)(SamplePoint[i][1]);
                        c[i]=(double)(ReferencePoint[i][0]);
                        d[i]=(double)(ReferencePoint[i][1]);
                  }
            }
            else if(Points>3)
            {
                  for(i=0; i<3; i++)
                  {
                        a[i]=0;
                        b[i]=0;
                        c[i]=0;
                        d[i]=0;
                  }
                  for(i=0; i<Points; i++)
```

```
                    {
                          a[2]=a[2]+(double)(SamplePoint[i][0]);
                          b[2]=b[2]+(double)(SamplePoint[i][1]);
                          c[2]=c[2]+(double)(ReferencePoint[i][0]);
                          d[2]=d[2]+(double)(ReferencePoint[i][1]);
                          a[0]=a[0]+(double)(SamplePoint[i][0])*(double)(SamplePoint[i][0]);
                          a[1]=a[1]+(double)(SamplePoint[i][0])*(double)(SamplePoint[i][1]);
                          b[0]=a[1];
                          b[1]=b[1]+(double)(SamplePoint[i][1])*(double)(SamplePoint[i][1]);
                          c[0]=c[0]+(double)(SamplePoint[i][0])*(double)(ReferencePoint[i][0]);
                          c[1]=c[1]+(double)(SamplePoint[i][1])*(double)(ReferencePoint[i][0]);
                          d[0]=d[0]+(double)(SamplePoint[i][0])*(double)(ReferencePoint[i][1]);
                          d[1]=d[1]+(double)(SamplePoint[i][1])*(double)(ReferencePoint[i][1]);
                    }
                    a[0]=a[0]/a[2];
                    a[1]=a[1]/b[2];
                    b[0]=b[0]/a[2];
                    b[1]=b[1]/b[2];
                    c[0]=c[0]/a[2];
                    c[1]=c[1]/b[2];
                    d[0]=d[0]/a[2];
                    d[1]=d[1]/b[2];
                    a[2]=a[2]/Points;
                    b[2]=b[2]/Points;
                    c[2]=c[2]/Points;
                    d[2]=d[2]/Points;
              }
              k=(a[0]-a[2])*(b[1]-b[2])-(a[1]-a[2])*(b[0]-b[2]);
              KX1=((c[0]-c[2])*(b[1]-b[2])-(c[1]-c[2])*(b[0]-b[2]))/k;
              KX2=((c[1]-c[2])*(a[0]-a[2])-(c[0]-c[2])*(a[1]-a[2]))/k;
              KX3=(b[0]*(a[2]*c[1]-a[1]*c[2])+b[1]*(a[0]*c[2]-a[2]*c[0])+b[2]*(a[1]*c[0]-
a[0]*c[1]))/k;
              KY1=((d[0]-d[2])*(b[1]-b[2])-(d[1]-d[2])*(b[0]-b[2]))/k;
              KY2=((d[1]-d[2])*(a[0]-a[2])-(d[0]-d[2])*(a[1]-a[2]))/k;
              KY3=(b[0]*(a[2]*d[1]-a[1]*d[2])+b[1]*(a[0]*d[2]-a[2]*d[0])+b[2]*(a[1]*d[0]-
a[0]*d[1]))/k;
              return Points;
       }
}
```

## 参考文献

Vidales, Carlos E。“触摸屏校准及嵌入式系统设计”。Embedded.com，2002年5月31日。嵌入式系统设计。2009年5月27日。

©2009 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN08183sc-0-7/09(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 数字滤波器的选择：AD7190、AD7192

作者：Mary McCarthy

## 简介

标题所列Σ-Δ ADC内置用户可选的sinc$^3$和sinc$^4$数字滤波器。本应用笔记将比较这两种滤波器，明确各自的优点以及使用每种滤波器的影响。

## SINC滤波器

Σ-Δ ADC内置一个Σ-Δ调制器，后接一个数字滤波器。调制器以高采样速率对模拟输入连续采样，并输出1位数据流。位流中1的数量对应于模拟输入电压。然后，数字滤波器处理位流并执行抽取，以产生24位转换结果。

Sinc滤波器用作所讨论产品的数字滤波器。输出数据速率$f_{ADC}$，即ADC在单一通道上连续转换的速率等于：

$$f_{ADC} = f_{CLK}/(1024 \times FS[9:0])$$

其中：

$f_{CLK}$为主时钟频率(标称值4.92 MHz)。

FS[9:0]为模式寄存器FS9位至FS0位中的码的十进制等效值。

这是禁用斩波时输出数据速率的计算公式。请注意，本应用笔记假设禁用斩波，除非另有说明。

图1显示10 Hz输出数据速率时sinc$^3$滤波器的频率响应，图2显示10 Hz输出数据速率时sinc$^4$滤波器的频率响应。陷波位置由输出数据速率决定。陷波宽度取决于滤波器阶数。随着阶数提高，陷波将变得更宽。因此，输出数据速率决定陷波位置，滤波器阶数则决定可以在陷波周围获得的抑制。随着滤波器阶数提高，滚降、阻带衰减、建立时间和噪声都会受影响。

## 50 Hz/60 Hz抑制

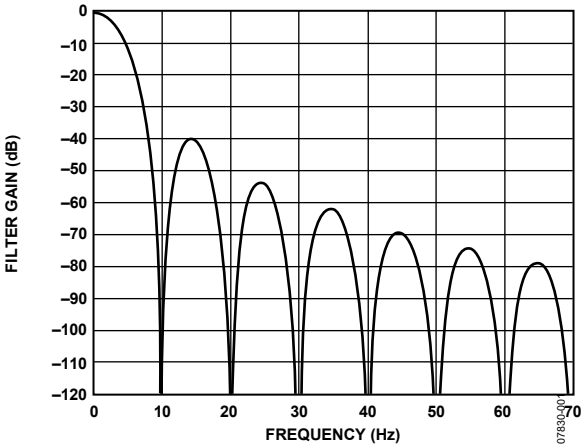



*图1. Sinc$^3$滤波器响应($f_{ADC}$ = 10 Hz)*

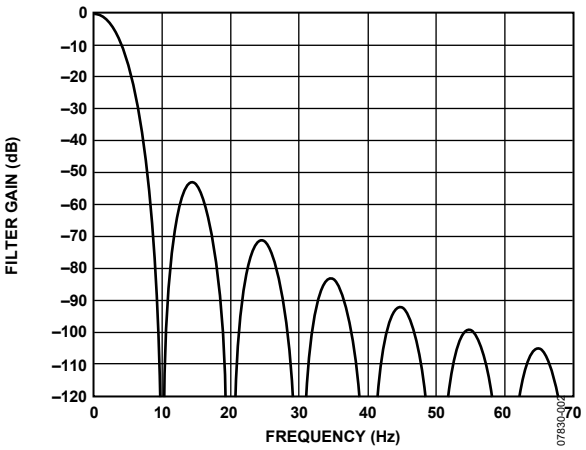



*图2. Sinc$^4$滤波器响应($f_{ADC}$ = 10 Hz)*

图1显示输出数据速率为10 Hz时sinc$^3$滤波器的频率响应。陷波出现在输出数据速率及其倍数处。因此，陷波位于10 Hz、20 Hz、30 Hz等。可以利用此特性来抑制来自主电源的干扰，这是许多应用的关键要求。在世界上的一些地区，需要抑制50 Hz干扰，而在另一些地区，则需要抑制60 Hz干扰。可以利用sinc滤波器的陷波来抑制这种干扰。当输出数据速率为10 Hz时，陷波位于50 Hz和60 Hz，因而能够实现50 Hz和60 Hz同时抑制。终端系统如果需要销往世界上的许多国家和地区，则必须具备此特性。

从图1可知，当输出数据速率等于10 Hz时，50 Hz ± 1 Hz和60 Hz ± 1 Hz抑制超过100 dB；其前提是系统时钟具有低抖动和漂移，例如利用晶振提供系统时钟。

图2显示输出数据速率为10 Hz时sinc$^4$滤波器的频率响应。与sinc$^3$滤波器一样，陷波位于10 Hz和10 Hz的倍数。但是，由于陷波更宽，50 Hz ± 1 Hz和60 Hz ± 1 Hz抑制超过120 dB。

如果只需要50 Hz抑制或60 Hz抑制，则可以提高输出数据速率；因此，对于仅50 Hz抑制，可以使用的最大输出数据速率为50 Hz。此时，sinc滤波器的第一陷波位于50 Hz。同样，60 Hz输出数据速率将使第一陷波位于60 Hz。

当ADC以50 Hz输出数据速率工作时，有一个片内特性也能使陷波位于60 Hz。如果模式寄存器的REJ60位设为1，则当输出数据速率为50 Hz时，60 Hz处也有一个陷波。因此，可以将输出数据速率从10 Hz提高到50 Hz，同时仍然能够获得50 Hz和60 Hz同时抑制。图3显示输出数据速率为50 Hz且REJ60设为1时的滤波器响应。最差情况的50 Hz ± 1 Hz和60 Hz ± 1 Hz抑制为67 dB。当使用sinc$^4$滤波器时(见图4)，最差情况的50 Hz ± 1 Hz和60 Hz ± 1 Hz抑制为82 dB。

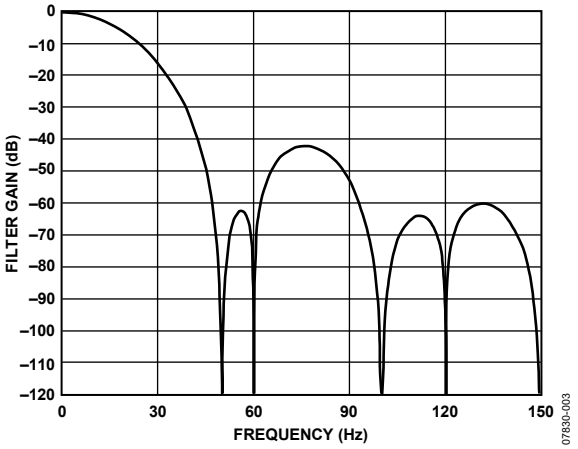



*图3. Sinc$^3$滤波器响应($f_{ADC}$ = 50 Hz, REJ60 = 1)*

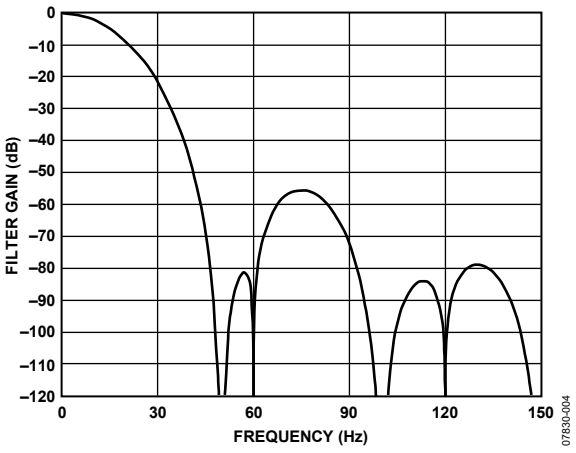



*图4. Sinc$^4$滤波器响应($f_{ADC}$ = 50 Hz, REJ60 = 1)*

## 阻带衰减

滤波器阶数会引起的滤波器响应变化，表现为除了影响陷波宽度外，还会改变阻带衰减和滤波器滚降。阻带衰减是指数字滤波器对第一陷波以上频率的衰减(见图5)。随着滤波器阶数提高，阻带衰减将得到改善。sinc$^3$滤波器的阻带衰减为40 dB，sinc$^4$滤波器则为53 dB。

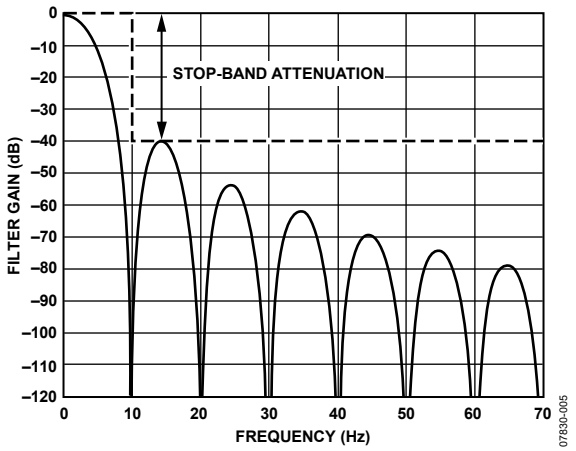



*图5. 阻带衰减*

## 噪声和分辨率

这些器件能够以4.7 Hz至4.8 kHz的可编程输出数据速率工作。除滤波器阶数外，输出数据速率也会影响噪声，从而影响分辨率。输出数据速率较低时，sinc$^3$与sinc$^4$滤波器的均方根噪声相似(见图6)。但是，如果输出数据速率较高(1 kHz或更高)，则sinc$^4$滤波器的均方根噪声性能更优越。图7显示不同输出数据速率时的无噪声(峰峰值)分辨率。

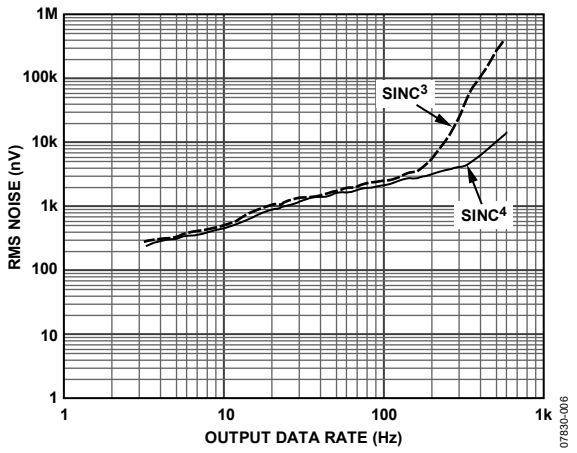



*图6. 均方根噪声与输出数据速率的关系(增益 = 1，$V_{RFE}$ = 5 V)*

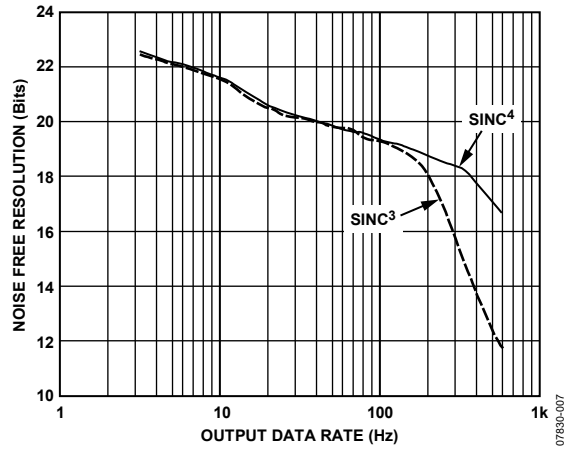



*图7. 无噪声分辨率与输出数据速率的关系(增益 = 1，$V_{RFE}$ = 5 V)*

## 建立时间

对于多通道应用，建立时间是需要考虑的另一个参数。当在单一通道上连续转换时，如果模拟输入信号是连续的，ADC将以设定的输出数据速率输出有效转换结果。然而，如果发生配置变更，例如更改通道、增益或输出数据速率等，则配置变更之后的第一次转换需要花费额外的时间。图8显示ADC以10 Hz输出数据速率工作时通道变更的影响。发生通道变更时，调制器和滤波器将复位。然后，ADC开始对新的模拟输入采样。必须让滤波器完全建立起来，才能产生第一个有效转换结果。对于sinc$^3$滤波器，建立时间$t_{SETTLE}$等于：

$$t_{SETTLE} = 3/f_{ADC}$$

对于sinc$^4$滤波器，建立时间等于：

$$t_{SETTLE} = 4/f_{ADC}$$

如果ADC在单一通道上执行转换，但模拟输入信号发生阶跃变化，则ADC需要处理新的模拟输入。如果阶跃变化与转换过程同步，则必须经过建立时间后，才能提供有效转换结果。ADC并不检测模拟输入的阶跃变化，因此它会以设定的输出数据速率继续输出转换结果。然而，中间转换结果并不准确；它们反映的是模拟输入的变化，同时精度较低。

如果阶跃变化发生在转换过程当中，则必须等待当前转换结束，再经过适当的建立时间后，才能产生有效转换结果。对于sinc$^3$滤波器，总时间延长至$4/f_{ADC}$；对于sinc$^4$滤波器，产生有效转换结果所需的时间则延长至$5/f_{ADC}$。

总之，当输出数据速率相同时，sinc$^3$滤波器比sinc$^4$滤波器建立得更快。虽然sinc$^4$滤波器的均方根噪声性能和无噪声分辨率高于sinc$^3$滤波器，但前者的建立时间更长。

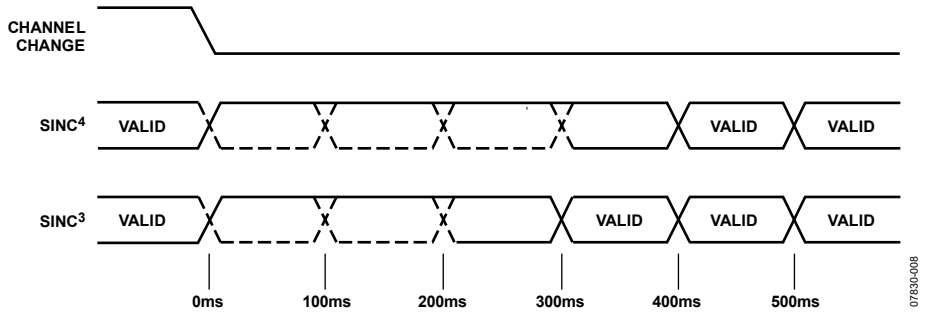



*图8. 建立时间(同步阶跃变化)*

## 结论

sinc滤波器的阶数影响Σ-Δ ADC可实现的性能。高阶sinc滤波器可以提供更好的陷波频率抑制和阻带衰减，而且能在高输出数据速率时提供更优的噪声性能和分辨率。缺点是建立时间更长，sinc$^4$滤波器的建立时间比sinc$^3$滤波器的建立时间长一个转换周期。因此，滤波器选择取决于所需的50 Hz和60 Hz抑制组合、所用的输出数据速率以及所需的噪声性能和分辨率。对于标题所列Σ-Δ ADC，表1列出了不同数字滤波器影响的多个关键性能的参数。

**表1. Sinc$^3$和Sinc$^4$滤波器的一些关键性能参数比较**

| 参数 | Sinc$^3$ | Sinc$^4$ |
|---|---|---|
| 均方根噪声($f_{ADC}$ = 10 Hz，增益 = 1) | 350 nV | 330 nV |
| 无噪声分辨率($f_{ADC}$ = 10 Hz，增益 = 1) | 22 | 22 |
| 均方根噪声($f_{ADC}$ = 4800 Hz，增益 = 1) | 442 μV | 14.3 μV |
| 无噪声分辨率($f_{ADC}$ = 4800 Hz，增益 = 1) | 11.5 | 16.5 |
| 50 ± 1 Hz和60 ± 1 Hz抑制($f_{ADC}$ = 10 Hz) | −100 dB | −120 dB |
| 50 ± 1 Hz和60 ± 1 Hz抑制($f_{ADC}$ = 50 Hz, REJ60 = 1) | 67 dB | 82 dB |
| 阻带衰减 | 40 dB | 53 dB |
| 建立时间 | $3/f_{ADC}$ | $4/f_{ADC}$ |

©2009 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN07830sc-0-5/09(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 利用反激、SEPIC和Ćuk组合为IGBT电机驱动产生多个隔离偏置轨

作者：Bob Zwicker

## 简介

先进电机驱动应用采用基于三相绝缘栅极双极性晶体管(IGBT)的逆变器，后者由通常在400 V dc到800 V dc范围内的直流母线电压供电。该高压轨可以从三相整流器电桥滤波器组合或功率因数经校正的升压整流器直接获得，从三相交流输入产生高压轨(参见图1)。

IGBT是主功率开关，为电机各相提供(通常10 kHz)脉宽调制(PWM)输出。感应和永磁电机一般具有高绕组电感，其将此PWM电压集成到一个近似正弦形状的低频绕组电流波形中。在较小驱动应用中，某些IGBT采用ADuM4223等驱动器提供的单极性(如0 V至15 V)栅极驱动便能很好地工作，但在较大系统中，通常要求双极性栅极驱动电平(如−7.5 V和+15 V)，并由ADuM4135等合适的驱动器驱动。负关断电平有助于避免IGBT因杂散电容而导通——集电极到发射极电压($V_{CE}$)的迅速上升(高正dV/dt)可能会引发这种情况。这种高dV/dt一般是由其他器件的正常导通引起的。(上管导通可能会引起下管在不希望导通时导通，反之亦然。)这6个栅极驱动器需要电源来提供+15 V和−7.5 V偏置电压。

在图1所示范例中，电机三个相位中的两相具有与电机绕组串联的分流电阻，其上连接AD7403隔离式Σ-Δ调制器，用以测量电机相电流。(仅测量两相的电流，第三相电流可由此推导出来。)这两个Σ-Δ调制器通常由5 V电源供电。

三个高端(HS) IGBT的驱动器偏置电压各以相应的电机相位为基准，意味着三个高端驱动器(连接到电机三个相位)各有自己的隔离偏置电源域(HS-U、HS-V和HS-W)。此外，三个低端(LS)驱动器全部以负直流母线为基准，因此共用一个偏置电源域(LS)。表1列出了典型电机驱动应用的偏置电源域和相关偏置轨的总体要求。

**表1. 电机逆变器电源要求**

| 逆变器电路 | 域 | 电压(V) | 电压轨 |
|---|---|---|---|
| 三个低端IGBT | LS | +15，−7.5 | 2 |
| 三个高端IGBT | HS-U, HS-V, HS-W | +15，−7.5 | 6 |
| 两个高端 Σ-Δ 调制器 | HS-V, HS-W | +5 | 2 |
| 总计 | 4 | | 10 |

虽然表1中的计算得出总共10个电压轨，但确切总数量可能因电机驱动设计不同而异，对本应用笔记而言并不重要。确切数量不会影响提供这些电压轨的技术。技术才是本应用笔记的主题。

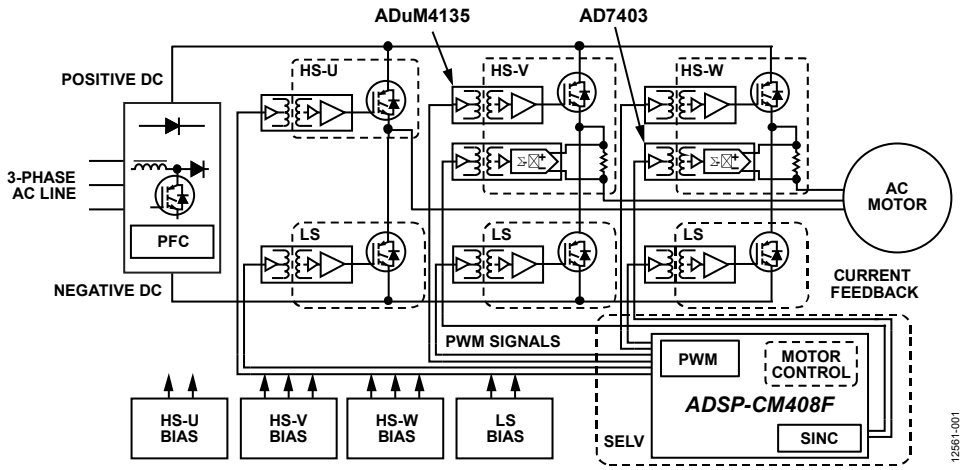



*图1. 典型工业电机驱动框图*

# 偏置电压的基本约束条件

任何用来提供这些偏置轨的方法都必须考虑一些基本要求。

## 隔离

在中高端电机驱动中，处理器一般工作在安全超低压(SELV)电源域以便优化性能。与提供给常见音频设备或PC端口的电源相似，这些电压和电流电平足够低，不认为其有危险性，无需采取措施防范人员意外接触。因此，处理器与人的接口是很容易触及的，无需安全隔离。然而，IGBT和电机相位通常工作在数百伏甚至更高的电压(彼此之间及相对于SELV电源域)。因此，IGBT栅极、驱动器输出端以及为其供电的偏置电压全都具有危险性。IGBT栅极电压域和由其供电的SELV电源域之间需要安全隔离，域本身之间需要功能隔离。偏置电源变压器需要一个隔离输出绕组，并且每个隔离电源域至少需要两个连接引脚。

除电压的绝对幅度外，还必须考虑电机相位的共模压摆率(电压变化率或dV/dt)。图2是一个演示板的IGBT驱动电机相位切换的观测结果。测量显示压摆率为11 V/ns。偏置电压必须能驾驭此共模电压变化，并且不受其干扰。

在图2中，通道1是一个高端IGBT的发射极，通道2是其栅极；当正负载电流从发射极流出时，通道2导通。根据通道1光标测量，dV/dt为11 V/ns。

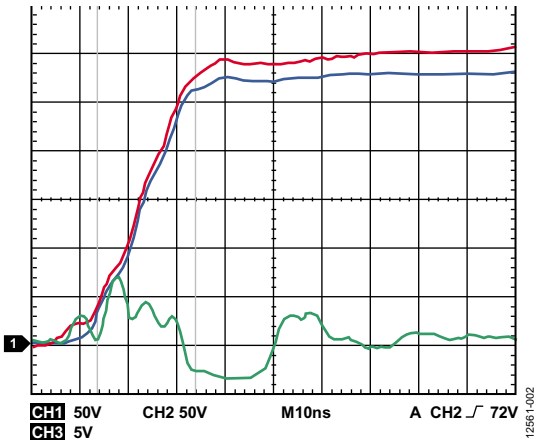



*图2. 电机相电压波形*

## 驻留

根据电机驱动算法，电机相位可能需要在相对较长的时间内保持某一状态(如高压输出或低压输出)。具体说来，某些空间矢量调制方案可能会引起电机某一相位切换至高电平并保持数毫秒或更长时间。某些偏置驱动器的方法(如自举)不兼容此类调制方案。

## 电压调整率

对于隔离式电压转换器，电压调整率是要求不高的性能标准之一。在大约10:1的负载电流范围内，输出到栅极驱动器的电压必须保持在±3%到±5%之间，这是一个相对较低的精度。到Σ-Δ调制器的5 V输出需要±1%的电压调整率，这可以由ADP7118、ADP7102或ADP7104等低压差(LDO)稳压器实现。

# 偏置电压产生方法

电阻供电的电荷泵是产生以电机相位为基准的偏置电压的较廉价方法之一。在图3所示例子中，电荷泵产生单个正轨。这在基本电机驱动中可能是足够的，但这种耗能工作方式的效率非常低。当需要更多供电轨或更高电流时，损耗将变得无法接受。

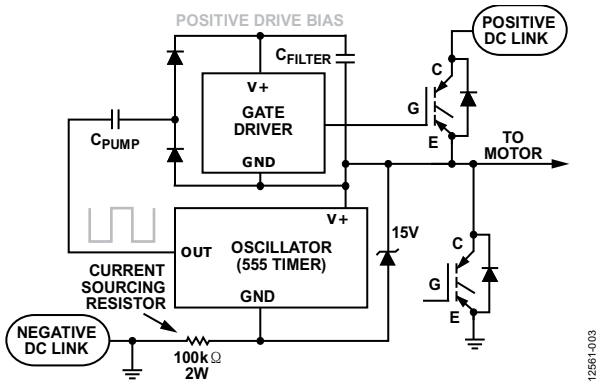



*图3. 电阻供电的电荷泵*

尽管效率低，电阻供电的电荷泵仍很常用。

电阻供电的电荷泵具有如下优点：

- 两个变压器引脚提供多路输出
- 器件成本低
- 良好的负载调整率
- 灵活的电压设定值
- 避免了自举的占空比限制

电阻供电的电荷泵具有如下缺点：

- 效率非常低
- 输出电流能力较低
- 底部IGBT导通时无功率传输

当仅需要15 V电压时，为低端IGBT提供该电压不是问题，低端IGBT绝不会长时间关断；而对于高端驱动器供电，使用低端驱动器偏置电源的自举(如图4所示)可能是最好方法。

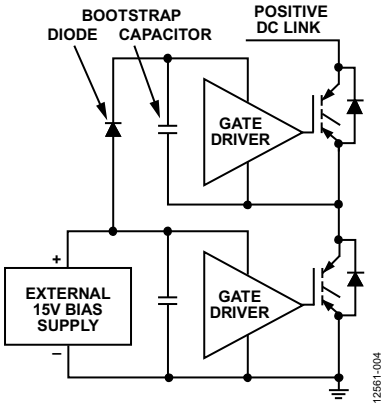



*图4. 自举*

自举是广泛使用的方法，尤其是在降压DC-DC转换中。对于自举能够令人满意地工作的应用，强烈建议使用这种方法。

自举的优点是：

- 无需多个变压器输出绕组
- 低成本
- 高效率

自举的缺点是：

- 低端IGBT必须频繁导通以给自举电容充电，这可能与空间矢量调制不兼容
- 更难以产生负偏置轨
- 电荷泵方面会限制输出电流

基于变压器的技术是消除电荷泵和自举方法缺点的主要选择。

## 应用反激式转换器产生电机驱动偏置电压

对于小功率隔离式转换器(其中的变压器可以具有低漏电电感)，反激式拓扑是最常见和最经济的选择。

然而，许多商用成品反激式电源使用光耦合器提供从副边误差放大器到原边PWM控制器的反馈。这种方法有两个问题。

第一个问题是副边电压检测通常是配合转换器的一路主输出使用。副边电压检测可使此主检测输出实现出色的电压调整率(如1%)。然而，典型电机驱动实例具有10路输出和4个隔离域。当负载电流变化施加于主检测输出时，其他从输出的电压调整率通常会受到不利影响。这种效应通常被称为交叉调节。

也可以利用副边电压检测来调节多路输出的加权组合，但所有这些输出一般必须位于同一隔离域中。

这些检测输出的负载组合的变化同样会对从输出(例如其他隔离域中的输出)产生不利影响。检测一个域中的多路输出似乎不能改善从属域或未检测域的交叉调节。

第二个问题是，由于光电晶体管基极的电容和高增益，高共模dV/dt往往会对光耦合器产生不利影响。图2显示了驱动一个电机相位的IGBT发射极的实际dV/dt，11 V/ns很可能会干扰许多光耦合器的正常操作。可以用更好的器件(如ADuM3190)替换光耦合器。ADuM3190可以同时取代隔离式电源常用的光耦合器和副边基准电压源。它利用一个集成微电子变压器实现跨越隔离栅的耦合，并且不受11 V/ns共模压摆率的干扰。

考虑到电机驱动栅极偏置电源转换器有许多隔离输出，副边电压检测并无益处。

# 从原边检测反激式转换器输出

另一个选择是从原边绕组检测变压器输出电压。原边检测反激式转换器非常简单，并能提供良好的输出电压调整率。在副边检测转换器中，主输出受到严格调节，但从(未检测的)输出会随检测输出端的负载而变化。在原边检测转换器中，检测输出负载是固定的，而且可能非常低，因此从输出不会因为检测输出负载而变化。故而，使用原边电压检测时，所有输出的最差电压调整率可能更好。在合理的宽负载电流范围内，±3%左右的负载调整率对许多应用是足够的，包括典型电机控制栅极驱动偏置电源要求。

各路输出电压可通过改变变压器绕组匝数来改变。还可以改变反馈网络或控制绕组匝数，从而以一定的比例改变所有输出电压。

使用原边电压检测时，副边基准电压源和隔离式反馈便不再需要。由此产生的设计更简单、更廉价，器件更少，印刷电路板(PCB)尺寸更小。对于隔离栅上的共模dV/dt，该技术已表现出良好的抑制能力。

图5显示了隔离式原边检测反激式电压转换器的拓扑结构。

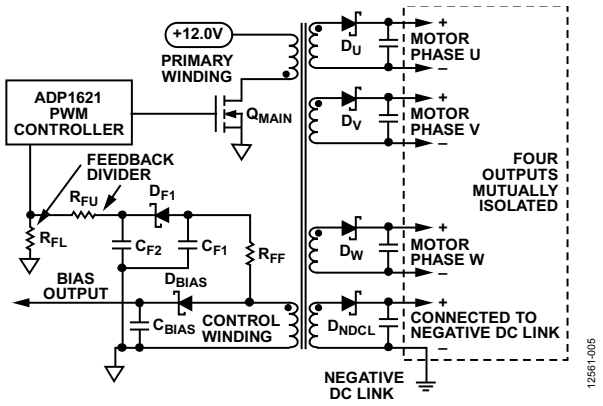



*图5. 多路输出、隔离式、原边电压检测、反激式转换器的原理示意图*

当$Q_{MAIN}$关断时，控制绕组提供的每匝电压值与隔离输出(图5中变压器右侧)相同。

$R_{FF}$(100 Ω至500 Ω)和$C_{F1}$(50 pF至300 pF)构成一个低通滤波器，用于抑制$D_{F1}$阳极处交流输入波形的前沿电压尖峰。该尖峰与$Q_{MAIN}$关断同时发生，且与复杂的变压器漏电感具有函数关系。当$D_{F1}$的输出负载尽可能低时，此尖峰由$D_{F1}$整流，若不加以抑制，将会导致转换器电压调节性能显著降低。$D_{F1}$的整流输出由$C_{F2}$进行直流滤波。

$C_{F1}$的循环充电是一个损耗项，因此，$C_{F1}$的值必须尽可能小。当$C_{F1}$为最小值时，为了获得所需的低通滤波器时间常数，$R_{FF}$的值必须最大。(此时间常数的最优值取决于变压器，但通常在10 ns到100 ns范围内。)然而，$R_{FF}$的作用只是为了与$C_{FF}$一起形成一个交流低通滤波器，$R_{FF}$上的直流压降是一个误差项，必须予以最小化。为使此直流压降最小，需选择$R_{FU}$和$R_{FL}$以提供最高的实际阻抗，并且该阻抗与ADP1621 PWM控制器IC的FB引脚输入偏置电流一致。$R_{FU}$和$R_{FL}$形成反馈分压器，配合控制绕组设置输出电压。

$D_{F1}$必须是具有足够高电压额定值的小信号(10 mA到200 mA电流额定值)肖特基二极管。

还需要考虑用于直流滤波的$C_{F2}$值。若$C_{F2}$太大，反馈环路会增加一个极点，可能导致电路不稳定。为了避免对反馈环路相位裕量产生不利影响，在完成直流滤波任务的前提下，$C_{F2}$必须尽可能小，典型值为10 nF。

图5所示设计还包括$D_{BIAS}$和$C_{BIAS}$(这些是可选器件)，用以向控制器IC提供工作偏置电流，以便在利用12 V到48 V输入供电时实现最高效率，但不提供高效5 V原边偏置轨。注

# 反激、SEPIC和Ćuk拓扑组合

下面的内容将聚焦于反激式转换器的输出拓扑，然后逐渐过渡到SEPIC和Ćuk输出电路，这才是本应用笔记的主题。

图6显示了从反激式转换器产生两路输出的最常见方法。这种方法简单高效，并根据各绕组的匝数提供独立的输出电压设定值。

每路输出需要一个变压器引脚，另外还要一个公共连接引脚。此方式不利于需要多个输出的应用。

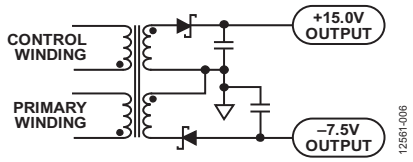



*图6. 从反激式变压器产生多个输出电压的简单方法*

这种方法的优点是：

- 效率较高
- 器件成本低/数量少
- 良好的负载调整率
- 灵活的电压设定值
- 很容易产生负电压或正电压

这种方法的缺点是每个输出电压需要一个变压器引脚，另外还要一个引脚用于公共点。

图7显示了一种折中方法。一个隔离输出域仅使用两个变压器引脚。它利用线性或耗散方式来实现轨分离。它能够很好地调节电压，但只能应用于低输出电流情况。在本应用笔记讨论的反激输出电路架构中，这种方法效率最低，但能从一个反激式输出绕组产生多个电机驱动偏置电压。

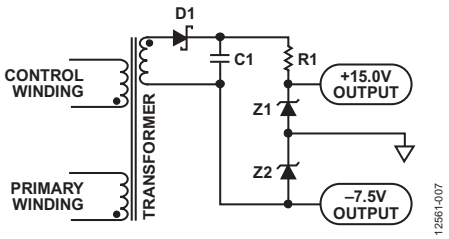



*图7. 耗散式轨分离*

所需的最大输出电流和最小齐纳偏置电流在所有时候都必须流过D1和R1。

耗散式轨分离的优点是：

- 两个变压器引脚提供多路输出
- 器件成本低
- 良好的负载调整率
- 活的电压设定值

耗散式轨分离的缺点是：

- 低效率
- 输出电流能力较低

在输出绕组之间增加一个耦合电容(如图8所示)，可以改善两路具有相同匝数并产生相同电压幅度的直流输出之间的电压跟踪性能。耦合电容可有效抵消变压器漏电感对输出的影响，从而改善交叉调节。为了说明增加耦合如何有利于反激式输出调节，图9显示了一个36 W离线反激式转换器采用PQ3230铁芯变压器的实验结果。

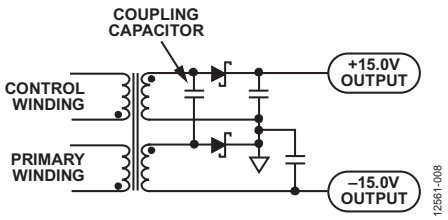



*图8. SEPIC和Ćuk反激改进*

图8在图6基础上做了改进。两个绕组的两端均连接到变压器引脚，负整流器移动到绕组的相对一端，输出绕组之间增加一个耦合电容。两个输出绕组的匝数必须相同。

图8所示改进的优点是：

- 效率较高
- 器件成本低
- 一个域内的交叉调节最佳

图8所示改进的缺点是：

- 每个域的每路输出需要两个变压器引脚
- 输出电压幅度必须彼此一致

**表2. 偏置电源负载测试条件**

| 负载组合 | +12 V输出(A) | −12 V输出(A) |
|---|---|---|
| 1 | 0.01 | 0.50 |
| 2 | 0.01 | 0.02 |
| 3 | 0.10 | 0.02 |
| 4 | 0.10 | 0.01 |
| 5 | 0.20 | 0.01 |
| 6 | 0.50 | 0.02 |
| 7 | 0.50 | 0.01 |
| 8 | 1.00 | 0.01 |
| 9 | 2.00 | 0.02 |
| 10 | 2.00 | 0.01 |
| 11 | 3.00 | 0.02 |
| 12 | 3.00 | 0.01 |

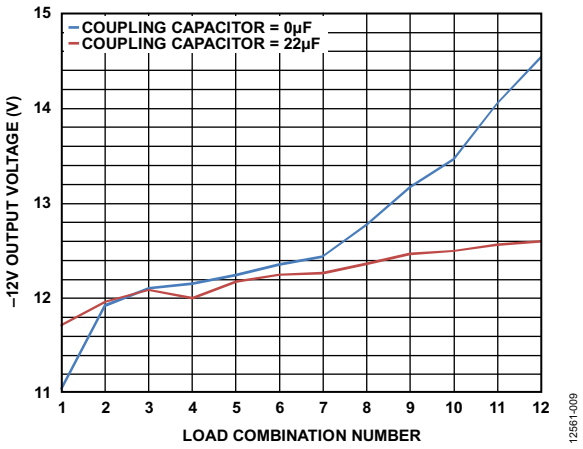



*图9. 双路输出反激式电源的测试数据*
*(输出绕组之间有和无耦合电容两种情况)*

图9显示了采用36 W ± 12 V输出反激离线电源获得的测试数据。输出整流电路架构与图6相似，因此，其工作方式相似，并有定性值来说明耦合电容的效应。500 mA、−12 V输出的整流器为SS2PH10，3A、+12V输出的整流器为SS5P10。在连接和不连接耦合电容两种情况下，输出均利用相同负载电流组合进行测量。在表2和图9中，结果按照无耦合电容情况下负输出从小到大的顺序排列。反馈环路严格调节+12 V输出，因此，其在测试期间的变化可忽略不计。

省去电容时，测得的−12 V调节带为−12.8 V ± 13.7%。

连接电容时，测得的−12 V调节带为−12.2 V ± 3.6%。

设计过程的下一步是用一个或多个外部(分立或耦合)电感替换一个或多个变压器输出绕组，如图10所示。

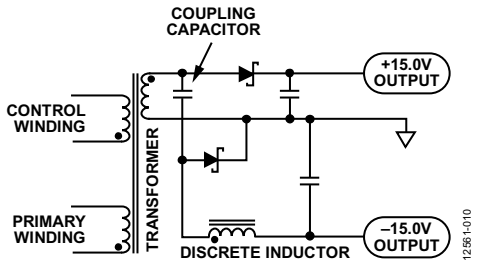



*图10. 采用单变压器绕组的双输出反激电源*

图10所示的改进基于图8，一个变压器绕组被分立电感取代。−15 V输出为Ćuk输出。

图10所示改进的优点是：

- 效率较高
- 器件成本低
- 改进的负载调整率
- 一个变压器引脚提供多路输出，仅使用两个引脚

图10所示改进的缺点是：

- 需要增加分立电感
- 输出必须产生相同的电压幅度

此改进提供与图6所示电路相似的性能，但将一个隔离域提供两路输出所需的变压器引脚数减少至2个。

图11所示为变压器绕组输出7.5 V的电机驱动应用。公共点连接为最低电位点，因此，变压器整流输出为7.5 V和15 V。7.5 V馈入一个LDO稳压器，产生一个5 V电压轨，而15 V为单极性栅极驱动器供电。

2路输出并非上限。图12所示电路采用一个双绕组耦合电感(Coilcraft LPD6235-473)，后者串联三个相同整流输出，产生−7.5 V、+7.5 V和+15 V。这就是图18所示完整的多路输出反激式转换器设计采用的架构。

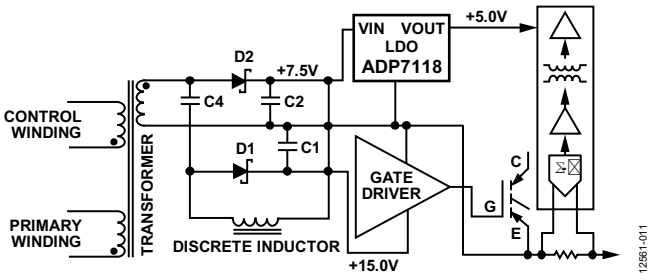



*图11. 双输出电源，15 V用于隔离式栅极驱动，5 V用于隔离式调制器*

图11所示设计与图9相似，但在一个演示板中产生7.5 V和15 V电压。7.5 V为一个5 V输出LDO稳压器供电，以运行模数转换器(ADC)。

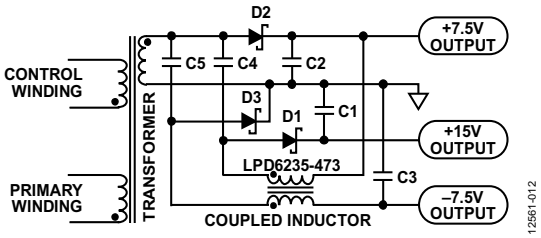



*图12. 三输出电源，15 V和7.5 V用于隔离式栅极驱动，*
*7.5 V用于隔离式调制器电路*

图12所示设计与图10相似，但使用一个耦合电感来从一个变压器绕组产生三个输出轨。+15 V供电轨用于栅极导通驱动，+7.5 V供电轨为+5 V LDO稳压器供电，−7.5 V供电轨用于栅极关断驱动。

图12中偏置转换器的负载和交叉调整率是在5 mA至200 mA负载范围内，对+15 V和−7.5 V输出进行测量。图13和图14显示了计算的图形化结果，证明此拓扑能够在至少40:1负载电流范围内维持良好的输出电压容差。

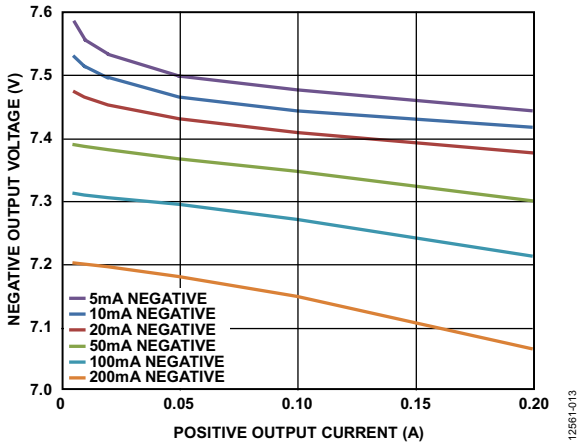



*图13. −7.5 V输出的实测输出电压调整率与−7.5 V和+15 V上负载电流变化的关系(图12所示电路)*

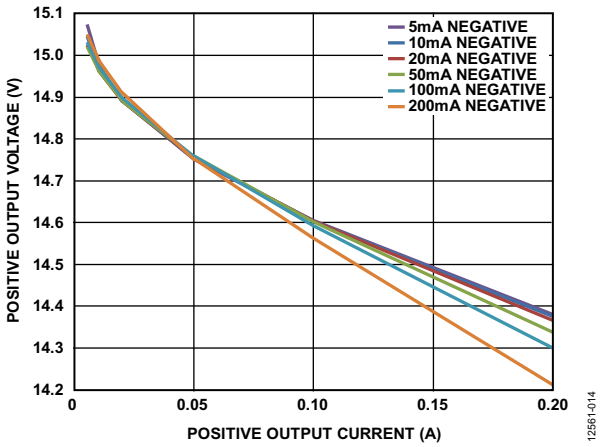



*图14. +15 V输出的实测输出电压调整率与−7.5 V和+15 V上负载电流变化的关系(图12所示电路)*

**表3. 图14所示偏置转换器的实测负载调整率**

| 输出 (V) | 测试电流范围 (mA) | 中心点 (V) | 容差 (%) |
|---|---|---|---|
| +15 | 5至200 | 14.64 | ±3.0 |
| −7.5 | 5至200 | 7.326 | ±3.6 |

# 电路原理阐释和拓扑比较

反激、SEPIC和Ćuk转换器都是升压或降压转换器。它们在输入电压上切换一个绕组以转换功率，从而将电能储存在磁芯中，然后在输出上切换同一或另一绕组以提供电能。(降压、升压和其它拓扑有重大差别，一般并非同样适合于多路输出。)它们都有相同的基本工作模式，因此，电压和占空比全都基于电感上的伏秒平衡和电容中的电荷平衡。一旦将匝数比计算在内，其运行方程便是相同的。各种降压或升压拓扑的基本模块可以按照多种方式进行组合，以便产生成比例的输出电压，这些输出电压在很宽的电流范围内具有良好的跟踪性能。

下面是控制降压-升压转换器的连续导通模式(CCM)和断续导通模式的一些相关方程。

CCM电压转换方程：

$$V_{OUT} = \frac{D \times V_{IN}}{1 - D}$$

其中*D*为占空比。

DCM总输出功率(单位为W)方程：

$$P_{OUT} = \frac{(D \times V_{IN})^2}{2 \times L \times f}$$

其中：
*f*为频率。
*L*为总并联电感，单位为H(亨利)。
DCM阻性负载的电压转换方程：

$$V_{OUT} = \frac{D \times V_{IN} \times R^{0.5}}{(2 \times L \times f)^{0.5}}$$

其中*R*为负载电阻，单位为Ω(欧姆)。

关于电感，在这些SEPIC和Ćuk相关设计中，耦合电容用于提供开关频率级别交流电流的短路通路。对于上述方程，考虑变压器和输出电感为并联。在电感耦合情况下(一个磁芯上有相同匝数的两个或更多绕组)，任一绕组的电感或两个(或全部)绕组并联(同相连接)的电感相同。这通常是标称的耦合电感值。

当并联多个独立的电感或变压器(直流或交流耦合)时，如图10、图11或图12所示，多个并联电感的有效电感值由下式确定：

$$L_P = \frac{1}{(1/L_1) + (1/L_2) + \ldots + (1/L_n)}$$

在反激式变压器中，磁芯通量链接所有绕组，任何时候都会在所有绕组中产生相同的每匝伏特数。利用这一特性，通过监控其中之一所产生的电压，便可调节多路输出。漏电感指与一个绕组串联作用的电感，它不与其他绕组共享。漏电感会使绕组解耦，在反激式变压器设计中通常要使其最小化。相比之下，耦合电感的设计可以实现最小漏电感，或者具有特定漏电感。某些实现了最小漏电感的耦合电感可以很好地配合反激式变压器使用，而其他未按照最小漏电感设计的耦合电感则不能。

一个绕组的总电感L等于互感$L_M$与漏电感$L^\sigma$之和：

$$L = L_M + L^\sigma$$

一个绕组的互感$L_M$等于总电感L与耦合系数k的乘积：

$$L_M = L \times k$$

变压器的原边和副边绕组之间通常有安全隔离，而耦合电感通常没有，不过二者均有例外情况。

SEPIC和Ćuk转换器可以使用具有良好或很少磁耦合的耦合电感，或使用没有磁耦合的分立电感。电能传输主要或完全依赖于耦合电容。绕组漏电感对电容耦合绕组之间的电压缩放的影响不大，但为了确保正常工作，耦合电感必须具有一定的漏电感，以便维持连续或半连续的电流，使得耦合电容能够驱动交流电压波形。为了获得远低于反馈环路单位增益交越的LC谐振频率，需要使用电容；低漏电感可能会增大该电容。使用耦合电感而不是分立电感的主要优势在于元件成本和PCB面积更经济。

在本应用笔记给出的例子中，反激式变压器提供隔离。匝数比为1:1(也可使用其他匝数比)。原边绕组和副边绕组之间需要低漏电感，这对任何反激拓扑都适用。然而，SEPIC或Ćuk耦合会链接一个隔离域中的多路输出，因而一个域内的电流波形和电压交叉调整率准则变得与SEPIC和Ćuk转换器相似。

# 反激、SEPIC和Ćuk组合式转换器的设计考虑

首先设计反激式转换器。确定绕组输出电压(如7.5 V或15 V)，然后将总输出功率折合到一路输出以计算总功率。

例如，若电流和功率要求为表4所示，则变压器和控制可以像单路输出那样设计：1.5 W/7.5 V = 200 mA。

**表4. 域电源要求**

| 输出轨 | V | A | W |
|---|---|---|---|
| V1 | +7.5 | +0.05 | 0.375 |
| V2 | +15 | +0.06 | 0.9 |
| V3 | −7.5 | −0.03 | 0.225 |
| 总计 | 不适用 | 不适用 | 1.5 |

工作频率与变压器、电感和陶瓷电容的大小相关。虽然提高工作频率一般可以降低器件大小，但受变压器漏电感影响，超过200 kHz至400 kHz的频率很可能会提高损耗并降低电压调节性能。

实际最小漏电感不会持续与变压器设计频率成反比。漏电感中储存的电能($L \times I^2/2$)通常会被浪费，因为功率等于电能乘频率，漏电感的功率损耗与频率成正比。

除了功率水平和频率之外，决定变压器最小尺寸的因素常常还有变压器引脚排列和安全间距。选择PQ2625的理由是很容易用Rubadue多层特氟龙安全绝缘线来手工缠绕。设计工作频率为200 kHz。

下面是关于变压器和功率转换器设计的注意事项：

- 对于图13、图14和表3中的波形示例，两个图形中的占空比均为约56%。要在这种较大占空比(接近并超过50%)下实现稳定的CCM操作，必须提高斜率补偿。斜率补偿是将一个电压斜坡增加到电流模式PWM控制器IC所用的电流斜坡上。45%以下的占空比通常不需要或只需要很少的斜率补偿，因而更容易控制。20%到45%范围内的占空比最容易控制。采用12 V输入、7.5 V输出、肖特基二极管和1:1匝数比时，演示电路以大约40%的占空比运行。
- 在一个尺寸和功率得到优化且采用肖特基输出整流器的反激式变压器中，连续导通模式(CCM)通常能提供最佳效率。在峰值负载和最小输入电压下，变压器峰值通量密度必须小于0.2 T到0.22 T，以免变压器变热时磁芯饱和。在容许磁芯损耗限制下，交流峰峰值通量密度必须尽可能高。因此，本应用笔记中的设计从0.05 T到0.07 T (200 kHz、Ferroxcube 3F3铁氧体)的交流峰峰值通量密度限制开始。

本应用笔记中的例子使用PQ2625磁芯，最小尺寸不是一项关键要求。变压器按照以下要求进行设计：易于手工制作、低漏电感、合理的磁芯损耗、足够的爬电距离和间隙。主要折中是相对于功率水平而言，磁芯显著较大。原边、副边和输出绕组全都仅有4匝。匝数如此至少，导致无法获得CCM所需的电感，因此，磁芯组件用一个间隔片(0.001英寸或0.025 mm，从聚酯膜割下来的)隔开。由此得到的所有绕组的电感约为28 μH。当加载到正常限值时，转换器以断续导通模式(DCM)工作。注意：期望的电感可通过增加匝数来实现，但增加匝数会显著提高漏电感，因此这是一个很糟糕的选择。

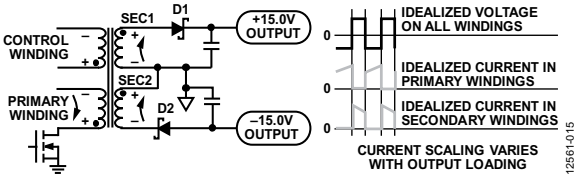



图15. 双输出反激式转换器的变压器绕组电流和电压

在图15所示的多路输出反激式转换器中，变压器中的总安培-匝数可以是连续的，但个别绕组中的电流必须即时改变以维持波形保真度和电压调整率。变压器绕组的漏电感必须很低，这点非常重要。本例的变压器匝数比为1:1:1:1，使用理想化的二极管和12 V直流输入。

在正常反激拓扑中，所有绕组共用一个磁芯，磁芯通量与总安培匝数乘积成比例，比例系数为磁路径磁阻的倒数。使用一个独立电感时，结果将得到一个独立(非共享)磁芯。耦合电容会阻隔变压器绕组与电感之间的任何直流电流，只有交流电流在这两个磁性元件之间通过。电容值足够大，使得交流电流仅在电容上引起很小的纹波电压。该电容用作一个交流短路元件，在简单的电路运行分析中，其纹波电压可以忽略不计。

在图15所示的正常反激例子中，当晶体管导通时，变压器输出绕组不传导任何电流。对于反激和Ćuk组合式转换器(或任意组合拓扑)中的变压器，情况则不是这样，因为输出绕组需要通过耦合电容驱动L1和其他电感。结果便是，变压器输出绕组波形同时包括输出二极管电流和电感磁化电流两个分量。原边绕组电流波形与普通反激情况相似，电感为所有磁性结构的并联组合。在图12所示例子中，变压器电感测量值约为28 μH。类似地，Coilcraft LPD6235耦合电感具有47 μH，因此，转换器行为与变压器电感等于17.5 μH并联等效值的反激式转换器相似。

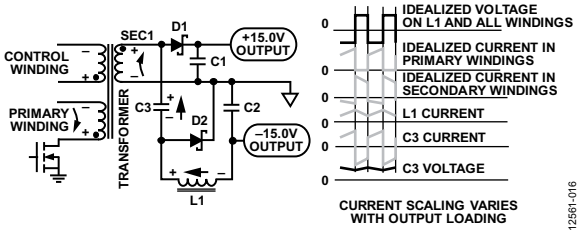



*图16. 单副边拓扑的双输出反激式转换器的变压器绕组电流和电压*

在图16所示的反激-Ćuk组合式转换器中，变压器低漏电感仍是高效电能传输的关键，但它对一个电压域内两路输出之间的交叉调节的影响极小。二极管D2电流的关键交流分量流过电容C3，而不是电感L1。关键杂散电感是通过D1和C1路径以及C3和D2路径测得的电感。必须仔细考虑PCB布局，使此杂散电感远低于最小漏电感，这可以在正常反激式转换器所用的良好变压器中获得。

根据电感、磁芯损耗、直流电阻和饱和电流选择外部电感。通常，在50 kHz到100 kHz范围内的频率，若电感中的峰峰值纹波电流接近饱和电流，磁芯损耗将非常大。可能的话，应使用Coilcraft等电感制造商提供的磁芯损耗计算工具。在既定尺寸内，使用更细的线并绕更多匝数以提供更大的电感，可减小纹波电流和磁芯损耗，但也会降低饱和电流并提高直流电阻。

在图10中，L1中的直流电流为–15 V输出电流。在图11中，电感的直流电流为+15 V输出电流。

在图12中，耦合电感的一侧传导+15 V输出电流，而另一侧传导–7.5 V输出电流。为了确定直流磁芯激励，应将这两个幅度相加。它不是一个共模扼流圈。

Coilcraft和Cooper提供一些小尺寸耦合电感(如Coilcraft LPD6235)，它们往往是单源的。Pulse、Wurth、Cooper和Coilcraft等制造商提供尺寸可换用的12平方毫米耦合电感。

耦合电容值必须首先选定，使得平均电荷比循环电荷(等于$I_{OUT}$/开关频率)大。然后计算电荷/电容以求出纹波电压，后者不得超过直流电压的某一较小百分比；5%是一个很好的最大值。注意：陶瓷电容焊接之后，随着电压的施加和时间推移，会有明显的电容量损失；因此，应当非常保守地看待陶瓷电容额定值。(Murata提供了用于描绘这些系数的在线工具。)对于具有高C × V额定值的小封装器件，施加电压后的电容损失尤其明显。为方便起见，输出电容和耦合电容常常使用相同的电容额定值。




*图17. 带绕轴扩展器的反激式变压器原型*

图17所示为使用PQ2625 3F3的变压器，它带一个绕轴扩展器，提供10 mm爬电距离。图18所示的转换器就是使用这种变压器。

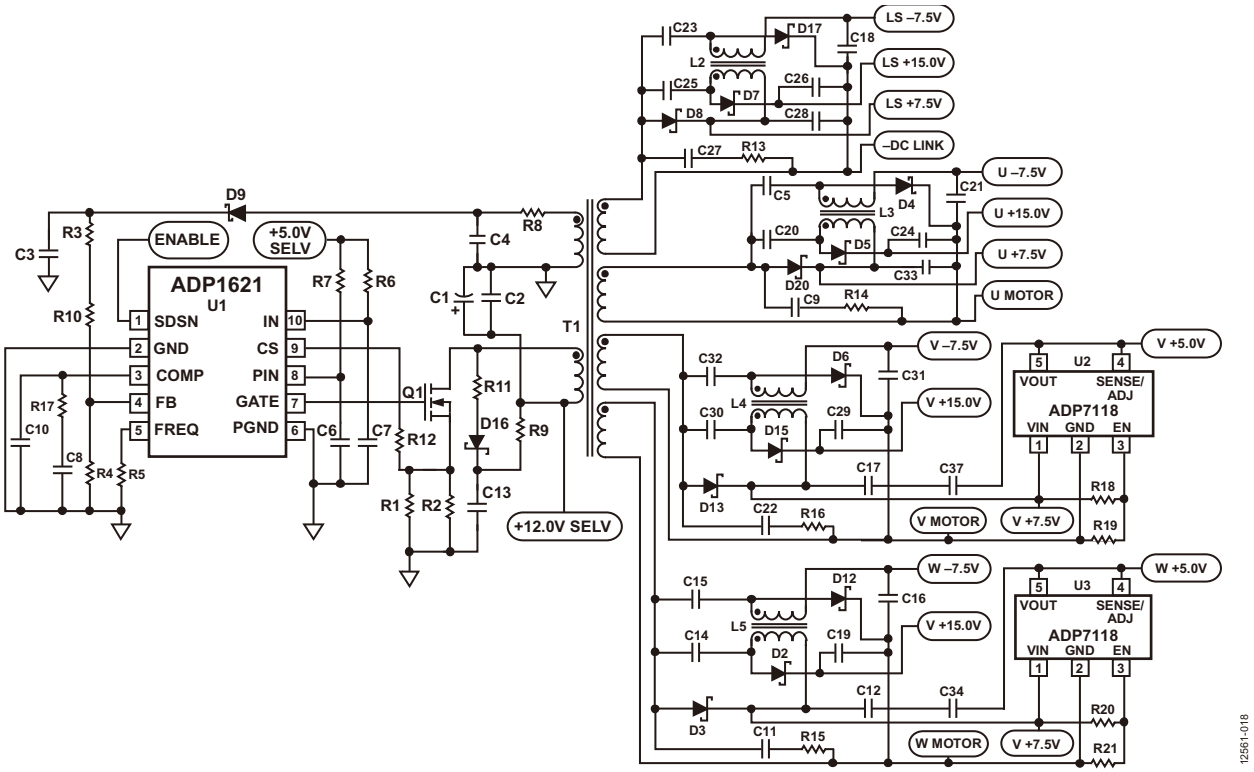



*图18. 完整转换器原理图*

**表5. 完整转换器的物料清单**

| 项目 | 索引标识符 | 值 | 描述 |
|---|---|---|---|
| 1 | C1 | 100 µF | Nichicon UCL1C101MCL6GS |
| 2 | C2 | 1.00E-05 | 16 V、X5R、1206 |
| 3 | C3 | 10 nF | 50 V、X7R、0603 |
| 4 | C4 | 100 pF | 50 V、NP0、0603 |
| 5 | C5 | 2.2 µF | 0805、X5R、25 V |
| 6 | C6 | 1.0 µF | 16 V、X5R、0603 |
| 7 | C7 | 1.0 µF | 16 V、X5R、0603 |
| 8 | C8 | 10 nF | 50 V、X7R、0603 |
| 9 | C9 | 100 pF | 50 V、NP0、0603 |
| 10 | C10 | 不放置 | 不放置 |
| 11 | C11 | 100 pF | 50 V、NP0、0603 |
| 12 | C12 | 2.2 µF | 0805、X5R、25 V |
| 13 | C13 | 100 nF | 50 V、X7R、0603 |
| 14 | C14 | 2.2 µF | 0805、X5R、25 V |
| 15 | C15 | 2.2 µF | 0805、X5R、25 V |
| 16 | C16 | 2.2 µF | 0805、X5R、25 V |
| 17 | C17 | 2.2 µF | 0805、X5R、25 V |
| 18 | C18 | 2.2 µF | 0805、X5R、25 V |
| 19 | C19 | 2.2 µF | 0805、X5R、25 V |
| 20 | C20 | 2.2 µF | 0805、X5R、25 V |
| 21 | C21 | 2.2 µF | 0805、X5R、25 V |
| 22 | C22 | 100 pF | 50 V、NP0、0603 |
| 23 | C23 | 2.2 µF | 0805、X5R、25 V |
| 24 | C24 | 2.2 µF | 0805、X5R、25 V |
| 25 | C25 | 2.2 µF | 0805、X5R、25 V |
| 26 | C26 | 2.2 µF | 0805、X5R、25 V |
| 27 | C27 | 100 pF | 50 V、NP0、0603 |

| 项目 | 索引标识符 | 值 | 描述 |
|---|---|---|---|
| 28 | C28 | 2.2 µF | 0805、X5R、25 V |
| 29 | C29 | 2.2 µF | 0805、X5R、25 V |
| 30 | C30 | 2.2 µF | 0805、X5R、25 V |
| 31 | C31 | 2.2 µF | 0805、X5R、25 V |
| 32 | C32 | 2.2 µF | 0805、X5R、25V |
| 33 | C33 | 2.2 µF | 0805、X5R、25 V |
| 34 | C34 | 2.2 µF | 0805、X5R、25 V |
| 35 | C37 | 2.2 µF | 0805、X5R、25 V |
| 36 | D2 | MBR0560 | Micro Commercial |
| 37 | D3 | MBR0560 | Micro Commercial |
| 38 | D4 | MBR0560 | Micro Commercial |
| 39 | D5 | MBR0560 | Micro Commercial |
| 40 | D6 | MBR0560 | Micro Commercial |
| 41 | D7 | MBR0560 | Micro Commercial |
| 42 | D8 | MBR0560 | Micro Commercial |
| 43 | D9 | LL101A | Vishay |
| 44 | D12 | MBR0560 | Micro Commercial |
| 45 | D13 | MBR0560 | Micro Commercial |
| 46 | D15 | MBR0560 | Micro Commercial |
| 47 | D16 | LL103A | Vishay |
| 48 | D17 | MBR0560 | Micro Commercial |
| 49 | D20 | MBR0560 | Micro Commercial |
| 50 | L2 | LPD6235-473 | Coilcraft |
| 51 | L3 | LPD6235-473 | Coilcraft |
| 52 | L4 | LPD6235-473 | Coilcraft |
| 53 | L5 | LPD6235-473 | Coilcraft |
| 54 | Q1 | IRLML0060 | International rectifier |
| 55 | R1 | 不放置 | 不放置 |
| 56 | R2 | 0.033 Ω, 5% | 0805、Susumu |
| 57 | R3 | 499 kΩ, 1% | 0603 |
| 58 | R4 | 100 kΩ, 1% | 0603 |
| 59 | R5 | 100 kΩ, 1% | 0603 |
| 60 | R6 | 10 Ω、1% | 0603 |
| 61 | R7 | 10 Ω、1% | 0603 |
| 62 | R8 | 357 Ω、1% | 1206 |
| 63 | R9 | 619 Ω、1% | 1206 |
| 64 | R10 | 2.00E+04 | 1206 |
| 65 | R11 | 8.2 Ω、5% | 1206 |
| 66 | R12 | 200 Ω、1% | 0603 |
| 67 | R13 | 不放置 | 1206 |
| 68 | R14 | 不放置 | 1206 |
| 69 | R15 | 不放置 | 1206 |
| 70 | R16 | 不放置 | 1206 |
| 71 | R17 | 4.99 kΩ、1% | 0603 |
| 72 | R18 | 35.7 kΩ、1% | 0603 |
| 73 | R19 | 10 kΩ、1% | 0603 |
| 74 | R20 | 35.7 kΩ、1% | 0603 |
| 75 | R21 | 10 kΩ、1% | 0603 |
| 76 | T1 | 变压器 | 如文中所述 |
| 77 | U1 | ADP1621ARMZ | 10引脚 MSOP |
| 78 | U2 | ADP7118AUJZ-5.0 | 5引脚 TSOT |
| 79 | U3 | ADP7118AUJZ-5.0 | 5引脚 TSOT |

## 总结

本应用笔记介绍了工业电机驱动中为高端和低端栅极驱动以及隔离式电流检测IC产生偏置电源的不同方法。对电荷泵和自举电源等方法的优缺点进行了分析，并得出结论：变压器隔离式拓扑在效率、灵活性和安全隔离栅等方面具有独特优势。反激式拓扑特别适合此类偏置电源的多路输出特性，但标准反激式转换器解决方案是针对提供多路输出或耗散轨分离的栅极驱动器偏置电源，存在要使用很多变压器引脚或效率很低的缺点。此外，通常的副边检测调节方法存在交叉调整率很差的问题。本文提出了解决上述限制的方案：通过原边检测大大改善整体交叉调整率；在绕组之间增加副边耦合电容以进一步改善调整率；用分立或耦合电感取代一个变压器绕组，从而降低变压器引脚要求。本文展示了交叉调整率结果，并提供了耦合电感输出版本的完整原理图和物料清单。另外还在一个完整的三相逆变器平台上实现了分立电感版本，其采用最高800 V的直流总线供电。

图19所示为EV-MCS-ISOINV-Z隔离式转换器平台上的偏置电路照片。欲订购此平台，请访问ADI公司网站www.analog.com/cn/EVAL-ISO-INVERTER-MC。

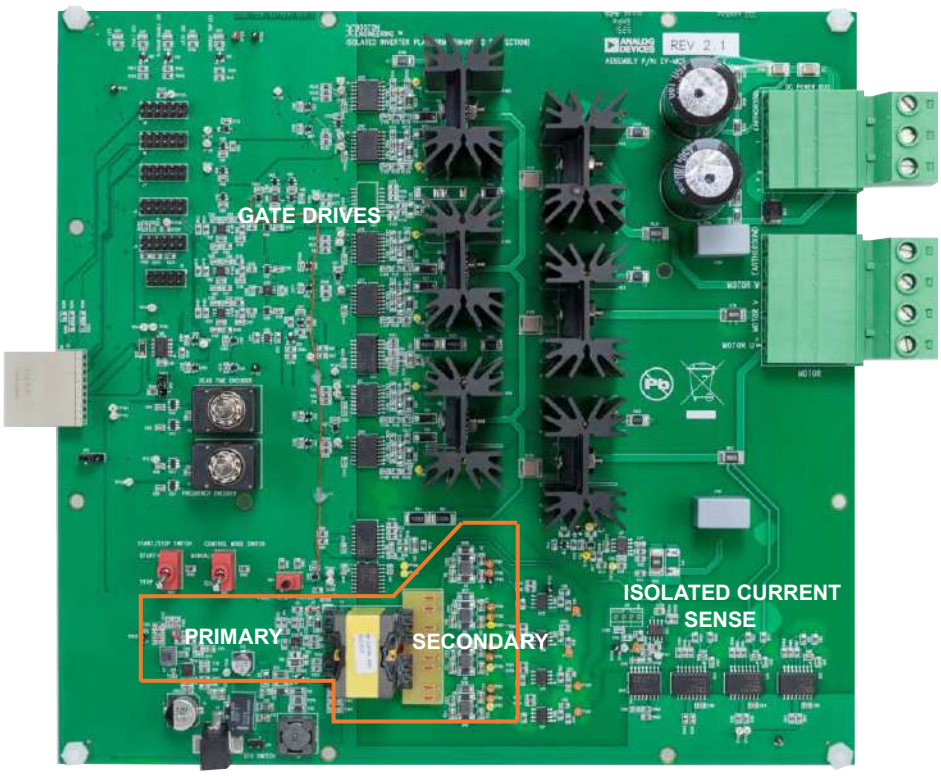



*图19. 带偏置电源的三相电机控制逆变器*

©2015 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN12561sc-0-11/15(0)

ANALOG DEVICES

AN-1265
应用笔记

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 使用ADSP-CM402F/ADSP-CM403F/ADSP-CM407F/ADSP-CM408F SINC滤波器和AD7401A实现隔离式电机控制反馈

作者：Dara O'Sullivan、Jens Sorensen和Aengus Murray

## 简介

本应用笔记介绍ADSP-CM402F/ADSP-CM403F/ADSP-CM407F/ADSP-CM408F SINC滤波器的主要特性，重点讨论高性能电机控制应用。

本文的目的是强调SINC滤波器模块的重要功能，并提供ADI公司SINC滤波器驱动程序的使用指南。有关全系列SINC滤波器特性和配置寄存器的更多信息，请参见ADSP-CM40x混合信号控制处理器(含ARM Cortex-M4硬件参考手册)以及ADSP-CM40x Enablement软件包中的文档。

每款ADSP-CM402F/ADSP-CM403F/ADSP-CM407F/ADSP-CM408F SINC滤波器均为完整电机电流反馈子系统的一部分；该子系统包含分流器、调制器(用于数字化和隔离信号)、SINC滤波器(解码位流并将结果发送至控制器)。本应用笔记描述如何设置SINC滤波器。

## 电机电流控制应用

图1显示变频电机驱动器的隔离式电流反馈系统的简化原理图。该系统克服了将分流器产生的模拟信号与开关电源逆变器产生的高压通用信号相隔离的难题。该电路使用隔离式Σ-Δ型调制器转换信号，然后将数字信号跨越隔离栅进行传输，解决这一难题。

Σ-Δ型调制器产生与输入电压成函数关系的调制位流，然后将信号越过隔离栅传输至低压侧的滤波器电路。SINC滤波器过滤来自二阶调制器(如AD7401A)的位流，以便恢复表示电机绕组电流的16位数字信号。

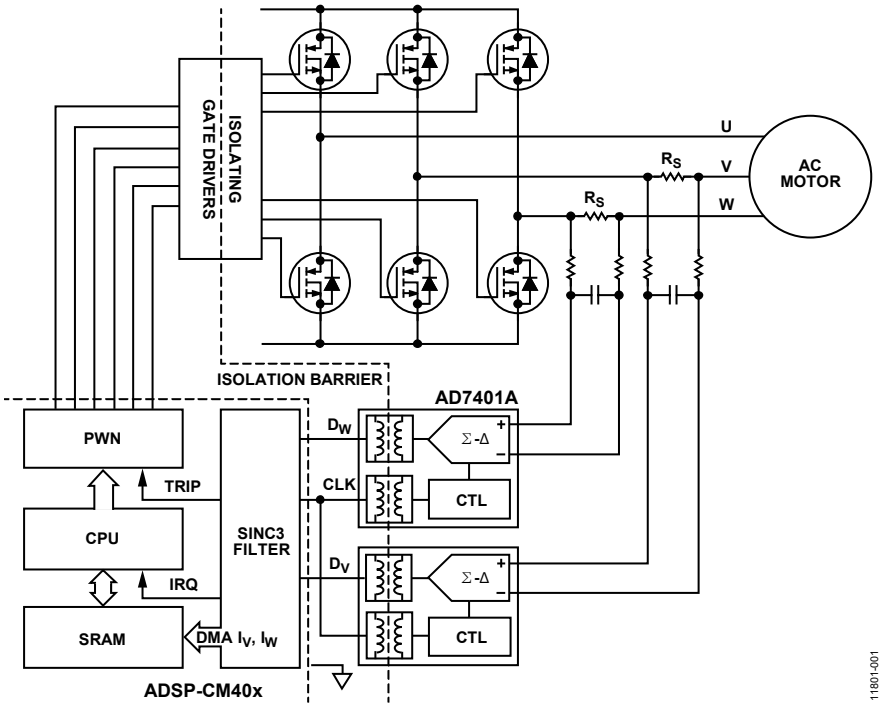



*图1. 使用AD7401A的隔离式电流反馈*

# SINC滤波器模块概述

SINC滤波器模块执行两个功能：为电机控制算法提供高保真反馈信号，并提供故障条件下的过载电流快速检测。将过载故障信号连接至PWM调制器模块可不通过软件干预来关断PWM逆变器。SINC滤波器使用DMA直接将数据传输至存储器，当达到预设的样本数量时便产生处理器中断。这样可以最大限度地减轻SINC滤波器完成配置后的软件服务负担。同样的反馈电路适用于隔离式直流总线电压反馈或直流总线电流测量。

图2显示SINC滤波器模块的框图。SINC滤波器模块由四对SINC滤波器组成，可对连接至输入的数字位流反馈信号实现滤波与过载检测。滤波器使能功能将SINC滤波器对分配至两组配置寄存器的其中之一，以便设置滤波器参数。电机驱动器要求多个电流或电压滤波器采用相同的配置。SINC滤波器模块针对每个电机分配一组(两个)滤波器对，支持对两个电机进行控制。主滤波器的设置包括：滤波器阶数、抽取率、失调偏置和增益调整。次级滤波器的设置包括：滤波器阶数、抽取率、过载跳闸电平和毛刺滤波器设置。

其他配置功能包括：调制器时钟频率、中断屏蔽和DMA数据传输。设置SINC滤波器需要的其他控制外设为端口控制器(将外部引脚连接至SINC滤波器输入)和触发路由单元(即TRU，将SINC输出信号连接至适当外设)。

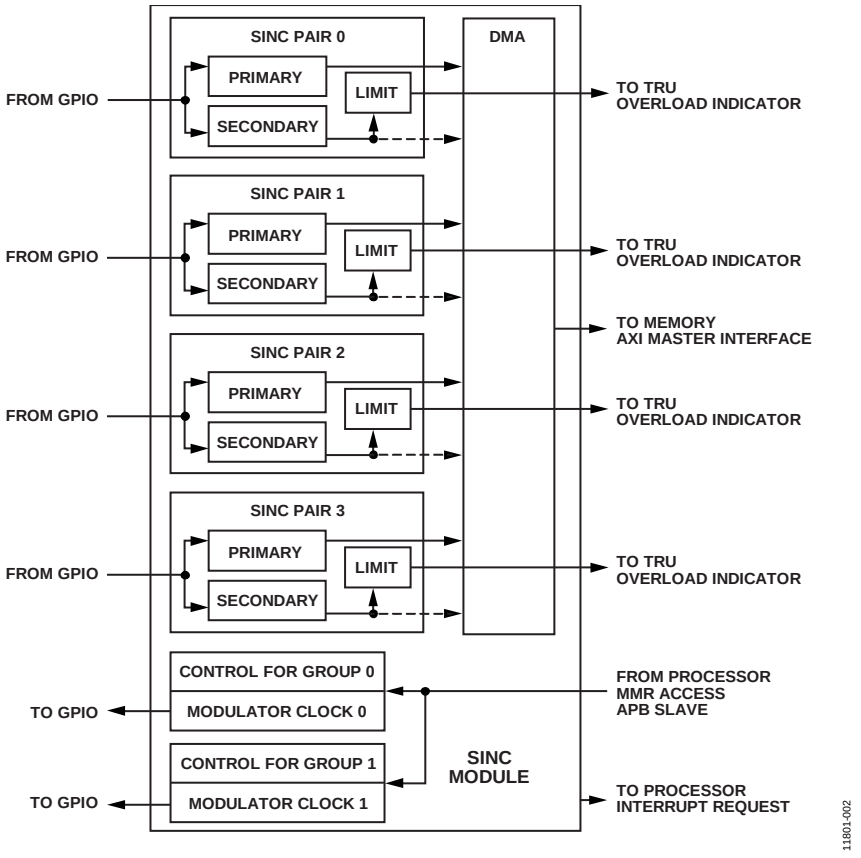



*图2. SINC滤波器模块概述*

# 电流反馈系统概述

图4显示电流反馈系统的重要元件。分流器检测绕组电流，将其作为与分流电阻成比例关系的电压信号处理。AD7401A调制器产生隔离式位流，其脉冲密度与满量程输入电压范围成比例。SINC滤波器根据滤波器阶数和抽取率来提取脉冲密度信息。主滤波器参数优化滤波器的精度和额外偏置，定标模块将数据转换为16位带符号整数，然后传输至存储器。次级参数优化滤波器的速度，将输出信号传输至数字比较器，检测过载条件。上限和下限比较器检测电流过载，毛刺滤波器在指定窗口(LWIN)内等待最小过载次数(LCNT)，然后产生过载触发信号。过载触发是PWM调制器驱动电机逆变器的一个跳闸输入信号。当存储器内的绕组电流数据就绪时，DMA传输引擎产生中断信号，触发算法执行。

## 分流选择

定义反馈所需的系统规格是峰值控制电流$I_{cc}(p)$以及调制器的额定最大输入电压$V_{mod}(max)$。电源逆变器的峰值电流能力通常定义控制电流范围，但可能需要考虑其他因素。AD7401A调制器的额定最大工作电压为±200 mV，该数值为最大电压范围，在其范围内调制器规格数据有效。该值低于调制器的±320 mV满量程范围($V_{FS}$)，因为满量程输入附近的线性度和信噪比性能下降非常严重。分流电阻值必须低于$V_{mod}(p)/I_{cc}(p)$以满足这些限制条件；此处选择最接近的标称分流电阻值。对于图3中的示例而言，若电源级峰值电流额定值为8.5 A，则最大分流电阻值为23.5 mΩ。最接近该条件的分流电阻标称值为20 mΩ，额定最大电流为10 A。

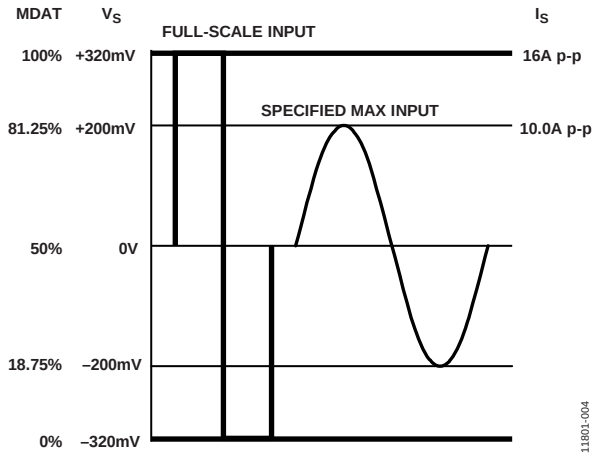



*图3. 反馈电流工作范围*

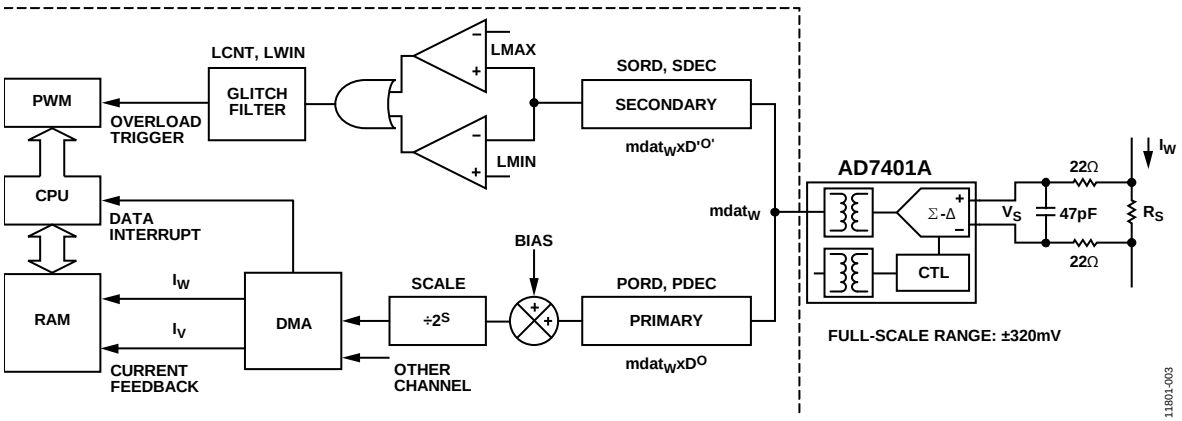



*图4. SINC滤波器电流反馈路径*

## 调制器时钟、主滤波器抽取和数据中断速率选择

SINC滤波器性能由调制器时钟($f_M$)和抽取率(D)参数确定。滤波器阶数(O)通常比前端调制器高一阶。因此，使用AD7401A时，滤波器阶数为3。滤波器频率响应和群组延迟的计算式如下所示。哪怕频率为抽取频率($f_M$/D)的数倍，图5所示的频率响应依然为0秒。因此，将抽取频率与PWM开关频率匹配可显著降低PWM开关谐波。其他考虑因素包括随抽取率上升的群组延迟，以及滤波器的最大抽取限值。

$$H\left(e^{i\frac{f}{f_M}}\right)=\left[\frac{1}{D}\times\frac{\sin\left(D\frac{\pi f}{f_M}\right)}{\sin\left(\frac{\pi f}{f_M}\right)}\times e^{-j(D-1)\frac{\pi f}{f_M}}\right]^O$$

$$\tau_d=\left(\frac{D-1}{2}\right)\frac{0}{f_M}$$

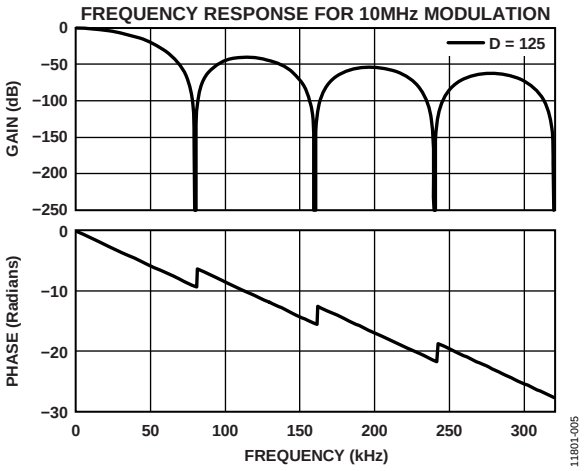



*图5. SINC滤波器频率响应*

对于给定的滤波器阶数，抽取率和滤波器阶数是决定滤波器性噪比(SNR)和群组延迟的滤波器参数。图6和表1显示三阶滤波器以及10 MHz调制器时钟的不同SNR、有效位数(ENOB)和群组延迟与抽取率的关系。抽取率必须位于85至210范围内，以获得11位至14位ENOB(以及67 dB至86 dB的SNR)；该范围是电流反馈所需的滤波器性能范围。在该抽取率范围内，群组延迟为12 µs至32 µs。

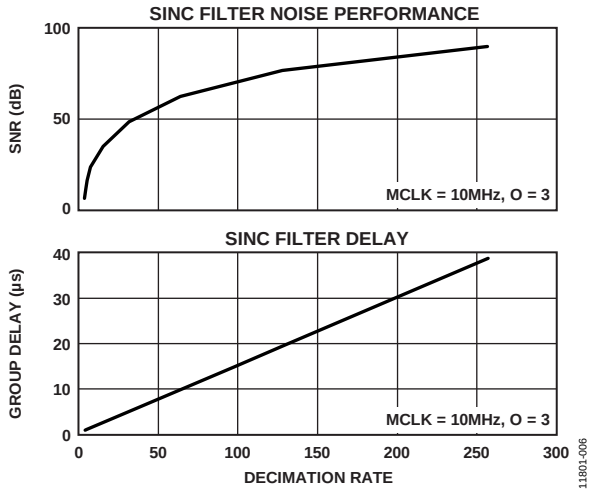



*图6. 次级滤波器SNR*

**表1. 不同抽取率下的SNR、ENOB和群组延迟[1]**

| 抽取率 | SNR (dB) | ENOB(位) | 群组延迟(µs) |
|---|---|---|---|
| 85 | 68 | 11 | 12.6 |
| 113 | 74 | 12 | 16.8 |
| 154 | 80 | 13 | 23.0 |
| 210 | 86 | 14 | 31.4 |

[1] 测试条件：±200 mV正弦波，1.22kHz。

在电机驱动器中，不可能将SINC滤波器抽取率与典型PWM开关频率相匹配。匹配16 kHz开关频率所需的抽取率为625，而滤波器群组延迟为94 µs。该抽取率远高于可提供的数值，而群组延迟将限制电流环路带宽。相反，抽取率设为PWM频率的倍数，以便降低群组延迟并依然获得目标滤波器SNR。控制算法在抽取频率的约数位置进行数据采样，而抽取频率匹配PWM开关频率。该软件抽取过程包括：将多个数据样本传输至存储器的循环缓冲器中，以及读取最近的数据样本，以便响应缓冲器填满时产生的中断。DMA引擎将数据从主SINC滤波器传输至数据存储器，而SINC控制单元每次传输固定数量的样本后便产生一次触发动作。

图7显示PWM开关、调制器、抽取和数据采样之间的对齐。PWM调制器发出的同步脉冲(PWM0_SYNC)将调制器的启动时钟与PWM频率对齐。抽取频率等于调制器时钟的约数和PWM频率的倍数。SINC0_DAT0触发速率等于PWM频率。

表2中的信息显示选择抽取率和PWM开关频率的过程。表格中的前三条数据是内核和外设时钟的芯片级设置。内核时钟速率最大值为240 MHz，通常等于系统(外设)时钟频率的偶数倍。SINC滤波器调制器的时钟(MCLK)来自系统时钟，数值基于MDIV场寄存器值，且在5 MHz至20 MHz范围内有一组有限值。主抽取率(PDEC)为125，该值将滤波器的SNR设为76 dB(高于12位ENOB)，且群组延迟为18.6 μs。在1.25 kHz典型电流控制环路带宽下，延迟对应的相位滞后仅为8°。调制器时钟为10 MHz；因此，主抽取时钟频率为80 kHz，且数值为5的软件抽取率(SWDEC)将采样速率与16 kHz PWM频率(PWM)同步。调整SINC滤波器抽取率可调节PWM频率。

决定调制器时钟、PWM频率和软硬件抽取率的等式为：

$$\frac{MCLK}{PWM} = PDEC \times SWDEC$$

其中：

*PDEC*表示硬件抽取率。

*SWDEC*表示软件抽取率。

硬件和软件抽取率必须为整数。SINC滤波器中的PCNT场寄存器值确定软件抽取率。载入SINC滤波器控制寄存器中的PCNT值比产生中断前的采样延迟数小1。PWM_TM0寄存器确定PWM开关频率，从而确定采样时序。

**表2. 抽取率选择**

| 参数 | 符号 | 数值 | 单位 |
|---|---|---|---|
| 内核时钟 | CCLK | 240 | MHz |
| 系统时钟分频器 | SYSSEL | 3 | |
| 系统时钟 | SYSCLK | 80 | MHz |
| 调制器时钟分频器 | MDIV | 8 | |
| 调制器时钟($1/T_M$) | MCLK | 10 | MHz |
| 抽取率 | PDEC | 125 | |
| 滤波器SNR | SNR | 76.0 | dB |
| 滤波器ENOB | ENOB | 12.3 | 位 |
| 抽取频率 | DCLK | 80.0 | kHz |
| 滤波器群组延迟 | $\tau_d$ | 18.6 | μs |
| 软件抽取率 | SWDEC | 5 | |
| 数据传输次数 | PCNT | 4 | |
| PWM频率($1/T_S$) | PWM | 16.00 | kHz |
| PWM周期数 | PWMTM | 2500 | |

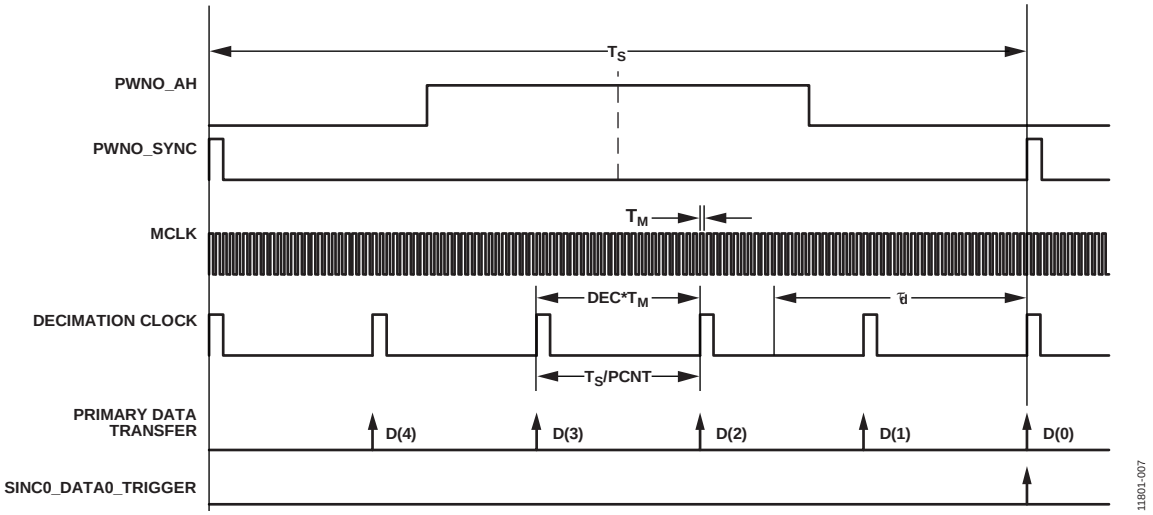



*图7. 调制器和抽取时钟时序*

## 主滤波器定标

SINC滤波器阶数(O)和抽取率(D)确定主滤波器直流增益，表达如下：

$$G_{dc} = D^O$$

该单元具有输出定标和偏置功能，可将数据转换为16位带符号整数，然后将其传输至存储器。取决于不同的表述，数据格式在±1.0范围内作为16位分数整数(S.15)有效，或在$\pm 2^{15}$范围内作为带符号16位整数有效。

原始滤波器输出为0至$D^O$范围内的整数，其中$D^O/2$与50%脉冲密度(相当于0 A)对齐。在输出端加入$-D^O/2$的偏置值可设置正确的零电平。将结果除以$D^O/2$可将满量程分数整数输出定标至±1，但为了简便起见，该单元具有简单的二进制比例因子，用户可选择S，设置1.0附近的增益。无论如何定标，DMA引擎仅传输输出数据的16个最低有效位，因此必须正确定标，避免损失精度。输出数据饱和，防止数据溢出；如果比例因子选择不当，则数据溢出可能会使输出信号的极性反转。发生饱和时，滤波器置位溢出故障标志。

只需反转分流增益用于定标并调节滤波器直流增益和比例因子之间的失配，即可将数据转换为浮点数。

## 反馈定标计算

存储器中分流电流至数据字的最终系统增益由系统中所有元器件的增益确定，如图8所示。本例中使用的隔离式调制器为AD7401A。

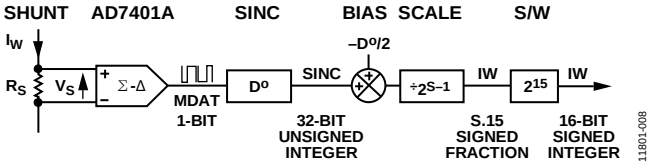



*图8. SINC主输出数据定标*

调制器得到的分流电压为：

$$v_S = i_W \times R_S$$

隔离式调制器的预期输入为双极性输入，0 V输入的情况下具有50%脉冲密度。脉冲密度与输入电压($v_s$)和正满量程输入($V_{FS}$)之比成函数关系：

$$MDAT = 0.5\left(\frac{v_S}{V_{FS}} + 1\right)$$

对于AD7401A，正满量程电压为320 mV，额定最大电压为200 mV时1的密度为81.25%。

SINC滤波器直流增益为$D^O$；因此，原始输出与输入电压的函数关系为：

$$SINC = \frac{D^O}{2}\left(\frac{v_S}{V_{FS}} + 1\right)$$

该直流定标适用于次级滤波器输出，最大次级抽取率将原始输出数据范围限制为16位无符号整数。负满量程输入时的次级输出为0，正满量程输入时的次级输出为$D^O$。

主输出路径上的偏置和定标功能可消除SINC数据偏置，并将数据重新定标为16位带符号整数。偏置值必须等于$-D^O/2$以消除SINC输出失调，并用于双极性输入范围调制器。重新定标功能从SINC输出字中选择适当的位范围。

$$IW = \frac{SINC - \frac{D^O}{2}}{2^{S-1}} = \frac{D^O}{2^S}\left(\frac{v_S}{V_{FS}}\right)$$

比例因子(S)必须将最大分数整数输出设为1.0；当满足下式时该目的可实现：

$$\frac{D^O}{2^S} << 1 \therefore S >> \frac{\ln(D^O)}{\ln 2}$$

读取带符号整数数据时，SINC输出等式加入$2^{15}$比例因子。

$$IW = \frac{D^O}{2^S}\left(\frac{v_S}{V_{FS}}\right) \times 2^{15}$$

这种情况下，与实际绕组电流($i_w$)成函数关系的电流读数为：

$$IW = i_W \times \left(\frac{R_S}{0.32}\right)\left(\frac{D^O}{2^S}\right) \times 2^{15}$$

## 次级滤波器定标和过载配置

次级SINC滤波器数据输出直接连接过载比较器和毛刺滤波器，如图4所示。相比主滤波器，次级滤波器的抽取率设为一个低得多的值，以便针对故障条件提供更快的响应。处理器触发路由单元(TRU)将过载跳闸信号连接至PWM调制器的关断输入端，清除故障。TRU还可将过载信号连接至其他源，如用于关断其他重要电路元件的外部GPIO。

典型电源逆变器开关可耐受几微秒的短路；因此，过载电路必须具有相对较窄的检测窗口。由于SINC滤波器能够响应三个抽取周期内的步进输入，因此使用抽取率10可实现3 µs以内的响应，如图9所示。SINC滤波器还可滤除逆变器开关噪声，如图10所示。在该图中，将16 A噪声脉冲注入10 A峰值测试波形中，持续1.5 µs；并注入持续时间为40 µs的16 A过载脉冲。滤波器抑制短噪声脉冲，但电路检测16 A过载脉冲。该测试中的最大和最小跳闸电平位于次级SINC输出端，对应±16 A。

在较低的抽取率下可达到更快的响应，但如图11所示，哪怕在±10 A的简单正弦波测试电流下，次级SINC输出电压都会超过跳闸电平。抽取率为5时，较高的SINC滤波器噪声产生多个伪跳闸信号。图12显示高(10)和低(5)抽取率下的SNR以及跳闸信号的噪声裕量。

次级输出毛刺滤波器采用跳闸计数窗口(WCNT)，以低于最小次数(LCNT)的持续时间消除跳闸，从而抑制短过载跳闸。图13显示毛刺滤波器如何消除抽取率为5时触发的杂散过载；但响应时间具有额外三个周期的延迟。因此，较低的抽取率不会降低响应时间。图中显示滤波器抑制模拟输入短噪声脉冲的能力。在该示例中，噪声脉冲持续时间为1.5 μs。

次级SINC滤波器包含一组历史缓冲器，用于在跳闸前存储8个最新的数据样本，以供诊断。可通过器件外设存储器架构直接访问历史寄存器中的数据。

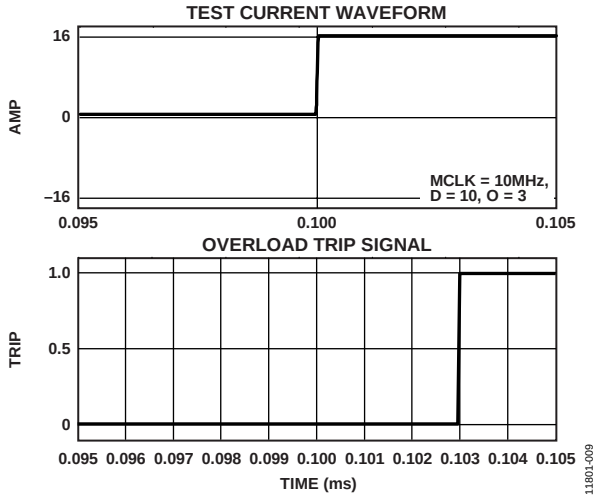



*图9. 次级滤波器过载检测*

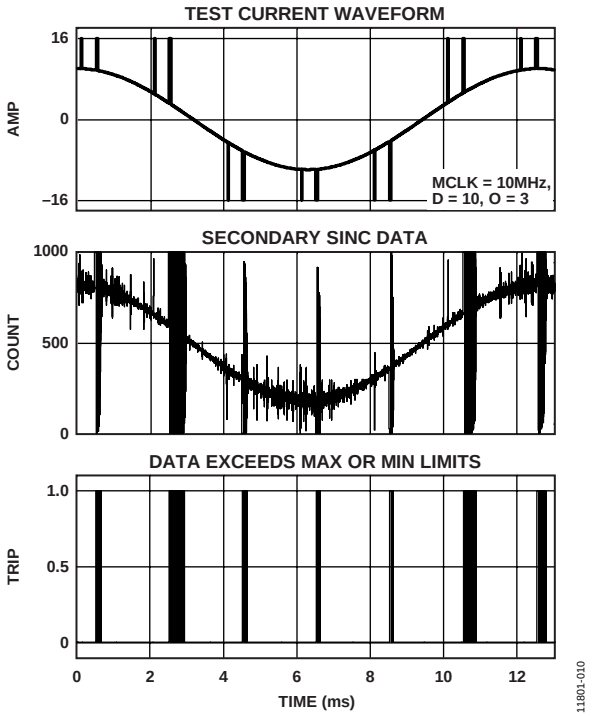



*图10. 以抽取率10执行过载检测*

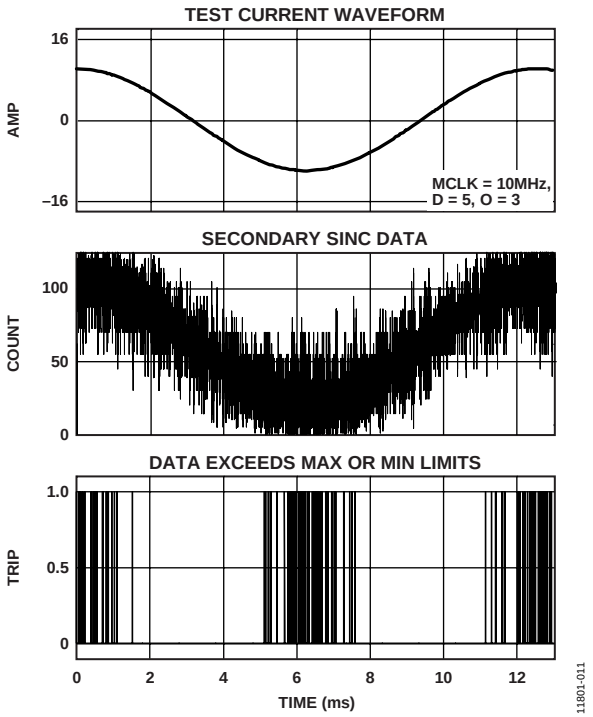



*图11. 以抽取率5执行伪过载检测*

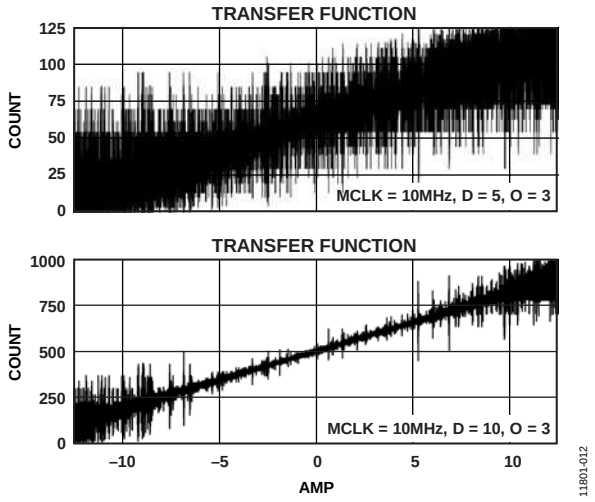



*图12. 抽取率为5和10时的次级滤波器增益曲线*

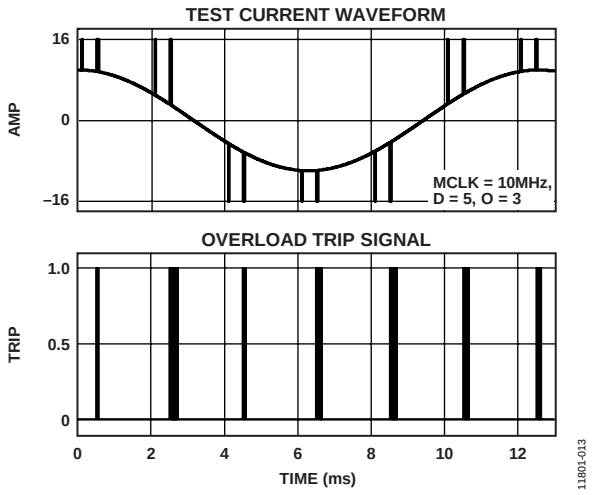



*图13. 抽取率为5时的过载检测以及WCNT = 4且LCNT = 4时的毛刺滤波器*

### 次级滤波器定标和跳闸电平

次级滤波器无额外输出定标，但有效的最小和最大值范围为0至$D^O$。负满量程电流映射至0，正满量程电流映射至$D^O$。将最小和最大跳闸电平设为1和$D^O$ – 1可让跳闸功能具有最大范围。图12中，底部图形所示的传递函数(抽取率为10，分流电阻为20 mΩ)显示10 A输入的噪声峰值位于滤波器最大(1000次)和最小(0次)输出范围内。将LMIN和LMAX跳闸电平设为1次计数和999次计数可避免10 A峰值电流杂散跳闸信号。触发跳闸的实际电流范围为11 A至16 A满量程电平。电流越接近满量程限值，跳闸的可能性就越大。

过载电路在额定调制器输入范围内的工作精度略高。在精度较高的情况下，5 A输入的峰值噪声为700次计数，等效于6.4 A。因此，可将跳闸设为在5 A至6.4 A范围内工作。这种情况下的LMAX和LMIN设置分别为700次和300次计数。采用较低的抽取率获得精确跳闸设置较为困难。

### SINC模块故障检测功能

“次级滤波器定标和过载配置”部分描述了达到所需主和次级滤波器性能的各种滤波器参数设置要求。除过载故障外，SINC模块还检测由于异常滤波器设置导致的数据故障，该故障会使芯片特定的模块过载。

存在输出偏置和定标异常时，主滤波器会检测输出数据饱和。若滤波器DMA引擎无法在滤波器写入新数据前传输数据，则它会检测FIFO故障。发生饱和以及FIFO故障时，SINC_CTL寄存器中的ESATx和EFOVFx位屏蔽SINC0_STAT产生的中断。

# SINC滤波器设置和软件驱动程序功能

使用滤波器前，应执行数个步骤，设置SINC滤波器模块以及信号路由和数据缓冲器。完成配置后，DMA引擎便可自动将主滤波器数据流传输至存储器，并且次级限制功能在发生过载时可关断PWM模块。数据就绪时，系统产生中断，以便处理器执行控制算法，更新PWM调制器寄存器。图14显示SINC滤波器模块和CPU、SRAM、PWM以及外部引脚之间的互连布局，用以捕获电机电流反馈信号。

使用SINC滤波器设置电流反馈需执行四个步骤：

1. 配置引脚多路复用器。
2. 分配数据缓冲器存储器。
3. 连接中断并触发路由。
4. 配置主滤波器和次级滤波器。

本小节进一步讨论这些步骤，详细说明设置过程以及ADI器件的驱动程序功能，以便设置系统和SINC滤波器控制寄存器。

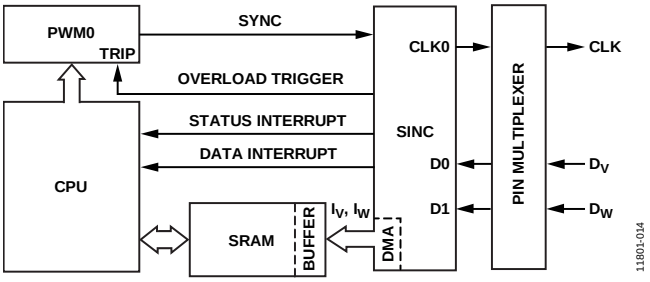



*图14. SINC滤波器系统配置*

## 引脚多路复用器配置

引脚多路复用器将前端调制器时钟和数据引脚连接至SINC模块。有两个可用的调制器时钟输出(SINC0_CLK0和SINC0_CLK1)，以及四个可用的SINC数据输入引脚(SINC0_D0、SINC0_D1、SINC0_D2和SINC0_D3)。PORT_MUX寄存器控制这些引脚的选择，可针对每个多路复用引脚从四个交替输入或输出信号中作出选择。PinMux64.jar和PinMux32.jar Java应用程序随ADSP-CM40x Enablement软件包提供，可自动生成C语言代码，使能用户端口选择。图15是PinMux64.jar应用软件窗口快照。

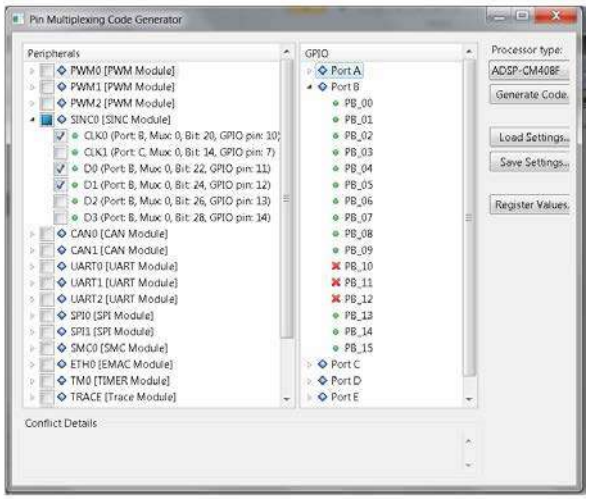



*图15. 引脚多路复用器选择工具*

## 数据缓冲器存储器分配

必须定义主滤波器数据缓冲器，并为其分配存储器空间，以便允许控制算法使用数据。软件抽取率和反馈通道数确定存储器尺寸。通道序列中的数据按组排列。指向最近数据组的指针存储在SINC_PPTRx寄存器中。“中断和触发路由”部分描述的器件驱动程序可管理缓冲器和指针。

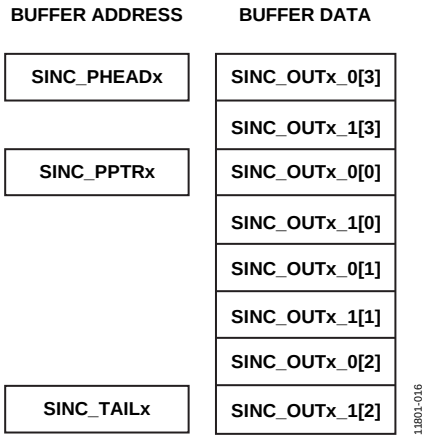



*图16. 数据缓冲器结构图*

## 中断和触发路由

图17描述使用中断和触发信号将SINC滤波器与其他外设功能互连的情况。SINC_STAT是SINC滤波器模块的单次处理器中断信号。触发路由单元(TRU)将其他触发信号连接至SINC滤波器模块的外设和处理器中断。在TRU中将触发主机地址载入触发从机寄存器可连接路由。

TRU将SINC滤波器调制器和抽取时钟与PWM调制器频率同步，以满足图7中定义的时序要求。TRU还将SINC滤波器数据传输触发信号与控制软件中断信号相连，开始执行控制算法。

TRU将两个SINC过载触发连接至PWM调制器TRIP1输入，使能过流保护。TRIP0输入仅连接外部跳闸信号。必须配置PWM调制器、TRIP0以及TRIP1输入，以便接受这些触发信号。过载故障可产生两种中断：SINC_STAT中断直接连接CPU，而SINC过载触发产生PWM_TRIP1中断。“SINC滤波器软件支持”结尾部分的代码段包含器件驱动程序的调用，可实现这些连接。

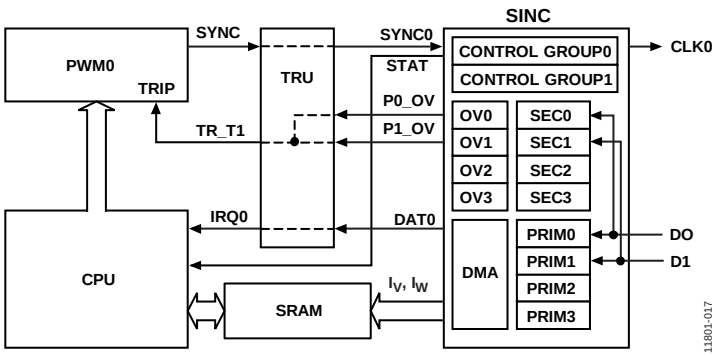



*图17. SINC滤波器触发路由*

## 主和次级滤波器配置

对滤波器通道进行分组管理，因为通常2或3个反馈信号需要使用同一个滤波器参数。SINC模块有两组配置寄存器。任意组的通道具有相同的时钟和滤波器参数，如滤波器阶数、抽取率、定标和偏置。例外情况是过载限值和历史寄存器，它们具有独立的通道结构。使能某一滤波器通道即可将其分配至某一配置组。配置寄存器确定调制器时钟、滤波器参数、DMA数据传输和过载检测。

图18描述群组0寄存器的滤波器和系统参数分配。群组1寄存器的结构与之类似。SINC_CTL寄存器使能每个通道，并分配控制组。建议过程为：先配置滤波器组，然后在群组中使能通道。SINC_CTL寄存器同样可以屏蔽SINC_STAT中断。系统状态寄存器SINC_STAT汇报故障和数据触发计数状态。

每组3个寄存器以及时钟寄存器确定主和次级滤波器参数。SINC_RATE0和SINC_RATE1设置主和次级滤波器抽取率(PDEC、SDEC)以及主滤波器相位(通常为0°)。SINC_LEVEL0和SINC_LEVEL1确定主和次级滤波器阶数(PORD、SORD)以及主滤波器定标(PSCALE)。BIAS0和BIAS1确定主滤波器数据失调。SINC_CLK寄存器确定CLK0和CLK1调制器时钟频率，可通过外部触发使能同步。需要的话，该寄存器还可调节时钟相位。

每组3个寄存器支持主滤波器DMA通道。SINC_PHEAD0和SINC_TAIL0确定群组0主滤波器输出数据缓冲器的存储器地址。SINC_PPTR0寄存器将指向最新数据的指针保存在缓冲器中。SINC_LEVEL0寄存器的PCNT位确定每个数据中断的数据传输数量，从而设置软件抽取率(PCNT + 1)。

每通道由5个寄存器支持次级过载检测功能。SEC_LIMIT0确定最大和最小过载阈值，且P0SEC_HIST0、P0SEC_HIST1、P0SEC_HIST2和P0SEC_HIST3在过载跳闸前存储最后8个次级滤波器输出。SINC_LEVEL0和SINC_LEVEL1寄存器设置相关群组中通道的次级滤波器毛刺参数(LWIN、LCNT)。

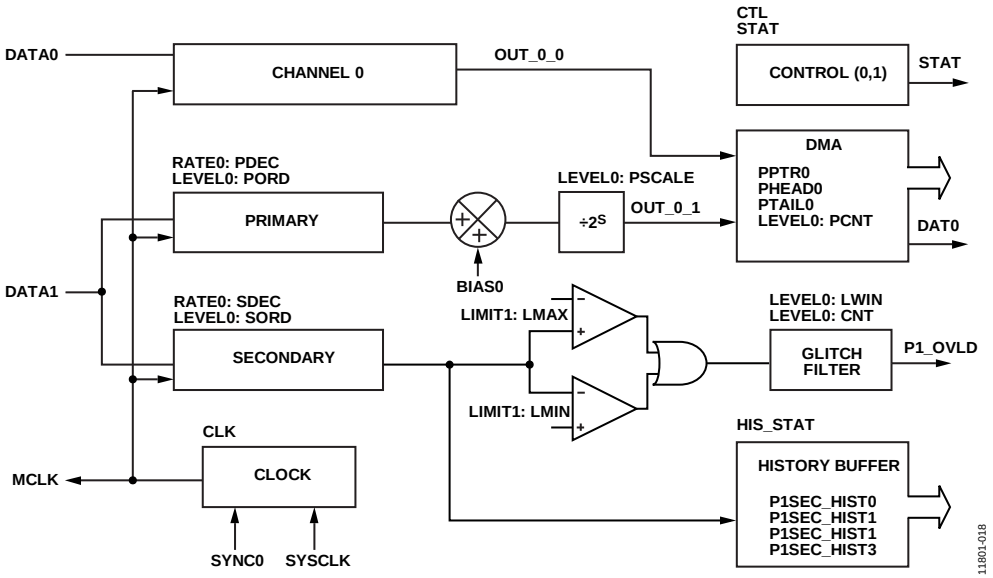



*图18. SINC寄存器映射*

## SINC滤波器软件支持

下文代码片段给出一个如何设置双通道电流反馈中主滤波器和次级滤波器的示例。这些代码片段从工作代码中提取，并在闭环电机控制评估平台上测试。器件驱动程序增加了一些开销，但极大简化了SINC模块寄存器的编程。该函数调用与本文所用参数名相匹配的常量名，因此大部分代码无需注释。

第一段代码(行[1:21])定义一系列参数常量。第9行和第10行定义主SINC数据的数据缓冲器尺寸。下一段代码(行[22:36])设置原型功能并分配存储器。第28行和第29行定义的SINC回调函数处理SINC_DATA0和SINC_STAT中断。

SetupTRU代码段(行[37:46])包含所有触发路由。SetupPWM代码段(行[47:74])包含PWM定时器频率、同步脉冲和跳闸功能设置。外部硬件跳闸信号连接TRIP0，内部SINC_Px_OVLD触发连接TRIP1。TRIP1中断是SINC过载产生的中断之一。过载还产生SINC_STAT中断。

SetupSINC代码段(行[75:106])配置SINC滤波器参数。行[78:80]打开器件驱动程序并设置回调函数。行[81:85]设置各种群组参数，包括阶数和抽取率。行[87:89]控制过载限值的初始设置，将其设为整个范围以避免滤波器启动时的杂散跳闸信号。第86行设置循环缓冲器，用于主SINC数据；第94行和第95行分配数据通道到缓冲器。第91行和第92行设置调制器时钟。第91行驱动程序计算系统时钟和调制器频率的分频比。第92行调用驱动程序使能时钟并设置同步模式。第97行使能SINC_STAT中断屏蔽。第98行和第99行使能分配至群组0的滤波器通道0和滤波器通道1。第100行和第101行在指定SINC中断屏蔽(第103行)之前引入短延迟，并设置次级滤波器过载限值(第104行和第105行)。

最后一段代码(行[106:129])包含回调函数，用于SINC数据和过载中断。SincDataCallback函数将缓冲器的数据复制到电机控制变量中，并调用控制函数。SincStatusCallback调用故障处理程序。

```
/*************************************
SINC FILTER SETUP CODE SNIPPETS
*************************************/
/****   Include file #define code    ***/
/* SINC definitions */
#define SINC_DEV                0
#define SINC_NUM_SAMPLES        4
   /* this determines how often a data
   interrupt is generated */
#define SINC_NUM_PAIRS          2
#define SINC_DATA_SIZE
   (SINC_NUM_PAIRS * SINC_NUM_SAMPLES)
#define CIRC_BUF_SIZE
   (SINC_NUM_SAMPLES*20)
   /* size for the device circular buffer */
#define SINC_MODCLK             (5000000)
   /* modulator clock freq */
#define PDEC                125
   /* primary decimation */
#define PSCALE              24
   /* Primary scale */
#define SDEC                5
   /* secondary decimation */
#define LWIN                4
   /* Glitch window    */
#define LCNT                4
   /* Glitch count */
#define LMAX           124
   /* Overload max limit */
#define LMIN           1
   /* Overload min limit */
/* TRU definitions*/
#define TRU_DEV_NUM             0
#define ADI_TRU_REQ_MEMORY      4u


/*  SINC related P R O T O T Y P E S  and
   memory allocation                */
/* Function prototypes */
void SetupPWM(void);
void SetupTRU(void);
void SetupSINC(void);
/* Prototype for callback functions */
static void SincDataCallback(void
   *pHandle, uint32_t event, void *pArg);
static void SincStatusCallback(void*
   pHandle, uint32_t event, void* pArg);
/* SINC handler and data buffers */
static uint8_t
   SincMemory[ADI_SINC_MEMORY_SIZE];
static ADI_SINC_HANDLE hSINC;
static int16_t sincData1[SINC_DATA_SIZE];
static int16_t sincData2[SINC_DATA_SIZE];
static int16_t
   sincCircBuffer[CIRC_BUF_SIZE];
/***********************************/


void SetupTRU(void){
/*****       Function: SetupTRU  (code
   snippet for SINC related setup)  *******/
ADI_TRU_RESULT result;
result = adi_tru_Open (TRU_DEV_NUM,
   &TruDevMemory[0], ADI_TRU_REQ_MEMORY,
   &hTru);
// Setup TRU for SINC. Slave is SINC0
   SYNC0, master is PWM0 sync pulse
result = adi_tru_TriggerRoute (hTru,
   TRGS_SINC0_SYNC0, TRGM_PWM0_SYNC);  //
   TRU device, slave, master
result = adi_tru_TriggerRoute (hTru,
   TRGS_PWM0_TRIP_TRIG1,
   TRGM_SINC0_P0_OVLD); /* connect
   SINC_Px_OVLD trigger to PWM0_TRIP_TRIG1.
   slave, master */
result = adi_tru_TriggerRoute (hTru,
   TRGS_PWM0_TRIP_TRIG1,
   TRGM_SINC0_P1_OVLD); /* Both overload
   detection on TRIP1. TRIP0 used by HW */
result = adi_tru_Enable (hTru, true); //
   Enable TRU
}


void SetupPWM(void){
/****   Function: SetupPWM  (code snippet
   for SINC related setup)  *******/
static ADI_PWM_RESULT result;
uint32_t temp = 0;


result = adi_pwm_Open(PWM_DEV,
   &PwmMemory, ADI_PWM_MEMORY_SIZE, &hPWM,
   PwmCallback, NULL); // Open driver


temp = (uint32_t)(fsysclk / (2u * FPWM));
   // Calculate switching period as number
   of sys clocks (up-down counter)
result = adi_pwm_SetReferencePeriod(hPWM,
   temp);


temp = (uint32_t)(fsysclk *
   SYNC_PULSE_WIDTH);       // Calculate
   sync pulse width as number of sys clocks
   (up-down counter)
result = adi_pwm_SetSyncWidth(hPWM,
   temp);
result = adi_pwm_ExtSyncEnable(hPWM,
   false, false);          // Internal sync
   used
```

```
result =
adi_pwm_SetIntSyncTimerMode(hPWM,
ADI_PWM_TIMER0);  // Use timer 0 to
generate sync.


result = adi_pwm_SetTripEnable(hPWM,
ADI_PWM_CHANNEL_A, ADI_PWM_TRIP0_SRC,
true);    // Enable Trip0 and trip on all
channels
result = adi_pwm_SetTripEnable(hPWM,
ADI_PWM_CHANNEL_B, ADI_PWM_TRIP0_SRC,
true);
result = adi_pwm_SetTripEnable(hPWM,
ADI_PWM_CHANNEL_C, ADI_PWM_TRIP0_SRC,
true);
result = adi_pwm_SetTripEnable(hPWM,
ADI_PWM_CHANNEL_A, ADI_PWM_TRIP1_SRC,
true);    // Enable Trip1 and trip on all
channels
result = adi_pwm_SetTripEnable(hPWM,
ADI_PWM_CHANNEL_B, ADI_PWM_TRIP1_SRC,
true);
result = adi_pwm_SetTripEnable(hPWM,
ADI_PWM_CHANNEL_C, ADI_PWM_TRIP1_SRC,
true);


result = adi_pwm_SetTripMode(hPWM,
ADI_PWM_CHANNEL_A, ADI_PWM_TRIP0_SRC,
false);     // Stop PWM and report fault
at trip. Do not restart
result = adi_pwm_SetTripMode(hPWM,
ADI_PWM_CHANNEL_B, ADI_PWM_TRIP0_SRC,
false);
result = adi_pwm_SetTripMode(hPWM,
ADI_PWM_CHANNEL_C, ADI_PWM_TRIP0_SRC,
false);
result = adi_pwm_SetTripMode(hPWM,
ADI_PWM_CHANNEL_A, ADI_PWM_TRIP1_SRC,
false);
result = adi_pwm_SetTripMode(hPWM,
ADI_PWM_CHANNEL_B, ADI_PWM_TRIP1_SRC,
false);
result = adi_pwm_SetTripMode(hPWM,
ADI_PWM_CHANNEL_C, ADI_PWM_TRIP1_SRC,
false);


result = adi_pwm_InterruptEnable(hPWM,
ADI_PWM_INTERRUPT_TIMER0, true);
// Enable sync irq
result = adi_pwm_InterruptEnable(hPWM,
ADI_PWM_INTERRUPT_TRIP0, true);
// Enable trip0 irq
result = adi_pwm_InterruptEnable(hPWM,
ADI_PWM_INTERRUPT_TRIP1, true);
// Enable trip1 irq


/*** other PWM setup code **/
}


void SetupSINC(void){
/***           Function: SetupSINC
******/


static ADI_SINC_RESULT result;


result = adi_sinc_Open(SINC_DEV,
SincMemory, ADI_SINC_MEMORY_SIZE,
&hSINC);


result = adi_sinc_RegisterDataCallback
(hSINC, SincDataCallback, 0);
result = adi_sinc_RegisterStatusCallback
(hSINC, SincStatusCallback, 0);


/* Specify Group Parameters */
result = adi_sinc_SetRateControl (hSINC,
ADI_SINC_GROUP_0,
ADI_SINC_FILTER_PRIMARY, PDEC, 0);
result = adi_sinc_SetRateControl (hSINC,
ADI_SINC_GROUP_0,
ADI_SINC_FILTER_SECONDARY, SDEC, 0);
result = adi_sinc_SetLevelControl (hSINC,
ADI_SINC_GROUP_0, LWIN, LCNT,
SINC_NUM_SAMPLES, PSCALE);
result = adi_sinc_SetFilterOrder (hSINC,
ADI_SINC_GROUP_0,
ADI_SINC_FILTER_THIRD_ORDER,
ADI_SINC_FILTER_THIRD_ORDER);
result = adi_sinc_SetCircBuffer(hSINC,
ADI_SINC_GROUP_0, sincCircBuffer,
CIRC_BUF_SIZE);


/* Reset overload amplitude detection
limits to 0 – FullScale  */
result = adi_sinc_SetAmplitudeLimit
(hSINC, ADI_SINC_PAIR_0, 0x0000, 0xFFFF);
result = adi_sinc_SetAmplitudeLimit
(hSINC, ADI_SINC_PAIR_1, 0x0000, 0xFFFF);


/* Specify Modulator Clock frequency,
phase & startup synchronization  */
result = adi_sinc_ConfigModClock (hSINC,
ADI_SINC_GROUP_0, fsysclk, SINC_MODCLK,
0, false);
result = adi_sinc_EnableModClock (hSINC,
ADI_SINC_GROUP_0,
ADI_SINC_MOD_CLK_PWM_SYNC);


/* submit buffers to receive SINC data */
result = adi_sinc_SubmitBuffer(hSINC,
ADI_SINC_GROUP_0, sincData1, 16);
```

```
result = adi_sinc_SubmitBuffer(hSINC,
ADI_SINC_GROUP_0, sincData2, 16);


/* route the TRU interrupt */
result = adi_sinc_EnableDataInterrupt
(hSINC, ADI_SINC_GROUP_0,
ADI_SINC_DATA_INT_0, true);


result = adi_sinc_EnablePair(hSINC,
ADI_SINC_PAIR_0, ADI_SINC_GROUP_0, true);
result = adi_sinc_EnablePair(hSINC,
ADI_SINC_PAIR_1, ADI_SINC_GROUP_0, true);


  for (int i=0; i<500; i++) // Wait 10us
to let data propagate through the filter
before setting trip limits.
  asm("nop;");


  /* Enable & assign used SINC filter
pair, and specify interrupt masks */
  result = adi_sinc_SetControlIntMask
(hSINC,
ADI_SINC_INT_EPCNT0|ADI_SINC_INT_EFOVF0 |
ADI_SINC_INT_EPCNT1|ADI_SINC_INT_EFOVF1 |
ADI_SINC_INT_ELIM0);


  result = adi_sinc_SetAmplitudeLimit
(hSINC, ADI_SINC_PAIR_0, LMIN, LMAX);
  result = adi_sinc_SetAmplitudeLimit
(hSINC, ADI_SINC_PAIR_1, LMIN, LMAX);
  }
  /***         Function:
SincDataCallback              ****/
  static void SincDataCallback(void*
pHandle, uint32_t event, void* pArg){
  static uint16_t *bufferPtr;
  bufferPtr = (uint16_t*)pArg;  /*
pointer to sincData1 or sincData2 */
  switch((ADI_SINC_EVENT)event){
  case ADI_SINC_EVENT_DATA0:
  Mctrl_U.ibc_sinc[1] = *bufferPtr;
  Mctrl_U.ibc_sinc[0] = *(bufferPtr+1);
  MotorControl();       /* Algorithm
call */
  break;
  case ADI_SINC_EVENT_STATUS:
  break;
  default:
  break;
  }
  }

*/
  static void SincStatusCallback(void*
pHandle, uint32_t event, void* pArg){
  ADI_SINC_EVENT eEvent =
(ADI_SINC_EVENT)event;
  uint32_t status = (uint32_t)pArg;
  if (status & ADI_SINC_STATUS_GLIM0){
  SINC_TRIP_Fault_handler();
  }
  }
```

©2013 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN11801sc-0-11/13(A)

ANALOG DEVICES

AN-1267
应用笔记

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 使用ADSP-CM408F ADC控制器的电机控制反馈采样时序

作者：Dara O'Sullivan、Jens Sorensen和Aengus Murray

## 简介

本应用笔记介绍ADSP-CM408F模数转换器控制器(ADCC)模块的主要特性，重点讨论该产品在高性能电机控制应用的电流反馈系统中的相关性与可用性。

本应用笔记的目的是为了强调模数转换器(DAC)模块的关键功能，并提供针对电机控制应用的配置指南。本文提供演示ADI ADCC驱动器的代码示例。

有关此ADCC的所有功能、配置寄存器和应用程序接口(API)的更多详细信息，请参阅ADSP-CM402F/ADSP-CM403F/ADSP-CM407F/ADSP-CM408F产品页面和采用ARM Cortex-M4和16位ADC开发产品的ADSP-CM40x混合信号控制处理器的产品页面上提供的《采用ARM Cortex-M4的ADSP-CM40x混合信号控制处理器硬件参考指南》。

虽然本应用笔记重点讨论电流反馈，类似的配置和应用原理同样适用于其他信号的反馈与测量。

同样，虽然本应用笔记重点讨论ADSP-CM408F，但原理在本质上同样适用于ADSP-CM402F/ADSP-CM403F/ADSP-CM407F/ADSP-CM408F系列的其他产品。

# 电流反馈系统概述

电机控制应用中的电流反馈示例如图1所示。该配置常用于高性能电机驱动，并针对电机相位绕组电流采样，而非对逆变器低端相位引脚采样。中高电平时，电流传感器或变压器(CT0和CT1)必须用于电流测量路径，因为阻性分流器尺寸过大而低效。

在图1的配置中，处理器位于安全的隔离栅低压侧，而信号隔离通常为CT0和CT1所固有，且微处理器的脉冲宽度调制PWM输出和栅极驱动器之间还存在数字隔离。

通常需要在电流传感器输出和ADC输入之间进行一些信号调理，以便实现范围匹配和高频噪声滤波。随后将调理的电流测量信号施加于ADC输入，用来采样和转换。对每个ADC输入进行一次绕组电流测量将使能电流测量的同步采样以获得更高的控制环路精度，从而增强性能。另外，还可在硬件内直接配置采样时间与PWM sync脉冲的同步。

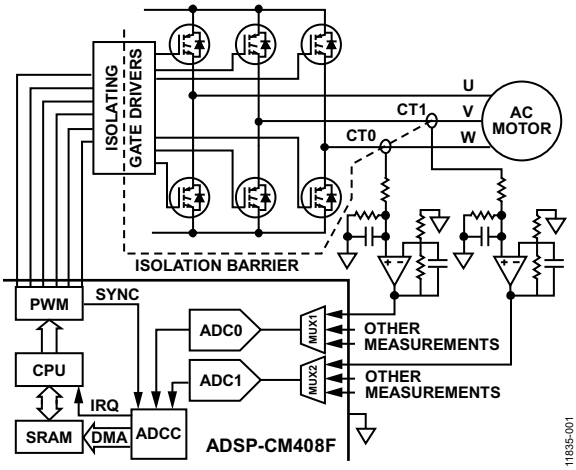



*图1. 电机控制中ADSP-CM408F ADC的电流反馈*

这些特性可使能PWM周期中相位电流测量点的精密时序。将这些测量时刻与零矢量的中间点或PWM周期的中间点对齐，确保电流采样电平等效于忽略开关纹波的瞬时平均电流。

图2中显示了零矢量中点和PWM周期中点处的同步U相位和V相位采样。

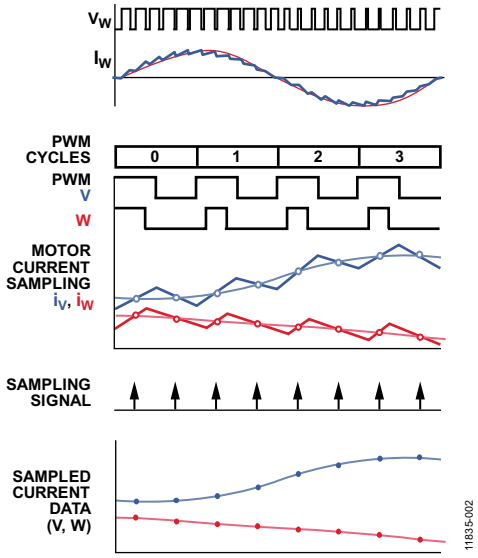



*图2. 平均电流采样图解*

完成数据转换后，便可将其通过直接存储器访问(DMA)传输至控制器静态随机存取存储器(SRAM)，完成传输后会生成一个中断。在内核模式下，通过存储器映射寄存器，还可实现直接ADC状态和数据读取，但这种方法需消耗更多的处理器开销。

通常还会采样其他模拟信号，例如直流总线电压、隔离式栅极双极性晶体管(IGBT)温度和电机位置正弦与余弦输出。虽然本应用笔记重点讨论电流反馈，但很多信息也与系统中的其他测量参数有关。

# ADC模块概述

该ADC采用双通道、16位、高速、低功耗、逐次逼近型寄存器(SAR)设计，精度高达14位。

输入多路复用器最多支持连接两个独立受控ADC的26个模拟输入源组合(每个ADC的12路模拟输入加上1路DAC回送输入)，任意时刻都对两个通道同步采样。ADC转换时间快达380 ns。单端模拟输入所需的电压输入范围为0 V至2.5 V。

多路复用器和ADC之间提供片内缓冲器，无需使用额外的外部信号调理ADSP-CM408F。此外，每个ADC都有一个片内2.5 V基准电压源，当优先选择外部基准电压源时可将其过驱(通过ADCC_CFG寄存器选择该选项)。

ADSP-CM408F中的总模拟子系统的图形概述如图3所示。ADSP-CM408F采用多芯片系统级封装(SiP)，而ADC硅片制造工艺与处理器硅片工艺有所不同，如图3所示。

ADCC负责ADC中与处理器的时序同步，并管理DMA，将采样数据传输到SRAM。

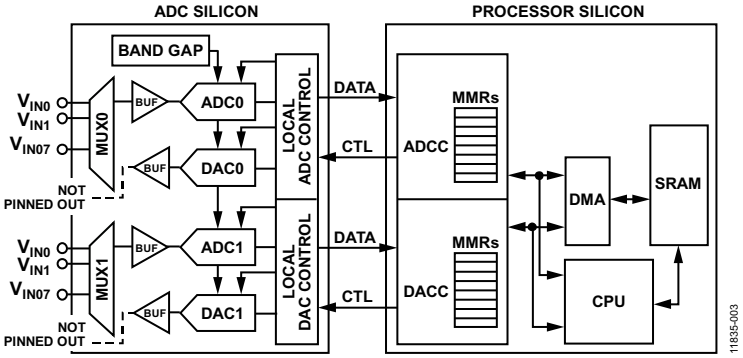



*图3. ADSP-CM408F模拟子系统*

# 电流反馈调整

若要最大限度地正确利用ADC的能力，正确调整反馈信号非常重要。信号通过反馈路径处理，如图5所示。双极性相位绕组电流$I_W$通过电流传感器(或变压器)和信号调理电路的组合功能转换为ADC输入端的单极性电压。

电流传感器的传递函数由下式表示：

$$V_{IW} = K_{CT}I_W + V_{0CT}$$

其中：

$V_{IW}$为输出电压。

$K_{CT}$是传感器的线性增益系数。

$V_{0CT}$是传感器的零电流失调电压。

$K_{CT}$在不同传感器类型的某些电流水平下表现出非线性，且为了获得更佳的精度，应当与$I_W$成函数关系，即$K_{CT}(I_W)$。之后，ADC输入电压可表示为：

$$V_{IW_ADC} = K_{SIG}V_{IW} = K_{SIG}[K_{CT}(I_W)I_W + V_{0CT}]$$

其中，$K_{SIG}$是信号调理电路的低频增益。

该单极性电压转换为16位无符号整数，并由DMA传输至处理器存储器，然后发出中断，提醒控制程序新数据样本可用。ADC理想化的传递函数如下所示：

$$N_{IW} = K_{ADC}V_{IW_ADC} = \frac{2^{16}}{2.5}V_{IW_ADC}$$

其中：

$N_{IW}$是ADC数字输出字。

$K_{ADC}$表示ADC的线性增益，等于根据输入电压范围划分的ADC分辨率，如上所示。

ADC输出会产生一些失调；而在软件内进行一些失调补偿($N_{ADC_OFFSET}$)通常是一个好办法，可将ADC自身的所有失调以及传感器和信号调理电路产生的所有残余失调从ADC输出中去除。该值可在零电流周期(如系统启动或禁用驱动输出)中动态更新。

最后，电流传感器零电流失调电压$N_{CT_OFFSET}$的数字表示从ADC输出信号中去除，使带符号值IW(与实际相位绕组电流有关)的表达式为：

$$IW = K_{ADC}(K_{SIG}[K_{CT}(I_W)I_W + V_{0CT}]) - N_{ADC_OFFSET} - N_{CT_OFFSET}$$

其中：

$$N_{CT_OFFSET} = \frac{2^{16}}{2.5}V_{0CT}$$

这个带符号的16位值可转换为浮点值，或直接使用，具体取决于控制器实现方案。若要最大限度地利用ADC的全范围，则系统中的正峰值受控电流必须与ADC输入电压2.5 V相对应，而负峰值受控电流与ADC输入0 V相对应。

该情况的一个示例如图4所示。该图显示了典型电流波形和相关的各种零电平、峰值电平以及标称电平，图4显示的电流电平将转换为通过信号测量系统传播(如图5所示)的比例量(参见表1)。

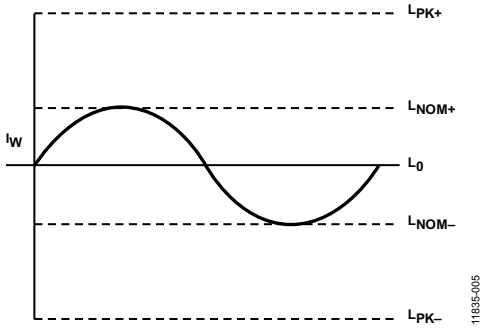



*图4. 电流反馈信号幅度*

**表1. 电流反馈信号幅度**

| 级别 | $I_W$ (A) | $V_{IW}$ (V) | $V_{IW_ADC}$ (V) | $N_{IW}$ |
|---|---|---|---|---|
| $L_{PK+}$ | 6.8 | 4.625 | 2.313 | 0xECD9 |
| $L_{NOM+}$ | 4 | 3.75 | 1.875 | 0xC000 |
| $L_0$ | 0 | 2.5 | 1.25 | 0x8000 |
| $L_{NOM-}$ | −4 | +1.25 | +0.625 | 0x4000 |
| $L_{PK-}$ | −6.8 | +0.375 | +0.188 | 0x1340 |

本示例采用连接LEM®,的CAS 6-NP霍尔效应传感器，其初级匝数为3，具有0 V至5 V输出，后接增益为0.5的信号调理电路。

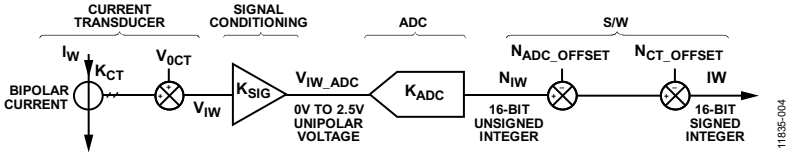



*图5. 电流反馈路径的调整关系*

# ADC时序考虑因素

以PWM周期同步采样事件对于精确电流反馈而言非常重要。ADCC采用PWM周期工作的概念时序如图6所示。下列事件序列由PWM SYNC脉冲触发。

1. PWM sync脉冲触发定时器，以便启动。
2. ADCC不断将事件信息中的采样时间与定时器时间比较。
3. 完成定时器匹配，ADCC计划ADC操作。
4. ADC变为可用后，ADCC便使用事件信息选择适当的通道。
5. ADCC触发ADC转换序列，ADC采样并转换数据。
6. 数据回流至ADCC。
7. ADCC将数据通过DMA传输至存储器位置(LSB优先)。
8. 产生中断(IRQ)，提醒CPU数据样本可用。

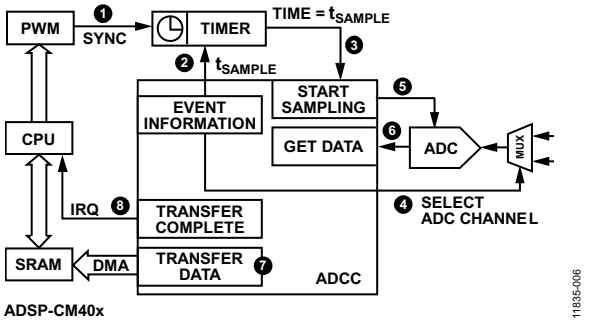



*图6. ADCC操作序列*

## ADCC事件时序

控制器管理最多24个采样事件的配置和时序。这些事件的时序受触发限制，该触发会启动两个定时器(TMR0或TMR1)中的其中一个，并在定时器启动后启动一个事件时间。

如图7所示，触发源可从一系列外设或处理器事件中选取，如PWM SYNC脉冲、定时器或I/O引脚中断。每次事件都与一个事件号码(以Event x表示)、一个事件时间(以TIMEx表示)、控制信息(以CTLx表示)及其结果数据相关联。事件控制信息(图7中以CTLx表示)包含每个采样事件的信息，如ADC接口和通道号、所用的ADC定时器、同步采样选择，以及相关事件ADC数据的存储器失调。ADCC使用该信息对正确的ADC通道(CHx)进行多路复用处理、初始化ADC转换(CVST0/CVST1信号)并将正确的数据传输至适当的事件数据寄存器中。

然后，可设置DMA传输，将每次事件的ADC数据移入SRAM中。完成所有事件和后续DMA传输之后，便产生一个中断，通知主应用代码新ADC数据可用。

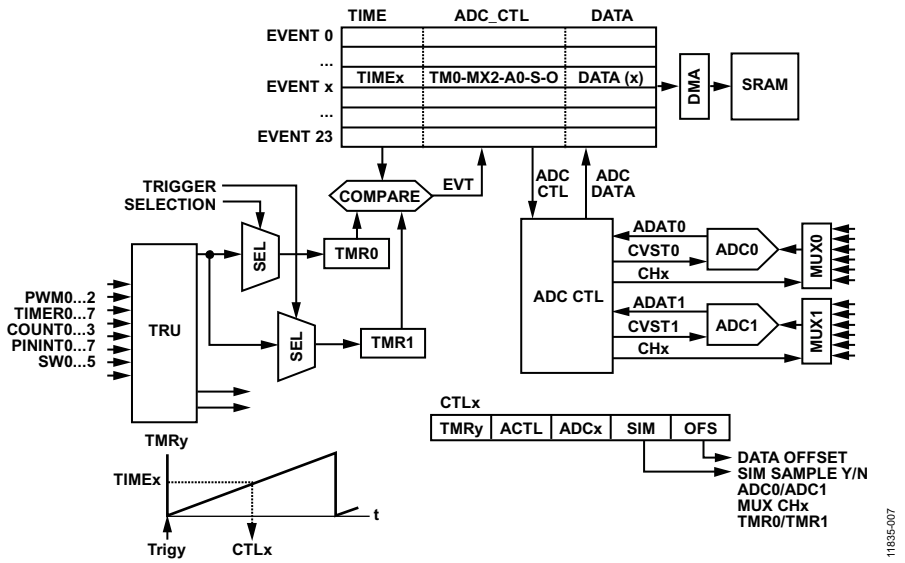



*图7. ADCC模块功能框图*

例如，图8显示与ADC定时器0有关的3个采样事件。PWM sync脉冲触发定时器，事件时间与每一次事件相关联。事件0和事件1是同步采样事件，事件时间寄存器中的事件时间置零。事件2稍后发生，并同样由事件2时间寄存器确定，表示为ADC时钟周期($t_{ACLK}$)的倍数。若事件2是与定时器0关联的最终事件，则定时器将在事件处理完成后停止运行，以降低功耗。

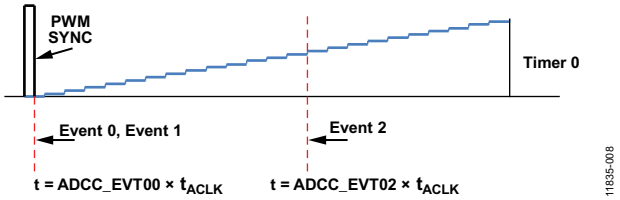



*图8. 事件时序*

## ADC操作时序

ADCC控制器触发采样事件后，ADC操作本身具有一个转换时间延迟。图9显示单次ADC事件与每个ADC接口相关联，且使能两次事件同步采样的情况。

有三个独立的转换周期与ADC操作有关：

1. 写入8位控制字，选择ADC读取通道(ADCC_EVTCTL.CTLWD)。
2. 置位转换脉冲，使能ADC采样和转换。
3. 让16位ADC数据回流至ADCC。

ADCC提供这3个事件相位的片选和选通时钟信号。ADCC与ADC的接口为串行接口，采用双通道位操作。因此，每个CS脉冲期间提供的最小时钟周期数(ADCC时序控制寄存器的NCK段)为8。其他重要的设置有：ADC时钟频率、转换周期片选信号之间的最小延迟($t_{CSCS}$)(ACLK周期内)，以及CS边沿和ACLK边沿之间的最小延迟($t_{CSCK}$和$t_{CKCS}$)。因此，单个同步采样信号对的ADC转换周期时间$t_{CONV_ADC}$可表示为：

$$t_{CONV_ADC} = \frac{3}{f_{ACLK}}\left(t_{CSCK} + NCK + t_{CKCS} + t_{CSCS}\right)$$

其中，$f_{ACLK}$表示ADCC时钟频率。

ADCC时钟由处理器系统时钟($f_{SYSCLK}$)通过ACKDIV分频(在时序控制寄存器ADCC_TCA中)在内部产生，计算如下：

$$f_{ACLK} = \frac{f_{SYSCLK}}{ACKDIV + 1}$$

其结果是系统时钟来源于处理器内核时钟($f_{CORECLK}$)。当$f_{CORECLK}$为$f_{SYSCLK}$的整数倍时，获得最佳系统性能。完成ADC转换后，额外延迟是因为ADC数据通过DMA传输至数据存储器，并最终由中断请求服务将数据帧准备就绪，供主应用程序使用。因此，在应用中，从触发(例如，PWM SYNC脉冲)到数据可用的总时间为：

$$t_{CONV_TOTAL} = t_{CONV_ADC} + t_{DMA} + t_{IRQ}$$

其中：

$t_{DMA}$是DMA传输的平均时间。

$t_{IRQ}$是中断请求服务的平均时间。

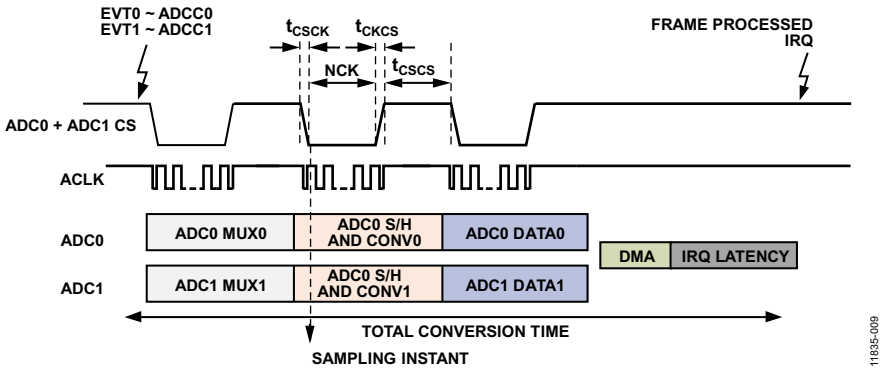



*图9. 单次事件同步采样的转换时间*

典型时序设置见表2。表中还列出了对时序的一些约束条件。获得正确ADC性能的绝对约束条件是，允许的ADC采样和转换周期($t_{CONV_ADC}$/3)必须至少为380 ns。单个同步采样事件的时序结果如图10所示，该结果与电机绕组电流的采样有关(注意，该图为了突出示例而略为夸大)。

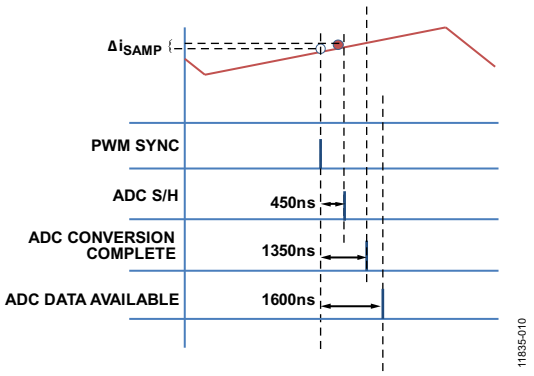



*图10. 采样延迟时间*

采用这些设置时，在所需的电流波形采样点与实际采样点之间存在450 ns失调。该值等于一个片选脉宽(200 ns + 25 ns + 0 ns)加两次片选之间的脉宽(225 ns)。该结果造成平均电机绕组电流和实际采样电流之间的$\Delta i_{SAMP}$产生差异，在时序调度中需加以考虑，虽然在1 kHz的典型电流控制环路带宽环境中，这表示不超过0.2°的相移。此外，对于10 kHz的典型PWM频率，ADC数据从产生PWM SYNC脉冲(表2中的设置)起，在不足2%的可用PWM周期时间内可供应用程序使用。如果在事件发生时ADC处于空闲状态，则4至5个SYSCLK周期的额外延迟将存在于事件激活的时刻与ADC开始工作的时刻之间。

## 采样时刻调整

可能需要进一步提高电机电流采样时刻的精度并消除所需采样时刻和实际采样时刻之间的450 ns失调。精度提高后对低电感伺服电机等应用案例或者采用较高开关频率的情况特别有益。要消除这一较小的时间偏移量，一种方法是使用通用(GP)定时器在PWM sync脉冲前一个ADCC片选脉宽处创建触发。这可以通过从前一PWM sync脉冲触发GP定时器来实现，如图11所示。

使用此方法时，在PWM周期结束前安排任何采样事件时必须谨慎。所有采样事件必须在下一周期开始前一个片选脉宽处完成(图11中的EVT0标记)。

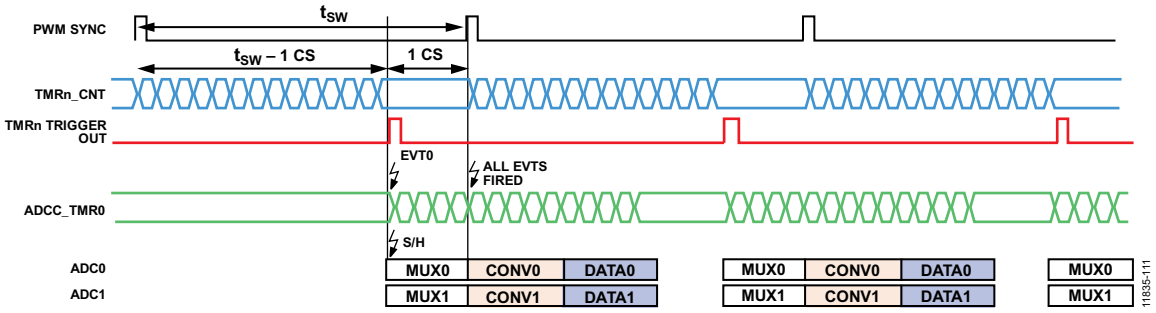



*图11. 采样时刻调整的实现*

**图2. 典型ADC设置的时序设定**

| 参数 | 数值 | 备注 | 设置 |
|---|---|---|---|
| $f_{CORECLK}$ | 240 MHz | 允许的最大值 | PLL配置 |
| $f_{SYSCLK}$ | 80 MHz | 最大值为100 MHz | $f_{SYSCLK} = f_{CORECLK}/3$ |
| $f_{ACLK}$ | 40 MHz | 最大额定值为50 MHz | ADCC_TCA0.CKDIV = 1 |
| CS时间($t_{CSCS}$) | 200 ns | 必须允许足够的ACLK周期才能传输CTL字和数据 | ADCC_TCA0.NCK = 8 |
| CS边沿至ACLK边沿($t_{CSCK}$) | 25 ns | 推荐40 MHz时的最小时间 | ADCC_TCB0.TCSCK = 1 |
| ACLK边沿至CS边沿($t_{CKCS}$) | 0 ns | 推荐 | ADCC_TCB0.TCKCS = 0 |
| CS之间的时间间隔($t_{CSCS}$) | 225 ns | 必须高于150 ns以便精确采样 | ADCC_TCB0.TCSCS = 9 |
| $t_{CONV_ADC}$ | 450 ns | | |
| $t_{DMA}$ | 50 ns | 平均需要4个SYSCLK周期 | |
| $t_{IRQ}$ | 200 ns | 平均需要16个SYSCLK周期 | |

## ADC流水线

当新事件开始与ADC正在处理的现有事件重叠时，ADCC将新事件作为待处理事件存储在8深先进先出(FIFO)缓冲器中，该缓冲器可用于所有ADC接口。写入激活事件的控制字后，ADCC立即开始写入首个待处理事件的控制字，同时进入激活事件的采样阶段。同样，第一个待处理事件的控制字阶段执行完成后，便进入第二个待处理事件的控制字阶段。以这种方式，ADCC可在每个ADC接口上通过流水线方式交错处理三个并行事件。因此，事件能以紧凑高效的方式排列。

配置事件时序使事件以上述流水线方式处理，可获得最高的ADC吞吐速率。该流水线如图13所示。图中，三对同步采样事件的触发时间间隔很短。

图中，三对同步采样事件的触发时间间隔很短。ADCC开始处理事件0和事件1，同时将事件2至事件5存储在FIFO中。然后，ADC资源变得可用时，便会对这些事件进行处理。

从图7可知，在CS某次置位期间，ADCC会处理全部6个事件以及每个事件的多个阶段，并且两次连续采样之间的时间间隔仅为18个ACLK周期。该时间间隔相当于表2设置中的450 ns，且可通过提高ACLK频率进一步降低。若要在电机控制应用内最大化ADC带宽，最好的方法是有意识地将所有与PWM周期相关的采样事件以流水线方式处理。该方法可以确保新的ADC样本能在PWM周期中可能的最早时刻准备就绪。要实施图13中显示的流水线，则需要所有事件时间均接近零，即紧跟在PWM SYNC脉冲后。

建议在两个事件时间寄存器ADCC_EVTnn(nn表示0到24的寄存器编号)中存储的事件时间之间允许一个最小1 ACLK周期，实现正确调度。图12中显示使用流水线操作时的总转换时间，包括起始延迟、DMA传输和中断服务，可用于采用表2中所示时序设置的各种同步采样对数目。

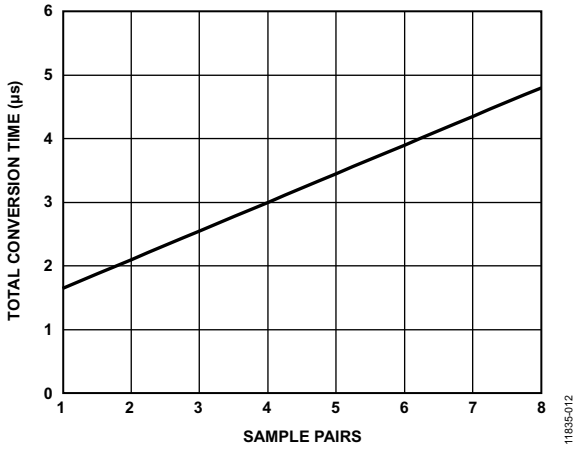



*图12. 不同采样对数目的总转换时间*

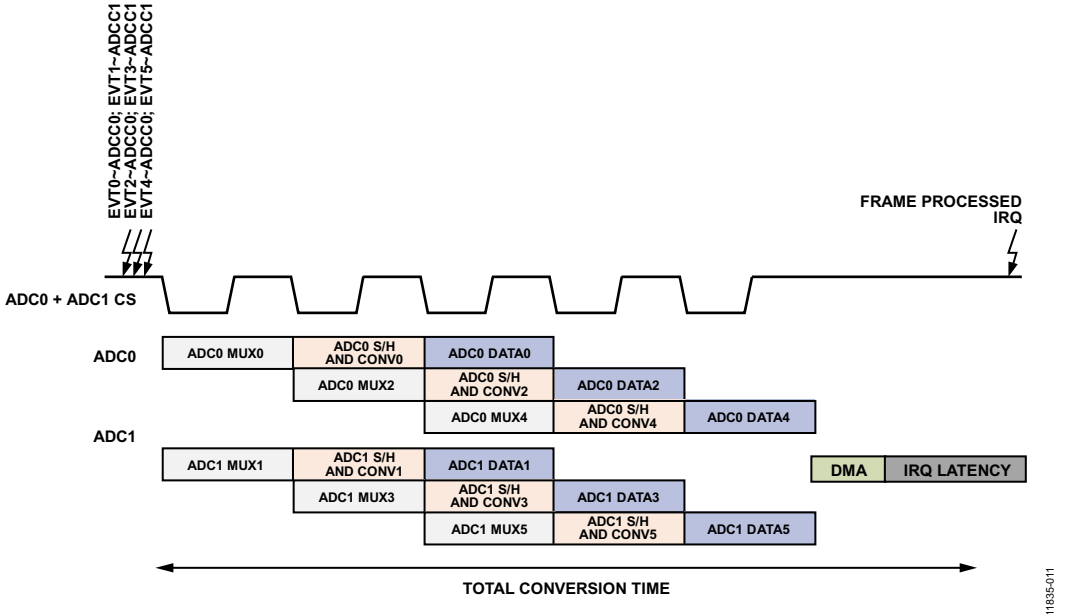



*图13. ADC中的流水线事件*

# ADC数据访问

目前为止，本文中的示例都假定ADC数据采用自动DMA传输从存储器中访问。从ADCC存储器映射寄存器(MMR)的内核读数中直接访问数据是可行的，如图14所示。注意，图14中的ACK表示确认信号，而非模拟时钟。

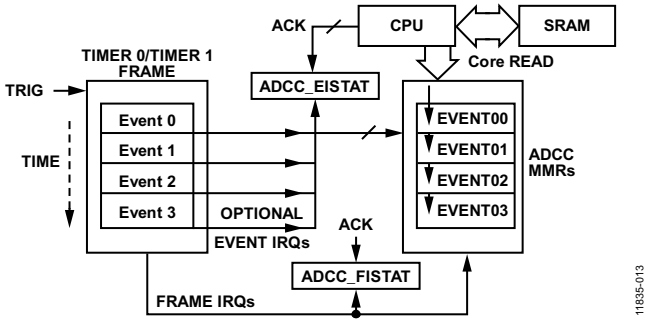



*图14. 内核模式的ADC数据访问*

在内核模式下，CPU通过事件或帧中断获取有关新数据就绪的信号，这些中断可按需独立屏蔽或解除屏蔽。该模式下还具有额外的灵活性：在整个事件帧结束前，一旦完成独立事件，即可对其进行读取。内核模式的缺点是中断服务以及MMR读访问所需的总延迟比DMA模式下要高。采用优化的内核和时钟分频比设定，则在每个中断服务的最高延迟情况下，每次MMR读操作将花费10至12个SYSCLK周期。

图15显示了DMA模式下的数据访问。在这种情况下，DMA传输仅在完成一个定时器帧后才会发生，且帧中断信号仅在完成DMA传输后才发给CPU。

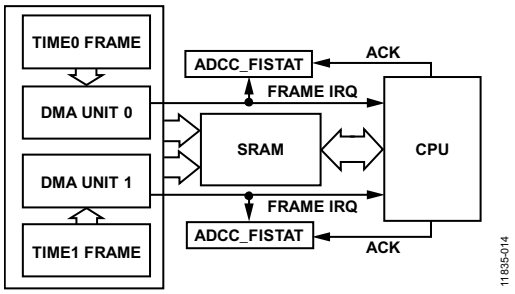



*图15. DMA模式下的ADC数据访问*

两种情况下，EISTAT和FISTAT寄存器都在激活后提供事件和帧中断的状态指示，且必须在下一次触发前经由CPU清零相关位确认，否则将标记一次触发溢出条件。

## ADCC数据故障检测

ADCC提供多个故障状态寄存器位，发生数据故障时可置位；ADCC事件时序和/或不确定事件序列设置不当时，就有可能发生数据故障。这些故障可能使ADCC过载，或造成无效的ADC数据。它们包括：

- 触发溢出。当前帧结束前便触发下一次事件。
- DMA带宽。帧结束所需的时间长于用户定义时间。
- 存储器错误。ADC数据写操作失败。
- 事件冲突。处理现有事件时发生新事件。
- 事件错失。事件未处理。

这些错误均可按需配置为内核的中断源，并且它们都会置位ADCC_ERRSTAT寄存器。在电机控制应用中，尤其在电流反馈测量中，与事件错失、存储器和触发溢出有关的错误对于监控核心应用非常重要，因为错误或错失的电流环路数据可能会导致控制环路的不稳定。事件冲突在流水线操作中非常普遍，通常影响不大，除非FIFO已满。

# ADCC模块、触发路由和存储器设置

使用ADC之前，需执行一系列步骤来设置ADCC模块以及触发路由单元和数据缓冲器。完成配置后，假定采用DMA数据访问模式，则DMA引擎会自动将主ADC数据传输至存储器，供主应用程序进行内部访问。当数据就绪时，ADCC产生中断，以便处理器执行控制算法并更新PWM调制器寄存器。

图17显示ADCC、CPU、SRAM、PWM和外部信号之间所需的互连，可用于在典型电机控制应用中捕捉电机电流反馈以及其他模拟监控信号。在本例中，编码器正弦和余弦信号、散热片温度和直流总线电压作为额外监控输入示例提供。

设置ADCC以便正确处理信号反馈的三个步骤如下所示：

1. ADCC事件配置。
2. 中断和触发路由。
3. 数据访问和存储器分配。

下列子段落描述正确设置系统所需的步骤与相应的寄存器配置。

## ADCC事件配置

ADCC事件的配置示例如图17所示，该示例包括为每个事件分配定时器、ADC接口和通道、时间偏移以及同步采样开关。这可以通过多种方法实现；图16以及表3所示为其中的一种可能情况。该示例采用全部两个定时器，仅供参考。

对于此示例，事件可连接至一个定时器，因为所有事件的定时都与PWM SYNC脉冲有关。在诸如双轴电机控制算法这类用例中，可能必须同时使用两个定时器，因为该用例采用两组PWM输出以及相应的PWM sync脉冲。

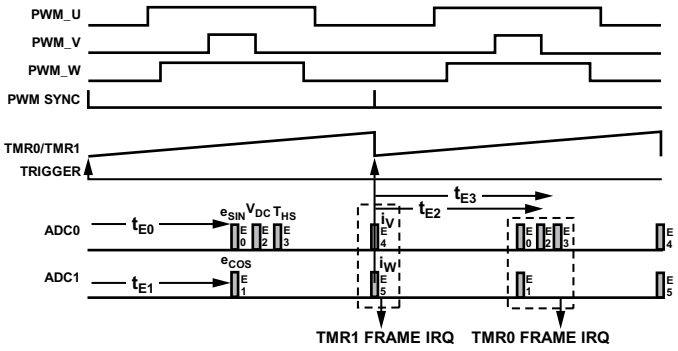



*图16. 电机控制应用中的典型ADCC*

**表3. 示例应用的事件配置**

| 事件 | 定时器 | ADC I/F | ADC 通道 | 时间 | 同步采样 |
|---|---|---|---|---|---|
| E0 ($e_{SIN}$) | TMR0 | 0 | 0 | $t_{E0}$ | 是 |
| E1 ($e_{COS}$) | TMR0 | 1 | 0 | $t_{E1} = t_{E0}$ | 是 |
| E2 ($V_{DC}$) | TMR0 | 0 | 2 | $t_{E2}$ | 否 |
| E3 ($T_{HS}$) | TMR0 | 0 | 3 | $t_{E3}$ | 否 |
| E4 ($i_V$) | TMR1 | 0 | 1 | 0 | 是 |
| E5 ($i_W$) | TMR1 | 1 | 1 | 0 | 是 |

相位电流$i_V$和$i_W$在发生PWM sync脉冲触发后立即同步采样，它们关联至TMR1。定时器1帧立即通过DMA传输至存储器，且新的电流样本可供主应用程序使用。在PWM周期中的较晚时刻，新的事件帧采样并关联至TMR0。编码器正弦和余弦信号同步采样，紧随其后的是直流总线电压和散热片温度信号。对三个ADC0信号进行流水线处理，以最大化吞吐速率。然后，将TMR0帧通过DMA传输至存储器。

这些参数的配置需设置ADCC_EVCTLnn事件控制寄存器和ADCC_EVTnn事件时间寄存器，nn表示每个事件的编号。提供本节内容涉及的驱动程序API，简化该过程。

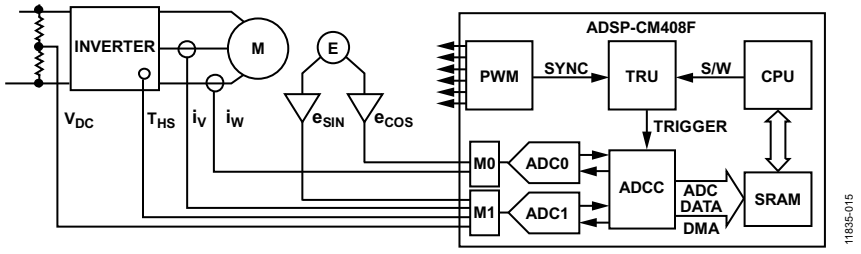



*图17. 典型电机控制应用中的系统互连*

## 中断和触发路由

在图17中的示例中，所有事件时间均参考PWM周期；因此，两个定时器都由PWM SYNC脉冲触发。PWM sync脉冲作为硬件触发与ADCC定时器相关联的前提是配置TRU，使PWM sync脉冲作为主触发信号与ADCC触发从机相关联。随后，ADCC定时器必须与ADCC触发相关联。

图18显示相应触发路由的概念图；该路由涉及触发主机19 (PWM0 SYNC)与触发从机24 (ADCC_TRIG0)之间的连接，本例中该连接可通过将主机编号写入适当的从机选择寄存器TRU_SSR24来实现。之后，通过在ADC_CTL寄存器中为TRIGSEL位设置相应的值，将ADCC_TRIG0触发路由至两个定时器。

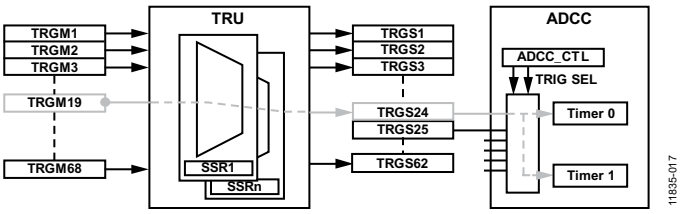



*图18. 从PWM SYNC至ADCC定时器的触发路由*

此触发路由配置可以提供硬件的直连链路，将PWM时序与ADC采样相关联，而不会在路径上产生软件延迟。触发主机也可从其他源路由，如GPIO引脚中断、定时器和计数器事件。如此配置便可提供精确同步，比如与ADSP-CM408F控制的其他转换器进行采样同步。

此外，完整的ADCC定时器帧能作为触发主机与其他外设或核心从机相关联。

由于本例中采用了DMA传输模式，因此所有事件中断都应当在ADCC_EIMSK寄存器中屏蔽。同样，提供驱动程序API，用来在寄存器中设置适当的中断服务例程，实现DMA模式下的帧中断。

### 利用触发路由提供增强型精确采样时序

像上文所述那样，要从当前采样时序中移除片选脉宽滞后，需要稍微不同的触发路由配置。在此情况中，ADCC定时器是通过GP定时器触发器触发的，而该触发器本身是通过PWM sync触发的。此序列可参见图11。

## 数据访问和存储器分配

如图14和图15所示，可通过读取内核MMR访问ADC数据，或通过DMA传输使其能在SRAM中访问。在内核模式下，无需配置特定存储器分配，即可实现除变量外的内核MMR读取数据的写操作。然而在DMA模式下，必须分配特定的存储器区域，然后进行配置，才能实现DMA访问，并且每个定时器都必须配置。所需的存储器大小取决于每个定时器相关的帧尺寸，以及新的帧覆盖之前需要在存储器中存储多少帧。

表19显示SRAM映射概念，以及控制SRAM配置的相关ADCC寄存器。ADCC_BPTR寄存器必须存储指向存储器基址的指针，才能存储ADC样本。若存储器缓冲器中需要存储多个帧，则ADCC_FRINC寄存器中应包含指针的偏移值，使其指向下一帧的基址。在线性缓冲模式下(通过向ADCC_CBSIZ寄存器写入零来激活)，会以持续增加的线性化方式在存储器中存储额外的帧，中间隔开一个帧的增量值。若向ADCC_CBSIZ写入非零值M，则会激活循环缓冲，且在帧的基址指针返回ADCC_BPTR值并开始覆盖现有帧数据之前向存储器写入M帧。

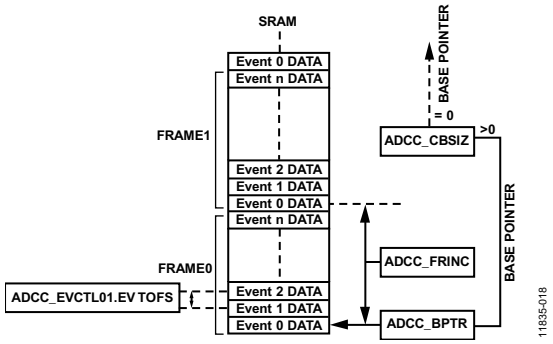



*图19. ADC DMA传输的存储器配置*

在图17中的电机控制应用示例中，每个PWM周期都会采集ADC样本，并即刻用于控制和监控应用中。因此，将样本以线性方式存储毫无意义，因为存储器将很快过载。在此类应用中，最好在启用循环缓冲时将M限制为1或更小的值，或者将ADCC_FRINC值设为0并在每个PWM周期中覆盖帧。简化这项任务的驱动程序应用编程接口(API)可在“ADCC软件支持”部分找到。

# ADCC软件支持

与ADSP-CM40x EZKIT一同提供的ADI Enablement Software软件包内含一系列API函数调用命令，可简化本应用笔记中讨论的ADCC模块设置。这些调用命令监控不同寄存器的正确配置以及需要执行的任何状态确认。

## 示例代码

本应用笔记中的示例代码逐步说明配置并使用图17中电机控制应用的方法。器件驱动程序会增加额外开销，但极大地简化ADCC模块寄存器编程。

代码的第一部分定义一系列参数和配置常数，用于驱动程序API调用。

第1行至第10行定义每个定时器的帧和关联的数据缓冲器大小。分配样本缓冲器长度时，将包含系数2作为安全措施，用于调试目的。由于ADC样本传输至存储器的操作完全通过硬件触发(包括DMA)，因此在将新的缓冲器提交给驱动程序以及复位ADCC缓冲器指针之前，如果在第122行插入软件断点，则可能导致存储器被覆写。以一个额外缓冲作为裕量可防止出现此类调试相关问题。缓冲器中的帧数目定义为1，这表示每次收到新帧，API便会覆写存储器缓冲器，即每个定时器仅需针对1个帧进行存储器分配。

第11行到第16行以ACLK周期数形式定义每个事件的采样时间，如表3所示。注意，SMP_TIME1、SMP_TIME2和SMP_TIME3仅以一个ACLK周期分隔。该设置使这些事件在ADC0内以流水线方式进行处理。

第17行至第44行定义每个ADC通道的控制字、6个采样事件的通道映射，以及数据缓冲器中每个事件的数组索引。

第45行至第59行声明ADC操作所需的变量和函数原型。ADCC存储器缓冲器和ADCC定时器存储器缓冲器的存储器分配大小由API预定义，且不得进行更改。一个ADCC设置函数、一个TRU设置函数以及两个ISR回调函数(每个ADCC定时器各一个回调函数)对寄存器进行设置。

第60行至91行包含主ADCC配置函数SetupADC()。第一步是设置事件配置表，即含有事件编号、ADC控制字、ADC定时器、同步采样以及每个事件的存储器偏置的struct。

正确完成ADCC事件配置后，必须开启ADCC实例，以及与该实例相关的所有ADCC定时器。然后，必须在寄存器中设置每个定时器帧中断的驱动程序回调函数名(第72行至73行)。随后，使能DMA模式(第74行)，配置ADCC时钟和芯片选择(第75行至第78行)。

定时器以ADCC_TRIG0输入配置为触发源。在SetupTRU()函数中，ADCC_TRIG0触发分别作为触发从机与PWM同步脉冲触发主机相关联(第92行至第97行)，如图18所示。这些函数调用中的数据枚举列于ADI Enablement Software软件包的驱动程序文档中。

第81行将第62行定义的EventCFG指令传递至adi_adcc_ConfigEvent驱动程序函数，随后adi_adcc_SetEventMask驱动程序函数按需使能或屏蔽事件。本例中，使能全部事件。为了获得最高的ADC吞吐速率，使能双位数据接口很重要，代码见第83行，这表示能在8个ADC时钟周期内传输ADC的16位数据。(注意，如果没有使能双位接口，则第76行中的$N_{CK}$以及第77行和第78行中的$t_{CSCS}$必须分别设为16和17)。然后进行数据缓冲器的存储器分配，数据缓冲器将提交至ADCC，以便通过adi_adcc_SubmitBuffer调用进行填充。adi_adcc_SubmitBuffer API仅在DMA模式下工作；因此使用该API之前必须先设置DMA模式。该驱动程序函数由主应用程序再次调用(第105行)，以便应用程序完成数据提取后将缓冲器归还给ADCC控制。最终，完成全部配置后，需要使能定时器实例以及ADCC自身。

第92行至第97行包含TRU的设置步骤。它包括开启TRU实例、将触发从PWM sync主机路由至ADCC从机，以及使能TRU。

如前文所述，在应用层处理ADC数据由ADCC定时器回调函数实现，该回调函数后跟一个中断，此中断在完成定时器事件以及相关的DMA传输后发出。

第98至第127行实现回调函数。缓冲数据在缓冲器的相应位置处提取，并保存至适当的全局变量中。本例中，更新后的相位电流数据立即用于电机控制算法中，通过第117行中的算法调用函数MotorControl()从定时器1回调函数中调用。

注意，ADCC事件定时器中断服务是访问ADCC数据时发生的唯一软件调用例程。同步与时序均在硬件层面中实现。

第128行至第136行包含的附加代码片段可插入TRU和ADCC设置函数，以使能图11所示的增强型精确采样时序功能。第128行至第129行中设置了从PWM SYNC至GP定时器TMR7再至ADCC定时器0触发的硬件触发路由路径。第130行至第136行包含的示例代码可插入ADC设置函数，以正确配置和使能GP定时器TMR7，从而提供正确的延迟。

无论何时，都必须在调用SetupADC函数前调用SetupTRU函数。

```
/************************************************
          ADCC Module Setup Code Example
************************************************/

/*******************Defines*********************/
1.  #define ADCC_DEVICE_NUM         0
2.  #define TRU_DEV_NUM             0
3.  #define ADI_TRU_REQ_MEMORY
4.  #define NUM_SAMPLES0       4
5.  #define NUM_SAMPLES1       2           /*
    Length of ADC buffers */
6.  #define FRAME_INC0
    2*NUM_SAMPLES0*sizeof(short)
7.  #define FRAME_INC1
    2*NUM_SAMPLES1*sizeof(short)  /* Frame
    increment in number of bytes for each buffer*/
8.  #define FRAMES_IN_BUFFER  1   /*Number of
    frames in buffer */
9.  #define NO_OF_EVENTS     6         /* Total
    number of events */
10. #define EVENT_MASK              0xFFFF

/*Event Times in ACLK Cycles*/
11. #define SMP_TIME0            950
12. #define SMP_TIME1            950
13. #define SMP_TIME2            951
14. #define SMP_TIME3            952
15. #define SMP_TIME4            0
16. #define SMP_TIME5            0

/* Control Words for All ADC Channels */
/*Upper Nibble = Chan No. Lower Nibble = 0xF for
Sim Sampling, 0xD Otherwise*/
17. #define ADC0_VIN00_CTL          0x0F
18. #define ADC0_VIN01_CTL          0x1F
19. #define ADC0_VIN02_CTL          0x2D
20. #define ADC0_VIN03_CTL          0x3D
21. #define ADC0_VIN04_CTL          0x4D
22. #define ADC0_VIN05_CTL          0x5D
23. #define ADC0_VIN06_CTL          0x6D
24. #define ADC0_VIN07_CTL          0x7D

25. #define ADC1_VIN00_CTL          0x0F
26. #define ADC1_VIN01_CTL          0x1F
27. #define ADC1_VIN02_CTL          0x2D
28. #define ADC1_VIN03_CTL          0x3D
29. #define ADC1_VIN04_CTL          0x4D
30. #define ADC1_VIN05_CTL          0x5D
31. #define ADC1_VIN06_CTL          0x6D
32. #define ADC1_VIN07_CTL          0x7D

/*Mapping the Signals to the Appropriate ADC
Channels*/
33. #define ES_CTL                  ADC0_VIN00_CTL
34. #define EC_CTL                  ADC1_VIN00_CTL
35. #define VDC_CTL                 ADC0_VIN02_CTL
36. #define THS_CTL                 ADC0_VIN03_CTL
37. #define IV_CTL                  ADC0_VIN01_CTL
38. #define IW_CTL                  ADC1_VIN01_CTL

/*Locations of ADC Signals in Data Buffer Index*/
39. #define IV_ADC                   0
40. #define IW_ADC                   1
41. #define ES_ADC                   0
42. #define EC_ADC                   1
43. #define VDC_ADC                  2
44. #define THS_ADC                  3

/*******************Variables*******************/
45. static ADI_ADCC_HANDLE hADCC;             /*
    ADCC Handle */
46. static ADI_ADCC_HANDLE hADCCTimer0,
    hADCCTimer1;   /*ADCC Timer Handles*/
47. static uint8_t ADCCMemory[ADI_ADCC_MEMORY];
    /* Memory buffer for the ADCC device -
    predefined */
48. static uint8_t
    ADCCTmr0Memory[ADI_ADCC_TMR_MEMORY];
49. static uint8_t
    ADCCTmr1Memory[ADI_ADCC_TMR_MEMORY];    /*
    Memory buffer for the ADCC Timers -
    predefined*/
50. static uint16_t SampleBuffer0[NUM_SAMPLES0];
51. static uint16_t SampleBuffer1[NUM_SAMPLES1];
    /* Memory buffer for the ADC samples */
52. static uint16_t Iv_adc, Iw_adc;
53. static uint16_t Es_adc, Ec_adc, Vdc_adc,
    Ths_adc;
    /*Variables for ADC data*/
54. static uint8_t
    TruDevMemory[ADI_TRU_REQ_MEMORY];
55. static ADI_TRU_HANDLE hTru;
   /*TRU Device Memory and Handle*/

/*************Function Prototypes***************/
56. void SetupADC(void);
57. void SetupTRU(void);
58. static void AdccTmr0Callback(void *pCBParam,
    uint32_t Event, void *pArg);
59. static void AdccTmr1Callback(void *pCBParam,
    uint32_t Event, void *pArg);

/******Function to Configure ADCC***************/
60. void SetupADC(void) {
61. static ADI_ADCC_RESULT result;

/*Set Up Event Configuration Table*/
62. ADI_ADCC_EVENT_CFG  EventCFG[NO_OF_EVENTS] = {
63. {0,  ES_CTL, ADI_ADCC_ADCIF0, ADI_ADCC_TIMER0,
    true,  0, SMP_TIME0},
64. {1,  EC_CTL, ADI_ADCC_ADCIF1, ADI_ADCC_TIMER0,
    true,  2, SMP_TIME1},
65. {2,  VDC_CTL, ADI_ADCC_ADCIF0,
    ADI_ADCC_TIMER0, false,  4, SMP_TIME2 },
66. {3,  THS_CTL, ADI_ADCC_ADCIF0,
    ADI_ADCC_TIMER0, false,  6, SMP_TIME3 },
67. {4,  IV_CTL, ADI_ADCC_ADCIF0, ADI_ADCC_TIMER1,
    true,  8, SMP_TIME4 },
68. {5,  IW_CTL, ADI_ADCC_ADCIF1, ADI_ADCC_TIMER1,
    true, 10, SMP_TIME5 }}; /*Event#, CTL_WORD,
    ADC Interface, Timer ID, sim. samp, Mem offset
    in frame, Event time */
```

```
/*ADCC Setup API Functions*/
69. result = adi_adcc_OpenDevice(ADCC_DEVICE_NUM,
    ADCCMemory, &hADCC);
70. result = adi_adcc_OpenTimer(hADCC,
    ADI_ADCC_TIMER0, ADCCTmr0Memory,
    &hADCCTimer0);
71. result = adi_adcc_OpenTimer(hADCC,
    ADI_ADCC_TIMER1, ADCCTmr1Memory,
    &hADCCTimer1); /* ADCC Device handle, Timer to
    open, Timer memory, Pointer to the timer
    handle */
72. result = adi_adcc_RegisterTmrCallback
    (hADCCTimer0, AdccTmr0Callback, hADCCTimer0);
73. result = adi_adcc_RegisterTmrCallback
    (hADCCTimer1, AdccTmr1Callback,
    hADCCTimer1);/*Register callback functions*/
74. result = adi_adcc_EnableDMAMode(hADCC,true);

75. result = adi_adcc_ConfigADCCClock(hADCC,
    ADI_ADCC_ADCIF0, false,1u, 8u );
76. result = adi_adcc_ConfigADCCClock(hADCC,
    ADI_ADCC_ADCIF1, false,1u, 8u ); /*For each
    ADC interface: ADCC handle, ADC Interface
    number, falling edge, ACLK Clock divide, NCK*/
77. result = adi_adcc_ConfigChipSelect(hADCC,
    ADI_ADCC_ADCIF0, false, 1u, 0u, 9);
78. result = adi_adcc_ConfigChipSelect(hADCC,
    ADI_ADCC_ADCIF1, false, 1u, 0u, 9);/*For each
    interface: ADCC handle, ADC interface, active
    low, TCSCK, TCKCS, TCSCS*/
79. result = adi_adcc_ConfigTimer(hADCCTimer0,
    ADI_ADCC_TRIG0, true, false);
80. result = adi_adcc_ConfigTimer(hADCCTimer1,
    ADI_ADCC_TRIG0, true, false); /*For each
    timer: Timer handle, Timer trigger source,
    falling edge trigger, No trigger output */
81. result = adi_adcc_ConfigEvent(hADCC,
    &EventCFG[0], NO_OF_EVENTS);  /*ADCC handle,
    Pointer to the event configuration table,
    Number of events in the table */
82. result = adi_adcc_SetEventMask(hADCC,
    EVENT_MASK);                              /*
    Handle to the device, Enable all events */
83. adi_adcc_EnableDualBitDataIF(hADCC, true);
    /*Dual bit interface allows highest
    throughput*/
84. memset((void *)SampleBuffer0, 0, NUM_SAMPLES0
    * sizeof(short));
85. memset((void *) SampleBuffer1, 0, NUM_SAMPLES1
    * sizeof(short));
86. result = adi_adcc_SubmitBuffer(hADCCTimer0,
    SampleBuffer0, FRAME_INC0, FRAMES_IN_BUFFER);
87. result = adi_adcc_SubmitBuffer(hADCCTimer1,
    SampleBuffer1, FRAME_INC1, FRAMES_IN_BUFFER);
/*For each timer: timer handle, Pointer to the
    buffer, Frame increment,  Number of frames
    that fits into the given buffer */

88. result = adi_adcc_EnableTimer(hADCCTimer0,
    true);
89. result = adi_adcc_EnableTimer(hADCCTimer1,
    true);
90. result = adi_adcc_EnableDevice(hADCC, true);
    /*Enable everything*/
91. }

/*******Function to Configure TRU***************/
92. void SetupTRU(void){
93. ADI_TRU_RESULT result;
94. result = adi_tru_Open (TRU_DEV_NUM,
    &TruDevMemory[0], ADI_TRU_REQ_MEMORY, &hTru);
    /* Setup TRU for ADCC. Slave is ADCC0 trig 1
    and master is PWM0 SYNC pulse*/
95. result = adi_tru_TriggerRoute (hTru,
    TRGS_ADCC0_TRIG0, TRGM_PWM0_SYNC);  /*TRU
    device, slave, master*/
96. result = adi_tru_Enable (hTru, true); /*Enable
    TRU*/
97. }

/***********ADCC Timer Callbacks****************/
98. static void AdccTmr0Callback(void *pCBParam,
    uint32_t Event, void *pArg){
99.   switch(Event){
100.         case ADI_ADCC_EVENT_FRAME_PROCESSED:
101.           Es_adc= SampleBuffer0[ES_ADC];
102.           Ec_adc = SampleBuffer0[EC_ADC];
103.           Vdc_adc = SampleBuffer0[VDC_ADC];
104.           Ths_adc = SampleBuffer0[THS_ADC];
    /*Store all of the data sampled in appropriate
    global variables*/
105.    _adcc_SubmitBuffer(hADCCTimer0,
    SampleBuffer0, FRAME_INC0, FRAMES_IN_BUFFER);
    /*Return the buffer to the ADCC for use in the
    next events*/
106.          break;
107.      case ADI_ADCC_EVENT_BUFFER_PROCESSED:
108.          break;
109.      default:
110.         break;
111.     }

112.   static void AdccTmr1Callback(void
    *pCBParam, uint32_t Event, void *pArg){

113.     switch(Event){
114.        case ADI_ADCC_EVENT_FRAME_PROCESSED:
115.          Iv_adc = SampleBuffer1[IV_ADC];
116.          Iw_adc = SampleBuffer1[IW_ADC];
117.          MotorControl();     /*Run the
    current control algorithm*/
118.
119.
120.          break;

121.      case ADI_ADCC_EVENT_BUFFER_PROCESSED:
122.   adi_adcc_SubmitBuffer(hADCCTimer1,
    SampleBuffer1, FRAME_INC1, FRAMES_IN_BUFFER);
123.          break;
124.      default:
125.         break;
126.     }
127.   return;
   }
```

```
/***********************************************
          Enhanced Precision Timing Code
***********************************************/
/*Setup TRU for ADCC enhanced timing precision.
Slave is ADCC0 trig 1 and master is GP timer 7
Added to SetpTRU() function in place of line 95 */

128.    result = adi_tru_TriggerRoute(hTru,
    TRGS_ADCC0_TRIG0, TRGM_TIMER0_TMR7);  // TRU
    device, slave, master
129.    result = adi_tru_TriggerRoute(hTru,
    TRGS_TIMER0_TMR7, TRGM_PWM0_SYNC);  // TRU
    device, slave, master

/*Setup GP timer 7 timer used to advance frame by
one CS. Add to SetupADC() function after line 91*/

130.    *pREG_TIMER0_STOP_CFG_SET =
    BITM_TIMER_STOP_CFG_TMR07;
131.    *pREG_TIMER0_RUN_CLR =
    BITM_TIMER_RUN_SET_TMR07; /*Disable Timer
    First*/
132.    *pREG_TIMER0_TMR7_CFG =
    ENUM_TIMER_TMR_CFG_PWMSING_MODE|ENUM_TIMER_TMR
    _CFG_IRQMODE1 |ENUM_TIMER_TMR_CFG_TRIGSTART |
    ENUM_TIMER_TMR_CFG_POS_EDGE|ENUM_TIMER_TMR_CFG
    _PADOUT_EN | ENUM_TIMER_TMR_CFG_EMU_CNT;
133.    *pREG_TIMER0_TMR7_DLY = (uint32_t)(fsysclk
    / F_SW - 0.00000045 * fsysclk); /* Delay must
    be Tsw minus one ADC chip-select. Chip select
    is 18 ACLKs*/
134.    *pREG_TIMER0_TMR7_WID = 16; /*Be careful
    here... DLY+WID must be smaller than one PWM
    period. In other words, WID must be smaller
    than one ADC chip select. If WID>CS, trigger
    pulse stretches into next PWM period. */
135.    *pREG_TIMER0_TRG_MSK &=
    ~(BITM_TIMER_TRG_MSK_TMR07);
136.    *pREG_TIMER0_TRG_IE |=
    BITM_TIMER_TRG_IE_TMR07; /*Enable TMR7*/
```

## 示例实验结果

“示例代码”部分提供的电流采样代码部分已在闭环永磁同步电机控制应用电路中进行了测试。应用电路采用通用交流线输入以及−6.8 A至+6.8 A的受控电机电流范围，并利用了电流传感器；该电流传感器参数图4中的电流调整数据。图20至图23还显示了应用电路的采样结果。

图20显示了参考速度为1500 rpm且电机空载时测得的电机相位电流。电机电流水平极低，并且高度不连续。

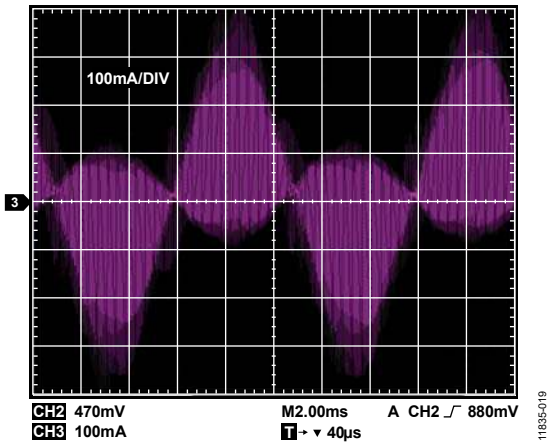



*图20. 测量电机相位电流*

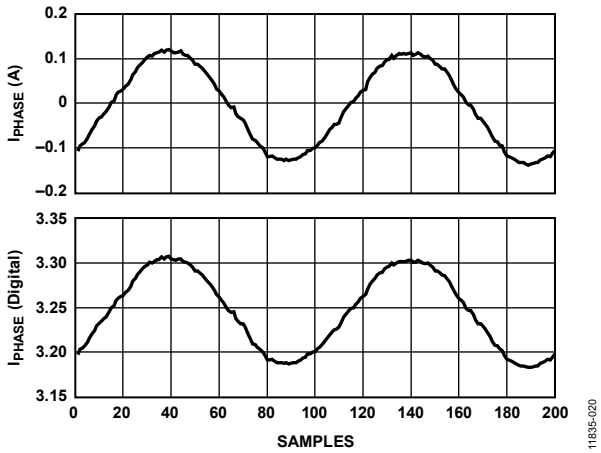



*图21. ADC采样电机相位电流：上图为调整至真实值；下图为数字字输出*

图21显示采用正确同步采样方法的平均效应，由图中可见电机相位电流具有平滑的正弦平均波形，即便电流水平低于最大值的2%时亦是如此。图21和图22(即跟踪$I_Q$参考电流的控制环路工作曲线)均通过ADSP-CM408F产生的数据流获得，该产品通过RS-232连接MATLAB®接口。

在图23中，PWM sync脉冲位置以及后续的采样触发显示在相位电流PWM周期的中央，该处电流等于瞬时平均值。为便于说明，该图显示的是较高的负载。

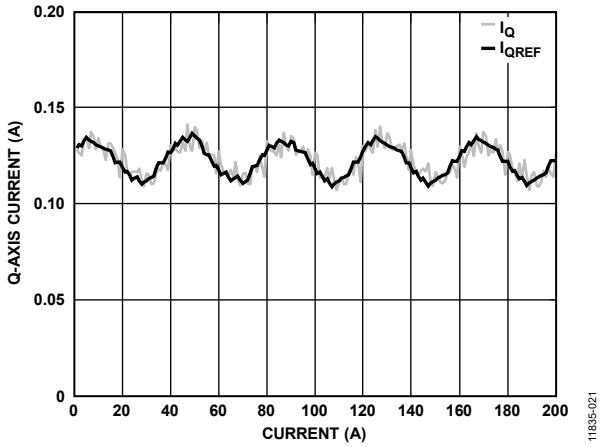



*图22. Q轴参考电流和实际电流*

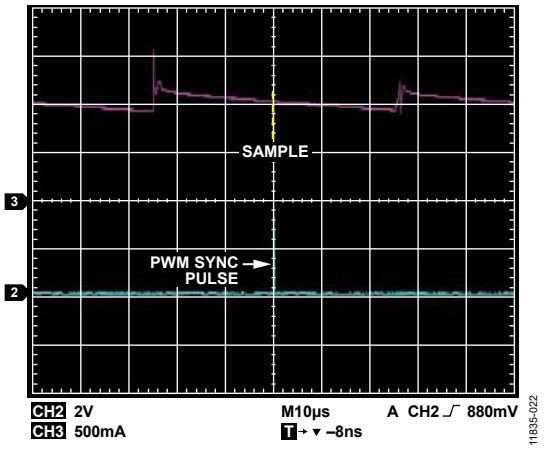



*图23. 与相位电流有关的采样*

©2013–2014 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN11835sc-0-9/14(A)

ANALOG DEVICES

AN-1308
应用笔记

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 电流检测放大器共模阶跃响应

作者：Paul Blanchard和Anna Fe Briones

## 简介

电流检测放大器是ADI公司专用放大器的一种，用于存在大共模电压的情况下放大小差分信号。电流检测放大器的一种典型应用是放大分流电阻上的电压。ADI公司提供多种电流检测放大器，这些器件可在低至1.8 V的电源电压下工作，并可耐受高达600 V的输入共模电压。

**表1. ADI电流检测放大器的电源电压和输入共模电压**

| | $V_{SUPPLY}$ | | 输入共模电压 | |
|---|---|---|---|---|
| 产品型号 | 最小值 | 最大值 | 最小值 | 最大值 |
| AD8293G80 | 1.8 V | 5.5 V | 1.8 V | 5.5 V |
| AD626 | 2.4 V | 10 V | −24 V | 24 V |
| AD8274 | 2.5 V | 18 V | −40.5 V | 40.5 V |
| AD8279 | 4 V | 36 V | −45.3 V | 40.5 V |
| AD8210 | 4.5 V | 5.5 V | −2 V | 65 V |
| AD8207 | 4.5 V | 5.5 V | −4 V | 65 V |
| AD8418/AD8418A | 2.7 V | 5.5 V | −2 V | 70 V |
| AD628 | 4.5 V | 36 V | −120 V | 120 V |
| AD629 | 5 V | 36 V | −270 V | 270 V |
| AD8479 | 5 V | 36 V | −600 V | 600 V |

很多应用采用分流电阻，其共模电压与时间成函数关系。具有可变共模电压的分流应用示例有：H电桥电机驱动器、电磁阀控制器、DC-DC开关转换器。这些应用中，电流检测放大器获得的共模电压以PWM方式变化，范围为电池电压到接地电压。

理想电流检测放大器不会对输入共模变化作出反应。但事实上，电流检测放大器具有有限的共模抑制能力，通常在直流下指定，数值约为100 μV/V或80 dB。

**表2. ADI电流检测放大器的CMRR**

| 产品型号 | CMRR |
|---|---|
| ADA4830-1 | 65 dB |
| AD8270 | 76 dB |
| AD8210 | 80 dB |
| AD8207 | 80 dB |
| AD8203 | 82 dB |
| AD8418/AD8418A | 86 dB |
| AD8207 | 90dB |
| AD8210 | 100 dB |
| AD8211 | 120 dB |
| AD8293G80 | 140 dB |

除了直流共模抑制比(CMRR)导致的输出误差外，此外还存在交流CMRR以及放大器共模阶跃响应相关的误差。本应用笔记重点讨论电流检测放大器的共模阶跃响应[1]。

[1]受美国专利第8624668号保护，其它专利正在申请中。

# 共模阶跃响应

理想情况下，无论输入端实际值如何(即共模电压)，电流检测放大器根据其输入差异产生输出。然而，实际使用中，放大器输出可能在输入的不同共模电平下发生改变。随变化的共模输入而改变的输出称为共模阶跃响应。

在输入共模电压变化较大的应用中，放大器的共模阶跃响应可能尤为重要；当放大器从输入共模电压的改变中恢复时，放大器输出可能会由于新的共模电平导致产生新的失调而归于无效。因此，放大器较长的建立时间(以及这段时间内的较大误差)可能会严重降低放大器的动态性能。

## 共模阶跃响应测量

电流检测放大器非常难以实现极快速、极精确的共模阶跃响应。它需要具有非常稳定而快速的源、完全屏蔽的连接器以及正确设计的电路。该测量的基本功能框图如图1所示。

### PWM输入

采用波形发生器产生0 Hz至100 kHz PWM信号频率，并将其用作MOSFET驱动器的输入信号。

### MOSFET驱动器

该驱动器向MOSFET注入高电平电流以实现极高速开关性能，从而消除过多的热耗散。驱动器提供的电流范围为几百mA，甚至几A。

### MOSFET

驱动器输出正电压，因此采用N沟道功率MOSFET。这类MOSFET能耐受高达100 V电压，上升和反向恢复时间典型值分别为35 ns和115 ns。此外，这些MOSFET还具有44 mΩ $R_{ON}$(足够保持信号完整度)，并可耗散高达130 W的功率。这些MOSFET的输出用作电流检测放大器的共模输入电压($V_{CM}$)。

### 电流检测放大器

该放大器可在大共模电压存在的情况下放大小差分信号。本应用笔记中测试的电流检测放大器具有高达+80 V共模电压，采用+5 V单电源供电。

### 共模阶跃响应

电流检测放大器输出产生共模阶跃响应波形。该响应可能在上升沿或下降沿表现为带有正尖峰或负尖峰的波形，具体取决于起主要作用的是反相输入还是同相输入。

共模阶跃响应测量的简化原理图如图2所示。本原理图中，采用的电流检测放大器为AD8210。

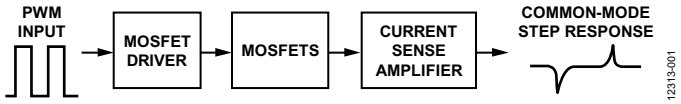



*图1. 功能框图*

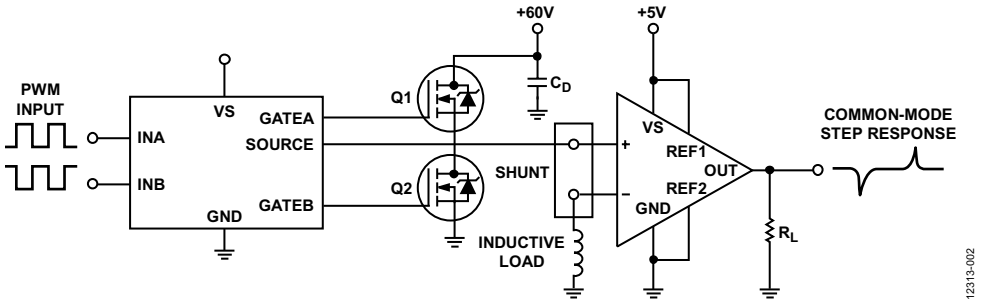



*图2. 电流检测放大器共模阶跃响应测量简化原理图*
*(未显示去耦和所有连接)*

## 共模阶跃响应结果

对分流电路中配置的多个ADI电流检测放大器进行评估，然后与竞争对手提供的最受欢迎的电流检测放大器进行比较。AD8210是进行评估的第一款单电源双向电流检测放大器，可耐受−2 V至+65 V共模电压。该器件的基准电压引脚($V_{REF}$)用来调节输出失调，固定增益为20。

此外，还评估了双向差动放大器AD8207；该放大器配置为分流放大器。+5 V电源时，它能耐受−4 V至+65 V共模电压；+3.3 V电源时，它能耐受−4 V至+35 V共模电压。该器件还具有零漂移内核，可提供低于500 nV/°C的典型失调漂移，以及低于10 ppm/°C的典型增益漂移。它还具有20的固定增益。

另外，还评估了AD8418和AD8418A。这两个电流检测放大器具有零漂移内核，能在整个工作温度范围内实现0.1 μV/°C典型失调漂移，共模电压范围为−2 V至+70 V。这两款放大器完全符合汽车应用规范，集成EMI滤波器和专利电路，在脉冲宽度调制(PWM)类输入共模电压下具有高输出精度。

图3显示+60 V输入共模电压下，ADI各种电流检测放大器与竞争对手产品的波形比较。

## 共模阶跃响应测量技术

为了产生精确的电流检测放大器共模阶跃响应，应考虑连接、所用的元器件以及元器件位置。

### 连接

连接器引脚——比如电源、波形发生器输入/输出、示波器探头和其他接口连接器上的引脚——应尽可能靠近受测器件(DUT)，避免在导线中引起噪声和干扰。

接地连接应当只在一点处相交，称为单点接地，从而避免由于系统中具有不同接地电位导致接地环路问题。

示波器探头接地不使用鳄鱼夹，而是采用探头顶部接地(形状像线圈)并将其插入探头。如果探头顶部不可用，则用固体导线或单股导线做成一个线圈，然后焊接到探测点旁边(电流检测放大器的输入和输出引脚)，以便仅测量所需信号，消除可能导致干扰振铃或尖峰的感性噪声。

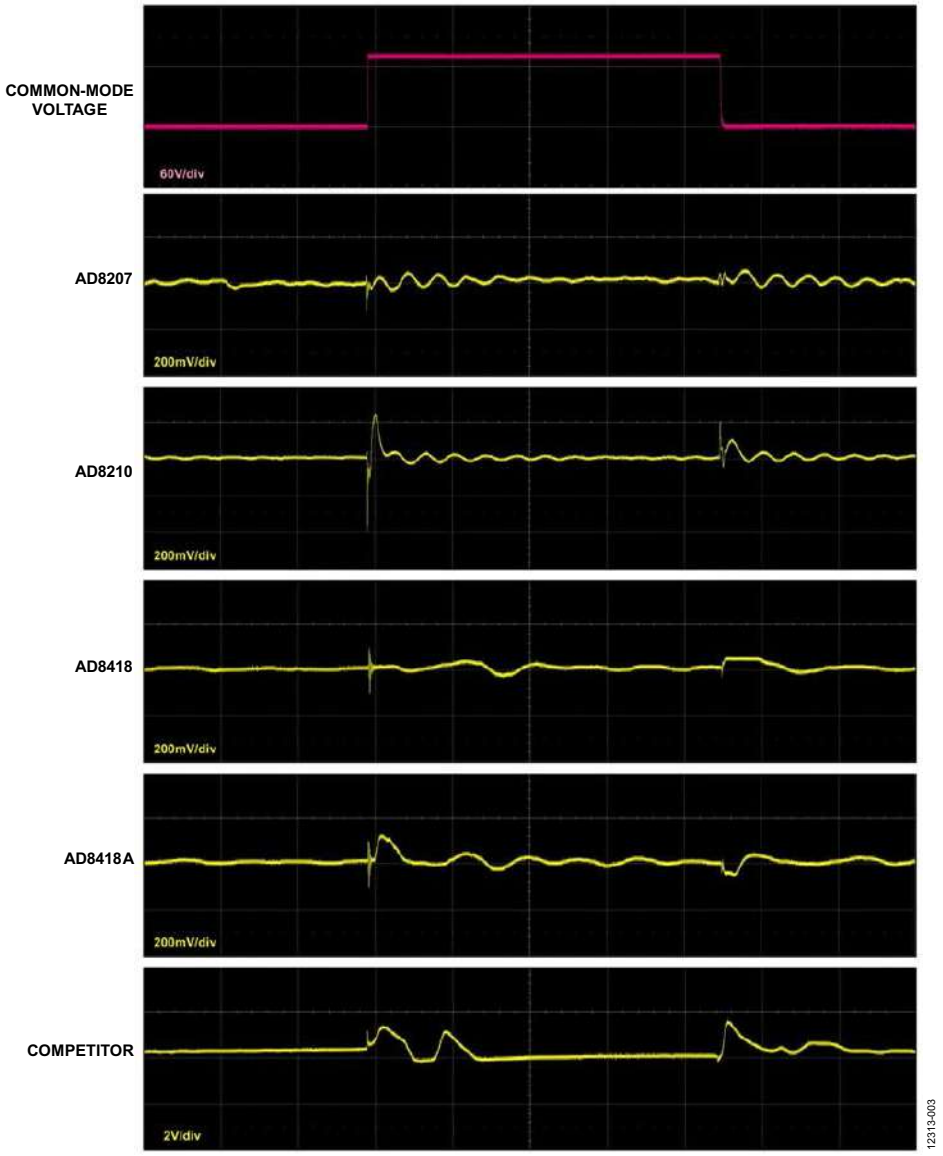



*图3. 电流检测放大器的共模阶跃响应测量*
*（采用ADI产品以及采用竞争对手产品）*

### 使用的元器件

应在电源处加入一个旁路电容，降低电路中的纹波电压；不要想当然。陶瓷电容能够很好地完成这一工作，因为它们具有高稳定性、高效率以及低损耗。

由于本应用笔记中使用+60 V输入共模电压，MOSFET驱动器的负载电阻应当具有较大的额定功率，以便耐受高电流。

MOSFET应当具有较短的反向恢复时间，以便最大程度降低MOSFET二极管频繁充放电造成的损耗。

### 元件放置

MOSFET驱动器电路由包括MOSFET在内的分立式器件组成，而电流检测电路应当尽可能靠近MOSFET驱动器放置，以便最大程度降低交流阻抗，避免长走线产生噪声或干扰。

## 结论

测试和验证表明，ADI电流检测放大器的过冲或欠冲不足700 mV。竞争对手的产品过冲几乎达到2 V。就输入共模电压上升沿和下降沿来说，本应用笔记中描述的ADI电流检测放大器相比竞争对手的产品可以更快地稳定下来。此外，这些放大器可抑制高达+60 V的极高输入共模电压。由于相比竞争对手产品具有这些优势，ADI电流检测放大器对于防止电路故障、防止电池过度放电以及保持某些系统的正常运行非常有用；这些系统有：电池监控器、功率调节器、电动汽车、发生器和电机控制。

## 更多信息

更多有关本应用笔记第一页中所列自稳零型放大器的共模阶跃响应改进专利信息可在网上找到。

此外，下列数据手册可能会有帮助：

- AD8210
- AD8207
- AD8418
- AD8418A

©2014 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN12313sc-0-6/14(0)

ANALOG DEVICES

AN-1311
应用笔记

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 轻松实现复杂的电源时序控制

作者：Jess Espiritu

## 简介

微控制器、现场可编程门阵列(FPGA)、数字信号处理器(DSP)、模数转换器(ADC)以及以多个电压轨供电的其他器件都需要电源时序控制。这些应用通常要求，内核和模拟模块在数字输入/输出(I/O)轨之前上电，不过有些设计可能要求采用其他序列。正确的上电和关断时序控制可以防止闩锁引起的即刻损坏和静电放电(ESD)引起的长期损坏。另外，对电源实施时序控制还可在上电期间错开浪涌电流，在采用限流电源供电的应用中，这一特性特别有用。

本应用笔记探讨采用分立式元件对电源进行时序控制的优缺点，同时还将描述利用ADP5134的内部精密使能引脚实现时序控制的一种简单而有效的方法。ADP5134将2个1.2 A降压调节器与2个300 mA低压差(LDO)调节器结合起来。本应用笔记同时还将描述一些序列器IC，它们可能对要求更为精确和灵活的时序控制这类应用更有帮助。

图1所示的应用要求使用多个供电轨。这些供电轨分别为内核电源($V_{CCINT}$)、I/O电源($V_{CCO}$)、辅助电源($V_{CCAUX}$)和系统存储器电源。

例如，Xilinx® Spartan-3A FPGA集成了上电复位电路，该电路确保在所有电源均达到阈值之后，才允许对器件进行配置。上电复位电路降低了对电源时序控制的严格要求；但是，为了尽量降低浪涌电流水平，同时考虑连接到FPGA的电路的时序控制要求，必须按以下序列给供电轨上电：先是$V_{CCINT}$，然后是$V_{CCAUX}$，最后是$V_{CCO}$。请注意，有些应用要求遵循特定序列；因此，请务必参看相关数据手册的电源要求部分。

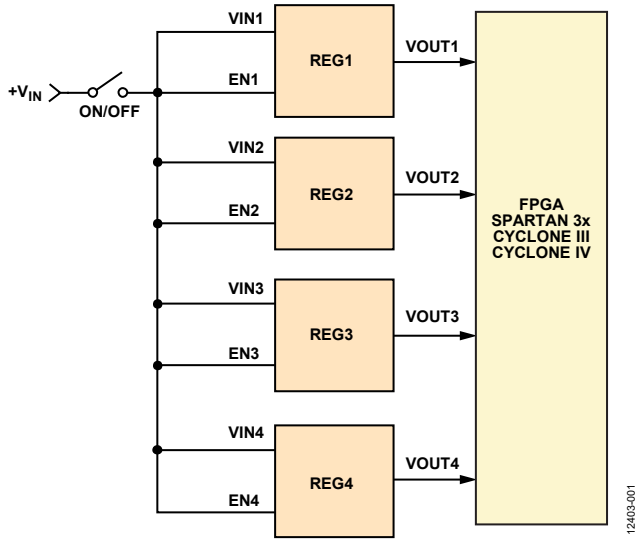



*图1. 处理器和FPGA的典型供电方法*

## 利用无源延迟网络实现简单的电源时序控制

对电源实施时序控制的一种简单办法是用无源元件延迟进入调节器使能引脚的信号，此类无源元件包括电阻、电容、二极管等，如图2所示。当开关闭合时，D1导通，D2断开。C1充电，EN2的电压以取决于R1和C1的速率上升。当开关断开时，C1通过R2、D2和$R_{PULL}$放电至地。EN2的电压以取决于R2、$R_{PULL}$和C1的速率下降。改变R1和R2的值，将改变充电和放电时间，从而设定调节器的开启和关闭时间。

这种方法可以用于不要求进行精密时序控制的应用。只需延迟信号的应用可能只需要外部电阻和电容。在标准调节器中使用这种方法的劣势在于，使能引脚的逻辑阈值可能随电压和温度而大幅变化。另外，电压斜坡中的延迟取决于电阻和电容的值和容差。在−55°C至+85°C的温度范围内，典型X5R电容的变化幅度约为±15%，而受直流偏置效应影响，变化幅度还会增加±10%，这个偏差会使时序失去准确性，有时还会变得不可靠。

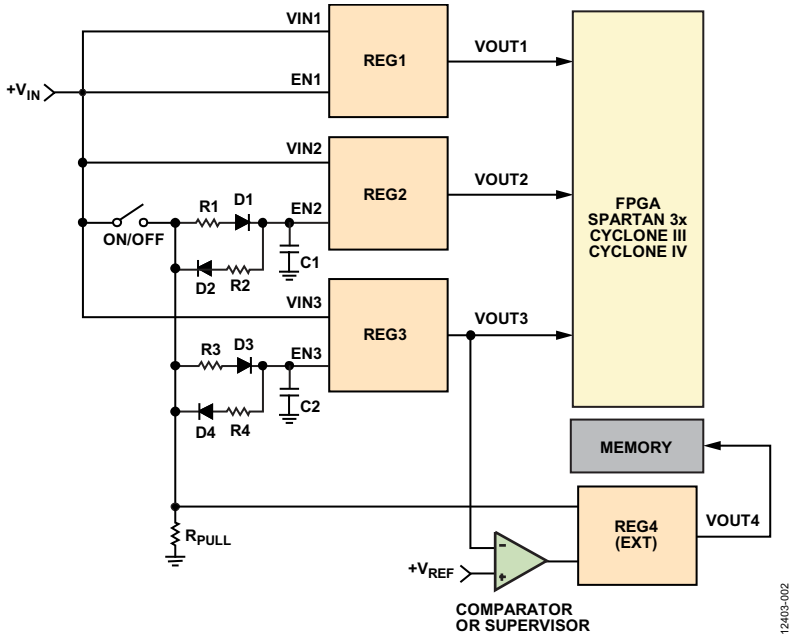



*图2. 利用电阻、电容和二极管实现的简单电源时序控制方法*

## 精密使能引脚简化时序控制

为了实现精密时序控制所需的稳定阈值水平，多数调节器要求采用一个外部基准电压源。ADP5134通过集成一个精密基准电压源克服了这个问题，同时还可大幅节省成本和减少印刷电路板(PCB)面积。每个调节器都有一个单独的使能输入引脚。

当使能输入引脚的电压升至ENx引脚上升阈值($V_{IH_EN}$ [0.9 V最小值])以上时，器件退出关断模式，管理模块开启，但不会激活调节器。器件将使能输入引脚的电压与一个精密内部基准电压(典型值为0.97 V)进行比较。当使能引脚的电压升至精密使能阈值以上时，调节器激活，输出电压开始上升。在输入电压和温度转折点，基准电压源变化幅度只有±3%。这么小的变化范围确保了时序控制的精确性，解决了使用分立式元件时存在的问题。

当使能输入引脚的电压下降到比基准电压低80 mV(典型值)时，调节器停用。当所有使能输入引脚的电压都降至ENx下降阈值($V_{IL_EN}$ [0.35 V最大值])以下时，器件进入关断模式。在该模式下，功耗降至1 μA以下。图3和图4展示了ADP5134精密使能阈值在整个温度范围内针对BUCK1的精度。

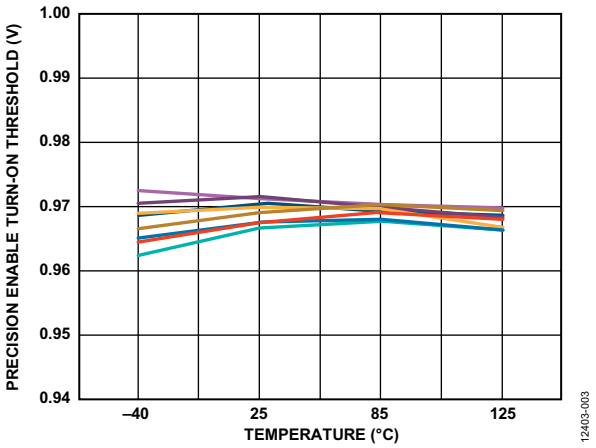



*图3. 整个温度范围内的精密使能开启阈值(10个样本)*

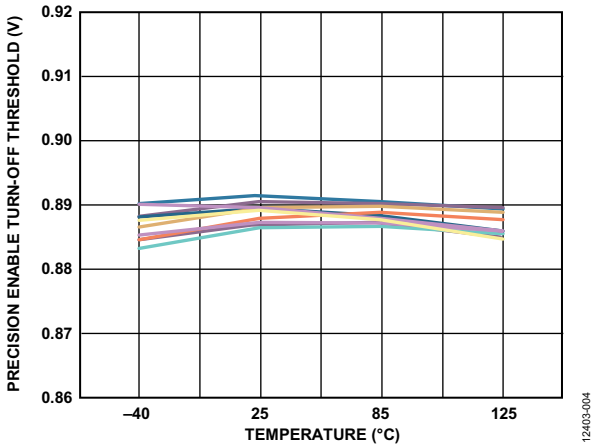



*图4. 整个温度范围内的精密使能关闭阈值(10个样本)*

## 利用分阻器实现简单的电源时序控制

通过将一个调节器经过衰减的输出连接到下一个要上电的调节器的使能引脚，可以对多通道电源进行时序控制，如图5所示，其中，调节器按顺序开启或关闭：从BUCK1到BUCK2，再到LDO1，最后到LDO2。图6显示了在将EN1连接到VIN1之后的上电序列。图7所示为在将EN1从VIN1断开后的关断序列。

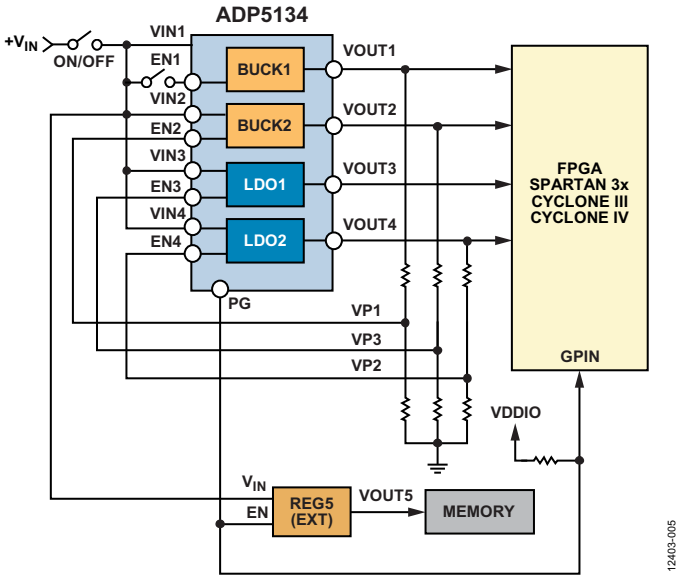



图5. 利用ADP5134实现的简单时序控制

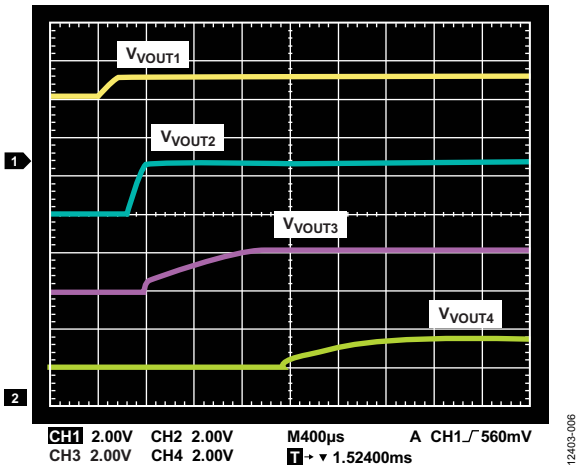



图6. ADP5134启动序列

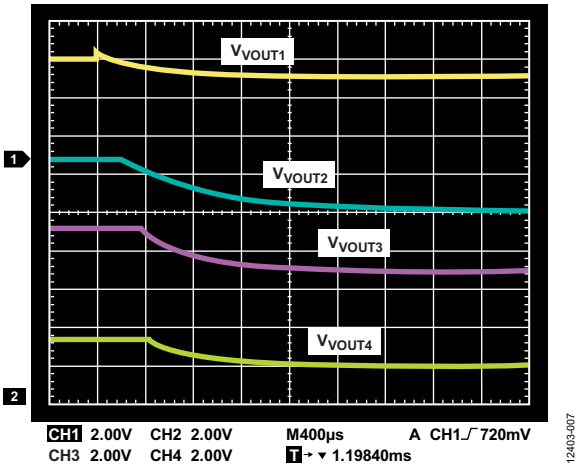



图7. ADP5134关断序列

## 序列器IC提高时序精度

在某些情况下，实现精密时序比减少PCB面积、节省成本更重要。对于这类应用，可以使用电压监控和序列器IC，如ADM1184四通道电压监控器，后者在电压和温度范围内的精度达±0.8%。另一种选择是带可编程时序的ADM1186四通道电压序列器和监控器；该器件可用于要求对上电和关断序列进行更精准控制的应用。

例如，ADP5034 4通道调节器集成了2个3 MHz、1200 mA降压调节器和2个300 mA LDO。可以利用ADM1184实现典型的时序控制功能，用于监控一个调节器的输出电压，并在受监控的输出电压达到某个水平时，向下一个调节器的使能引脚提供一个逻辑高信号。如图8所示，这种方法可用于不提供精密使能功能的调节器。

## 结论

利用ADP5134精密使能输入引脚进行时序控制非常简单，实现起来也很方便，每个通道只需要2个外部电阻即可。借助ADM1184或ADM1186电压监控器，可以实现更加精确的时序控制。

## 参考文献

Augusta，Chris and Martin Murnane。AN-932应用笔记。电源时序控制。ADI公司，2008。

Xilinx DS529 Spartan-3A FPGA系列数据手册.Xilinx，Inc.，2010。

另外，请参阅电源管理页面和电源管理/时序控制页面，了解更多信息。

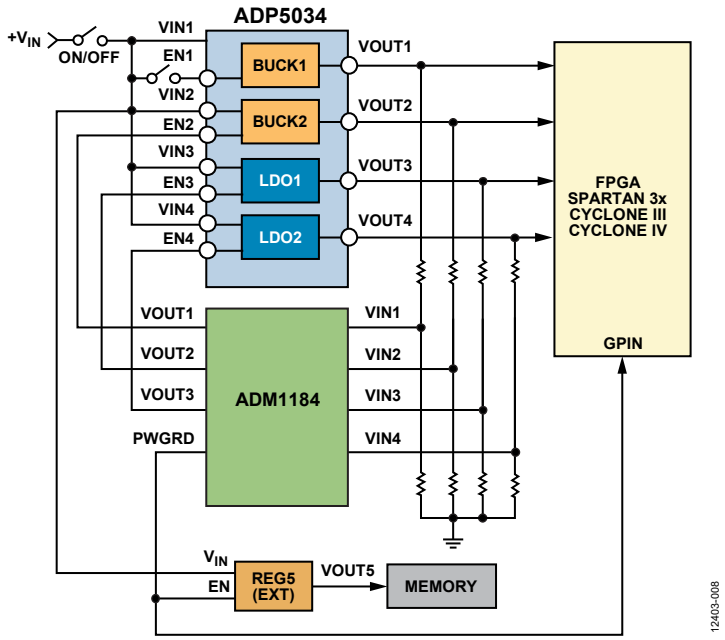



*图8. 利用ADM1184四通道电压监控器对ADP5034 4通道调节器进行时序控制*

©2014 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN12403sc-0-8/14(0)

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# 采用ADP2441/ADP2442同步降压DC-DC稳压器设计反相电源

作者：Kevin Tompsett和Ricky Yang

## 简介

双极性放大器、光模块、CCD偏置和OLED显示屏等应用通常需要通过正输入电压提供负输出电压。电源管理系统的设计人员需要多功能开关控制器和稳压器，以便解决这些电源管理挑战。ADI公司的ADP2441/ADP2442开关稳压器提供同步降压功能。输入电压为36 V，最低输出电压为0.6 V，最高电流为1 A，开关频率范围为300 kHz至1 MHz。

虽然ADP2441/ADP2442是针对同步降压应用而设计的，但这些器件的多功能性使得它们能够在不增加成本、元件数量和解决方案尺寸的情况下实现反相降压/升压拓扑结构，进而通过正输入电压产生负输出电压。

此器件采用同步拓扑结构，与非同步器件相比，满负载时提供更高的效率，轻载条件下提供更低的噪声。如果在轻负载条件下需要较高效率，则可使用ADP2441的脉冲跳跃模式(PSM)。ADP2442可以采用强制恒流模式(CCM)工作，以便在低负载下实现较低噪声，也可使能PSM。

本应用笔记介绍如何在同步反相降压/升压拓扑结构中实施ADP2441/ADP2442，以便从正输入电源产生负输出电压。此外还探讨了一些设计难题和可能的解决方案。为了缩短设计时间，可以使用ADIsimPower设计工具。该工具采用复杂得多的设计方程和方法，其打造出的强大设计可以即时满足几乎所有条件下的要求。该工具可通过ADIsimPower产品页面下载，也可直接通过ADP244x反相降压/升压设计工具下载。

## 降压/升压拓扑结构基本原理

图1显示了简化的降压/升压拓扑结构。该拓扑结构由一个电感、两个彼此错相的电源开关以及输入和输出电容组成。

图2和图3分别是接通时和断开时的电流流向图。接通时，开关S1导通，S2断开，电流从输入电容流出，给电感充电，输出电容则向负载提供能量。断开时，开关S1断开，S2导通，电流从电感流向负载，同时给输出电容充电。

注意，电流从接地端流向$V_{OUT}$，从而产生负输出电压。

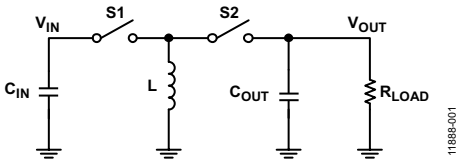



*图1. 降压/升压拓扑结构*

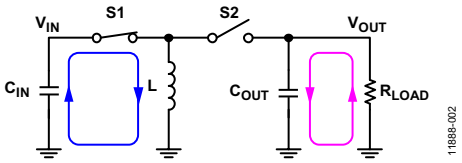



*图2. 接通时的电流流向*

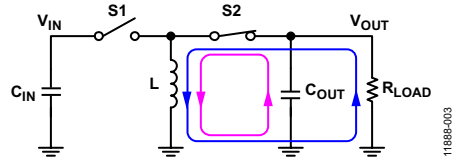



*图3. 断开时的电流流向*

通过对该拓扑结构应用电感伏秒平衡和电容电荷平衡原理，可算出稳态转换比，如等式1所示。等式2中指定了CCM下的直流电感电流值$I_L$，等式3则给出了电感纹波电流$\Delta I_L$。

$$\frac{V_{OUT}}{V_{IN}} = \frac{-D}{1-D} \quad (1)$$

$$I_L = \frac{I_{OUT}}{1-D} \quad (2)$$

$$\Delta I_L = \frac{-V_{OUT} \times (1-D)}{L \times f_{SW}} \quad (3)$$

## 利用ADP2441/ADP2442的实现方法

要利用ADP2441/ADP2442同步降压稳压器实现降压/升压拓扑结构反相电源应用，必须考虑表1所列的一些设计限制。

**表1. 设计限制**

| 电压和电流 | | 器件参数 | ADP2441/ ADP2442 |
|---|---|---|---|
| $V_{IN_MIN}$ | > | $V_{UVLO}$ | 4.5 V |
| $V_{IN_MAX} + \lvert V_{OUT} \rvert$ | < | $V_{MAX}$ | 20 V |
| $I_{L_PEAK}$ ($I_{L_peak}$ not = $I_{OUT}$) | < | $I_{OCP}$ | 1.2 A/1.2 A |

降压/升压电路的最低输入电压必须高于ADP2441/ADP2442的UVLO电压，使稳压器工作的典型值为4.5 V。最大输入电压与输出电压绝对值之和必须小于稳压器的最大工作输入电压$V_{MAX}$，其典型值为20 V。此外，确保电感峰值电流小于稳压器的OCP触发点，同时要考虑电感容差。

为了将同步降压稳压器转换为降压/升压拓扑结构，电感和输出电容应以与降压拓扑结构相似的方式连接。注意，如图4所示，接地点和输出电压点反相。

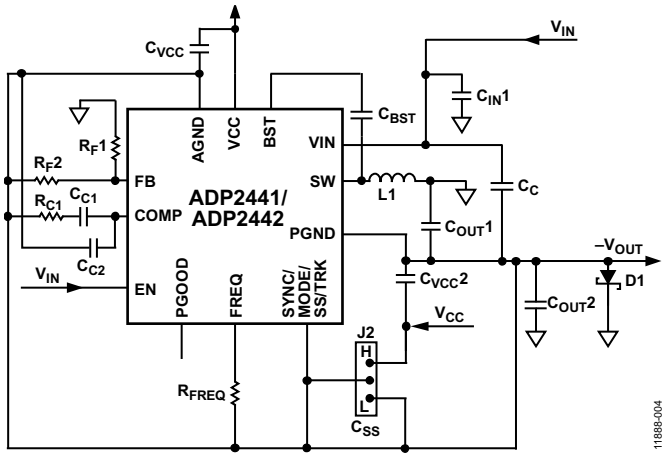



*图4. 利用ADP2441/ADP2442实现的反相降压/升压拓扑结构*

## 输出电压设置

输出电压通过一个外部电阻分压器设定。电阻值计算公式为：

$$R_{TOP} = R_{BOTTOM} \times \frac{|V_{OUT}| - 0.6}{0.6} \quad (4)$$

FB偏置电流(最大0.1 μA)会导致输出电压精度降低，要将降幅限制在0.5%(最大值)以内，应确保$R_{BOTTOM}$ < 30 kΩ。

表2列出了针对各种输出电压推荐的电阻分压器。

**表2. 适用于不同输出电压的电阻分压器**

| $V_{OUT}$ (V) | $R_{TOP}$ ± 1% (kΩ) | $R_{BOTTOM}$ ± 1% (kΩ) |
|---|---|---|
| −1.2 | 10 | 10 |
| −1.8 | 20 | 10 |
| −2.5 | 47.5 | 15 |
| −3.3 | 10 | 2.21 |
| −5 | 22 | 3 |
| −12 | 28 | 1.47 |
| −15 | 35.7 | 1.5 |

## 电感选择

电感值取决于工作频率、输入电压和电感纹波电流。使用小电感可实现较快的瞬态响应，但由于电感纹波电流较大，因此效率会有所下降。使用大电感则会实现较小的纹波电流和较高的效率，但会导致瞬态响应变慢。

原则上讲，电感纹波电流($\Delta I_L$)通常设置为最大电感平均电流$I_{AVG}$的30%。可通过如下公式计算电感值：

$$L = \frac{V_{IN} \times D}{K_{RP} \times I_{AVG} \times f_{SW}} \quad (5)$$

其中：

$V_{IN}$为输入电压。

$D$为占空比：

$$D = \frac{|V_{OUT}|}{|V_{OUT}| + V_{IN}} \quad (6)$$

$K_{RP}$为选定的电流纹波百分比。根据经验法则，一个不错的选择是30%左右。

$I_{AVG}$为电感平均电流：

$$I_{AVG} = \frac{I_{OUT}}{1 - D} \quad (7)$$

$f_{SW}$为开关频率。

## 斜坡补偿

就如所有电流模式转换器一样，采用反相降压/升压拓扑结构的ADP2441/ADP2442需要进行斜坡补偿以确保电流模式稳定性。ADP2441/ADP2442采用一种依赖于占空比的创新自适应式斜坡补偿方案。与许多芯片采用的老式固定斜坡补偿方案相比，这种方案可在更宽的占空比范围内实现理想的斜坡补偿幅度。首先，要选择一个电流模式稳定的电感，请用等式5选择一个电感。然后，确认用等式8计算出的Qn在最小和最大$V_{IN}$值时均介于0.2和0.9之间。等式8基于Ridley的论文“*An Accurate and Practical Small-Signal Model for Current-Mode Control*”(见“参考文献”部分)。

$$Qn = 1/(\pi \times (0.5 - D + 0.33 \times f_{SW} \times L/(D \times V_{IN})) \quad (8)$$

其中：

$f_{SW}$为开关频率。

峰值电感电流等于直流分量与峰峰值电感纹波电流的一半之和。

$$I_{PEAK} = I_{AVG} + \frac{I_{AVG} \times K_{RP}}{2} \quad (9)$$

峰值电感电流也是内部电源开关的峰值电流，该开关是用于确定是否产生电流限制的检测元件。为避免过早产生电流限制，峰值电感电流不应超过器件的OCP阈值电流($I_{OCP}$)。

考虑到这一最大峰值电感电流，反相降压/升压拓扑结构中在600 kHz开关频率下用于共模输入电压的ADP2441/ADP2442应用空间如图5所示，其中假设峰峰值电感纹波电流为电感平均电流的40%。

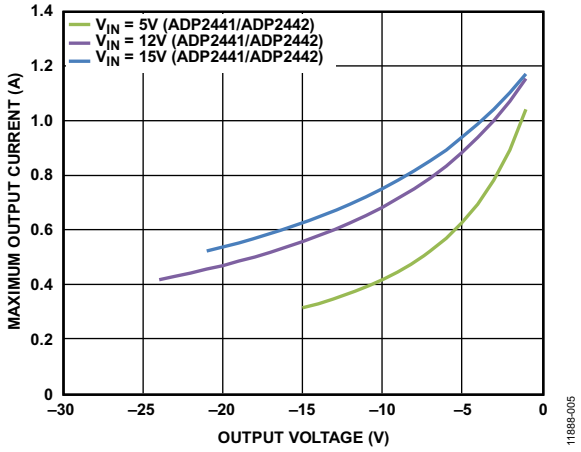



*图5. 共模输入电压的应用空间($f_{SW}$ = 600 kHz)*

电感的饱和电流必须大于峰值电感电流。对于具有快速饱和特性的铁氧体磁芯电感，电感饱和电流额定值应该大于IC的限流阈值。这样可以防止电感在正常工作期间达到饱和。

## 输出电容选择

与降压转换器相比，反相降压/升压转换器的输出电压往往噪声较大。这是因为不同于降压转换器，在反相降压/升压拓扑结构中，输出电流是不连续的。随着S2中的电流从0快速斜升至$I_L$、再降回0，开关S2的快速上升和下降时间会在输出电压中导致噪声尖峰。因此，很有必要使用低ESR的MLCC电容和良好的布局技术来减少寄生电感。

等式10提供了让输出电压纹波保持在容许范围内所需的最小电容估算值。

$$C_{OUT} \approx \frac{I_{OUT} \times D}{f_{SW} \times (\Delta V_{RIPPLE} - I_{PEAK} \times ESR)} \quad (10)$$

其中：

$\Delta V_{ripple}$为容许的输出纹波电压。

$ESR$为输出电容的总等效串联电阻。

$I_{PEAK}$为电感峰值电流。

为了实现尽可能低的输出纹波电压，建议使用ESR值非常低的MLCC电容。所选输出电容的RMS电流额定值应大于用等式11计算的值。

$$I_{RMS_C_{OUT}} = \sqrt{\left(\frac{I_{OUT} \times D}{1-D}\right)^2 \times (1-D) + \frac{\Delta I_L^2}{12} \times (1-D) + I_{OUT}^2 \times D} \quad (11)$$

## 输入电容选择

在反相降压/升压拓扑结构中，输入电流也是不连续的。因此，随着S1中的电流从0快速斜升至$I_L$、再降回0，开关S1的快速上升和下降时间会在输入轨中导致噪声尖峰。因此，很有必要使用低ESR的MLCC电容和良好的布局技术来减少寄生电感。

假设接通期间输入电容的能量损耗不大于输入电压的5%，可用等式12计算最小输入电容。

$$C_{IN} = \frac{I_{AVG} \times D}{f_{SW} \times (0.05 \times V_{IN} - I_{PEAK} \times ESR_{C_{IN}})} \quad (12)$$

其中：

$I_{AVG}$为平均电感电流。

$ESR_{C_{IN}}$为输入电容的等效串联电阻。

建议至少使用一个10 µF陶瓷电容，并尽可能靠近PVIN引脚放置。所选输入电容的电流有效值应大于用等式13计算的值。

$$I_{RMS_C_{IN}} = \sqrt{\left(I_{OUT}^2 + \frac{\Delta I_L^2}{12}\right) \times D + \frac{D^2 \times I_{OUT}^2}{1-D}} \quad (13)$$

虽然输入电压轨上的大多数电容都以系统地为基准，但在输入电压与ADP2441/ADP2442的GND引脚之间再放置一个输入去耦电容可以减小输出电压纹波，并改善瞬态响应性能，如图6所示。

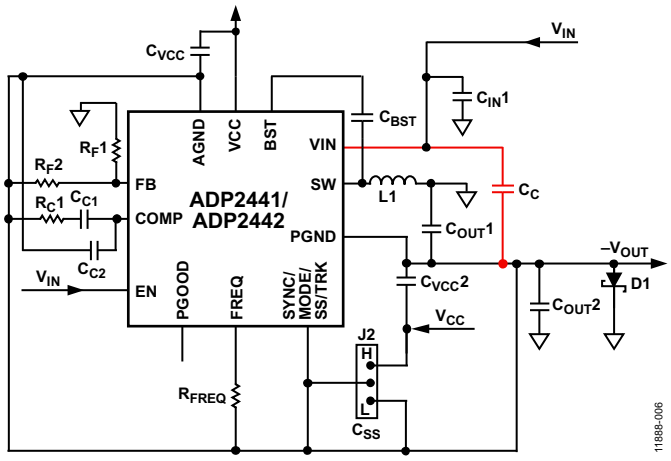



*图6. $V_{IN}$与GND引脚之间连接输入去耦电容的反相降压/升压拓扑结构*

## 补偿选择

降压/升压拓扑结构中功率级的控制到输出传递函数可写成以下形式：

$$G_{VD}(s) = K \times \frac{\left(1-\frac{s}{2\times\pi\times f_{Z1}}\right)\times\left(1+\frac{s}{2\pi\times f_{Z2}}\right)}{\left(1+\frac{s}{2\times\pi\times f_P}\right)} \quad (14)$$

其中：

$$K = \frac{R\times(1-D)}{R_i\times(1+D)}$$

$R$为负载电阻。

$R_i$为电流检测增益，典型值是0.49 V/A。

传递函数$G_{VD}(s)$有一个右半平面零点(RHPZ) $f_{Z1}$、一个零点$f_{Z2}$和一个极点$f_p$。零点和极点的值分别为：

$$f_{Z1} = \frac{(1-D)^2\times R}{2\times\pi\times L\times D} \quad (15)$$

$$f_{Z2} = \frac{1}{2\times\pi\times R_{ESR}\times C_{OUT}} \quad (16)$$

$$f_P = \frac{1+D}{2\times\pi\times R\times C_{OUT}} \quad (17)$$

其中：

$R_{ESR}$为该输出电容的等效串联电阻。

依据下列设计准则计算补偿网络元件的值。

- 将穿越频率$f_C$设置在$f_P$和1/3 $f_{Z1}$之间

$$f_C = \sqrt{f_P\times f_{Z1}} \quad (18)$$

- 通过以下等式计算$R_C$值：

$$R_C = \frac{f_C\times|V_{OUT}|}{K\times f_P\times g_m\times 0.6} \quad (19)$$

其中：

$g_m$为内部误差放大器的跨导，典型值是250 μS。

- 将补偿零点放置在功率级极点$f_p$的1/2处

$$C_{C1} = \frac{2\times R\times C_{COUT}}{(1+D)\times R_C} \quad (20)$$

- 将补偿极点放置在RHPZ $f_{Z1}$处

$$C_{C2} = \frac{D\times L}{(1-D)^2\times R\times R_C} \quad (21)$$

## 使能信号电平转换

ADP2441/ADP2442有一个EN引脚，用于使能和禁用稳压器。然而，在反相降压/升压应用中，IC以负输出电压(而不是系统地)为基准。芯片使能后，将使能引脚拉至地并不会关闭IC，因为从使能引脚到IC的AGND的电压等于$V_{OUT}$。

这个问题的一种可能解决办法是使用NPN和PNP晶体管以及几个电阻对使能电平进行电平转换，如图7所示。

注意，使用电平转换电路时，ADP2441/ADP2442的精密使能特性不复存在。如果不需要使能功能，则只需将EN引脚连接到输入电压，如图4所示。

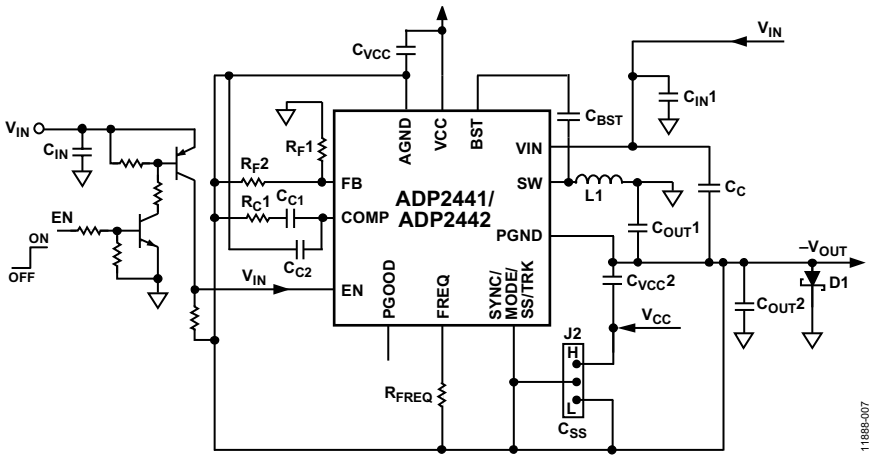



*图7. 反相降压/升压拓扑结构的EN电平转换电路*

## 启动前$V_{OUT}$过冲

在将同步降压稳压器用作反相降压/升压拓扑结构时，一个常见的问题是，在使能稳压器前，输出电压一开始是正电压，如图8所示。

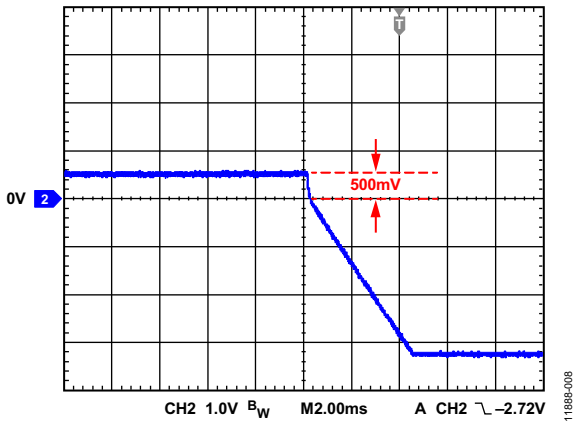



*图8. 启动前$V_{OUT}$斜升*

造成这种正输出电压的原因是稳压器以及连接到负电压轨的任何其他芯片的关断电流，此电流从IC的PGND引脚经过低端MOSFET的体二极管，再回到系统接地点，如图9所示。低端MOSFET的体二极管将$V_{OUT}$箝位在体二极管的正向电压水平，典型值通常在500 mV左右。

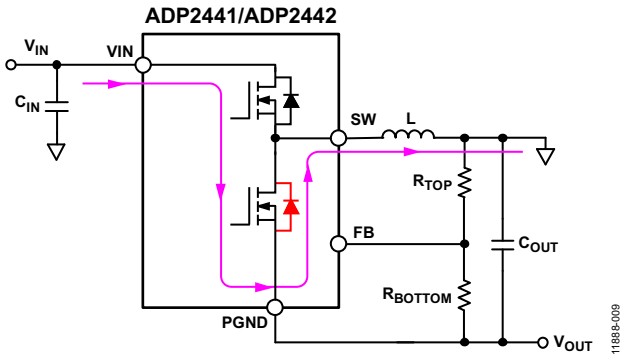



*图9. 电流经过低端MOSFET的体二极管*

由于$V_{OUT}$连接至稳压器的PGND引脚，该引脚实际上是UVLO等内部电路的基准点，因此PGND引脚上的正电压会降低UVLO阈值电压。输入电压非常接近稳压器的UVLO阈值电压(典型值为4.0 V)时，稳压器可能无法启动。

在用于实施本文所述的反相降压/升压拓扑结构时，所有降压稳压器都会出现此问题，并且很难彻底消除。一种解决办法是在转换器的输出端放置一个肖特基二极管。该二极管可以在一定程度上降低正电压，并防止ADP2441/ADP2442稳压器或任何负载元件中的任何硅二极管导通并导致问题。另一种解决方案是减小反馈电阻分压器的阻值，直到电阻分压器两端的压降小于低端MOSFET体二极管的正向电压。然后，关断电流会经过电阻分压器，而非体二极管，如图10所示，接着PGND引脚上的正电压就会降至可接受的值。

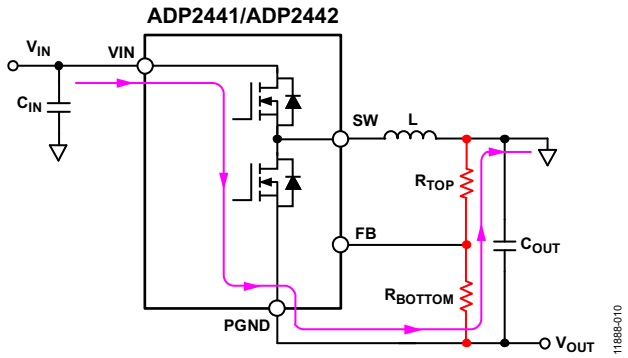



*图10. 电流经过反馈电阻分压器*

图11显示了减小电阻分压器阻值的结果。正$V_{OUT}$电压从500 mV降至180 mV。

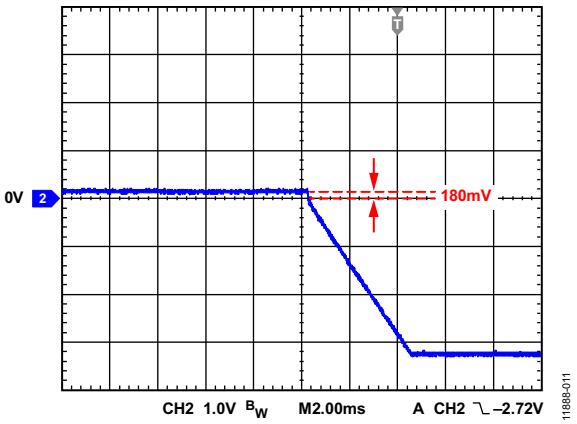



*图11. 通过减小反馈电阻分压器的阻值降低$V_{OUT}$斜升*

这种解决方案的弊端是系统的静态电流会增加，因为经过反馈电阻的电流较高。虽然实际功率损耗非常小，但增大的静态电流可能大幅降低轻负载条件下的效率。

## 结论

ADP2441/ADP2442可以成功用于反相降压/升压拓扑结构，从而实现一种简单、经济、小巧的负电轨构建解决方案。在详细描述所有必要设计公式之余，本应用笔记还提供了在需要使能/禁用功能时可使用的简单EN电平转换电路。另外，还就如何避免反相降压/升压拓扑结构内在的潜在启动问题提出了两种简单的解决方案。

通过遵循本应用笔记中的设计公式和建议，系统设计人员能确保设计出稳健且满足所有要求的方案。

## 相关链接

| 资源 | 说明 |
|---|---|
| ADP2441 | 数据手册，36 V、1 A、同步降压DC-DC稳压器 |
| ADP2442 | 数据手册，带外部时钟同步功能的36 V、1 A、同步降压DC-DC稳压器 |
| AN-1083 | 应用笔记，利用ADP2300和ADP2301开关稳压器设计反相降压/升压转换器 |
| AN-1168 | 应用笔记，采用ADP2384/ADP2386同步降压DC-DC稳压器设计反相电源 |
| ADP244x反相降压/升压设计工具 | ADIsimPower设计工具 |

## 参考文献

R. B. Ridley。用于电流模式控制的精确实用小信号模型。Ridley Engineering 公司 1999。

©2014 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN11888sc-0-7/14(0)

ANALOG DEVICES

AN-1186
应用笔记

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

# AD7192在电子秤应用中的辐射抗扰度性能

作者：Mary McCarthy和Li Ke

## 简介

AD7192是一款包含PGA的超低噪声、低漂移、24位Σ-Δ型转换器。AD7192用于高端电子秤系统。作为发布前的认证过程的一部分，测试了电子秤系统的辐射抗扰度。

本应用笔记介绍如何实现AD7192的最佳辐射抗扰度性能，在设计印刷电路板(PCB)的过程中考虑了电路板布局和元件放置的影响。根据IEC 61000-4-3标准对整套系统(ADC、PCB和称重传感器)进行了辐射抗扰度测试。

## 辐射抗扰度

辐射抗扰度测试按照IEC 61000-4-3标准中的说明进行。磁场强度为10 V/m，RF频率从80 MHz扫至1 GHz。根据规范，器件的分类如下：

- A类：在制造商、请求者或购买者指定的限制范围内性能正常。
- B类：暂时丧失功能或性能暂时降低，这种现象在干扰停止后消失，然后受测设备就会恢复正常性能，无需操作人员介入。
- C类：暂时丧失功能或性能暂时降低，需要操作人员介入才能解决此问题。
- D类：因为硬件或软件损坏或者数据丢失而导致功能丧失或性能降低，并且无法恢复。

ADC在频率扫描期间持续转换。本应用笔记中通篇提到的误差是指有RF频率和没有RF频率时的ADC转换之间的最大偏差。

要让一套电子秤系统算得上A类，那么存在RF干扰时允许的误差e为

$$\frac{\pm \text{称重传感器的最大输出电压}}{(2 \times \text{计数次数})} = \frac{\pm \text{满量程输出}}{2n}$$

其中*n*为电子秤系统的计数次数。

# 辐射抗扰度测试分析

## 设置

图1是辐射抗扰度测试所用电路的框图。AD7192配置如下：

Sinc⁴滤波器

斩波关闭

输出数据速率 = 10 Hz

增益 = 128

AD7192采用3.3 V电源供电。此电源还用于激励称重传感器。称重传感器采用6线，灵敏度为2 mV/V。有关采用AD7192的电子秤设计的更多详情，请参见Circuits from the Lab®参考电路(CN-0119)。

## 误差

正如"辐射抗扰度"部分所述，A类系统允许的误差e为

$$\frac{\pm\text{满量程输出}}{2n}$$

其中$n$为计数次数。误差相当于±0.5次。

本应用笔记的目标是设计一种显示次数为3000且归为A类的电子秤系统，并且在实现此目标时称重传感器的激励电压为3.3 V。在灵敏度为2 mV/V且激励电压为3.3 V的情况下，称重传感器的最大信号为6.6 mV。为了使用称重传感器最具线性的部分，常常仅使用此范围的三分之二。这样就将称重传感器的满量程输出电压降到了4.4 mV。

对于3000次的精度，1次为

1次 = 4.4 mV/3000 = 1.46 µV

±0.5次 = ±1.46 µV /2 = ±0.73 µV

存在RF频率的情况下，误差必须小于±0.73 µV。应用中的称重传感器可接受的最大重量为2 kg，因此误差需要小于±2 kg/(2 × 3000) = ±0.33 g，这样可以确保数字显示屏不受RF干扰的影响。

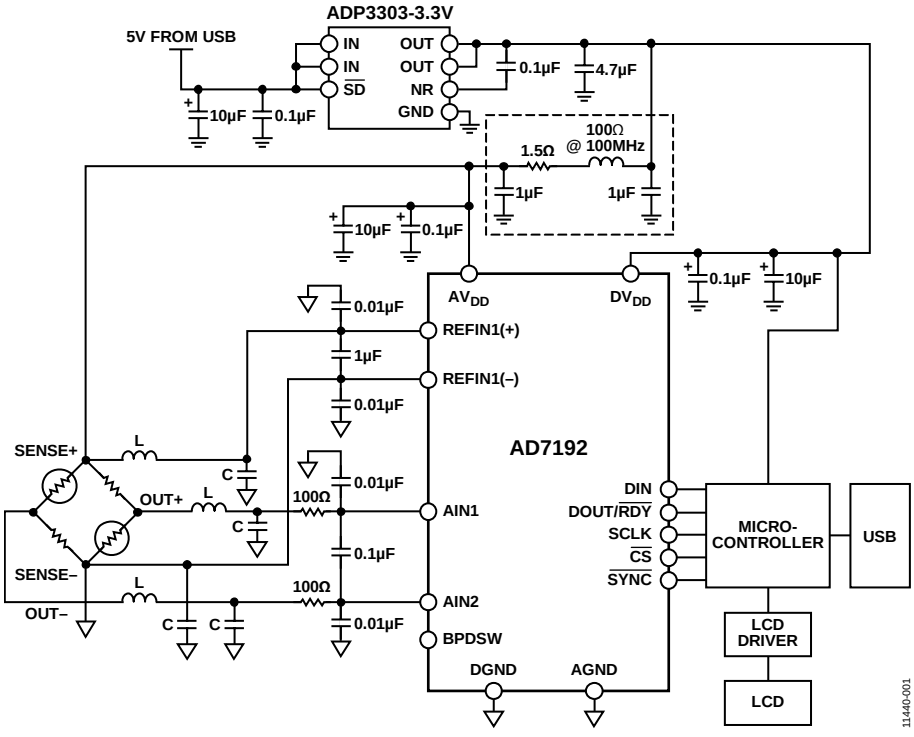



*图1. AD7192的测试设置*

## 印刷电路板

标准AD7192评估板设计用于提供最佳的模数转换性能。不过，它没有针对EMC进行优化。例如，标准AD7192评估板包含一些可容许不同电源选项的链路(垂直引脚)，可用于噪声测试连接；这些接头充当着天线的作用。此外，模拟和数字输入端并未针对位置和元件大小(采用0603元件)进行滤波优化。然而，以此评估板为起点进行调查，可突出EMC造成的不利影响。有关详情，请参见"结果"部分。对接地、元件位置和增加额外滤波进行了全面考察。所有阶段都维持ADC性能。

总而言之，取得以下重要发现

- 评估板上不应该包含接头选项(垂直引脚)。这些链路充当着天线的作用。因此，用焊接线路替代这些接头选项。
- 印刷电路板应该为4层，模拟输入端和参考输入端埋入内层中。应该使用一个接地层。用地线填充电路板的顶面和底面。此外，也用地线填充内层。应该包含多个通孔，以便最大限度地降低整个电路板的电位差。对于所需通孔的密度，没有硬性规定。在AD7192评估板上，ADC以及模拟和参考输入端的滤波周围有一圈通孔。一般而言，评估板上的任何孤岛也都应该有通孔，通孔数量大于1即可。顶面和底面上的任何走线都应该尽可能短，因为走线也充当着天线的作用。
- 建议在模拟和参考输入端采用滤波。图1显示了通常对模拟和参考输入端建议的R和C值。这种滤波可在AD7192的采样频率(307.2 kHz)和多倍采样频率下提供衰减。AD7192本身不在这些频率条件下提供任何衰减。电容需要尽可能接近AD7192的模拟输入端和参考输入端，这样可以最大限度地减小元件与ADC之间的走线长度。使用物理尺寸较小的元件让用户能够将元件放置得更靠近引脚。布局应该确保从引脚到元件的走线长度很好地匹配。
- 除了这些滤波器之外，如图1所示在R和L位置增加额外的滤波可以进一步增强抗扰度。此滤波器位于接至称重传感器的连接器上。为获得最佳结果，评估了各种L(L2、L3、L4和L5)和C(C1、C9、C12和C13)值组合。"物料清单"部分列出了最终选择的元件。
- 电源通过与0.1 µF电容并联的10 µF电容去耦。同样，这些元件应该尽可能靠近AD7192的电源引脚。模拟电源用作称重传感器的激励电压，称重传感器则用作ADC的基准。因此，电源走线也埋入内层中。

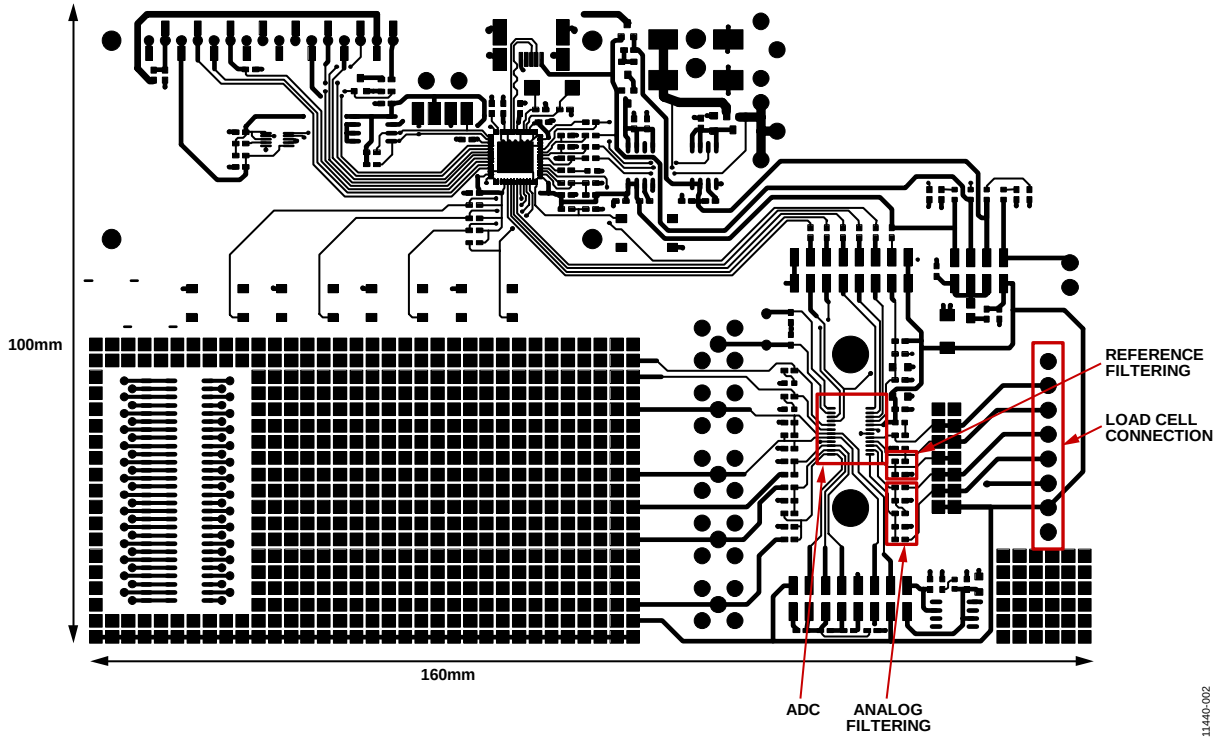



图2. 标准AD7192评估板的顶面

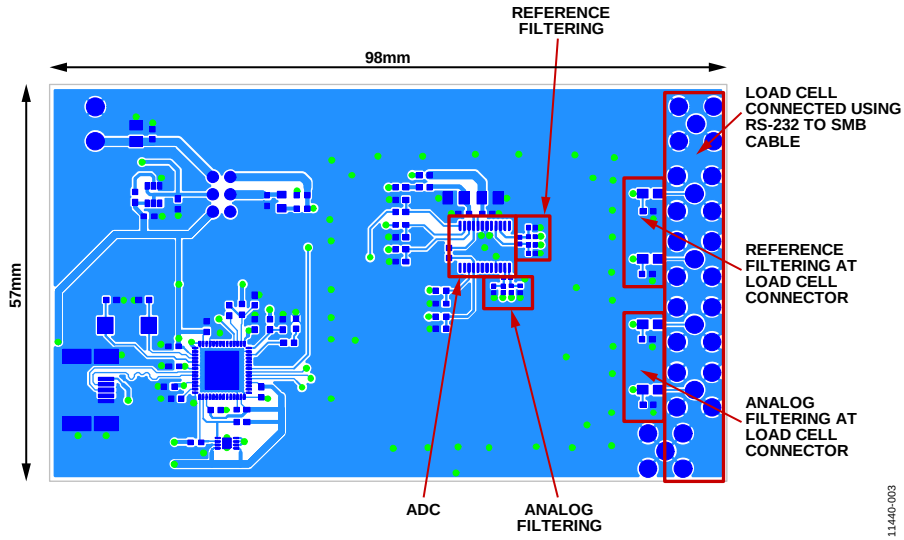



图3. AD7192 EMC板的顶面

## 结果

在调研之后，我们开发了针对抗辐射扰度优化印刷电路板(见图3)。本应用笔记的“评估板原理图与PCB布局图”部分提供了评估板的原理图和布局图。使用此评估板和物料清单所列的元件时，辐射抗扰度测试期间测得的最大误差小于e。图4显示了RF频率从80 MHz扫至1 GHz的情况下从AD7192读取的转换结果。测试期间，对称重传感器施加的重量保持恒定。

测得的误差为0.45 μV，小于*e*。这相当于0.2 g。

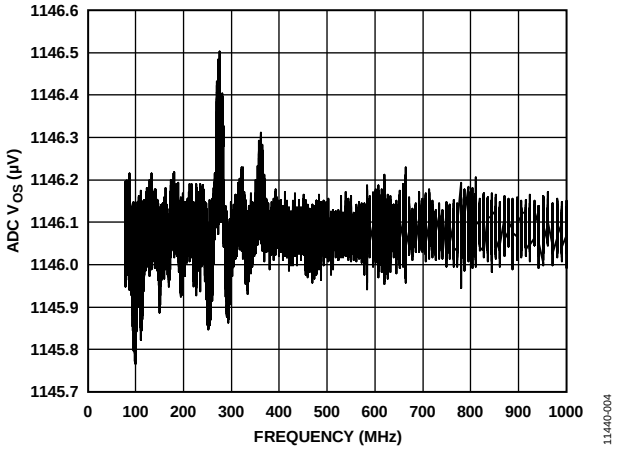



*图4. AD7192 EMC板的误差与频率关系*

为了对比，图5显示了测试辐射抗扰度时从标准AD7192评估板读取的转换结果。存在RF干扰的情况下，此评估板的误差为356 μV，相当于161 g。

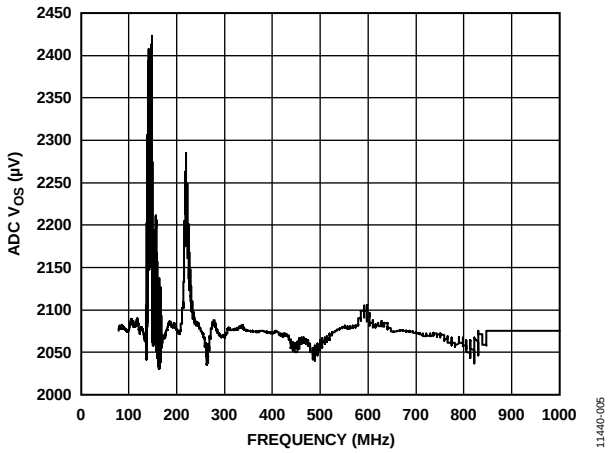



*图5. AD7192评估板的辐射抗扰度*

这种对比突出了布局、元件选择和元件放置的重要性，妥善考虑这些因素将能实现最佳的辐射抗扰度性能。

为了进一步增强器件的辐射抗扰度，可以在AD7192和辅助元件外装上一层铜制屏蔽罩。

## 结论

优化电子秤系统辐射抗扰度性能的关键因素是电路板布局以及元件的放置和选择。遵循本应用笔记中介绍的布局做法时，根据IEC 61000-4-3，电子秤系统将为A类。因此，具备辐射抗扰度的情况下，精度为3000次的电子秤会继续正常工作，也就是说，电子秤不会对干扰做出反应。

# 评估板原理图和PCB布局图

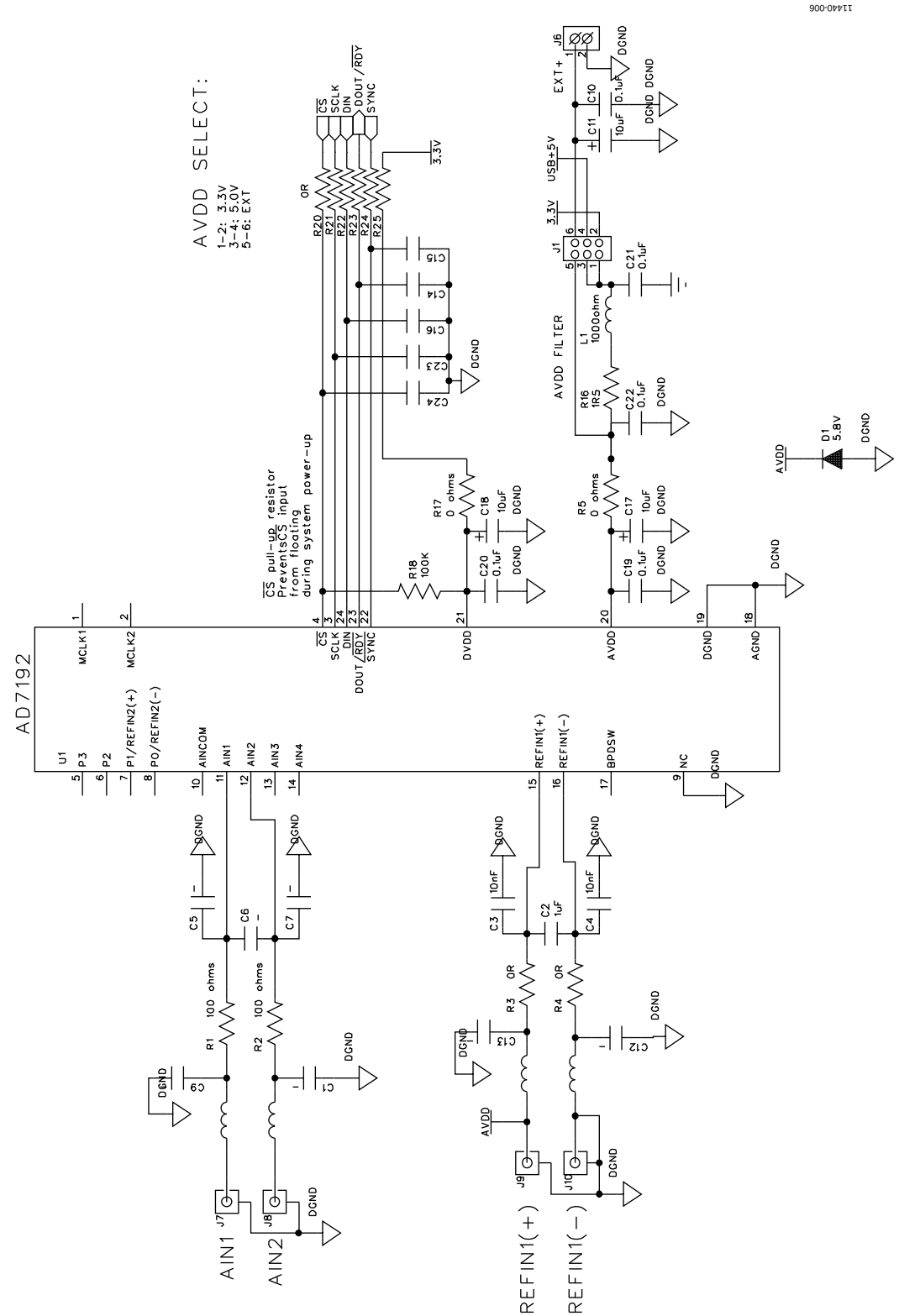



*图6. EMC板原理图，第1页*

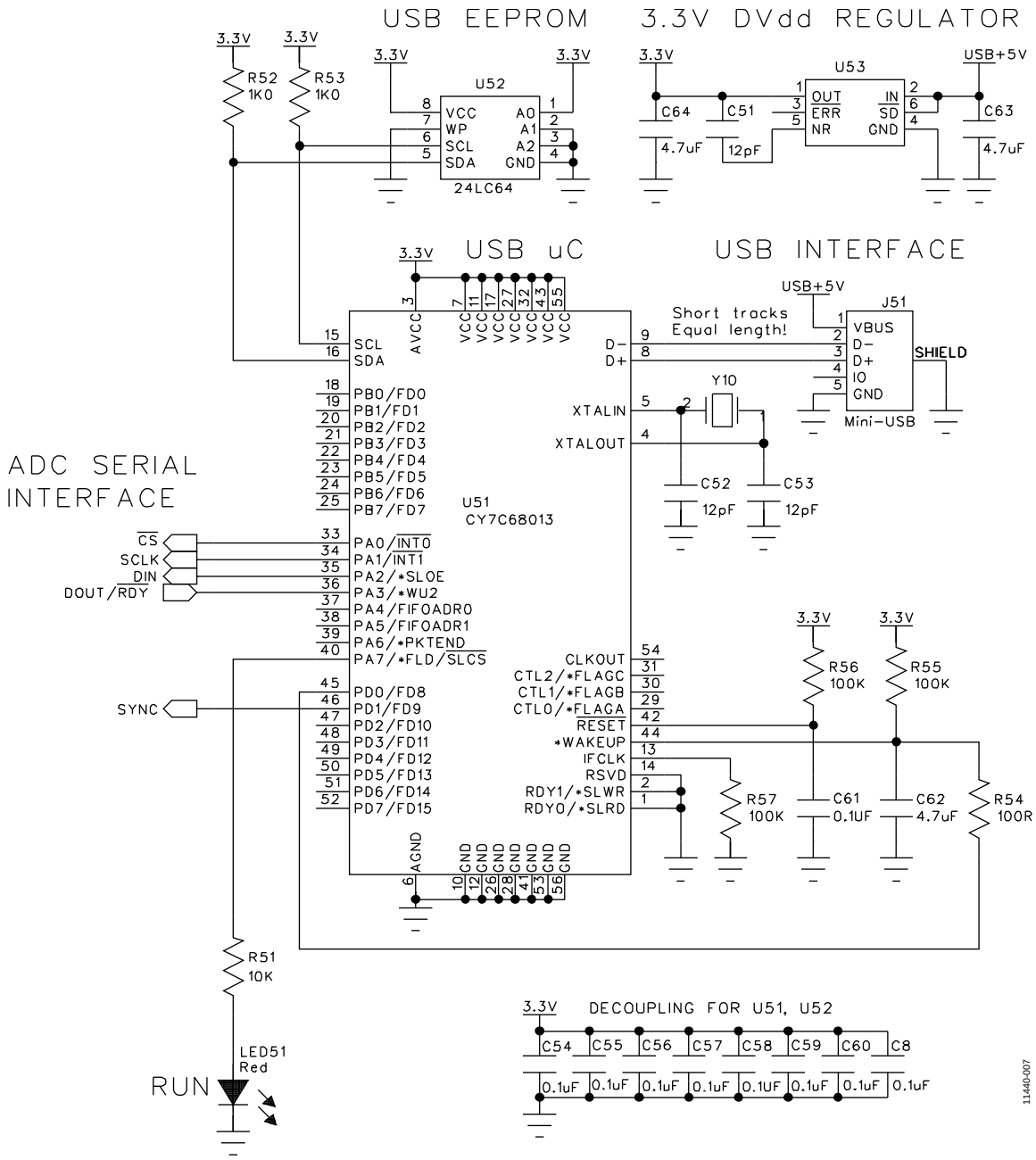



*图7. EMC板原理图，第2页*

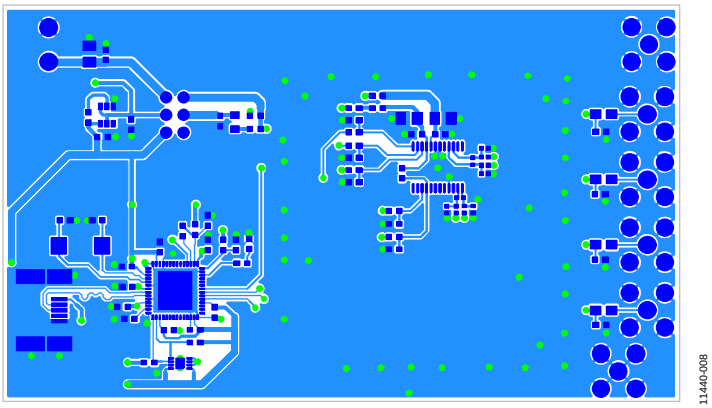



图8. 第1层(AD7192 EMC板)

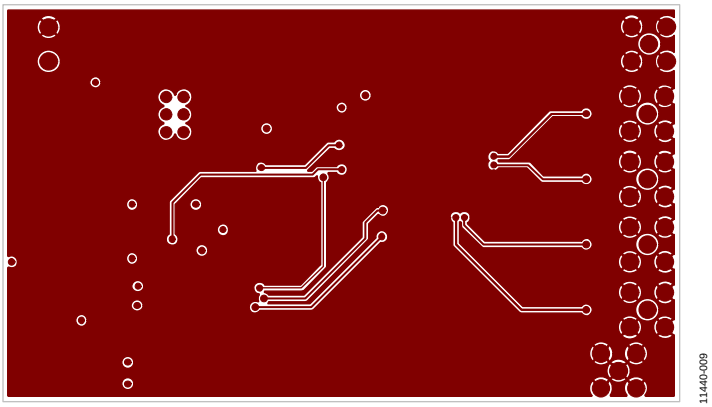



图9. 第2层(AD7192 EMC板)

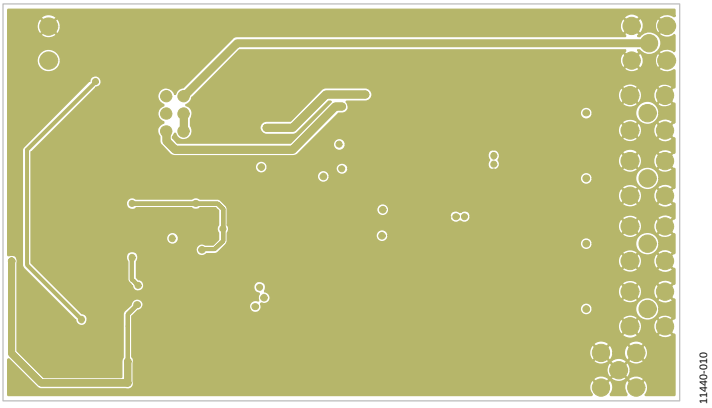



图10. 第3层(AD7192 EMC板)

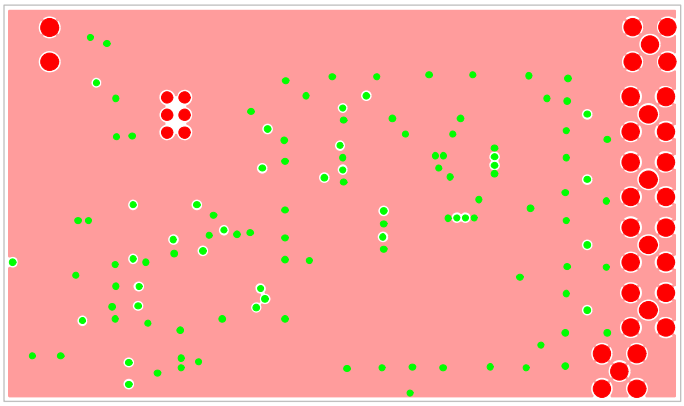



图11. 第4层(AD7192 EMC板)

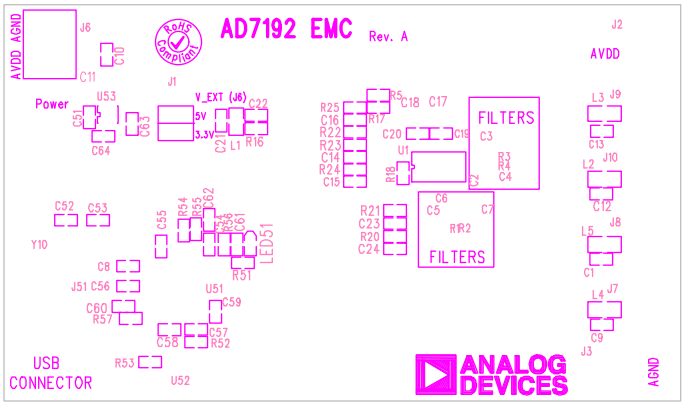



图12. 顶层丝印(AD7192 EMC板)

# 物料清单

**表1. AD7192-EMC BOM**

| 名称 | 值 | 容差 | PCB封装 | 器件描述 | 制造厂商 | 产品型号 | 库存代码 |
|---|---|---|---|---|---|---|---|
| **ADC** | | | | | | | |
| U1 | AD7192 | | TSSOP24 | AD7192，Σ-Δ型ADC | ADI公司 | AD7192BRUZ | |
| **ADC参考输入端(滤波)** | | | | | | | |
| C2 | 1 µF | 10% | C0402 | 陶瓷电容，6.3 V，X5R | Kemet | 2238 246 13663 | FEC 1310153 |
| C3 | 10 nF | 10% | C0402 | 陶瓷电容，50 V，X7R | Murata | | FEC 1828887 |
| C4 | 10 nF | 10% | C0402 | 陶瓷电容，50 V，X7R | Murata | | FEC 1828887 |
| R3 | 0 Ω | 1% | R0402 | 电阻 | Phycomp | | FEC 9232516 |
| R4 | 0 Ω | 1% | R0402 | 电阻 | Phycomp | | FEC 9232516 |
| **ADC模拟输入端(滤波)** | | | | | | | |
| C5 | 0.01 µF | | C0402 | 陶瓷电容 | AVX | | FEC 1650807 |
| C6 | 0.1 µF | | C0402 | 陶瓷电容 | AVX | | FEC 1833861 |
| C7 | 0.01 µF | | C0402 | 陶瓷电容 | AVX | | FEC 1650807 |
| R1 | 100 kΩ | 1% | R0402 | 电阻 | Phycomp | | FEC 1697307 |
| R2 | 100 kΩ | 1% | R0402 | 电阻 | Phycomp | | FEC 1697307 |
| **称重传感器连接器** | | | | | | | |
| J2 | SMB | | SMB | 连接器，50 Ω，直式 | Amphenol | SMB1251B1-3GT30G-50 | FEC 111-1349 |
| J3 | SMB | | SMB | 连接器，50 Ω，直式 | Amphenol | SMB1251B1-3GT30G-50 | FEC 111-1349 |
| J7 | SMB | | SMB | 连接器，50 Ω，直式 | Amphenol | SMB1251B1-3GT30G-50 | FEC 111-1349 |
| J8 | SMB | | SMB | 连接器，50 Ω，直式 | Amphenol | SMB1251B1-3GT30G-50 | FEC 111-1349 |
| J9 | SMB | | SMB | 连接器，50 Ω，直式 | Amphenol | SMB1251B1-3GT30G-50 | FEC 111-1349 |
| J10 | SMB | | SMB | 连接器，50 Ω，直式 | Amphenol | SMB1251B1-3GT30G-50 | FEC 111-1349 |
| **称重传感器连接器参考线路(滤波)** | | | | | | | |
| C12 | 1 nF | 10% | C0603 | 陶瓷电容，X7R，50 V | Murata | GRM188R71H102KA01 | FEC 8819955 |
| C13 | 1 nF | 10% | C0603 | 陶瓷电容，X7R，50 V | Murata | GRM188R71H102KA01 | FEC 8819955 |
| L2 | 300 kΩ | | 805 | A型铁氧体 | TE Connectivity/ Siga Inductors | BMB2A0300AN1 | FEC 1193418RL |
| L3 | 300 kΩ | | 805 | A型铁氧体 | TE Connectivity/ Sigma Inductors | BMB2A0300AN1 | FEC 1193418RL |
| **称重传感器连接器模拟输入线路(滤波)** | | | | | | | |
| C1 | 1 nF | 10% | C0603 | 陶瓷电容，X7R，50 V | Murata | GRM188R71H102KA01 | FEC 8819955 |
| C9 | 1 nF | 10% | C0603 | 陶瓷电容，X7R，50 V | Murata | GRM188R71H102KA01 | FEC 8819955 |
| L4 | 300 kΩ | | 805 | A型铁氧体 | TE Connectivity /Sigma Inductors | BMB2A0300AN1 | FEC 1193418RL |
| L5 | 300 kΩ | | 805 | A型铁氧体 | TE Connectivity /Sigma Inductors | BMB2A0300AN1 | FEC 1193418RL |

| 名称 | 值 | 容差 | PCB封装 | 器件描述 | 制造厂商 | 产品型号 | 库存代码 |
|---|---|---|---|---|---|---|---|
| **ADC电源** | | | | | | | |
| C10 | 0.1 µF | 10% | C0603 | 陶瓷电容，16 V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C11 | 10 µF | 10% | RTAJ_A | 钽电容，6.3 V | AVX | TAJA106K006R | FEC 197-014 |
| C17 | 10 µF | 10% | RTAJ_A | 钽电容，6.3 V | AVX | TAJA106K006R | FEC 197-014 |
| C19 | 0.1 µF | 10% | C0603 | 陶瓷电容，16 V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C21 | 0.1 µF | 10% | C0603 | 陶瓷电容，16 V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C22 | 0.1 µF | 10% | C0603 | 陶瓷电容，16 V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C18 | 10 µF | 10% | RTAJ_A | 钽电容，6.3 V | AVX | TAJA106K006R | FEC 197-014 |
| C20 | 0.1 µF | 10% | C0603 | 陶瓷电容，16 V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| R5 | 0 kΩ | 1% | R0603 | 电阻 | | | FEC 923-3130 |
| R16 | 1.5 kΩ | 1% | R0603 | 电阻 | Phycomp | RC0603FR-071R5L | FEC 923-8140 |
| R17 | 0 Ω | 1% | R0603 | 电阻 | | | FEC 923-3130 |
| L1 | 1000 kΩ | | L0805 | 铁氧体磁珠，1000 Z，300 mA | Tyco | BMB2A1000LN2 | FEC 119-3421 |
| **ADC SPI线路** | | | | | | | |
| C14 | | | C0603 | 陶瓷电容，50 V，X7R | | | 未插入 |
| C15 | | | C0603 | 陶瓷电容，50 V，X7R | | | 未插入 |
| C16 | | | C0603 | 陶瓷电容，50 V，X7R | | | 未插入 |
| C23 | | | C0603 | 陶瓷电容，50 V，X7R | | | 未插入 |
| C24 | | | C0603 | 陶瓷电容，50 V，X7R | | | 未插入 |
| R20 | 0 Ω | 1% | R0603 | 电阻 | | | FEC 923-3130 |
| R21 | 0 Ω | 1% | R0603 | 电阻 | | | FEC 923-3130 |
| R22 | 0 Ω | 1% | R0603 | 电阻 | | | FEC 923-3130 |
| R23 | 0 Ω | 1% | R0603 | 电阻 | | | FEC 923-3130 |
| **稳压器** | | | | | | | |
| U53 | | | SOT23-6 | 稳压器，3.3 V | ADI公司 | ADP3330ARTZ-3.3 | |
| C51 | 12 pF | 5% | C0603 | 陶瓷电容，50 V，COG | Phycomp | CC0603JRNPO9BN120 | FEC 721-979 |
| C63 | 4.7 µF | 10% | C0603 | 陶瓷电容，6.3 V，X5R | Phycomp | CC0603KRX5R5BB475 | FEC 940-2110 |
| C64 | 4.7 µF | 10% | C0603 | 陶瓷电容，6.3 V，X5R | Phycomp | CC0603KRX5R5BB475 | FEC 940-2110 |
| **USB接口/微控制器** | | | | | | | |
| U51 | CY7C68013 | | LFCSP-56_RP | 微控制器，EZ-USB FX2LP | Cypress | CY7C68013-56LFXC | FEC 126-9133 |
| U52 | 24LC64 | | DFN-8 | EEPROM，I2C，64k | Microchip | 24LC64-I/MC | FEC 133-1336 |
| C8 | 0.1 µF | 10% | C0603 | 陶瓷电容，16V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C54 | 0.1 µF | 10% | C0603 | 陶瓷电容，16V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C55 | 0.1 µF | 10% | C0603 | 陶瓷电容，16V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C56 | 0.1 µF | 10% | C0603 | 陶瓷电容，16V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C57 | 0.1 µF | 10% | C0603 | 陶瓷电容，16V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |

| 名称 | 值 | 容差 | PCB封装 | 器件描述 | 制造厂商 | 产品型号 | 库存代码 |
|---|---|---|---|---|---|---|---|
| C58 | 0.1 µF | 10% | C0603 | 陶瓷电容，16 V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C59 | 0.1 µF | 10% | C0603 | 陶瓷电容，16 V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C60 | 0.1 µF | 10% | C0603 | 陶瓷电容，16 V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C61 | 0.1 µF | 10% | C0603 | 陶瓷电容，16 V，X7R | Phycomp | CC0603KRX7R7BB104 | FEC 432-210 |
| C62 | 4.7 µF | 10% | C0603 | 陶瓷电容，6.3 V，X5R | Phycomp | CC0603KRX5R5BB475 | FEC 940-2110 |
| J1 | | | JUMPER_3_NOTEXT | 6引脚(3 × 2) 0.1"间距SMD接头 | Tyco | 1241050-3 | 未插入 |
| J6 | 1 × 2-pin | | CON\POWER | 螺丝端子板，3.81 mm间距 | Phoenix Contact | 1727010 | 未插入(采用焊接短路) |
| J51 | Mini-USB | | USB-MINI-B | 连接器，USB微型B | Molex | 548190572 | FEC 978-6473 |
| LED51 | Red | | LED-0603HSML-C191 | LED，高强度(> 90 mCd) | Avago Tech. | HSMC-C191 | FEC 855-4528 |
| R51 | 10 kΩ | 1% | R0603 | 电阻 | Phycomp | RC0603FR-0710KL | FEC 923-8603 |
| R52 | 1 kΩ | 1% | R0603 | 电阻 | Phycomp | RC0603FR-071KL | FEC 923-8484 |
| R53 | 1 kΩ | 1% | R0603 | 电阻 | Phycomp | RC0603FR-071KL | FEC 923-8484 |
| R54 | 100 kΩ | 1% | R0603 | 电阻 | Phycomp | RC0603FR-07100RL | FEC 923-8360 |
| R55 | 100 kΩ | 1% | R0603 | 电阻 | Phycomp | RC0603FR-07100KL | FEC 923-8727 |
| R56 | 100 kΩ | 1% | R0603 | 电阻 | Phycomp | RC0603FR-07100KL | FEC 923-8727 |
| R57 | 100 kΩ | 1% | R0603 | 电阻 | Phycomp | RC0603FR-07100KL | FEC 923-8727 |
| **微控制器晶振** | | | | | | | |
| Y10 | 24 MHz | | XTAL-CSM-8A | 晶振，12 pF负载，SMD，5 × 3.2 mm | AVX | CX5032GB24000H0PESZZ | FEC 136-8770 |
| C52 | 12 pF | 5% | C0603 | 陶瓷电容，50 V，COG | Phycomp | CC0603JRNPO9BN120 | FEC 721-979 |
| C53 | 12 pF | 5% | C0603 | 陶瓷电容，50 V，COG | Phycomp | CC0603JRNPO9BN120 | FEC 721-979 |

©2013 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
AN11440sc-0-4/13(0)