1 GSPS、14位、3.3 V CMOS 直接数字频率合成器

AD9910

特性

1 GSPS内部时钟速度(高达400 MHz模拟输出)
内置1 GSPS、14位DAC
频率分辨率：0.23 Hz或以上
相位噪声：≤−125 dBc/Hz(1 kHz偏移，400 MHz载波)
卓越的动态性能：>80 dB 窄带SFDR
串行输入/输出(I/O)控制
自动线性或任意频率/相位/幅度扫描功能
8种频率和相位偏移形式
Sin(X)/(X)校正(反正弦滤波器)
采用1.8 V和3.3 V电源供电
软件/硬件控制的省电功能
100引脚TQFP_EP封装
集成1024字×32位的RAM
PLL REFCLK乘法器
并行数据路径接口
单晶体驱动的内部振荡器
相位调制功能
幅度调制功能
多器件同步

应用

捷变本振(LO)频率合成
可编程时钟发生器
雷达和扫描系统的FM线性调频源
测试与测量设备
声光设备驱动器
极化调制器
快速跳频

功能框图

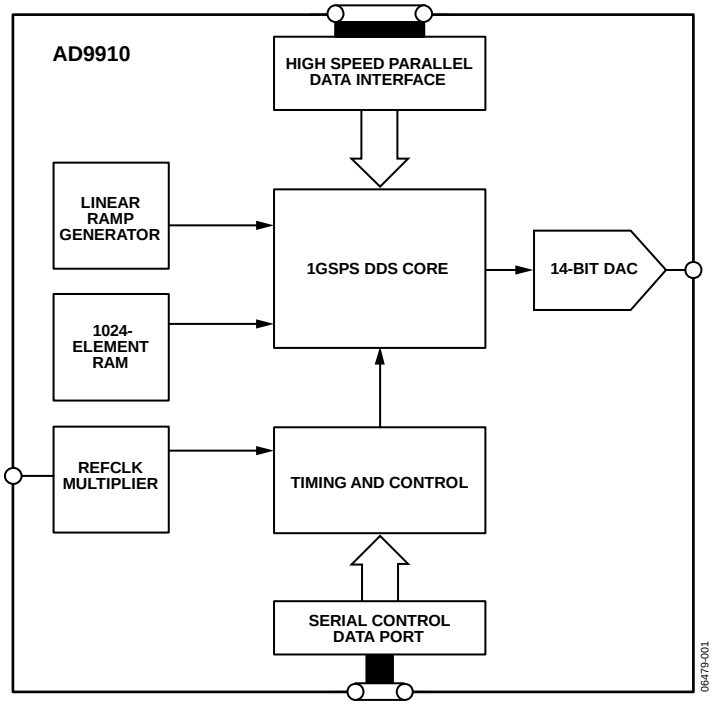


图1.

Rev. C
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113

©2007–2010 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性 1
应用 1
功能框图 1
修订历史 4
概述 5
技术规格 6
电气规格 6
绝对最大额定值 9
等效电路 9
ESD警告 9
引脚配置和功能描述 10
典型工作特性 13
应用电路 16
工作原理 17
单频调制模式 17
RAM调制模式 18
数字斜坡调制模式 19
并行数据端口调制模式 20
并行数据时钟(PDCLK) 20
发送使能(TxENABLE) 21
模式优先级 22
功能框图详解 23
DDS内核 23
14位DAC输出 23
辅助DAC 24
反sinc滤波器 24
时钟输入(REF_CLK/$\overline{\text{REF_CLK}}$) 24
REF_CLK/$\overline{\text{REF_CLK}}$ 概述 24
晶体驱动REF_CLK/$\overline{\text{REF_CLK}}$ 25
直接驱动REF_CLK/$\overline{\text{REF_CLK}}$ 25
锁相环(PLL)乘法器 25
PLL电荷泵 26
外部PLL环路滤波器元件 27
PLL锁定指令 27
输出振幅键控(OSK) 27
手动OSK 27
自动OSK 28
数字斜坡发生器(DRG) 28
DRG概述 28
DRG斜率控制 30
DRG限值控制 30
DRG累加器清零 30
正常斜坡发生 30
非驻留斜坡发生 32
DROVER引脚 32
RAM控制 33
RAM概述 33
RAM加载/读取操作 33
RAM播放操作(波形发生) 33
RAM_SWP_OVR(RAM扫描完成)引脚 34
RAM播放模式概述 34
RAM直接转换模式 34
零交越RAM直接转换模式 35
RAM上斜坡模式 35
RAM上斜坡内部Profile控制模式 36
内部Profile控制连续波形时序图 38
RAM双向斜坡模式 38
RAM连续双向斜坡模式 39
RAM连续循环模式 41
其他特性 42
Profile 42
I/O_UPDATE、SYNC_CLK和系统时钟关系 42
自动I/O更新 43

省电控制 43
多器件同步 44
电源分组 47
3.3 V电源 47
DVDD_I/O (3.3V)(引脚11/15/21/28/45/56/66) 47
AVDD (3.3V)(引脚74至77/83) 47
1.8 V电源 47
DVDD (1.8V)(引脚17/23/30/47/57/64) 47
AVDD (1.8V)(引脚3) 47
AVDD (1.8V)(引脚6) 47
AVDD (1.8V)(引脚89/92) 47
串行编程 48
控制接口—串行I/O 48
通用串行I/O操作 48
指令字节 48
指令字节信息位图 48
串行I/O端口引脚功能描述 48
串行时钟(SCLK) 48
$\overline{CS}$芯片选择栏 48
串行数据输入/输出(SDIO) 48
串行数据输出(SDO) 48
输入/输出复位(I/O_RESET) 49
输入/输出更新(I/O_UPDATE) 49
串行I/O 时序图 49
MSB/LSB传输 49
寄存器图和位功能描述 50
寄存器位功能描述 55
控制功能寄存器1 (CFR1)—地址0x00 55
控制功能寄存器2 (CFR2)—地址0x01 57
控制功能寄存器3 (CFR3)—地址0x02 58
辅助DAC控制寄存器—地址0x03 58
I/O更新速率寄存器—地址0x04 59
频率调谐字寄存器(FTW)— 地址0x07 59
相位偏移字寄存器(POW)—地址0x08 59
幅度比例因子寄存器(ASF)—地址0x09 59
多芯片同步寄存器—地址0x0A 60
数字斜坡限值寄存器—地址0x0B 60
数字斜坡步长寄存器—地址0x0C 60
数字斜坡速率寄存器—地址0x0D 60
Profile寄存器 61
外形尺寸 62
订购指南 62

修订历史

2010年8月—修订版B至修订版C

更改表1中的XTAL_SEL输入参数 8
更改表 29
更改发送使能(TxENABLE)部分 21

2008年12月—修订版A至修订版B

修改图2 5
表1中的I/O_UPDATE脉冲宽度参数和
Profile最短切换周期参数更改 7
表1中增加XTAL_SEL输入参数 8
修改表3 11
修改图20 16
修改图22 17
修改图23 18
修改图24 19
修改图25 20
修改“REF_CLK/ $\overline{\text{REF_CLK}}$概述”部分 24
修改“晶振REF_CLK/$\overline{\text{REF_CLK}}$ ”部分 25
修改“PLL锁定指令”部分和
“输出振幅键控(OSK)”部分 27
修改“DRG斜率控制”部分和“标准斜坡发生”部分 30
修改“DROVER引脚”部分 32
修改图43 35
修改“图45和内部Profile控制连续波形时序图”
部分 38
修改图47 40
修改图48 41
删除“I/O_UPDATE引脚”部分 41
修改“Profile”部分 42
增加“I/O_UPDATE、SYNC_CLK和系统时钟关系”部分 42
增加“图49；重新排序” 42
修改“多器件同步”部分 44
修改“DVDD (1.8V)(引脚17/23/30/47/57/64)”部分和
“AVDD (1.8V)(引脚89/92)”部分 47
修改“控制接口—串行I/O”部分 48
修改表17 50
修改表19 57
修改表20和21 58

2008年2月—修订版0至修订版A

修改“特性”部分 1
修改表1中REFCLK乘法器技术规格 5
修改SYNC_CLK最短设置时间 6
修改I/O Update/Profile[2:0]时序特性 6
修改TxENABLE/数据设置时间(至PDCLK)和
TxENABLE/数据保持时间(至PDCLK) 6
修改其他时序特性部分 6
修改表3 10
修改图9、图10、图11、图12、图13和图14 12
修改表30和表7 24
修改“自动I/O更新”部分 41
增加表16，重新排序 41
修改图49至图53 43
增加“电源分组”部分 46
增加“通用串行I/O操作”部分 47
修改表17 49
修改表19 56
修改表20 57
增加表32 60

2007年5月—修订版0：初始版

概述

AD9910是一款内置14位DAC的直接数字频率合成器(DDS)，支持高达1 GSPS采样速率。AD9910采用高级DDS专利技术，在不牺牲性能的前提下可极大降低功耗。DDS/DAC组合构成数字可编程的高频模拟输出频率合成器，能够在高达400 MHz的频率下生成频率捷变正弦波形。

用户可以访问三个用于控制DDS的信号控制参数，包括：频率、相位与幅度。该DDS利用32位累加器提供快速跳频和频率调谐分辨率。在1 GSPS采样速率下，调谐分辨率约为0.23 Hz。这款DDS还实现了快速相位与幅度切换功能。

用户可通过串行I/O端口对AD9910的内部控制寄存器进行编程，以实现对AD9910的控制。AD9910集成了静态RAM，可支持频率、相位和/或幅度调制的多种组合。AD9910还支持用户定义的数控数字斜坡工作模式。在该模式下，频率、相位或幅度随时间呈线性变化。AD9910内置的高速并行数据输入端口能实现直接频率、相位、幅度或极化调制，以支持更高级的调制功能。

AD9910可在扩展的工业温度范围内工作(欲了解更多信息，请参考数据手册的"绝对最大额定值"部分)。

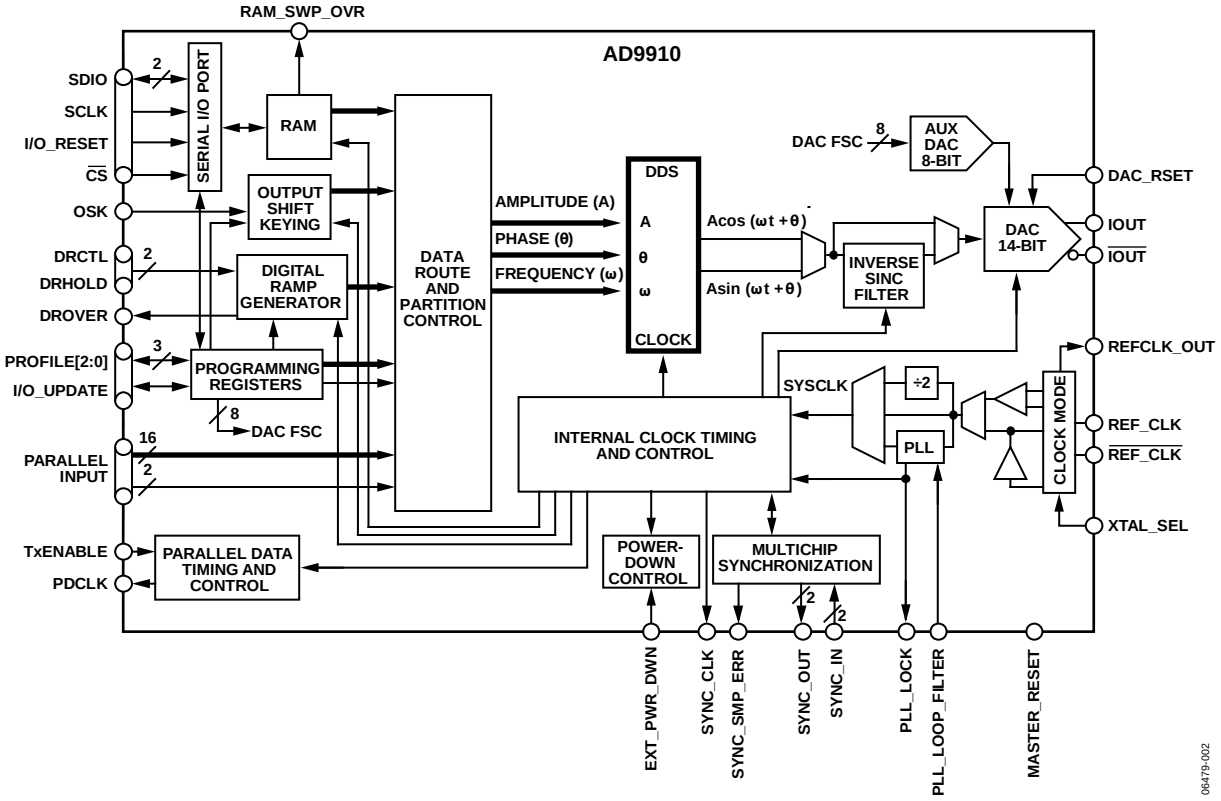


表2. 详细框图

技术规格

电气规格

AVDD (1.8V)和DVDD (1.8V) = 1.8 V ± 5%，AVDD (3.3V) = 3.3 V ± 5%，DVDD_I/O (3.3V) = 3.3 V ± 5%，T = 25°C，R_{SET} = 10 kΩ，I_{OUT} = 20 mA，禁用参考时钟(REFCLK)乘法器，外部参考时钟频率 = 1000 MHz，除非另有说明。

表1

参数	条件/注释	最小值	典型值	最大值	单位
REFCLK输入特性					
频率范围					
REFCLK乘法器	禁用	60		1000	MHz
	使能	3.2		60	MHz
最大REFCLK输入分频器频率	全温度范围	1500	1900		MHz
最小REFCLK输入分频器频率	全温度范围		25	35	MHz
			25		MHz
外部晶振			3		pF
输入电容			2.8		kΩ
输入阻抗	差分		1.4		kΩ
	单端				
占空比	REFCLK乘法器禁用	45		55	%
	REFCLK乘法器使能	40		60	%
REFCLK输入电平	单端	50		1000	mV p-p
	差分	100		2000	mV p-p
REFCLK乘法器VCO特性					
VCO增益(KV) @ 中心频率	VCO范围设置0		429		MHz/V
	VCO范围设置1		500		MHz/V
	VCO范围设置2		555		MHz/V
	VCO范围设置3		750		MHz/V
	VCO范围设置4		789		MHz/V
	VCO范围设置5[1]		850		MHz/V
REFCLK_OUT特性					
最大容性负载			20		pF
最大频率			25		MHz
DAC输出特性					
满量程输出电流		8.6	20	31.6	mA
增益误差		−10		+10	% FS
输出偏移				2.3	μA
差分非线性			0.8		LSB
积分非线性			1.5		LSB
输出电容			5		pF
残留相位噪声	1 kHz偏移，20 MHz A_{OUT}				
REFCLK乘法器	禁用		−152		dBc/Hz
	使能，20x		−140		dBc/Hz
	使能，100x		−140		dBc/Hz
DAC输出电压范围		−0.5		+0.5	V
宽带SFDR	参见典型性能特性部分				
窄带SFDR					
50.1 MHz模拟输出	±500 kHz		−87		dBc
	±125 kHz		−87		dBc
	±12.5 kHz		−96		dBc
101.3 MHz模拟输出	±500 kHz		−87		dBc
	±125 kHz		−87		dBc
	±12.5 kHz		−95		dBc

参数	条件/注释	最小值	典型值	最大值	单位
201.1 MHz模拟输出	±500 kHz		–87		dBc
	±125 kHz		–87		dBc
	±12.5 kHz		–91		dBc
301.1 MHz模拟输出	±500 kHz		–86		dBc
	±125 kHz		–86		dBc
	±12.5 kHz		–88		dBc
401.3 MHz模拟输出	±500 kHz		–84		dBc
	±125 kHz		–84		dBc
	±12.5 kHz		–85		dBc
串口时序特性					
最大SCLK频率			70		Mbps
最小SCLK时钟脉冲宽度	低	4			ns
	高	4			ns
SCLK最大上升/下降时间			2		ns
至SCLK最短数据建立时间		5			ns
至SCLK最短数据保持时间		0			ns
读取模式下最长数据有效时间				11	ns
I/O_UPDATE/PROFILE[2:0]时序特性					
至SYNC_CLK最短建立时间		1.75			ns
至SYNC_CLK最短保持时间		0			ns
I/O_UPDATE脉冲宽度	高	>1			SYNC_CLK 周期
Profile最短切换时间		2			SYNC_CLK 周期
Tx_ENABLE和16位并行(数据)总线时序特性					
PDCLK最大频率			250		MHz
TxENABLE/数据建立时间(至PDCLK)		1.75			ns
TxENABLE/数据保持时间(至PDCLK)		0			ns
其他时序特性					
唤醒时间[2]					
快速恢复			8		SYSCLK 周期[3]
深度睡眠模式	REFCLK乘法器使能		1		ms
	REFCLK乘法器禁用			150	µs
最短复位脉冲宽度时间(高电平)			5		SYSCLK 周期[3]
数据延迟(流水线延迟)					
单频或Profile模式数据延迟					
频率、相位和振幅至DAC输出	匹配延迟使能和OSK使能		91		SYSCLK 周期[3]
频率和相位至DAC输出	匹配延迟使能和OSK禁用		79		SYSCLK 周期[3]
	匹配延迟禁用		79		SYSCLK 周期[3]
振幅至DAC输出	匹配延迟禁用		47		SYSCLK 周期[3]
RAM模式数据延迟					
频率和相位至DAC输出	匹配延迟使能/禁用		94		SYSCLK 周期[3]
振幅至DAC输出	匹配延迟使能		106		SYSCLK 周期[3]
	匹配延迟禁用		58		SYSCLK 周期[3]
扫描模式数据延迟					
频率和相位至DAC输出	匹配延迟使能/禁用		91		SYSCLK 周期[3]
振幅至DAC输出	匹配延迟使能		91		SYSCLK 周期[3]
	匹配延迟禁用		47		SYSCLK 周期[3]
16位输入调制模式数据延迟					
频率和相位至DAC输出	匹配延迟使能		103		SYSCLK 周期[3]
	匹配延迟禁用		91		SYSCLK 周期[3]

参数	条件/注释	最小值	典型值	最大值	单位
CMOS逻辑输入					
Logic 1电压		2.0			V
Logic 0电压				0.8	V
Logic 1电流			90	120	μA
Logic 0电流			38	50	μA
输入电容			2		pF
XTAL_SEL输入					
Logic 1电压		1.25			V
Logic 0电压				0.6	V
输入电容			2		pF
CMOS逻辑输出	1 mA负载				
Logic 1电压		2.8			V
Logic 0电压				0.4	V
电源电流					
I_{AVDD} (1.8 V)			110		mA
I_{AVDD} (3.3 V)			29		mA
I_{DVDD} (1.8 V)			222		mA
I_{DVDD} (3.3 V)			11		mA
总功耗					
单频调制模式			715	850	mW
快速省电模式			330	400	mW
深度睡眠模式			19	25	mW

1. VCO范围设置5的增益值在频率1000 MHz测得。
2. 唤醒时间指从省电模式恢复正常模式的时间。最长时间是指PLL参考时钟乘法器PLL重新锁定参考时钟所需时间。唤醒时间假定使用推荐的PLL环路滤波器值。
3. SYSCLK周期指DDS片内使用的实际时钟频率。如果使用参考时钟乘法器乘以外部参考时钟频率，SYSCLK频率为外部频率乘以参考时钟倍频系数。如果不使用参考时钟乘法器，SYSCLK频率与外部参考时钟频率相同。

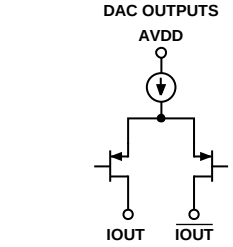
绝对最大额定值

表2

参数	参数
AVDD (1.8V)和DVDD (1.8V)电源	2 V
AVDD (3.3V)和DVDD_I/O (3.3V)电源	4 V
数字输入电压	−0.7 V 至 +4 V
XTAL_SEL	−0.7 V 至 +2.2 V
数字输出电流	5 mA
存储温度范围	−65°C 至 +150°C
工作温度范围	−40°C 至 +85°C
θ_{JA}	22°C/W
θ_{JC}	2.8°C/W
最高结温	150°C
引脚温度(焊接10秒)	300°C

注意，超出以上所列的绝对最大额定值可能导致器件永久性损坏。这只是强调的额定值，不涉及器件在这些或任何其它条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

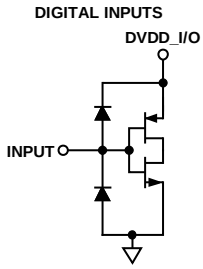
等效电路



MUST TERMINATE OUTPUTS TO AGND FOR CURRENT FLOW. DO NOT EXCEED THE OUTPUT VOLTAGE COMPLIANCE RATING.

06479-003

图 3. 等效输入电路



AVOID OVERDRIVING DIGITAL INPUTS. FORWARD BIASING ESD DIODES MAY COUPLE DIGITAL NOISE ONTO POWER PINS.

06479-055

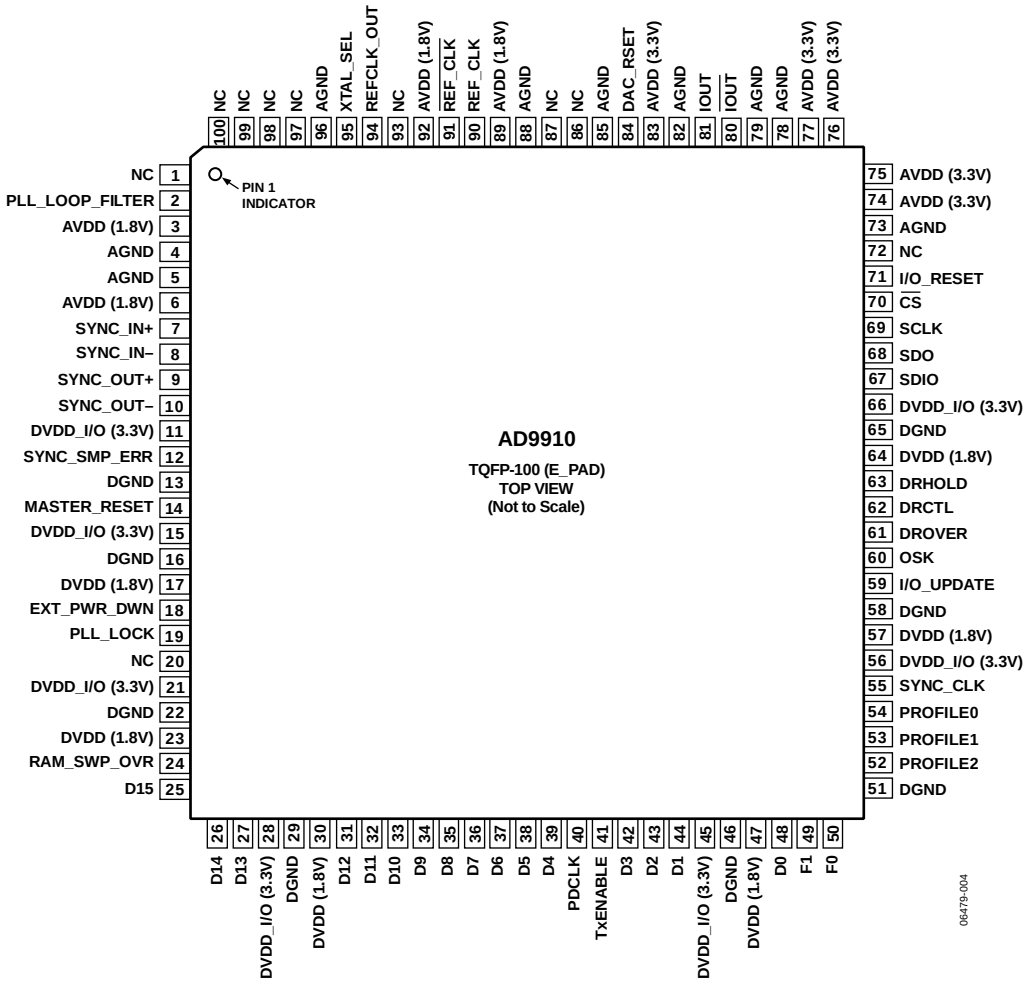
图 4. 等效输出电路

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专用保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES:
1. EXPOSED PAD SHOULD BE SOLDERED TO GROUND.
2. NC = NO CONNECT.

图 5. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	I/O[1]	描述
1, 20, 72, 86, 87, 93, 97 至 100	NC		无需连接。允许产品引脚悬空。
2	PLL_LOOP_FILTER	I	PLL环路滤波器补偿引脚。详情请参见"外部PLL环路滤波器元件"部分。
3, 6, 89, 92	AVDD (1.8V)	I	模拟内核VDD，1.8V模拟电源电压。
74 to 77, 83	AVDD (3.3V)	I	模拟DAC VDD，3.3V模拟电源电压。
17, 23, 30, 47, 57, 64	DVDD (1.8V)	I	数字内核VDD，1.8V数字电源电压。
11, 15, 21, 28, 45, 56, 66	DVDD_I/O (3.3V)	I	数字输入/输出VDD，3.3V数字电源电压。
4, 5, 73, 78, 79, 82, 85, 88, 96	AGND	I	模拟地。
13, 16, 22, 29, 46, 51, 58, 65	DGND	I	数字地。
7	SYNC_IN+	I	同步信号(LVDS)，数字输入(上升沿有效)。外部主时钟的同步信号同步内部子时钟。详情请参见"多器件同步"部分。
8	SYNC_IN−	I	同步信号(LVDS)，数字输入。外部主时钟的同步信号同步内部子时钟。详情请参见"多器件同步"部分。
9	SYNC_OUT+	O	同步信号(LVDS)，数字输出(上升沿有效)。内部器件子时钟的同步信号同步外部从器件。详情请参见"多器件同步"部分。
10	SYNC_OUT−	O	同步信号(LVDS)，数字输出。内部器件子时钟的同步信号同步外部从器件。详情请参见"多器件同步"部分。
12	SYNC_SMP_ERR	O	同步采样误差，数字输出(高电平有效)。同步采样误差：此引脚高电平表明AD9910未收到有效SYNC_IN+/SYNC_IN−同步信号。
14	MASTER_RESET	I	主机复位，数字输入(高电平有效)。主机复位：所有存储元件清0，寄存器设置为默认值。
18	EXT_PWR_DWN	I	外部省电模式，数字输入(高电平有效)。此引脚高电平会启用当前编程的省电运行模式。详情请参见"省电控制"部分。如未使用，应接地。
19	PLL_LOCK	O	时钟乘法器PLL锁定，数字输出(高电平有效)。此引脚高电平表示时钟乘法器PLL已锁定参考时钟输入。
24	RAM_SWP_OVR	O	RAM扫描完成，数字输出(高电平有效)。此引脚高电平表示RAM扫描完成。
25 至 27, 31 至 39, 42 至 44, 48	D[15:0]	I	并行输入总线(高电平有效)。
49, 50	F[1:0]	I	调制格式引脚。数字输入确定调制格式。
40	PDCLK	O	并行数据时钟。属于数字输出(时钟)。并行数据时钟提供时序信号对齐并行输入数据。
41	TxENABLE	I	发送使能。数字输入(高电平有效)。在突发模式通信中，此引脚高电平表示发送新数据。在连续模式中，此引脚始终保持高电平。
52 至 54	PROFILE[2:0]	I	Profile选择引脚。数字输入(高电平有效)。使用此引脚可选择一种DDS相位/频率profile(共8种)。改变引脚状态，可将所有当前I/O缓冲内容传输到相应寄存器。要改变状态，可设置SYNC_CLK引脚。
55	SYNC_CLK	O	1/4输出时钟。属于数字输出(时钟)。AD9910中很多数字输入，如I/O_UPDATE和PROFILE[2:0]，都需要在信号上升沿设置。

引脚编号	引脚名称	I/O[1]	描述
59	I/O_UPDATE	I/O	输入/输出更新。数字输入(高电平有效)。此引脚高电平会将I/O缓冲内容传输到相应的内部寄存器。
60	OSK	I	输出振幅键控。数字输入(高电平有效)。在手动或自动模式中启用OSK功能时，通过此引脚控制。在手动模式中，此引脚在0(低)和编程振幅比例因子(高)之间切换乘法器。在自动模式中，低电平向下扫描振幅至0，高电平向上扫描振幅至振幅比例因子。
61	DROVER	O	数字斜坡结束。数字输出(高电平有效)。当数字斜坡发生器达到最大/最小编程值时，此引脚将切换到逻辑1。
62	DRCTL	I	数字斜坡控制。数字输入(高电平有效)。此引脚控制数字斜坡发生器的斜率极性。详情请参见"数字斜坡发生器(DRG)"部分。如果未使用数字斜坡发生器，将此引脚与逻辑0连接。
63	DRHOLD	I	数字斜坡保持。数字输入(高电平有效)。此引脚使数字斜坡发生器保持当前状态。详情请参见"数字斜坡发生器(DRG)"部分。如果未使用数字斜坡发生器，将此引脚与逻辑0连接。
67	SDIO	I/O	串行数据输入/输出。数字输入/输出(高电平有效)。根据配置情况，此引脚支持单向和双向(默认)两种模式。如果是双向串行端口模式，此引脚可用于串行数据输入和输出。如果是单向模式，仅支持数据输入。
68	SDO	O	串行数据输出。数字输出(高电平有效)。此引脚仅对单向串行数据模式有效，用于数据输出。双向模式中，此引脚无操作，应悬空。
69	SCLK	I	串行数据时钟。数字时钟(上升沿执行写操作，下降沿执行读操作)。此引脚提供控制数据路径的串行数据时钟。AD9910写操作使用上升沿，回读操作使用下降沿。
70	$\overline{CS}$	I	芯片选择。数字输入(低电平有效)。AD9910利用此引脚可在控制数据路径通用串行总线上运行。引脚低电平可使AD9910检测串行时钟上升/下降沿。引脚高电平可使AD9910忽略串行数据引脚输入。
71	I/O_RESET	I	输入/输出复位。数字输入(高电平有效)。当输入/输出通信周期出现故障时，使用此引脚(详情请参见"输入/输出复位(I/O_RESET)"部分)。不使用时，引脚接地。
80	$\overline{IOUT}$	O	开漏DAC互补输出电流源。模拟输出(电流模式)。通过50 Ω电阻器与AGND连接。
81	IOUT	O	开漏DAC输出电流源。模拟输出(电流模式)。通过50 Ω电阻器与AGND连接。
84	DAC_RSET	O	模拟参考引脚。此引脚对DAC输出满量程参考电流编程。AGND连接一个10 kΩ电阻器。
90	REF_CLK	I	参考时钟输入。模拟输入。使用内部振荡器时，此引脚可以通过外部振荡器驱动，或者与晶体直接连接。详情请参见"REF_CLK概述"部分。
91	$\overline{REF_CLK}$	I	参考时钟输入。模拟输入。详情请参见"REF_CLK概述"部分。
94	REFCLK_OUT	O	晶体振荡器输出。模拟输出。详情请参见"REF_CLK概述"部分。
95	XTAL_SEL	I	晶体振荡器选择(1.8 V逻辑)。模拟输入(高电平有效)。高电平驱动XTAL_SEL引脚，AVDD (1.8V)引脚使内部振荡器与晶体谐振器共同运行。如果未使用，连接AGND。
96 (EPAD)	裸露焊盘(EPAD)		EPAD应焊接接地。

[1] I = 输入；O = 输出。

典型工作特性

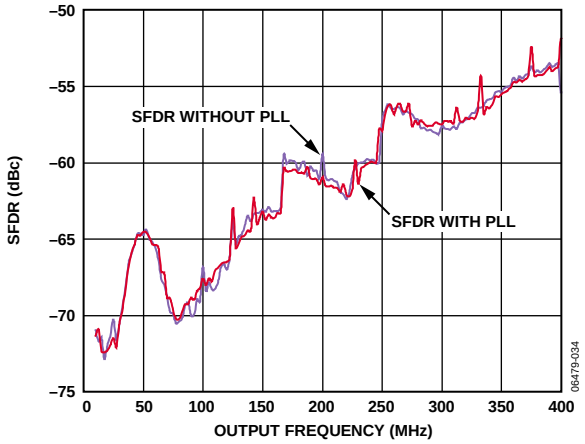


图6. 宽带SFDR与输出频率的关系(PLL参考时钟频率 = 15.625 MHz × 64)

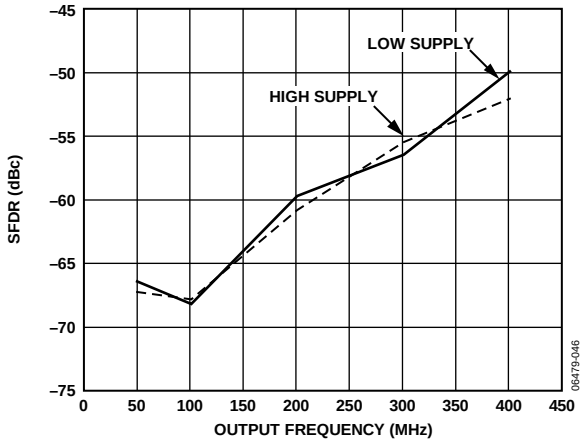


图7.宽带SFDR与输出频率和电源的关系(±5%)，REFCLK = 1 GHz

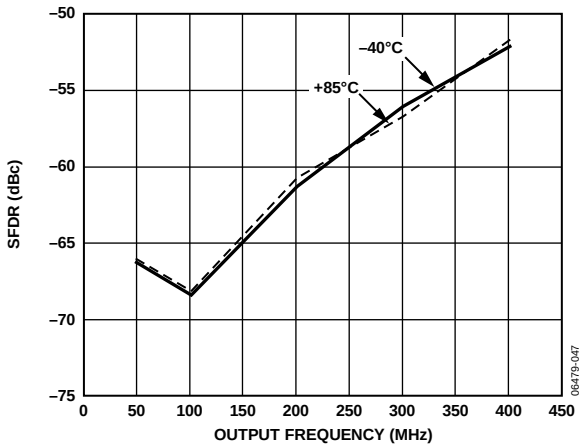


图8. 宽带SFDR与输出频率和温度的关系，REFCLK = 1 GHz

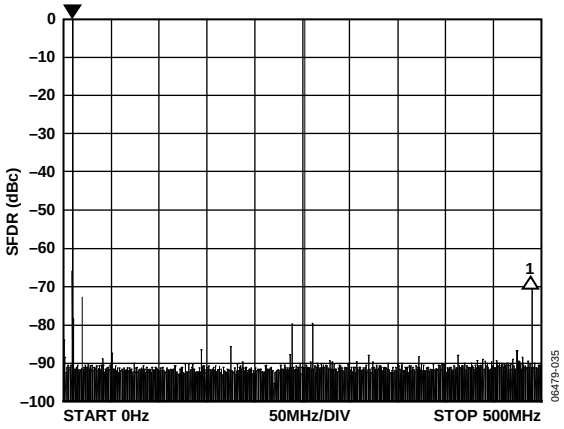


图9. 10 MHz条件下的宽带SFDR，REFCLK = 1 GHz

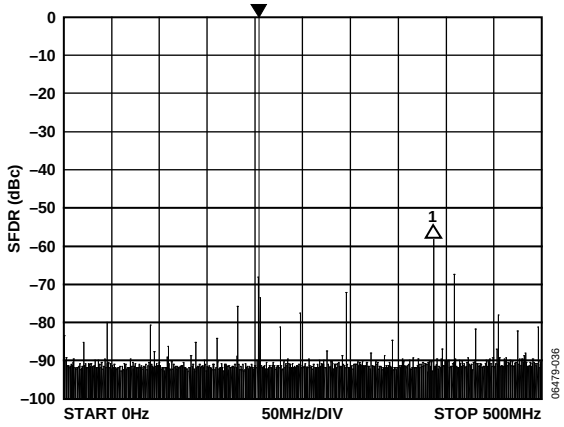


图10. 204 MHz条件下的宽带SFDR，REFCLK = 1 GHz

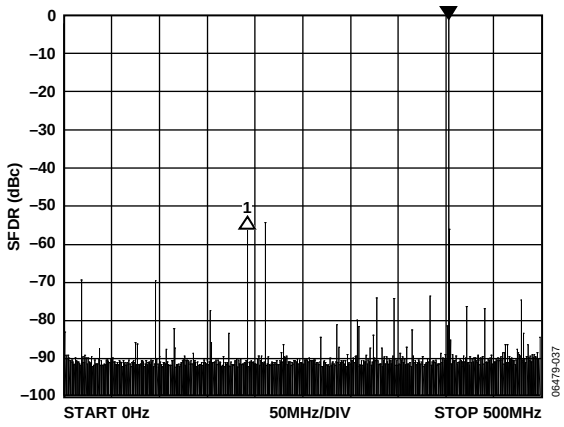


图11. 403 MHz条件下的宽带SFDR，REFCLK = 1 GHz

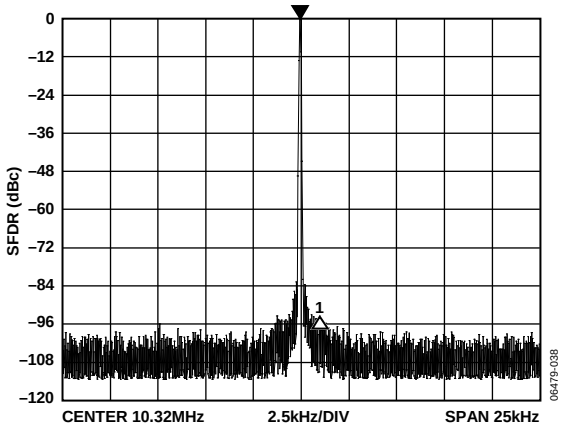


图12. 10.32 MHz条件下的窄带SFDR，
REFCLK = 1 GHz

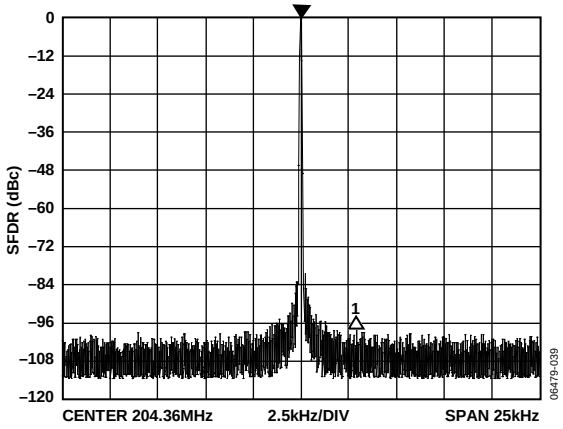


图13. 204.36 MHz条件下的窄带SFDR，
REFCLK = 1 GHz

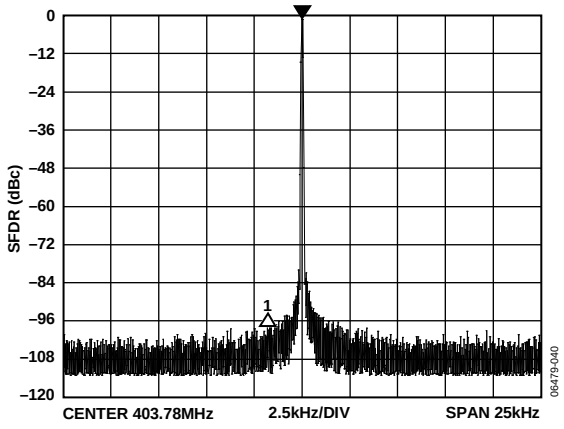


图14. 403.78 MHz条件下的窄带SFDR，
REFCLK = 1 GHz

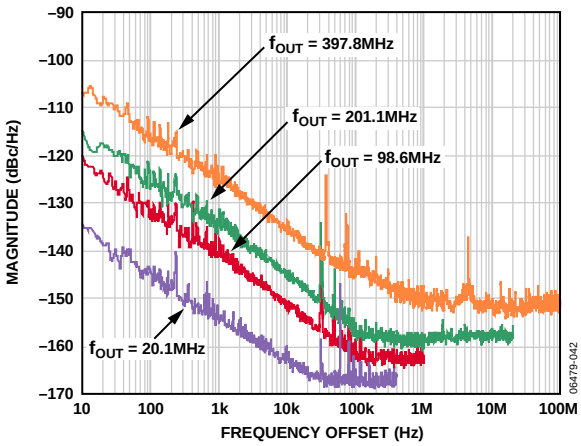


图15. 残留相位噪声图，1 GHz工作频率，
PLL禁用

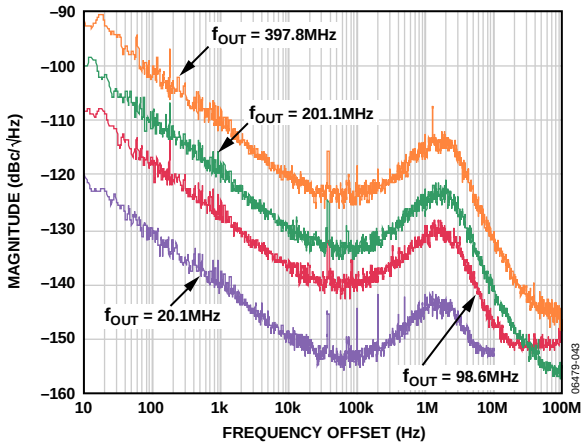


图16. 残留相位噪声，1 GHz工作频率，50 MHz参考时钟频率，20× PLL乘法器

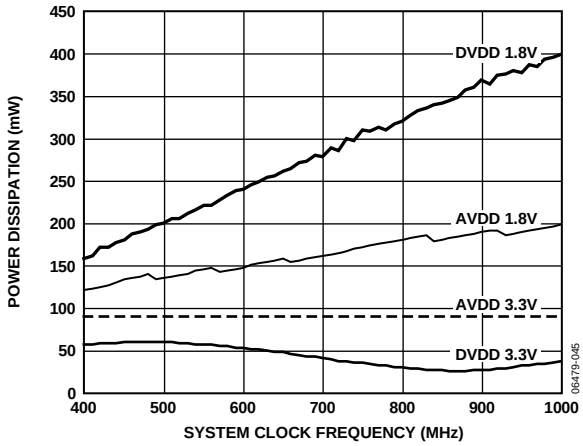


图18. 功耗与系统时钟频率(PLL使能)

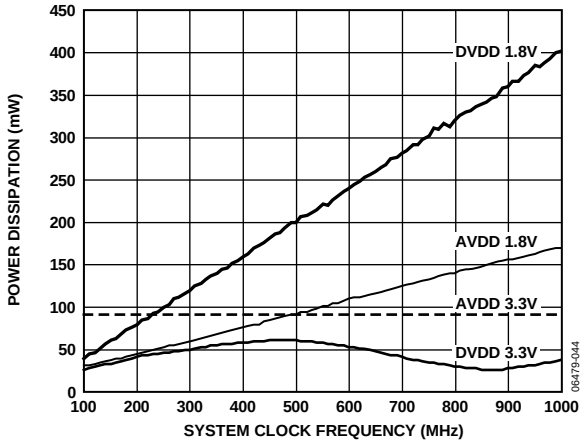


图17. 功耗与系统时钟频率(PLL禁用)

应用电路

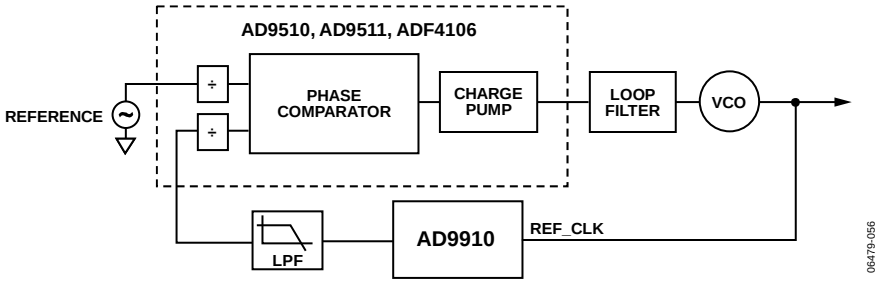


图19. PLL反馈锁定参考频率DDS提供频率和延迟调整精密调谐

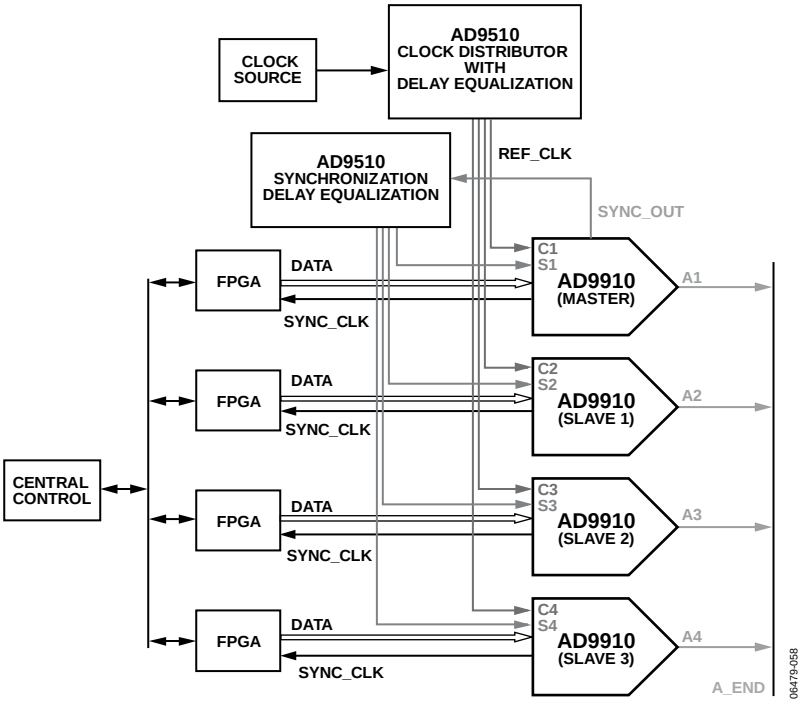


图20. 用AD9510作为参考和同步时钟分配器同步多个器件可以增大通道容量

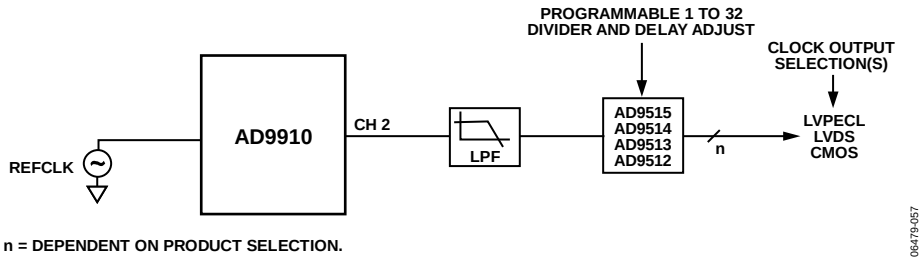


图21. 使用AD9512/AD9513/AD9514/AD9515系列时钟分配芯片的时钟生成电路

工作原理

AD9910支持四种工作模式：

- 单频模式
- RAM调制模式
- 数字斜坡调制模式
- 并行数据端口调制模式

这些模式利用不同的DDS数据源产生信号控制参数：频率、相位或幅度。根据工作模式和/或具体控制位，自动将数据按频率、相位和幅度分成不同的组合。

在单频模式中，直接使用与串行I/O端口有关编程寄存器提供的DDS信号控制参数。在RAM调制模式中，DDS信号控制参数保存在内部RAM中，通过命令调用。在数字斜坡调制模式中，DDS信号控制参数通过数字斜坡发生器提供。在并行数据端口调制模式中，DDS信号控制参数由并行端口直接控制。

各种调制模式一般只使用一种DDS信号控制参数(极化调制格式使用两种参数)。未调制的DDS信号控制参数保存在相应的编程寄存器中，根据所选工作模式自动传送到DDS。

另外，AD9910还具有独立的输出振幅键控(OSK)功能。通过独立的数字线性斜坡发生器，只对DDS振幅参数产生作用。与其他数据源相比，OSK功能可以优先驱动DDS振幅参数。因此，一旦启用OSK功能，其他数据源将无法驱动DDS振幅。

虽然本文会分别介绍各种工作模式(包括OSK功能)，但实际操作时可以同时启用多种模式。因此，这为配置复杂调制方案带来了巨大的灵活性。为避免多数据源驱动同一DDS信号控制参数，AD9910集成了内部优先级协议(参见“模式优先级”中的表5)。

单频模式

在单频模式中，DDS信号控制参数由编程寄存器直接提供。Profile是一个包括DDS信号控制参数的独立寄存器。AD9910共有8个Profile寄存器，

每个Profile都能单独访问。利用三个外部profile引脚(PROFILE[2:0])可选择想要的profile。改变Profile引脚状态将在SYNC_CLK下一上升沿使用所选Profile中指定参数更新DDS。

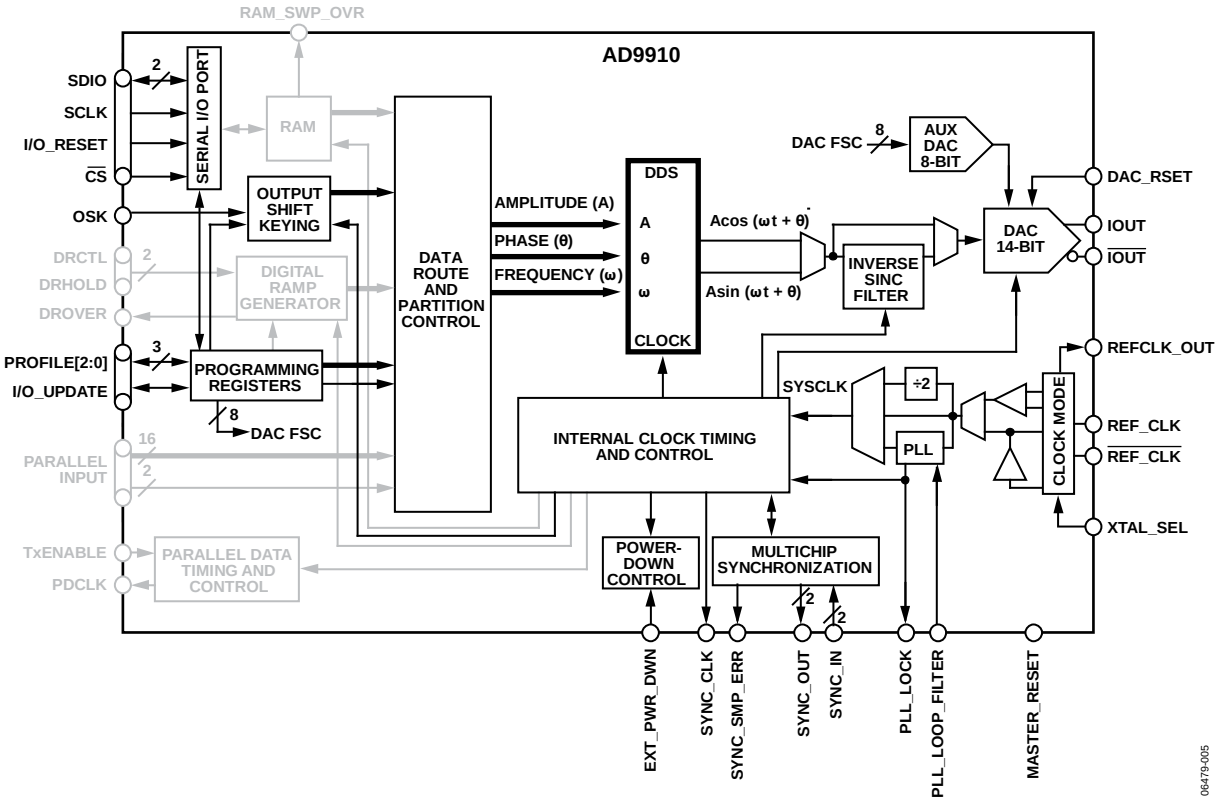


图22. 单频调制模式

RAM调制模式

RAM调制模式(参见图23)由RAM使能位和I/O_UPDATE引脚(或改变Profile)激活。在此模式中，调制的DDS信号控制参数直接通过RAM提供。

RAM由1024×32位控制字组成。通过复杂的内部状态机配合，RAM可非常灵活地生成随时间变化的任意波形。可编程定时器控制RAM向DDS发送控制字的速率。因此，可编程定时器将决定了向DDS发送的32位样本的采样速率。

DDS具体信号控制参数(RAM样本发送目的地)也可通过8个独立的RAM Profile寄存器编程控制。使用三个外部Profile引脚(PROFILE[2:0])可选择具体的Profile。任何Profile引脚状态的改变会在SYNC_CLK下一上升沿将激活所选的RAM Profile。

在RAM调制模式中，可生成随时间变化的振幅、相位或频率信号，从而实现对任意DDS载波信号控制参数调制的功能。另外，利用极化调制格式还能将RAM样本分成振幅分量和相位分量；相位分量精度为16位，振幅分量精度为14位。

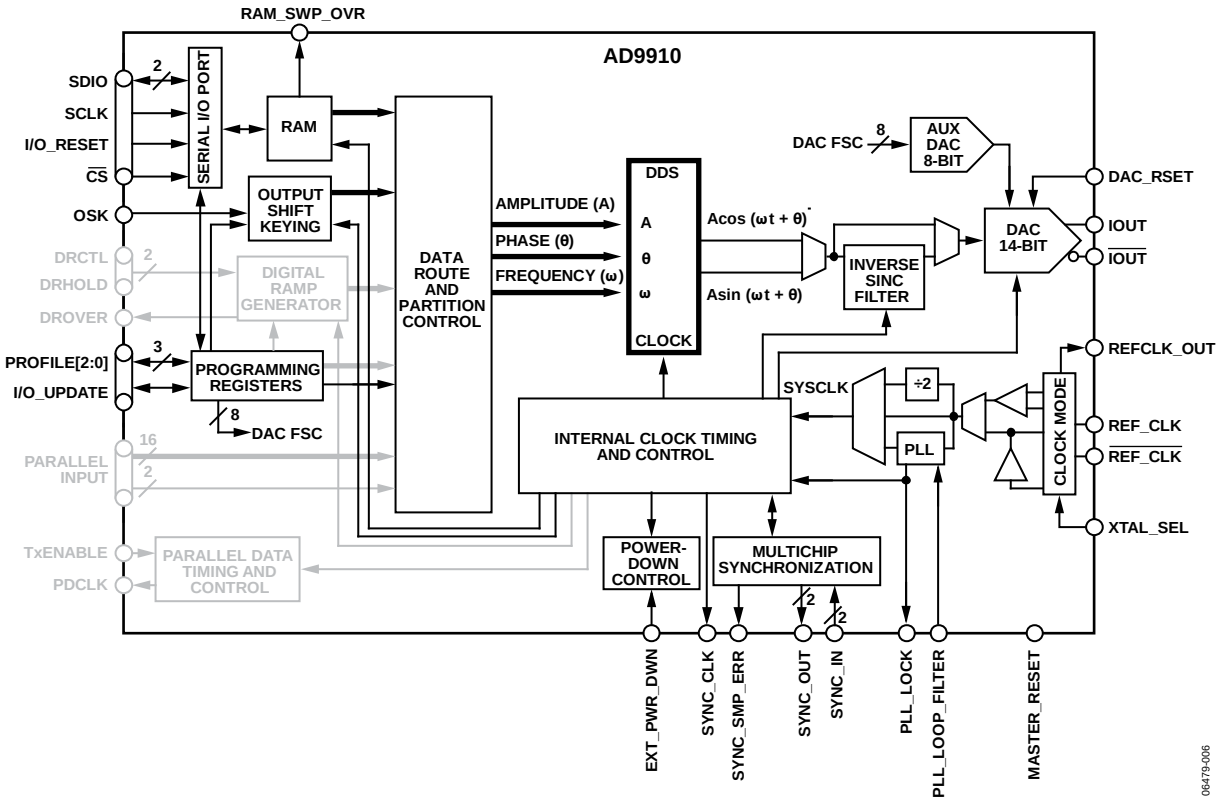


图23. RAM调制模式

数字斜坡调制模式

在数字斜坡调制模式(参见图24)中，调制的DDS信号控制参数由数字斜坡发生器(DRG)直接提供。斜坡发生参数由串行I/O端口控制。

利用斜坡发生参数，用户可以控制斜坡的上升和下降斜率。斜坡的上下限值、斜坡上升/下降部分的步长和步率均可编程。

斜坡采用数字化生成，输出分辨率32位。DRG的32位输出可以对频率、相位或振幅进行编程。编程频率时，要用到所有32位。而编程相位或振幅时分别只需用16位和14位MSB。

斜坡方向(上升或下降)通过DRCTL引脚外部控制。用户使用DRHOLD附加引脚还能保持斜坡发生器的当前状态。

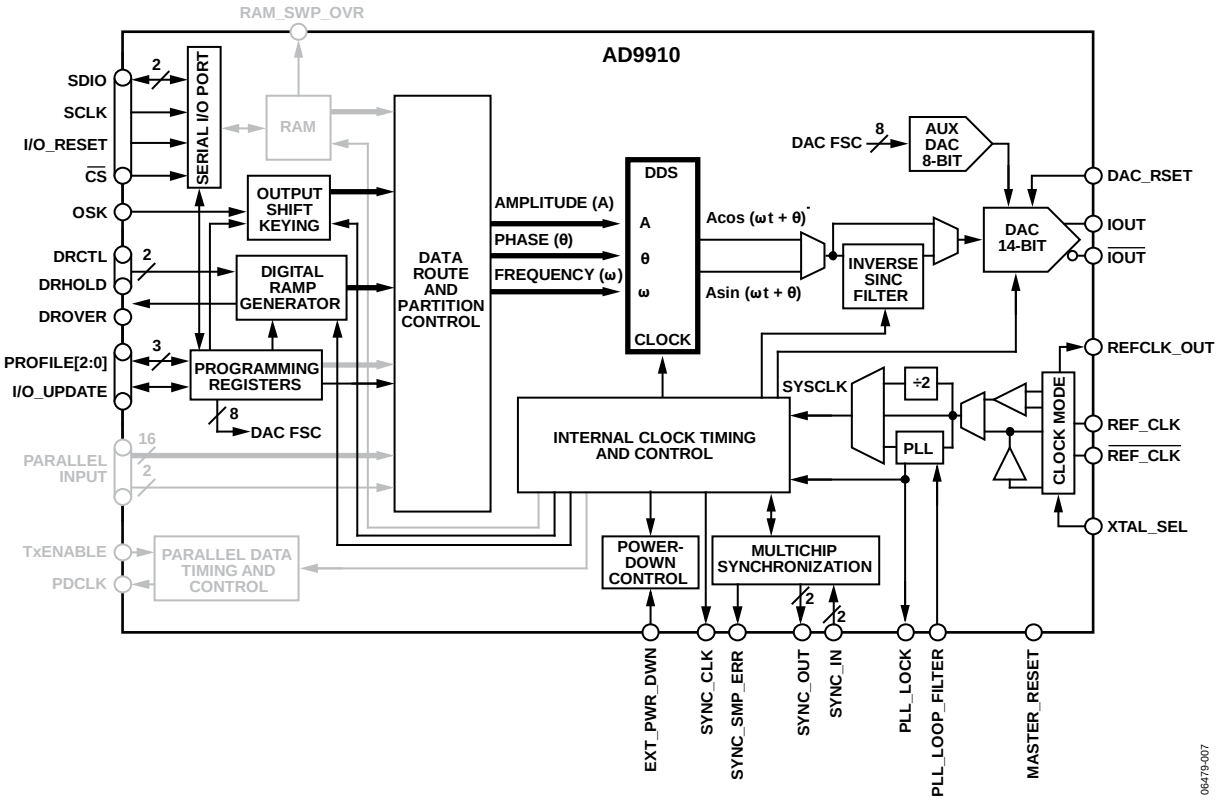


图24. 数字斜坡调制模式

并行数据端口调制模式

在并行数据端口调制模式(参见图25)中，调制的DDS信号控制参数直接由18位并行数据端口提供。

数据端口分为两部分。16个MSB位组成16位数据字(D[15:0]引脚)，两个LSB位组成2位目的字(F[1:0]引脚)。目的字定义了16位数据字作为DDS信号何种控制参数使用。表4给出了目的位、16位数据字划分以及数据目的(关于DDS信号控制参数)之间的关系。无论目的如何，16位数据字都采用无符号二进制格式表示。

当目的位指示数据字为DDS频率控制参数时，16位数据字将作为FTW寄存器中32位频率调谐字的偏移字。也就是说16位数据字必须与FTW寄存器中的32位字通过某种方式正确对齐。这一点可以通过编程寄存器中的4位FM增益字实现。用户可以通过FM增益字为16位数据字添加一个加权因子。默认状态下(0)，16位数据字和FTW寄存器中的32位字通过LSB对齐。FM增益字值每递增1都会将16位数据字相对于FTW寄存器中的32位字向左移1位，从而16位数据字对FTW寄存器定义频率的影响变大，加权因子为2。FM增益字可以有效控制数据字界定的频率范围。

并行数据时钟(PDCLK)

AD9910可以在PDCLK引脚上产生一个1/4 DAC采样速率的时钟信号(并行数据端口采样速率)。PDCLK作为并行端口的数据时钟使用。默认情况下，PDCLK的每个上升沿用于将用户提供的18位数据锁存在数据端口中。沿的极性可通过PDCLK反转位更改。另外，PDCLK输出信号可以用PDCLK使能位关闭。不过，即使能关闭输出信号，它依旧在内部运行，通过内部PDCLK时序捕捉并行端口上的数据。注意PDCLK禁用时为输出为逻辑0。

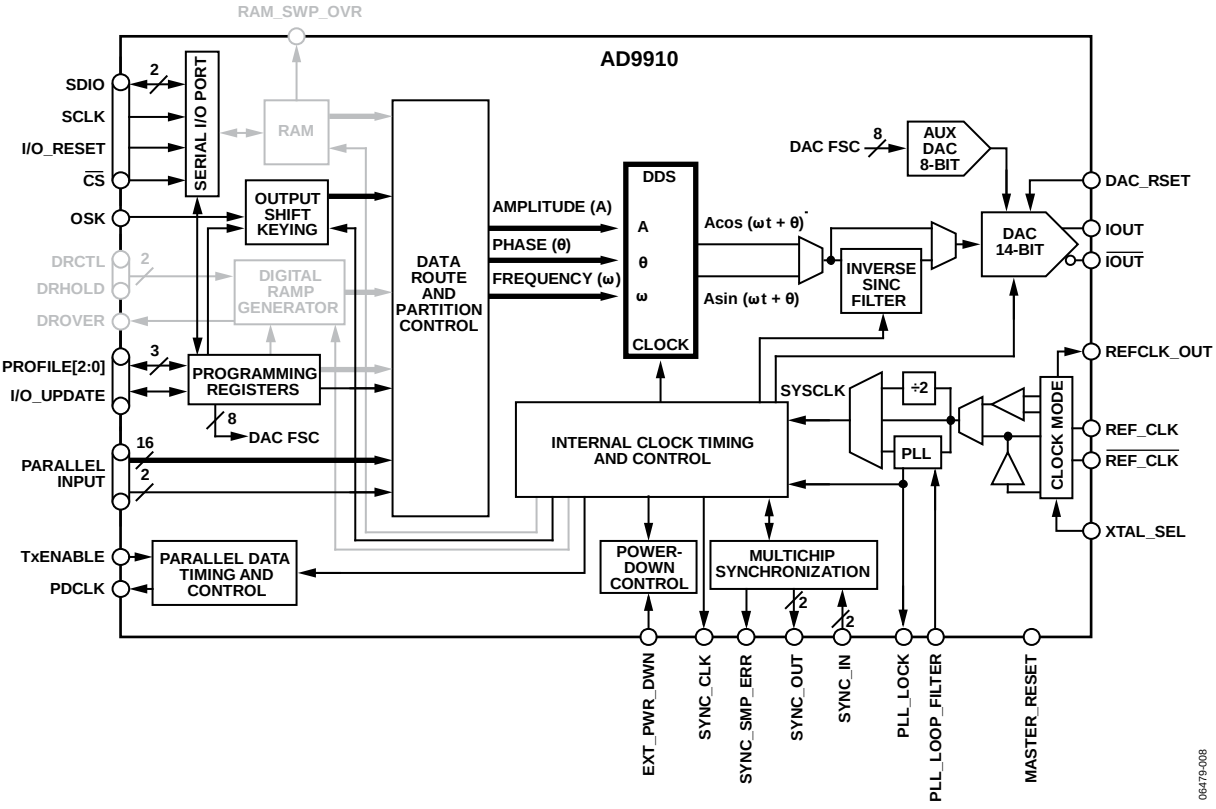


图 25. 并行数据端口调制模式

表 4. 并行端口目的位

F[1:0]	D[15:0]	参数	备注
00	D[15:2]	14位幅度参数 (无符号整数)	幅度范围：0至$1 - 2^{-14}$。D[1:0]未使用。
01	D[15:0]	16位相位参数 (无符号整数)	相位偏移范围：0至$2\pi(1 - 2^{-16})$弧度。
10	D[15:0]	32位频率参数 (无符号整数)	对齐16位数据字和32位频率参数由编程寄存器中的4位FM增益字控制。
11	D[15:8] D[7:0]	8位幅度参数 (无符号整数) 8位相位参数 (无符号整数)	数据字幅度MSB与DDS 14位幅度参数MSB对齐。DDS幅度参数6位LSB由ASF寄存器的[5:0]位指定。产生的14位字使幅度范围达到：0至$1 - 2^{-14}$。 数据字相位MSB与DDS 16位相位参数MSB对齐。DDS相位参数8位LSB由POW寄存器的[7:0]位指定。产生的16位字使相位偏移范围达到：0至$2\pi(1 - 2^{-16})$弧度。

发送使能(TxENABLE)

AD9910还能通过TxENABLE引脚支持用户生成的信号，该引脚可作为用户数据的控制门。在默认情况下，TxENABLE引脚逻辑门中1表示真，0表示假；不过，通过TxENABLE反相位可以使引脚具有反向逻辑特性。当TxENABLE为真时，在预期的PDCLK沿上将数据锁存在器件中(基于PDCLK反相位)。当TxENABLE为假时，即使PDCLK能够继续运行，器件也会忽略向该端口提供的数据。另外，当TxENABLE引脚保持假时，器件会在内部清除16位数据字，或者保留数据端口在TxENABLE切换到逻辑假状态前的最后的值。(取决于数据汇编器如何保留最后的数值位的设置情况)。

或者，如果不将TxENABLE引脚作为控制门，也可以通过以并行端口数据速率运行的时钟信号驱动TxENABLE。由时钟信号驱动时，由假到真的状态转换必须满足每个周期建立和保持时间要求，确保正常工作。TxENABLE和PDCLK时序参见图26。

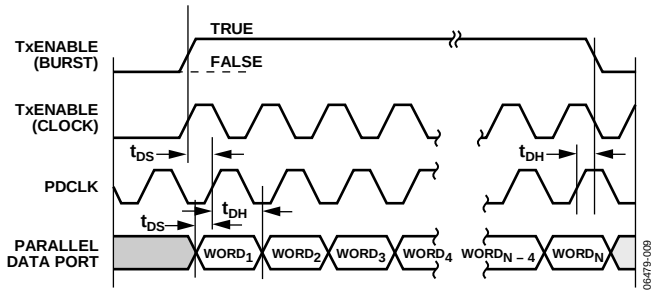


图26. PDCLK和TxENABLE时序图

模式优先级

三种不同的调制模式都能生成DDS信号控制参数：频率、相位和/或幅度。另外，OSK功能可以生成DDS振幅数据控制参数。使用合适的控制位通过串行I/O端口可以独立调用上述任一种功能。

独立激活这些功能可以实现多种数据源共存，驱动同一DDS信号控制参数的目的。为避免冲突，AD9910集成了一套优先级控制系统。表5给出了每种DDS信号控制参数的优先级。表5中的行表示某种DDS信号控制参数的数据源，按降序排列优先级。例如，如果RAM和并行数据端口同时使能，两种模式均编程产生频率控制参数，那么DDS频率参数应由RAM驱动，而不是并行数据端口。

表5. 数据源优先级

	DDS信号控制参数					
	频率		相位		振幅	
优先级	数据源	条件	数据源	条件	数据源	条件
最高优先级	RAM	RAM使能，数据目的为频率	RAM	RAM使能，数据目的为相位或极性	OSK发生器	OSK使能(自动模式)
	DRG	DRG使能，数据目的为频率	DRG	DRG使能，数据目的为相位	ASF寄存器	OSK使能(手动模式)
	并行数据端口和FTW寄存器	并行数据端口使能，数据目的为频率	并行数据端口	并行数据端口使能，数据目的为相位	RAM	RAM使能，数据目的为振幅或极性
	FTW寄存器	RAM使能，数据目的为相位、振幅或极性	并行数据端口链接POW寄存器LSB	并行数据端口使能，数据目的为极性	DRG	DRG使能，数据目的为振幅
	有效FTW单频profile寄存器	DRG使能，数据目的为相位或幅度	POW寄存器	RAM使能，数据目的为频率或幅度	并行数据端口	并行数据端口使能，数据目的为幅度
	有效FTW单频profile寄存器	并行数据端口使能，数据目的为相位、幅度或极性	有效POW单频profile寄存器	DRG使能，数据目的为频率或幅度	并行数据端口链接ASF寄存器LSB	并行数据端口使能，数据目的为极性
	有效FTW单频profile寄存器	无	有效POW单频profile寄存器	并行数据端口使能，数据目的为频率或幅度	有效ASF单频profile寄存器	振幅范围由单频profile 位组(CFR 2[24])控制
最低优先级			有效POW单频profile寄存器	无	无振幅范围	无

功能框图详解

DDS内核

直接数字频率合成器(DDS)模块产生参考信号(正弦或余弦取决于选择DDS正弦输出位CFR1[16])。 参考信号的参数(频率、相位和振幅)由DDS频率、相位偏移和振幅控制输入信号决定，如图27所示。

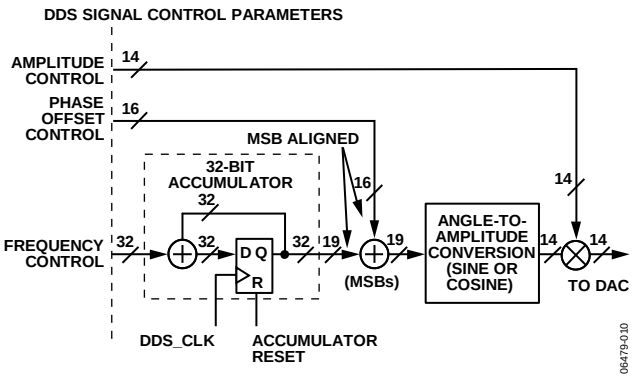


图27. DDS功能框图

AD9910的输出频率(f_{OUT})由DDS频率控制输入的频率调谐字(FTW)控制。f_{OUT}、FTW和f_{SYSCLK}之间的关系可由以下公式表示：

$$f_{OUT} = \left(\frac{FTW}{2^{32}}\right) f_{SYSCLK} \quad (1)$$

其中：FTW是介于0至2,147,483,647 (2^{31} − 1)之间的32位整数，表示完整32位变量的低半部。此范围包括从dc至奈奎斯特频率(½ f_{SYSCLK})内的所有频率。

对于给定想要的f_{OUT}值，可通过公式1求出FTW，如公式2所示：

$$FTW = \text{round}\left(2^{32}\left(\frac{f_{OUT}}{f_{SYSCLK}}\right)\right) \quad (2)$$

其中：函数round(x)将自变量(x的值)四舍五入为最接近的整数。这是因为FTW必须为一个整数值。例如，如果f_{OUT} = 41 MHz，f_{SYSCLK} = 122.88 MHz，那么FTW = 1,433,053,867 (0x556AAAAB)。

如果FTW大于2^{31}，编程后会在输出频率中产生混叠镜像，即：

$$f_{OUT} = \left(1 - \frac{FTW}{2^{32}}\right) f_{SYSCLK} \quad (\text{FTW} \geq 2^{31})$$

DDS信号的相对相位通过16位的相位偏移字(POW)来控制。相位偏移在DDS内核角度幅度转换模块之前产生。相对相位偏移(Δθ)可由以下公式计算：

$$\Delta\theta = \begin{vmatrix} 2\pi\left(\frac{POW}{2^{16}}\right) \\ 360\left(\frac{POW}{2^{16}}\right) \end{vmatrix}$$

其中：上部相位偏移值的单位是弧度，下部单位是度数。对于任意给定的Δθ，可利用上述公式求出POW，再将结果四舍五入即可(方法与计算任意FTW类似)。

DDS信号的相对幅度范围(相对于满量程)可由14位幅度比例因子(ASF)进行数字化控制。幅度范围值在DDS内核角度幅度转换模块输出时产生。幅度范围的计算公式为：

$$Amplitude\ Scale = \begin{vmatrix} \frac{ASF}{2^{14}} \\ 20\log\left(\frac{ASF}{2^{14}}\right) \end{vmatrix} \quad (3)$$

其中：上部幅度值以满量程分数表示，下部值以dB表示所占满量程的比重。对于给定比例因子，可利用公式3求出ASF，将结果四舍五入即可(方法与计算任意FTW类似)。

AD9910编程调制任意DDS信号控制参数时，最大调制采样速率为¼ f_{SYSCLK}。也就是说调制信号产生的图像只有¼ f_{SYSCLK}的倍频。使用本器件作为调制器时必须考虑这些镜像产生的影响。

14位DAC输出

AD9910内置一个14位电流输出DAC。利用两路输出保证输出电流信号的平衡。平衡输出能够降低DAC输出时潜在的共模噪声，提供更出色的信噪比。在DAC_RSET和AGND引脚之间连接一个外部电阻(R_{SET})建立参考电流。DAC满量程输出电流(I_{OUT})为参考电流的一部分(参见“辅助DAC”部分)。推荐使用10 kΩ外部电阻器(R_{SET})。

应注意负载端接电阻的大小，保证输出电压处于顺从电压规定的范围内；电压超限容易产生过多失真，造成DAC输出电路损坏。

辅助DAC

主DAC满量程输出电流(I_{OUT})由8位辅助DAC控制。保存在相应寄存器映射图中的8位码字会根据以下公式计算I_{OUT}：

$$I_{OUT} = \frac{86.4}{R_{SET}}\left(1+\frac{CODE}{96}\right)$$

其中：R_{SET}是电阻器R_{SET}的阻值(单位：Ω)；CODE是向辅助DAC发送的8位数值(默认值是127)。例如：R_{SET} = 10,000Ω，CODE = 127，则I_{OUT} = 20.07 mA。

反Sinc滤波器

被采样的载波数据流是AD9910内置数模转换器(DAC)的输入信号。由于DAC输出信号固有的零阶保持效应，DAC的输出频谱会被sin(x)/x(或Sinc)包络整形。由于其波形我们很了解，所以可以对Sinc包络进行补偿。此包络恢复功能由DAC模块前的反Sinc滤波器实现。反Sinc滤波器的作用相当于数字FIR滤波器。其响应特性非常接近反Sinc包络。反Sinc滤波器的响应参见图28(与Sinc包络对比)。

反向Sinc滤波器由CFR1[22]使能。滤波器抽头系数见表6。滤波器通过改变输入DAC的数据，确保对Sinc包络进行补偿，以避免频谱失真。

反Sinc滤波器使能后，会产生~3.0 dB插入损耗。对于不超过40% DAC采样速率的输出频率，反Sinc波补偿有效。

表6. 反Sinc滤波器抽头系数

抽头号	抽头值
1, 7	−35
2, 6	+134
3, 5	−562
4	+6729

在图28中，Sinc包络产生了一个与频率有关的衰减，在奈奎斯特频率点(DAC采样速率的1/2)上最大可达4 dB。如果没有反Sinc滤波器，DAC输出会受到Sinc包络频率衰减影响。反Sinc滤波器可以有效将衰减控制在±0.05 dB范围内。图29为采用反Sinc滤波器后的修正Sinc响应。

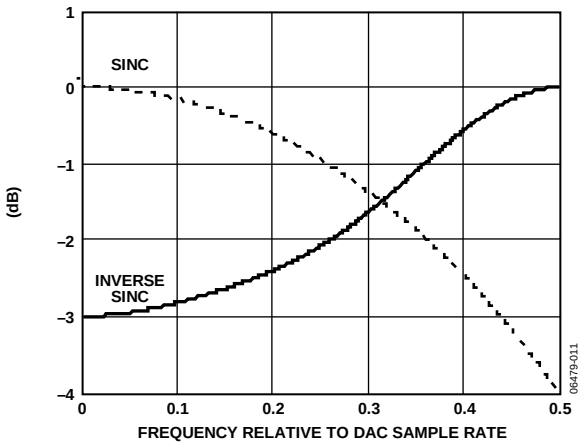


图28. Sinc和反Sinc响应

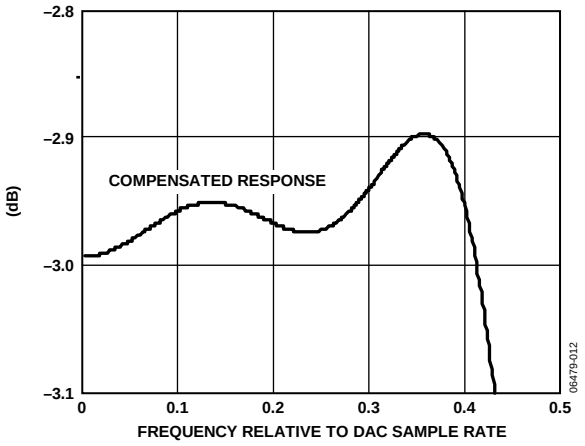


图29.带反Sinc补偿的DAC响应

时钟输入(REF_CLK/$\overline{\text{REF_CLK}}$)

REF_CLK/$\overline{\text{REF_CLK}}$概述

通过REF_CLK/$\overline{\text{REF_CLK}}$输入引脚，AD9910提供多种产生内部SYSCLK信号(DAC采样时钟)的方法。 REF_CLK输入可以直接由差分或单端信号源驱动，或者由连接两个输入引脚的晶振驱动。另外，内部锁相环(PLL)乘法器可以单独使能。REF_CLK功能框图见图30。各种输入配置由XTAL_SEL引脚和CFR3寄存器的控制位控制。图30还显示了CFR3控制位与具体功能模块之间的关系。

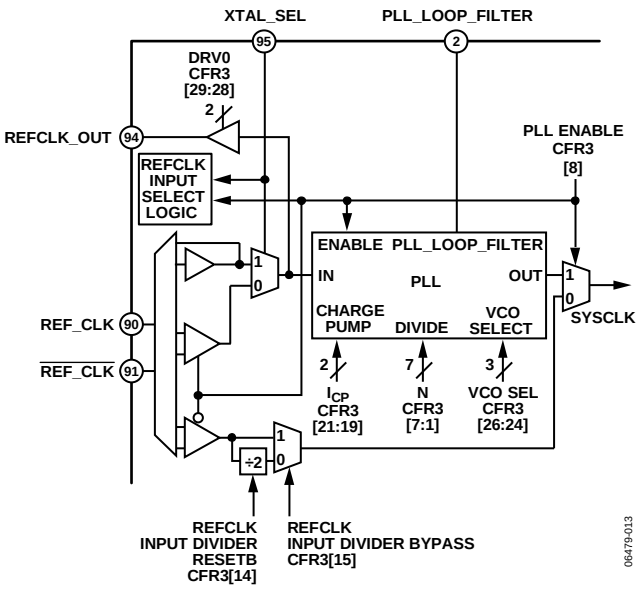


图30. REF_CLK功能框图

PLL使能位可用于选择PLL路径或直接输入路径。选择直接输入路径时，REF_CLK/$\overline{\text{REF_CLK}}$引脚必须由外部信号源驱动(单端或差分)。最大输入频率可达2 GHz。对于大于1 GHz的输入频率，必须启用输入分频器，才能保证器件正常工作。

PLL使能后，REFCLK_OUT引脚有缓冲时钟信号输出。该时钟信号与REF_CLK输入信号频率相同。这一点在使用晶振时特别有用，可以为用户复制出晶振时钟信号，驱动其他外部器件。REFCLK_OUT具有可编程驱动能力。该能力由两个位控制，参见表7。

表7. REFCLK_OUT缓冲控制

DRV0 位 (CFR3[29:28])	REFCLK_OUT 缓冲
00	禁用(三态)
01	低输出电流
10	中输出电流
11	高输出电流

晶体驱动REF_CLK/$\overline{\text{REF_CLK}}$

使用晶体作为REF_CLK/$\overline{\text{REF_CLK}}$输入时，谐振频率大约为25 MHz。图31给出了推荐的电路配置。内部振荡器只支持基模晶体。晶体工作由XTAL_SEL引脚逻辑1(需要1.8 V逻辑电平)控制。

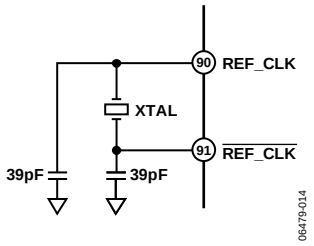


图31. 晶体连接图

直接驱动REF_CLK/$\overline{\text{REF_CLK}}$

通过信号源直接驱动REF_CLK/$\overline{\text{REF_CLK}}$输入时，可以采用单端信号或者差分信号。对于差分信号源，REF_CLK/$\overline{\text{REF_CLK}}$引脚由互补信号驱动，同时通过0.1 μF电容交流耦合。对于单端信号源，可以采用单端至差分转换，也可以由单端信号直接驱动REF_CLK输入。无论是哪一种情况，都要用0.1 μF电容与两个REF_CLK/$\overline{\text{REF_CLK}}$引脚进行交流耦合，以免干扰内部~1.35 V的直流偏置电压。详情请参见图32。

REF_CLK/$\overline{\text{REF_CLK}}$的输入电阻为~2.5 kΩ(差分)或~1.2 kΩ(单端)。大多数信号源输出阻抗相对较小。REF_CLK/$\overline{\text{REF_CLK}}$输入电阻相对较高，因此，它对端接阻抗的影响可以忽略；所以，端接电阻通常可以按照信号源的输出阻抗来选择。图32中的下面两个例子假定信号源输出阻抗为50 Ω。

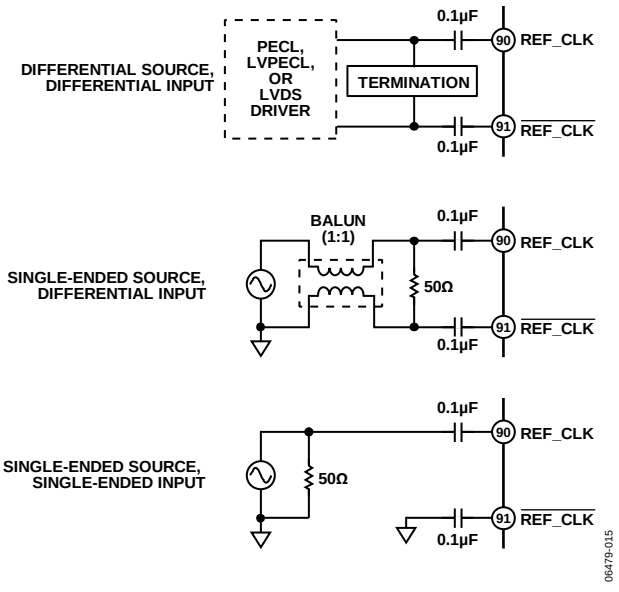


图32. 直接连接图

锁相环(PLL)倍频器

内部锁相环(PLL)可以使用远远小于系统时钟频率的参考时钟频率。PLL支持的非常宽的可编程倍频系数(12×至127×)、可编程电荷泵电流以及外部环路滤波器元件(通过PLL_LOOP_FILTER引脚连接)。这些功能提高了PLL的灵活性，可以优化相位噪声性能，增强频率规划的灵活性。PLL还提供一个PLL_LOCK引脚。

通过内部VCO，PLL输出频率范围(f_{SYSCLK})限定在420 MHz至1 GHz之间。另外，用户必须对VCO进行编程，在六个工作频率范围中选择一个，让f_{SYSCLK}落在该范围。图33和34列出了VCO的范围。

图33给出所有现有器件在全温度和电源电压范围内允许的VCO频率上下限值。也就是说，从现有器件中随机选取的多个器件在各种不同条件下运行需要使用不同的值对CFR3[26:24]编程，以达到在相同频率运行的目的。例如，随机选取的器件A在−10°C环境温度下运行，系统时钟频率为900 MHz，则需要将CFR3[26:24]设为100b；随机选取的器件B在90°C环境温度下运行，系统时钟频率为900 MHz，则需要将CFR3[26:24]设为101b。如果对于所选的频率规划，系统时钟频率工作在一组频率范围内(如图33所示)，则不同器件之间设定的CFR3[26:24]值相同。

图34给出单个现有器件在全温度和电源电压范围内允许的VCO频率上下限值。图34显示出在各种条件下，单个器件的VCO频率范围会始终重叠。

如果用户想将CFR3[26:24]设为单一默认值，所选择的频率应该落在图33中的某个频率范围。另外，对于任意给定的单个器件，VCO范围重叠，表示该器件在所有工作条件下的全部VCO频率范围内都不会出现频率间隙。

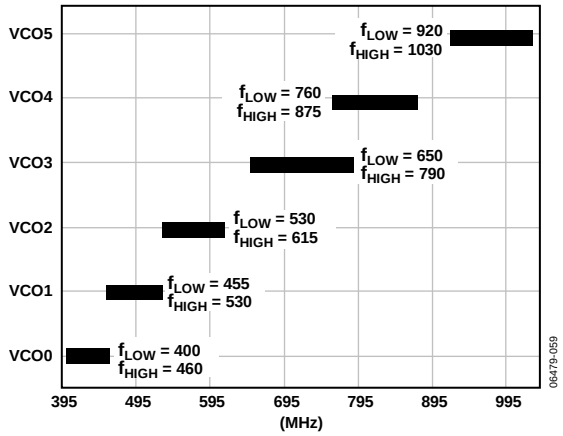


图33. VCO范围，包括典型的晶圆工艺偏斜

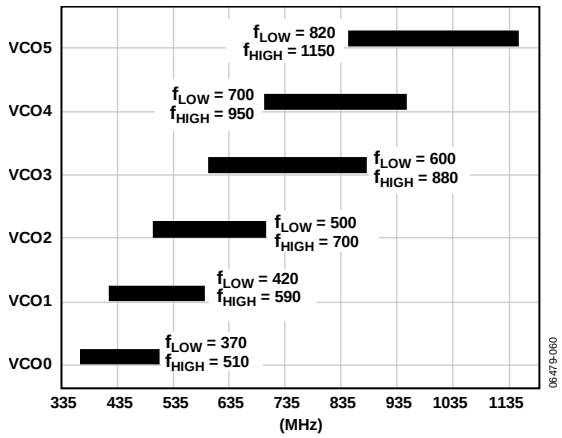


图34. 典型的VCO范围

表8. VCO频率范围位设置

VCO选择位(CFR3[26:24])	VCO范围
000	VCO0
001	VCO1
010	VCO2
011	VCO3
100	VCO4
101	VCO5
110	PLL被旁路
111	PLL被旁路

PLL电荷泵

电荷泵电流(I_{CP})可以编程控制，为用户优化PLL性能提供了更大的灵活性。表9列出了位设置和标称电荷泵电流之间的关系。

表9. PLL电荷泵电流

I_{CP}设置位(CFR3[21:19])	电荷泵电流，I_{CP} (μA)
000	212
001	237
010	262
011	287
100	312
101	337
110	363
111	387

外部PLL环路滤波器元件

PLL_LOOP_FILTER引脚提供了外部环路滤波器元件连接接口。通过使用定制环路滤波器元件，用户可以更加灵活地优化PLL性能。图35给出了PLL和外部环路滤波器元件连接形式。

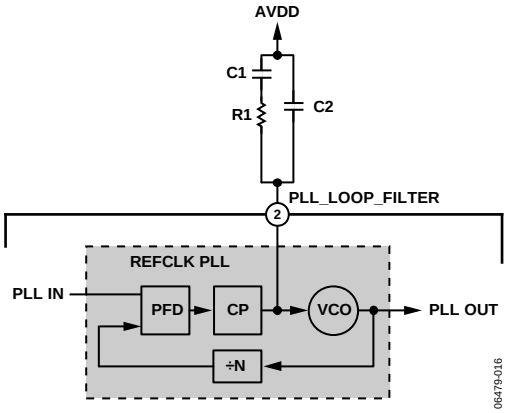


图35. REFCLK PLL外部环路滤波器

在主流技术资料中，这种配置可以获得一个三阶II型PLL。要计算滤波器元件参数值，首先要知道反馈分频系数(N)、鉴相器增益(K_D)以及VCO增益(K_V)(K_V可以根据VCO选择位设置在表1中查找)。环路滤波器元件值取决于目标开环带宽(f_{OL})和相位余量(φ)，计算公式如下：

$$R1 = \frac{\pi N f_{OL}}{K_D K_V}\left(1 + \frac{1}{\sin(\varphi)}\right) \quad (4)$$

$$C1 = \frac{K_D K_V \tan(\varphi)}{2N(\pi f_{OL})^2} \quad (5)$$

$$C2 = \frac{K_D K_V}{N(2\pi f_{OL})^2}\left(\frac{1-\sin(\varphi)}{\cos(\varphi)}\right) \quad (6)$$

其中：

K_D等于I_{CP}编程值。

K_V通过表1查找。

确保公式4至6的变量使用恰当的单位：I_{CP}单位必须是安培，不能是表9中出现的微安(uA)；K_V必须为赫兹/伏(Hz/V)，不能是表1中的兆赫/伏(MHz/V)；环路带宽(f_{OL})单位必须赫兹(Hz)；相位余量单位必须为弧度(φ)。

例如，假定PLL编程设置是：I_{CP} = 287 µA，K_V = 625 MHz/V，N = 25；如果想要的环路带宽和相位余量分别是50 kHz和45°，那么环路滤波器元件值分别是：R1 = 52.85 Ω，C1 = 145.4 nF，C2 = 30.11 nF。

PLL锁定指示

使用PLL时，PLL_LOCK引脚以有效高电平表示PLL已锁定REFCLK输入信号。注意PLL_LOCK引脚为锁存输出。PLL被旁路后，该引脚会保持逻辑1。设置PFD复位位，可以将PLL_LOCK引脚清零。正常操作时，PFD复位位必须清0。

输出振幅键控(OSK)

OSK功能(参见图36)允许用户控制DDS输出信号的振幅。该功能提供手动和自动两种控制方式。与任何其他向DDS发送编程振幅数据的模块相比，OSK模块产生的振幅数据优先级最高。因此，OSK数据源使能后，其控制权优先于所有其他振幅数据源。

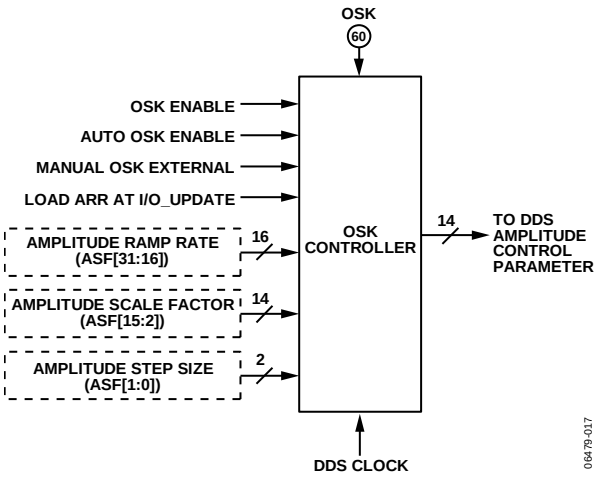


图36. OSK功能框图

OSK功能由两个CFR1寄存器位(OSK使能位和选择自动OSK位)、外部OSK引脚和ASF寄存器全部32位字管理。主要控制OSK模块的是OSK使能位。OSK功能禁用后，OSK输入控制会被忽略，内部时钟关闭。

OSK功能使能后，通过选择自动OSK位可以选择自动或手动操作模式。逻辑0表示手动模式(默认)。

手动OSK

在手动模式中，通过在ASF寄存器振幅比例因子部分连续写操作，使输出振幅发生改变。输出信号振幅变化速率受串行I/O端口速度限制。在手动模式中，OSK引脚功能取决于手动OSK外部控制位的状态。当OSK引脚为逻辑0时，输出振幅强制为0；否则，输出振幅会由振幅比例因子决定。

自动OSK

在自动模式中，OSK功能会自动生成根据时间呈线性变化的振幅曲线(也称为振幅斜坡)。振幅斜坡由三个参数控制：最大振幅比例因子、振幅步长以及步进时间间隔。振幅斜坡参数保存在32位ASF寄存器中，通过串行I/O端口编程控制。步进时间间隔由ASF寄存器中16位振幅斜坡率部分([31:16]位)设置。最大振幅比例因子由ASF寄存器中14位振幅比例因子部分([15:2]位)设置。振幅步长由ASF寄存器中2位振幅步长部分([1:0]位)设置。另外，斜坡方向(正/负斜率)由外部OSK引脚控制。

步进间隔则由以¼ f_{SYSCLK}运行的16位可编程定时器控制。利用定时器周期设置振幅步进时间间隔(Δt)，其计算公式为：

$$\Delta t = \frac{4M}{f_{SYSCLK}}$$

其中：M是保存在ASF寄存器振幅斜坡率(ARR)部分的16位数字。例如，如果f_{SYSCLK} = 750 MHz，M = 23218 (0x5AB2)，那么Δt ≈ 123.8293 μs。

OSK输出利用14位无符号数据总线控制DDS振幅参数(条件是OSK使能位已置1)。OSK引脚置1后，OSK输出值从零(0)开始，以编程的振幅步长递增，直至达到编程设定的最大振幅值。OSK引脚清0后，OSK由当前值开始输出，以编程振幅步长递减，直至到达零(0)结束。

如果在到达最大值前将OSK引脚切换为逻辑0，则OSK输出可以不用增加至最大振幅值。同样，如果在到达0值前将OSK引脚切换为逻辑1，OSK输出值也不一定降到零(0)。

一旦OSK使能位或选择自动OSK位清0后，上电或复位的OSK初始输出值都为零(0)。

OSK输出振幅步长由ASF寄存器中的振幅步长位设置，参见表10。步长指14位OSK输出值的LSB权重。无论编程步长如何，OSK输出都不会超过ASF寄存器中编程设定的最大振幅值。

表10. OSK振幅步长

振幅步长位(ASF[1:0])	振幅步长
00	1
01	2
10	4
11	8

正如前文所述，步进时间间隔由16位可编程定时器控制。通常，定时器超时后都会加载编程设定的时间值，开始新的计时周期。不过，在定时器超时前有三种情况会引起设定时间值重载。第一种情况是选择自动OSK位由0到1变化，随后出现I/O更新。第二种情况是OSK引脚状态发生改变。第三种情况取决于加载ARR @ I/O 更新位的状态。如果该位被清0，则不会发生定时器重载；否则，I/O_UPDATE引脚置1(或profile发生变化)时，定时器会重置为初始计时点。

数字斜坡发生器(DRG)

DRG概述

AD9910中集成了全数字式数字斜坡发生器，可以从编程设定的起点到终点扫描相位、频率和幅度。DRG要用到9个控制寄存器位，3个外部引脚、2个64位寄存器和一个32位寄存器(参见图37)。

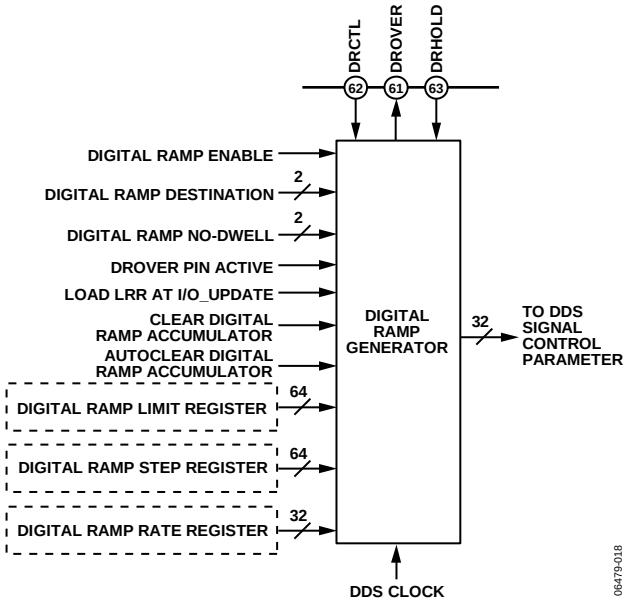


图37. 数字斜坡功能框图

控制DRG的主要是数字斜坡使能位。禁用该位后，DRG其他的输入控制会被忽略，内部时钟将关闭以节能。

DRG采用32位无符号数据总线输出，可以与DDS三种信号控制参数中的任意一种连接。DRG由控制功能寄存器2中的两个数字斜坡目的位控制，参见表11。根据目的位定义，32位输出总线可以与32位频率参数、16位相位参数以及14位幅度参数通过MSB对齐。如果目的位是相位或幅度，未使用的LSB会被忽略。

表11. 数字斜坡目的位控制

数字斜坡目的位 (CFR2[21:20])	DDS信号控制参数	DDS参数指定位
00	频率	31:0
01	相位	31:16
1x[1]	幅度	31:18

[1] x = 无关。

DRG的斜坡特性参数可完全编程。包括：斜坡上下限值、正/负斜率斜坡的步长和步率单独控制。DRG详细框图如图38所示。

斜坡方向由DRCTL引脚控制。此引脚上逻辑0可使DRG生成负斜率斜坡，逻辑1产生正斜率斜坡。

另外，DRG还支持由DRHOLD引脚控制的保持功能。当此引脚设为逻辑1时，DRG停留在最后的状态中；否则，DRG会正常工作。

非DRG目的位定义的DDS信号控制参数取自有效profile。

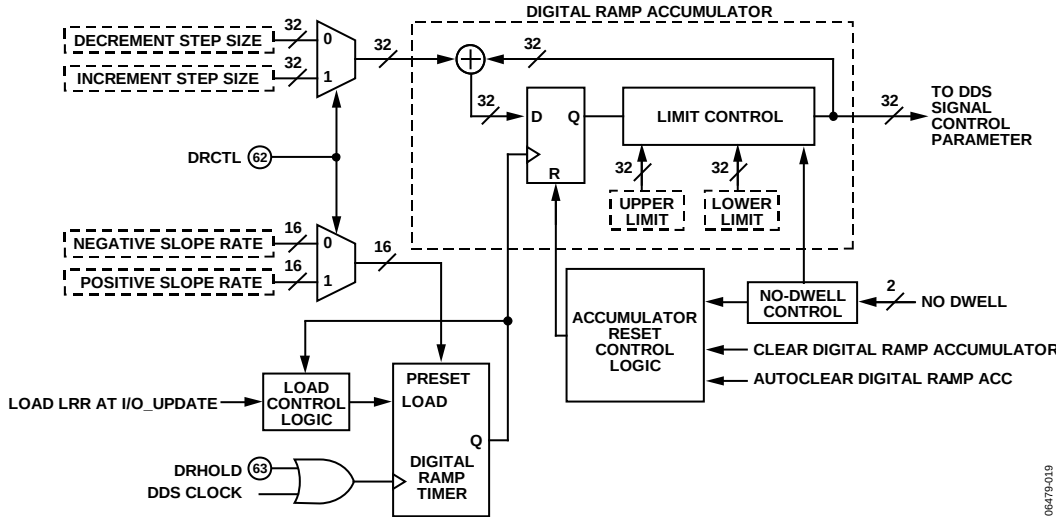


图38. 数字斜坡发生器详图

DRG斜率控制

DRG的内核是以可编程定时器为时钟的32位累加器。而定时器的时间参考是DDS时钟，工作在¼ f_{SYSCLK}频率。定时器用于建立累加器两个连续更新之间的时间间隔。正斜率步进间隔(+Δt)和负斜率步进间隔(−Δt)都能独立编程控制，计算公式为：

$$+\Delta t = \frac{4P}{f_{SYSCLK}}$$

$$-\Delta t = \frac{4N}{f_{SYSCLK}}$$

其中：P和N是保存在32位数字斜坡率寄存器中的两个16位数值，用于控制步进间隔。N指负斜率斜坡的步进间隔。

P指正斜率斜坡步进间隔。

正斜率斜坡步长($STEP_P$)和负斜率斜坡步长($STEP_N$)采用32位数值，由64位数字斜坡步长寄存器编程控制。每一步长的编程值是无符号整数(硬件会自动将$STEP_N$看作负值)。32位步长值和频率、相位以及振幅单位之间的关系取决于数字斜坡目的位。用$STEP_N$ 或$STEP_P$替换下列公式中的M，可以计算实际频率、相位和振幅步长：

$$\text{频率步长} = \left(\frac{M}{2^{32}}\right) f_{SYSCLK}$$

$$\text{相位步长} = \frac{\pi M}{2^{31}} \quad \text{（弧度）}$$

$$\text{相位步长} = \frac{45M}{2^{29}} \quad \text{（度数）}$$

$$\text{幅度步长} = \left(\frac{M}{2^{32}}\right) I_{FS}$$

注意频率单位与f_{SYSCLK}使用的单位保持一致(例如：MHz)。幅度单位与DAC满量程输出电流I_{FS}使用的单位保持一致(例如：mA)。

相位和幅度步长公式计算的结果是平均步长。虽然步长累加精度可达32位，相位和幅度分别只用到16位和14位。因此，实际相位和幅度步长会根据目的控制位将累加的32位值截取为16位和14位结果。

根据前文所述，步进间隔由16位可编程定时器控制。有三种情况会造成定时器超时前重载。第一种情况是数字斜坡使能位由0变为1，随后进行I/O更新。第二种情况是DRCTL引脚状态发生改变。第三种情况是加载LRR @ I/O更新位使能(参见“寄存器图和位功能描述”部分)。

DRG限值控制

斜坡累加器后设有限值控制逻辑，可以强制设定斜坡发生器输出信号的上下边界。在任何情况下，DRG使能后的输出信号都不会超过编程设定的限值。上下限值由64位数字斜坡限值寄存器控制。注意上限值要大于下限值，才能保证DRG正常运行。

DRG累加器清零

通过编程控制可以使斜坡累加器清0(即复位至0)。斜坡累加器清0后，会强制DRG按数字斜坡限值寄存器中编程设定的下限值输出。

通过将限值控制模块嵌入累加器反馈路径中，复位累加器即相当于将其预置为下限值。

正常斜坡发生

正常斜坡发生指两个非驻留位全部清0(详情请参见“非驻留斜坡发生”部分)。在图39中，给出了一个斜坡波形例子及其所需控制信号：最上面的图线为DRG输出；下一条图线是DROVER输出引脚状态(假定DROVER引脚有效位已置1)；其他的图线为控制位和控制引脚；另外，相关斜坡参数也予以了标注(上下限值、步长和正负斜率斜坡的Δt)。在图的底部，带圆圈数字标明了各种具体事件。不同数字编号表示的事件(事件1，等等)，将在下面的段落进行说明。

在本例中，为了显示DRG的灵活性，斜坡的正负斜率对是不同的。正负两种斜率参数可以编程为相同值。

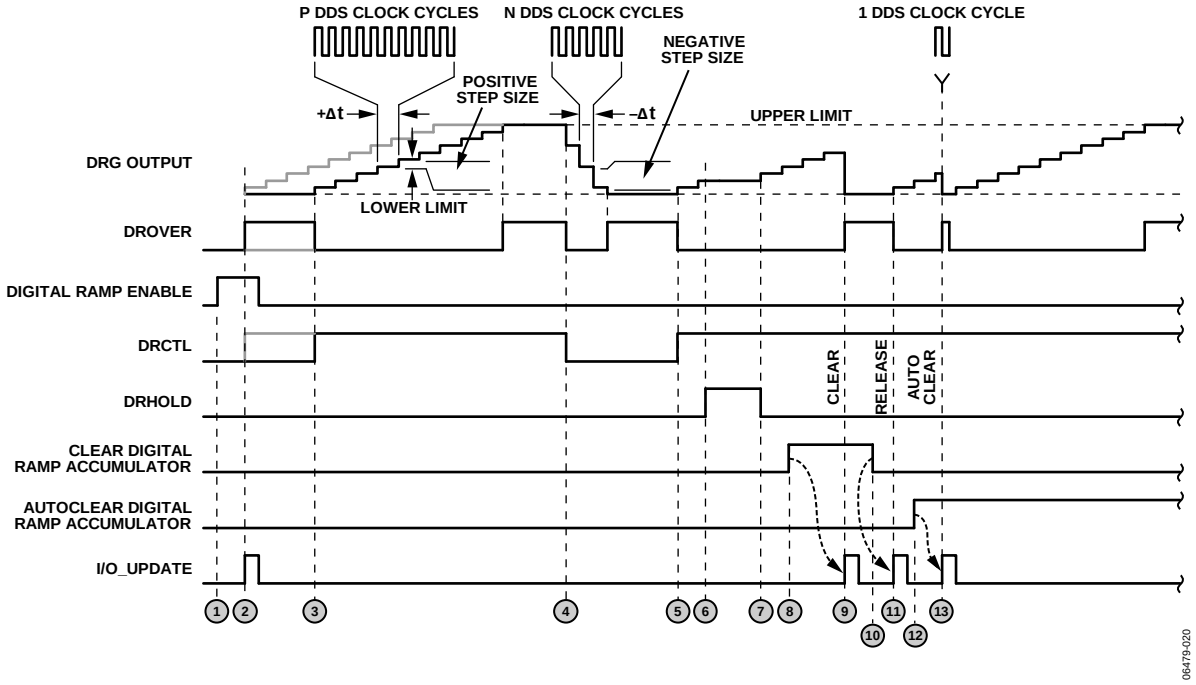


图39. 正常斜坡发生

事件 1—数字斜坡使能位置1，由于该位必须在一个I/O更新后才有效，因此不会影响DRG输出。

事件 2—I/O更新记录该使能位。如果此时DRCTL = 1有效(DRCTL图线灰色部分)，那么DRG输出会立即变成正斜率(DRG输出图线灰色部分)。否则，如果DRCTL = 0，DRG输出会被初始化为下限值。

事件 3—DRCTL引脚转换成逻辑1，启动DRG正斜率输出。在本例中，DRCTL引脚状态保持时间足够长，以使DRG达到其编程设定的上限值。在斜坡累加器清零，DRCTL = 0，或者重新将上限值编程设定为更高值之前，DRG始终保持上限值输出。对于最后一种情况，DRG会立即恢复之前的正斜率曲线。

事件 4—DRCTL引脚转换成逻辑0，启动DRG负斜率输出。在本例中，DRCTL引脚状态保持时间足够长，以使DRG达到其编程设定的下限值。在DRCTL = 1或者下限值重新编程获得更低值之前，DRG始终保持下限值输出。对于后一种情况，DRG会立即恢复之前的负斜率曲线。

事件 5—DRCTL引脚第二次转换成逻辑1，启动第二次正斜率输出。

事件 6—DRHOLD引脚转换为逻辑1，正斜率曲线输出中断。这使得斜坡累加器停止运算，并将DRG输出冻结在最后的输出值上。

事件 7—DRHOLD引脚转换为逻辑0，释放斜坡累加器，恢复之前的正斜率曲线输出。

事件 8—清除数字斜坡累加器位置1，由于该位必须在I/O更新触发后才有效，因此不会影响DRG输出。

事件 9—I/O更新记录了清除数字斜坡累加器位已置1，对斜坡累加器复位，强制将DRG输出限定为编程设定的下限值。在清除条件移除前，DRG输出始终保持下限值。

事件 10—清除数字斜坡累加器位已清0，由于该位必须在I/O更新触发后才有效，因此不会影响DRG输出。

事件 11—I/O更新记录了清除数字斜坡累加器位已清0，释放斜坡累加器，重新恢复之前的正斜率曲线。

事件 12—自动清除数字斜坡累加器位已置1，由于该位必须在I/O更新触发后才有效，因此不会影响DRG输出。

事件 13—I/O更新记录了自动清除数字斜坡累加器位已置1，重置斜坡累加器。注意，使用自动清除，斜坡累加器只在一个DDS时钟周期内保持重置状态。这将使DRG以下限值输出，但斜坡累加器会立即恢复正常运行。在本例中，DRCTL引脚保持逻辑1；因此，DRG输出重新恢复之前的正斜率曲线。

非驻留斜坡发生

控制功能寄存器2中的两个非驻留位增大了DRG的应用灵活性。在正常斜坡发生过程中，当DRG输出达到编程设定的上限值或下限值时，如果工作参数不发生变化，DRG会始终保持该限值输出。不过，在非驻留操作中，DRG输出不一定保持在上下限值。例如，设置数字斜坡非驻留高位，则当DRG达到上限值时，DRG会自动(立即)跳到下限值(这一过程并非以斜坡方式返回下限值，而是直接跳至下限值)。类似地，数字斜坡非驻留低位置1后，当DRG达到下限值时，DRG会自动(立即)跳到上限值。

在非驻留操作期间，仅监控DRCTL引脚的状态变化；也就是说，静态逻辑电平不会产生影响。

在非驻留高位操作期间，DRCTL引脚正向转换时，会启动正斜率斜坡，在达到上限值之前会始终以正斜率斜坡输出(不受任何DRCTL引脚活动影响)。

在非驻留低位操作期间，DRCTL引脚负向转换时，会启动负斜率斜坡，在达到下限值之前会始终以负斜率斜坡输出(不受任何DRCTL引脚活动影响)。

设置两个非驻留位会调用连续斜坡运行模式；也就是说，DRG通过编程斜率参数自动在两个限值之间振荡输出。另外，DRCTL引脚功能也略有不同。由原来控制斜坡序列初始化变成只改变斜坡方向；也就是说，当DRG输出处于正斜率斜坡中间时，DRCTL引脚从逻辑1变成逻辑0，那么DRG会立即切换成负斜率参数，恢复在两个限值之间振荡输出。类似地，如果DRG输出处于负斜率斜坡中间，DRCTL引脚由逻辑0变为逻辑1，那么DRG会立即切换成正斜率参数，恢复在两个限值之间振荡输出。

当两个非驻留位同时设置时，每次DRG输出达到编程设定的上限值或下限值后(假定DROVER引脚有效位已置1)，DROVER信号会产生一个正脉冲(两个DDS时钟周期)。

图40给出了非驻留高位DRG输出波形。该波形图假定数字斜坡非驻留高位已置1，并由I/O更新记录。另外，图中还给出DROVER引脚的状态(假定有效位已置1)。

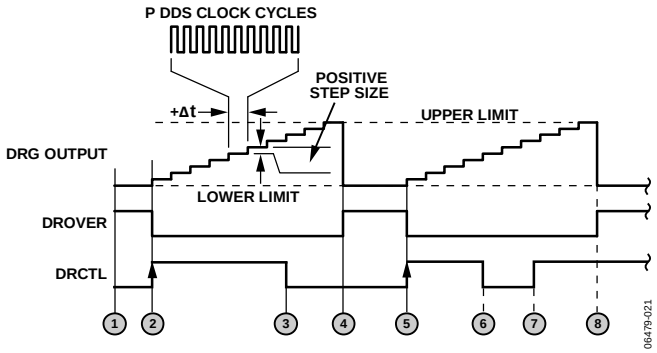


图40. 非驻留高位斜坡发生

图40中带圆圈数字表示不同事件，具体含义如下：

事件 1—表示I/O更新记录了已设置的数字斜坡使能位。

事件 2—DRCTL引脚转换成逻辑1，启动DRG正斜率输出。

事件 3—DRCTL引脚转换成逻辑0，不会影响DRG输出。

事件 4—由于数字斜坡非驻留高位已置1，当DRG输出达到上限值时，会立即切换到下限值，在DRCTL从逻辑0变成逻辑1之前，始终保持下限值输出。

事件 5—DRCTL由逻辑0转换成逻辑1，重新输出正斜率斜坡。

事件 6和事件 7—在DRG输出达到编程上限值之前，忽略DRCTL引脚逻辑变化。

事件8—由于数字斜坡非驻留高位已置1，当DRG输出达到上限值时，会立即切换到下限值，在DRCTL从逻辑0变成逻辑1之前，始终保持下限值输出。

数字斜坡非驻留低位与数字斜坡非驻留高位设置情况很相似，不同之外在于DRCTL引脚从逻辑1变成逻辑0时，DRG以负斜率斜坡输出，并在达到下限值时，立即切换到上限值。

DROVER引脚

DROVER引脚提供外部信号表示DRG状态。具体来看，当DRG输出处于上限值/下限值时，DROVER引脚为逻辑1；除此之外，都为逻辑0。对于两个非驻留位都设置的特殊情况，每次DRG输出达到编程设定的任意限值时，DROVER引脚产生一个正脉冲，脉冲宽度为两个DDS时钟周期会。

RAM控制

RAM概述

AD9910采用一个1024 × 32位RAM。RAM有两个基本工作模式：数据加载/读取模式和播放模式。当RAM数据通过串行I/O端口加载或读取时，数据加载/读取模式有效。当RAM将内容发送至某一个内部数据目的参数时，播放模式有效。

根据具体的播放模式，用户可以将RAM最多分成8个独立时域波形。这些波形驱动DDS信号控制参数，支持频率、相位、幅度或极性调制信号。

在控制功能寄存器1中设置RAM使能位可以使能RAM操作；要改变此使能位的状态需要I/O更新(或profile发生变化)。

波形由8个RAM profile控制寄存器生成，寄存器通过三个profile引脚控制。每个profile包含以下内容：

- 10位波形起始地址字
- 10位波形结束地址字
- 16位地址步率控制字
- 3位RAM模式控制字
- 非驻留高位
- 零交越位

用户必须确保结束地址大于起始地址。

每个profile都会定义给定波形的采样点数和采样速率。利用内部状态机，RAM内容会按规定的速率发送至相应的DDS信号控制参数。另外，状态机还能控制从RAM中取样的顺序(正向/反向)，以提高时间对称波形的发生效率。

RAM加载/读取操作

强烈建议执行RAM加载/读取操作时，将RAM使能位设为0。加载或读取RAM内容需要三个步骤：

1. 对RAM Profile 0至RAM Profile 7控制寄存器的起始和结束地址编程，定义每个独立波形的边界。
2. 对profile引脚施加合适的逻辑电平，选取目标RAM profile。
3. 按所选RAM profile控制寄存器向RAM(地址0x16)中写入(或从中读取)指定字数的RAM控制字(详见“串行编程”部分)。图41功能框图显示了RAM数据加载/读取操作所使用的功能元件。

在RAM加载/读取操作中，状态机会控制增/减计数器逐步达到目标RAM位置。计数器与串行I/O端口同步，以使32位控制字的串行/并行转换与相应的RAM地址发生按正确的时序对齐，执行所需的读/写操作。

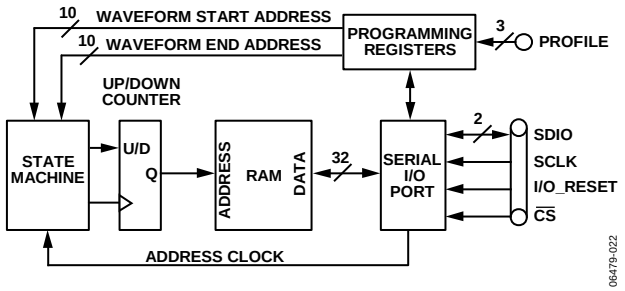


图41. RAM数据加载/读取操作

RAM profile相互之间完全独立，因此可以重叠定义地址范围。这样，最新写入操作的数据可把已经写入重叠地址位置的数据覆盖。

可以将多个波形视为单一波形载入RAM，也就是说，所有波形可以根据时域连接。方法是，对某一个RAM profile编程，设置其起始和结束地址，使其包含整个连接波形。之后通过串行I/O端口将起始和结束地址编程的该RAM profile的一个连接波形写入RAM。其余的RAM profile必须使用正确的起始和结束地址对每个单一波形编程。

RAM播放操作(波形发生)

对RAM加载目标波形数据后，即可在播放过程中生成波形。RAM播放操作需要将RAM使能位设为1。要播放RAM数据，使用PROFILE[2:0]引脚选取所需的波形。所选profile通过定义波形的RAM地址范围，从RAM中获取采样点的速率(播放速率)、操作模式以及是否使用非驻留功能，来控制内部状态机。图42功能框图显示了RAM播放操作所使用的功能元件。

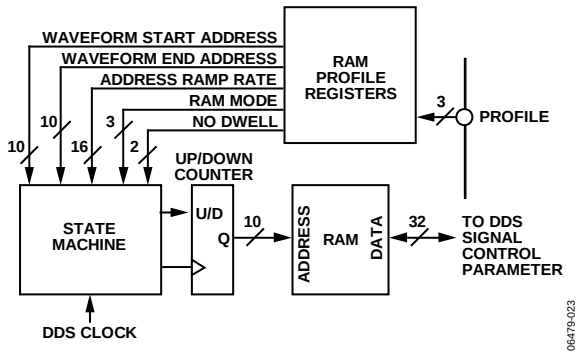


图42. RAM播放操作

回放期间，状态机用增/减计数器逐步达到指定的地址位置。此计数器的时钟速率定义了回放速率，即生成波形的采样速率。计数器的时钟由状态机内部的16位可编程定时器控制。该定时器则由DDS时钟控制，时间间隔通过保存在所选RAM profile寄存器中的16位地址的步进率设定。

地址步进率决定播放速率。例如，如果某一RAM profile的地址步进率16位值为M，那么通过以下公式可以计算得出回放速率：

$$回放速率 = \frac{f_{DDSCLOCK}}{M} = \frac{f_{SYSCLK}}{4M}$$

与回放速率有关的采样时间间隔(Δt)为：

$$\Delta t = \frac{1}{Playback\,Rate} = \frac{4M}{f_{SYSCLK}}$$

通过I/O端口执行的RAM数据输入/读取操作优先级高于回放操作。在回放模式中对RAM进行的I/O操作可以中断任何波形发生。

回放期间RAM输出的32位控制字将发送至相应的DDS信号控制参数，具体是哪个控制参数，由控制功能寄存器1中的两个RAM回放目的位来决定。32位控制字分类见表12。

表 12. RAM回放目的

RAM回放目的位 CFR1[30:29]	DDS信号控制参数	DDS参数指定位
00	频率	31:0
01	相位	31:16
10	幅度	31:18
11	极性(相位和幅度)	31:16 (相位) 15:2 (幅度)

如果目的是相位、幅度或极性，未使用的LSB会被忽略。

RAM_SWP_OVR(RAM扫描完成)引脚

RAM_SWP_OVR引脚提供高电平有效的信号，用来表示一个回放序列操作结束。此引脚操作随RAM工作模式变化而变化，详见以下章节。如果RAM使能位为0，此引脚强制为逻辑低电平。

RAM回放模式概述

RAM共有5种回放模式。

- 直接转换模式
- 上斜坡模式
- 双向斜坡模式
- 连续双向斜坡模式
- 连续循环模式

工作模式通过位于每个RAM profile寄存器中的3位RAM模式控制字选择。因此，RAM工作模式取决于profile。RAM profile模式控制字详见表13。

表 13. RAM工作模式

RAM Profile模式控制字	RAM工作模式
000, 101, 110, 111	直接转换模式
001	上斜坡模式
010	双向斜坡模式
011	连续双向斜坡模式
100	连续循环模式

RAM直接转换模式

在直接转换模式中，RAM不作为波形发生器使用。因此，使用PROFILE[2:0]引脚选择RAM profile后，只有单个32位字作为信号控制参数发送到DDS。这个32位的控制字保存在RAM中所选profile的10位波形起始地址处。

在直接转换模式中，RAM_SWP_OVR引脚始终为逻辑0，同时忽略非驻留高位。

直接转换模式最高可支持8级FSK、PSK或ASK调制；调制类型由RAM回放目的位(FSK频率等)控制。每个RAM profile都与具体的频率、相位和幅度有关。每个RAM profile中各唯一波形起始地址可由保存在相应RAM位置的32位控制字访问。从而实现profile引脚键控功能，按需要调制DDS输出。

注意只要使用三个profile引脚的其中一个在两个不同参数值之间切换即能实现两级调制。同样，要实现四级调制，只要使用三个profile引脚中的两个即可。具体使用哪个引脚没有限制。

零交越RAM直接转换模式

特殊的零交越(零交越位使能)功能只在RAM直接转换模式中使用。另外，只有在RAM回放目的位将相位指定为DDS信号控制参数后，才能使用零交越功能。

使能零交越功能可以延迟DDS新相位值，该延迟从DDS相位累加器从满量程变为零翻转(即DDS相位累加器相位角度由360°变为0°的转变点)。由于正弦波相位的零交越点与幅度的零交越点对应，因此这对DDS编程生成正弦波(使用选择DDS正弦输出位)非常有帮助。

对于二进制相移键控(BPSK)，零交越特性可以使AD9910实现BPSK 180°相位跳变，能够最大程度控制瞬时幅度变化，从而避免BPSK调制时经常出现的频谱散射。

虽然零交越特性目的是用于DDS正弦输出，它也可用于余弦输出。在这种情况下，当输出幅度达到正峰值时，从RAM中获得的相位值会保存在DDS中。

RAM上斜坡模式

在上斜坡模式中，当I/O更新置位或者profile变化时，RAM即作为波形发生器，使用所选RAM profile寄存器中的编程参数。利用所选RAM profile的波形起始地址、波形结束地址以及地址斜坡率值，在指定的地址范围里获取RAM数据。RAM数据根据RAM回放目的位发送至指定的DDS信号控制参数。

内部状态机将从波形起始地址开始从RAM获取所需数据，直到结束地址。到达结束地址后，根据非驻留高位定义情况，状态机可以保持波形结束地址，或者返回波形起始地址。之后状态机中止，RAM_SWP_OVR引脚变为高电平。

上斜坡时序图

图43显示了上斜坡运行模式，包含两种情况：正常和非驻留操作。

上面的两条轨迹表示从所选profile的起始地址到结束地址的RAM波形连续变化情况。状态机内部定时器每次溢出，地址值都会加1。定时器周期(Δt)由所选profile的地址斜坡率决定。上面两条轨迹的区别为非驻留置高位状态的不同。

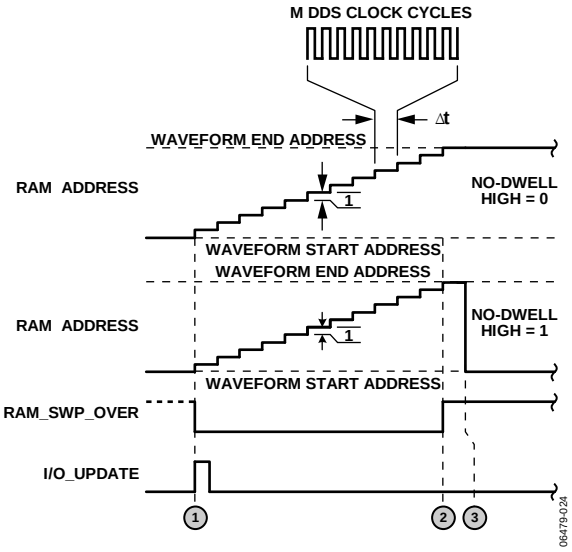


图43. 上斜坡时序图

图43中带圆圈数字表示不同事件，具体含义如下：

事件 1—I/O更新或者profile改变。此事件将状态机初始化至波形起始地址，并将RAM_SWP_OVR引脚设为逻辑0。

事件 2—状态机达到所选profile的波形结束地址值。RAM_SWP_OVR引脚切换到逻辑1，表示正常波形发生操作结束。

事件 3—状态机切换到波形起始地址，表示非驻留操作的波形发生操作结束。

更改profile将RAM_SWP_OVR引脚重置为逻辑0会自动中止当前波形发生，启动新选择的波形。

RAM上斜坡内部Profile控制模式

表14. RAM内部Profile控制模式

内部Profile控制位(CFR1[20:17])	波形类型	内部Profile控制描述
0000		内部profile控制禁用。
0001	突发	执行Profile 0，Profile 1，然后中止。
0010	突发	执行Profile 0至Profile 2，然后中止。
0011	突发	执行Profile 0至Profile 3，然后中止。
0100	突发	执行Profile 0至Profile 4，然后中止。
0101	突发	执行Profile 0至Profile 5，然后中止。
0110	突发	执行Profile 0至Profile 6，然后中止。
0111	突发	执行Profile 0至Profile 7，然后中止。
1000	连续	执行Profile 0，Profile 1，连续。
1001	连续	执行Profile 0至Profile 2，连续。
1010	连续	执行Profile 0至Profile 3，连续。
1011	连续	执行Profile 0至Profile 4，连续。
1100	连续	执行Profile 0至Profile 5，连续。
1101	连续	执行Profile 0至Profile 6，连续。
1110	连续	执行Profile 0至Profile 7，连续。
1111		无效。

上斜坡内部profile控制模式由四个内部profile控制位控制(不是RAM profile寄存器中的RAM profile模式控制位)。

如果任何内部profile控制位之一置1，则RAM profile寄存器中的RAM profile模式控制位会被忽略。此模式会忽略非驻留高位。内部profile控制模式与上斜坡模式类似，不同之处在于内部profile控制模式切换可以实现内部自动切换；忽略PROFILE[2:0]引脚状态。Profile周期参见表14。

内部profile控制有两种波形发生形式：突发波形和连续波形。对于这两种类型的波形，状态机都按Profile 0中规定的波形起始地址、波形结束地址和地址斜坡率操作。达到Profile 0中波形结束地址后，状态机自动进入下一个profile，再按新profile参数产生指定波形。当状态机达到新profile波形的结束地址时，继续进入下一个profile。此操作连续进行，直至状态机达到最后一个profile的波形结束地址，整个过程由控制功能寄存器1(CFR1)中的内部profile控制位管理，详见表14。

此时，是否进行下一周期动作取决于波形是突发还是连续。对于突发波形，状态机在到达最后一个profile波形结束地址后中止操作。对于连续波形，状态机自动跳至Profile 0，按profile顺序自动产生波形。通过内部profile控制位编程和I/O更新有效设置可以中止连续波形的发生。

突发波形时序图参见图44。该图假定CFR1寄存器中的内部profile控制位编程值为0010，RAM Profile 1 中的起始地址大于RAM Profile 0中的结束地址；RAM Profile 2中的起始地址大于RAM Profile 1中的结束地址。但是与每个profile有关的功能块可以根据每个profile的起始/结束地址任意选择。另外，该示例还显示每个profile可以使用不同的Δt值。

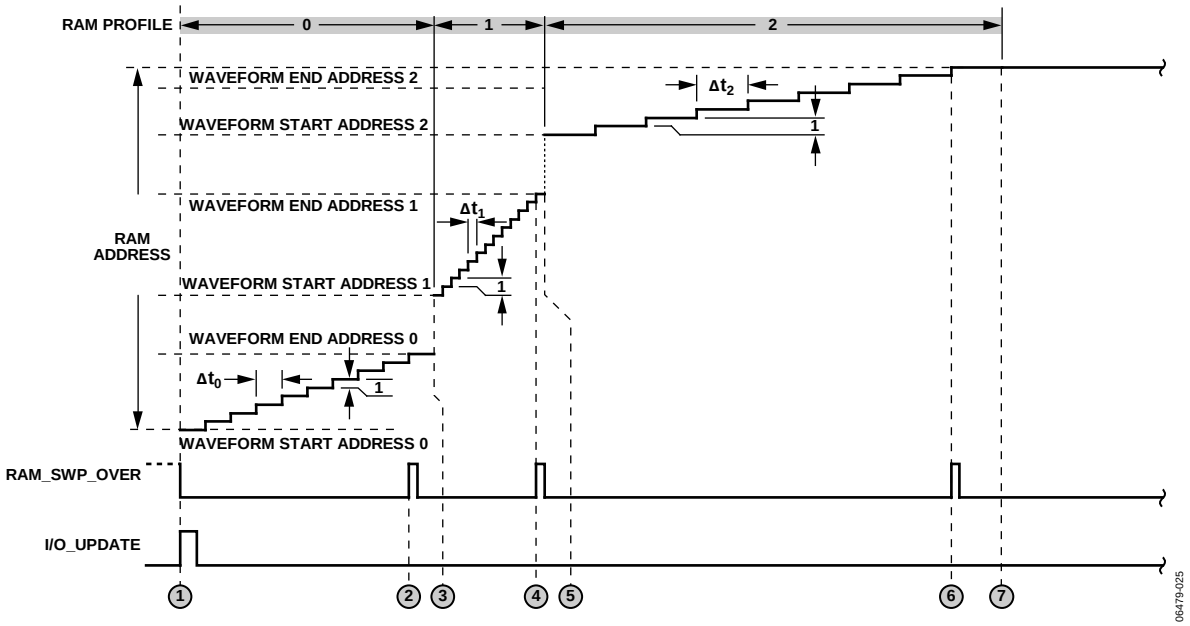


图44. 内部Profile控制时序图(突发波形)

横穿顶部的灰条表示指定profile控制的时间间隔。图中带圆圈的数字表示具体的事件：

事件 1—I/O更新寄存器将内部profile控制位保存为(在控制功能寄存器1)0010。RAM_SWP_OVR引脚设为逻辑0。状态机初始化为RAM Profile 0的波形起始地址，并在RAM Profile 0设定的整个地址范围上按Δt0间隔(由RAM Profile 0的地址斜坡率确定)开始递增。

事件 2—状态机到达RAM Profile 0的波形结束地址，RAM_SWP_OVR引脚产生两个DDS时钟周期的正脉冲。

事件 3—到达RAM Profile 0的波形结束地址后，内部定时器下一次溢出会使状态机进入RAM Profile 1。状态机初始化为RAM Profile 1的波形起始地址，并在RAM Profile 1设定的整个地址范围上按Δt1间隔开始递增。

事件 4—状态机到达RAM Profile 1的波形结束地址，RAM_SWP_OVR引脚产生两个DDS时钟周期的正脉冲。

事件 5—到达RAM Profile 1的波形结束地址后，内部定时器下一次溢出会使状态机进入RAM Profile 2。状态机初始化为RAM Profile 2的波形起始地址，并在RAM Profile 2设定的整个地址范围上按Δt_2间隔开始递增。

事件 6—状态机到达RAM Profile 2的波形结束地址，RAM_SWP_OVR引脚产生两个DDS时钟周期的正脉冲。

事件 7—到达RAM Profile 2波形结束地址后，内部定时器下一次溢出会使状态机中止，标志整个突发脉冲波形生成

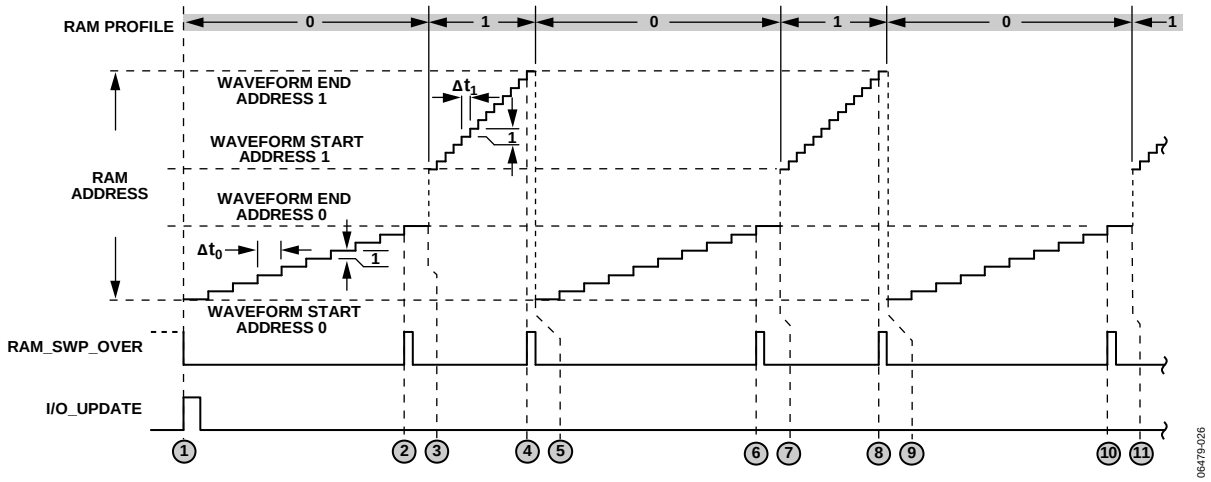


图45. 内部Profile控制时序图(连续波形)

内部Profile控制连续波形时序图

图45给出了内部profile控制的连续波形时序图。该图假定内部profile控制位(在控制功能寄存器1中)编程为1000，同时假定RAM Profile 1中的起始地址大于RAM Profile 0中的结束地址。

横穿顶部的灰条条表示指定profile控制的时间间隔。图中带圈数字表示具体的事件。

事件1—I/O更新寄存器将内部profile控制位保存为(在控制功能寄存器1)1000。RAM_SWP_OVR引脚设为逻辑0。状态机初始化为RAM Profile 0的波形起始地址，并在RAM Profile 0的整个地址范围上按Δt_0间隔(由RAM Profile 0的地址斜坡率确定)开始递增。

事件2—状态机到达RAM Profile 0的波形结束地址，RAM_SWP_OVR引脚产生两个DDS时钟周期的正脉冲。

事件3—到达RAM Profile 0的波形结束地址后，内部定时器下一次溢出会使状态机进入RAM Profile 1。状态机初始化为RAM Profile 1的波形起始地址，并在RAM Profile 1设定的整个地址范围上按Δt_1间隔开始递增。

事件4—状态机到达RAM Profile 1的波形结束地址，RAM_SWP_OVR引脚产生两个DDS时钟周期的正脉冲。

事件5—到达RAM Profile 1的波形结束地址后，内部定时器下一次溢出会使状态机跳回RAM Profile 0。状态机初始化为RAM Profile 0的波形起始地址，并在RAM Profile 0设定的整个地址范围上按Δt_0间隔开始递增。

事件5至事件11—这些事件会无限期重复，除非内部profile控制位重新编程，I/O更新置位，。

RAM双向斜坡模式

在双向斜坡模式中，I/O更新置位后，RAM只使用RAM Profile 0中的已编程参数产生波形(不同于上斜坡模式使用全部8个profile)。利用所选RAM profile的波形起始地址、波形结束地址以及地址斜坡率值，在指定的地址范围上获取RAM数据。数据根据RAM回放目的位发送至指定的DDS信号控制参数。

在此模式中，PROFILE[2:1]引脚状态可由内部逻辑忽略。选择运行此模式的编程RAM profile后，在RAM profile重新编程采用其他RAM操作模式前，将无法选择其他RAM profile。此模式会忽略非驻留高位。

通过I/O更新或改变profile激活双向斜坡模式时，内部状态机即可以从波形起始地址开始获得RAM数据。当PROFILE0为逻辑1时开始获取数据，指示状态机在整个地址范围上开始递增。只要PROFILE0引脚保持Logic 1，状态机会在到达波形结束地址前始终从RAM获取数据。到达结束地址后，状态机动作中止，如果ROFILE0引脚变为逻辑0，则状态机在整个地址范围上开始递减。只要PROFILE0引脚保持逻辑0，状态机会在到达波形起始地址前始终从RAM获取数据。到达起始地址后，状态机动作中止。

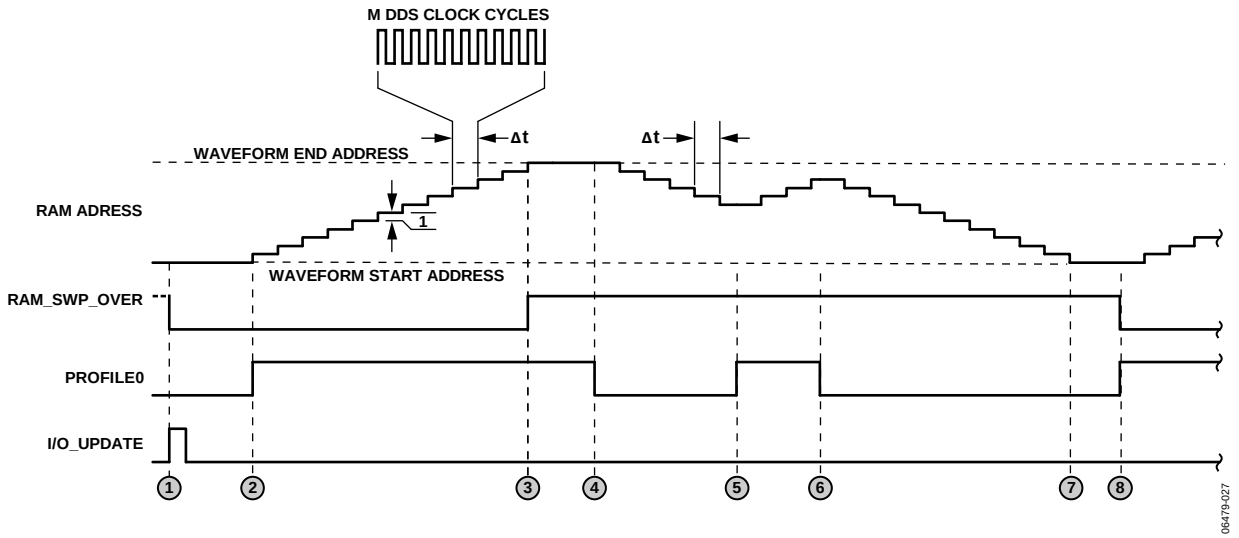


图46. 双向斜坡时序图

如果PROFILE0引脚在状态机到达编程设定的起始或结束地址前改变状态，内部定时器会重新启动，地址计数器开始反向计数。

图46显示了双向斜坡模式的情况。当PROFILE0引脚状态变化时，状态机作出相应的动作响应，同时给出了RAM_SWP_OVR引脚的状态变化。

当状态机到达波形结束地址时，RAM_SWP_OVR引脚切换到逻辑1。在状态机到达波形起始地址并且PROFILE0引脚由逻辑0变成逻辑1之前，RAM_SWP_OVR引脚始终保持逻辑1。

图46中带圆圈数字表示不同事件，具体含义如下：

事件 1—I/O更新或改变profile可以激活RAM双向斜坡模式。状态机初始化为波形起始地址，RAM_SWP_OVR引脚设为逻辑0。

事件 2—引脚PROFILE0切换到逻辑1。状态机开始对RAM地址计数器递增计数。

事件 3—引脚PROFILE0始终保持逻辑1，直到状态机到达波形结束地址。RAM_ SWP_OVR引脚相应切换到逻辑1。

事件 4—引脚PROFILE0切换到逻辑0。状态机开始对RAM地址计数器递减计数。RAM_ SWP_OVR引脚保持逻辑1。

事件 5—引脚PROFILE0切换到逻辑1。状态机复位内部定时器，并使RAM地址计数器反向计数(即：开始递增)。由于尚未达到波形起始地址，RAM_SWP_OVR状态无变化。

事件 6—引脚PROFILE0切换到逻辑0。状态机复位内部定时器，并且也使RAM地址计数器反向计数。RAM_SWP_OVR状态无变化。

事件 7—引脚PROFILE0始终保持逻辑0，直到状态机到达波形起始地址。RAM_SWP_OVR状态无变化。

事件 8—PROFILE0切换到逻辑1。状态机复位内部定时器，并开始对RAM地址计数器递增计数。由于已经达到两个波形起始地址，RAM_SWP_OVR引脚切换为逻辑0，PROFILE0引脚由逻辑0变为逻辑1。

RAM连续双向斜坡模式

在连续双向斜坡模式中，当I/O更新置位或者profile变化时，RAM即作为波形发生器，使用PROFILEx引脚指定的RAM profile寄存器中的编程参数。利用所选RAM profile的波形起始地址、波形结束地址以及地址斜坡率值，在整个地址范围上获取RAM数据。数据根据RAM回放目的位发送至指定的DDS信号控制参数。此模式会忽略非驻留高位。

通过I/O更新或改变profile激活连续双向斜坡模式时，内部状态机开始从波形起始地址获取RAM数据，并递增地址计数器，直到内部状态机达到波形结束地址为止。此时，状态机会自动使地址计数器反向计数，从整个地址范围开始递减。无论达到哪一端地址，状态机都会使地址计数器反向计数；整个过程会无限期持续。

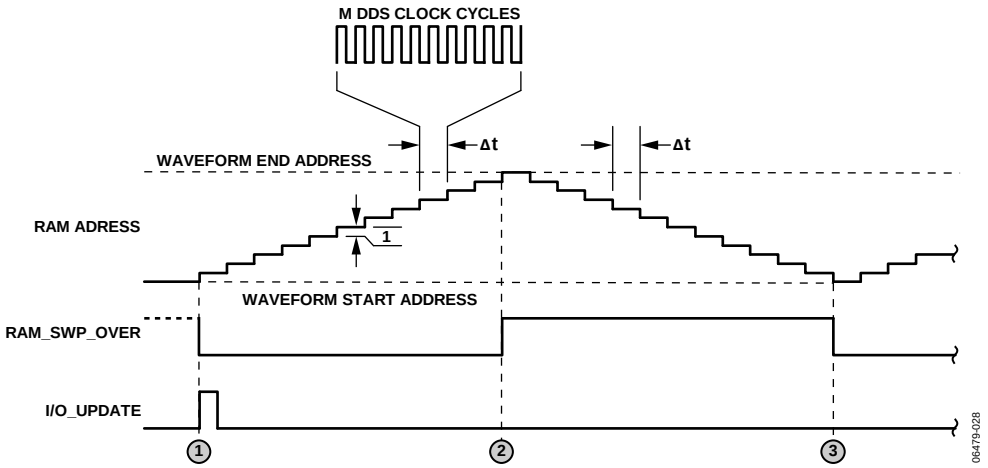


图47. 连续双向斜坡时序图

PROFILE引脚状态变化后会中止当前波形，用新选择的RAM profile产生新波形。

当状态机到达波形结束地址时，RAM_SWP_OVR引脚切换为逻辑1,随后在波形起始地址返回逻辑0，每次到达地址边界时都会切换一次逻辑状态。

图47给出了连续双向斜坡模式的示意图。图中带圈的数字表示具体的事件：

事件 1—I/O更新或profile改变激活RAM连续双向斜坡模式。状态机初始化到波形起始地址。RAM_SWP_OVR引脚复位到逻辑0。状态机在整个地址范围上开始递增。

事件 2—状态机到达波形结束地址。RAM_SWP_OVR引脚切换为逻辑1。

事件 3—状态机到达波形起始地址。RAM_SWP_OVR引脚切换为逻辑0。

在模式发生变化前，连续双向斜坡会无限期运行。

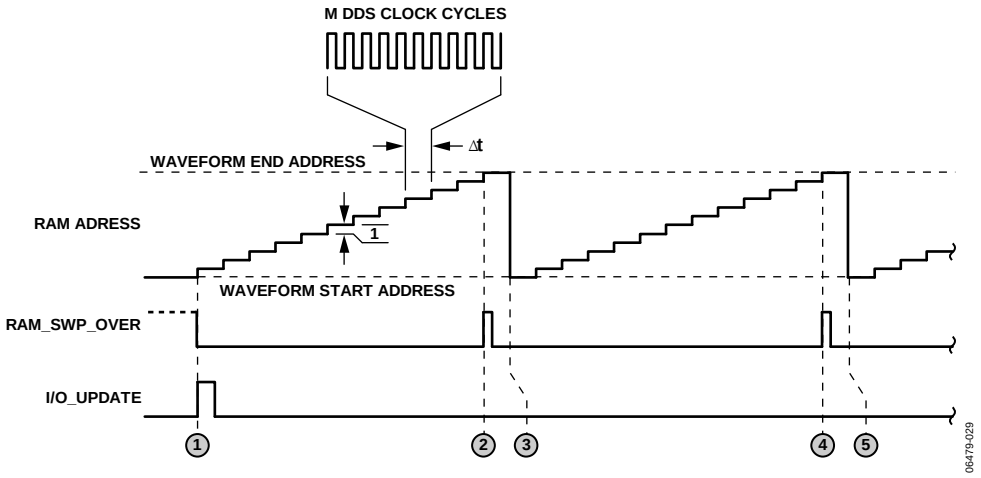


图48. 连续循环时序图

RAM连续循环模式

连续循环模式与上斜坡模式类似，不同之处在于当状态机到达波形结束地址时，内部定时器下一超时会使状态机跳至波形起始地址。在I/O更新或profile改变之前，会始终重复产生原有波形。

此模式会忽略非驻留高位。

Profile引脚状态改变会中止当前波形，用新选择的RAM profile产生新波形。

当状态机到达波形结束地址时，RAM_SWP_OVR引脚产生两个DDS时钟周期的高电平脉冲。

图48中带圆圈的数字表示具体的事件：

事件1—I/O更新或者profile改变。此事件将状态机初始化至波形起始地址，并将RAM_SWP_OVR引脚设为逻辑0。

事件2—状态机达到所选profile的波形结束地址值。RAM_SWP_OVR引脚切换为逻辑1，持续两个DDS时钟周期。

事件3—状态机切换到波形起始地址，继续对地址计数器递增计数。

事件4—状态机再次到达所选profile的波形结束地址，RAM_SWP_OVR引脚在两个DDS时钟周期后切换为逻辑1。

事件5—状态机切换到波形起始地址，继续对地址计数器递增计数。

事件4和事件5—在I/O更新或者profile改变前，这些事件会不断重复。

其他特性

PROFILE

AD9910支持各种profile功能，由一组包含与具体操作模式有关参数的8个寄存器组成。使用Profile可以在不同参数设置之间快速切换。Profile参数通过串行I/O端口编程。编程后，可由三个外部引脚(PROFILE[2:0])选择特定的profile。对profile控制引脚施加合适的逻辑电平可以激活特定的profile，详情请参见表15。

表 15. Profile控制引脚

PROFILE[2:0]	有效Profile
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

根据器件采用的不同操作模式，8个profile寄存器可以控制两组不同的参数集。当RAM使能位= 0，profile参数采用单音profile格式，详见“寄存器图和位功能描述”部分。当RAM使能位 = 1时，采用RAM profile格式。

对于profile的使用，可以基本的双频频移键控(FSK)为例。FSK使用串行比特流二进制数据从两种不同的频率进行选择：传号频率(逻辑1)和空号频率(逻辑0)。器件采用单音模式实现频移键控(FSK)。单音Profile 0寄存器使用合适的频率调谐字编程产生对应空号的频率。单音Profile 1寄存器使用合适的频率调谐字编程产生对应传号的频率。然后，PROFILE1和PROFILE2引脚连接逻辑0，PROFILE0引脚连接串行比特流。这样可以利用PROFILE0引脚的逻辑状态根据串行比特流二进制数据产生恰当的传号和空号频率。

Profile引脚必须满足SYNC_CLK上升沿的建立和保持时间要求。

I/O_UPDATE、SYNC_CLK和系统时钟关系

I/O_UPDATE引脚用于将串行I/O缓冲器中的数据传输到器件有效寄存器中。只存在缓冲器中的数据是无效的。

SYNC_CLK属于上升沿有效信号，由四分频电路对系统时钟分频后获得。使用SYNC_CLK输出，可以实现外部硬件与AD9910内部时钟同步。

I/O_UPDATE用于启动缓冲器数据转移，可以与SYNC_CLK同步或异步。如果满足信号间的建立时间要求，则DAC输出可以获得恒定的延迟(流水线)。例如，如果需要通过SPI端口反复改变相位偏移，DAC输出中的这些变化延迟将保持不变；否则，会出现一个SYNC_CLK周期的不确定时间。

缺省情况下，I/O_UPDATE引脚输入选通信号会对器件工作参数进行同步更新。在I/O_UPDATE上升沿，寄存器内容会被传输到器件的内部工作元件。或者，从编程寄存器到内部硬件的编程数据传输可以通过改变PROFILE[2:0]引脚状态实现。

图49中的时序图显示了缓冲器数据向有效寄存器传输的情况。

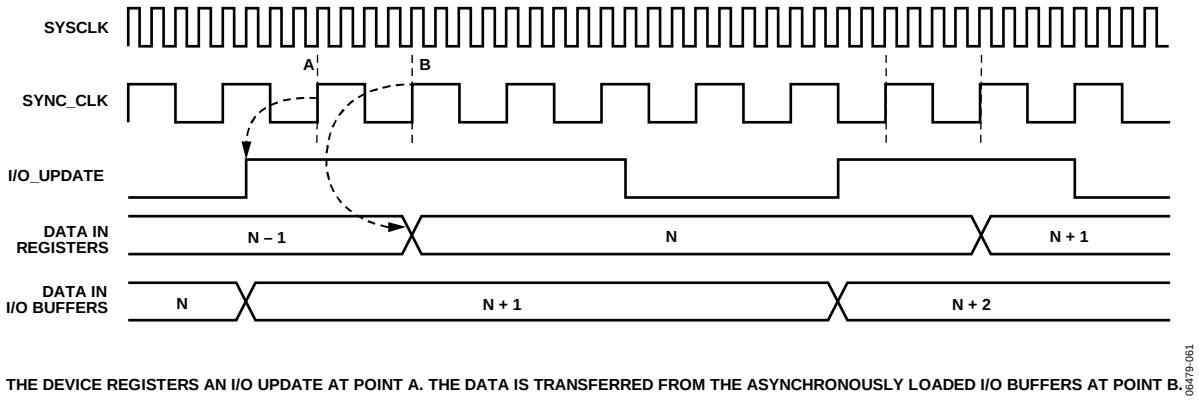


图49. I/O_UPDATE从I/O缓冲器向有效寄存器传输数据

自动I/O更新

AD9910提供一种选项，其I/O更新功能可以自动置位，无需依赖用户提供外部信号。要实现此功能，置位控制功能寄存器2(CFR2)中的内部I/O更新有效位即可。

启用此功能后，I/O_UPDATE引脚会变成输出引脚，每发生一个内部I/O更新后都会产生一个高电平有效脉冲。脉冲宽度由I/O更新率控制位(CFR2[15:14])确定。表16给出了大致的脉冲宽度设置。

表16. 脉冲宽度设置

I/O更新速率控制位 (CFR2[15:14])	I/O更新脉冲宽度
00	12 SYSCLKs
01	24 SYSCLKs
10	48 SYSCLKs
11	96 SYSCLKs

I/O更新选通信号可以用来通知外部控制器，器件已在内部产生了一个I/O更新。

内部I/O更新的频率通过串行I/O端口编程设置。频率由两个参数控制：第一个参数是CFR2中的两个I/O更新速率控制位；第二个是设置内部计数器范围的I/O更新速率寄存器中的32位控制字。I/O更新速率控制位可以在¼ f_{SYSCLK}的基础上产生1、1/2、1/4或1/8的时钟信号。分频器输出时钟由上述32位内部计数器控制。I/O更新的频率计算公式：

$$f_{I/O_UPDATE} = \frac{f_{SYSCLK}}{2^{A+2} B}$$

其中：
A是包含I/O更新速率控制位的2位控制字的值。B是保存在I/O更新速率寄存器中的32位控制字的值。

A的缺省值为0，B的缺省值为0xFFFF。如果B的编程值小于等于0x0003，I/O_UPDATE引脚不再产生脉冲，而是持续为逻辑1状态。

节电控制

AD9910可以分别对器件四个具体模块进行节电控制。节电功能适用的具体模块包括：

- 数字内核
- DAC
- 辅助DAC
- 输入REFCLK时钟电路

数字内核节电模式会禁用串行I/O端口更新。但是，通过串行端口仍能清0数字节电控制位，以防出现无法恢复正常工作状态的情况。

软件节电控制通过控制功能寄存器1(CFR1)中的4个独立节电控制位管理。软件节电控制需要将EXT_PWR_DWN引脚状态强制设为逻辑0。在这种情况下，设置相应的节电控制位(通过串行I/O端口)可对相应模块实施节电控制，控制位清0可以恢复正常工作状态。

或者，通过EXT_PWR_DWN引脚利用外部硬件控制可以使四个功能模块同时进入省电模式。当此引脚强制设为逻辑1时，无论节电控制位状态如何，四个电路模块都会进入节电模式；也就是说，当EXT_PWR_DWN为逻辑1时，CFR1中的独立节电控制位会被忽略。

根据外部节电控制位的状态，EXT_PWR_DWN引脚可以采用完全节电模式或者快速恢复节电模式。快速恢复节电模式保持对DAC偏置电路、PLL、VCO和输入时钟电路供电。虽然快速恢复省电模式节能效果不如完全省电模式，但可以实现器件从省电状态快速恢复到正常运行。

多器件同步

在时钟状态匹配且状态转换同步的条件下，可以实现多器件同步。时钟同步可以允许用户进行多器件异步编程，而通过对所有器件同时进行I/O更新来同步激活编程内容。

AD9910中的同步逻辑功能可以强制内部时钟发生器进入预定义的状态，与SYNC_Inx引脚上外部同步信号保持一致。如果所有器件都强制采用相同的时钟状态，与同一外部信号保持同步，根据定义，则这些器件同步。图50给出了同步机制的功能框图。同步逻辑分为两个独立的模块：同步发生器和同步接收器，两部分均使用本地SYSCLK信号作为内部定时。

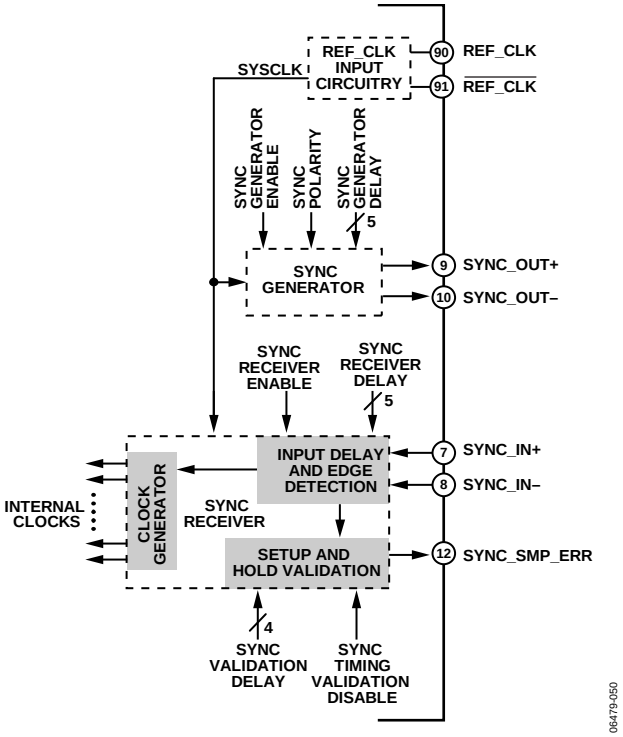


图50. 同步电路功能框图

同步机制基于如下假设，即每个器件上的REFCLK信号能与外部REFCLK分配系统产生的信号实现边沿对齐(参见图53)。

同步发生器模块参见图51，由同步发生器使能位激活。利用同步发生器可以使AD9910作为一组器件中的主时钟参考源，其余均为该主机的从器件。

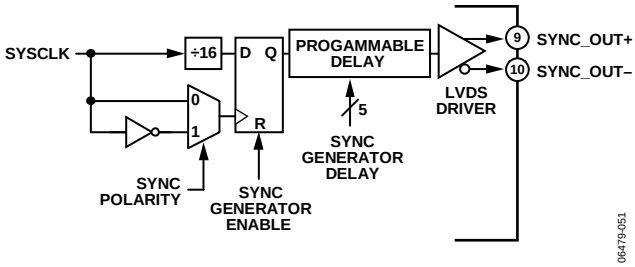


图51. 同步发生器框图

同步发生器在SYNC_OUTx引脚上产生时钟信号，该时钟信号由LVDS驱动器发送，占空比为50%。时钟的固定频率计算公式：

$$f_{SYNC_OUT} = \frac{f_{SYSCLK}}{16}$$

根据同步发生器极性位，SYNC_OUTx引脚时钟信号可以与内部SYSCLK信号上升或下降沿同步。由于SYNC_OUTx信号与主器件的内部SYSCLK同步，主器件的SYSCLK将作为所有从器件的参考源。通过串行I/O端口对5位输出同步发生器延迟字以~150 ps每步编程，用户可以自行调节SYNC_OUTx信号的输出延迟。可编程输出延迟有助于改善边沿时序对齐的灵活性，提高整体同步性能。

同步接收器模块(参见图52)由同步接收器使能位(0x0A[27])激活。同步接收器包括三个子模块：输入延迟和边沿检测模块、内部时钟发生器模块、建立和保持验证模块。

即使同步接收器未使能，时钟发生器模块也会保持工作状态。

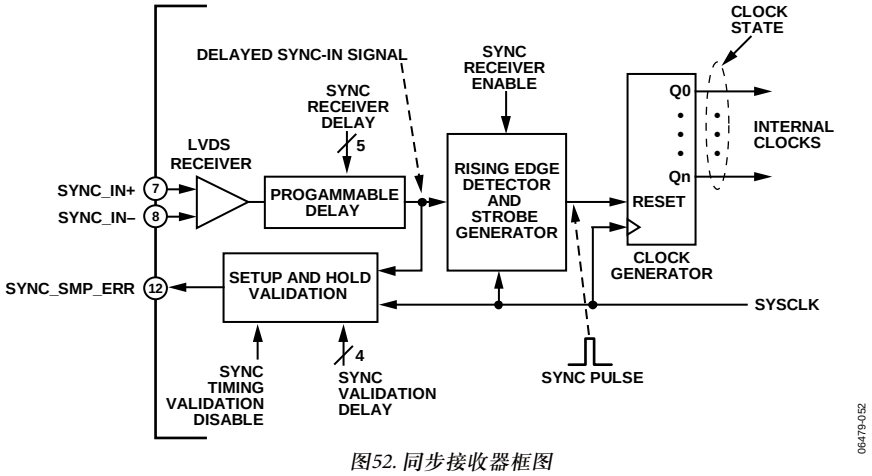


图52. 同步接收器框图

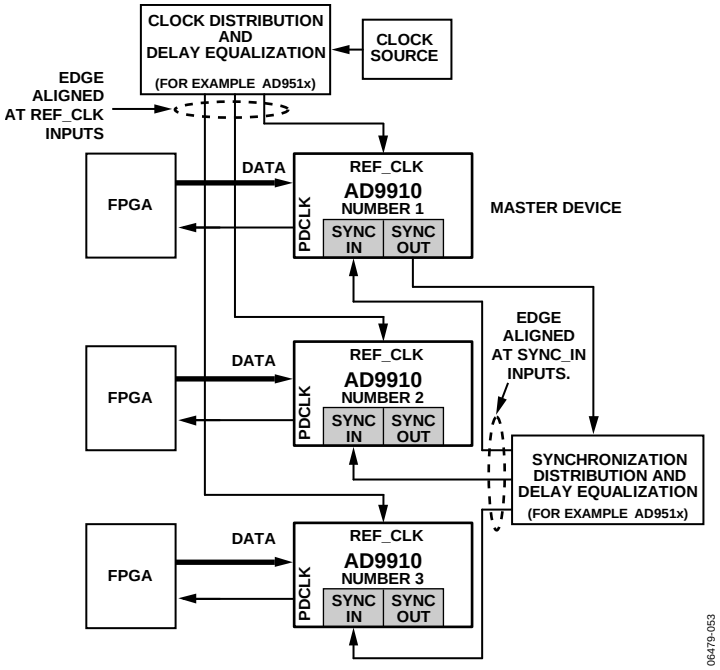


图 53. 多器件同步示例

同步接收器接收SYNC_INx引脚上的周期性时钟信号。假定此信号由LVDS兼容驱动器产生。通过多器件同步寄存器中5位输入同步接收器延迟字按~150 ps步进编程可以对SYNC_INx信号进行延迟控制。可编程延迟输出信号即延迟的SYNC_INx信号。

边沿检测逻辑生产同步脉冲，脉冲宽度为一个SYSCLK时钟周期，重复率等于SYNC_INx引脚的信号频率。同步脉冲通过本地SYSCLK的上升沿对延迟的SYNC_INx信号的上升沿采样产生。同步脉冲发送至内部时钟发生器(相当于以SYSCLK速率运行的预置计数器)。同步脉冲将该计数器设为预定义状态(通过多器件同步寄存器中的6位同步状态预设字编程)。预定义状态只对单个SYSCLK周期有效，结束后，时钟发生器会通过SYSCLK速率中的状态序列恢复正常循环。这一独特的状态预设机制提高了用户使用灵活性，即通过对特定相对时钟状态偏置实现器件同步(对每个器件分配不同的同步状态预设值)。

对每个AD9910提供一个与所有器件边沿对齐的SYNC_INx信号可以获得多器件同步。如果所有器件的SYNC_INx信号实现边沿对齐，具有相同的同步接收器延迟和同步状态预设值，则所有器件都会有匹配时钟状态(即同步)。图53给出这一概念示意图，3个AD9910器件同步，一个器件作为主时钟器件，其它为从器件。

主器件必须将SYNC_INx引脚作为同步分配和延迟均衡机制的一部分，才能实现与从器件同步。

同步机制从时钟分配和延迟均衡模块开始，用于确保所有器件都能接收到边沿对齐的REFCLK信号。不过，即使所有器件的REFCLK信号都实现边沿对齐，单凭此也不能保证每个内部时钟发生器的时钟状态都能与其它器件保持一致。这就需要使用同步和延迟均衡模块。此模块接受主器件产生的SYNC_OUTx信号，将其作为SYNC_INx输入重新分配给从器件(同时反馈给主器件)。重新分配主器件产生的SYNC_OUT x信号的目的是使所有同步接收器获得边沿对齐的SYNC_INx信号。

假定所有器件都有相同的REFCLK沿(利用时钟分配和延迟均衡模块)，并且所有器件都有相同的SYNC_INx沿(利用同步和延迟均衡模块)，那么所有器件都会产生一个一致的内部同步脉冲(假定所有器件都有相同的同步接收器延迟值)。如果进一步规定所有器件都有相同的同步状态预设值，那么经过同步处理的同步脉冲可以使所有预设相同时钟状态的器件同步，即所有器件内部时钟实现完全同步。

同步机制取决于同步接收器中边沿检测模块能否稳定产生同步脉冲。不过，要产生有效的同步脉冲，需要通过本地SYSCLK上升沿对延迟SYNC_INx信号上升沿进行正确采样。 如果这些信号的边沿时序无法满足边沿检波电路内部锁存的建立或保持时间要求，则有可能无法产生合适的同步脉冲。用户可以利用建立和保持验证模块(参见图54)验证两个信号之间是否有正确的边沿时序。

通过控制功能寄存器2中的同步时序验证禁用位可以禁用建立和保持验证模块。

验证模块支持用户自定义时间窗口(利用多芯片同步寄存器中的4位同步验证延迟字按~150 ps步进编程控制)。建立和保持验证电路所使用的锁存器与上升沿检测器和选通信号发生器是一样的。可编程时间窗口用于偏斜本地SYSCLK信号上升沿和延迟SYNC_INx信号上升沿之间的时序。如果保持或建立验证电路无法检测到有效边沿采样，则会通过SYNC_SMP_ERR引脚显示(高电平有效)。

用户必须合理选择SYSCLK周期的一部分作为同步验证延迟值。例如，如果SYSCLK频率为1 GHz(周期1 ns)，合理值应为1或2(150ps或300ps)。选值太大容易使SYNC_SMP_ERR引脚产生错误的故障信号；选值太小则缺乏稳定性。

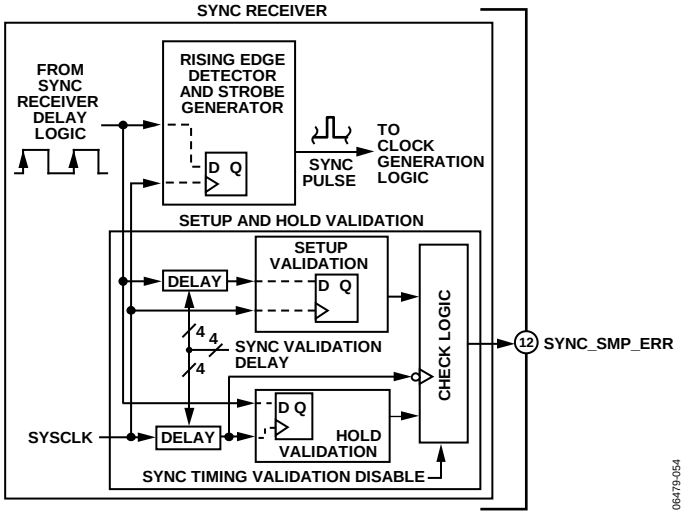


图54. 同步时序验证模块

电源分组

AD9910支持多种电源，具体功耗则取决于电源配置。本节介绍了电源分组以及每个模块功耗随频率变化的情况。

本节中的引用的数据仅供对比参照。具体数值参见表1。每组电源应使用0.1 μF或0.01 μF旁路电容与10 μF并联。

此处电源分组建议仅适用于典型应用，具体可分为四类：3.3 V数字、3.3 V模拟、1.8 V数字和1.8 V模拟。

对于有较高性能要求的应用可能需要增加电源隔离元件。

3.3 V电源

DVDD_I/O (3.3V)(引脚11/15/21/28/45/56/66)

这些3.3 V电源可分为一组。这些引脚功耗会根据串行端口通信情况动态变化。

AVDD (3.3V)(引脚74至77和引脚83)

这些3.3 V DAC电源典型耗电量为28 mA。至少，需要用一个铁氧体磁珠将这些电源与其它3.3V电源隔离，最好能使用隔离稳压器。这些电源的耗电主要来自偏置电流，因此不会随频率变化而发生变化。

1.8 V电源

DVDD (1.8V)(引脚17/23/30/47/57/64)

这些引脚可以分为一组。引脚耗电量会随着系统时钟频率增大而线性增大。图17和18给出了典型耗电曲线。另外，当fOUT从50 MHz增加到400 MHz时，还会增加~5%左右电源消耗。

AVDD (1.8V)(引脚3)

此1.8 V电源主要供应REFCLK乘法器(PLL)，耗电量大约为7 mA。对于使用PLL的更高性能应用，此电源应使用隔离稳压器与其它1.8 V AVDD电源隔离。对于要求不高的应用，此电源可以不使用稳压器，利用铁氧体磁珠将引脚89和92与引脚3隔离。

PLL的环路滤波器应直接与引脚3连接。即使PLL被旁路，引脚3仍要供电，但可以不进行隔离。

AVDD (1.8V)(引脚6)

此引脚可以与DVDD 1.8 V电源引脚分为一组。对于更高性能应用，应使用铁氧体磁珠隔离，最好使用隔离稳压器。

AVDD (1.8V)(引脚89/92)

1.8 V REFCLK输入电源耗电量大约为15 mA。这些引脚可以与引脚3分组，使用铁氧体磁珠将引脚3与引脚89和92隔离即可。至少应使用铁氧体磁珠将这些电源与其它1.8 V电源隔离。不过，对于更高性能的应用，建议使用隔离稳压器。

串行编程

控制接口—串行I/O

AD9910串行端口是一种灵活的同步串行通讯端口，可以很方便地与多种工业用微控制器和微处理器接口。此串行I/O端口支持大多数同步传输格式。

此接口可进行读/写操作，访问所有AD9910配置寄存器。支持MSB优先和LSB优先传输格式。另外，串行接口端口还能配置为单引脚输入/输出(SDIO)，作为2-线式接口使用；或者，也可配置为两个单向输入/输出引脚(SDIO/SDO)，作为3-线接口使用。两个可选引脚(I/O_RESET和$\overline{CS}$)可以提高采用AD9910的设计系统灵活性。

通用串行I/O操作

串行通信周期可分为两个阶段。第一个是指令阶段，将指令字节写入AD9910。指令字节包含要访问的寄存器地址(参见"寄存器存储区分配图和位功能描述"部分)，以及定义即将进行的数据传输是读操作还是写操作。

第二阶段写入周期指从串行端口控制器向串行端口缓冲器传输数据。传输的字节数取决于访问的寄存器。例如，如果访问控制功能寄存器2(地址0x01)，第2阶段需要传输4个字节。数据每一位都寄存在SCLK的相应上升沿。串行端口控制器需要访问寄存器的所有字节；否则，串行端口控制器将在下一个通信周期退出工作时序。不过，有一个方法可以写入少量的字节，即使用I/O_RESET引脚功能。利用I/O_RESET引脚功能取消I/O操作，对串行端口控制器指针复位。在I/O复位后，下一个字节即为指令字节。注意在I/O复位前每个已完全写入的字节都会保存在串行端口缓冲器中。有部分写入的字节未保存。在任一通信周期结束后，AD9910串行端口都将接下来的8个SCLK上升沿用于写入指令字节，开始下一个通信周期。

写入周期结束后，编程数据驻留在串行端口缓冲器中，处于无效状态。I/O_UPDATE将串行端口缓冲器中的数据传输到有效寄存器。I/O更新可以在每完成一个通信周期后进行，也可以在所有串行操作结束后进行。另外，改变一次profile引脚状态可以启动一次I/O更新。

对于读取周期，第2阶段与写入周期一致，不同之处在于：从有效寄存器读取数据，而非串行端口缓冲器，数据在SCLK下降沿输出。

注意：要回读任何profile寄存器(0x0E至0x15)，必须使用三个外部 profile 引脚。例如，如果 profile 寄存器是 profile 5 (0x13)，那么PROFILE[0:2]引脚必须等于101。这不需要写入profile寄存器。

指令字节

指令字节包含如下信息，详见指令字节信息位图。

指令字节信息位图

MSB							LSB
D7	**D6**	**D5**	**D4**	**D3**	**D2**	**D1**	**D0**
R/$\overline{W}$	X	X	A4	A3	A2	A1	A0

R/$\overline{W}$—指令字节位7决定指令字节写周期结束后是进行读还是写操作。.逻辑1表示读操作。清0表示写操作。

X, X—指令字节的位6和位5为无关位。

A4, A3, A2, A1, A0—指令字节的位4、位3、位2、位1和位0决定通信周期中数据传输期间访问哪一个寄存器。

串行I/O端口引脚功能描述

SCLK—串行时钟

串行时钟引脚用于同步输入/输出AD9910的数据，运行内部状态机。

$\overline{CS}$—片选信号

$\overline{CS}$是低电平有效，被用来在同一条串行通信线路上连接多个器件。当此输入为高电平时，SDO和SDIO引脚会进入高阻抗状态。如果在任何通信周期内出现高电平，则此通信周期将暂停，直到$\overline{CS}$重新被低电平激活。片选信号($\overline{CS}$)可以在系统中被拉低，以保证对SCLK的控制有效。

串行数据输入/输出(SDIO)

向AD9910写入数据必须通过此引脚进行。不过，该引脚也能作为双向数据线使用。CFR1寄存器(地址0x00)的位1控制此引脚配置。缺省为清0，将SDIO引脚配置为双向数据线。

串行数据输出(SDO)

如果协议选择用不同的通信线来发送和接收数据，那么数据是从该引脚读出的。当AD9910以单独的双向I/O模式运行时，此引脚不会输出数据，并置为高阻抗状态。

输入/输出复位(I/O_RESET)

I/O_RESET可以同步I/O端口状态机，不会影响可寻址寄存器的内容。I/O_RESET引脚输入有效高电平，可以使当前通信周期中止。在I/O_RESET返回低电平后(逻辑0)，另一个通信周期才能开始，首先是指令字节写。

输入/输出更新(I/O_UPDATE)

I/O_UPDATE用于将I/O端口缓冲器中写入的数据传输到有效寄存器。I/O_UPDATE在上升沿有效，脉冲宽度必须大于1个SYNC_CLK周期。根据对内部I/O更新有效位的编程情况，该引脚可以作为输入或者输出引脚。

串行I/O时序图

图55至图58给出了一些基本示例，描述串行I/O端口各种控制信号之间的时序关系。在I/O更新置位前，寄存器图中的大多数位都不会传输到其内部目的地址，这一点并未在下列时序中反映出来。

MSB/LSB传输

AD9910串行端口支持最高有效位(MSB)优先和最低有效位(LSB)优先两种数据格式。此功能由控制功能寄存器1(0x00)中的位0控制。缺省格式是MSB优先。如果LSB优先有效，所有数据，包括指令字节，必须遵循LSB优先原则。注意，每个寄存器位域列中的最大数是MSB，最小数是该寄存器的LSB(参见“寄存器存储区分配图和位功能描述”部分和表17)。

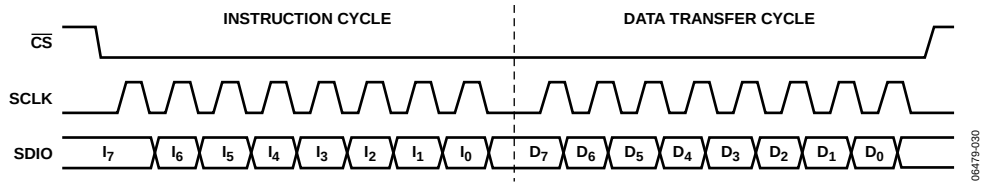


图55. 串行端口写入时序，时钟空闲为低

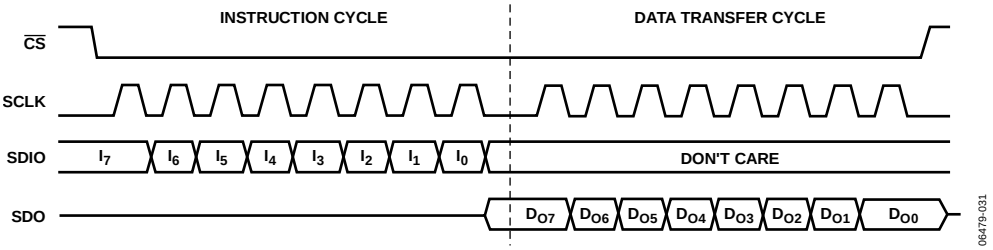


图56. 3线式串行端口读取时序，时钟空闲为低

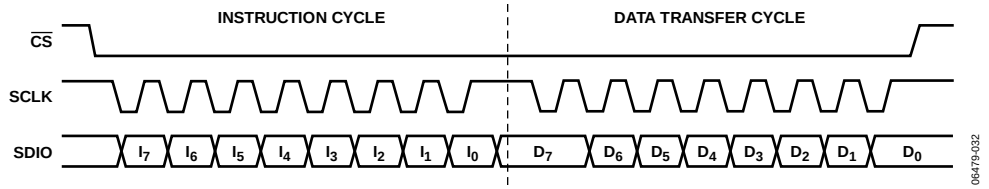


图57. 串行端口写入时序，时钟空闲为高

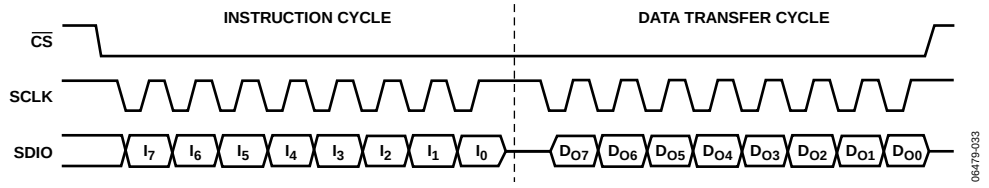


图58. 2线式串行端口读取时序，时钟空闲为高

寄存器图和位功能描述

表 17. 寄存器图

寄存器名称 (串行地址)	位范围 (内部地址)	位7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	缺省值[1] (十六进制)
CFR1 — 控制功能寄存器1 (0x00)	31:24	RAM使能	RAM回放目的地址		Open					0x00
	23:16	手动OSK外部控制	反Sinc滤波器使能	开路	内部profile控制l				选择DDS正弦波输出	0x00
	15:8	加载 LRR @ I/O更新	自动清零数字斜坡累加器	自动清零相位累加器	清零数字斜坡累加器	清零相位累加器	加载 ARR @ I/O 更新	OSK使能	选择自动OSK	0x00
	7:0	数字部分关电	DAC关电	REFCLK输入关电	辅助DAC关电	外部关电控制	开路	仅为SDIO输入	LSB优先	0x00
CFR2— 控制功能寄存器2 (0x01)	31:24	开路							单频调制profile幅度范围使能	0x00
	23:16	内部I/O更新有效	SYNC_CLK使能	数字斜坡目的地址		数字斜坡使能	数字斜坡非驻留高位	数字斜坡非驻留低位	读取有效的FTW	0x40
	15:8	I/O更新速率控制		开路		PDCLK使能	PDCLK反向	TxEnable反向	开路	0x08
	7:0	延迟匹配使能	数据汇编器保留最后值	同步时序验证禁用	并行数据端口使能	FM增益				0x20
CFR3— 控制功能寄存器3 (0x02)	31:24	开路		DRV0[1:0]		开路	VCO SEL[2:0]			0x1F
	23:16	开路		I_{CP}[2:0]			开路			0x3F
	15:8	REFCLK输入分频率器旁路	REFCLK输入分频率器复位B	开路			PFD复位	开路	PLL使能	0x40
	7:0	N[6:0]							开路	0x00
辅助DAC控制(0x03)	31:24	开路								0x00
	23:16	开路								0x00
	15:8	开路								0x00
	7:0	FSC[7:0]								0x7F
I/O更新速率 (0x04)	31:24	I/O更新速率[31:24]								0xFF
	23:16	I/O更新速率[23:16]								0xFF
	15:8	I/O更新速率[15:8]								0xFF
	7:0	I/O更新速率[7:0]								0xFF
FTW— 频率调谐字(0x07)	31:24	频率调谐字[31:24]								0x00
	23:16	频率调谐字[23:16]								0x00
	15:8	频率调谐字[15:8]								0x00
	7:0	频率调谐字[7:0]								0x00

寄存器名称 (串行地址)	位范围 (内部地址)	位7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	缺省值[1] (十六进制)
POW— 相位偏移字(0x08)	15:8	相位偏移字[15:8]								0x00
	7:0	相位偏移字[7:0]								0x00
ASF—幅度比例因子(0x09)	31:24	幅度斜坡率[15:8]								0x00
	23:16	幅度斜坡率[7:0]								0x00
	15:8	幅度比例因子[13:6]								0x00
	7:0	幅度比例因子[5:0]								0x00
多芯片同步(0x0A)	31:24	同步验证延迟[3:0]				同步接收器使能	同步发生器使能	同步发生器极性	开路	0x00
	23:16	同步状态预设值[5:0]						开路		0x00
	15:8	同步发生器输出延迟[4:0]					开路			0x00
	7:0	同步发生器输入延迟[4:0]					开路			0x00
数字斜坡限值(0x0B)	63:56	数字斜坡上限值[31:24]								N/A
	55:48	数字斜坡上限值[23:16]								N/A
	47:40	数字斜坡上限值[15:8]								N/A
	39:32	数字斜坡上限值[7:0]								N/A
	31:24	数字斜坡下限值[31:24]								N/A
	23:16	数字斜坡下限值[23:16]								N/A
	15:8	数字斜坡下限值[15:8]								N/A
	7:0	数字斜坡下限值[7:0]								N/A
数字斜坡步长（0x0C）	63:56	数字斜坡递减步长[31:24]								N/A
	55:48	数字斜坡递减步长[23:16]								N/A
	47:40	数字斜坡递减步长[15:8]								N/A
	39:32	数字斜坡递减步长[7:0]								N/A
	31:24	数字斜坡递增步长[31:24]								N/A
	23:16	数字斜坡递增步长[23:16]								N/A
	15:8	数字斜坡递增步长[15:8]								N/A
	7:0	数字斜坡递增步长[7:0]								N/A
数字斜坡步长 (0x0C)	31:24	数字斜坡负斜率[15:8]								N/A
	23:16	数字斜坡负斜率[7:0]								N/A
	15:8	数字斜坡正斜率[15:8]								N/A
	7:0	数字斜坡正斜率[7:0]								N/A
数字斜坡速率 (0x0D)	63:56	开路		幅度比例因子0[13:8]						0x08
	55:48	幅度比例因子0[7:0]								0xB5
	47:40	相位偏移字0[15:8]								0x00
	39:32	相位偏移字0[7:0]								0x00
	31:24	频率调谐字0[31:24]								0x00
	23:16	频率调谐字0[23:16]								0x00
	15:8	频率调谐字0[15:8]								0x00
	7:0	频率调谐字0[7:0]								0x00

寄存器名称 (串行地址)	位范围 (内部地址)	位7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	缺省值[1] (十六进制)
RAM Profile 0 (0x0E)	63:56	开路								0x00
	55:48	RAM Profile 0地址步进率[15:8]								0x00
	47:40	RAM Profile 0地址步进率[7:0]								0x00
	39:32	RAM Profile 0波形结束地址[9:2]								0x00
	31:24	RAM Profile 0 波形结束地址[1:0]		开路						0x00
	23:16	RAM Profile 0波形起始地址[9:2]								0x00
	15:8	RAM Profile 0 波形起始地址[1:0]		开路						0x00
	7:0	开路		非驻留高位	开路	零交越	RAM Profile 0模式控制[2:0]			0x00
单频调制 Profile 1 (0x0F)	63:56	开路		幅度比例因子1[13:8]						0x00
	55:48	幅度比例因子1[7:0]								0x00
	47:40	相位偏移字1[15:8]								0x00
	39:32	相位偏移字1[7:0]								0x00
	31:24	频率调谐字1[31:24]								0x00
	23:16	频率调谐字1[23:16]								0x00
	15:8	频率调谐字1[15:8]								0x00
	7:0	频率调谐字1[7:0]								0x00
RAM Profile 1 (0x0F)	63:56	开路								0x00
	55:48	RAM Profile 1地址步进率[15:8]								0x00
	47:40	RAM Profile 1地址步进率[7:0]								0x00
	39:32	RAM Profile 1波形结束地址[9:2]								0x00
	31:24	RAM Profile 1 波形结束地址[1:0]		开路						0x00
	23:16	RAM Profile 1波形起始地址[9:2]								0x00
	15:8	RAM Profile 1波形起始地址[1:0]		开路						0x00
单频调制	7:0	开路		非驻留高位	开路	零交越	RAM Profile 1模式控制[2:0]			0x00
Profile 2 (0x10)	63:56	开路		幅度比例因子2[13:8]						0x00
	55:48	幅度比例因子2[7:0]								0x00
	47:40	相位偏移字2[15:8]								0x00
	39:32	相位偏移字2[7:0]								0x00
	31:24	频率调谐字2[31:24]								0x00
	23:16	频率调谐字2[23:16]								0x00
	15:8	频率调谐字2[15:8]								0x00
	7:0	频率调谐字2[7:0]								0x00
RAM Profile 2 (0x10)	63:56	开路								0x00
	55:48	RAM Profile 2地址步进率[15:8]								0x00
	47:40	RAM Profile 2地址步进率[7:0]								0x00
	39:32	RAM Profile 2波形结束地址[9:2]								0x00
	31:24	RAM Profile 2 波形结束地址[1:0]		开路						0x00
	23:16	RAM Profile 2波形起始地址[9:2]								0x00
	15:8	RAM Profile 2 波形起始地址[1:0]		开路						0x00
	7:0	开路		非驻留高位	开路	零交越	RAM Profile 2模式控制[2:0]			0x00

寄存器名称（串行地址）	位范围（内部地址）	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	缺省值[1]（十六进制）
单频调制 Profile 3 (0x11)	63:56	开路		幅度比例因子3[13:8]						0x00
	55:48	幅度比例因子3[7:0]								0x00
	47:40	相位偏移字3[15:8]								0x00
	39:32	相位偏移字3[7:0]								0x00
	31:24	频率调谐字3[31:24]								0x00
	23:16	频率调谐字3[23:16]								0x00
	15:8	频率调谐字3[15:8]								0x00
	7:0	频率调谐字3[7:0]								0x00
RAM Profile 3 (0x11)	63:56	开路								0x00
	55:48	RAM Profile 3地址步进率[15:8]								0x00
	47:40	RAM Profile 3地址步进率[7:0]								0x00
	39:32	RAM Profile 3波形结束地址[9:2]								0x00
	31:24	RAM Profile 3 波形结束地址[1:0]		开路						0x00
	23:16	RAM Profile 3波形起始地址[9:2]								0x00
	15:8	RAM Profile 3 波形起始地址[1:0]		开路						0x00
	7:0	开路		非驻留高位	开路	零交越	RAM Profile 3模式控制[2:0]			0x00
单频调制 Profile 4 (0x12)	63:56	开路		幅度比例因子4[13:8]						0x00
	55:48	幅度比例因子4[7:0]								0x00
	47:40	相位偏移字4[15:8]								0x00
	39:32	相位偏移字4[7:0]								0x00
	31:24	频率调谐字4[31:24]								0x00
	23:16	频率调谐字4[23:16]								0x00
	15:8	频率调谐字4[15:8]								0x00
	7:0	频率调谐字4[7:0]								0x00
RAM Profile 4 (0x12)	63:56	开路								0x00
	55:48	RAM Profile 4地址步进率[15:8]								0x00
	47:40	RAM Profile 4地址步进率[7:0]								0x00
	39:32	RAM Profile 4波形结束地址[9:2]								0x00
	31:24	RAM Profile 4 波形结束地址[1:0]		开路						0x00
	23:16	RAM Profile 4波形起始地址[9:2]								0x00
	15:8	RAM Profile 4 波形起始地址[1:0]		开路						0x00
	7:0	开路		非驻留高位	开路	零交越	RAM Profile 4模式控制[2:0]			0x00
单频调制 Profile 5 (0x13)	63:56	开路		幅度比例因子5[13:8]						0x00
	55:48	幅度比例因子5[7:0]								0x00
	47:40	相位偏移字5[15:8]								0x00
	39:32	相位偏移字5[7:0]								0x00
	31:24	频率调谐字5[31:24]								0x00
	23:16	频率调谐字5[23:16]								0x00
	15:8	频率调谐字5[15:8]								0x00
	7:0	频率调谐字5[7:0]								0x00

寄存器名称（串行地址）	位范围（内部地址）	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	缺省值[1]（十六进制）
RAM Profile 5 (0x13)	63:56	开路								0x00
	55:48	RAM Profile 5地址步进率[15:8]								0x00
	47:40	RAM Profile 5地址步进率[7:0]								0x00
	39:32	RAM Profile 5波形结束地址[9:2]								0x00
	31:24	RAM Profile 5 波形结束地[1:0]		开路						0x00
	23:16	RAM Profile 5波形起始地址[9:2]								0x00
	15:8	RAM Profile 5 波形起始地址[1:0]		开路						0x00
	7:0	开路		非驻留高位	开路	零交越	RAM Profile 5模式控制[2:0]			0x00
单频调制 Profile 6 (0x14)	63:56	开路		幅度比例因子6[13:8]						0x00
	55:48	幅度比例因子6[7:0]								0x00
	47:40	相位偏移字6[15:8]								0x00
	39:32	相位偏移字6[7:0]								0x00
	31:24	频率调谐字6[31:24]								0x00
	23:16	频率调谐字6[23:16]								0x00
	15:8	频率调谐字6[15:8]								0x00
	7:0	频率调谐字6[7:0]								0x00
RAM Profile 6 (0x14)	63:56	开路								0x00
	55:48	RAM Profile 6地址步进率[15:8]								0x00
	47:40	RAM Profile 6地址步进率[7:0]								0x00
	39:32	RAM Profile 6波形结束地址[9:2]								0x00
	31:24	RAM Profile 6 波形结束地址[1:0]		开路						0x00
	23:16	RAM Profile 6波形起始地址[9:2]								0x00
	15:8	AM Profile 6 波形起始地址[1:0]		开路						0x00
	7:0	开路		非驻留高位	开路	零交越	RAM Profile 6模式控制[2:0]			0x00
单频调制 Profile 7 (0x15)	63:56	开路		幅度比例因子7[13:8]						0x00
	55:48	幅度比例因子7[7:0]								0x00
	47:40	相位偏移字7[15:8]								0x00
	39:32	相位偏移字7[7:0]								0x00
	31:24	频率调谐字7[31:24]								0x00
	23:16	频率调谐字7[23:16]								0x00
	15:8	频率调谐字7[15:8]								0x00
	7:0	频率调谐字7[7:0]								0x00
RAM Profile 7 (0x15)	63:56	开路								0x00
	55:48	RAM Profile 7地址步进率[15:8]								0x00
	47:40	RAM Profile 7地址步进率[7:0]								0x00
	39:32	RAM Profile 7波形结束地址[9:2]								0x00
	31:24	RAM Profile 7 波形结束地址[1:0]		开路						0x00
	23:16	RAM Profile 7波形起始地址[9:2]								0x00
	15:8	RAM Profile 7 波形起始地址[1:0]		开路						0x00
	7:0	开路		非驻留高位	开路	零交越	RAM Profile 7模式控制[2:0]			0x00
RAM (0x16)	31:0	RAM控制字[31:0]								0x00

[1] N/A = 不适用。

寄存器位功能描述

串行I/O端口寄存器地址范围从0至23(十六进制：0x00至0x16)，共有24个寄存器。但是，其中有两个寄存器未使用，所以只有22个可用寄存器。未使用的寄存器为寄存器5和寄存器6(0x05和0x06)。

寄存器分配到的字节数各不相同。也就是说，寄存器具有不同的深度，其字节容量取决于特定的功能要求。另外，寄存器主要根据其功能命名。有时候寄存器会基于方便记忆的原则命名。例如，串行地址0x00的寄存器命名为控制功能寄存器1，表示为容易记忆的CFR1。

下文详细介绍了AD9910寄存器图中的每一个位的功能。对于由多个位共同实现某一特定功能的情况，整个位组将视为一个二进制字，集中加以说明。

控制功能寄存器1 (CFR1)—地址0x00

此寄存器分配了四个字节。

本节内容按寄存器串行地址顺序组织。每个副标题由寄存器名称和可选的寄存器简称(括号内)组成。另外，还列出了寄存器的十六进制格式串行地址和的字节数。

每个副标题后都列有一张表，详细说明该寄存器中各个位的功能作用。寄存器中位的具体位置由单个数字，或两个由冒号隔开的数字表示；两个隔开的数字(如：A:B)表示从最高有效位(A)到最低有效位(B)的位范围。例如，5:2表示从比特位5至比特位2，包括，由0位表示寄存器的LSB。

除另有说明，在I/O_UPDATE引脚置位或者profile更改之前，已编程位不会传输到内部目的位置。

表 18. CFR1的位分配

位	引脚名称	描述
31	RAM使能	0 = RAM功能禁用(缺省)。 1 = RAM功能使能(加载/读取和回放操作均需要)。
30:29	RAM回放目的地址	详情参见表12，缺省值为00b。
28:24	开路	
23	手动OSK外部控制	仅在CFR1[9:8] = 10b时有效。 0 = OSK引脚无效(缺省)。 1 = OSK引脚使能手动OSK控制(详情请参见"输出振幅键控"部分)。
22	反Sinc滤波器使能	0 = 反SincSinc滤波器被旁通(缺省)。 1 = 反Sinc滤波器有效。
21	开路	
20:17	内部profile控制I	仅在CFR1[31] = 1时有效。这些位无需进行I/O更新即能生效。 详情请参见表14，缺省值为0000b。
16	选择DDS正弦波输出	0 = 选择DDS余弦输出(缺省)。 1 = 选择DDS正弦输出。
15	加载 LRR @ I/O更新	仅在CFR2[19] = 1时有效。 0 = 数字斜坡定时器正常操作(缺省)。 1 = I/OJJPDATE置位或者PROFILE[2:0]更改后， 数字斜坡定时器随时可加载。
14	自动清零数字斜坡累加器	0 = DRG累加器正常工作(缺省)。 1 = 经过一个DDS时钟周期后，斜坡累加器复位，随后累加器自动恢复正常操作。只要此位保持设置，每次I/O_UPDATE置位或者PROFILE[2:0]更改后，斜坡累加器都会暂时复位。此位与I/O _UPDATE置位或PROFILE[2:0]更改在 SYNC_CLK下一个上升沿同步。
13	自动清零相位累加器	0 = DDS相位累加器正常工作(缺省)。 1 = 在I/O_UPDATE置位或者profile更改后，同步复位DDS相位累加器。

位	引脚名称	描述
12	清零数字斜坡累加器	0 = DRG累加器正常工作(缺省)。 1 = DRG累加器异步，静态复位。只要此位置1，斜坡累加器将始终保持复位状态。 此位与I/O _UPDATE或PROFILE[2:0]更改在SYNC_CLK下一个上升沿同步。
11	清零相位累加器	0 = DDS相位累加器正常工作(缺省)。 1 = DRG相位累加器异步，静态复位。
10	加载 ARR @ I/O 更新	仅在CFR1[9:8] = 11b时有效。 0 = OSK振幅斜坡率定时器正常操作(缺省)。 1 = I/OJJPDATE置位或者PROFILE[2:0]更改后， OSK振幅斜坡率定时器随时可以重新加载。
9	OSK使能	输出振幅键控使能位。 0 = OSK禁用(缺省)。 1 = OSK使能。
8	选择自动OSK	仅在CFR1[9] = 1时有效。 0 =手动OSK使能(缺省)。 1 = 自动OSK使能。
7	数字部分关电	此位无需I/O更新即可生效。 0 = 数字内核时钟信号有效(缺省)。 1 = 数字内核时钟信号禁用。
6	DAC关电	0 = DAC时钟信号和偏置电路有效(缺省)。 1 = DAC时钟信号和偏置电路禁用。
5	REFCLK输入关电	此位无需I/O更新即可生效。 0 = REFCLK输入电路和PLL有效(缺省)。 1 = REFCLK输入电路和PLL禁用。
4	辅助DAC关电	0 = 辅助DAC时钟信号和偏置电路有效(缺省)。 1 = 辅助DAC时钟信号和偏置电路禁用。
3	外部关电控制	0 = EXT_PWR_DWN引脚置位实现全面关电(缺省)。 1 = EXT_PWR_DWN引脚置位采用快速恢复关电模式运行。
2	开路	
1	仅为SDIO输入	0 = 配置SDIO引脚进行双向操作；2线式串行编程模式(缺省)。 1 = 将串行数据I/O引脚(SDIO)仅配置为输入引脚，3线式串行编程模式。
0	LSB优先	0 = 配置串行I/O端口为MSB优先格式(缺省)。 1 = 配置串行I/O端口为LSB优先格式。

控制功能寄存器2 (CFR2)—地址0x01

此寄存器分配了四个字节。

表 19. CFR2的位分配

位	引脚名称	描述
31:25	开路	
24	单频调制profile幅度范围使能	CFR2[19] = 1，CFR1[31] = 1或CFR1[9] = 1时，无效。 0 = 节能模式下，幅度比例控制器被旁通，关闭(缺省)。 1 = 幅度比例由有效profile中的ASF控制。
23	内部I/O更新有效	此位无需I/O更新即可生效。 0 =串行I/O编程与外部I/O_UPDATE引脚置位同步，该引脚被配置为输入引脚(缺省)。 1 = 串行I/O编程与内部产生的I/O更新信号同步(内部信号在配置为输出引脚的I/OJJPDATE引脚上产生)。
22	SYNC_CLK使能	0 = SYNC_CLK引脚禁用；静态逻辑0输出。 1 = SYNC_CLK引脚产生1/4 fsysclk时钟信号，用于同步串行I/O端口(缺省)。
21:20	数字斜坡目的地址	详情请参见表11。缺省值为00b。 详情请参见“数字斜坡发生器(DRG)”部分。
19	数字斜坡使能	0 = 数字斜坡发生器功能禁用(缺省)。 1 = 数字斜坡发生器功能使能。
18	数字斜坡非驻留高位	详情请参见“数字斜坡发生器(DRG)”部分。 0 = 非驻留高位功能禁用(缺省)。 1 = 非驻留高位功能使能。
17	数字斜坡非驻留低位	详情请参见“数字斜坡发生器(DRG)”部分。 0 = 非驻留低位功能禁用(缺省)。 1 = 非驻留低位功能使能。
16	读取有效的FTW	0 = FTW寄存器的串行I/O端口读操作，读取FTW寄存器中的内容(缺省)。 1 = FTW寄存器的串行I/O端口读操作，读取输入DDS相位累加器上的实际32位控制字。
15:14	I/O更新速率控制	仅在CFR2[23] = 1的时有效。设置参照自动I/O更新定时器运行分频器的预分频值： 00 = 1分频(缺省)。 01 = 2分频。 10 = 4分频。 11 = 8分频。
13:12	开路	
11	PDCLK使能	0 = PDCLK引脚禁用，并强制为静态逻辑0；内部时钟信号会连续运行，为数据汇编器提供时序。 1 = PDCLK引脚上产上PDCLK信号(缺省)。
10	PDCLK反向	0 = PDCLK正常极性；Q数据与逻辑1有关；I数据与逻辑0有关(缺省)。 1 = PDCLK反向极性。
9	TxEnable反向	0 = 无反向。 1 = 反向。
8	开路	
7	延迟匹配使能	0 = DDS幅度、相位和频率变化同步应用按所列顺序输出(缺省)。 1 = DDS幅度、相位和频率变化同步应用同步输出。

位	引脚名称	描述
6	数据汇编器保留最后值	仅在CFR2[4] = 1时有效。 0 = 当TxENABLE引脚为逻辑0时，并行数据端口的数据汇编器强制内部路径为零，同时忽略D[15:0] 和F[1:0]引脚上的信号(缺省)。也就说，当TxENABLE为逻辑0时，并行数据端口上的目的地址的值为幅度。 1 =当TxENABLE引脚为逻辑1时，并行数据端口数据汇编器强制保持从D[15:0]和F[1:0]引脚上收到的最后值。
5	同步时序验证禁用	0 = SYNC_SMP_ERR引脚使能，指示(高电平有效)检测到同步脉冲采样错误。 1 = SYNC_SMP_ERR引脚强制为静态逻辑0状态(缺省)。
4	并行数据端口使能	详情请参见"并行数据端口调制模式"部分。 0 = 并行数据端口调制功能禁用(缺省)。 1 = 并行数据端口调制功能使能。
3:0	FM增益	详情请参见"并行数据端口调制模式"部分。缺省值为0000b。

控制功能寄存器3 (CFR3)—地址0x02

此寄存器分配了四个字节。

表 20. CFR3的位分配

位	引脚名称	描述
31:30	开路	
29:28	DRV0	控制REFCLK_OUT引脚(详见表7)；缺省值为00b。
27	开路	
26:24	VCO SEL	选取REFCLK PLL VCO的频段(详见表8)；缺省值111b。
23:22	开路	
21:19	I_{CP}	选取REFCLK PLL中的电荷泵电流值(详见表9)；缺省值111b。
18:16	开路	
15	REFCLK输入分频率器旁路	0 = 选取输入分频器(缺省)。 1 = 输入分频器被旁路。
14	REFCLK输入分频率器重置B	0 = 输入分频器被重置。 1 = 输入分频器正常工作(缺省)。
13:11	开路	
10	PFD复位	0 = 正常工作(缺省)。 1 = 鉴相器禁用。
9	开路	
8	PLL使能	0 = REFCLK PLL被旁路(缺省)。 1 = REFCLK PLL使能。
7:1	N	此7位数字是REFCLK PLL反馈分步器的分频模数， 缺省值为0000000b。
0	开路	

辅助DAC控制寄存器—地址0x03

此寄存器分配了四个字节。

表 21. DAC控制寄存器位分配

位	引脚名称	描述
31:8	开路	
7:0	FSC	此8位数字用于控制主DAC满量程输出电流(参见辅助DAC部分)；缺省值0x7F。

I/O更新速率寄存器—地址0x04

此寄存器分配了四个字节。此寄存器无需I/O更新即可生效。

表 22. I/O更新速率寄存器位分配

位	引脚名称	描述
31:0	I/O更新速率	仅在CFR2[23] = 1的时有效。此32位数字控制自动/O更新速率（详情请参见"自动I/O更新"部分）；缺省值0xFFFFFFFF。

频率调谐字寄存器(FTW)—地址0x07

此寄存器分配了四个字节。

表23. FTW寄存器位分配

位	引脚名称	描述
31:0	频率调谐字	32位频率调谐字

相位偏移字寄存器(POW)—地址0x08

此寄存器分配了两个字节。

表24. POW寄存器位分配

位	引脚名称	描述
15:0	相位偏移字	16位相位偏移字

幅度比例因子寄存器(ASF)—地址0x09

此寄存器分配了四个字节。

表25. ASF寄存器位分配

位	引脚名称	描述
31:16	幅度斜坡率	16位幅度斜坡率值。仅在CFR1[9:8] = 11b时有效；详见"输出振幅键控(OSK)"部分。
15:2	幅度比例因子	14位幅度比例因子。
1:0	幅度步长	仅在CFR1[9:8] = 11b时有效；详见"输出振幅键控(OSK)"部分。

多芯片同步寄存器—地址0x0A

此寄存器分配了四个字节。

有26. 多芯片同步寄存器

位	引脚名称	描述
31:28	同步验证延迟	此4位数设置同步接收器中同步验证模块的SYSCLK和延迟SYNC_Inx信号之间的时序偏斜(~150 ps增量)。缺省值为0000b。
27	同步接收器使能	0 = 同步模块接收器禁用(缺省)。 1 = 同步时钟接收器使能。
26	同步发生器使能	0 = 同步时钟发生器禁用(缺省)。 1 = 同步时钟发生器使能。
25	同步发生器极性	0 = 同步时钟发生器与SYSCLK上升沿一致(缺省)。 1 = 同步时钟发生器与SYSCLK下降沿一致。
24	开路	
23:18	同步状态预设值	此6位数字为内部时钟发生器收到同步脉冲时假定的状态。 缺省值为000000b。
17:16	开路	
15:11	输出同步发生器延迟	此5位数字设置同步发生器输出延迟(按~150 ps的增量)。 缺省值为00000b。
10:8	开路	
7:3	输入同步接收器延迟	此5位数字设置同步接收器输入延迟(按~150 ps的增量)。 缺省值为00000b。
2:0	开路	

数字斜坡限值寄存器—地址0x0B

此寄存器分配了八个字节。仅在CFR2[19] = 1时此寄存器有效。详见“数字斜坡发生器(DRG)”部分。

表 27. 数字斜坡限值寄存器位分配

位	引脚名称	描述
63:32	数字斜坡上限值	32位数字斜坡上限值
31:0	数字斜坡下限值	32位数字斜坡下限值。

数字斜坡步长寄存器—地址0x0C

此寄存器分配了八个字节。仅在CFR2[19] = 1时此寄存器有效。详见“数字斜坡发生器(DRG)”部分。

表 28. 数字斜坡限值步长寄存器位分配

位	引脚名称	描述
63:32	数字斜坡递减步长	32位数字斜坡递减步长值。
31:0	数字斜坡递增步长	32位数字斜坡递增步长值。

数字斜坡速率寄存器—地址0x0D

此寄存器分配了四个字节。仅在CFR2[19] = 1时此寄存器有效。详见“数字斜坡发生器(DRG)”部分。

表 29. 数字斜坡速率寄存器位分配

位	引脚名称	描述
31:16	数字斜坡负斜率	此16位数字斜坡负斜率值定义两个递减值之间的时间间隔。
15:0	数字斜坡正斜率	此16位数字斜坡正斜率值定义两个递增值之间的时间间隔。

Profile寄存器

器件的profile共使用8个连续的串行I/O地址(地址0x0E至地址0x015)。所有8个profile寄存器分为单频profile和RAM profile两种。当CFR1[31] = 1时RAM profile有效；当CFR1[31] = 0，CFR2[19] = 0以及CFR2[4] = 0时，单频profile有效。

正常情况下，使用外部PROFILE[2:0]引脚选择有效profile寄存器。不过，对于具体情况，如果CFR1[31] = 1和CFR1[20:17] ≠ 0000b，会自动选择有效profile(参见"RAM上斜坡内部Profile控制模式"部分)。

Profile 0至Profile 7，单频寄存器—地址0x0E至地址0x15

每个寄存器分配了八个字节。

表30. Profile 0至Profile 7单频寄存器位分配

位	引脚名称	描述
63:62	开路	
61:48	幅度比例因子	此14位数控制DDS输出幅度。
47:32	相位偏移字	此16位数控制DDS相位偏移。
31:0	频率调谐字	此32位数控制DDS频率。

RAM Profile 0至RAM Profile 7，控制寄存器—地址0x0E至地址0x15

每个寄存器分配了八个字节。

表31. Profile 0至Profile 7 RAM寄存器位分配

位	引脚名称	描述
63:56	开路	
55:40	地址步进率	16位地址步进率值。
39:30	波形结束地址	10位波形结束地址。
29:24	开路	
23:14	波形起始地址	10位波形起始地址。
13:6	开路	
5	非驻留高位	仅在上斜坡RAM模式时有效。 0 = 当RAM状态机到达结束地址时，终止。 1 = 当RAM状态机到达结束地址时，跳至起始地址后终止。
4	开路	
3	零交越	仅在RAM模式时有效，直接转换。 0 = 零交越功能禁用。 1 = 零交越功能使能。
2:0	RAM模式控制	详情请参见表13。

RAM寄存器—地址0x16

RAM寄存器分配了四个字节。

表32. RAM寄存器位分配

位	引脚名称	描述
31:0	RAM字	RAM Profile 0至RAM Profile 7控制寄存器中的起始和结束地址定义写入RAM寄存器的32位字(1至1024)。

外形尺寸

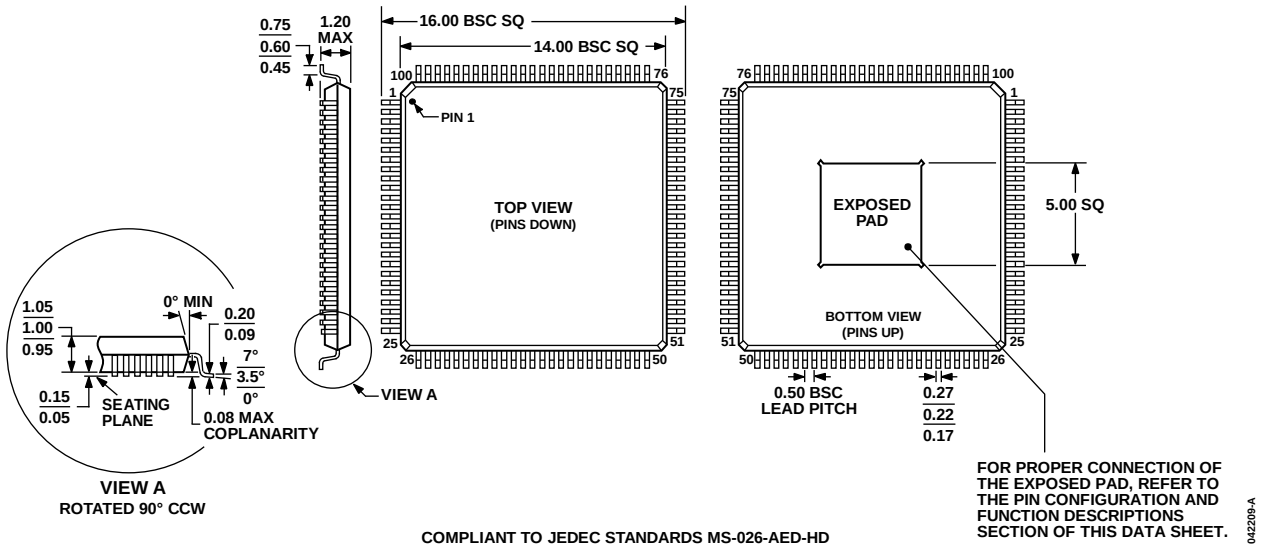


图59. 100引脚裸露焊盘、超薄四方扁平封装[TQFP_EP] (SV-100-4)尺寸（单位：mm）

订购指南

型号[1]	温度范围	封装描述	封装选项
AD9910BSVZ	–40°C 至 +85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-4
AD9910BSVZ-REEL	–40°C 至 +85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-4
AD9910/PCBZ		评估板	

[1] Z = RoHS 兼容器件

注释

注释

©2011 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D06479sc-0-8/11(C)