KINTEX-7 开发平台

用户手册

AX7325 开发板

ALINX

一、 文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV1.1	修正 DIMM_DDR3_CLK0 管脚与 FPGA 的连接

目 录

一、 文档版本控制 2
一、 开发板简介 5
二、 FPGA 芯片 8
三、 DDR3 DRAM 9
四、 SODIMM 内存条接口 15
五、 QSPI Flash 20
六、 时钟配置 22
七、 USB 转串口 24
八、 SFP 光纤接口 26
九、 QSFP+光纤接口 28
十、 PCIe 插槽 30
十一、 温度传感器 32
十二、 SD 卡槽 33
十三、 FMC 连接器 35
十四、 40 针扩展口 39
十五、 LED 灯 40
十六、 复位按键和用户按键 42
十七、 JTAG 调试口 43
十八、 电源 43
十九、 风扇 45
二十、 结构尺寸图 46

芯驿电子科技（上海）有限公司 基于 XILINX KINTEX-7 开发平台的开发板（型号：AX7325）2018 款正式发布了正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 AX7325 FPGA 开发平台使用 XILINX 的 KINTEX-7 芯片 XC7K325 的解决方案，FPGA 开发板挂载了 4 片 512MB 的高速 DDR3 SDRAM 芯片，另外板上带有一个 SODIMM 接口用于扩展 DDR3 的内存条。FPGA 芯片配置使用 1 片 128Mb 的 QSPI FLASH 芯片。

外围电路方面我们为用户扩展了丰富的接口，比如 1 个 PCIex8 接口、4 路 10G SFP 光纤接口、1 路 40G 的 QSPF+光纤接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 FMC 扩展接口、一个 40 针的扩展口等等。满足用户各种高速数据交换，数据存储，视频传输处理以及工业控制的要求，是一款"专业级“的 FPGA 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。

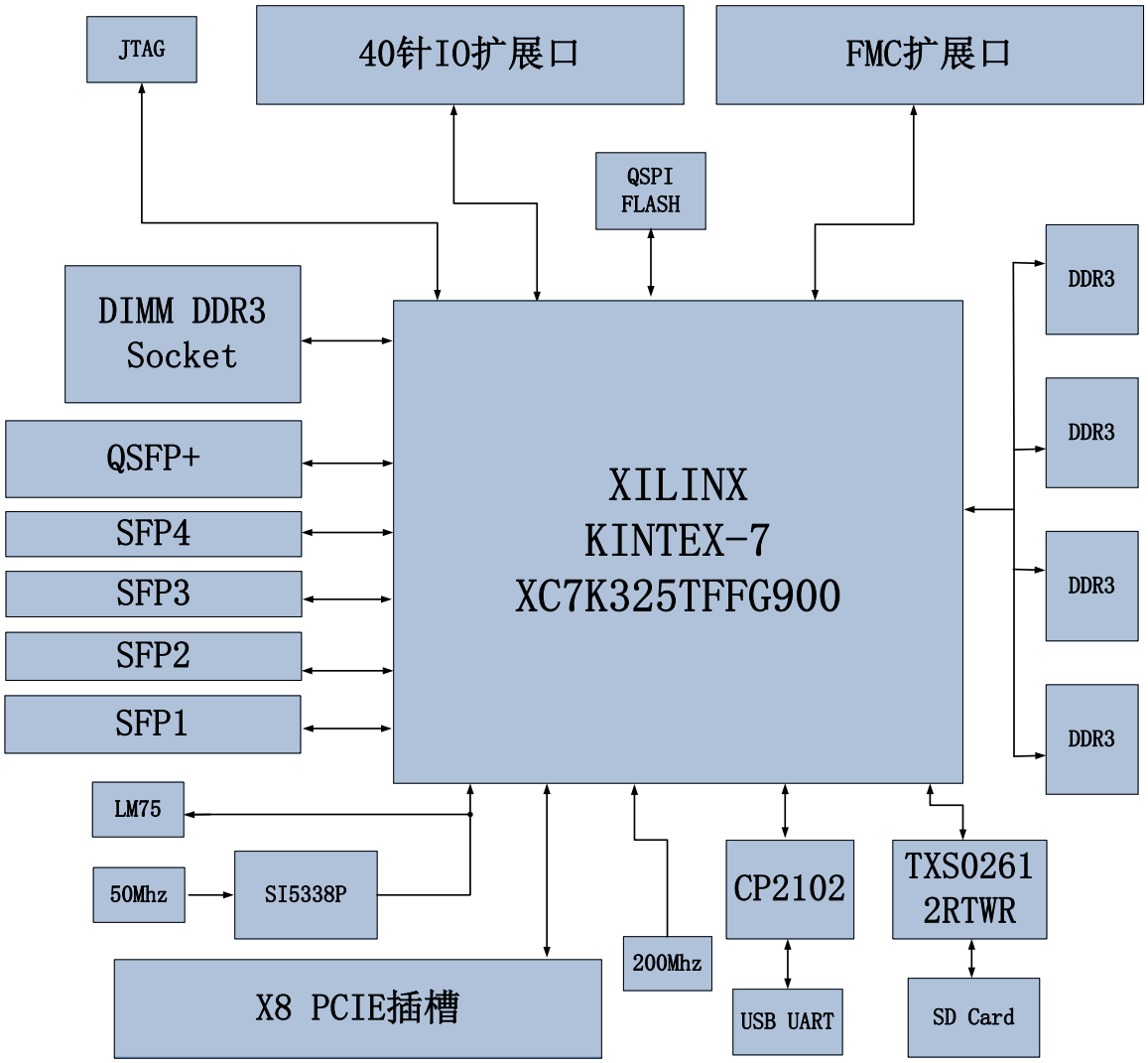
一、 开发板简介

在这里，对这款 AX7325 FPGA 开发平台进行简单的功能介绍。

AX7325 开发板主要由 KINTEX-7 的主芯片，4 个 DDR3，1 个内存条 SODIMM 接口，1 个 QSPI FLASH 和一些外设接口组成。开发板采用 Xilinx 公司的 KINTEX-7 系列的芯片，型号为 XC7K325TFFG900。在 FPGA 芯片的 HP 端口上连接了 4 片 DDR3 存储芯片，每片 DDR3 容量高达 512M 字节，组成 64 位的数据带宽。在 FPGA 的 HR 端口上连接了一个 SODIMM 接口，可以装配 64 位的 DDR3 内存条。1 个 128Mb 的 QSPI FLASH 用来静态存储 FPGA 芯片的配置文件或者其它用户数据。

AX7325 开发板扩展了丰富的外围接口，其中包含 1 个 PCIex8 接口、4 路 10G 光纤 SFP 接口、1 路 40G 光纤 QSFP+接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 FMC 扩展接口、1 个 40 针扩展口和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- Xilinx KINTEX-7 FPGA 芯片 XC7K325TFFG900。
- DDR3

带有四片大容量的 512M 字节（共 2GB）高速 DDR3 SDRAM。可作为 FPGA 的数据存储，图像分析缓存，数据处理。

- QSPI FLASH

一片 128Mbit 的 QSPI FLASH 存储芯片，可用作 FPGA 芯片配置文件和用户数据的存储;

- PCIe x8 接口

一路标准的 PCIEx8 接口用于和电脑主板的 PCIE 通信，支持 PCI Express 2.0 标准，单通道通信速率可高达 5Gbps。

- 4 路 SFP 光纤接口

FPGA 的 GTX 收发器的 4 路高速收发器连接到 4 个光模块的发送和接收，实现 4 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 10Gb/s。

- 1 路 QSFP+光纤接口

FPGA 的 GTX 收发器的 4 路高速收发器连接到 1 个 QSPF+的光模块接口，实现 QSFP+的光纤通信接口。光纤数据通信接收和发送的速度高达 40Gb/s。

- DDR3 内存条接口

1 个 SODIMM 内存条接口用于装配 DDR3 内存条，接口的 DDR3 数据宽度为 64 位。内存条 SODIMM 接口为开发板扩展更高的存储空间和数据带宽。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于 FPGA 对 SD 卡的数据读写和存储。

- 温湿度传感器

板载一片温湿度传感器芯片 LM75，用于检测板子周围环境的温度和湿度。

- FMC 扩展口

1 个标准的 FMC LPC 的扩展口，可以外接 XILINX 或者我们黑金的各种 FMC 模块(HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等)。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，用户可以通过 XILINX 下载器对 FPGA 进行调试和下载。

- 时钟

板载一个 200Mhz 的差分晶振，给 FPGA 系统提供稳定的时钟源；另外板上有一个可编程的时钟芯片给 GTX 提供时钟源，为 PCIE，光纤和 DDR 工作提供参考时钟。

- LED 灯

6 个发光二极管 LED, 1 个电源指示灯；1 个 DONE 配置指示灯；4 个 FPGA 控制指示灯。

- 按键

2 个用户按键，连接到 FPGA 的普通 IO。

二、 FPGA 芯片

开发板使用的是 Xilinx 公司的 KINTEX-7 FPGA 芯片，型号为 XC7K325T-2FFG900I。速度等级为 2，温度等级为工业级。此型号为 FGG900 封装，900 个引脚，引脚间距为 1.0mm。Xilinx KINTEX-7 FPGA 的芯片命名规则如下图 2-1 所示：

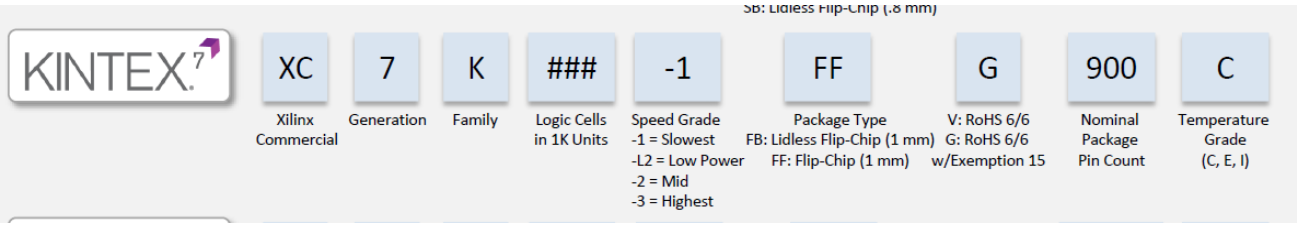


图2-1 KINTEX-7 FPGA型号命名规则定义

图 2-2 为开发板所用的 XC7K325T 芯片实物图。

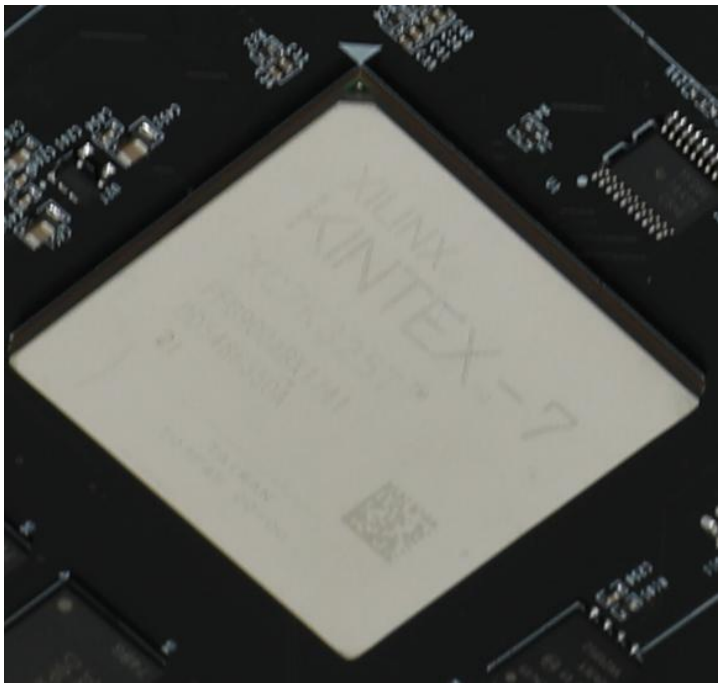


图2-3 KINTEX-7 FPGA芯片实物

其中 FPGA 芯片 XC7K325T 的主要参数如下所示：

名称	具体参数
逻辑单元 Logic Cells	326,080
查找表(Slices)	50,950
触发器(CLB flip-flops)	407,600

Block RAM（kb）大小	16,020
DSP 处理单元（DSP48 Slices）	840
PCIe Gen2	1
模数转换/XADC	1 个 12bit, 1Mbps AD
GTP Transceiver	16 个，12.5Gb/s max
速度等级	-2
温度等级	工业级

FPGA 供电系统

KINTEX-7 FPGA 电源有 V_{CCINT}, V_{CCBRAM}, V_{CCAUX}, V_{CCAUX_IO} V_{CCO}, $V_{MGTAVCC}$ 和 $V_{MGTAVTT}$。V_{CCINT} 为 FPGA 内核供电引脚，需接 1.0V；V_{CCBRAM},为 FPGA Block RAM 的供电引脚，接 1.0V；V_{CCAUX} 和 V_{CCAUX_IO} 为 FPGA 辅助供电引脚，接 1.8V；VCCO 为 FPGA 的各个 BANK 的电压，包含 BANK0,BANK12~18, BANK32~34，在 AX7325 开发板上，BANK12~13 是连接到 FMC 连接器，VCCO 的默认电压为 2.5V，使得 IO 支持 LVDS 接口。BANK16~18，BANK33~35 因为需要连接 DDR3 内存条和 DDR3 芯片，BANK 的电压连接的是 1.5V，其它 BANK 的电压都是 3.3V。$V_{MGTAVCC}$ 为 FPGA 内部 GTP 收发器的供电电压，接 1.0V，$V_{MGTAVTT}$ 为 GTP 收发器的端接电压，接 1.2V。

KINTEX-7 FPGA 系统要求上电顺序分别为先 V_{CCINT} 供电，再是 V_{CCBRAM}，然后是 V_{CCAUX}，最后为 V_{CCO}。如果 VCCINT 和 VCCBRAM 的电压一样，可以同时上电。断电的顺序则相反。GTP 收发器的上电顺序为 V_{CCINT}，再是 $V_{MGTAVCC}$，然后是 $V_{MGTAVTT}$。如果 VCCINT 和 $V_{MGTAVCC}$ 的电压一样，可以同时上电。断电顺序刚好和上电顺序相反。

三、 DDR3 DRAM

AX7325开发板上配有四片Micron(美光）的512MB的DDR3芯片,型号为MT41K256M16HA-125(兼容MT41J256M16HA-125)。四片DDR3 SDRAM组成64bit的总线宽度。因为4片DDR3芯片连接到FPGA的HP口，DDR3 SDRAM的最高运行速度可达800MHz(数据速率1600Mbps)，四片DDR3存储系统直接连接到了FPGA的BANK32, BANK33，BANK34的接口上。DDR3 SDRAM的具体配置如下表3-1所示。

表3-1 DDR3 SDRAM配置

位号	芯片型号	容量	厂家
U3,U4,U6,U7	MT41K256M16HA-125	256M x 16bit	Micron

	或 MT41J256M16HA-125		

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制 ,走线等长控制， 保证 DDR3 的高速稳定的工作。

FPGA 和 DDR3 DRAM 的硬件连接方式如图 3-1 所示:

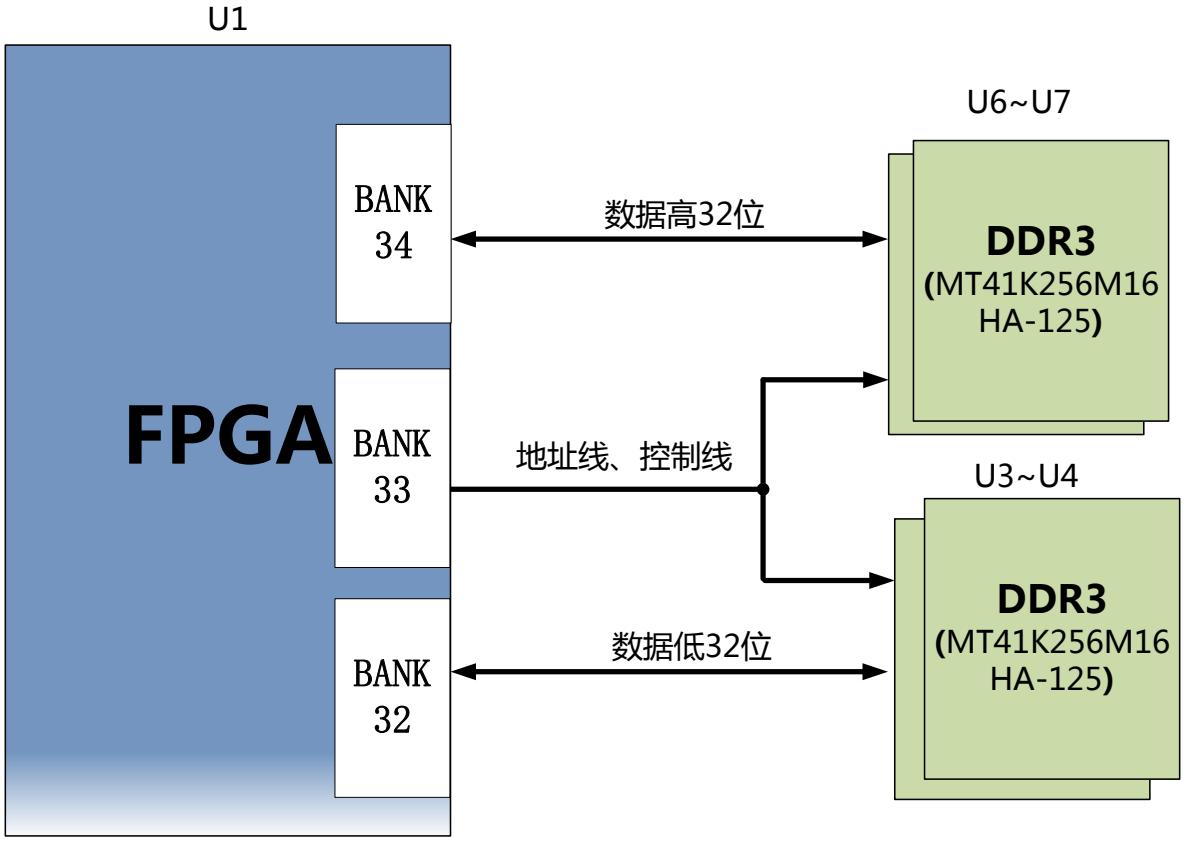


图3-1 DDR3 DRAM原理图部分

图 3-2 为开发板的 4 片 DDR3 DRAM 实物图

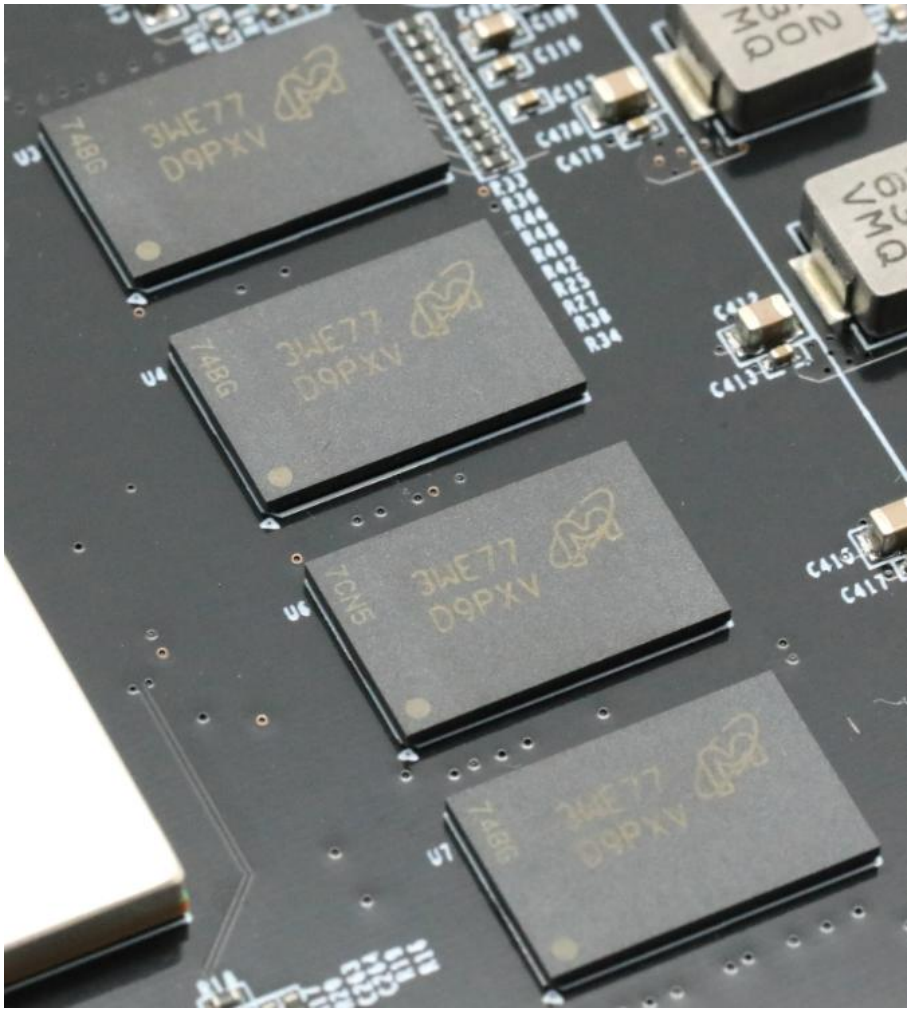


图 3-2 4 片 DDR3 DRAM 实物图

4 片 DDR3 DRAM 引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号
DDR3_D0	IO_L13P_T2_MRCC_32	AD18
DDR3_D1	IO_L16N_T2_32	AB18
DDR3_D2	IO_L14P_T2_SRCC_32	AD17
DDR3_D3	IO_L17P_T2_32	AB19
DDR3_D4	IO_L14N_T2_SRCC_32	AD16
DDR3_D5	IO_L17N_T2_32	AC19
DDR3_D6	IO_L13N_T2_MRCC_32	AE18
DDR3_D7	IO_L18P_T2_32	AB17
DDR3_D8	IO_L8P_T1_32	AG19
DDR3_D9	IO_L7N_T1_32	AK19
DDR3_D10	IO_L10P_T1_32	AD19

DDR3_D11	IO_L7P_T1_32	AJ19
DDR3_D12	IO_L11P_T1_SRCC_32	AF18
DDR3_D13	IO_L8N_T1_32	AH19
DDR3_D14	IO_L10N_T1_32	AE19
DDR3_D15	IO_L11N_T1_SRCC_32	AG18
DDR3_D16	IO_L1N_T0_32	AK15
DDR3_D17	IO_L5N_T0_32	AJ17
DDR3_D18	IO_L2N_T0_32	AH15
DDR3_D19	IO_L4P_T0_32	AF15
DDR3_D20	IO_L4N_T0_32	AG14
DDR3_D21	IO_L5P_T0_32	AH17
DDR3_D22	IO_L2P_T0_32	AG15
DDR3_D23	IO_L1P_T0_32	AK16
DDR3_D24	IO_L19P_T3_32	AE15
DDR3_D25	IO_L24P_T3_32	Y16
DDR3_D26	IO_L22P_T3_32	AC14
DDR3_D27	IO_L20P_T3_32	AA15
DDR3_D28	IO_L23P_T3_32	AA17
DDR3_D29	IO_L22N_T3_32	AD14
DDR3_D30	IO_L23N_T3_32	AA16
DDR3_D31	IO_L20N_T3_32	AB15
DDR3_D32	IO_L22N_T3_34	AK6
DDR3_D33	IO_L23P_T3_34	AJ8
DDR3_D34	IO_L22P_T3_34	AJ6
DDR3_D35	IO_L19P_T3_34	AF8
DDR3_D36	IO_L24N_T3_34	AK4
DDR3_D37	IO_L23N_T3_34	AK8
DDR3_D38	IO_L24P_T3_34	AK5
DDR3_D39	IO_L20N_T3_34	AG7
DDR3_D40	IO_L10P_T1_34	AE4
DDR3_D41	IO_L8N_T1_34	AF1
DDR3_D42	IO_L11P_T1_SRCC_34	AE5
DDR3_D43	IO_L8P_T1_34	AE1
DDR3_D44	IO_L12P_T1_MRCC_34	AF6
DDR3_D45	IO_L10N_T1_34	AE3

DDR3_D46	IO_L11N_T1_SRCC_34	AF5
DDR3_D47	IO_L7N_T1_34	AF2
DDR3_D48	IO_L13P_T2_MRCC_34	AH4
DDR3_D49	IO_L16N_T2_34	AJ2
DDR3_D50	IO_L14N_T2_SRCC_34	AH5
DDR3_D51	IO_L13N_T2_MRCC_34	AJ4
DDR3_D52	IO_L16P_T2_34	AH2
DDR3_D53	IO_L17N_T2_34	AK1
DDR3_D54	IO_L14P_T2_SRCC_34	AH6
DDR3_D55	IO_L17P_T2_34	AJ1
DDR3_D56	IO_L2P_T0_34	AC2
DDR3_D57	IO_L4P_T0_34	AC5
DDR3_D58	IO_L1N_T0_34	AD3
DDR3_D59	IO_L6P_T0_34	AC7
DDR3_D60	IO_L5N_T0_34	AE6
DDR3_D61	IO_L5P_T0_34	AD6
DDR3_D62	IO_L2N_T0_34	AC1
DDR3_D63	IO_L4N_T0_34	AC4
DDR3_DM0	IO_L16P_T2_32	AA18
DDR3_DM1	IO_L12P_T1_MRCC_32	AF17
DDR3_DM2	IO_L6P_T0_32	AE16
DDR3_DM3	IO_L24N_T3_32	Y15
DDR3_DM4	IO_L20P_T3_34	AF7
DDR3_DM5	IO_L7P_T1_34	AF3
DDR3_DM6	IO_L18P_T2_34	AJ3
DDR3_DM7	IO_L1P_T0_34	AD4
DDR3_DQS0_P	IO_L15P_T2_DQS_32	Y19
DDR3_DQS0_N	IO_L15N_T2_DQS_32	Y18
DDR3_DQS1_P	IO_L9P_T1_DQS_32	AJ18
DDR3_DQS1_N	IO_L9N_T1_DQS_32	AK18
DDR3_DQS2_P	IO_L3P_T0_DQS_32	AH16
DDR3_DQS2_N	IO_L3N_T0_DQS_32	AJ16
DDR3_DQS3_P	IO_L21P_T3_DQS_32	AC16
DDR3_DQS3_N	IO_L21N_T3_DQS_32	AC15
DDR3_DQS4_P	IO_L21P_T3_DQS_34	AH7

DDR3_DQS4_N	IO_L21N_T3_DQS_34	AJ7
DDR3_DQS5_P	IO_L9P_T1_DQS_34	AG4
DDR3_DQS5_N	IO_L9N_T1_DQS_34	AG3
DDR3_DQS6_P	IO_L15P_T2_DQS_34	AG2
DDR3_DQS6_N	IO_L15N_T2_DQS_34	AH1
DDR3_DQS7_P	IO_L3P_T0_DQS_34	AD2
DDR3_DQS7_N	IO_L3N_T0_DQS_34	AD1
DDR3_A0	IO_L1P_T0_33	AA12
DDR3_A1	IO_L1N_T0_33	AB12
DDR3_A2	IO_L2P_T0_33	AA8
DDR3_A3	IO_L2N_T0_33	AB8
DDR3_A4	IO_L3P_T0_DQS_33	AB9
DDR3_A5	IO_L3N_T0_DQS_33	AC9
DDR3_A6	IO_L6N_T0_VREF_33	AB13
DDR3_A7	IO_L4N_T0_33	Y10
DDR3_A8	IO_L5P_T0_33	AA11
DDR3_A9	IO_L5N_T0_33	AA10
DDR3_A10	IO_L6P_T0_33	AA13
DDR3_A11	IO_L8P_T1_33	AD8
DDR3_A12	IO_L7P_T1_33	AB10
DDR3_A13	IO_L7N_T1_33	AC10
DDR3_A14	IO_L15P_T2_DQS_33	AJ9
DDR3_BA0	IO_L8N_T1_33	AE8
DDR3_BA1	IO_L9P_T1_DQS_33	AC12
DDR3_BA2	IO_L9N_T1_DQS_33	AC11
DDR3_WE	IO_L10P_T1_33	AD9
DDR3_RAS	IO_L10N_T1_33	AE9
DDR3_CAS	IO_L11P_T1_SRCC_33	AE11
DDR3_S0	IO_L11N_T1_SRCC_33	AF11
DDR3_CKE0	IO_L12P_T1_MRCC_33	AD12
DDR3_ODT	IO_L12N_T1_MRCC_33	AD11
DDR3_CLK0_P	IO_L13P_T2_MRCC_33	AG10
DDR3_CLK0_N	IO_L13N_T2_MRCC_33	AH10
DDR3_RESET	IO_L4P_T0_33	Y11

四、 SODIMM 内存条接口

AX7325 开发板上有一个 204PIN 的 SODIMM 内存条插座，用来扩展开发板的存储空间和数据带宽，支持最高 8GB 的 Micron(美光） SODIMM DDR3 内存条。FPGA 和 SODIMM DDR3 内存条的数据宽度为 64bit 的总线宽度，最高运行速度可达 400MHz(数据速率 800Mbps)。默认开发板没有送 SODIMM 内存条，用户测试的话，需要自己准备，下图为我们测试用的 2GB 的 Micron(美光）SODIMM 内存条

图 4-1 SODIMM 内存条测试样品

SODIMM 内存条接口直接连接到了 FPGA 的 BANK16, BANK17，BANK18 的接口上，FPGA 和 SODIMM DDR3 的硬件连接方式如图 4-2 所示:

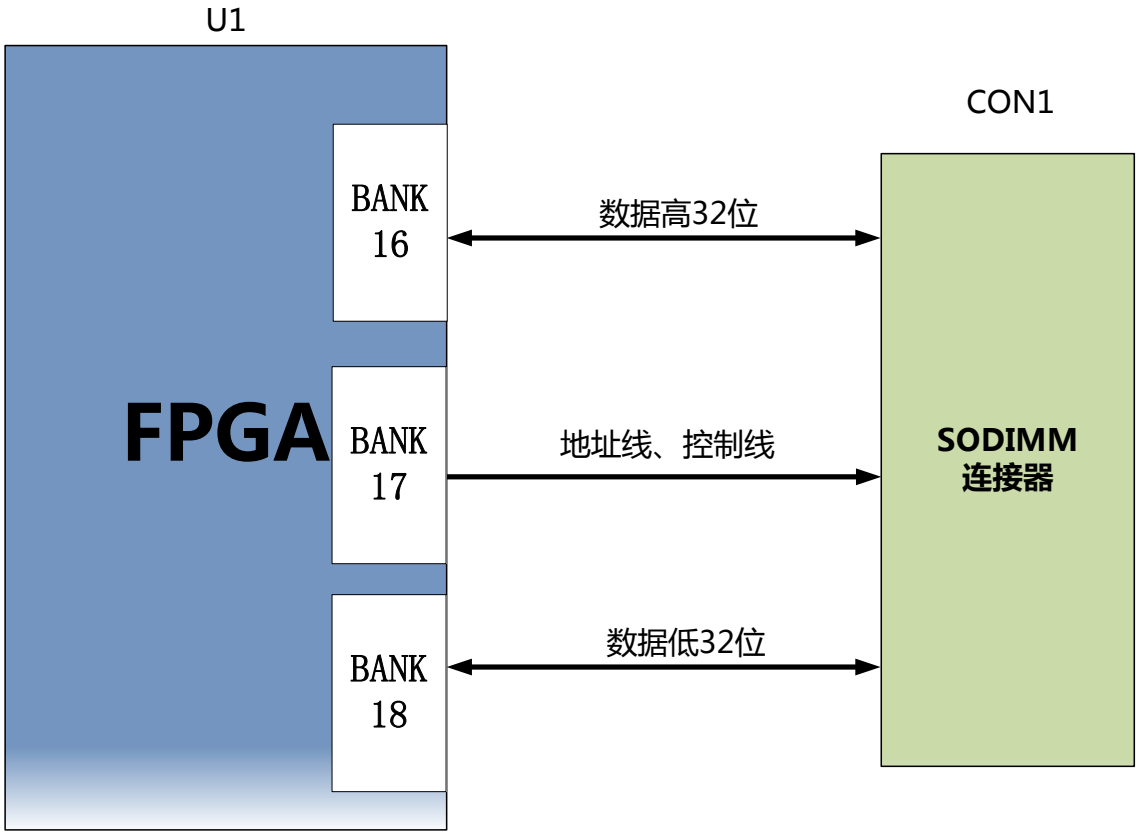


图 4-2 SODIMM 接口连接示意图

图 4-3 为开发板的 SODIMM 插槽的接口实物图

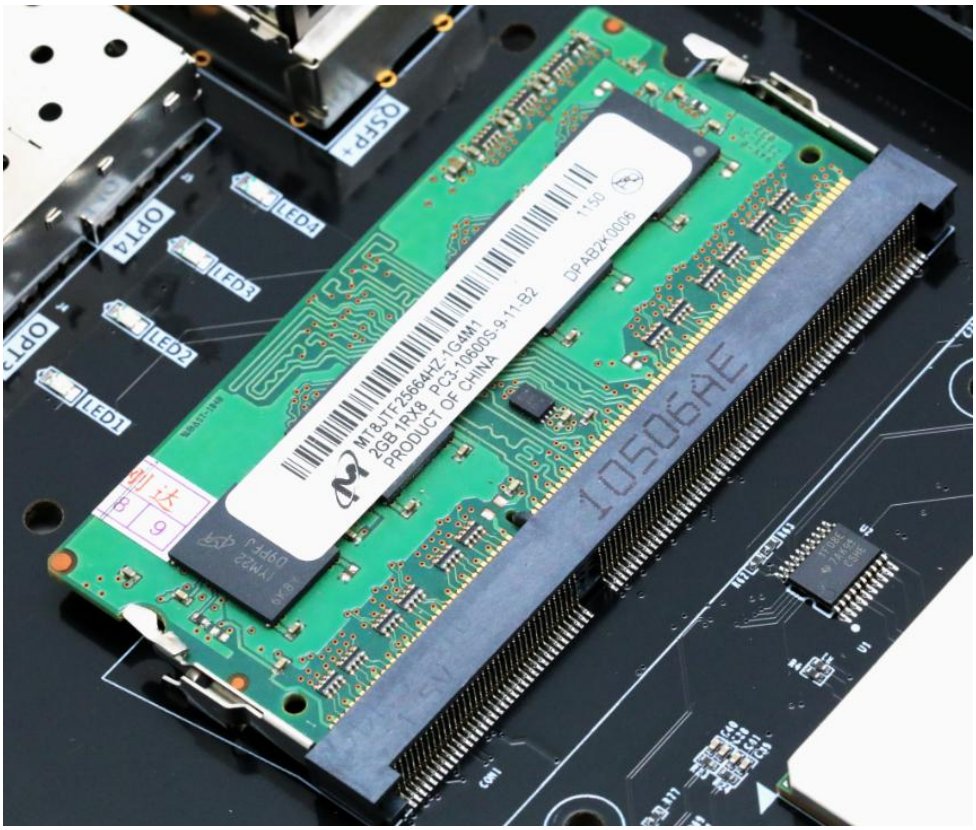


图 4-3 SODIMM 插槽实物图

SODIMM 插槽 FPGA 引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号
DIMM_DDR3_D0	IO_L2P_T0_18	L15
DIMM_DDR3_D1	IO_L5P_T0_18	K14
DIMM_DDR3_D2	IO_L5N_T0_18	J14
DIMM_DDR3_D3	IO_L6P_T0_18	L11
DIMM_DDR3_D4	IO_L2N_T0_18	K15
DIMM_DDR3_D5	IO_L1P_T0_18	L16
DIMM_DDR3_D6	IO_L4N_T0_18	J13
DIMM_DDR3_D7	IO_L1N_T0_18	K16
DIMM_DDR3_D8	IO_L8N_T1_18	J12
DIMM_DDR3_D9	IO_L8P_T1_18	J11
DIMM_DDR3_D10	IO_L7P_T1_18	H15
DIMM_DDR3_D11	IO_L11N_T1_SRCC_18	G14
DIMM_DDR3_D12	IO_L10P_T1_18	H11
DIMM_DDR3_D13	IO_L10N_T1_18	H12
DIMM_DDR3_D14	IO_L12P_T1_MRCC_18	G13
DIMM_DDR3_D15	IO_L7N_T1_18	G15
DIMM_DDR3_D16	IO_L13P_T2_MRCC_18	D12
DIMM_DDR3_D17	IO_L17P_T2_18	A11
DIMM_DDR3_D18	IO_L13N_T2_MRCC_18	D13
DIMM_DDR3_D19	IO_L14N_T2_SRCC_18	E13
DIMM_DDR3_D20	IO_L16P_T2_18	F11
DIMM_DDR3_D21	IO_L16N_T2_18	E11
DIMM_DDR3_D22	IO_L17N_T2_18	A12
DIMM_DDR3_D23	IO_L14P_T2_SRCC_18	F12
DIMM_DDR3_D24	IO_L22P_T3_18	B13
DIMM_DDR3_D25	IO_L22N_T3_18	A13
DIMM_DDR3_D26	IO_L23N_T3_18	B15
DIMM_DDR3_D27	IO_L23P_T3_18	C15
DIMM_DDR3_D28	IO_L24P_T3_18	B14
DIMM_DDR3_D29	IO_L24N_T3_18	A15

DIMM_DDR3_D30	IO_L20N_T3_18	E15
DIMM_DDR3_D31	IO_L19P_T3_18	F15
DIMM_DDR3_D32	IO_L1N_T0_16	A23
DIMM_DDR3_D33	IO_L4N_T0_16	D24
DIMM_DDR3_D34	IO_L4P_T0_16	E24
DIMM_DDR3_D35	IO_L5N_T0_16	E26
DIMM_DDR3_D36	IO_L2P_T0_16	E23
DIMM_DDR3_D37	IO_L1P_T0_16	B23
DIMM_DDR3_D38	IO_L2N_T0_16	D23
DIMM_DDR3_D39	IO_L6P_T0_16	G23
DIMM_DDR3_D40	IO_L8N_T1_16	B24
DIMM_DDR3_D41	IO_L8P_T1_16	C24
DIMM_DDR3_D42	IO_L11N_T1_SRCC_16	C26
DIMM_DDR3_D43	IO_L7N_T1_16	A27
DIMM_DDR3_D44	IO_L10P_T1_16	A25
DIMM_DDR3_D45	IO_L10N_T1_16	A26
DIMM_DDR3_D46	IO_L7P_T1_16	B27
DIMM_DDR3_D47	IO_L11P_T1_SRCC_16	D26
DIMM_DDR3_D48	IO_L13P_T2_MRCC_16	D27
DIMM_DDR3_D49	IO_L17N_T2_16	A30
DIMM_DDR3_D50	IO_L16N_T2_16	C30
DIMM_DDR3_D51	IO_L16P_T2_16	D29
DIMM_DDR3_D52	IO_L13N_T2_MRCC_16	C27
DIMM_DDR3_D53	IO_L17P_T2_16	B30
DIMM_DDR3_D54	IO_L18P_T2_16	E29
DIMM_DDR3_D55	IO_L14P_T2_SRCC_16	E28
DIMM_DDR3_D56	IO_L20N_T3_16	F28
DIMM_DDR3_D57	IO_L22N_T3_16	F30
DIMM_DDR3_D58	IO_L24P_T3_16	H30
DIMM_DDR3_D59	IO_L20P_T3_16	G28
DIMM_DDR3_D60	IO_L19P_T3_16	H24
DIMM_DDR3_D61	IO_L22P_T3_16	G29
DIMM_DDR3_D62	IO_L23N_T3_16	H27
DIMM_DDR3_D63	IO_L23P_T3_16	H26
DIMM_DDR3_DM0	IO_L4P_T0_18	K13

DIMM_DDR3_DM1	IO_L11P_T1_SRCC_18	H14
DIMM_DDR3_DM2	IO_L18P_T2_18	D11
DIMM_DDR3_DM3	IO_L20P_T3_18	E14
DIMM_DDR3_DM4	IO_L5P_T0_16	F26
DIMM_DDR3_DM5	IO_L12P_T1_MRCC_16	C25
DIMM_DDR3_DM6	IO_L14N_T2_SRCC_16	D28
DIMM_DDR3_DM7	IO_L24N_T3_16	G30
DIMM_DDR3_DQS0_P	IO_L3P_T0_DQS_18	L12
DIMM_DDR3_DQS0_N	IO_L3N_T0_DQS_18	L13
DIMM_DDR3_DQS1_P	IO_L9P_T1_DQS_18	J16
DIMM_DDR3_DQS1_N	IO_L9N_T1_DQS_18	H16
DIMM_DDR3_DQS2_P	IO_L15P_T2_DQS_18	C12
DIMM_DDR3_DQS2_N	IO_L15N_T2_DQS_18	B12
DIMM_DDR3_DQS3_P	IO_L21P_T3_DQS_18	D14
DIMM_DDR3_DQS3_N	IO_L21N_T3_DQS_18	C14
DIMM_DDR3_DQS4_P	IO_L3P_T0_DQS_16	F25
DIMM_DDR3_DQS4_N	IO_L3N_T0_DQS_16	E25
DIMM_DDR3_DQS5_P	IO_L9P_T1_DQS_16	B28
DIMM_DDR3_DQS5_N	IO_L9N_T1_DQS_16	A28
DIMM_DDR3_DQS6_P	IO_L15P_T2_DQS_16	C29
DIMM_DDR3_DQS6_N	IO_L15N_T2_DQS_16	B29
DIMM_DDR3_DQS7_P	IO_L21P_T3_DQS_16	G27
DIMM_DDR3_DQS7_N	IO_L21N_T3_DQS_16	F27
DIMM_DDR3_A0	IO_L11P_T1_SRCC_17	F21
DIMM_DDR3_A1	IO_L8P_T1_17	D21
DIMM_DDR3_A2	IO_L11N_T1_SRCC_17	E21
DIMM_DDR3_A3	IO_L16N_T2_17	F18
DIMM_DDR3_A4	IO_L3N_T0_DQS_17	H17
DIMM_DDR3_A5	IO_L17N_T2_17	B17
DIMM_DDR3_A6	IO_L4P_T0_17	J19
DIMM_DDR3_A7	IO_L17P_T2_17	C17
DIMM_DDR3_A8	IO_L1N_T0_17	J18
DIMM_DDR3_A9	IO_L15N_T2_DQS_17	C16
DIMM_DDR3_A10	IO_L6P_T0_17	K19
DIMM_DDR3_A11	IO_L16P_T2_17	G18

DIMM_DDR3_A12	IO_L1P_T0_17	K18
DIMM_DDR3_A13	IO_L9P_T1_DQS_17	G22
DIMM_DDR3_A14	IO_L15P_T2_DQS_17	D16
DIMM_DDR3_A15	IO_L5N_T0_17	L18
DIMM_DDR3_BA0	IO_L4N_T0_17	H19
DIMM_DDR3_BA1	IO_L2P_T0_17	H20
DIMM_DDR3_BA2	IO_L3P_T0_DQS_17	J17
DIMM_DDR3_WE	IO_L7P_T1_17	H21
DIMM_DDR3_RAS	IO_L2N_T0_17	G20
DIMM_DDR3_CAS	IO_L6N_T0_VREF_17	K20
DIMM_DDR3_S0	IO_L9N_T1_DQS_17	F22
DIMM_DDR3_S1	IO_L8N_T1_17	C21
DIMM_DDR3_CKE0	IO_L5P_T0_17	L17
DIMM_DDR3_CKE1	IO_L18P_T2_17	G17
DIMM_DDR3_ODT0	IO_L10P_T1_17	D22
DIMM_DDR3_ODT1	IO_L7N_T1_17	H22
DIMM_DDR3_CLK0_P	IO_L12P_T1_MRCC_17	D17
DIMM_DDR3_CLK0_N	IO_L12N_T1_MRCC_17	D18
DIMM_DDR3_CLK1_P	IO_L14P_T2_SRCC_17	E19
DIMM_DDR3_CLK1_N	IO_L14N_T2_SRCC_17	D19
DIMM_DDR3_RESET	IO_L18N_T2_17	F17

五、 QSPI Flash

开发板配有一片 128MBit 大小的 Quad-SPI FLASH 芯片，型号为 N25Q128A，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中， 它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 5-1。

位号	芯片类型	容量	厂家
U7	N25Q128A	128Mbit	Numonyx

表5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK0 和 BANK14 的专用管脚上，其中时钟管脚连

接到 BANK0 的 CCLK0 上，其它数据和片选信号分别连接到 BANK14 的 D00~D03 和 FCS 管脚上。图 5-1 为 QSPI Flash 和 FPGA 芯片的连接示意图。

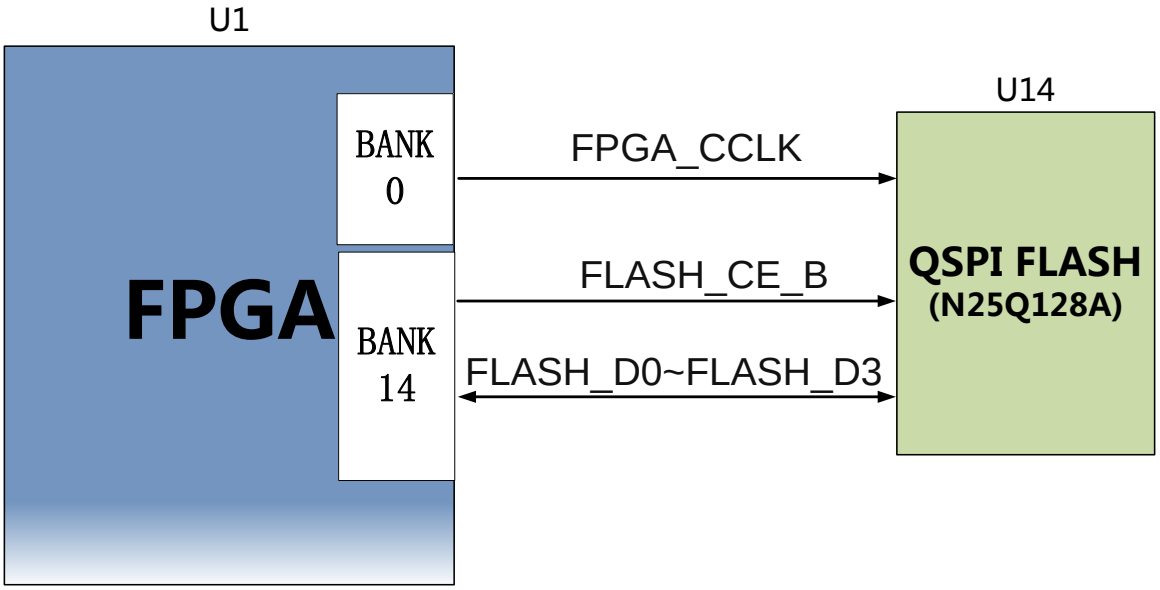
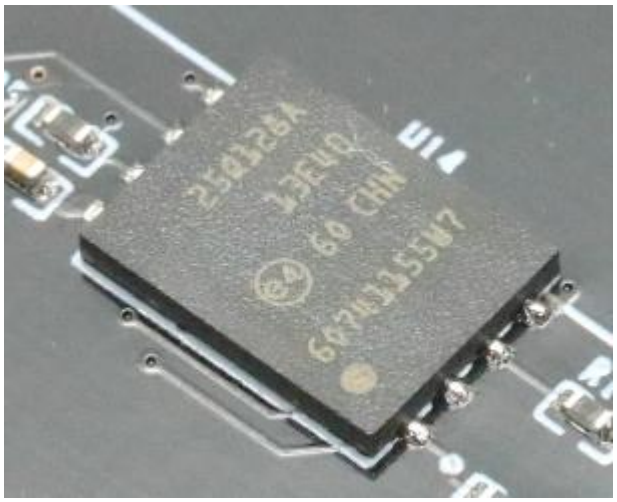


图 5-1 QSPI Flash 连接示意图

图 5-2 为 QSPI Flash 的实物图



5-2 为 QSPI Flash 的实物图

配置芯片引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号
FPGA_CCLK	CCLK_0	B10
FLASH_CE_B	IO_L6P_T0_FCS_B_14	U19
FLASH_D0	IO_L1P_T0_D00_MOSI_14	P24
FLASH_D1	IO_L1N_T0_D01_DIN_14	R25

FLASH_D2	IO_L2P_T0_D02_14	R20
FLASH_D3	IO_L2N_T0_D03_14	R21

六、 时钟配置

AX7325 开发板上为 FPGA 系统提供了 200Mhz 的差分有源时钟。另外板上有一个可编程的时钟芯片 SI5338P 为 FPGA 逻辑部分和高速收发器 GTX 部分提供差分时钟源。

200Mhz 的差分时钟源

板上提供了一个差分 200MHz 的时钟源为 FPGA 提供系统时钟。晶振差分输出连接到 FPGA BANK33 的全局时钟(MRCC)，这个时钟可以用来驱动 FPGA 内 DDR 控制器工作时钟和其它的用户逻辑电路。该时钟源的原理图如图 6-1 所示

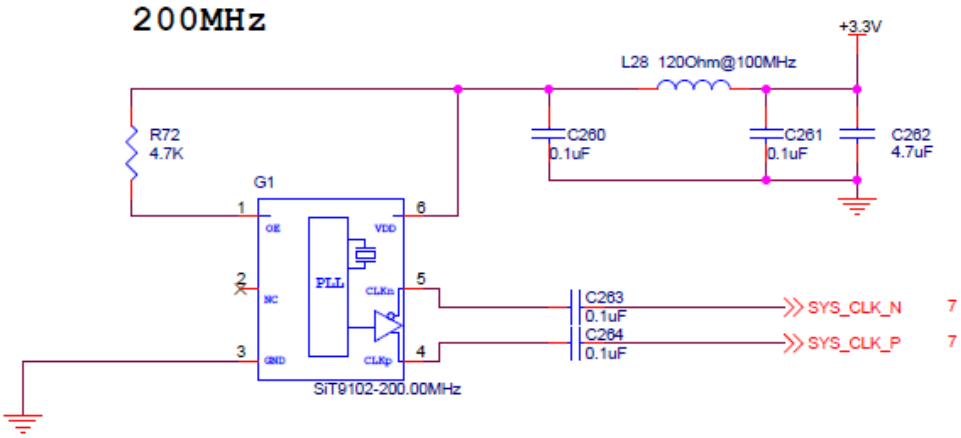


图 6-1 200Mhz系统时钟源

图 5-2 为有源晶振 200MHz 的实物图

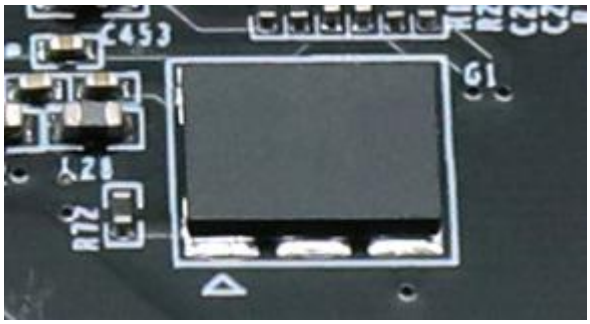


图6-2 200Mhz有源晶振实物图

系统时钟引脚分配：

信号名称	FPGA 引脚

SYS_CLK_P	AE10
SYS_CLK_N	AF10

可编程时钟源

可编程时钟源主要为高速收发器 GTX 和 DIMM 的 DDR 控制器提供可编程的参考时钟，GTX 的不同的数据通信需要有不同的参考时钟，譬如光纤通信的时候，需要给 FPGA 提供 GTX 收发器 125Mhz 的参考时钟。该可编程时钟源由 SILICON LABS 的芯片 Si5338 来实现，FPGA 芯片可以通过 I2C 对寄存器的配置使得 Si5338 片能产生四路参考时钟信号，第一路时钟提供给 BANK17，作为 DIMM DDR3 控制器的参考时钟；第二路参考时钟提供给 BANK118，作为 GTX 收发器的 40G 光纤通信的参考时钟；第三路参考时钟提供给 BANK117，作为 GTX 收发器的 10G SPF 光纤通信的参考时钟；第四路参考时钟提供给 BANK116，作为 GTX 收发器的 PCIE 通信提供参考时钟。Si5338 电路设计的示意图如下图 6-3 所示:

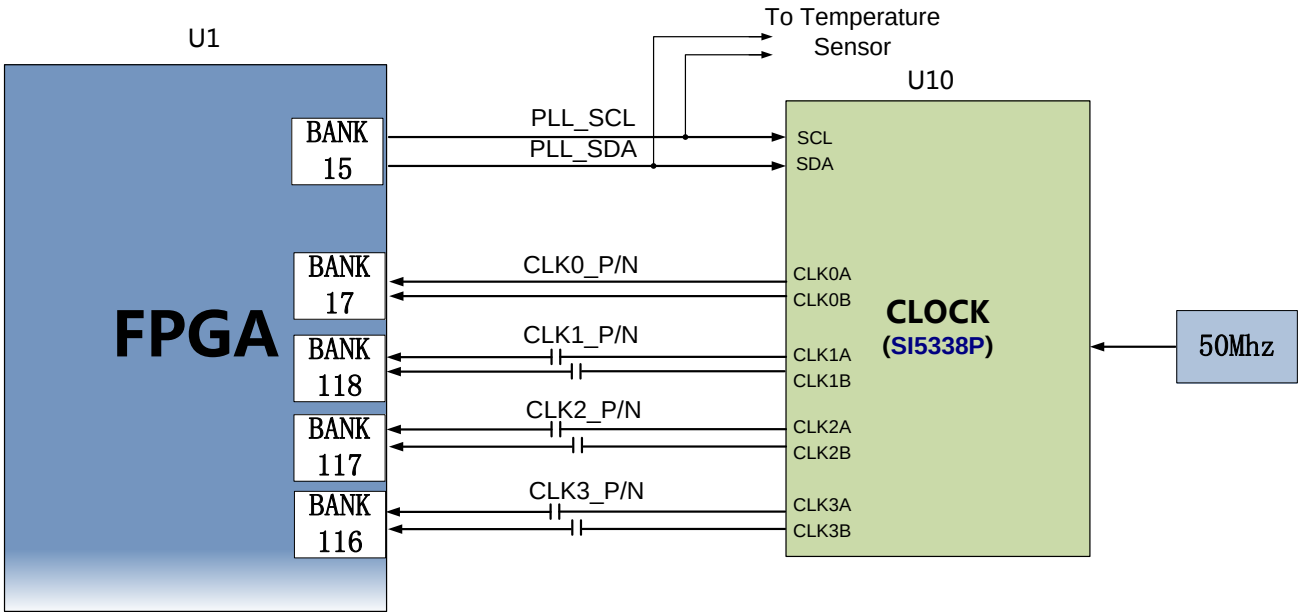


图 6-3 可编程时钟源

图 6-4 为可编程时钟源的实物图

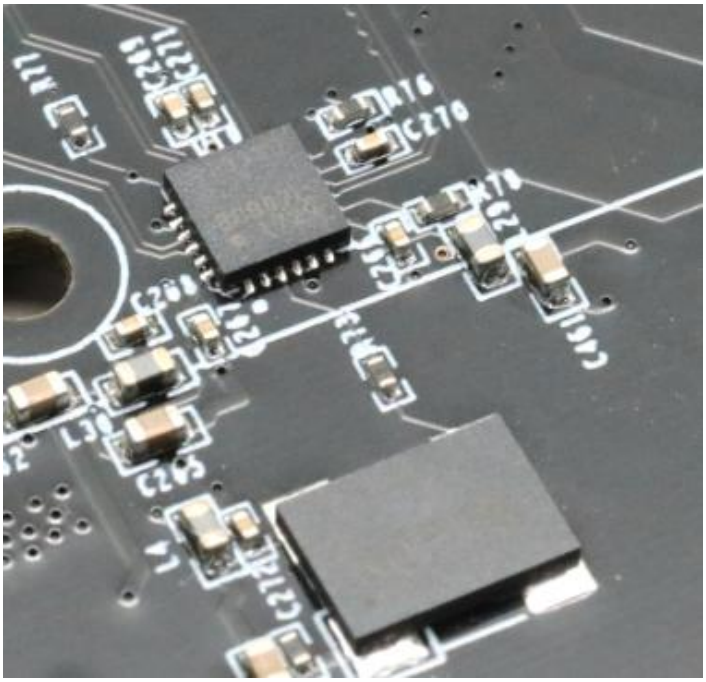


图6-4 可编程时钟源实物图

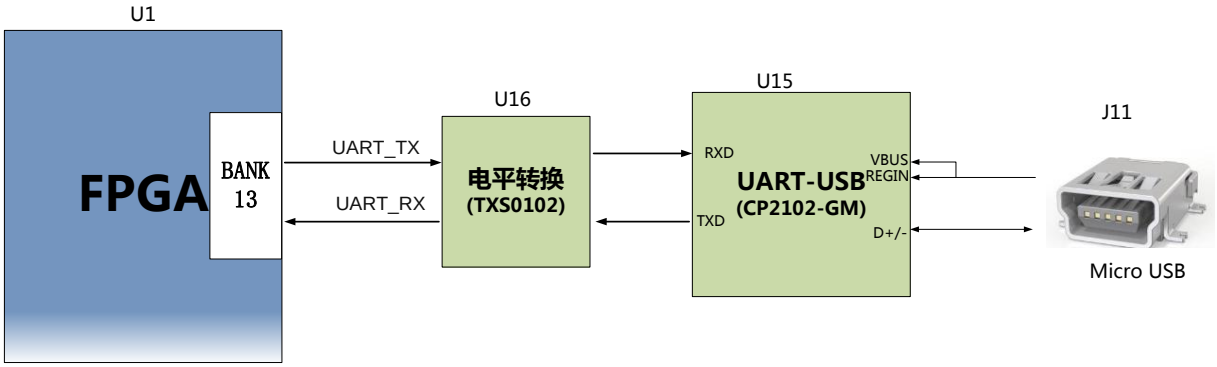
可编程时钟源 FPGA 引脚分配：

信号名称	FPGA 引脚
PLL_SCL	P23
PLL_SDA	N25
CLK0_P	F20
CLK0_N	E20
CLK1_P	C8
CLK1_N	C7
CLK2_P	G8
CLK2_N	G7
CLK3_P	L8
CLK3_N	L7

七、 USB 转串口

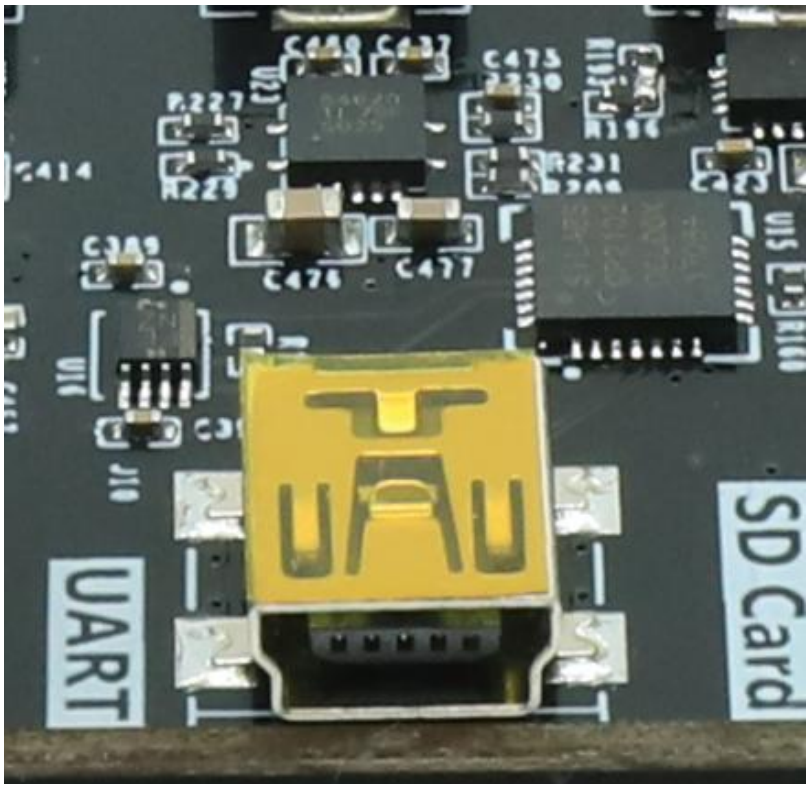
开发板上配备了一个 Uart 转 USB 接口，用于开发板串口通信和调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, CP2102 串口芯片和 FPGA 之间用一个电平转换芯片连接 ,来适应不同的 FPGA BANK 电压。USB 接口采用 MINI USB 接口 ,可以用一根 USB 线将它连接到上 PC 的 USB 口进行开发板的串口数据通信 。USB Uart 电路设计的示意图如

下图所示:



7-1 USB 转串口示意图

下图为 USB 转串口的实物图



7-2 USB 转串口实物图

USB 转串口的 FPGA 引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
UART_RX	PS_MIO13_500	AJ26	Uart数据输入
UART_TX	PS_MIO12_500	AK26	Uart数据输出

八、 SFP 光纤接口

AX7325 开发板上有 4 路 SFP 光纤接口 ,用户可以购买 SFP 光模块(市场上 1.25G ,2.5G , 10G 光模块) 插入到这 4 个光纤接口中进行光纤数据通信。4 路光纤接口分别跟 FPGA 的 BANK117 的 GTX 收发器的 4 路 RX/TX 相连接 ,TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和光模块，每路 TX 发送和 RX 接收数据速率高达 10Gb/s。BANK117 的 GTX 收发器的参考时钟由是可编程时钟芯片提供。

FPGA 和 SFP 光纤设计示意图如下图 8-1 所示:

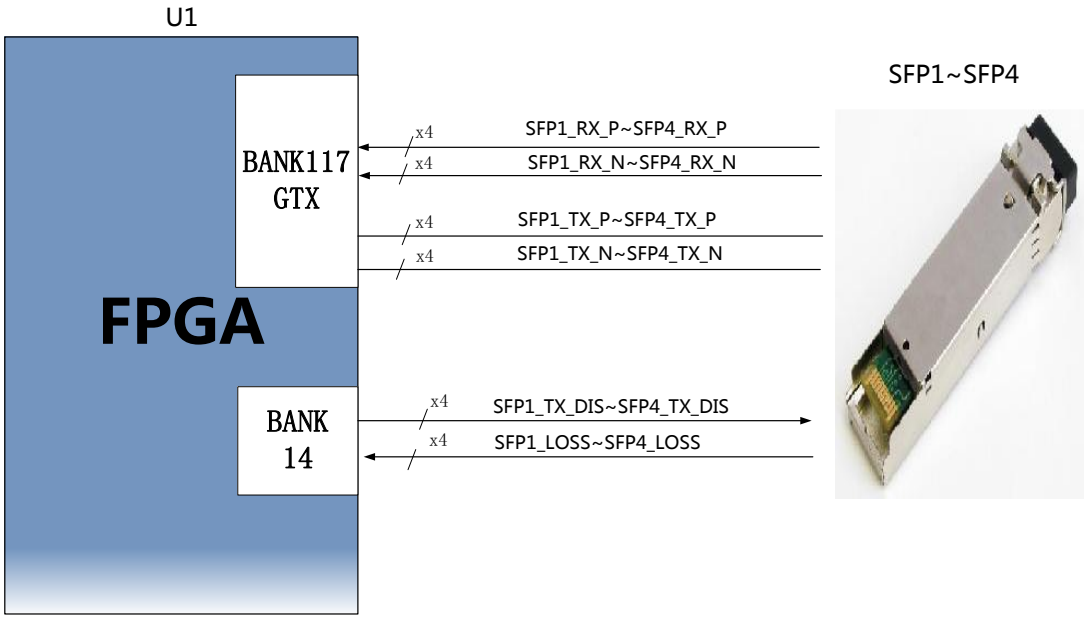


图 8-1 光纤设计示意图

四路光纤接口在扩展板的实物图如下图 8-2 所示:

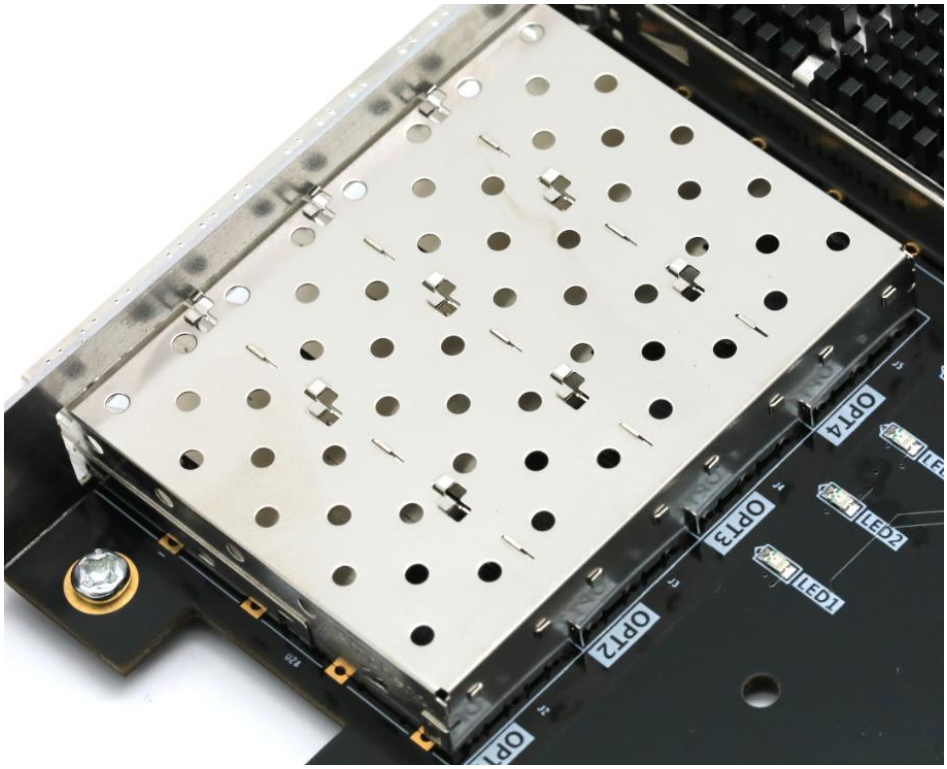


图 8-2 四路光纤通信接口实物图

第 1 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP1_TX_P	K2	SFP 光模块数据发送 Positive
SFP1_TX_N	K1	SFP 光模块数据发送 Negative
SFP1_RX_P	K6	SFP 光模块数据接收 Positive
SFP1_RX_N	K5	SFP 光模块数据接收 Negative
SFP1_TX_DIS	T28	SFP 光模块光发射禁止，高有效
SFP1_LOSS	R28	SFP 光接收 LOSS 信号，高表示没有接收到光信号

第 2 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP2_TX_P	J4	SFP 光模块数据发送 Positive
SFP2_TX_N	J3	SFP 光模块数据发送 Negative
SFP2_RX_P	H6	SFP 光模块数据接收 Positive
SFP2_RX_N	H5	SFP 光模块数据接收 Negative
SFP2_TX_DIS	T28	SFP 光模块光发射禁止，高有效

SFP2_LOSS	T26	SFP 光接收 LOSS 信号，高表示没有接收到光信号

第 3 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP3_TX_P	H2	SFP 光模块数据发送 Positive
SFP3_TX_N	H1	SFP 光模块数据发送 Negative
SFP3_RX_P	G4	SFP 光模块数据接收 Positive
SFP3_RX_N	G3	SFP 光模块数据接收 Negative
SFP3_TX_DIS	U28	SFP 光模块光发射禁止，高有效
SFP3_LOSS	U27	SFP 光接收 LOSS 信号，高表示没有接收到光信号

第 4 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP4_TX_P	F2	SFP 光模块数据发送 Positive
SFP4_TX_N	F1	SFP 光模块数据发送 Negative
SFP4_RX_P	F6	SFP 光模块数据接收 Positive
SFP4_RX_N	F5	SFP 光模块数据接收 Negative
SFP4_TX_DIS	U25	SFP 光模块光发射禁止，高有效
SFP4_LOSS	A18	SFP 光接收 LOSS 信号，高表示没有接收到光信号

九、 QSFP+光纤接口

AX7325 开发板上有一个四小体积可插入 QSFP+的光纤接口。光纤收发器集成了 4 传送通道和 4 接收通道，这种 4 通道的可插拔接口传输速率达到了 40Gbps。满足用户对更高密度的高速可插拔光纤通信解决方案。

QSFP+的光纤接口的收发信号直接跟 FPGA 的 BANK118 的 GTX 收发器相连接，光纤的 4 路 TX 信号和 RX 信号都是直接跟 GTX 的收发器连接，因为单路 GTX 的速率高达 10Gbps 带宽，所以 4 路 GTX 的速度可以高达 40Gbps。BANK118 的 GTX 收发器的参考时钟由可编程时钟芯片 SI5338P 提供。

开发板的 QSFP+的光纤设计示意图如下图 9-1 所示，其中光纤的控制信号连接到 FPGA 的 BANK14。

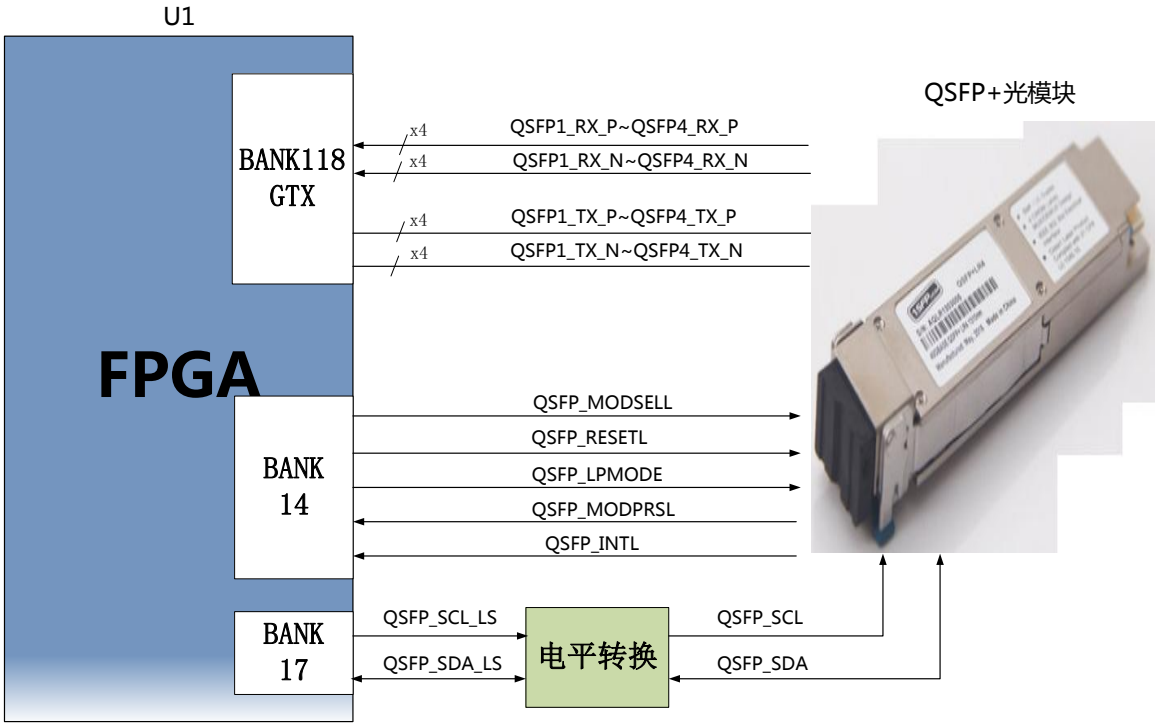


图 9-1 QSFP+光纤设计示意图

QSFP+光纤接口在开发板上的实物图如下图 9-2 所示:

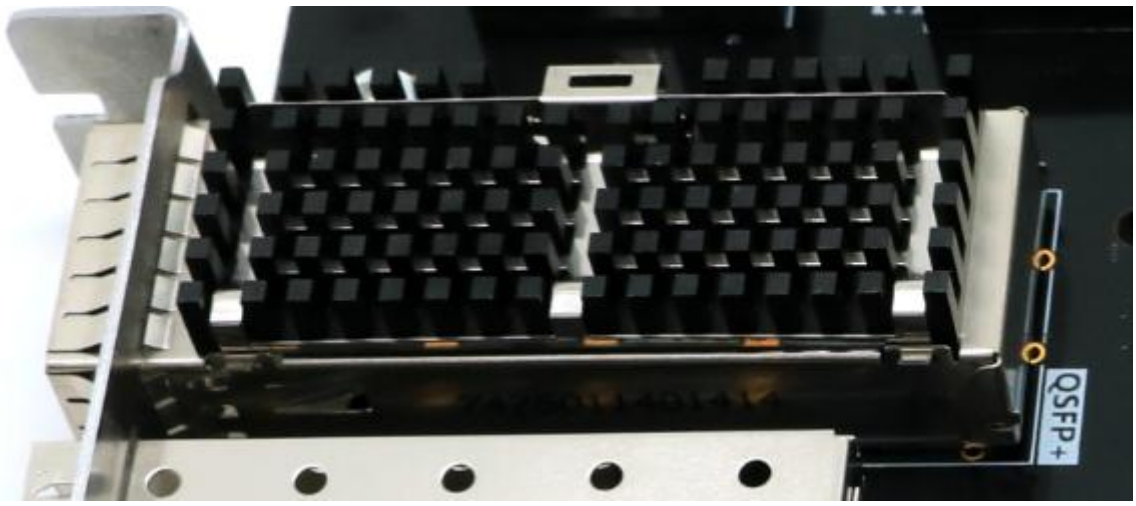


图 9-2 QSFP+光纤通信接口实物图

QSFP+光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
QSFP1_TX_P	D2	QSFP+第一路数据发送 Positive
QSFP1_TX_N	D1	QSFP+第一路数据发送 Negative
QSFP2_TX_P	B2	QSFP+第二路数据发送 Positive
QSFP2_TX_N	B1	QSFP+第二路数据发送 Negative

QSFP3_TX_P	C4	QSFP+第三路数据发送 Positive
QSFP3_TX_N	C3	QSFP+第三路数据发送 Negative
QSFP4_TX_P	A4	QSFP+第四路数据发送 Positive
QSFP4_TX_N	A3	QSFP+第四路数据发送 Negative
QSFP1_RX_P	E4	QSFP+第一路数据接收 Positive
QSFP1_RX_N	E3	QSFP+第一路数据接收 Negative
QSFP2_RX_P	B6	QSFP+第二路数据接收 Positive
QSFP2_RX_N	B5	QSFP+第二路数据接收 Negative
QSFP3_RX_P	D6	QSFP+第三路数据接收 Positive
QSFP3_RX_N	D5	QSFP+第三路数据接收 Negative
QSFP4_RX_P	A8	QSFP+第四路数据接收 Positive
QSFP4_RX_N	A7	QSFP+第四路数据接收 Negative
QSFP_MODSELL	R30	模式选择，低电平 I2C 有效
QSFP_RESETL	U30	复位信号，低电平复位
QSFP_MODPRSL	U22	光模块存在信号，低电平有效
QSFP_INTL	R24	中断信号，低电平有效
QSFP_LPMODE	V26	低功耗模式选择
QSFP_SCL	A20	I2C 时钟信号
QSFP_SDA	A21	I2C 数据信号

十、 PCIe 插槽

AX7325 开发板上有一个 PCIe x8 的接口，PCIE 卡的外形尺寸符合标准 PCIe 卡电气规范要求，可直接在普通 PC 的 x8 PCIe 插槽上使用。开发板和电脑之间能实现 PCIEex8,PCIEex4, PCIex2, PCIex1 的数据通信。

PCIe 接口的收发信号直接跟 FPGA BANK115，BANK116 的 GTX 收发器相连接，8 路 TX 信号和 RX 信号都是以差分信号方式连接到 BANK115，BANK116 上，支持 PCI Express 2.0 标准，单通道通信速率可高达 5Gbps。

开发板的 PCIe 接口的设计示意图如下图 10-1 所示,其中 TX 发送信号用 AC 耦合模式连接。

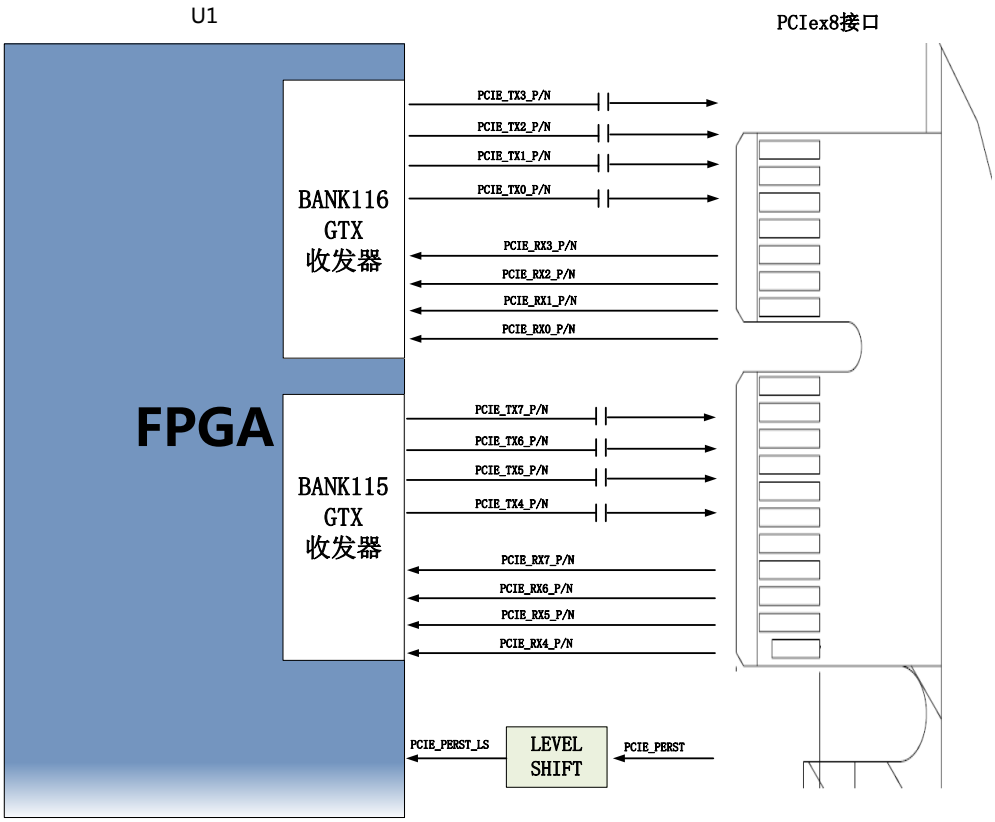


图 10-1 PCIe x 8 接口设计示意图

PCIex8 接口在的实物图如下图所示:

PCIe x8 接口实物图

PCIe x8 接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
PCIE_RX0_P	M6	PCIE 通道 0 数据接收 Positive
PCIE_RX0_N	M5	PCIE 通道 0 数据接收 Negative
PCIE_RX1_P	P6	PCIE 通道 1 数据接收 Positive
PCIE_RX1_N	P5	PCIE 通道 1 数据接收 Negative
PCIE_RX2_P	R4	PCIE 通道 2 数据接收 Positive
PCIE_RX2_N	R3	PCIE 通道 2 数据接收 Negative

PCIE_RX3_P	T6	PCIE 通道 3 数据接收 Positive
PCIE_RX3_N	T5	PCIE 通道 3 数据接收 Negative
PCIE_RX4_P	V6	PCIE 通道 4 数据接收 Positive
PCIE_RX4_N	V5	PCIE 通道 4 数据接收 Negative
PCIE_RX5_P	W4	PCIE 通道 5 数据接收 Positive
PCIE_RX5_N	W3	PCIE 通道 5 数据接收 Negative
PCIE_RX6_P	Y6	PCIE 通道 6 数据接收 Positive
PCIE_RX6_N	Y5	PCIE 通道 6 数据接收 Negative
PCIE_RX7_P	AA4	PCIE 通道 7 数据接收 Positive
PCIE_RX7_N	AA3	PCIE 通道 7 数据接收 Negative
PCIE_TX0_P	L4	PCIE 通道 0 数据发送 Positive
PCIE_TX0_N	L3	PCIE 通道 0 数据发送 Negative
PCIE_TX1_P	M2	PCIE 通道 1 数据发送 Positive
PCIE_TX1_N	M1	PCIE 通道 1 数据发送 Negative
PCIE_TX2_P	N4	PCIE 通道 2 数据发送 Positive
PCIE_TX2_N	N3	PCIE 通道 2 数据发送 Negative
PCIE_TX3_P	P2	PCIE 通道 3 数据发送 Positive
PCIE_TX3_N	P1	PCIE 通道 3 数据发送 Negative
PCIE_TX4_P	T2	PCIE 通道 4 数据发送 Positive
PCIE_TX4_N	T1	PCIE 通道 4 数据发送 Negative
PCIE_TX5_P	U4	PCIE 通道 5 数据发送 Positive
PCIE_TX5_N	U3	PCIE 通道 5 数据发送 Negative
PCIE_TX6_P	V2	PCIE 通道 6 数据发送 Positive
PCIE_TX6_N	V1	PCIE 通道 6 数据发送 Negative
PCIE_TX7_P	Y2	PCIE 通道 7 数据发送 Positive
PCIE_TX7_N	Y1	PCIE 通道 7 数据发送 Negative
PCIE_PERST	B18	PCIE 板卡的复位信号

十一、温度传感器

AX7325 开发板上安装了一个高精度、低功耗、数字温度传感器芯片，型号为 ON Semiconductor 公司的 LM75。LM75 芯片的温度精度为 0.5 度,传感器和 FPGA 直接为 I2C

数字接口， FPGA 通过 I2C 接口来读取当前开发板附近的温度。下图 11-1 为 LM75 传感器芯片的设计示意图

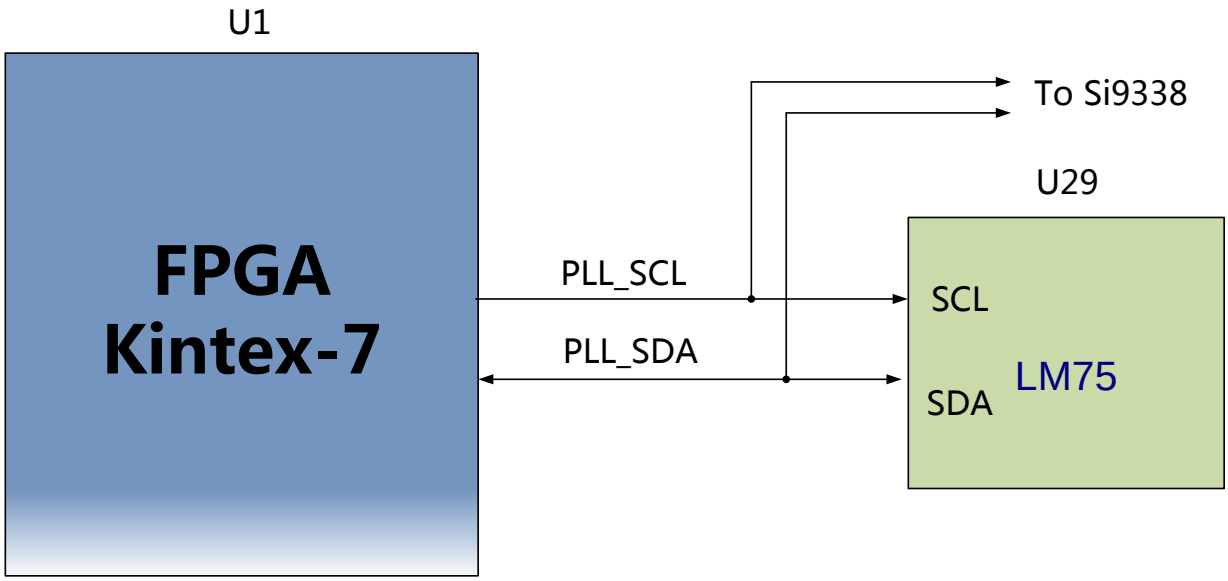


图 11-1 LM75 传感器原理图部分

下图为 LM75 传感器实物图

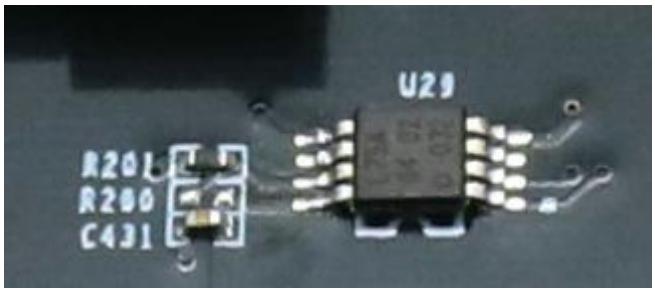


图 11-2 LM75 传感器实物图

LM75 传感器引脚分配：

引脚名称	FPGA 引脚
PLL_SCL	P23
PLL_SDA	N25

十二、SD 卡槽

AX7325开发板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储图片，音乐或者其他用户数据文件。

SDIO信号与FPGA的 BANK12的IO信号相连，因为该BANK的VCCIO是VADJ，默认是

+2.5V。但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。FPGA和SD卡连接器的原理图如图12-1所示。

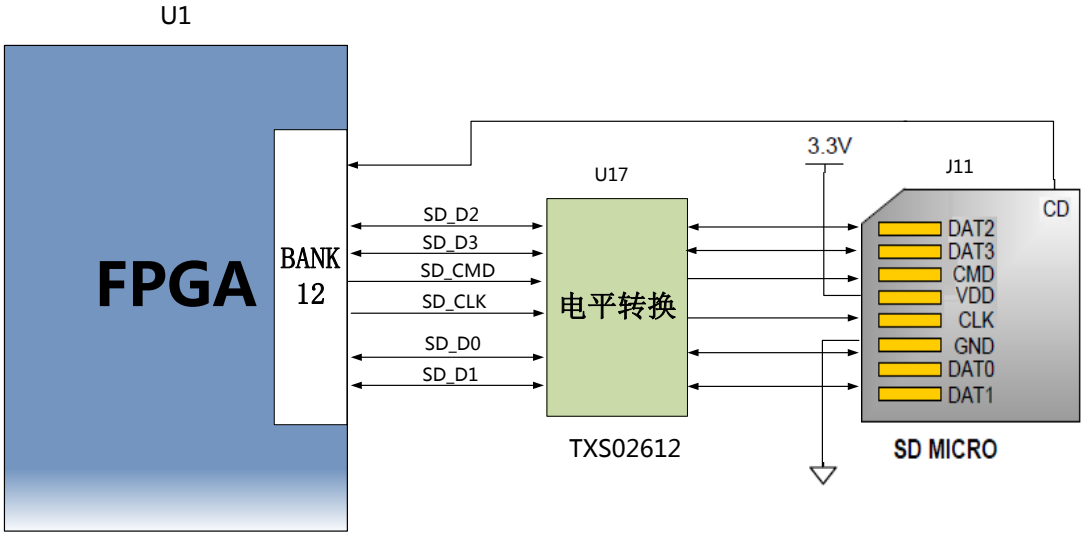


图 12-1 SD 卡连接示意图

图 12-2 为开发板上 SD 卡槽实物图

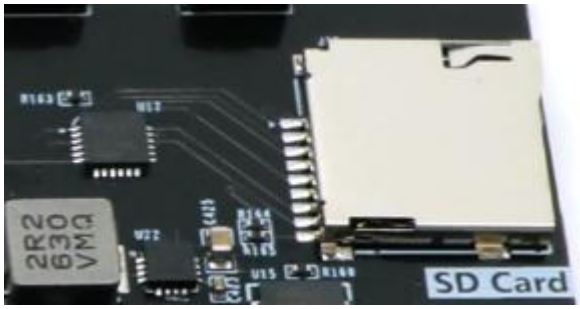


图 12-2 SD 卡槽实物图

SD 卡槽引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
SD_CLK	IO_L23P_T3_12	AH21	SD时钟信号
SD_CMD	IO_L23N_T3_12	AJ21	SD命令信号
SD_D0	IO_L21P_T3_DQS_12	AJ22	SD数据Data0
SD_D1	IO_L21N_T3_DQS_12	AJ23	SD数据Data1
SD_D2	IO_L22P_T3_12	AG20	SD数据Data2
SD_D3	IO_L22N_T3_12	AH20	SD数据Data3
SD_CD	IO_25_12	AE20	SD卡插入信号

十三、FMC 连接器

AX7325 开发板带有一个标准的 FMC LPC 的扩展口，可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。FMC 扩展口包含 34 对差分 IO 信号和一路 I2C 总线信号。

FMC 扩展口的 33 对差分信号连接到 FPGA 芯片的 BANK12, BANK13 的 IO 上 ,BANK12 和 BANK13 的 IO 电平标准是由 BANK 的电压 VADJ 决定的，默认为+2.5V，使得连接 FMC 的 34 对差分信号支持 LVDS 数据通信。FPGA 和 FMC 连接器的原理图如图 13-1 所示。

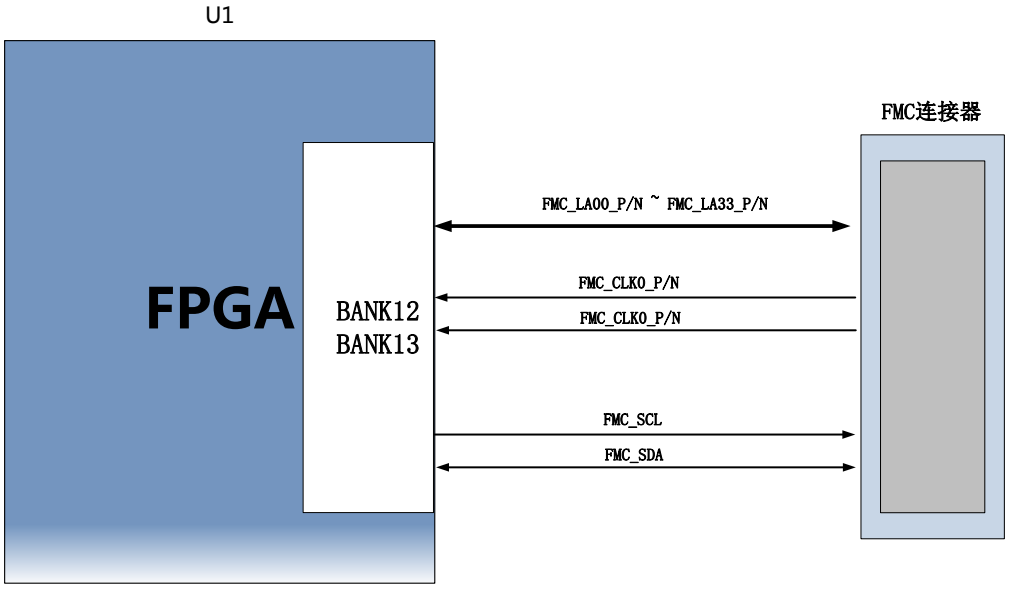


图 13-1 FMC 连接器连接示意图

图 13-2 为开发板上 FMC 连接器实物图

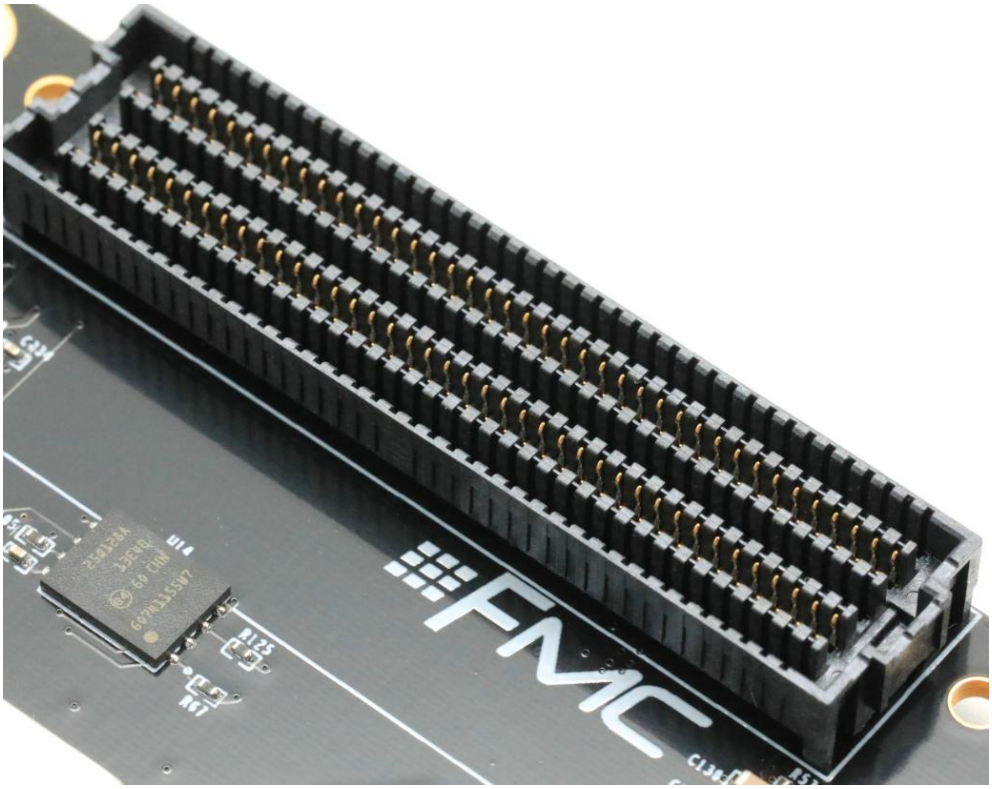


图 13-2 FMC 连接器实物图

FMC 连接器引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
FMC_CLK0_P	IO_L12P_T1_MRCC_12	AD23	FMC参考第1路参考时钟P
FMC_CLK0_N	IO_L12N_T1_MRCC_12	AE24	FMC参考第1路参考时钟N
FMC_CLK1_P	IO_L13P_T2_MRCC_13	AG29	FMC参考第2路参考时钟P
FMC_CLK1_N	IO_L13N_T2_MRCC_13	AH29	FMC参考第2路参考时钟N
FMC_LA00_CC_P	IO_L13P_T2_MRCC_12	AF22	FMC参考第0路数据（时钟）P
FMC_LA00_CC_N	IO_L13N_T2_MRCC_12	AG23	FMC参考第0路数据（时钟）N
FMC_LA01_CC_P	IO_L14P_T2_SRCC_12	AG24	FMC参考第1路数据（时钟）P
FMC_LA01_CC_N	IO_L14N_T2_SRCC_12	AH24	FMC参考第1路数据（时钟）N
FMC_LA02_P	IO_L17P_T2_12	AK23	FMC参考第2路数据P
FMC_LA02_N	IO_L17N_T2_12	AK24	FMC参考第2路数据N
FMC_LA03_P	IO_L15P_T2_DQS_12	AJ24	FMC参考第3路数据P
FMC_LA03_N	IO_L15N_T2_DQS_12	AK25	FMC参考第3路数据N
FMC_LA04_P	IO_L18P_T2_12	AG25	FMC参考第4路数据P

FMC_LA04_N	IO_L18N_T2_12	AH25	FMC参考第4路数据N
FMC_LA05_P	IO_L11P_T1_SRCC_12	AE23	FMC参考第5路数据P
FMC_LA05_N	IO_L11N_T1_SRCC_12	AF23	FMC参考第5路数据N
FMC_LA06_P	IO_L20P_T3_12	AG22	FMC参考第6路数据P
FMC_LA06_N	IO_L20N_T3_12	AH22	FMC参考第6路数据N
FMC_LA07_P	IO_L9P_T1_DQS_12	AC24	FMC参考第7路数据P
FMC_LA07_N	IO_L9N_T1_DQS_12	AD24	FMC参考第7路数据N
FMC_LA08_P	IO_L16P_T2_12	AE25	FMC参考第8路数据P
FMC_LA08_N	IO_L16N_T2_12	AF25	FMC参考第8路数据N
FMC_LA09_P	IO_L8P_T1_12	AC22	FMC参考第9路数据P
FMC_LA09_N	IO_L8N_T1_12	AD22	FMC参考第9路数据N
FMC_LA10_P	IO_L10P_T1_12	AD21	FMC参考第10路数据P
FMC_LA10_N	IO_L10N_T1_12	AE21	FMC参考第10路数据N
FMC_LA11_P	IO_L3P_T0_DQS_12	AB22	FMC参考第11路数据P
FMC_LA11_N	IO_L3N_T0_DQS_12	AB23	FMC参考第11路数据N
FMC_LA12_P	IO_L7P_T1_12	AB24	FMC参考第12路数据P
FMC_LA12_N	IO_L7N_T1_12	AC25	FMC参考第12路数据N
FMC_LA13_P	IO_L5P_T0_12	AC20	FMC参考第13路数据P
FMC_LA13_N	IO_L5N_T0_12	AC21	FMC参考第13路数据N
FMC_LA14_P	IO_L2P_T0_12	Y21	FMC参考第14路数据P
FMC_LA14_N	IO_L2N_T0_12	AA21	FMC参考第14路数据N
FMC_LA15_P	IO_L1P_T0_12	Y23	FMC参考第15路数据P
FMC_LA15_N	IO_L1N_T0_12	Y24	FMC参考第15路数据N
FMC_LA16_P	IO_L4P_T0_12	AA22	FMC参考第16路数据P
FMC_LA16_N	IO_L4N_T0_12	AA23	FMC参考第16路数据N
FMC_LA17_CC_P	IO_L14P_T2_SRCC_13	AE28	FMC参考第17路数据（时钟）P
FMC_LA17_CC_N	IO_L14N_T2_SRCC_13	AF28	FMC参考第17路数据（时钟）N
FMC_LA18_CC_P	IO_L12P_T1_MRCC_13	AB27	FMC参考第18路数据（时钟）P
FMC_LA18_CC_N	IO_L12N_T1_MRCC_13	AC27	FMC参考第18路数据（时钟）N
FMC_LA19_P	IO_L15P_T2_DQS_13	AK29	FMC参考第19路数据P
FMC_LA19_N	IO_L15N_T2_DQS_13	AK30	FMC参考第19路数据N
FMC_LA20_P	IO_L20P_T3_13	AJ27	FMC参考第20路数据P

FMC_LA20_N	IO_L20N_T3_13	AK28	FMC参考第20路数据N
FMC_LA21_P	IO_L18P_T2_13	AG30	FMC参考第21路数据P
FMC_LA21_N	IO_L18N_T2_13	AH30	FMC参考第21路数据N
FMC_LA22_P	IO_L17P_T2_13	AJ28	FMC参考第22路数据P
FMC_LA22_N	IO_L17N_T2_13	AJ29	FMC参考第22路数据N
FMC_LA23_P	IO_L5P_T0_13	AA27	FMC参考第23路数据P
FMC_LA23_N	IO_L5N_T0_13	AB28	FMC参考第23路数据N
FMC_LA24_P	IO_L9P_T1_DQS_13	AD29	FMC参考第24路数据P
FMC_LA24_N	IO_L9N_T1_DQS_13	AE29	FMC参考第24路数据N
FMC_LA25_P	IO_L16P_T2_13	AE30	FMC参考第25路数据P
FMC_LA25_N	IO_L16N_T2_13	AF30	FMC参考第25路数据N
FMC_LA26_P	IO_L3P_T0_DQS_13	Y28	FMC参考第26路数据P
FMC_LA26_N	IO_L3N_T0_DQS_13	AA28	FMC参考第26路数据N
FMC_LA27_P	IO_L1P_T0_13	Y26	FMC参考第27路数据P
FMC_LA27_N	IO_L1N_T0_13	AA26	FMC参考第27路数据N
FMC_LA28_P	IO_L7P_T1_13	AC29	FMC参考第28路数据P
FMC_LA28_N	IO_L7N_T1_13	AC30	FMC参考第28路数据N
FMC_LA29_P	IO_L11P_T1_SRCC_13	AD27	FMC参考第29路数据P
FMC_LA29_N	IO_L11N_T1_SRCC_13	AD28	FMC参考第29路数据N
FMC_LA30_P	IO_L8P_T1_13	Y30	FMC参考第30路数据P
FMC_LA30_N	IO_L8N_T1_13	AA30	FMC参考第30路数据N
FMC_LA31_P	IO_L10P_T1_13	AB29	FMC参考第31路数据P
FMC_LA31_N	IO_L10N_T1_13	AB30	FMC参考第31路数据N
FMC_LA32_P	IO_L2P_T0_13	W27	FMC参考第32路数据P
FMC_LA32_N	IO_L2N_T0_13	W28	FMC参考第32路数据N
FMC_LA33_P	IO_L4P_T0_13	W29	FMC参考第33路数据P
FMC_LA33_N	IO_L4N_T0_13	Y29	FMC参考第33路数据N
FMC_SCL	IO_L20P_T3_17	A16	FMC I2C总线时钟
FMC_SDA	IO_L20N_T3_17	A17	FMC I2C总线数据

十四、40 针扩展口

AX7325 开发板预留了 1 个 2.54mm 标准间距的 40 针的扩展口 J16，用于连接黑金的各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA 芯片。如果要接 5V 设备，需要接电平转换芯片。**

扩展口(J16)的电路如下图 14-1 所示

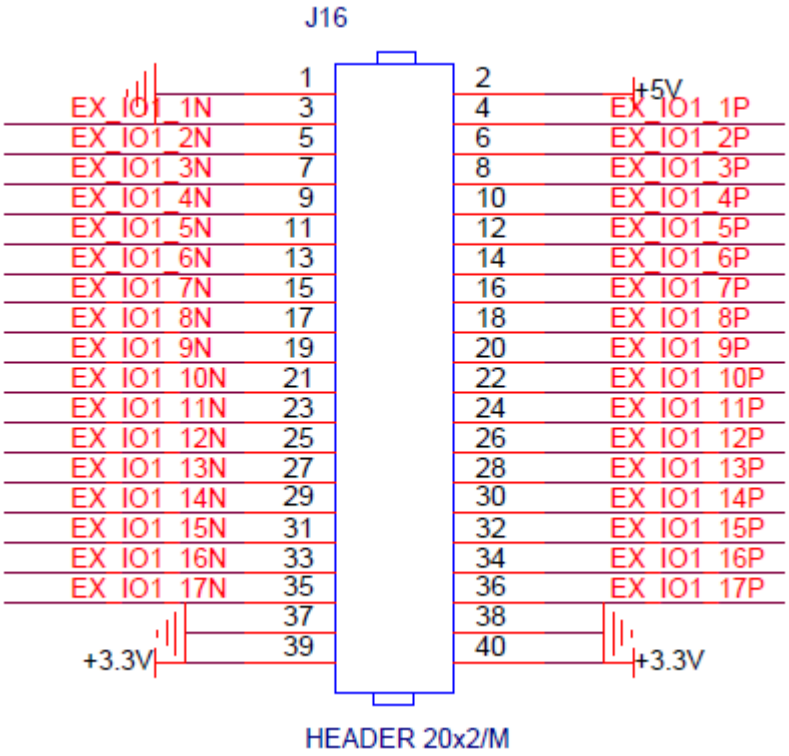


图 14-1 扩展口 J16 原理图

下图为 J16 扩展口实物图，扩展口的 Pin39，Pin40 已经在板上标示出。

图 14-2 扩展口 J16 实物图

J16 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	**2**	+5V（输出）
3	J24	**4**	J23
5	J22	**6**	J21
7	J26	**8**	K26
9	K30	**10**	L30
11	L28	**12**	M28
13	M27	**14**	N27
15	N30	**16**	N29
17	L27	**18**	L26
19	J28	**20**	J27
21	H29	**22**	J29
23	K29	**24**	K28
25	L20	**26**	M20
27	K21	**28**	L21
29	L23	**30**	L22
31	K24	**32**	K23
33	K25	**34**	L25
35	M30	**36**	M29
37	GND	**38**	GND
39	+3.3V（输出）	**40**	+3.3V（输出）

十五、LED 灯

AX7325 开发板上有 6 个发光二极管 LED，1 个电源指示灯；4 个 FPGA 控制指示灯。当开发板上电后电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。4 个用户 LED 灯连接到 FPGA BANK17 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为低时，用户 LED 灯熄灭，当连接 IO 电压为高时，用户 LED 会被点亮。因为 BANK17 的电平为 1.5V，这里我们增加了三级管来驱动 LED 的亮灭。用户 LED 灯硬件连接的示意图如图 15-1 所示：

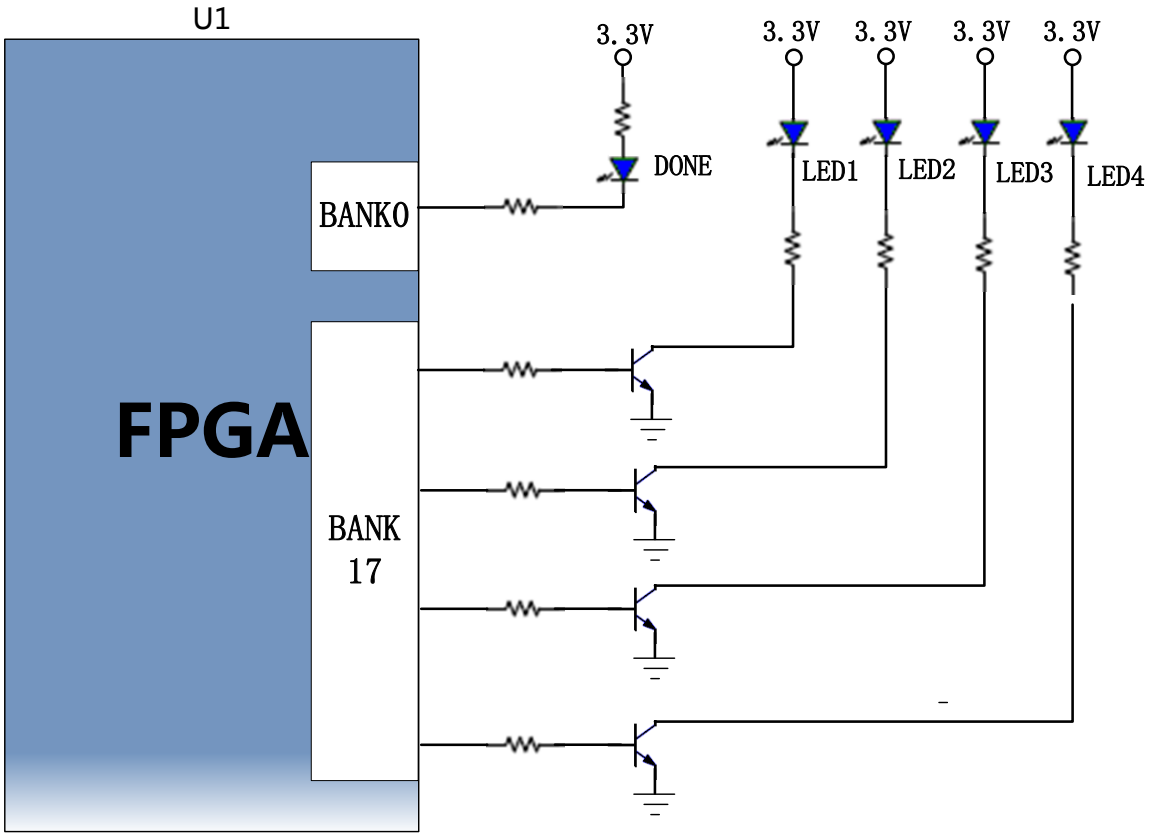


图 15-1 用户 LED 灯硬件连接示意图

图 15-2 为开发板上的 LED 灯实物图

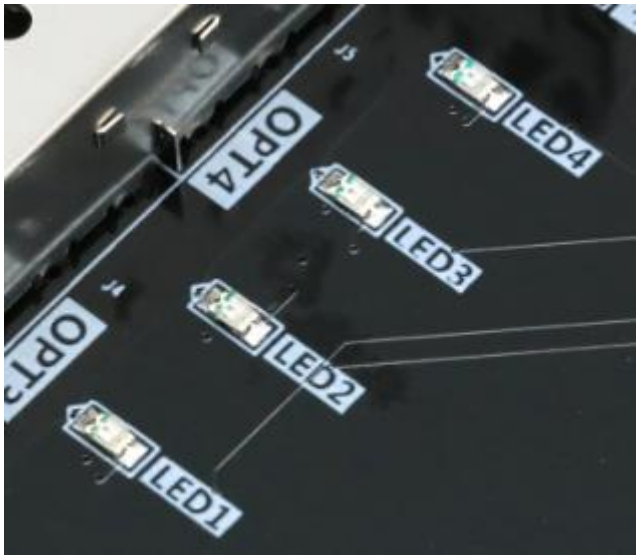


图 15-2 开发板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 引脚名	FPGA 管脚号	备注
LED1	IO_L23N_T3_17	A22	用户LED1灯

LED2	IO_L24P_T3_17	C19	用户LED2灯
LED3	IO_L24N_T3_17	B19	用户LED3灯
LED4	IO_25_17	E18	用户LED4灯

十六、复位按键和用户按键

AX7325 开发板上有 2 个用户按键。2 个用户按键中连接到 FPGA BANK13 的 IO 上。用户按键都是低电平有效，用户按键的连接示意图如图 16-1 所示：

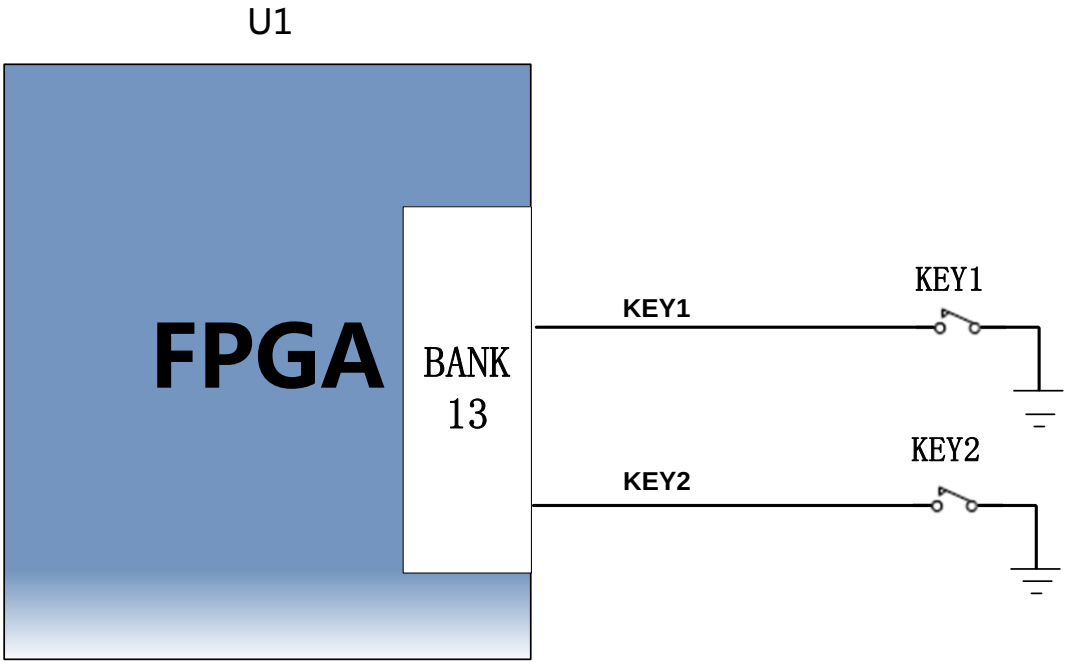


图 16-1 复位按键连接示意图

图 15-2 为复位按键和用户按键的实物图

图 16-2 按键实物图

按键的 FPGA 管脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
KEY1	IO_L21P_T3_DQS_13	AG27	用户按键1输入

KEY2	IO_L21N_T3_DQS_13	AG28	用户按键2输入

十七、JTAG 调试口

在AX7325开发板上预留了一个JTAG接口，用于下载FPGA程序或者固化程序到FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

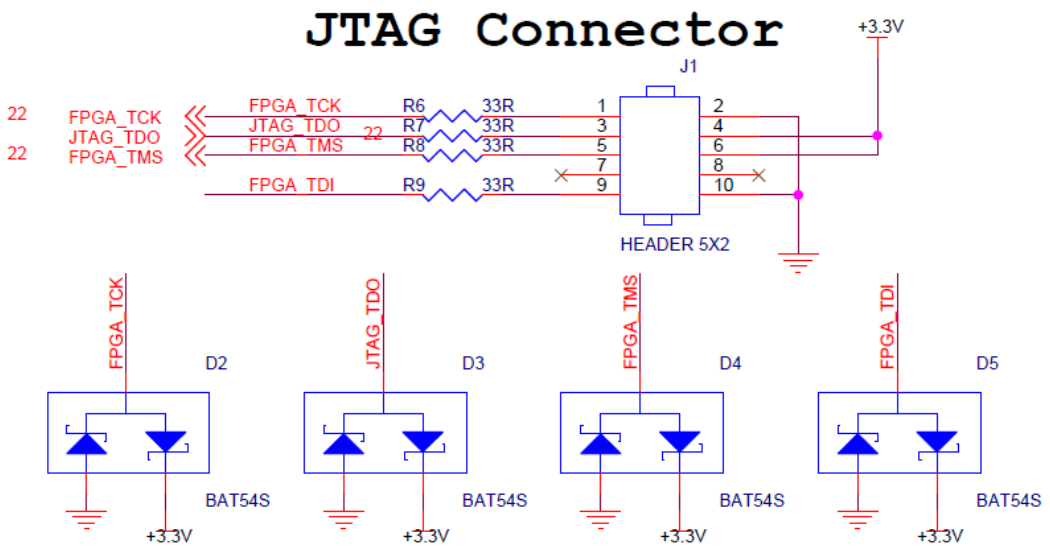


图 17-1 JTAG 接口原理图

下图为扩展板上JTAG接口实物图，用户可以通过我们提供的USB下载器连接PC和JTAG接口进行 FPGA 的调试 JTAG 线插拔的时候注意不要热插拔。

图 17-2 JTAG 接口实物图

十八、电源

开发板的电源输入电压为 DC12V，外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源,不要用其他规格的电源，以免损坏开发板。+12V 输入电源通过 DCDC 电

源芯片 EM2130L01QI 产生+1.0V 的 FPGA 核心电源，EM2130 输出电流高达 20A，满足 FPGA 的核心电压的电流需求。另外+12V 通过 3 路 DC/DC 电源芯片 TPS54620 分别产生+5V 电源，+1.5V, +3.3V 这三路电源。+5V 电源再通过 DCDC 芯片 TLV62130 来产生+1.8V,VADJ（+2.5V）两路路电源。另外+5V 电源再通过 DCDC 芯片 EN6362QI 产生 GTX 所需的+1.0V 电源，+1.5V 电源通过 1 个 LDO 芯片 TPS74401 产生 GTX 所需的+1.2V 的电源，+3.3V 通过一个 LDO 芯片 SPX3819-1-8 产生 GTX 的辅助电源+1.8V。DDR3 和 SODIMM 的 VTT 和 VREF 电压由 TPS51200 芯片来产生。

板上的电源设计示意图如下图 18-1 所示:

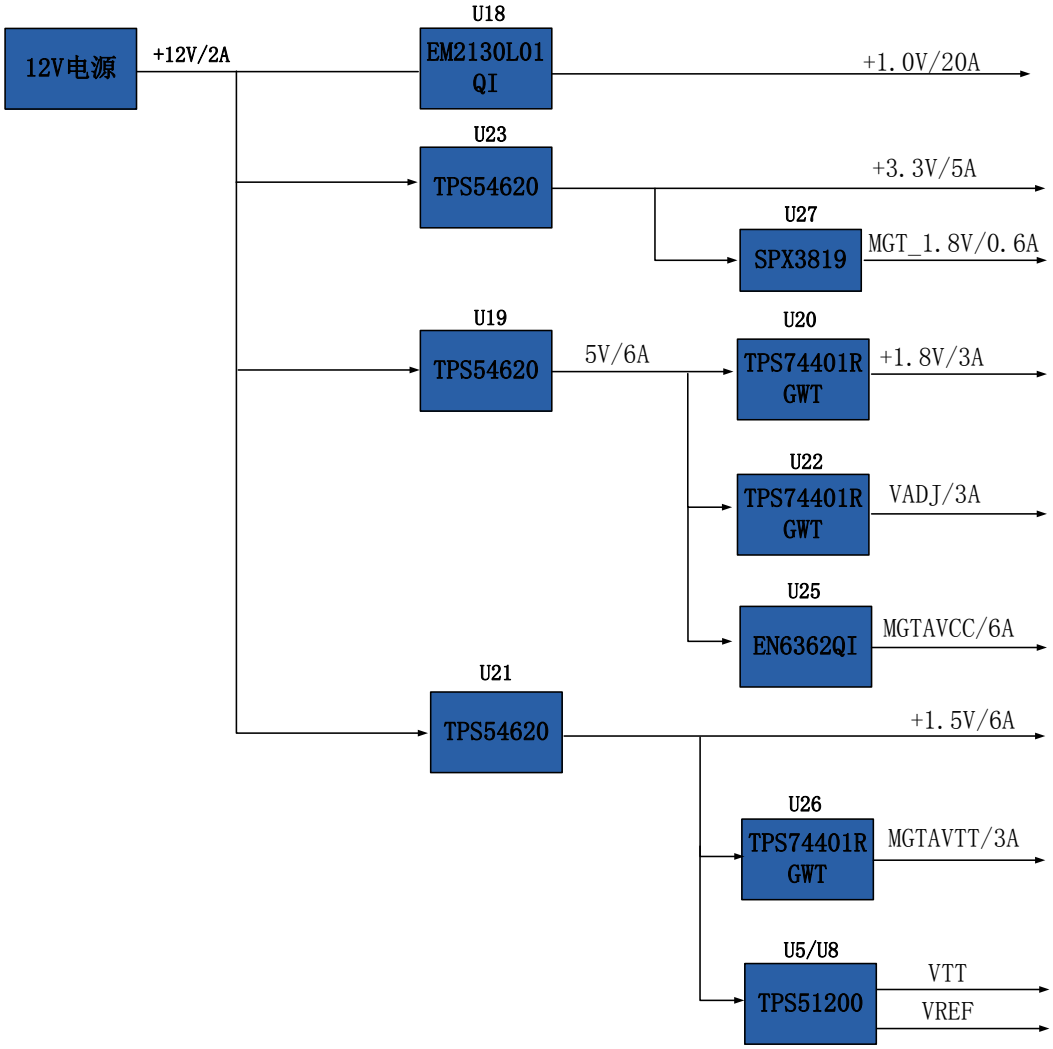


图 18-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能
+1.0V	FPGA 的内核电压
+3.3V	FPGA Bank0,Bank14，Bank15，QSIP FLASH, Clock 晶振, SD 卡，SFP 光模块

+1.8V	FPGA 辅助电压
+1.5V	DDR3, SODIMM， FPGA Bank33,Bank34，Bank35
VADJ(+2.5V)	FPGA Bank12, Bank13, FMC
VREF, VTT（+0.75V）	DDR3, SODIMM
MGTAVCC(+1.0V)	FPGA Bank115, Bank116, Bank117, Bank118
MGTAVTT(+1.2V)	FPGA Bank115, Bank116, Bank117, Bank118
MGT_1.8V (+1.2V)	FPGA GTX 辅助电压

因为 FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为+1.0V->+1.8V->（+1.5 V、+3.3V、VCCIO）的电路设计，保证芯片的正常工作。

十九、风扇

因为 FPGA 正常工作时会产生大量的热量，我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 FPGA 芯片来控制，控制管脚连接到 BANK13 的 IO 上，如果 IO 电平输出为低，MOSFET 管导通，风扇工作，如果 IO 电平输出为高，风扇停止。板上的风扇设计图如下图 19-1 所示:

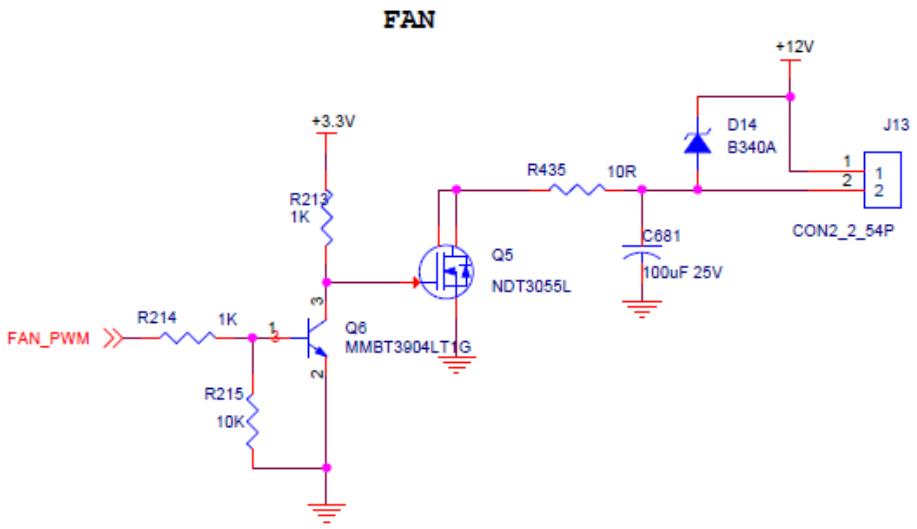
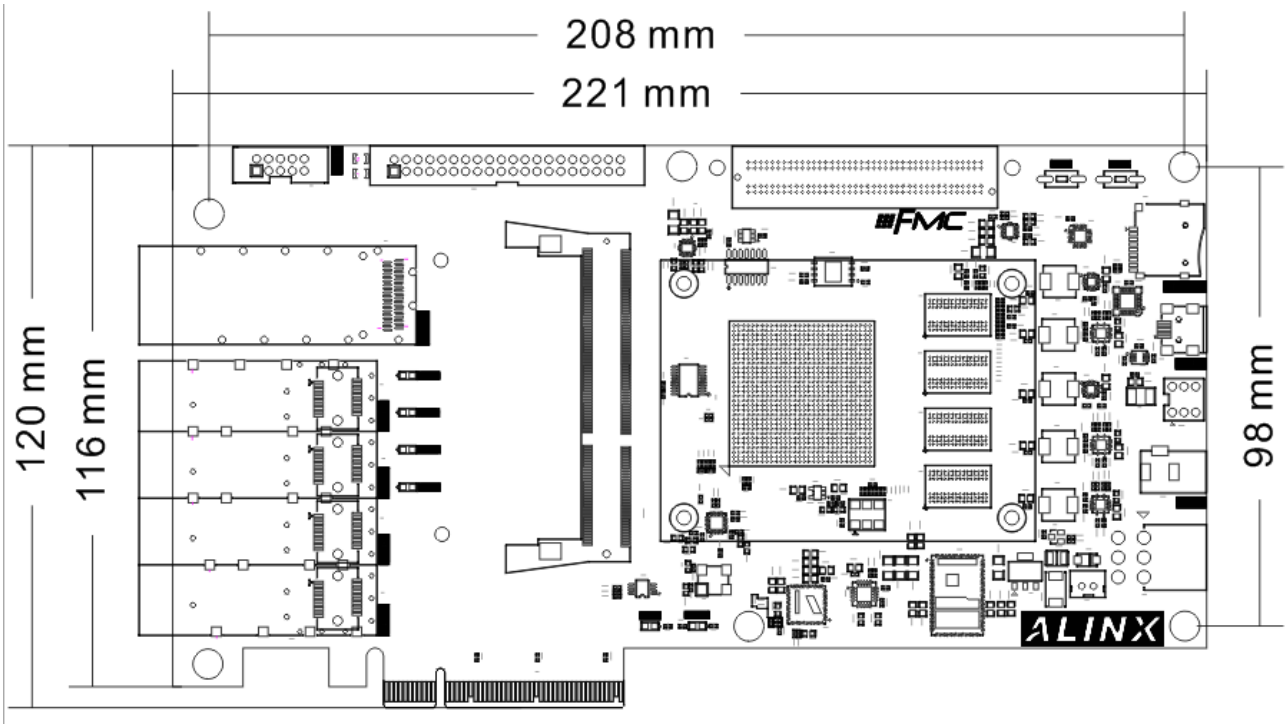


图 19-1 开发板原理图中风扇设计

风扇出厂前已经用螺丝固定在开发板上，风扇的电源连接到了 J13 的插座上，红色的为正极，黑色的为负极。图 18-2 为风扇在开发板上的实物图

图 18-2 板上风扇实物图

二十、结构尺寸图



正面图（Top View）