



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

串行数字接口 (SDI) 参考设计展示如何通过使用 Altera® SDI MegaCore® 功能和 Arria® II GX 视频开发板来发送和接收视频数据。本参考设计使用 SDI MegaCore 功能的三个实例。三标准 SDI MegaCore 功能由标准清晰度 (SD-SDI)、高清晰度 (HD-SDI) 以及 3 千兆位每秒 (3G-SDI) 标准组成。

本应用笔记介绍了如何通过使用 Arria II GX 视频开发板进行不同组件的串行数字接口参考设计。Arria II GX 视频开发板由 Arria II GX FPGA 开发套件中的 Arria II GX FPGA 开关板和一个需要另外购买的 SDI 高速中间连接卡 (HSMC) 组成。

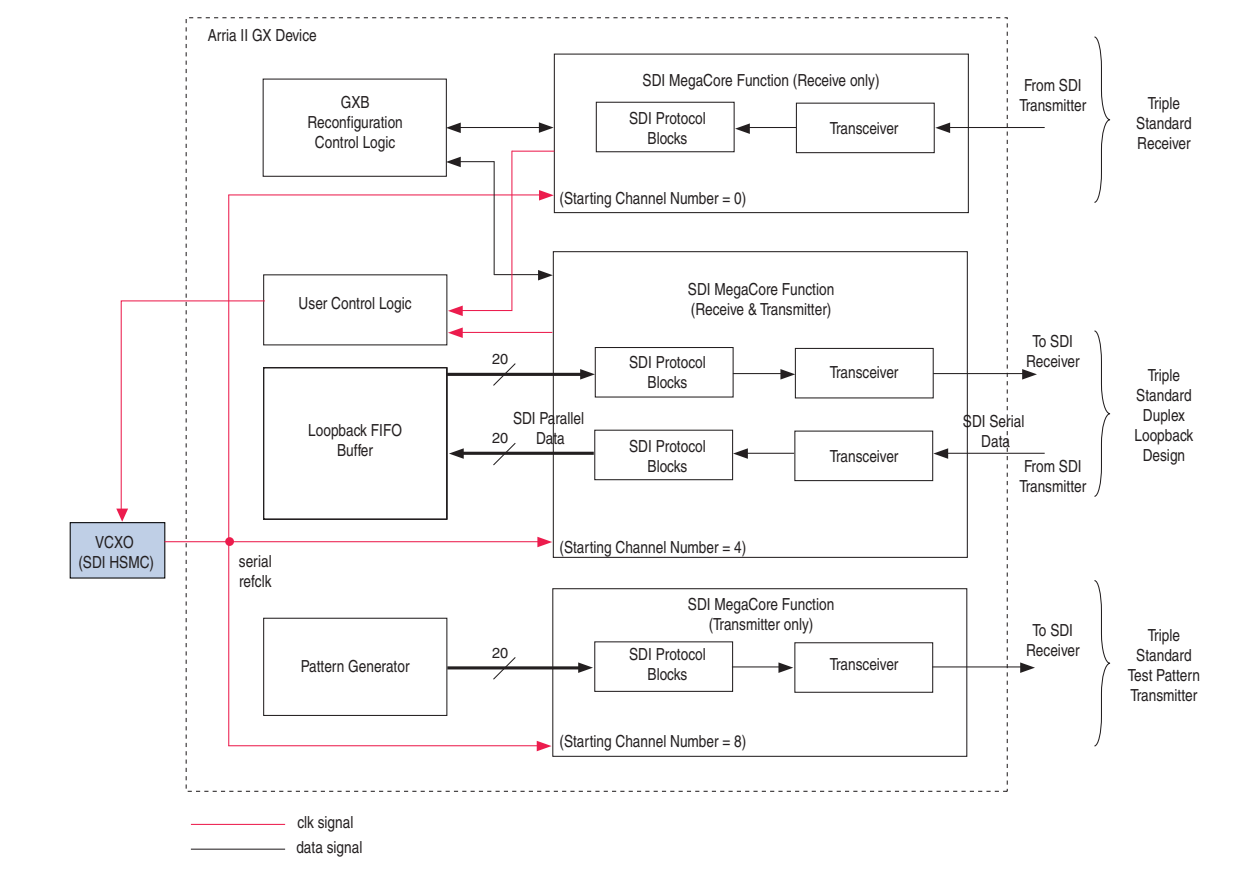
要了解关于 Arria II GX FPGA 开发套件的详细信息，请参考 [Arria II GX FPGA Development Kit User Guide](#)；关于 Arria II GX FPGA 开关板的详细信息，请参考 [Arria II GX FPGA Development Board Reference Manual](#)；关于 SDI HSMC 的详细信息，请参考 [SDI HSMC Reference Manual](#)；关于 SDI MegaCore 功能的详细信息，请参考 [Serial Digital Interface MegaCore Function User Guide](#) 或者与您当地的 Altera 代表联系。

功能描述

参考设计提供了一个通用平台，使您能够控制、测试以及监控不同速度的 SDI 操作。

图 1 显示了 SDI 参考设计的高级结构图。

图 1. 结构图



接下来的部分介绍结构图中的各个单元。

三标准单接收器

三标准 SDI 接收器 MegaCore 功能提供一个 SD-SDI、HD-SDI 和 3G-SDI 接收器接口。

三标准单发射器

三标准 SDI 发射器 MegaCore 功能输出一个 2.970-Gbps 1080p、1.485-Gbps 1080i，或者 270-Mbps 数据流。发射器的输入数据来自码型生成器。

三标准双工回环

三标准 SDI 双工 MegaCore 功能提供全双工 SD-SDI、HD-SDI 和 3G-SDI, 演示接收器到发射器回环功能。对接收到的数据进行解码、缓冲和重新编码, 然后发送。接口支持 2.970-Gbps、1.485-Gbps, 或者 270-Mbps 数据流。

回环 FIFO 缓冲

接收器通过 FIFO 缓冲将解码后的接收数据送至发射器。当接收器锁定后, 接收数据被写入 FIFO 缓冲中。当 FIFO 缓冲器半满时, 发射器开始读取数据, 编码, 然后传输。

码型生成器

码型生成器 IP 内核输出一个 2.970-Gbps 1080p、1.485-Gbps 1080i, 或者 270-Mbps 测试码型。测试码型可以为 100% 色条码型、75% 振幅色条码型, 或者 SDI 错误检查域帧码型。

GXB 重配置控制逻辑

重配置控制逻辑处理设计中的双工内核中的接收器和单接收内核的接收器重配置。

重配置逻辑模块由下列子模块组成:

■ sdi_tr_reconfig_multi

这一设计顶层包含了能够支持高达四个接收器端口的仲裁逻辑。另外, 该模块也包含了一个用来控制 ALTGX_RECONFIG 宏功能的状态机。

■ altgx_reconfig

该模块是动态部分可重配置 I/O (DPRIO) 所需要的一个 ALTGX_RECONFIG 实例。只有该实例能够对 ALTGX 收发器进行再编程。

■ ROMs

ROM 为每一个视频标准保持 ALTGX 设置信息, 由四个 ROM 组成, 最多可以对四个通道进行重配置。

■ Sdi_mif_intercept

该模块截取从 ROM 读取的数据。如果需要重配置到 HD 模式, 那么该模块修改从 ROM 读取的数据, 然后送至 ALTGX 重配置模块。该模块取代了用来设置 HD 的 ROM。



要了解关于 ALTGX_RECONFIG 实例的详细信息, 请参考 *Arria II GX Device Handbook*。关于 DPRIO 的详细信息, 请参考 *SDI MegaCore Function User Guide, AN 587: DPRIO and Multiple Instances SDI Application* 和 *AN558: Implementing Dynamic Reconfiguration in Arria II GX Devices* 的 DPRIO 部分。

用户控制逻辑

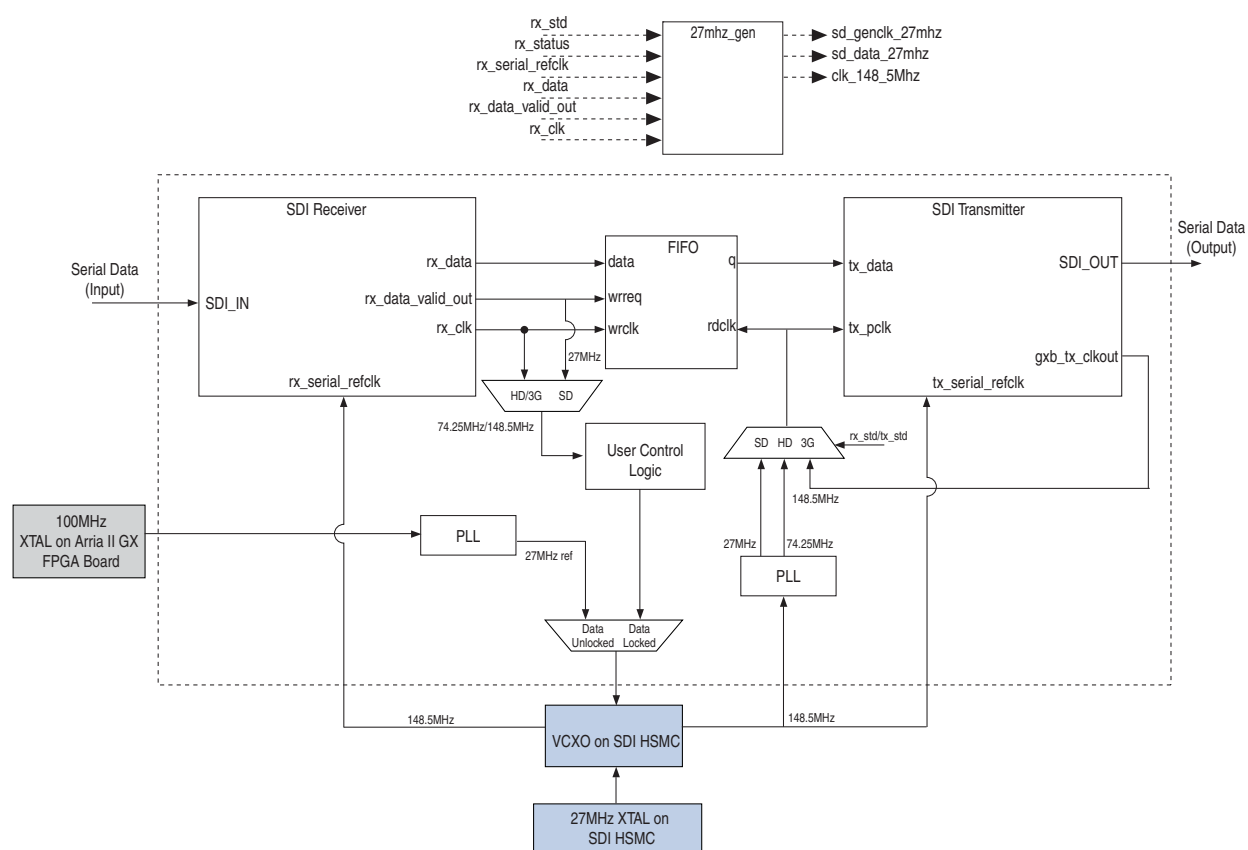
该用户控制逻辑接收 SDI 双工实例以及单接收实体的 CDR 接收时钟 rx_clk，然后将控制位和接收器时钟送给 VCXO 器件。

压控晶体振荡器 (VCXO)

VCXO 器件是一个基于锁相环 (PLL) 并位于 SDI HSMC 上的同步时钟生成器 (ICS810001)。该器件包含了两个通过串联级联的内部倍频组件。第一个组件是 VCXO PLL，它被优化用于提供参考时钟抖动衰减并对视频速率转换所需要的复杂 PLL 倍增系数提供了支持。第二个组件是 FemtoClock™ 倍频器，提供了低抖动，高频视频输出时钟。148.5-MHz VCXO 输出时钟连接至全部三个 SDI 实例的 rx_serial_ref_clk 和 tx_serial_ref_clk 时钟。

图 2 显示了双工回环 FIFO 设计与 VCXO 器件的结构图。

图 2. 双工回环 FIFO 设计与 VCXO 器件的结构图



27mhz_gen

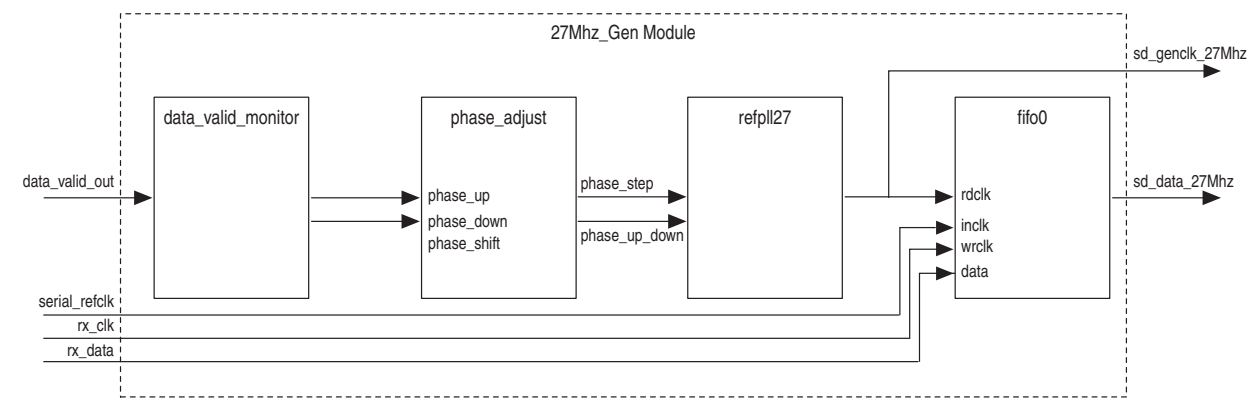
该模块生成一个用来接收 SD-SDI 数据的 27-MHz 并行时钟，使用 sd_genclk_27mhz 输出时钟来驱动 SD - SDI 的 sd_data_27mhz 并行数据。

27mhz_gen 模块包含下列组件：

- data_valid_monitor 模块 — 控制 pll 的用户逻辑
- phase_adjust 模块 — 用 data_validout 信号控制 pll 的模块
- refpll27 锁相环 — 用于生成驱动 FIFO 缓存的 sd_data_27mhz 数据的 sd_genclk_27mhz 时钟的锁相环
- FIFO 缓冲

图 3 显示了 27mhz_gen 模块的结构图。

图 3. 27mhz_gen 模块的结构图



入门指南

这一部分讨论了采用 Stratix IV GX 音频视频开发板来演示 SDI 参考设计时的相关要求及步骤，包括以下几方面内容：

- 硬件和软件要求
- 获取设计
- 硬件设置
- 运行参考设计
- 使用参考设计

硬件和软件要求

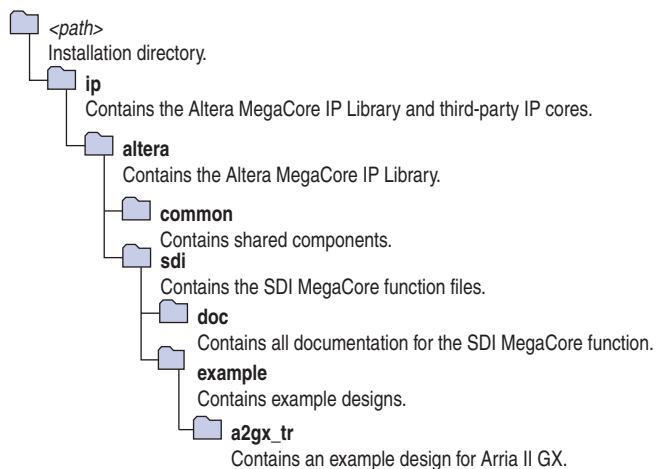
需要下面的硬件以及软件来运行演示：

- Arria II GX 视频开发板 — Arria II GX FPGA 开发板和 SDI HSMC
- SDI MegaCore 功能
- Quartus® II 10.0 SP1

获取设计

图 4 显示了参考设计的目录结构。

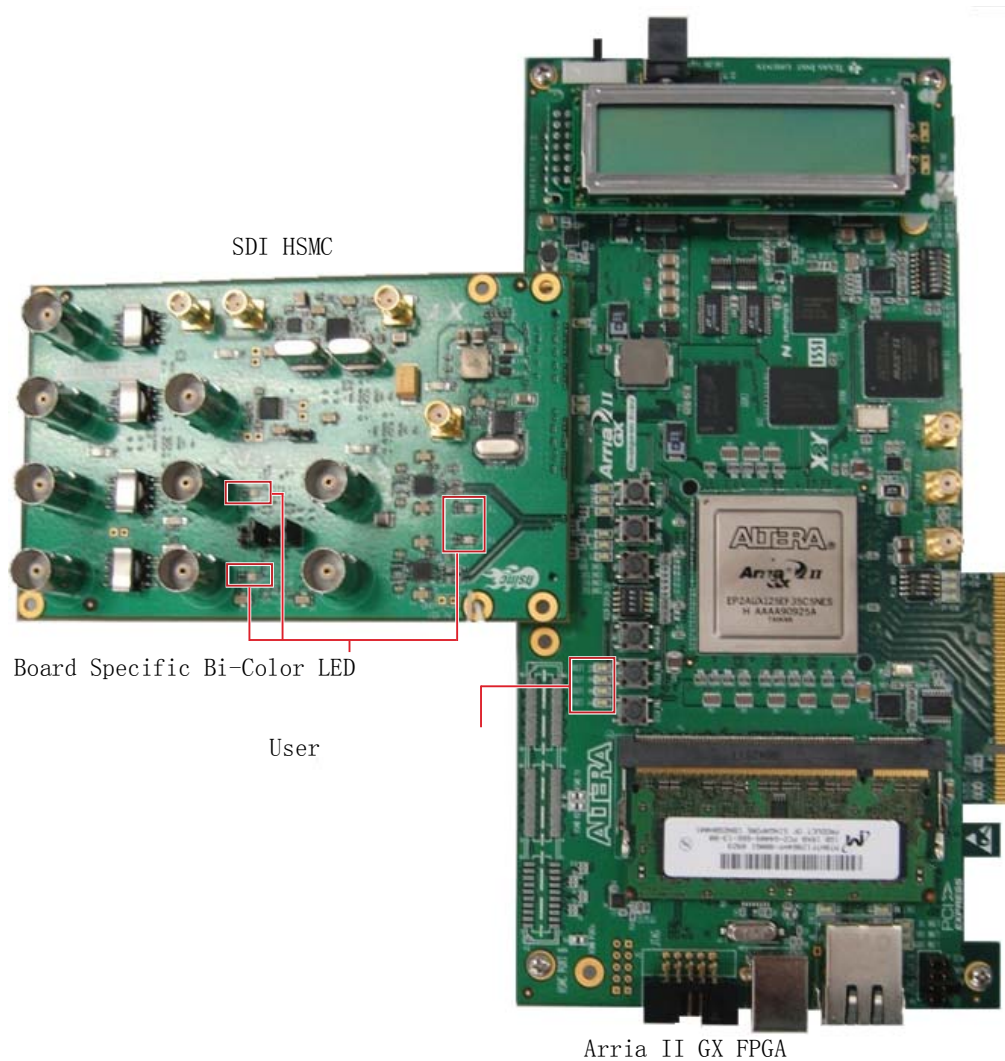
图 4. 目录结构



硬件设置

图 5 显示了如何连接 Arria II GX FPGA 开发板与 SDI HSMC。

图 5. 硬件设置



要得到关于 Arria II GX FPGA 开发板的详细信息，请参考 *Arria II GX FPGA Development Board Reference Manual*；关于 SDI HSMC 的详细信息，请参考 *SDI HSMC Reference Manual*。

表 1 描述了 Arria II GX FPGA 开发板上每一个 LED 的功能以及相关双列直插式封装 (DIP) 开关设置。

表 1. Arria II GX FPGA 开发板上的 LED

DIP 开关设置	LED	说明
USER_DIP[3:2] = 2' b00	D7	SDI IN 1 复位
	D8	SDI IN 1 帧锁定
	D9	SDI IN 1 TRS 锁定
	D10	SDI IN 1 对齐锁定
USER_DIP[3:2] = 2' b01	D7	SDI IN 2 复位
	D8	SDI IN 2 帧锁定
	D9	SDI IN 2 TRS 锁定
	D10	SDI IN 2 对齐锁定
USER_DIP[3:2] = 2' b10	D7	SDI IN 2 已接收到的信号标准 [D7, D8]: 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI
	D8	
	D9	SDI IN 1 已接收到的信号标准 [D9, D10]: 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI
	D10	
USER_DIP[3:2] = 2' b11	D7	未使用
	D8	未使用
	D9	内部码型生成器标准
	D10	[D9, D10] : 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI

表 2 介绍了每个用户定义的 DIP 开关控制 (SW2) 的功能。当开关处在 OFF 位置时，选择逻辑 1。当开关处在 ON 位置时，选择逻辑 0。

表 2. SW2 DIP 开关控制

USER_DIP	说明
3	用户 LED 显示屏上的控制信号 USER_DIP[3:2] = 00: LED 显示 rx_p0_status USER_DIP[3:2] = 01: LED 显示 rx_p1_status USER_DIP[3:2] = 10: LED 显示 rx_p0_std 与 rx_p1_std USER_DIP[3:2] = 11: LED 显示 tx_std
2	
1	
0	
	改变内部码型生成器信号标准: USER_DIP[1:0]: 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI

表 3 介绍了 SDI HSMC 上的每个板级指定的双色 LED 的功能。

表 3. SDI HSMC 上的板级指定的双色 LED

LED	说明
D1	SDI IN 2 接收下面标准中的 SDI 信号： ■ Green = 3G-SDI ■ Orange = HD-SDI ■ Red = SD-SDI
D3	SDI OUT 2 传输下面标准中的 SDI 信号： ■ Green = 3G-SDI ■ Orange = HD-SDI ■ Red = SD-SDI
D5	SDI OUT 1 传输下面标准中的 SDI 信号： ■ Green = 3G-SDI ■ Orange = HD-SDI ■ Red = SD-SDI
D6	SDI IN 1 接收下面标注中的 SDI 信号： ■ Green = 3G-SDI ■ Orange = HD-SDI ■ Red = SD-SDI

表 4 描述了每个按键的功能。

表 4. 按键

按键	说明
PB1	选择 100% 色条码型输出（默认 是 75% 色条码型输出）
PB2	选择 SDI 错误检查域帧码型
PB3	对 CPU 或者 FPGA 逻辑复位

运行参考设计

请按照以下步骤运行参考设计：

1. 建立板级连接。在板级断电的情况下，请执行以下步骤：

- a. 连接 SDI HSMC 和 FPGA 开发板，请参考第 7 页图 5。
- b. 指定位于 FPGA 开发板背面的下列板级设置：
 - DIP switch bank (SW4)
 - PCI Express DIP switch bank (SW3)
 - JTAG Chain Header Switch Controls (J9)

指定的板级设置要与表 5 中的开关控制设置相一致。

c. FPGA 开发板 (J4) 上电。

表 5. SW DIP 开关控制设置

开关	图解信号名	说明	默认值
SW4			
1	MAX_DIP0	已保留	OFF
2	MAX_DIP1	已保留	OFF
3	MAX_DIP2	已保留	OFF
4	MAX_DIP3	ON: 上电加载来自闪存的用户硬件页 1 OFF: 上电加载来自闪存的工厂设计	OFF
5	LCD_PWRMON	ON: LCD 由 MAX II EPM2210 系统控制器（功耗监控）驱动 OFF: 未使用	OFF
6	USB_DISABLEn	ON: 内嵌 USB-Blaster 禁用 OFF: 内嵌 USB-Blaster 使能	OFF
7	CLK_ENABLE	ON: 板上振荡器使能 OFF: 板上振荡器禁用	ON
8	CLK_SEL	ON: 选择 100 Mhz 时钟 OFF: 选择 SMA 输入时钟	ON
SW3			
1	PCIE_LED_x1	ON: 使能 ×1 存在检测 OFF: 禁用 ×1 存在检测	OFF
2	PCIE_LED_x4	ON: 使能 ×4 存在检测 OFF: 禁用 ×4 存在检测	OFF
3	PCIE_LED_x8	ON: 使能 ×8 存在检测 OFF: 禁用 ×8 存在检测	OFF
4	NC	未使用	OFF

表 5. SW DIP 开关控制设置

开关	图解信号名	说明	默认值
J9			
1	MAX_JTAG_EN	ON: 旁路 MAX II CPLD EPM2210 系统控制器 OFF: MAX II CPLD EPM2210 系统控制器在链中	ON
2	HSMA_JTAG_EN	ON: 旁路 HSMA OFF: HSMA 在链中	OFF
3	HSMB_JTAG_EN	ON: 旁路 HSMB OFF: HSMB 在链中	ON
4	PCIE_JTAG_EN	ON: 旁路 PCI Express OFF: 已保留	ON

2. 通过运行 Quartus II 软件对参考设计进行编译：
- a. 在 File 菜单中点击 **Open Project**, 跳转到 `\<directory>\a2gxsd1.qpf`, 然后点击 **Open**。

b. 在 Processing 菜单中, 点击 **Start Compilation**。
3. 下载 Arria II GX.sof 文件：
- a. 连接 USB-Blaster™下载电缆与板级上的 USB Type-B Connector (J6)。

b. 在 Tools 菜单点击 **Programmer**。软件在编译期间自动检测文件, 出现在弹出窗口中。点击 **start** 将 Quartus II 生成的文件下载到板级。如果文件没有出现在弹出窗口, 那么点击 **Add File**, 跳转到 `\<directory>\a2gxsd1.sof`, 然后点击 **Open**。

 由于该设计的易失性, 您需要在每次板级上电后重新加载该设计。

在步骤 1 完成板级设定后, 您可以运行下面要介绍的各种组件演示。

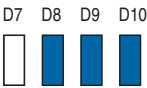
并行回环 Parallel Loopback

请按照以下步骤来运行并行回环演示：

1. 连接 SDI 信号生成器与接收器输入端 SDI IN2 (BNC J2)。
2. 连接 SDI 信号分析器与发射器输出端 SDI OUT2 (BNC J1)。
3. 指定 `USER_DIP[3:2] = 2'b01`。请参考第 8 页表 2。

4. 并行回环演示开始运行。LED 表明下列情况：
- 当接收器字符在端口 2 对齐时，LED D10 点亮。
 - 当已接收的线格式在端口 2 稳定时，LED D9 点亮。
 - 当接收器帧格式在端口 2 稳定时，LED D8 点亮。
 - 当 SDI IN 2 接收器复位时，LED D7 点亮。

表 6. 并行回环演示中的 LED 显示情况



另外，SDI HSMC 上的 LED 表明以下的情况：

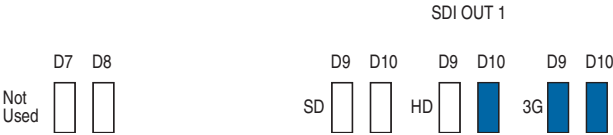
- 当在端口 2 检测到接收器信号标准时，LED D1 点亮。
- 当在端口 2 检测到发射器信号标准时，LED D3 点亮。

测试码型发射器

请按照以下步骤来运行测试码型发射器演示：

1. 连接 SDI 信号分析器与发射器输出端 SD1 OUT1 (BNC J8)。
2. 指定 USER_DIP[3:2] = 2' b11。请参考第 8 页表 2。
3. 测试码型演示开始运行。LED 表明下列情况：
 - LED D8 和 D7 未使用。
 - LED D10 和 D9 表明内部码型生成器信号标准，通过发射器上的端口 1 传输数据。请参考表 7。

表 7. 测试码型发射器演示中的 LED 显示情况



另外，当在端口 1 检测到发射器信号标准时，SDI HSMC 上的 LED D5 点亮。

4. 检查 SDI 信号分析器上的结果。
5. 设计有一个 75% 色条码测试码型的默认输出。请使用板级上的按键 PB1 和 PB2 来改变测试码型。要了解关于按键的详细信息，请参考第 9 页表 4。

仅接收器

请按照下列步骤运行仅接收器演示：

- 1. 连接 SDI 信号生成器和接收器输入端 SDI IN 1 (BNC J9)。
- 2. 指定 USER_DIP[3:2] = 2'b00。请参考第 8 页表 2。
- 3. 接收器演示开始运行。LED 表明下列情况：
 - 当接收器字符在端口 1 对齐时，LED D10 点亮。
 - 当已接收的线格式在端口 1 稳定时，LED D9 点亮。
 - 当接收器帧格式在端口 1 稳定时，LED D8 点亮。
 - 当 SDI IN 1 接收器复位时，LED D7 点亮。

表 8. 仅接收器演示中的 LED 显示情况



另外，当在端口 1 检测到接收器信号标准时，SDI HSMC 上的 LED D6 点亮。

检查已接收的信号标准 rx_p0_std 和 rx_pl_std

请执行下列步骤检查已接收的信号标准：

- 1. 连接 SDI 输入源和 SDI IN 1 或者 SDI IN 2。
- 2. 指定 USER_DIP[3:2] = 2'b10。请参考第 8 页表 2。LED 表明下面情况：
 - LED D10 和 D9 代表 SDI IN 1 上的已接收信号标准。
 - LED D8 和 D7 代表 SDI IN 2 上的已接收信号标准。

表 9. 已接收信号标准 rx_p0_std 和 rx_pl_std 的 LED 显示情况

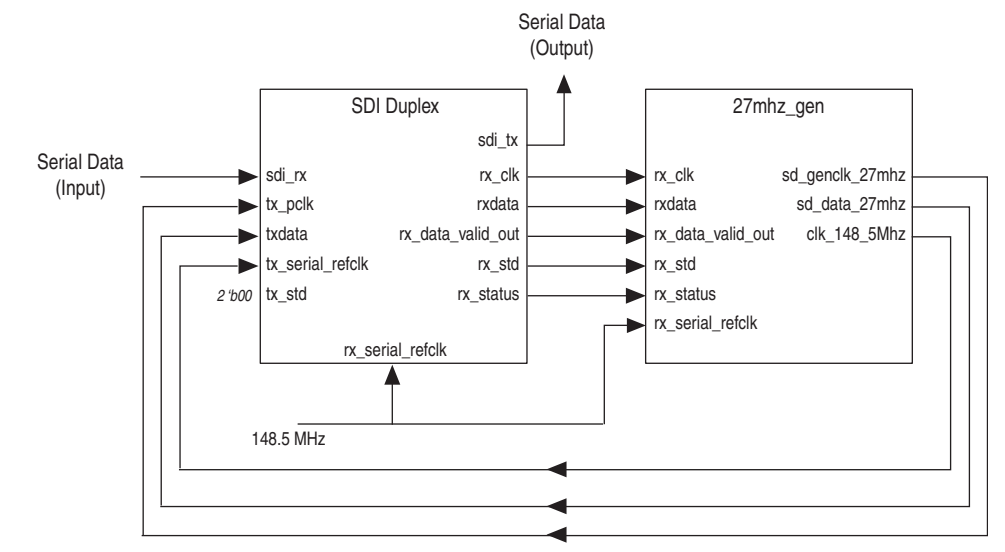


使用参考设计

如果采用 SD-SDI 标准，那么请使用含有 27mhz_gen 模块的参考设计来生成能够接收 SD-SDI 数据的 27-MHz 时钟。

图 6 显示了如何使用 27mhz_gen 模块生成干净的 27-MHz 时钟以接收 SD-SDI 并行数据。27mhz_gen 模块生成的 27-MHz 时钟以及 SD-SDI 并行数据连接至 SDI 双工实例的发射器，并且传输数据至第三方监控组件。

图 6. 采用 27mhz_gen 模块进行参考设计



如果采用 SD-SDI 标准，请输入下面的代码来控制 GENERATE_SD_27MHZ_CLK 参数：

```
GENERATE_SD_27MHZ_CLK =1'b1
```

如果采用通常的 SDI 操作，请输入以下代码来控制 GENERATE_SD_27MHZ_CLK 参数：

```
GENERATE_SD_27MHZ_CLK =1'b0
```



当编译通常的 SDI 操作时，请去掉下面命令行中的斜线号：

```
//define clk_148_p
```

总结

本应用笔记介绍了如何通过采用 Arria II GX FPGA 开发板和 SDI HSMC 这种方式来进行 SDI 参考设计。您可以使用已经讨论的不同组件演示来评估 SDI MegaCore 功能以实现与 Altera FPGA 设计更好的集成。

文档修订历史

表 10 列出了本应用笔记的修订历史。

表 10. 文档修订历史

日期	版本	修订内容
2010 年 12 月	1.3	■ 增加了关于 27mhz_gen 模型的信息。 ■ 更新了设计文件。
2010 年 5 月	1.2	更新了第 4 页图 2。
2010 年 2 月	1.1	更新了第 4 页图 2。
2009 年 12 月	1.0	首次发布。

