



MRF89XA

数据手册

超低功耗集成 ISM 波段
Sub-GHz 收发器

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、dsPIC、KEELOQ、KEELOQ 徽标、MPLAB、PIC、PICmicro、PICSTART、PIC³² 徽标、rPIC 和 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MXDEV、MXLAB、SEEVAl 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、Application Maestro、BodyCom、chipKIT、chipKIT 徽标、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPLAB Certified 徽标、MPLIB、MPLINK、mTouch、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICKit、PICKtail、REAL ICE、rLAB、Select Mode、Total Endurance、TSHARC、UniWinDriver、WiperLock 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

© 2012, Microchip Technology Inc. 版权所有。

ISBN: 978-1-62076-540-1

**QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
= ISO/TS 16949 =**

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

超低功耗集成 ISM 波段 Sub-GHz 收发器

特性

- 全集成超低功耗 sub-GHz 收发器
- 宽波段半双工收发器
- 支持专用 sub-GHz 无线协议
- 兼容 SPI 的简单 4 线接口
- 兼容 CMOS/TTL 的 I/O
- 片内振荡器电路
- 专用时钟输出
- 支持节能模式
- 工作电压：2.1-3.6V
- 低电流消耗，通常为：
 - 3 mA（接收模式下）
 - 25 mA @ +10 dBm（发送模式下）
 - 0.1 μ A（典型值）和 2 μ A（最大值）（休眠模式下）
- 支持工业级温度范围（-40°C 到 +85°C）
- 符合 ETSI EN 300-220 和 FCC 第 15 部分
- 小型 32 引脚 TQFN 封装

RF/ 模拟特性

- 支持 ISM 波段 sub-GHz 频率范围：863–870、902–928 及 950–960 MHz
- 调制技术：支持 FSK 和 OOK
- 支持高数据传输速率：最高 200 kbps，NRZ 编码
- 接收灵敏度：采用 FSK 且传输速率为 25 kbps 时低至 -107 dBm，采用 OOK 且传输速率为 2 kbps 时低至 -113 dBm
- RF 输出功率：八阶可编程的 +12.5 dBm
- 宽接收信号强度指示器（Received Signal Strength Indicator, RSSI），动态范围：70dB（来自接收基底噪声）
- 信号端 RF 输入 / 输出
- 片上频率合成器
- 支持带有锁定检测的 PLL 环路滤波器
- 集成功率放大器（Power Amplifier, PA）和低噪声放大器（Low Noise Amplifier, LNA）
- 信道滤波器
- 片上 IF 增益和混频器
- 集成的低相位噪声 VCO

基带特性

- 支持数据白化和自动 CRC 生成的数据包处理特性
- 识别传入的同步字（模式）
- 用于传入数据、时钟同步和恢复的内置位同步器
- 在待机模式下预先装入 64 字节发送 / 接收 FIFO
- 支持曼切斯特编码 / 解码技术

典型应用

- 家庭 / 工业 / 楼宇自动化
- 远程无线控制
- 无线 PC 外设
- 远程无钥门禁
- 无线传感器网络
- 汽车传感器监视
- 遥测
- 数据记录系统
- 无线报警
- 远程自动抄表
- 用于家庭 / 工业环境的安防系统
- 自动停车装置
- 运动和性能监视
- 无线玩具控制
- 医疗应用

概述

MRF89XA 是一款单芯片、多信道 FSK/OOK 收发器，可在 863-870 MHz 和 902-928 MHz 免许可证的 ISM 频段及 950-960 MHz 频段下工作。已对低成本 MRF89XA 进行了优化，以实现超低功耗。它引入了一个数据传输速率最高可达 200 kbps 的基带调制器。数据处理特性包括一个 64 字节 FIFO、数据包处理、自动 CRC 生成和数据白化。

其高度集成的架构支持在保持设计灵活性的同时，使用最少的外部元件。

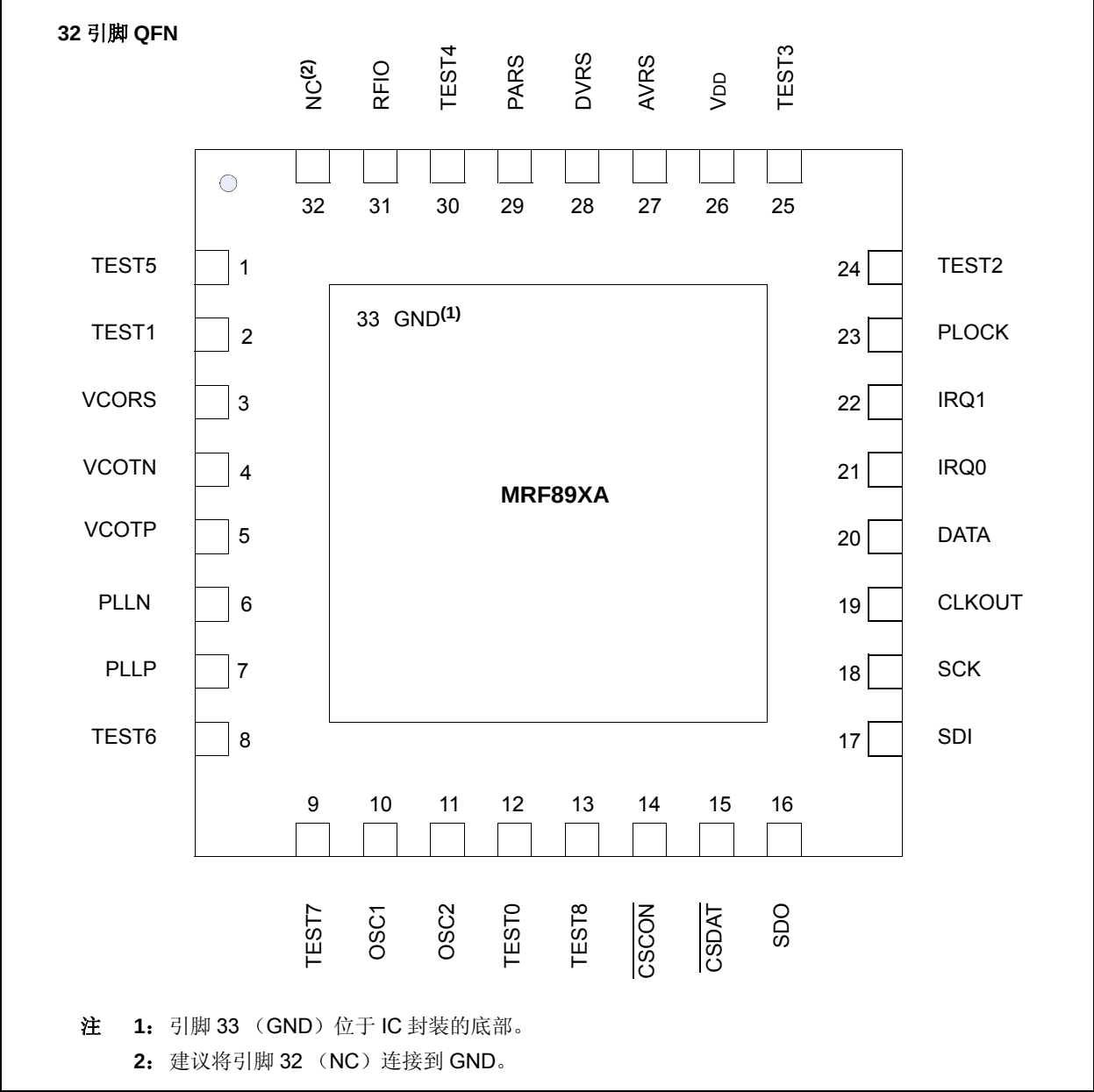
MRF89XA

MRF89XA 集成了所有关键的 RF 和基带功能，从而最大程度地减少外部元件并缩短设计时间。RF 通信参数是可编程的，而且大多数可动态设置。需要一颗单片机、RF SAW 滤波器、12.8 MHz 晶振和一些无源元件来实现完整可靠的无线功能。MRF89XA 采用若干低功耗机制来降低整体电流消耗和延长电池寿命。其小型低功耗特性使得 MRF89XA 成为各种短程无线应用的理想选择。MRF89XA 符合欧洲（ETSI EN 300-220）和美国（FCC 第 15.247 部分和第 15.249 部分）监管标准。

引脚图

图 1 列出了 32 引脚 QFN 封装的俯视图引脚排列。

表 1: MRF89XA 32 引脚 QFN 引脚图



目录

1.0 概述	7
2.0 硬件说明	11
3.0 功能说明	55
4.0 应用详细信息	93
5.0 电气特性	103
6.0 封装信息	129
附录 A: FSK 和 OOK 接收过滤器与比特率的关系	131
附录 B: 采用 C# 进行 CRC 计算 (可改写成 C 语言)	132
附录 C: 版本历史	133
Microchip 网站	135
变更通知客户服务	135
客户支持	135
读者反馈表	136
索引	137
产品标识体系	139

致客户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此,我们将不断改进出版物的内容和质量,使之更好地满足您的要求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议,请通过电子邮件联系我公司 TRC 经理,电子邮件地址为 CTRC@microchip.com,或将本数据手册后附的《读者反馈表》传真到 86-21-5407 5066。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本,请查询我公司的网站:

<http://www.microchip.com>

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中数字串后的字母是版本号,例如: DS30000A 是 DS30000 的 A 版本。

勘误表

现有器件可能带有一份勘误表,描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件/文档存在某些差异时,就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表,请通过以下方式之一查询:

- Microchip 网站 <http://www.microchip.com>
- 当地 Microchip 销售办事处 (见最后一页)

在联络销售办事处时,请说明您所使用的器件型号、硅片版本和数据手册版本 (包括文献编号)。

客户通知系统

欲及时获知 Microchip 产品的最新信息,请到我公司网站 www.microchip.com 上注册。

MRF89XA

注:

1.0 概述

Microchip的MRF89XA是一款全集成的半双工sub-GHz收发器。该低功耗单芯片FSK和OOK基带收发器支持：

- 超外差式架构
- 带锁相环（Phase Locked Loop, PLL）的多信道多波段合成器，可简化RF设计
- 功率放大器（PA）
- 低噪声放大器（LNA）
- I/Q 两级降频混频器
- I/Q 解调器FSK/OOK
- 基带滤波器和放大器

MRF89XA的简化框图如图1-1所述。

MRF89XA是低成本、高容量、低数据速率（≤200 kbps）、双向短程无线应用的理想之选。此器件是一款单芯片FSK和OOK收发器，能在863-870 MHz和902-928 MHz免许可证的ISM频段及950-960 MHz频段下工作。

MRF89XA已经过优化，可实现超低功耗（接收模式下3 mA）。它引入了一个基带调制器（数据速率在FSK下高达200 kbps，在OOK下高达32 kbps）。数据处理特性包括一个64字节FIFO、数据包处理、自动CRC生成和数据白化。该器件也支持曼切斯特编码技术。其高度集成的架构支持在保持设计灵活性的同时，使用最少的外部元件。所有主要的RF通信参数均可编程，而且大多数可动态设置。

MRF89XA在宽电压范围内提供稳定的灵敏度和线性特性，并可内部调节。MRF89XA的频率合成器是一个全集成的整数N分频PLL。MRF89XA器件上提供的此振荡器电路为PLL提供参考时钟。频率合成器只需五个外部元件，包括PLL环路滤波器和VCO振荡电路。提供低相位噪声以实现极好的相邻信道抗干扰能力、比特误码率（Bit Error Rate, BER）以及较远的通信距离。

高分辨率PLL允许：

- 在任何波段内使用多信道
- 快速稳定时间可以实现快速跳频

在大多应用中可使用低成本的12.8 MHz晶振、SAW滤波器以及低成本单片机来建立通信链路。MRF89XA为单片机提供时钟信号。收发器能通过4线串行外设接口（Serial Peripheral Interface, SPI）、中断（IRQ0和IRQ1）、PLL锁相和时钟输出与许多流行的Microchip PIC®单片机接口。图1-2列出了单片机和MRF89XA（一个典型的MRF89XA RF节点）之间的接口。

MRF89XA支持以下数字数据处理功能：

- 接收信号强度指示器（RSSI）
- 同步字识别
- 数据包处理
- 中断和标志
- 不同工作模式（连续、缓冲和数据包）
- 数据滤波/白化/编码
- 基带功率放大器
- 64字节发送/接收FIFO

数字处理单元用于从或向调制器/解调器和单片机接入点（SPI、IRQ和DATA引脚）传送数据。它还控制所有配置寄存器。可以编程接收器基带带宽（Baseband Bandwidth, BBBW）来满足不同偏差和数据速率要求。

提供可选位同步器（BitSync）来为连续模式下的配对单片机提供同步时钟和数据流，或者在缓冲模式下用无异常数据填充FIFO。此收发器集成了各种功耗模式和软件唤醒时间，通过单片机跟踪其活动，从而降低总电流消耗并延长电池寿命。其小型低功耗特性使得MRF89XA成为各种短程射频应用的理想选择。

MRF89XA符合欧洲（ETSI EN 300-220）和美国（FCC第15.247部分和第15.249部分）监管标准。

图 1-1: MRF89XA 简化框图

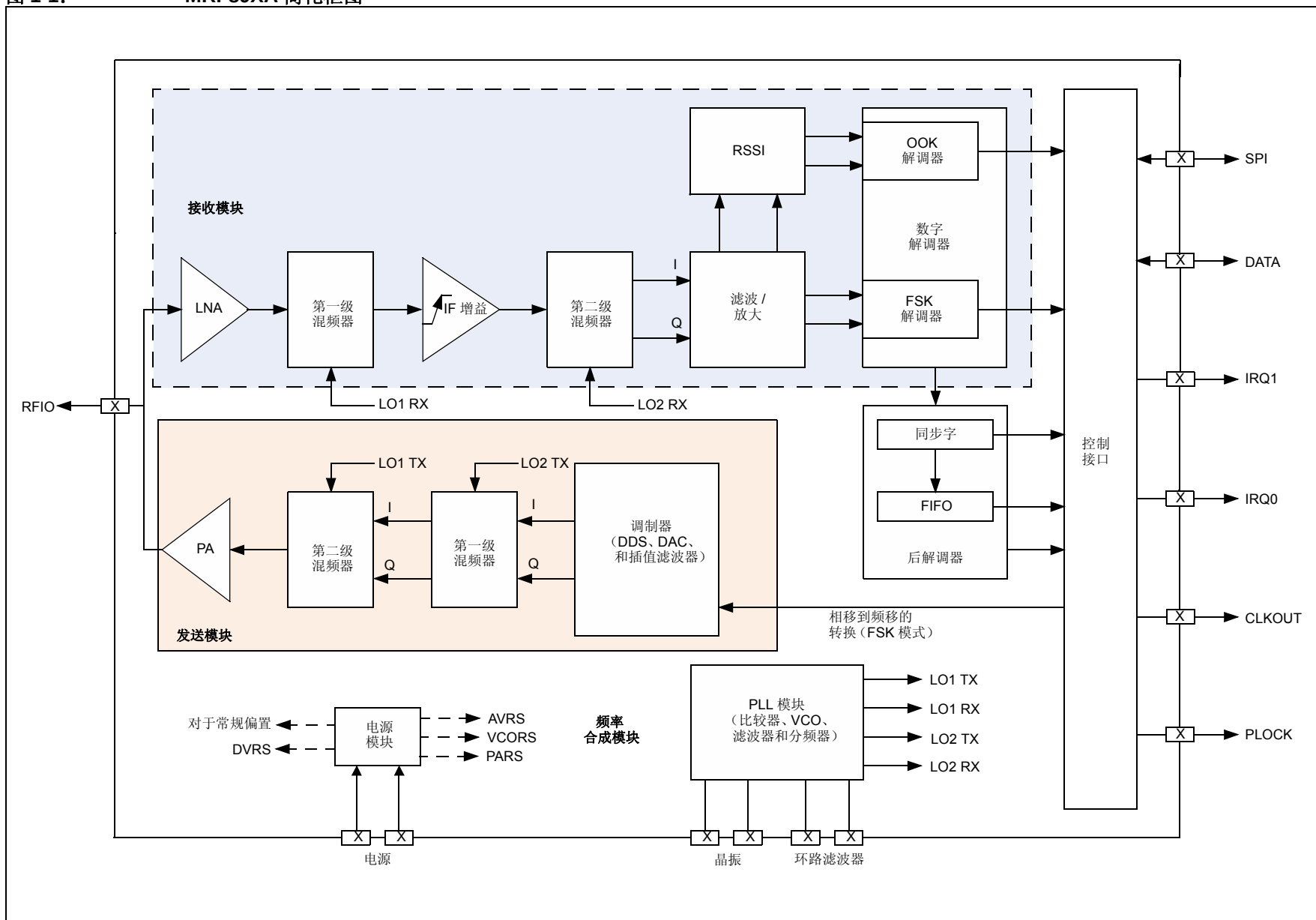
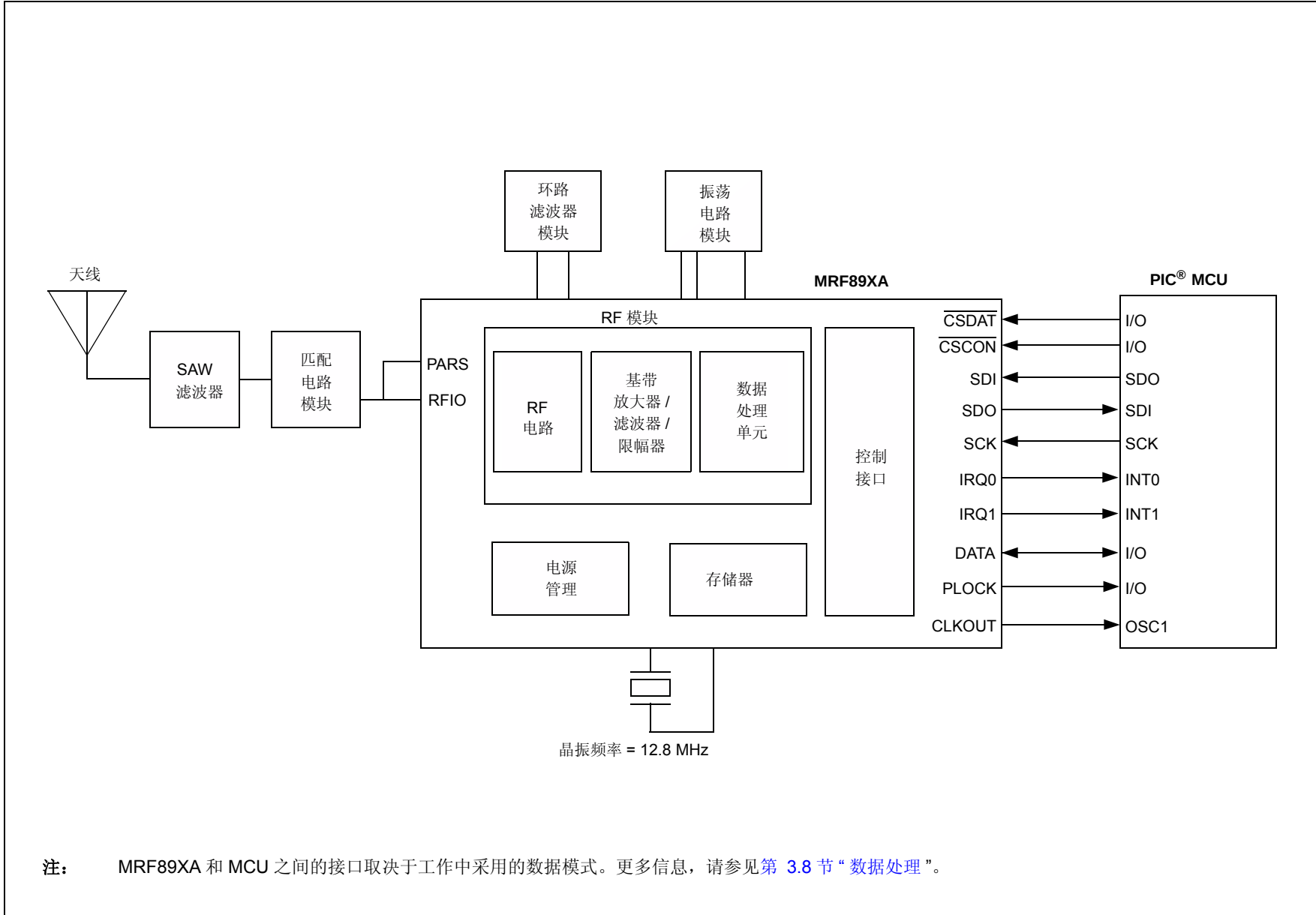


图 1-2: MRF89XA 与单片机接口 (节点) 框图



MRF89XA

注:

2.0 硬件说明

MRF89XA 是集成的单芯片低功耗 ISM 波段 sub-GHz 收发器。MRF89XA 的详细框图如图 2-1 所示。频率合成器由外部 12.8 MHz 晶振提供时钟，可能的频率范围为 863-870 MHz、902-928 MHz 和 950-960 MHz。

MRF89XA 接收器采用超外差式架构。第一级 IF 是 RF 频率的 1/9（约 100 MHz）。第二级降频转换将 I 和 Q 信号频率降低到基带（零中频，如果是 FSK 接收器）和低中频（IF2，如果是 OOK 接收器）。第二级降频转换阶段后，接收到的信号经过信道选择滤波，并放大到足以解调的级别。FSK 和 OOK 解调均可用。使用 SAW 滤波器实现图像抑制。

发送器端的基带 I 和 Q 信号由直接数字合成（Direct Digital Synthesis, DDS）以数字形式生成，DDS 的数模转换器（Digital-to-Analog Converter, DAC）后跟两个抗混叠低通滤波器，这些滤波器将数字信号转换为模拟同相（I）和正交（Q）组成部分，其频率与所选频率偏差（ f_{dev} ）相同。发送器同时支持 FSK 和 OOK 工作模式。发送器的典型输出功率为 +12.5 dBm。内部发送 / 接收开关将发送器和接收器电路组合为一个单端 RFIO 引脚（引脚 31）。RFIO 引脚通过阻抗匹配电路连接到外部天线。该器件在 2.1-3.6V 的低压范围内工作，在休眠模式下，可在极低的电流状态（通常为 0.1 μ A）下工作。

频率合成器基于 PLL 带宽为 15 kHz 的整数 N 分频 PLL。PLL 反馈回路中的两个可编程分频器和参考振荡器上的一个可编程分频器支持调整 LO 频率。参考频率由以 12.8 MHz 运行的晶振生成。

MRF89XA 由包括用于存储无线配置设置的寄存器的数字模块控制。主单片机通过串行外设接口（SPI）访问这些寄存器。使用收发器中内置的 RSSI 和位同步器模块验证数据质量。在 64 字节发送器或接收器 FIFO 中进行数据缓冲。通过 4 线 SPI、中断（IRQ0 和 IRQ1）、PLOCK、DATA 和 SPI 片选引脚（如图 2-1 所示）对收发器进行控制。片上稳压器为敏感模块提供稳定的电源电压，并允许 MRF89XA 在 2.1-3.6V 的电源电压范围内工作。多数模块的电源电压低于 1.4V。

MRF89XA 支持以下特性模块：

- 数据滤波和白化
- 位同步
- 64 字节发送 / 接收 FIFO 缓冲区
- 通用配置寄存器

这些特性降低了处理负载，允许使用简单且低成本的 8 位单片机进行数据处理。

MRF89XA

图 2-1: MRF89XA 的详细框图

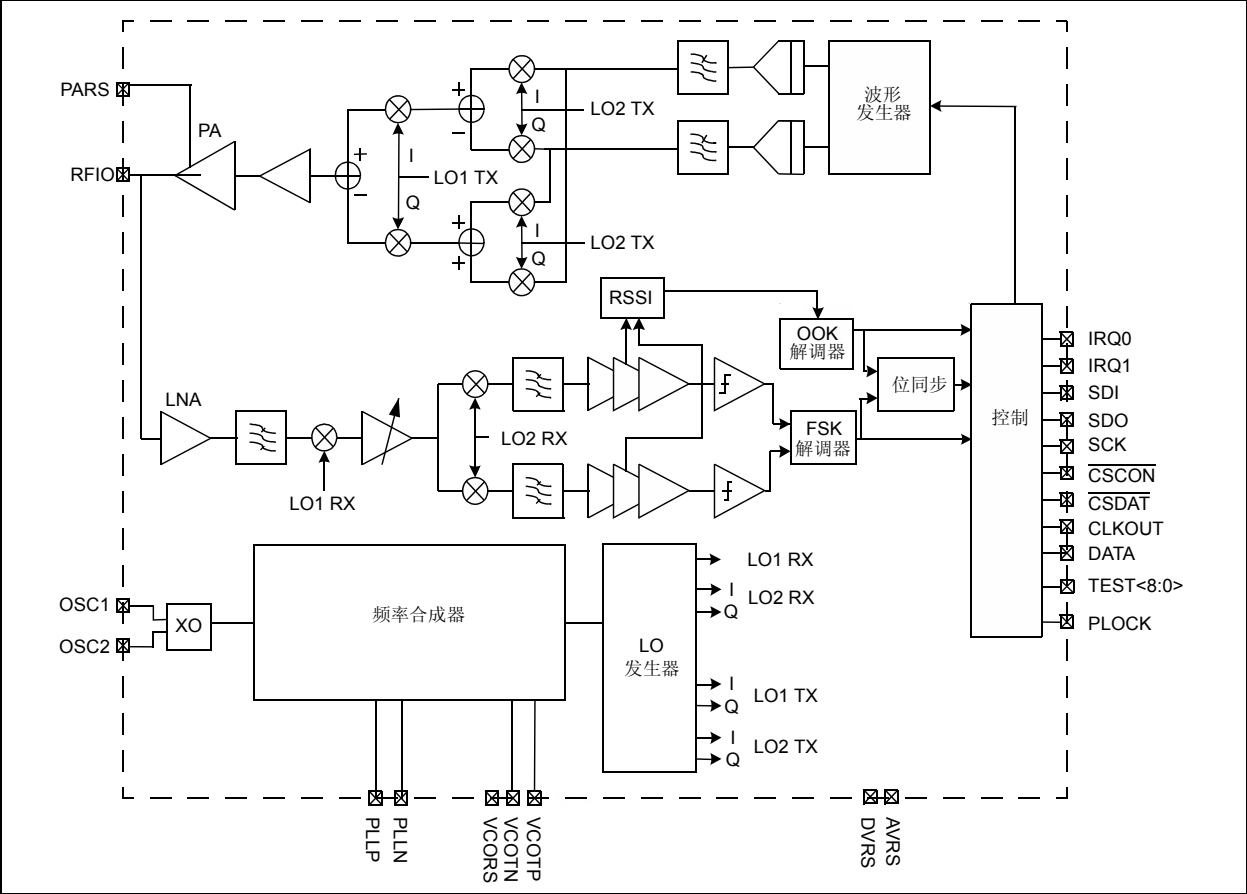


表 2-1: 引脚说明

引脚编号	引脚名称	引脚类型	说明
1	TEST5	数字 I/O	测试引脚。正常工作期间接地。
2	TEST1	数字 I/O	测试引脚。正常工作期间接地。
3	VCORS	模拟输出	VCO 的稳压电源 (0.85V)。
4	VCOTN	模拟 I/O	VCO 振荡电路。
5	VCOTP	模拟 I/O	VCO 振荡电路。
6	PLLN	模拟 I/O	PLL 环路滤波器。
7	PLLP	模拟 I/O	PLL 环路滤波器。
8	TEST6	数字 I/O	测试引脚。正常工作期间接地。
9	TEST7	数字 I/O	测试引脚。正常工作期间接地。
10	OSC1	模拟输入	晶振连接。
11	OSC2	模拟输入	晶振连接。
12	TEST0	数字输入	测试引脚。正常工作期间接地。
13	TEST8	数字 I/O	测试引脚。允许引脚悬空；正常工作期间请勿连接信号。
14	CSCON	数字输入	SPI 配置片选。
15	CSDAT	数字输入	SPI 数据片选。
16	SDO	数字输出	MRF89XA 中的串行数据输出接口。
17	SDI	数字输入	MRF89XA 中的串行数据输入接口。
18	SCK	数字输入	串行时钟接口。
19	CLKOUT	数字输出	时钟输出。输出时钟的频率等于参考频率的数分频（分频比可编程设定）。更多信息，请参见时钟输出控制寄存器（寄存器 2-28）。
20	DATA	数字 I/O	NRZ 数据输入和输出（连续模式）。
21	IRQ0	数字输出	中断请求输出。
22	IRQ1	数字输出	中断请求输出。
23	PLOCK	数字输出	PLL 锁定检测输出。更多信息，请参见 FIFO 发送 PLL 和 RSSI 中断请求配置寄存器（寄存器 2-15）。
24	TEST2	数字 I/O	测试引脚。正常工作期间接地。
25	TEST3	数字 I/O	测试引脚。正常工作期间接地。
26	VDD	电源	电源电压。
27	AVRS	模拟输出	模拟电路稳压电源 (1.0V)。
28	DVRS	模拟输出	数字电路稳压电源 (1.0V)。
29	PARS	模拟输出	PA 稳压电源 (1.8V)。
30	TEST4	数字 I/O	测试引脚。正常工作期间接地。
31	RFIO	模拟 I/O	RF 输入 / 输出（更多信息，请参见第 2.3 节“RFIO 引脚”）。
32	NC	—	无连接。正常工作期间接地。
33	Vss	地	裸露焊盘。正常工作期间接地。

MRF89XA

2.1 电源和地模块引脚

为了在较大的电源范围内提供稳定的灵敏度和线性特性，MRF89XA 在内部调节电压。此内部稳压模块结构如图 2-2 所示。

电源旁路有助于更好地处理电源线中的信号浪涌和噪声。为了确保稳压器电路正常工作，建议连接去耦电容（如图 2-2 所示）。对任何设计都建议使用这些去耦元件。电源模块将为模拟、数字、VCO 和 PLL 模块产生 4 种稳压电源，以减少其特定电压需求。但是，上电复位（Power-on Reset, POR）、配置寄存器和 SPI 使用指定给 MRF89XA 的 VDD 电源。

应在 PCB 电源输入处放置一个大的去耦电容。在器件的每个电源点和 RF 端口的偏置点放置一个小的去耦电容。差的旁路会导致传导干扰，引起噪声和杂散信号并融合到 RF 区域，从而严重降低性能。

建议 VDD 引脚连接两个旁路电容来确保进行足够的旁路和去耦。但是，旁路电容值会随着所选载波频率不同而有所变化。走线长度（VDD 引脚到旁路电容）应该尽可能短。

图 2-2: 电源框图

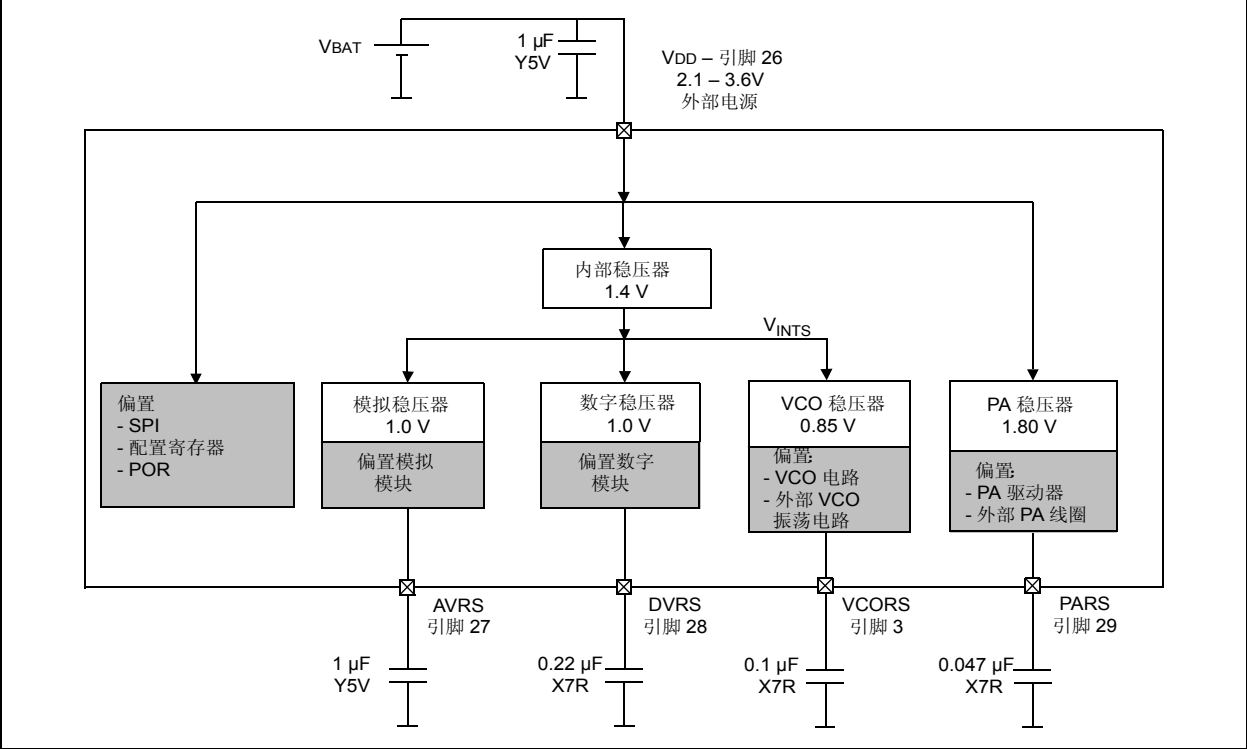


表 2-2: 电源引脚细节

模块	偏置方法	关联引脚	稳压电压 (以 V 为单位)
POR、SPI 和配置寄存器	VDD	VDD	2.1-3.6
稳压电源 (VINTS)	VDD	VDD	1.4
模拟	VINTS	AVRS	1.0
数字	VINTS	DVRS	1.0
VCO	VINTS	VCORS	0.85
PA	VDD	PARS	1.8

2.2 复位引脚

发生以下任何事件时，器件都会进入复位模式：

- 上电复位（POR）
- 手动复位

使用 VDD 给 MRF89XA 供电，会发生 POR。POR 周期至少需要 10 ms 才能在 SPI 总线上执行任何通信操作。

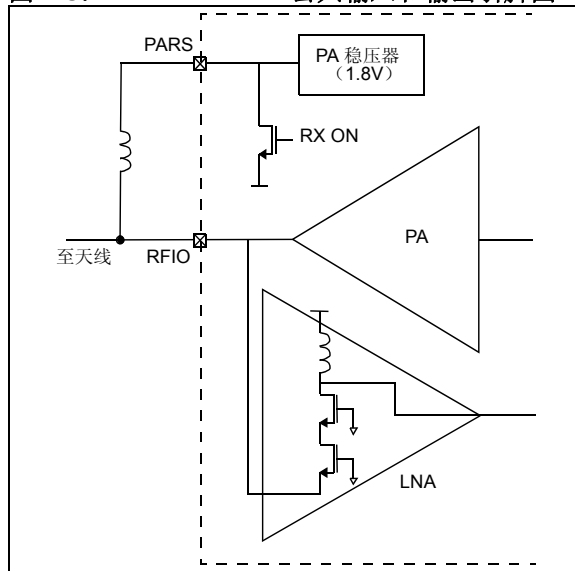
通过将 TEST8 引脚（引脚 13）拉高 100 μ s 然后释放可以执行 MRF89XA 的外部硬件复位或手动复位。释放该引脚后，收发器需要 5 ms 以上的时间才能准备好进行任何操作。该引脚通过漏极开路输出驱动，因此，在器件处于 POR 时会拉高。复位期间，器件将不接受命令。更多信息，请参见第 3.1.2 节“手动复位”。

2.3 RFIO 引脚

接收器和发送器共享同一 RFIO 引脚（引脚 31）。常规 RF 前端配置如图 2-3 所示。

- 在发送模式下，PA 和 PA 稳压器打开，且 PARS 引脚（引脚 29）上的电压等于稳压器的标称电压（约 1.8V）。外部 RF 线圈电感用于偏置 PA。
- 在接收模式下，PA 和 PA 稳压器关闭，且 PARS 接地。外部 RF 线圈电感用于偏置和匹配 LNA（这基本上实现为共栅极放大器）。

图 2-3: RF 公共输入和输出引脚图



MRF89XA 中的 PA 和 LNA 前端共享同一输入 / 输出引脚，在内部约与 50 Ω 的电阻相匹配。

2.4 滤波器和放大器模块

2.4.1 插值滤波器

发送期间经数模转换之后，I 和 Q 信号经过插值滤波器变得平稳。这些低通滤波器对生成的数字信号进行滤波，并阻止混叠信号进入调制器。

2.4.2 功率放大器

MRF89XA 中集成的功率放大器（PA）在 1.8V 的稳定电压下工作。外部 RF 线圈电感由 PARS 引脚（引脚 29）上提供的内部稳压器输出偏置。因此，PA 输出功率在整个电源范围内是一致的。这对允许预测 RF 性能和电池寿命的应用非常重要。

集电极开路输出需要使用电感作为 RF 线圈进行偏置。建议 PA 偏置和匹配电路的详细信息，请参见第 4.4.2 节“推荐的 PA 偏置和匹配”。

注： 在 RF 输入中使用 SAW 滤波器实现图像抑制。

SAW 滤波器匹配电路取决于所选 SAW 滤波器。许多现代 SAW 滤波器都具有 50 Ω 的输入和输出，简化了 MRF89XA 的匹配过程。这将在应用电路中进行说明。如果选择的 SAW 滤波器不是 50 Ω ，那么则需要 SAW 滤波器的输入和输出阻抗匹配。

2.4.3 低噪声放大器（具有第一级混频器）

在接收模式下，RFIO 引脚（引脚 31）连接到固定增益的共栅极低噪声放大器（LNA）。放大器的此性能使得接收器的噪声系数（Noise Figure, NF）预计为约 7 dB。

LNA 的阻抗约为 50 Ω ，在信号发送期间，此放大器与建议的天线（PCB/ 单极天线）能很好的协调工作。LNA 后跟内部 RF 带通滤波器。

2.4.4 IF 增益和第二级 I/O 混频器

在 LNA 和第一级降频转换之后，有一个 IF 放大器，其增益可以通过寄存器 DMODREG 编程为 13.5-0 dB（步长为 4.5 dB）。更多信息，请参见第 2.14.2 节“数据和调制配置寄存器详细信息”。默认设置对应于 0 dB 增益，但是较低的值可能会增大 RSSI 动态范围。

2.4.5 信道滤波器

紧接着第二级混频器的是信道选择滤波器。信道选择滤波器对接收器的噪声带宽和选择的影响较大，进而影响接收器的灵敏度。每个信道选择滤波器都具有一个带宽可编程的无源二阶 RC 滤波器，“良好的”信道选择由有源三阶 Butterworth 滤波器执行，该滤波器充当零中频（FSK）配置下的低通滤波器或低中频（OOK）配置下的复杂多相滤波器。配置无源和有源滤波器的更多信息，请参见第 3.4.4 节“信道滤波器”。

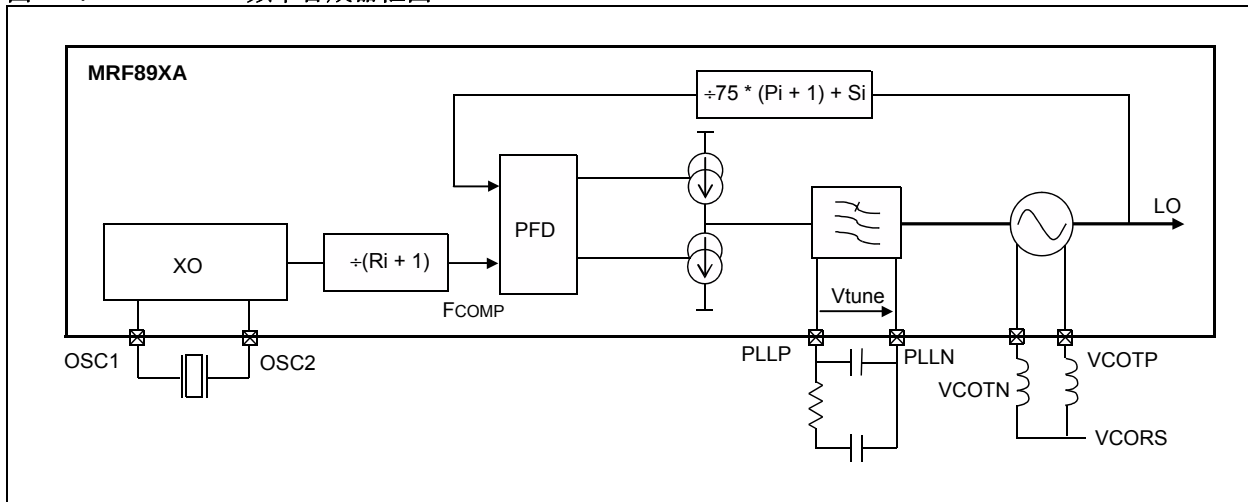
2.5 频率合成器模块

MRF89XA 的频率合成器是一个全集成的整数 N 分频 PLL。晶振为 PLL 提供参考频率。PLL 电路只需要最低 5 个外部元件用于 PLL 环路滤波器和 VCO 振荡电路。

图 2-4 给出了 MRF89XA PLL 的原理框图。此处，由晶振参考频率和软件控制的分频器 R、P 和 S 模块确定 PLL 的输出频率。

VCO 振荡电感连接到外部差分输入。类似地，环路滤波器也位于外部。

图 2-4: 频率合成器框图



2.5.1 参考振荡器引脚（OSC1/OSC2）

MRF89XA 具有一个内部集成振荡器电路，OSC1 和 OSC2 引脚用来连接到外部晶振谐振器。晶振为 PLL 提供参考频率。具有所需负载电容的晶振电路为 PLL 提供 12.8 MHz 的参考信号。然后，PLL 会生成本地振荡器频率。可以通过更改负载电容值将晶振“拉”至精确频率。晶振负载电容值通常为 15 pF，允许晶振电路接受较大范围的晶振。

选择容差较大的晶振能获得较小的发送到接收频率偏移，并且基带带宽偏差也较小。因此，建议的晶振精确度应该 ≤ 40 ppm。第 4.6 节“晶振规格和选择指南”给出了用于选择具有不同规范的适当晶振的指导信息。

注： 晶振频率误差将直接转换为载波频率 (f_{rf})、比特率和频率偏差。

2.5.2 CLKOUT 输出引脚 (CLKOUT)

收发器可以通过 CLKOUT 引脚 (引脚 19) 向单片机提供时钟信号, 以精确定时, 因而无需辅助晶振。这会降低元件数。CLKOUT 是参考频率经过分频后得到的, 分频比可编程设定。

CLKOUT 输出有两个主要功能:

- 为主单片机提供时钟输出, 从而节省额外使用振荡器所带来的成本。
- 提供振荡器参考输出。测量 CLKOUT 信号可对初始晶振容差进行简单软件微调。

注: 为了最小化 MRF89XA 的电流消耗, 确保 CLKOUT 信号在未用时禁止。

CLKOUT 可以在任何工作模式 (休眠模式除外) 下使用, 并且会在上电时自动使能。

2.5.3 锁相环架构

整数 N 分频锁相环 (PLL) 电路决定器件的工作频率。PLL 使用晶振控制的参考振荡器保持精度, 并且为设计人员提供最大的性能灵活性。

PLL 的高分辨率允许在任何波段中使用多个信道。片上 PLL 能够执行手动和自动校准, 以补偿温度或工作电压的变化。

2.5.3.1 PLL 锁定引脚 (PLOCK)

MRF89XA 具有一个 PLL 锁定 (PLOCK) 检测指示器。这对于通过调整合成器唤醒时间来优化功耗非常有用。锁定状态也可以通过 FTPRIREG 寄存器 (寄存器 2-15) 中的 LSTSPLL 位读取, 且必须通过向同一寄存器写入 1 来清零。通过将 FTPRIREG 寄存器中的 LENPLL 位置 1, 可以在 PLOCK 引脚 (引脚 23) 上提供锁定状态。

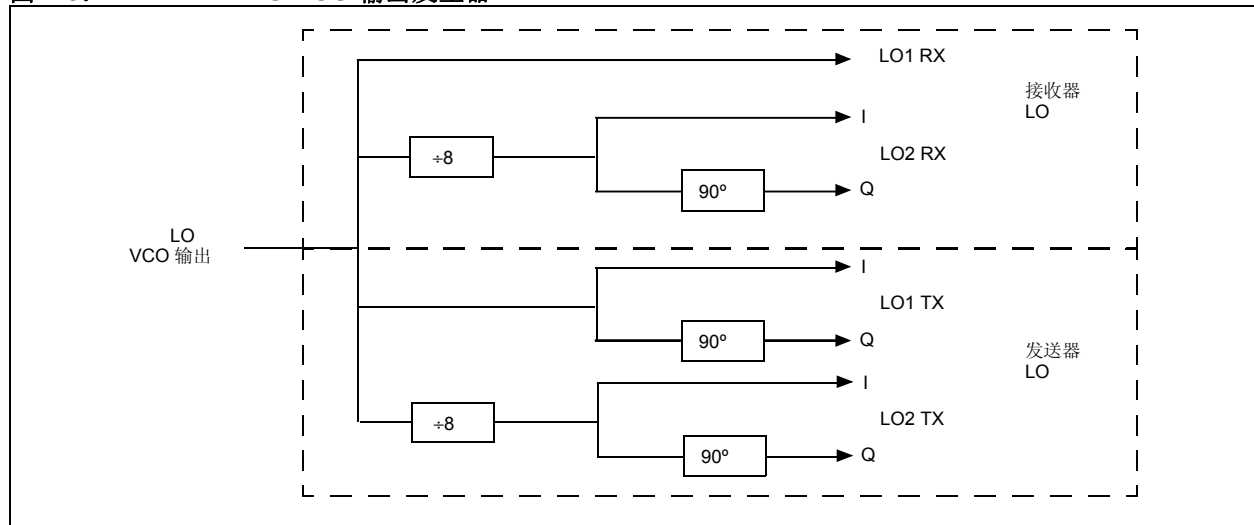
2.5.4 压控振荡器

集成的压控振荡器 (Voltage Controlled Oscillator, VCO) 需要两个外部振荡电路电感。由于输入为差分输入, 因此两个电感必须具有相同的标称值。这些元件的性能对于 PLL 的相位噪声和功耗都是关键因素。建议选择一对高 Q 电感。这些电感应该与电路中的其他电感 (尤其是 PA 线圈) 交叉安装, 以减少 PA 和 VCO 之间的杂散耦合。为了实现最佳性能, 应该按照第 4.0 节 “应用详细信息” 中的说明使用具有严格容差的高 Q 绕线电感。此外, 这些措施能够减少辐射牵引效应和不希望发生的瞬态特性, 从而降低频谱的占用率。

注: 确保 VCO 电感的对称布局将进一步改进 PLL 频谱纯度。

VCO 的输出信号用作本地振荡器 (Local Oscillator, LO) 发生的输入, 如图 2-5 所示。VCO 频率可以再分频, 并在一系列发送 / 接收的升频 / 降频转换中使用。

图 2-5: LO VCO 输出发生器



MRF89XA

2.6 MRF89XA 工作模式（包括节能模式）

本节概述了 MRF89XA 的每种工作模式的设置，并根据所执行的操作和可用功能节省功耗。第 5.3 节“切换时序和过程”中描述了各模式之间切换的时序要求。

2.6.1 工作模式

表 2-3 列出了 MRF89XA 的不同工作模式，可用于节能。

2.6.2 数字引脚配置与芯片模式

表 2-4 列出了上述每种工作模式中的数字 I/O 状态，而不管数据工作模式（连续、缓冲或数据包）如何。

表 2-3: 工作模式

模式	CMOD<2:0> 位 (GCONREG<7:5>)	工作模块
休眠	000	SPI 和 POR。
待机	001	SPI、POR、顶部稳压器、数字稳压器、XO、CLKOUT（如果通过 CLKOREG 激活）。
FS	010	待机模式下的模块，及 VCO 稳压器、所有 PLL 和 LO 生成模块。
接收	011	FS 模式下的模块，及 LNA、第一级混频器、IF 放大器、第二级混频器套件、信道滤波器、基带放大器和限幅器、RSSI、OOK 或 FSK 解调器、BitSync 和所有数字功能部件（如果使能）。
发送	100	FS 模式下的模块，及 DDS、插值滤波器、所有升频转换混频器、PA 驱动器、PA 和 PA 线圈的外部 PARS 引脚（引脚 29）输出。

表 2-4: 引脚配置与芯片模式

芯片模式 引脚	休眠模式	待机模式	FS 模式	接收模式	发送模式	备注
CSCON	输入	输入	输入	输入	输入	CSCON 优先级高于 CSDAT。
CSDAT	输入	输入	输入	输入	输入	—
SDO ⁽⁴⁾	输出	输出	输出	输出	输出	仅当 CSCON 或 CSDAT = 0 时，为输出。
SDI	输入	输入	输入	输入	输入	—
SCK	输入	输入	输入	输入	输入	—
IRQ0 ⁽³⁾	高阻	输出 (1)	输出 (1)	输出	输出	—
IRQ1 ⁽³⁾	高阻	输出 (1)	输出 (1)	输出	输出	—
DATA	输入	输入	输入	输出	输入	—
CLKOUT	高阻	输出	输出	输出	输出	—
PLOCK	高阻	输出 (2)	输出 (2)	输出 (2)	输出 (2)	—

- 注 1: 如果激活连续模式，为高阻；否则为输出。
- 2: 如果 LENPLL = 1，为输出；否则为高阻。
- 3: 必须始终将有效逻辑状态施加到输入，以避免不必要的电流泄漏。对设计人员的建议：
- 使用外部下拉电阻。
 - 将 MRF89XA 置为休眠模式时，将单片机中断引脚的三态设置为输出。唤醒后反之。由于单片机的可控性，因此应该很容易执行此操作，而不需要外部下拉电阻。
- 4: 任意 CS 引脚为高电平（不选择 MRF89XA）时，SDO 引脚默认值为高阻态。

2.7 中断（IRQ0 和 IRQ1）引脚

中断请求（IRQ0 和 IRQ1）引脚 21 和 22 将来自 MRF89XA 的中断信号提供给主单片机。通过基于这些中断的事件和配置设置将 IRQ0（引脚 21）或 IRQ1（引脚 22）引脚拉低或拉高，为主单片机生成中断请求。IRQ 引脚处于活动状态前，必须允许并取消屏蔽中断。中断的详细功能说明，请参见第 3.8 节“数据处理”。

2.8 DATA 引脚

OOK 或 FSK 解调后，如果选择连续模式，用户可通过 DATA 引脚（引脚 20）使用基带信号。因此，在连续模式下，主单片机均可通过双向 DATA 引脚直接访问输入或输出调制器或解调器的 NRZ 数据。因而，SPI 数据、FIFO 和数据包处理程序处于不活动状态。在缓冲和数据包模式下，通过 SPI 从 FIFO 检索数据。

发送期间，DATA 引脚配置为 DATA（数据输出），且内部发送模式禁止；这将手动调制外部主单片机的数据。如果禁止了发送模式，此引脚可以拉“高”，也可以不连接。

接收期间，DATA 引脚配置为 DATA（数据输入）；此引脚与 DCLK 配合接收数据。DATA 引脚（在数据包模式下未使用）应该通过 100 kΩ 的电阻上拉到 VDD。

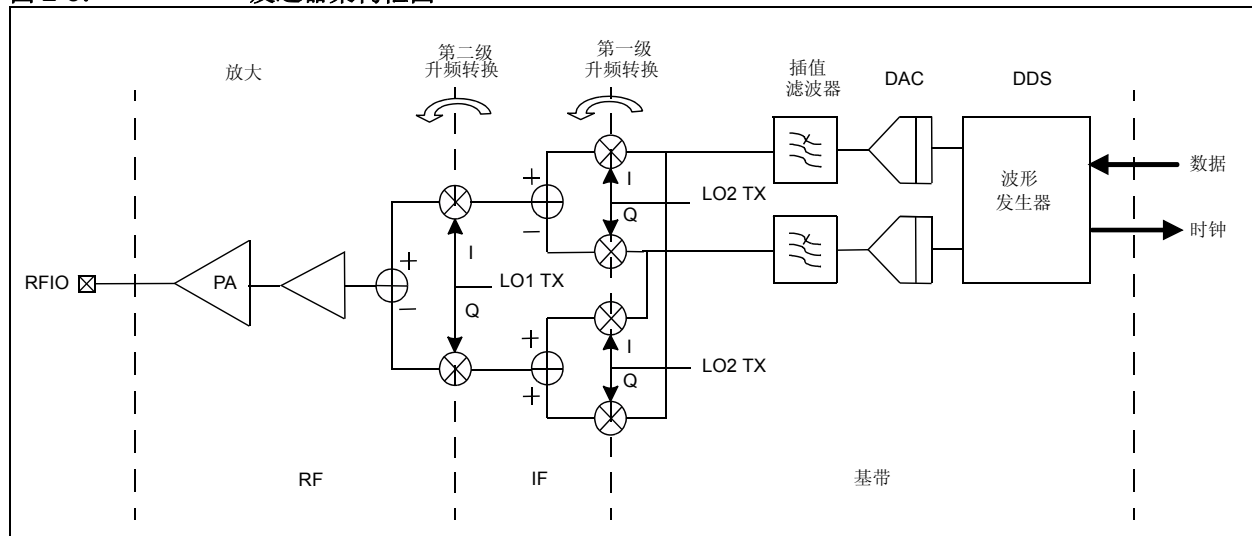
2.9 发送器

发送器链基于相同的双转换架构，并且采用的中间频率也和接收器链一致。主模块包括：

提供 I 和 Q 基带信号的数字波形发生器。此模块包括数模转换器和抗混叠低通滤波器。

复合图像抑制混频器将基带信号升频转换至第一个 IF（为载波频率（ f_{rf} ）的 $1/9$ ），然后第二个图像抑制混频器将 IF 信号升频转换至 RF 频率，最后由发送器驱动器和功率放大器级来驱动天线端口。

图 2-6: 发送器架构框图



2.9.1 发送器架构

图 2-6 给出了发送器架构框图。基带 I 和 Q 信号由 DDS 以数字形式生成，DDS 的数模转换器（DAC）后跟两个抗混叠低通滤波器，用于将数字信号转换为频率为所选频率偏差的模拟同相（I）和正交（Q）组成部分，且频率偏差值由 FDEVREG 寄存器中的 FDVAL<7:0> 位设置。

在 FSK 模式下，I 和 Q 的相关相位由 -90° 和 $+90^\circ$ 之间具有连续相位的输入数据切换。因此，调制在此初始阶段执行，因为 I 和 Q 信号在第一级混频器阶段升频转换时，此相位差中包含的信息将转换为频率偏移。将重复第一级升频转换阶段，以增强图像抑制。FSK 转换如下：

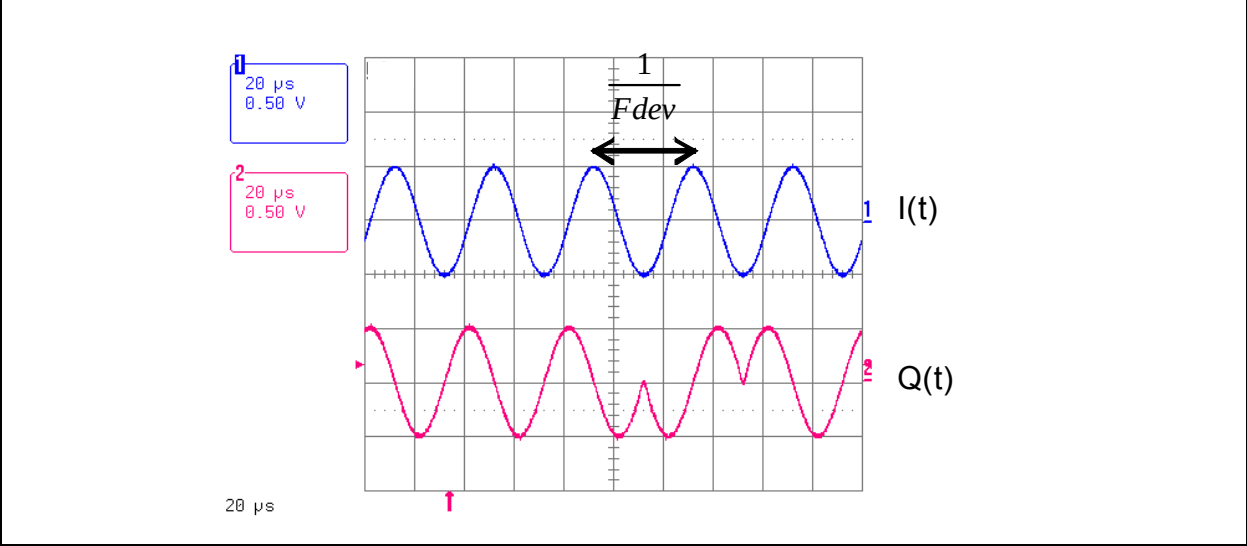
$$\begin{aligned} \text{DATA} = 1 &\rightarrow f_{rf} + f_{dev} \\ \text{DATA} = 0 &\rightarrow f_{rf} - f_{dev} \end{aligned}$$

在 OOK 模式下，I 和 Q 信道之间的相位差保持不变（与发送的数据无关）。因此，第一级升频转换阶段将创建一个频率为低 $IF = f_{dev}$ 的固定频率信号（这解释了为什么发送的 OOK 频谱偏移了 f_{dev} ）。OOK 调制通过开启和关闭 PA 和 PA 稳压器阶段来实现。按照惯例：

$$\begin{aligned} \text{DATA} = 1 &\rightarrow \text{PAon} \\ \text{DATA} = 0 &\rightarrow \text{PAoff} \end{aligned}$$

插值滤波器之后，一组 4 个混频器将 I 和 Q 信号组合起来，并将其转换为一对频率为第二中间频率（等于 LO 频率的 1/8 或 RF 频率的 1/9）的复杂信号。然后这两个新的 I 和 Q 信号与 LO 信号一起馈送至两个正交混频器，由其升频转换为最终 RF 频率。信号将进行预放大，然后发送器输出由最终功率放大器阶段驱动。I 和 Q 信号细节在图 2-7 中给出。

图 2-7: I(t) 和 Q(t) 信号概览



2.10 接收器

接收器基于超外差式架构，包含以下主要模块：

- 一个 LNA，用于提供低噪声 RF 增益，后跟 RF 带通滤波器。
- 第一级混频器，用于将 RF 信号降频转换为中间频率（等于载波频率的 1/9，即 915 MHz 信号的 f_{rf} 为 100 MHz）。

一个可变增益的第一级 IF 前置放大器，后跟两个第二级混频器，用于将第一个 IF 信号降频转换为频率较低的 I 和 Q 信号（对于 FSK 是零中频，对于 OOK 是低中频）。

- 一个二级 IF 滤波器，后跟一个放大器链，同时可用于 I 和 Q 信道。每个链结尾处的限幅器驱动 FSK 解调器的 I 和 Q 输入。RSSI 信号也派生自 I 和 Q IF 放大器，以驱动 OOK 检测器。每个信道中的第二级滤波器可以配置为三阶 Butterworth 低通滤波器（对于 FSK 操作）或图像抑制多相位带通滤波器（对于 OOK 操作）。
- FSK 反正切类型解调器由 I 和 Q 限幅器输出驱动，而 OOK 解调器由 RSSI 信号驱动。任何检测器都可以驱动数据和时钟恢复功能，以提供解调数据的匹配滤波器增强功能。

2.10.1 接收器架构

图 2-8 给出了接收器架构框图。第一级 IF 是 RF 频率的 1/9（大约 100 MHz）。第二级降频转换将 I 和 Q 信号频率降低到基带（零中频，如果是 FSK 接收器）和低中频（IF2，如果是 OOK 接收器）。

第二级降频转换阶段后，接收到的信号经过信道选择滤波，放大到足以解调的级别。FSK 和 OOK 解调都可用。最后，提供可选位同步器（BitSync）来为连续模式下的配对单片机提供同步时钟和数据流，或者在缓冲模式下用无异常数据填充 FIFO 缓冲区。

注： 对 RF 输入使用 SAW 滤波器实现图像抑制。

图 2-8: 接收器架构框图

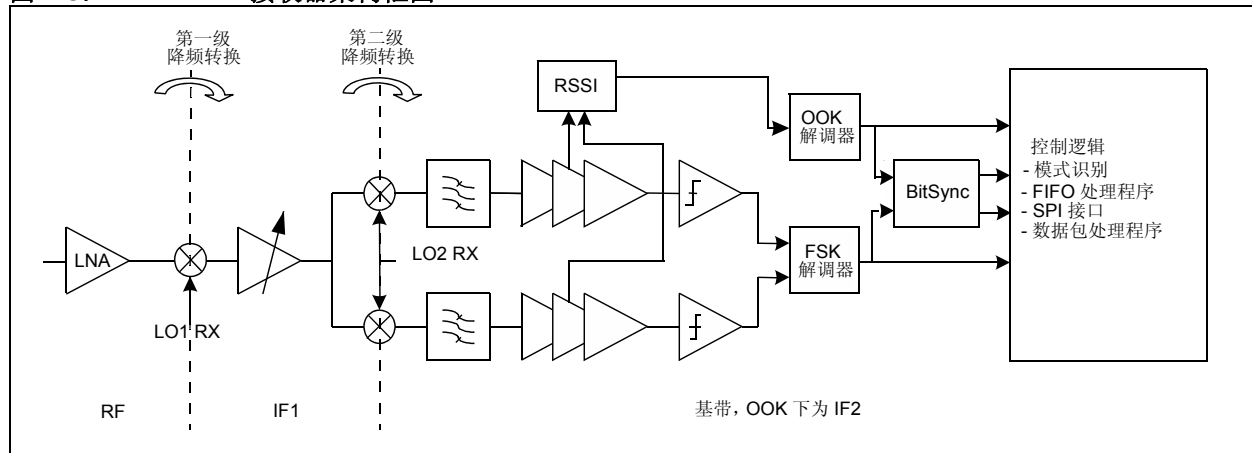


图 2-9: FSK 接收器设置

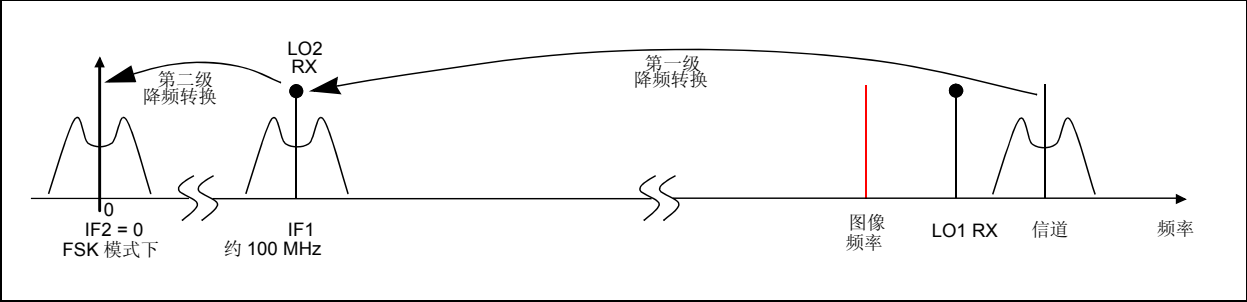
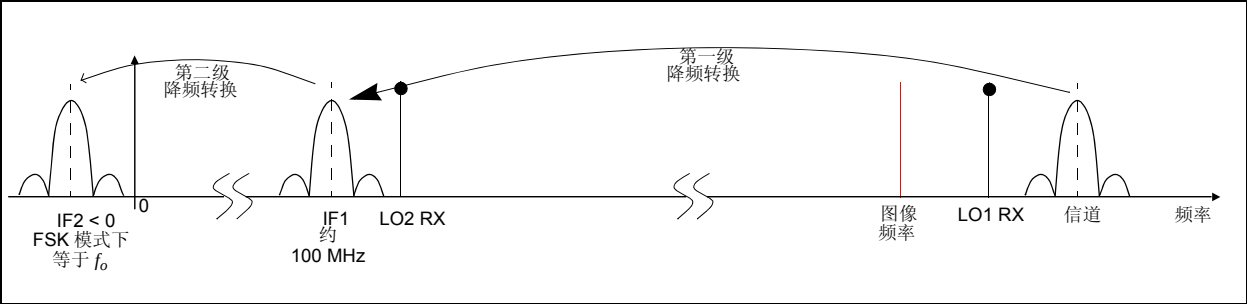


图 2-10: OOK 接收器设置



2.11 串行外设接口（SPI）

MRF89XA 作为从器件通过 4 线 SPI 端口与主单片机通信。兼容 SPI 的串行接口允许用户通过主单片机选择、命令和监视 MRF89XA 的状态。所有寄存器都通过特定地址寻址，以控制、配置和读取状态字节。

MRF89XA 中的 SPI 包括以下两个子模块，如图 2-11 所示。

- **SPI CONFIG:** 该子模块在所有数据工作模式下使用，用于读写控制所有芯片参数（工作模式、频率和比特率）的配置寄存器。
- **SPI DATA:** 该子模块在缓冲模式和数据包模式下使用，用于在 FIFO 中读写数据字节。（FIFO 中断可用于管理 FIFO 内容）。

这些 SPI 都配置为从模式，而主单片机配置为主器件。它们具有不同的选择引脚（CSCON 和 CSDAT），但是共享其余的引脚：

- **SCK（SPI 时钟）:** 主单片机提供的时钟信号
- **SDI（SPI 输入）:** 主单片机提供的数据输入信号
- **SDO（SPI 输出）:** MRF89XA 提供的数据输出信号

如表 2-5 所示，一次只能选择一种接口，且 CSCON 的优先级较高：

表 2-5: SPI 配置与数据选择

CSDAT	CSCON	SPI
0	0	CONFIG
0	1	DATA
1	0	CONFIG
1	1	无

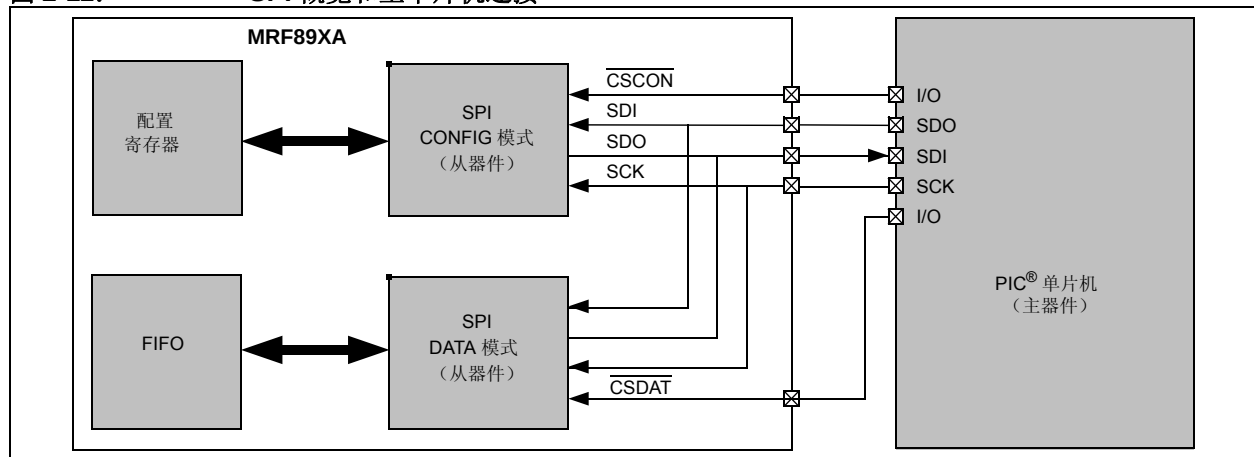
所有参数都可以通过 SPI 模块编程和设置。不需要时，可禁止任意这些辅助功能。上电后，所有参数都会设置为默认值。休眠模式期间，仍保留编程后的值。此接口支持读取状态寄存器，该寄存器提供有关收发器状态和所接收数据的详细信息。

MRF89XA 支持 SPI 模式 0,0，该模式需要 SCK 在低电平状态下保持空闲。CS 引脚（CSCON 和 CSDAT（引脚 14 和 15），具体取决于模式），必须保持低电平以使能主单片机和 MRF89XA 之间的通信。表 5-7 列出了器件的时序规范详细信息。任一 CS 引脚为高电平（不选择 MRF89XA）时，SDO 引脚默认为高阻态。此引脚具有一个三态缓冲器，使用总线保持逻辑。

器件使用字节写操作时，在传输 8 位的时间内，所有片选（CS）引脚均应拉至低电平。CS 引脚为低电平时，SDI 引脚（引脚 17）上的数据位都会在 SCK 引脚（引脚 18）上的时钟上升沿移入器件。CONFIG 模式下最大 SPI 时钟频率为 6 MHz。但是，DATA 模式（用于读/写 FIFO）下最大 SPI 时钟频率为 1 MHz。数据由收发器通过 SDI 引脚接收，并在 SCK 的上升沿随时钟移入。MRF89XA 通过 SDO 引脚发送数据，并在 SCK 的下降沿随时钟移出。所有数据都首先发送最高有效位（Most Significant bit, MSb）。

SPI 时序图在图 2-12 至图 2-15 中给出。

图 2-11: SPI 概览和主单片机连接

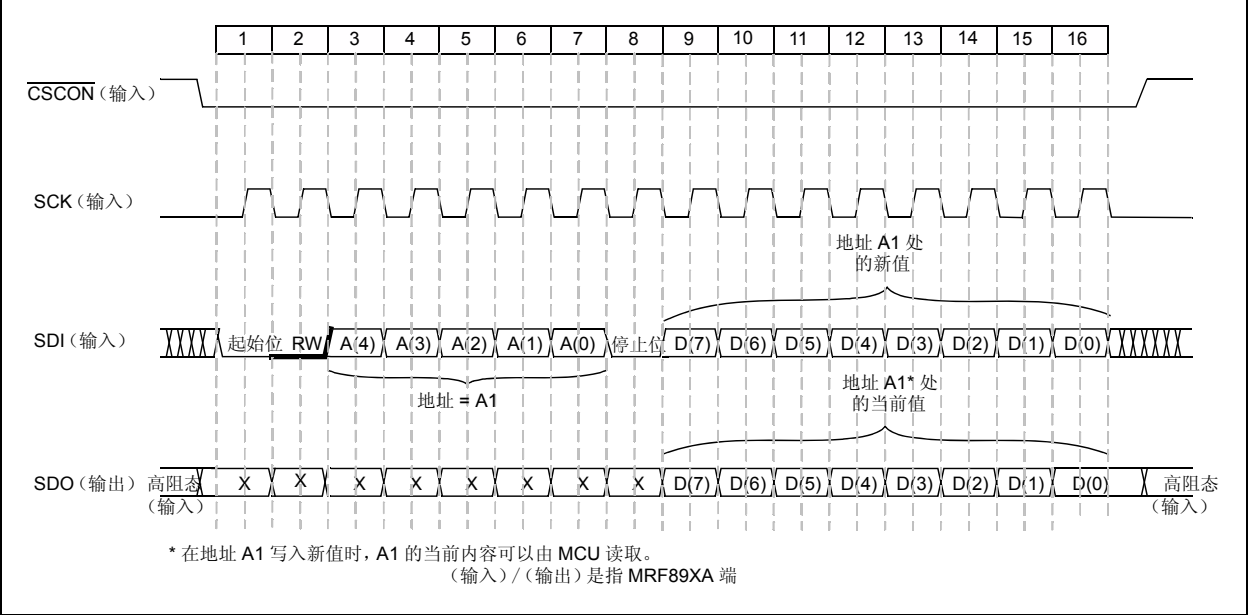


2.11.1 SPI CONFIG

写寄存器——要将值写入配置寄存器，主单片机应遵循图 2-12 给出的时序图。该寄存器的新值从 CSCON 的上升沿开始生效。

注：连续写入多个寄存器时，不必在两个写序列之间将 CSCON 切换回高电平。字节也会被交替视为地址和值。在此情况下，所有新值都将在 CSCON 的上升沿开始生效。

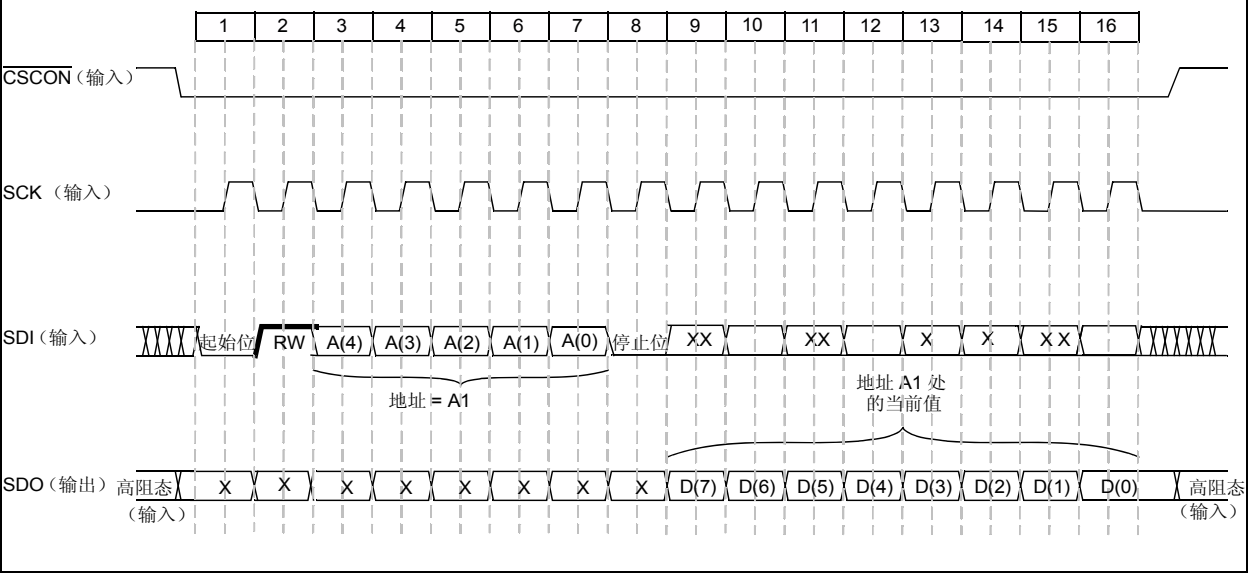
图 2-12: 写寄存器序列



读寄存器——要读取配置寄存器的值，主单片机应遵循图 2-13 中给出的时序图。

注：连续读取多个寄存器时，不必在两个读序列之间将 CSDON 切换回高电平。字节也会被交替视为地址和值。

图 2-13: 读寄存器序列

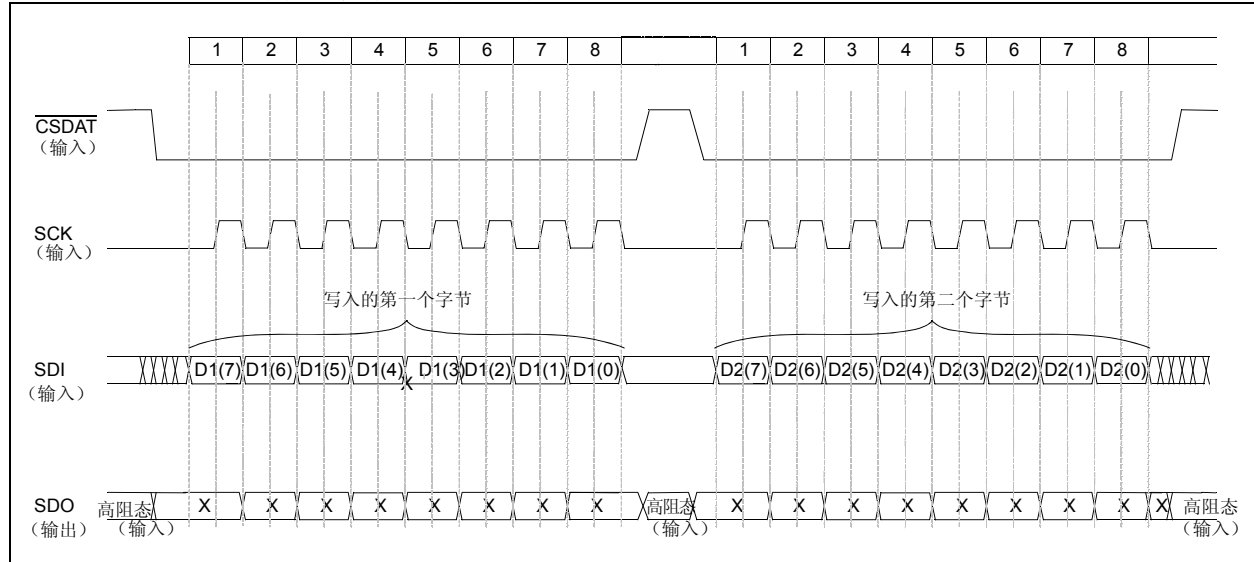


2.11.2 SPI DATA

写字节（发送之前 / 期间） —— 要将字节写入 FIFO，主单片机应遵循图 2-14 中给出的时序图。

注： 在写入每个字节的时间间隔内，必须将 CSDAT 切换回高电平。该字节会在 CSDAT 的上升沿压入 FIFO。

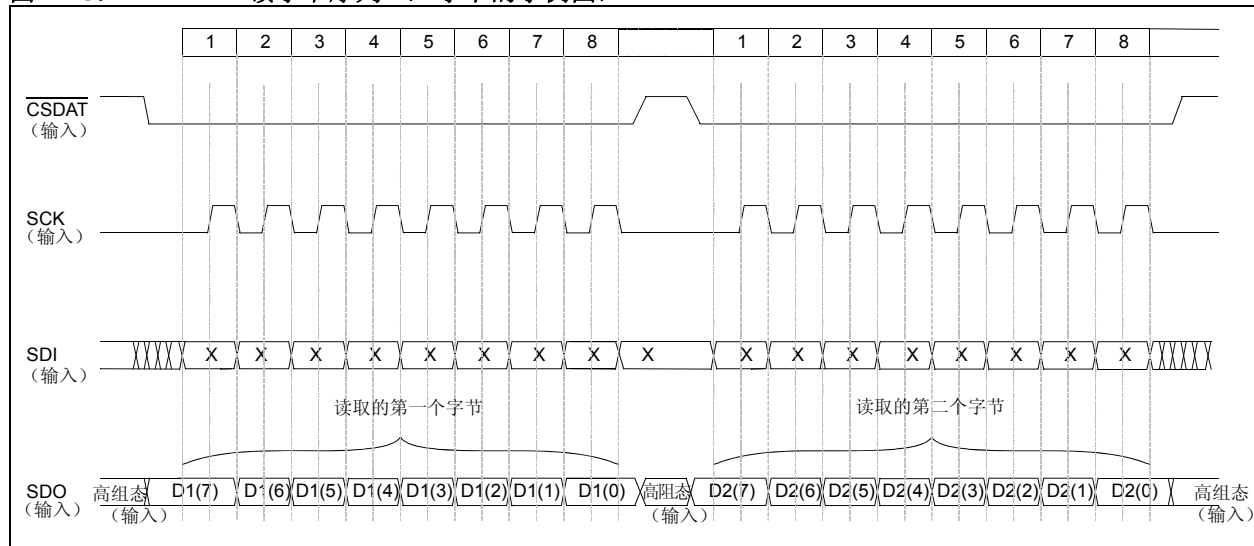
图 2-14: 写字节序列（2 字节的示例图）



读字节（发送之后 / 期间） —— 要从 FIFO 读取字节，主单片机应遵循图 2-15 中给出的时序图。

注： 在读取每个字节的时间间隔内，建议将 CSDAT 切换回高电平。

图 2-15: 读字节序列（2 字节的示例图）

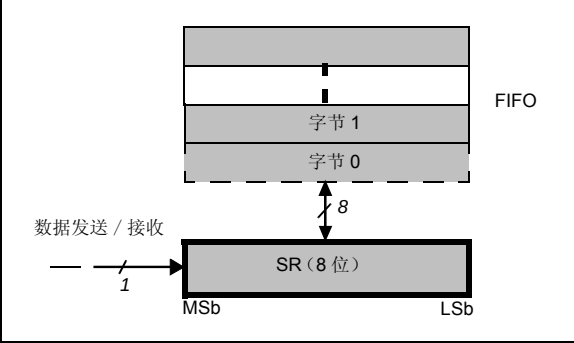


2.12 FIFO 和移位寄存器（SR）

在缓冲和数据包工作模式下，要发送的数据和已接收的数据存储在可配置的先进先出（First In First Out, FIFO）缓冲区中。FIFO 通过 SPI 数据接口访问，并为传输管理提供多个中断。

FIFO 为 1 字节（8 位）宽；因此，它仅执行字节（并行）操作，而解调器处理的是串行数据。因此，采用移位寄存器（Shift Register, SR）来连接解调器和 FIFO。在发送模式下，移位寄存器从 FIFO 获取字节，并将其以编程的比特率串行输出（先输出 MSb）到调制器。类似地，在接收模式下，移位寄存器从解调器按位获取数据，并将其按字节写入 FIFO。这在图 2-16 中给出。

图 2-16: FIFO 和移位寄存器



2.13 MRF89XA 配置、控制和状态寄存器

MRF89XA 收发器中的存储器实现为静态 RAM，可通过 SPI 端口访问。图 2-17 和图 2-18 中给出了 MRF89XA 的存储器配置。

图 2-17: MRF89XA 存储空间

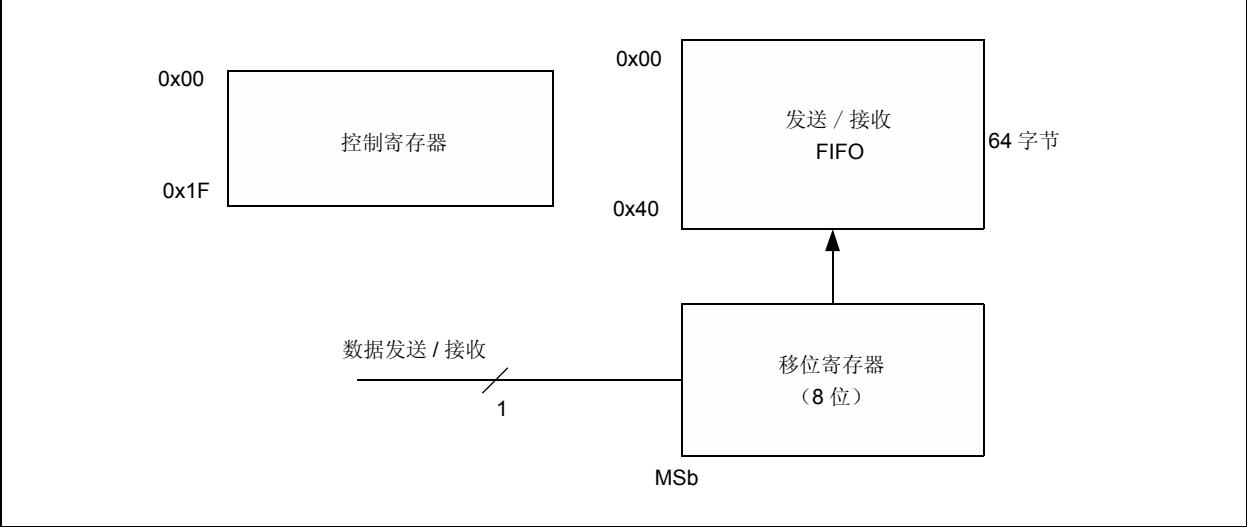


图 2-18: MRF89XA 寄存器存储器映射

寄存器名称		寄存器名称	
0x00	GCONREG	0x10	FILCREG
0x01	DMODREG	0x11	PFCREG
0x02	FDEVREG	0x12	SYNCREG
0x03	BRSREG	0x13	RSTSREG
0x04	FLTHREG	0x14	RSVREG
0x05	FIFOCREG	0x15	OOKCREG
0x06	R1CREG	0x16	SYNCV31REG
0x07	P1CREG	0x17	SYNCV23REG
0x08	S1CREG	0x18	SYNCV15REG
0x09	R2CREG	0x19	SYNCV07REG
0x0A	P2CREG	0x1A	TXCONREG
0x0B	S2CREG	0x1B	CLKOREG
0x0C	PACREG	0x1C	PLOADREG
0x0D	FTXRIREG	0x1D	NADDSREG
0x0E	FTPRIREG	0x1E	PKTCREG
0x0F	RSTHIREG	0x1F	FCRCREG

MRF89XA 寄存器具有处理表 2-6 中列出的命令、配置、控制、状态或数据 /FIFO 字段的功能。这些寄存器对发送和接收模式、中断、同步模式、晶振和数据包共有的参数进行操作。

FIFO 充当数据发送和接收的缓冲区。移位寄存器 (SR) 在发送和接收期间对数据进行移位，以适应 FIFO 的需要。POR 时会将所有配置 / 控制 / 状态寄存器设置为默认值。

MRF89XA

表 2-6: 配置 / 控制 / 状态寄存器说明

通用配置寄存器: 大小 – 13 字节, 起始地址 – 0x00			
寄存器地址	寄存器名称	寄存器说明	相关控制功能
0x00	GCONREG	通用配置寄存器	收发器模式、频段选择、VCO 微调 and PLL 分频器选择
0x01	DMODREG	数据和调制配置寄存器	调制类型、数据模式、OOK 阈值类型和 IF 增益
0x02	FDEVREG	频率偏差控制寄存器	FSK 发送模式下的频率偏差
0x03	BRSREG	比特率设置寄存器	运行比特率
0x04	FLTHREG	下限阈值控制寄存器	OOK 接收模式下的下限阈值
0x05	FIFOCREG	FIFO 配置寄存器	FIFO 大小和阈值
0x06	R1CREG	R1 计数器设置寄存器	R1 计数器的值输入
0x07	P1CREG	P1 计数器设置寄存器	P1 计数器的值输入
0x08	S1CREG	S1 计数器设置寄存器	S1 计数器的值输入
0x09	R2CREG	R2 计数器设置寄存器	R2 计数器的值输入
0x0A	P2CREG	P2 计数器设置寄存器	P2 计数器的值输入
0x0B	S2CREG	S2 计数器设置寄存器	S2 计数器的值输入
0x0C	PACREG	功率放大器控制寄存器	OOK 中 PA 稳压器输出电压的斜坡控制

中断配置寄存器: 大小 – 3 字节, 起始地址 – 0x0D			
寄存器地址	寄存器名称	寄存器说明	相关控制功能
0x0D	FTXRXIREG	FIFO、发送和接收中断请求配置寄存器	接收模式下的中断请求 (IRQ0 和 IRQ1)、发送模式下的中断请求 (IRQ1) 以及 FIFO 满、空和溢出的中断请求
0x0E	FTPRIREG	FIFO 发送 PLL 和 RSSI 中断配置寄存器	FIFO 填充方法、FIFO 填充、发送开始的中断请求 (IRQ0), RSSI 的中断请求、PLL 锁定使能和状态
0x0F	RSTHIREG	RSSI 阈值中断请求配置寄存器	RSSI 中断阈值

接收器配置寄存器: 大小 – 6 字节, 起始地址 – 0x10			
寄存器地址	寄存器名称	寄存器说明	相关控制功能
0x10	FILCREG	滤波器配置寄存器	无源滤波器带宽选择和设置接收器带宽 (Butterworth 滤波器)
0x11	PFCREG	多相滤波器配置寄存器	选择多相滤波器的中心频率
0x12	SYNCREG	同步控制寄存器	使能多相滤波器 (在 OOK 接收模式下)、位同步器控制、同步字识别、同步字大小和同步字错误
0x13	RESVREG	保留寄存器	保留供将来使用

表 2-6: 配置 / 控制 / 状态寄存器说明 (续)

接收器配置寄存器: 大小 - 6 字节, 起始地址 - 0x14			
寄存器地址	寄存器名称	寄存器说明	相关控制功能
0x14	RSTSREG	RSSI 状态读取寄存器	RSSI 输出
0x15	OOKCREG	OOK 配置寄存器	OOK 解调器中的 RSSI 阈值大小、OOK 解调器中的 RSSI 阈值周期, 以及解调器中 OOK 阈值的截止频率

同步字配置寄存器: 大小 - 4 字节, 起始地址 - 0x16			
寄存器地址	寄存器名称	寄存器说明	相关控制功能
0x16	SYNCRV31REG	同步值第 1 个字节配置寄存器	配置 32 位同步字的第一个字节
0x17	SYNCRV23REG	同步值第 2 个字节配置寄存器	配置 32 位同步字的第二个字节
0x18	SYNCRV15REG	同步值第 3 个字节配置寄存器	配置 32 位同步字的第三个字节
0x19	SYNCRV07REG	同步值第 4 个字节配置寄存器	配置 32 位同步字的第四个字节

发送器配置寄存器: 大小 - 1 字节, 起始地址 - 0x1A			
寄存器地址	寄存器名称	寄存器说明	相关控制功能
0x1A	TXCONREG	发送配置寄存器	发送插值截止频率和功率输出

振荡器配置寄存器: 大小 - 1 字节, 起始地址 - 0x1B			
寄存器地址	寄存器名称	寄存器说明	相关控制功能
0x1B	CLKOREG	时钟输出控制寄存器	时钟输出控制和频率

数据包处理配置寄存器: 大小 - 4 字节, 起始地址 - 0x1C			
寄存器地址	寄存器名称	寄存器说明	相关控制功能
0x1C	PLOADREG	有效负载配置寄存器	使能曼彻斯特编码 / 解码和有效负载长度
0x1D	NADDRSREG	节点地址设置寄存器	用于过滤所接收数据包的节点本地地址
0x1E	PKTCREG	数据包配置寄存器	数据包格式、前导符大小、白化、CRC 打开 / 关闭、所接收数据包的地址过滤和 CRC 状态
0x1F	FCRCREG	FIFO CRC 配置寄存器	FIFO 自动清零 (如果 CRC 失败) 和 FIFO 访问

2.14 通用配置寄存器

2.14.1 通用配置寄存器详细信息

寄存器 2-1: GCONREG: 通用配置寄存器 (地址: 0X00) (POR 值: 0X28)

R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
CMOD<2:0>			FBS<1:0>		VCOT<1:0>		RPS
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

- bit 7-5

CMOD<2:0>: 芯片模式位
这些位选择收发器的工作模式。
111 = 保留; 不要使用
110 = 保留; 不要使用
101 = 保留; 不要使用
100 = 发送模式
011 = 接收模式
010 = 频率合成器模式
001 = 待机模式 (默认值)
000 = 休眠模式
- bit 4-3

FBS<1:0>: 频段选择位
这些位设置要在 Sub-GHz 范围内使用的频段
11 = 保留
10 = 950-960 MHz 或 863- 870 MHz (取决于应用电路)
01 = 915-928 MHz (默认值)
00 = 902-915 MHz
- bit 2-1

VCOT<1:0>: 发送位
对于每个 AFC 运行周期, 这些位将在逻辑 1 和逻辑 0 之间切换。
11 = Vtune + 180 mV (典型值)
10 = Vtune + 120 mV (典型值)
01 = Vtune + 60 mV (典型值)
00 = Vtune 由大容量电感值确定 (默认值)
- bit 0

RPS: RPS 选择位
该位在 PLL 的两组分频器 Ri/Pi/Si 之间选择。更多信息, 请参见第 3.2.7 节“频率计算”。
1 = 使能 R2/P2/S2 组
0 = 使能 R1/P1/S1 组 (默认值)

2.14.2 数据和调制配置寄存器详细信息

寄存器 2-2: DMODREG: 数据和调制配置寄存器 (地址: 0X01) (POR 值: 0X88)

R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
MODSEL<1:0>		DMODE0	OOKTYP<1:0>		DMODE1	IFGAIN<1:0>	
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-6 **MODSEL<1:0>:** 调制类型选择位

这些位设置要在 Sub-GHz 范围内使用的调制类型

11 = 保留

10 = FSK (默认值)

01 = OOK

00 = 保留

bit 5 **DMODE0:** 数据模式 0 位 ⁽¹⁾

将此位置 1 选择数据工作模式, 此位作为 LSb。将此位与 DMODE1 结合使用以选择工作模式。

0 = 默认值

bit 4-3 **OOKTYP<1:0>:** OOK 解调器阈值类型位

这些位的组合为操作选择解调器阈值类型。

11 = 保留

10 = 平均值模式

01 = 峰值模式 (默认值)

00 = 固定阈值模式

bit 2 **DMODE1:** 数据模式 1 位 ⁽¹⁾

将此位置 1 选择数据工作模式, 此位作为 MSb。将此位与 DMODE0 结合使用以选择工作模式。

0 = 默认值

bit 1-0 **IFGAIN<1:0>:** IF 增益位。

选择 IF 链上的增益。

11 = -13.5 dB

10 = -9 dB

01 = -4.5 dB

00 = 0 dB (最大增益, 默认值)

注 1: DMODE1:DMODE0 的组合选择数据工作模式。可用的数据工作模式设置, 请参见表 2-7。

表 2-7: 数据工作模式设置

数据工作模式	DMODE1	DMODE0
连续 (默认模式)	0	0
缓冲	0	1
数据包	1	x (x = 0/1)

2.14.3 频率偏差控制寄存器详细信息

寄存器 2-3: FDEVREG: 频率偏差控制寄存器 (地址: 0X02) (POR 值: 0X03)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1
FDVAL<7:0>							
bit 7							bit 0

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

r = 保留

bit 7-0 **FDVAL<7:0>**: 频率偏差值位

这些位表示 FSK 发送模式下单端频率偏差 (以位值为单位)。

FDVAL = 00000011 ≥ f_{dev} = 100 kHz (默认值)

$$f_{dev} = \frac{f_{xtal}}{(32 \times (FDVAL + 1))}$$

其中,

FDVAL 是寄存器中的值, 范围为 $0 \leq FDVAL \leq 255$ 。有关 FSK 和 OOK 模式 f_{dev} 设置的更多信息, 请参见第 3.3.3 节“FSK 模式下的 fdev 设置”和第 3.3.4 节“OOK 模式下的 fdev 设置”。

注 1: f_{dev} 在整个数据手册中都使用, 以了解频率偏差这一术语, 且使用 FDEVREG 中的 FDVAL<7:0> 计算。

2.14.4 比特率设置寄存器详细信息

寄存器 2-4: BRSREG: 比特率设置寄存器 (地址: 0x03) (POR 值: 0x07)

r	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1
—	BRVAL<6:0>						
bit 7							bit 0

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

r = 保留

bit 7 **保留**: 保留位; 不要使用

0 = 保留 (默认值)

bit 6-0 **BRVAL<6:0>**: 比特率值位

这些位用于设置比特率 (以位值为单位):

$$比特率 = \frac{f_{xtal}}{(64(BRVAL + 1))}$$

BRVAL<6:0> = 0000111 ≥ 比特率 = 25 kbps NRZ (默认值)

其中, BRVAL 是寄存器中的值, 范围为 $0 \leq BRVAL \leq 127$

注 1: 这些比特率值对于晶振频率为 12.8 MHz 的情况非常有用, 本数据手册通篇采用了这样的频率作为参考基准。

2.14.5 下限阈值控制寄存器详细信息

寄存器 2-5: **FLTHREG: 下限阈值控制寄存器** (地址: 0x04) (POR 值: 0x0C)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0
FTOVAL<7:0>							
bit 7				bit 0			

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **FTOVAL<7:0>**: 下限阈值 OOK 值位
 这些位指示 OOK 接收模式下的下限阈值。
FTOVAL<7:0> = 00001100 ≥ 6 dB (默认值)
FTOVAL 假设 RSSI 步长为 0.5 dB

2.14.6 FIFO 配置寄存器详细信息

寄存器 2-6: **FIFOCREG: FIFO 配置寄存器** (地址: 0x05) (POR 值: 0x0F)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1
FSIZE<1:0>		FTINT<5:0>					
bit 7				bit 0			

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-6 **FSIZE<1:0>**: FIFO 大小选择位
 这些位设置 FIFO 单元的大小 / 数量。
11 = 64 字节
10 = 48 字节
01 = 32 字节
00 = 16 字节 (默认值)

bit 5-0 **FTINT<5:0>**: FIFO 阈值中断位
 设置这些位会为中断源选择 FIFO 阈值。更多信息, 请参见第 3.6.2 节“中断源和标志”。
FTINT<5:0> = 001111 (默认值)
FIFO_THRESHOLD 中断源的行为取决于运行模式 (发送、接收或待机模式)。

2.14.7 R1 计数器设置寄存器详细信息

寄存器 2-7: R1CREG: R1 计数器设置寄存器 (地址: 0x06) (POR 值: 0x77)

R/W-0	R/W-1	R/W-1	R/W-1	R/W-0	R/W-1	R/W-1	R/W-1
R1CVAL<7:0>							
bit 7				bit 0			

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

r = 保留

bit 7-0

R1CVAL<7:0>: R1 值位
这些位指示 R1 计数器中的值, 用来在 FSK 模式下生成载波频率。
R1CVAL<7:0> = 0x77 (默认值)

如果 GCONREG 中 RPS = 0, 将激活 R1CVAL。同时, R1、P1 和 S1 的默认值会在 FSK 模式下生成 915 MHz 的频率。

2.14.8 P1 计数器设置寄存器详细信息

寄存器 2-8: P1CREG: P1 计数器设置寄存器 (地址: 0x07) (POR 值: 0x64)

R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0
P1CVAL<7:0>							
bit 7				bit 0			

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

r = 保留

bit 7-0

P1CVAL<7:0>: P1 值位
这些位指示 P1 计数器中的值, 用来在 FSK 模式下生成载波频率。
P1CVAL<7:0> = 0x64 (默认值)

如果 GCONREG 中 RPS = 0, 将激活 P1CVAL。同时, R1、P1 和 S1 的默认值会在 FSK 模式下生成 915 MHz 的频率。

2.14.9 S1 计数器设置寄存器详细信息

寄存器 2-9: **S1CREG: S1 计数器设置寄存器** (地址: 0x08) (POR 值: 0x32)

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0
S1CVAL<7:0>							
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **S1CVAL<7:0>**: S1 值位

这些位指示 S1 计数器中的值, 用来在 FSK 模式下生成载波频率。

S1CVAL<7:0> = 0x32 (默认值)

如果 GCONREG 中 RPS = 0, 将激活 S1CVAL。同时, R1、P1 和 S1 的默认值会在 FSK 模式下生成 915 MHz 的频率。

2.14.10 R2 计数器设置寄存器详细信息

寄存器 2-10: **R2CREG: R2 计数器设置寄存器** (地址: 0x09) (POR 值: 0x74)

R/W-0	R/W-1	R/W-1	R/W-1	R/W-0	R/W-1	R/W-0	R/W-0
R2CVAL<7:0>							
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **R2CVAL<7:0>**: R2 值位

这些位指示 R2 计数器中的值, 用来在 FSK 模式下生成载波频率。

R2CVAL<7:0> = 0x74 (默认值)

如果 GCONREG 中 RPS = 1, 将激活 R2CVAL。同时, R2、P2 和 S2 的默认值会在 FSK 模式下生成 920 MHz 的频率。

2.14.11 P2 计数器设置寄存器详细信息

寄存器 2-11: P2CREG: P2 计数器设置寄存器 (地址: 0x0A) (POR 值: 0x62)

R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0
P2CVAL<7:0>							
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **P2CVAL<7:0>**: P2 值位
这些位指示 P2 计数器中的值, 用来在 FSK 模式下生成载波频率。
P2CVAL<7:0> = 0x62 (默认值)
如果 GCONREG 中 RPS = 1, 将激活 P2CVAL。同时, R2、P2 和 S2 的默认值会在 FSK 模式下生成 920 MHz 的频率。

2.14.12 S2 计数器设置寄存器详细信息

寄存器 2-12: S2CREG: S2 计数器设置寄存器 (地址: 0x0B) (POR 值: 0x32)

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1
S2CVAL<7:0>							
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **S2CVAL<7:0>**: S2 值位
这些位指示 S2 计数器中的值, 用来在 FSK 模式下生成载波频率。
S2CVAL<7:0> = 0x32 (默认值)。
如果 GCONREG 中 RPS = 1, 将激活 S2CVAL。同时, R2、P2 和 S2 的默认值会在 FSK 模式下生成 920 MHz 的频率。

2.14.13 功率放大器控制寄存器详细信息

寄存器 2-13: PACREG: 功率放大器控制寄存器 (地址: 0x0C) (POR 值: 0x38)

r	r	r	R/W-1	R/W-1	r	r	r
—	—	—	PARC<1:0>		—	—	—
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

- bit 7-5

保留: 保留位; 不要使用

001 = 保留 (默认值)
- bit 4-3

PARC<1:0>: 功率放大器斜坡控制位

这些位控制 OOK 模式下发送 PA 稳压器输出电压的斜坡上升和下降时间。

11 = 23 μs (默认值)

10 = 15 μs

01 = 8.5 μs

00 = 3 μs
- bit 2-0

保留: 保留位; 不要使用

000 = 保留 (默认值)

MRF89XA

2.15 中断配置寄存器

2.15.1 FIFO 发送和接收中断请求配置寄存器 详细信息

寄存器 2-14: FTXRXIREG: FIFO 发送和接收中断请求配置寄存器（地址：0x0D）
（POR 值：0x00）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IRQ0RXS<1:0>		IRQ1RXS<1:0>		IRQ1TX	FIFOFULL	FIFOEMPTY	FOVRRUN
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-6 **IRQ0RXS<1:0>**: IRQ0 接收待机位
这些位在接收和待机模式下控制 IRQ0 源：
如果 DMODE1:DMODE0 = 00 → 连续模式（默认值）
11 = 同步
10 = 同步
01 = RSSI
00 = 同步（默认值）
如果 DMODE1:DMODE0 = 01 → 缓冲模式
11 = 同步
10 = FIFOEMPTY⁽¹⁾
01 = WRITEBYTE
00 = -（默认值）
如果 DMODE1:DMODE0 = 1x → 数据包模式
11 = 同步或 ARDSMATCH⁽³⁾（如果使能地址过滤）
10 = FIFOEMPTY⁽¹⁾
01 = WRITEBYTE
00 = PLREADY⁽²⁾（默认值）

bit 5-4 **IRQ1RXS<1:0>**: IRQ1 接收待机位
这些位在接收和待机模式下控制 IRQ1 源：
如果 DMODE1:DMODE0 = 00 → 连续模式（默认值）
xx = DCLK
如果 DMODE1:DMODE0 = 01 → 缓冲模式
11 = FIFO_THRESHOLD⁽¹⁾
10 = RSSI
01 = FIFOFULL⁽¹⁾
00 = -（默认值）
如果 DMODE1:DMODE0 = 1x → 数据包模式
11 = FIFO_THRESHOLD⁽¹⁾
10 = RSSI
01 = FIFOFULL⁽¹⁾
00 = CRCOK（默认值）

- 注 1: 此模式在待机模式下也可用。
2: PLREADY = 有效负载就绪
3: ARDSMATCH = 地址匹配

寄存器 2-14: FTXRXIREG: FIFO 发送和接收中断请求配置寄存器 (地址: 0x0D)
(POR 值: 0x00) (续)

- bit 3 **IRQ1TX:** 发送 IRQ1 位
在发送模式下, 此位选择 IRQ1 作为源。
如果 DMODE1:DMODE0 = 00 → 连续模式 (默认值):
x = DCLK
如果 DMODE1:DMODE0 = 01 → 缓冲模式或 1x → 数据包模式:
1 = TXDONE
0 = FIFOFULL (默认值)
- bit 2 **FIFOFULL:** FIFO 满位
此位通过 IRQ 源指示 FIFO 满。
1 = FIFO 满
0 = FIFO 未满
- bit 1 **FIFOEMPTY:** FIFO 空位
此位通过 IRQ 源指示 FIFO 空。
1 = FIFO 未空
0 = FIFO 空
- bit 0 **FOVRRUN:** FIFO 溢出清零位
此位指示是否发生 FIFO 溢出。
1 = 发生 FIFO 溢出
0 = 未发生 FIFO 溢出
对此位写入 1 将清零标志和 FIFO。

- 注** **1:** 此模式在待机模式下也可用。
 2: PLREADY = 有效负载就绪
 3: ADRSMATCH = 地址匹配

MRF89XA

2.15.2 FIFO 发送 PLL 和 RSSI 中断请求配置 寄存器详细信息

**寄存器 2-15: FTPRIREG: FIFO 发送 PLL 和 RSSI 中断请求配置寄存器（地址：0x0E）
（POR: 0x01）**

R/W-0	R/W-0	R/W-0	R/W-0	r	R/W-0	R/W-0	R/W-1
FIFOFM	FIFOFSC	TXDONE	IRQ0TXST	—	RIRQS	LSTSPLL	LENPLL
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位，读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
r = 保留		x = 未知

- bit 7 FIFOFM: FIFO 填充方法位**
此位决定填充 FIFO 的方法（仅支持缓冲模式）
1 = 由 FIFO 填充手动控制
0 = 检测到同步字时自动启动（默认值）
- bit 6 FIFOFSC: FIFO 填充状态或控制位**
此位指示 FIFO 填充的状态，还控制 FIFO 的填充（仅支持缓冲模式）

状态：读取（FIFOFM = 0）
1 = FIFO 正在填充（→ 已检测到同步字）
0 = FIFO 填充已完成 / 停止

控制：写入（FIFOFM = 1），清零该位并等待新的同步字（FOVRCLR = 0）
1 = 开始填充 FIFO
0 = 停止填充 FIFO
- bit 5 TXDONE: 发送完成位**
此位选择 IRQ 源。
1 = TXDONE（最后一位移出移位寄存器后变高）。
0 = 发送仍在进行中
- bit 4 IRQ0TXST: 以 IRQ0 作为开始发送的标志位**
此位指示 IRQ0 作为源时的发送开始条件。
如果 DMODE1:DMODE0 = 01 → 缓冲模式：
1 = 如果 FIFO 不为空将开始发送，IRQ0 映射到 FIFOEMPTY
0 = 如果 FIFO 满将开始发送，IRQ0 映射到 FIFOEMPTY（默认值）
如果 DMODE1:DMODE0 = 1x → 数据包模式：
1 = 如果 FIFO 不为空将开始发送，IRQ0 映射到 FIFOEMPTY
0 = FIFO 中的字节数大于或等于 FTINT<5:0> 位（FIFOCREG<5:0>）设置的阈值时开始发送，IRQ0 映射到 FIFO_THRESHOLD
- bit 3 保留：保留位**
1 = 将该位置 1（必需的）⁽¹⁾
0 = 保留（默认值）
- bit 2 RIRQS: RSSI IRQ 源**
此位指示 IRQ 源作为 RSSI
1 = 检测到的信号大于 RTIVAL<7:0> 位（RSTHIREG<7:0>）确定的值
0 = 检测到的信号小于 RTIVAL<7:0> 位（RSTHIREG<7:0>）确定的值
对此位写入 1 将清零 RIRQS。

注 1: 将此位设置为 0 会禁止 RSSI IRQ 源。它可以随时允许，且用户可以选择是否将此中断映射到 IRQ0/IRQ1。

寄存器 2-15: FTPRIREG: FIFO 发送 PLL 和 RSSI 中断请求配置寄存器（地址: 0x0E）
（POR: 0x01）（续）

- bit 1 **LSTSPLL:** PLL 锁定状态位
 1 = PLL 已锁定（检测到锁定）
 0 = PLL 未锁定
 对此位写入 1 将清零 LSTSPLL。
- bit 0 **LENPLL:** PLL 锁定使能位
 1 = 使能 PLL 锁定检测（默认值）
 0 = 禁止 PLL 锁定检测
 PLL 锁定检测标志映射到 PLOCK 引脚（引脚 23），且引脚 23 为高阻引脚

注 1: 将此位设置为 0 会禁止 RSSI IRQ 源。它可以随时允许，且用户可以选择是否将此中断映射到 IRQ0/IRQ1。

2.15.3 RSSI 阈值中断请求寄存器详细信息

寄存器 2-16: RSTHIREG: RSSI 阈值中断请求配置寄存器（地址: 0x0F）（POR 值: 0x00）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RTIVAL<7:0>							
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

- bit 7-0 **RTIVAL<7:0>:** RSSI 中断阈值位
 这些位指示中断请求的 RSSI 阈值
 RTIVAL<7:0> = 00000000（默认值）

2.16 接收器配置寄存器

2.16.1 滤波器配置寄存器详细信息

寄存器 2-17: FILCREG: 滤波器配置寄存器 (地址: 0x10) (POR 值: 0xA3)

R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1
PASFILV<3:0>				BUTFILV<3:0>			
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-4 **PASFILV<3:0>**: 无源滤波器值位

这些位指示无源低通滤波器的典型单边带宽。

1111 = 987 kHz
1110 = 676 kHz
1101 = 514 kHz
1100 = 458 kHz
1011 = 414 kHz
1010 = 378 kHz (默认值)
1001 = 321 kHz
1000 = 262 kHz
0111 = 234 kHz
0110 = 211 kHz
0101 = 184 kHz
0100 = 157 kHz
0011 = 137 kHz
0010 = 109 kHz
0001 = 82 kHz
0000 = 65 kHz

bit 3-0 **BUTFILV<3:0>**: Butterworth 滤波器值位

这些位设置 FSK 和 OOK 模式下的接收器带宽。

BUTFILV<3:0> = 0011 → $f_c - f_o = 100 \text{ kHz}$ (默认值)

$$f_c = f_o + 200 \text{ kHz} * \left(\frac{f_{xtal} \text{MHz}}{12.8 \text{MHz}} \right)^* \left(\frac{1 + val(BUTFILV)}{8} \right)$$

其中,

BUTFILV <3:0> 是寄存器中的值

f_c 是截止频率

f_o 是本地振荡频率 (中心频率)

f_{xtal} 是晶振频率

注: 仅当 $f_{xtal} = 12.8 \text{ MHz}$ 时, $f_c - f_o = 100 \text{ kHz}$ 。

2.16.2 多相滤波器配置寄存器详细信息

寄存器 2-18: PFCREG: 多相滤波器配置寄存器 (地址: 0x11) (POR 值: 0x38)

R/W-0	R/W-0	R/W-1	R/W-1	r	r	r	r
POLCFV<3:0>				—	—	—	—
bit 7				bit 0			

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-4 **POLCFV<3:0>**: 多相中心频率值位
这些位指示多相滤波器的中心频率 (一般推荐 100 kHz)。
POLCFV<3:0> = 0011 → $f_o = 100\text{ kHz}$ (默认值)

$$f_o = 200\text{ kHz} * \left(\frac{f_{xtal}MHz}{12.8MHz}\right)^* \left(\frac{1 + val(POLCFV)}{8}\right)$$

其中,
POLCFV <3:0> 是寄存器中的值
 f_c 是截止频率
 f_o 是本地振荡频率 (中心频率)
 f_{xtal} 是晶振频率

bit 3-0 **保留 <3:0>**: 保留位; 不要使用
1000 = 保留 (默认值)

MRF89XA

2.16.3 同步控制寄存器详细信息

寄存器 2-19: SYNCREG: 同步控制寄存器 (地址: 0x12) (POR 值: 0x18)

R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	r
POLFILEN	BSYNCEN	SYNCREN	SYNCWSZ<1:0>		SYNCTEN<1:0>		—
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

- bit 7

POLFILEN: 多相滤波器使能位
此位在 OOK 接收模式下使能多相滤波器。
1 = 使能多相滤波器
0 = 禁止多相滤波器 (默认值)
- bit 6

BSYNCEN: 位同步器使能位
此位在连续接收模式下控制位同步器的使能和禁止。
1 = 禁止位同步器
0 = 使能位同步器 (默认值)
- bit 5

SYNCREN: 同步字识别使能位
1 = 开启
0 = 关闭 (默认值)
- bit 4-3

SYNCWSZ<1:0>: 同步字大小位
11 = 32 位 (默认值)
10 = 24 位
01 = 16 位
00 = 8 位
- bit 2-1

SYNCTEN<1:0>: 同步字允许的误差数
这些位指示在同步字识别过程中允许的误差数。
11 = 3 个错误
10 = 2 个错误
01 = 1 个错误
00 = 0 个错误 (默认值)
- bit 0

保留: 保留位; 不要使用
0 = 保留 (默认值)

2.16.4 保留寄存器详细信息

寄存器 2-20: RESVREG: 保留寄存器 (地址: 0x13) (POR 值: 0x07)

r	r	r	r	r	r	r	r
—	—	—	—	—	—	—	—
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **保留:** 保留位; 不要使用
00000111 = 保留 (默认值)

2.16.5 RSSI 状态读寄存器详细信息

寄存器 2-21: RSTSREG: RSSI 状态读寄存器⁽¹⁾ (地址: 0x14)

R-0	R-0	R-1	R-0	R-1	R-0	R-0	R-0
RSSIVAL<7:0>							
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **RSSIVAL<7:0>: RSSI 值位**
这些只读位指示 RSSI 输出, 每个位对应 0.5 dB。

注 1: POR 不适合此只读寄存器。

2.16.6 OOK 配置寄存器详细信息

寄存器 2-22: OOKCREG: OOK 配置寄存器（地址: 0x15）（POR 值: 0x00）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
OOKTHSV<2:0>			OOKTHPV<2:0>			OOKATHC<1:0>	
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-5 **OOKTHSV<2:0>**: OOK 阈值步长值位

这些位设置 OOK 解调器中 RSSI 阈值每次减小的大小。

111 = 6.0 dB

110 = 5.0 dB

101 = 4.0 dB

100 = 3.0 dB

011 = 2.0 dB

010 = 1.5 dB

001 = 1.0 dB

000 = 0.5 dB（默认值）

bit 4-2 **OOKTHPV<2:0>**: OOK 阈值周期值位

这些位设置 OOK 解调器中 RSSI 阈值减小的周期。

111 = 每个芯片周期 16 次

110 = 每个芯片周期 8 次

101 = 每个芯片周期 4 次

100 = 每个芯片周期 2 次

011 = 每 8 个芯片周期一次

010 = 每 4 个芯片周期一次

001 = 每 2 个芯片周期一次

000 = 每个芯片周期一次（默认值）

bit 1-0 **OOKATHC<1:0>**: OOK 平均阈值截止位

这些位为解调器中 OOK 阈值平均模式设置平均截止频率。

11 = $f_c \sim BR/32.\pi^{(1)}$

10 = 保留；不要使用

01 = 保留；不要使用

00 = $f_c \sim BR/8.\pi$ （默认值）⁽¹⁾

注 1: BR 是比特率（更多信息，请参见 BRSREG（寄存器 2-22））。

2.17 同步字配置寄存器

2.17.1 同步值第一个字节设置寄存器 详细信息

寄存器 2-23: SYNCV31REG: 同步值第一个字节配置寄存器 (地址: 0x16) (POR 值: 0x00)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SYNCV<31:24>							
bit 7				bit 0			

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **SYNCV<31:24>**: 同步第一个字节值位
要设置这些位才能配置同步字的第一个字节。
SYNCV<31:24> = 00000000 (默认值)

2.17.2 同步值第二个字节设置寄存器 详细信息

寄存器 2-24: SYNCV23REG: 同步值第二个字节配置寄存器 (地址: 0x17) (POR 值: 0x00)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SYNCV<23:16>							
bit 7				bit 0			

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **SYNCV<23:16>**: 同步第二个字节值位
要设置这些位才能配置同步字的第二个字节。
SYNCV<23:16> = 00000000 (默认值)

2.17.3 同步值第三个字节设置寄存器
详细信息

寄存器 2-25: **SYNCV15REG: 同步值第三个字节配置寄存器**（地址: 0x138）（POR 值: 0x00）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SYNCV<15:8>							
bit 7				bit 0			

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **SYNCV<15:8>: 同步第三个字节值位**
要设置这些位才能配置同步字的第三个字节。
SYNCV<15:8> = 00000000（默认值）

2.17.4 同步值第四个字节设置寄存器
详细信息

寄存器 2-26: **SYNCV07REG: 同步值第四个字节配置寄存器**（地址: 0x19）（POR 值: 0x00）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SYNCV<7:0>							
bit 7				bit 0			

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **SYNCV<7:0>: 同步第四个字节值位**
要设置这些位才能配置同步字的第四个字节。
SYNCV<7:0> = 00000000（默认值）

2.18 发送器配置寄存器

2.18.1 发送参数配置寄存器详细信息

寄存器 2-27: **TXCONREG: 发送参数配置寄存器** (地址: 0x1A) (POR 值: 0x7C)

R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	r
TXIPOLFV<3:0>				TXOPVAL<2:0>			—
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-4 **TXIPOLFV<3:0>**: 发送插值滤波器截止频率值位

这些位控制发送路径中插值滤波器的截止频率 (f_c)。

TXIPOLFV<3:0> = 0111 → f_c = 200 kHz (默认值)

$$f_c = 200 \text{ kHz} * \left(\frac{f_{xtal} \text{ MHz}}{12.8 \text{ MHz}} \right) * \left(\frac{\text{val}(\text{TXIPOLFV})}{8} \right)$$

其中,

TXIPOLFV <3:0> 是寄存器中的值

f_c 是截止频率

f_o 是本地振荡频率 (中心频率)

f_{xtal} 是晶振频率

bit 3-1 **TXOPVAL<2:0>**: 发送输出功率值位 (1 个步长 ≈ 3dB)

111 = -8 dBm

110 = -5 dBm

101 = -2 dBm

100 = 1 dBm

011 = 4 dBm

010 = 7 dBm

001 = 10 dBm (默认值)

000 = 13 dBm

bit 0 **保留**: 保留位; 不要使用

0 = 保留 (默认值)

2.19 振荡器配置寄存器

2.19.1 时钟输出控制寄存器详细信息

寄存器 2-28: CLKOUTREG: 时钟输出控制寄存器 (地址: 0x1B) (POR 值: 0xBC)

R/W-1	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	r	r
CLKOCNTRL	CLKOFREQ<4:0>					—	—
bit 7						bit 0	

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

- bit 7

CLKOCNTRL: 时钟输出控制位
此位使能收发器的时钟输出。
1 = 使能 (默认值), 时钟频率由 `Clkout_freq` 设置 (默认值)
0 = 禁止
- bit 6-2

CLKOFREQ<4:0>: 时钟输出频率位
这些位指示时钟输出的频率值。
CLKOFREQ<4:0> = 01111 → $f_c = 427\text{ kHz}$ (默认值)

如果 CLKOFREQ<4:0> = 00000, $f_{clkout} = f_{xtal}$
或
 $f_{clkout} = f_{xtal} / (2 * \text{CLKOFREQ})$ (CLKOFREQ<4:0> ≠ 00000 时)
其中,
CLKOFREQ 是寄存器中的值
 f_{clkout} 是输出频率
 f_o 是本地振荡频率
 f_{xtal} 是晶振频率
- bit 1-0

保留 <1:0>: 保留位; 不要使用
00 = 保留 (默认值)

2.20 数据包配置寄存器

2.20.1 有效负载配置寄存器详细信息

寄存器 2-29: PLOADREG: 有效负载配置寄存器 (地址: 0x1C) (POR 值: 0x00)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MCHSTREN	PLDPLEN<6:0>						
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7 **MCHSTREN:** 曼彻斯特编码 / 解码使能位

1 = 使能

0 = 禁止 (默认值)

bit 6-0 **PLDPLEN<6:0>:** 有效负载数据包长度位

这些位指示有效负载数据包长度。如果 Pkt_format = 0, 为有效负载长度。如果 Pkt_format = 1, 在接收中为最大长度, 而在发送中不使用。

PLDPLEN<6:0> = 000000 (默认值)

2.20.2 节点地址设置寄存器详细信息

寄存器 2-30: NADDSREG: 节点地址设置寄存器 (地址: 0x1D) (POR 值: 0x00)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NLADDR<7:0>							
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7-0 **NLADDR<7:0>:** 节点本地地址位

要设置这些位才能配置节点本地地址, 以过滤接收到的数据包。

NLADDR<7:0> = 00h (默认值)

2.20.3 数据包配置寄存器详细信息

寄存器 2-31: PKTCREG: 数据包配置寄存器 (地址: 0x1E) (POR 值: 0x48)

R/W-0		R/W-1		R/W-1		R/W-0		R/W-1		R/W-0		R/W-0		R/W-0			
PKTLENF		PRESIZE<1:0>				WHITEON		CHKCRCEN		ADDFIL<1:0>				STSCRCEN			
bit 7																bit 0	

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

bit 7	PKTLENF: 数据包长度格式位 1 = 可变长度格式 0 = 固定长度格式 (默认值)
bit 6-5	PRESIZE<1:0>: 前导符大小位 这些位指示要发送的前导符位的大小。 11 = 4 字节 10 = 3 字节 (默认值) 01 = 2 字节 00 = 1 字节
bit 4	WHITEON: 白化 / 取消白化过程使能位 1 = 开启 0 = 关闭 (默认值)
bit 3	CHKCRCEN: 检查 (或计算) CRC 使能位 1 = 开启 (默认值) 0 = 关闭
bit 2-1	ADDFIL<1:0>: 地址过滤位 这些位确定所接收数据包滤出地址的模式 11 = 接受节点地址 & 0x00 & 0xFF; 否则, 拒绝 10 = 接受节点地址 & 0x00; 否则, 拒绝 01 = 接受节点地址; 否则, 拒绝 00 = 关闭 (默认值)
bit 0	STSCRCEN: 状态检查 CRC 使能位 此位检查当前数据包的 CRC 状态 / 结果 (只读)。 1 = 正常 0 = 异常

MRF89XA

2.20.4 FIFO CRC 配置寄存器详细信息

寄存器 2-32: FCRCREG: FIFO CRC 配置寄存器（地址: 0x1F）（POR 值: 0x00）

R/W-0	R/W-0	r	r	r	r	r	r
ACFCRC	FRWAXS	—	—	—	—	—	—
bit 7							bit 0

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
r = 保留			

- bit 7

ACFCRC: 自动清零 FIFO CRC 位
此位使能时，如果当前数据包的 CRC 失败，会自动清零 FIFO。
1 = 禁止
0 = 使能（默认值）
- bit 6

FRWAXS: FIFO 读 / 写访问权位
此位指示待机模式下 FIFO 的读 / 写访问权。
1 = 读
0 = 写（默认值）
- bit 5-0

保留 <5:0>: 保留位；不要使用
00000 = 保留（默认值）

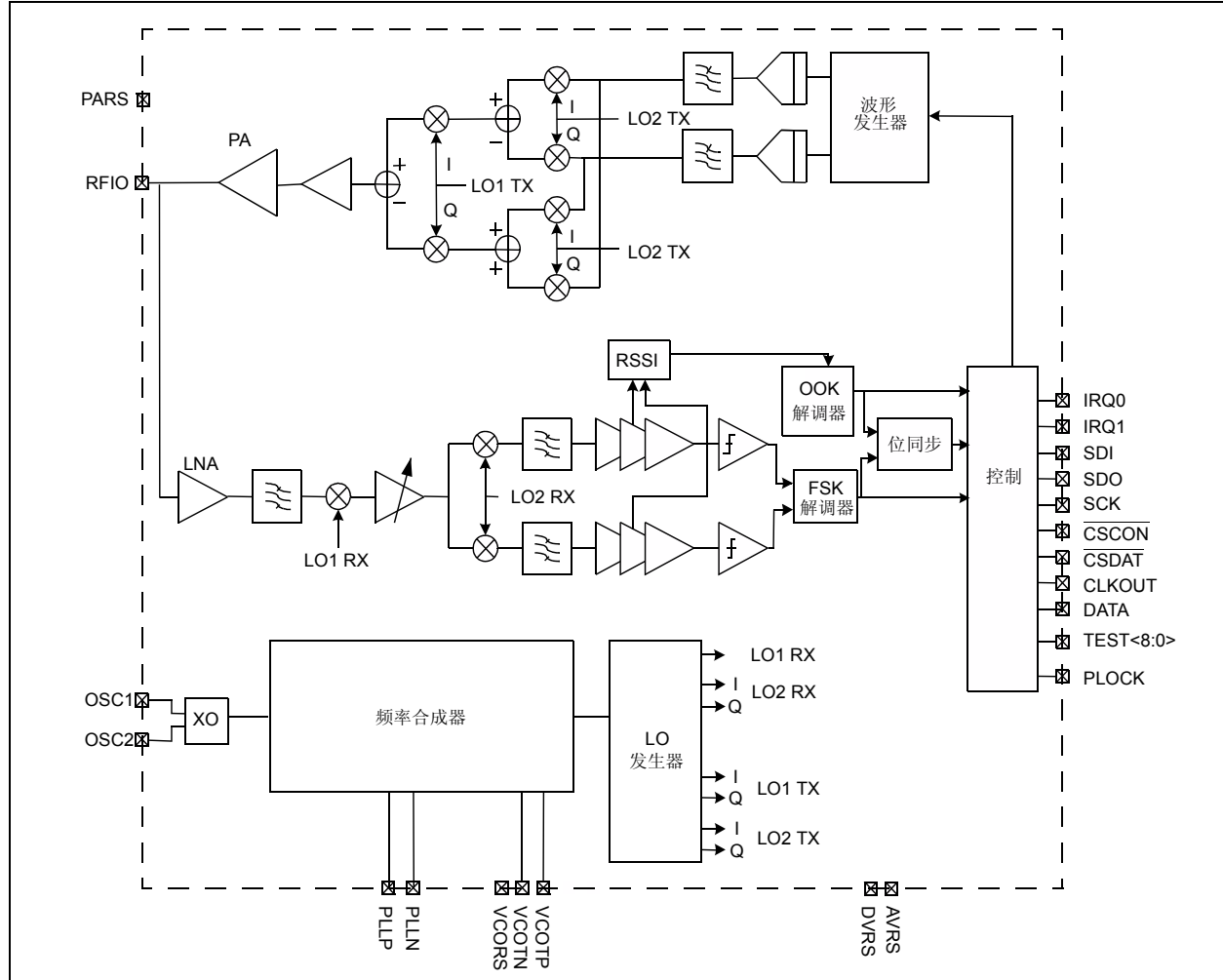
表 2-8: 配置 / 控制 / 状态寄存器映射

寄存器功能 / 参数类型	寄存器地址	寄存器名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 时的值	
通用	0x00	GCONREG	CMOD<2:0>			FBS<1:0>		VCOT<1:0>		RPS	0x28	
	0x01	DMODREG	MODSEL<1:0>		DMODE0	OOKTYP<1:0>		DMODE1	IFGAIN<1:0>		0x88	
	0x02	FDEVREG	FDVAL<7:0>									0x03
	0x03	BRSREG	保留	BRVAL<6:0>								0x07
	0x04	FLTHREG	FTOVAL<7:0>									0x0C
	0x05	FIFOCREG	FSIZE<1:0>		FTINT<5:0>							0x0F
	0x06	R1CREG	R1CVAL<7:0>									0x77
	0x07	P1CREG	P1CVAL<7:0>									0x64
	0x08	S1CREG	S1CVAL<7:0>									0x32
	0x09	R2CREG	R2CVAL<7:0>									0x74
	0x0A	P2CREG	P2CVAL<7:0>									0x62
	0x0B	S2CREG	S2CVAL<7:0>									0x32
	0x0C	PACREG	保留	保留	保留	PARC<1:0>		保留	保留	保留	0x38	
	0x0D	FTXRXIREG	IRQ0RXS<1:0>		IRQ1RXS<1:0>		IRQ1TX	FIFOFULL	FIFOEMPTY	FOVRRUN	0x00	
中断	0x0E	FTPRIREG	FIFOFM	FIFOFS	TXDONE	IRQ0TXST	保留	RIRQS	LSTSPLL	LENPLL	0x01	
	0x0F	RSTHIREG	RTIVAL<7:0>									0x00
	0x10	FILCREG	PASFILV<3:0>					BUTFILV<3:0>				0xA3
接收器	0x11	PFCREG	POLCFV<3:0>					保留	保留	保留	保留	0x38
	0x12	SYNCREG	POLFILEN	BSYNCEN	SYNCREN	SYNCWSZ<1:0>		SYNCTEN<1:0>		保留	0x18	
	0x13	RESVREG	保留	保留	保留	保留	保留	保留	保留	保留	0x07	
	0x14	RSTSREG	RSSIVAL<7:0>									只读
	0x15	OOKCREG	OOKTHSV<2:0>			OOKTHPV<2:0>			OOKATHC<1:0>			0x00
同步字	0x16	SYNVCV31REG	SYNVCV<31:24>									0x00
	0x17	SYNVCV23REG	SYNVCV<23:16>									0x00
	0x18	SYNVCV15REG	SYNVCV<15:8>									0x00
	0x19	SYNVCV07REG	SYNVCV<7:0>									0x00
发送器	0x1A	TXCONREG	TXIPOLFV<3:0>					TXOPVAL<2:0>			保留	0x7C
时钟输出	0x1B	CLKOUTREG	CLKOCNTRL	CLKOFREQ<4:0>					保留	保留	0xBC	
数据包	0x1C	PLOADREG	MCHSTREN	PLDPLEN<6:0>								0x00
	0x1D	NADDSREG	NLADDR<7:0>									0x00
	0x1E	PKTCREG	PKTLENF	PRESIZE<1:0>		WHITEON	CHKCRCEN	ADDFIL<1:0>		STSCRCEN	0x48	
	0x1F	FCRCREG	ACFCRC	FRWAXS	保留	保留	保留	保留	保留	保留	0x00	

3.0 功能说明

MRF89XA 的功能框图如图 3-1 所示。各个模块的工作原理在后续章节中进行了说明。

图 3-1: MRF89XA 功能框图



MRF89XA

3.1 芯片复位

MRF89XA 的上电复位是在上电时触发的。另外，通过控制 TEST8 引脚（引脚 13）可进行手动复位。

3.1.1 上电复位（POR）

如果应用需要 VDD 与 MRF89XA 断开连接，用户应在 POR 周期结束后等待 10 ms，再使用 SPI 开始通信。TEST8 引脚在 POR 序列期间应悬空。图 3-2 说明了 POR 时序。

注： 任何与 CLKOUT 相关的活动还可用于检测芯片是否就绪。

3.1.2 手动复位

即使对于无法实际断开与 VDD 连接的应用，也可手动复位 MRF89XA。TEST8 引脚应拉高 100 μ s，然后再释放。在这之后用户应先等待 5 ms 才能使用芯片。该引脚由漏极开路输出驱动，因此，当器件处于 POR 时，被拉高。图 3-3 给出了手动复位时序。

注： 当 TEST8 引脚被驱动为高电平时，VDD 会产生高达 10 mA 的电流消耗。

图 3-2: POR 时序图

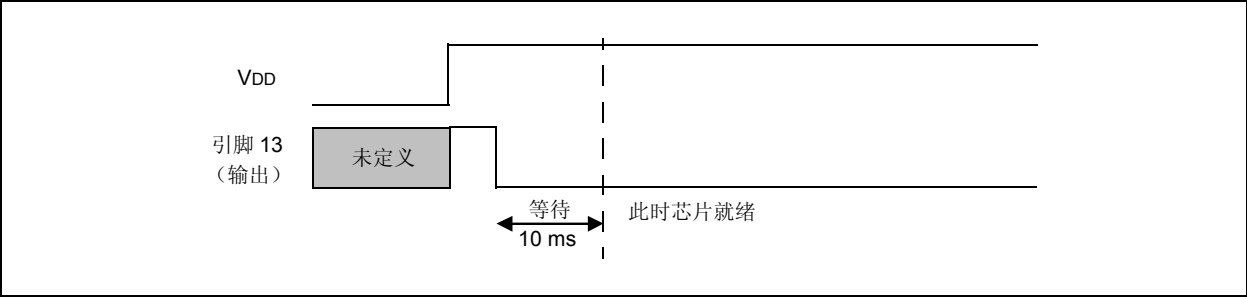
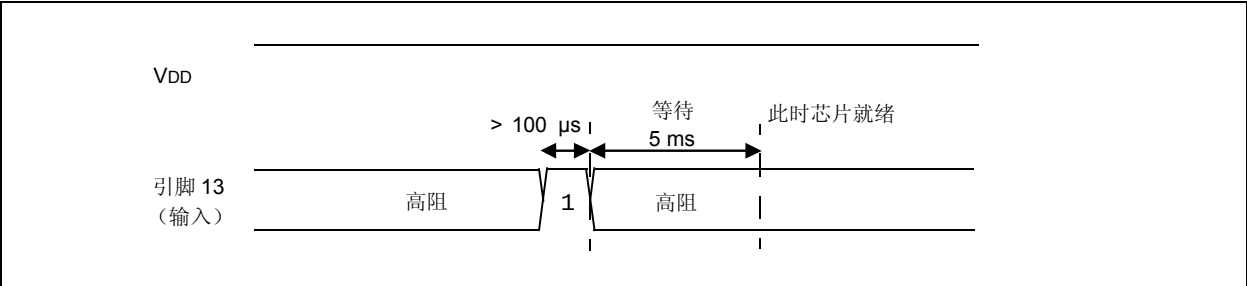


图 3-3: 手动复位时序图



3.2 频率合成器说明

3.2.1 参考振荡器

晶振 (XTAL) 构成了整数 N 分频 PLL 的参考振荡器。晶振参考频率和软件控制的分频器 R、P 和 S 决定了 PLL 的输出频率。第 4.6 节“晶振规格和选择指南”给出了用于选择合适的不同规格晶振的指导信息。

注： 使用第 4.7 节“物料清单”中物料清单 (Bill Of Material, BOM) 中提供的建议值来进行任何 PLL 原型设计。

3.2.2 缓冲时钟输出

缓冲时钟输出为源自于 f_{xtal} 的一个信号。它 (或者其输出的子分频) 可用作主单片机的参考时钟且在 CLKOUT 引脚 (引脚 19) 上输出。该引脚通过使用 CLKOCNTRL 位 (CLKOUTREG<7>) 激活。通过时钟输出控制寄存器中的时钟输出频率位 (CLKOFREQ5-CLKOFREQ1, 即 CLKOUTREG<6:2>) 设定输出频率 (CLKOUT) 分频比。CLKOUT 输出有如下两种用途:

- 为主单片机提供时钟输出, 从而节省额外的振荡器成本。CLKOUT 可用于除休眠模式之外的任何工作模式, 且在上电时自动使能。
- 提供振荡器参考输出。测量 CLKOUT 信号可对初始晶振容差进行简单软件微调。

注： CLKOUT 在 MRF89XA 处于休眠模式时被禁止。如果在休眠模式下工作, 主单片机必须具有预防措施以依靠其自己的时钟源运行。

3.2.3 时钟寄存器

与时钟及其控制相关的寄存器如下:

- GCONREG (寄存器 2-1)
- CLKOUTREG (寄存器 2-28)

3.2.4 锁相环 (PLL)

MRF89XA 的频率合成器是一个全集成的整数 N 分频 PLL。PLL 电路只需要 5 个外部元件用于 PLL 环路滤波器和 VCO 振荡电路。

3.2.4.1 PLL 要求

采用整数 N 分频 PLL 架构时, 必须满足以下条件以确保正确运行:

- 相位频率检测器 (Phase Frequency Detector, PFD) 输入的比较频率 FCOMP 必须保持高于 PLL 带宽 (PLL bandwidth, PLLBW) 的 6 倍以保证环路稳定性并滤除比较频率 FCOMP 的谐波。用不等式表示为:

$$F_{COMP} \geq 6 * PLLBW$$

- 但是, PLLBW 必须足够高以便 PLL 有充足的时间锁定。
- 由于分频比 R 决定 FCOMP, 它应设置为接近 119, 以致 $F_{COMP} \approx 100 \text{ kHz}$, 从而确保合适的 PLL 稳定性和速度。

以下条件决定 PLL 模块的 R、P 和 S 值:

- $64 \leq R \leq 169$
- $P+1 > S$
- $PLLBW = 15 \text{ kHz}$ (标称值)
- 启动时间和参考频率驱动为指定值

3.2.4.2 PLL 锁定检测指示器

MRF89XA 具有一个 PLL 锁定检测指示器。该指示器通过调整频率合成器唤醒时间 (TSFS) 可优化功耗。有关 TSFS 的更多信息, 请参见表 5-4。锁定状态可通过读取 FIFO 发送 PLL 和 RSSI 中断请求配置寄存器中的 PLL 位 (LSTSPLL, 即 FTPRIREG<1>) 的锁定状态获得, 且必须通过将 1 写入此寄存器清零。锁定状态也可通过将 LENPLL 位 (FTPRIREG<0>) 置 1 从器件的 PLOCK 引脚 (引脚 23) 获得。

注： LSTSPLL 位在每次 PLL 锁定时锁存为高电平, 且必须通过将 1 从 FTPRIREG 写入 LSTSPLL 复位。

3.2.5 PLL 寄存器

与 PLL 相关的寄存器为:

- GCONREG (寄存器 2-1)
- FTPRIREG (寄存器 2-15)

3.2.6 VCO 的 SW 设置

为了保证在 MRF89XA 的频率和温度范围内实现最优的 VCO 操作, 表 3-1 中列出的设置应编程到 MRF89XA 中。

表 3-1: 频段设置

目标信道 (MHz)	FBS1	FBS0
863-870	1	0
902-915	0	0
915-928	0	1
950-960	1	0

3.2.6.1 硬件和软件微调 VCO 振荡回路

为了确保工作频段可由合成器的 R、P 和 S 分频器准确提供，必须确保正确设置 VCO 中心频率。MRF89XA 内置的 VCO 微调功能使此操作更容易并由 SPI 接口控制。该微调不需要任何 RF 测试设备，且可通过测量 PLLN 与 PLLP 引脚（引脚 6 和 7）之间的电压 *Vtune* 实现。

如果电压在 $50 \leq Vtune \text{ (mV)} \leq 150$ 范围内，那么 VCO 已为中心频率。

该测量应在发送模式下期望波段的中心频率 *f_o*（例如，863-870 MHz 波段中约为 867 MHz）处执行，可通过 FBS<1:0> 位（GCONREG<4:3>）设置合适的频段。

如果不满足该不等式，可通过监视 *Vtune* 从 00 开始调整 VCOT<1:0> 位（GCONREG<2:0>），来以 +60 mV 为增量微调 VCO 电压。如果无法达到所需电压范围，可通过更改振荡电路电感值进一步调整。

电感的增加导致 *Vtune* 增大。此外，对于大批量生产，VCO 电容间存在依赖关系。正因如此，上文提出的优化应在几个原型上进行验证，以确保总体以 100 mV 为中心。

与 VCO 相关的寄存器如下：

- GCONREG（寄存器 2-1）。

3.2.7 频率计算

如图 2-5 所示，PLL 结构组成了三个不同的分频器（R、P 和 S），以通过 LO 设置输出频率。第二组分频器还可用于支持在一对频率间快速切换：R1/P1/S1 和 R2/P2/S2。这 6 个分频器可通过 6 个独立寄存器（见寄存器 2-7 到寄存器 2-12）设定，具体寄存器通过 GCONREG 选择。

FSK 模式

公式 3-1 中提供的公式给出了使用 FSK 调制时本地振荡器与 R、P 与 S 值之间的关系。

公式 3-1:

$$f_{rf,fsk} = \frac{9}{8}f_{lo}$$

$$f_{rf,fsk} = \frac{9}{8} \times \frac{f_{xtal}}{R+1} [75*(P+1) + S]$$

3.2.8 FSK 模式寄存器

与 FSK 模式相关的寄存器如下：

- GCONREG（寄存器 2-1）
- DMODREG（寄存器 2-2）。

OOK 模式

由于生成基带 OOK 符号的方式，信号始终会有 FSK 频率偏差（在 FDEVREG<7:0> 中设定 FDVAL<7:0>）。因此，发送的 OOK 信号中心频率可通过公式 3-2 表示。

公式 3-2:

$$f_{rf,ook,tx} = \frac{9}{8} \times f_{lo} - f_{dev}$$

$$f_{rf,ook,tx} = \frac{9}{8} \times \frac{f_{xtal}}{R+1} [75*(P+1) + S] - f_{dev}$$

因此在接收模式下，由于 MRF89XA 采用低中间频率（Low Intermediate Frequency, Low-IF）架构，应配置该频率，以便确保恰当的 Low-IF 接收器基带中心频率（IF2），如公式 3-3 所示。

公式 3-3:

$$f_{rf,ook,rx} = \frac{9}{8} \times f_{lo} - IF2$$

$$f_{rf,ook,rx} = \frac{9}{8} \times \frac{f_{xtal}}{R+1} [75*(P+1) + S] - IF2$$

如第 3.4.4 节“信道滤波器”所述，建议将 IF2 设置为 100 kHz。

3.2.9 OOK 模式寄存器

与 OOK 模式相关的寄存器如下：

- GCONREG（寄存器 2-1）
- DMODREG（寄存器 2-2）
- FLTHREG（寄存器 2-5）
- OOKCREG（寄存器 2-22）

3.3 发送器

当 CMOD<2:0> 位 (GCONREG<7:5>) 设置为 100 (见寄存器 2-1) 时, MRF89XA 设置为发送模式。

MRF89XA 中的发送器链基于相同的双转换架构且与接收器链使用相同的中间频率。

3.3.1 比特率设置

在连续发送模式下, 通过 BRVAL<6:0> 位 (BRSREG<6:0>) 设置比特率对确定 DCLK 频率很有用。如第 3.9.1 节“发送处理”所述, 每次需要发送新位时, DCLK 都将触发单片机产生中断, 如公式 3-4 所示。

公式 3-4:

$$BR = \frac{f_{xtal}}{64 * [1 + val(BRVAL<6:0>)]}$$

3.3.2 备用设置

比特率、频率偏差和 TX 插值滤波器设置是参考振荡器的晶振频率 (f_{xtal}) 的函数。可通过选择正确的参考振荡器频率获取不同于使用 12.8 MHz 晶振设定的设置。

3.3.3 FSK 模式下的 f_{dev} 设置

通过 FDVAL<7:0> 位 (FDEVREG<7:0>) 设定 FSK 发送器的频率偏差 f_{dev} , 如公式 3-5 所示。

公式 3-5:

$$f_{dev} = \frac{f_{xtal}}{32 * [1 + val(FDVAL<7:0>)]}$$

为了能正确工作, 调制系数 β 应如公式 3-6 所示。

公式 3-6:

$$\beta = \frac{2 * f_{dev}}{BRVAL} \geq 2$$

为了一对 MRF89XA 之间的正常通信, f_{dev} 应该至少为 33 kHz 以确保接收器端正确工作。

3.3.4 OOK 模式下的 f_{dev} 设置

f_{dev} 在 OOK 发送模式下没有实际意义。然而, 由于会生成 DDS 基带信号, 所以 OOK 信号始终偏移 $-f_{dev}$ (见第 3.2.7 节“频率计算”)。建议 f_{dev} 在 OOK 模式下保持缺省值 100 kHz。

3.3.5 插值滤波器

发生数模转换后, I 和 Q 信号由插值滤波器进行平滑处理。该模块中的低通滤波器生成数字信号并防止混叠信号进入调制器。低通滤波器的带宽可通过 TXIPOLFV<6:0> 位 (TXPARCREG<7:1>) 设定, 且应按公式 3-7 计算。

公式 3-7:

$$BW \cong 3 * \left[f_{dev} + \frac{BR}{2} \right]$$

其中,

f_{dev} 为 FDEVREG 中设定的频率偏差
BR 为发送的实际比特率

注: 低插值滤波器带宽将减弱基带 I/Q 信号, 从而降低 FSK 信号的功耗。相反, 过大的带宽会降低频谱纯度。

对于大多数应用, 可接受 125 KHz 左右的带宽, 但对于宽波段 FSK 调制, 无法达到建议的滤波器设置。然而, 由于现有的宽波段信道, 将忽略对频谱纯度的影响。

3.3.6 功率放大器

3.3.6.1 上升和下降时间控制

在 OOK 模式下，PA 斜坡时间可通过 PARC<1:0> 位 (PACONREG<4:3>) 精确控制。这些位直接控制 PARS 引脚的压摆率。

表 3-2: 功率放大器上升 / 下降时间

PARC<1:0>	t _{PARS}	t _{PAOUT} (上升 / 下降)
00	3 μs	2.5 / 2 μs
01	8.5 μs	5 / 3 μs
10	15 μs	10 / 6 μs
11	23 μs	20 / 10 μs

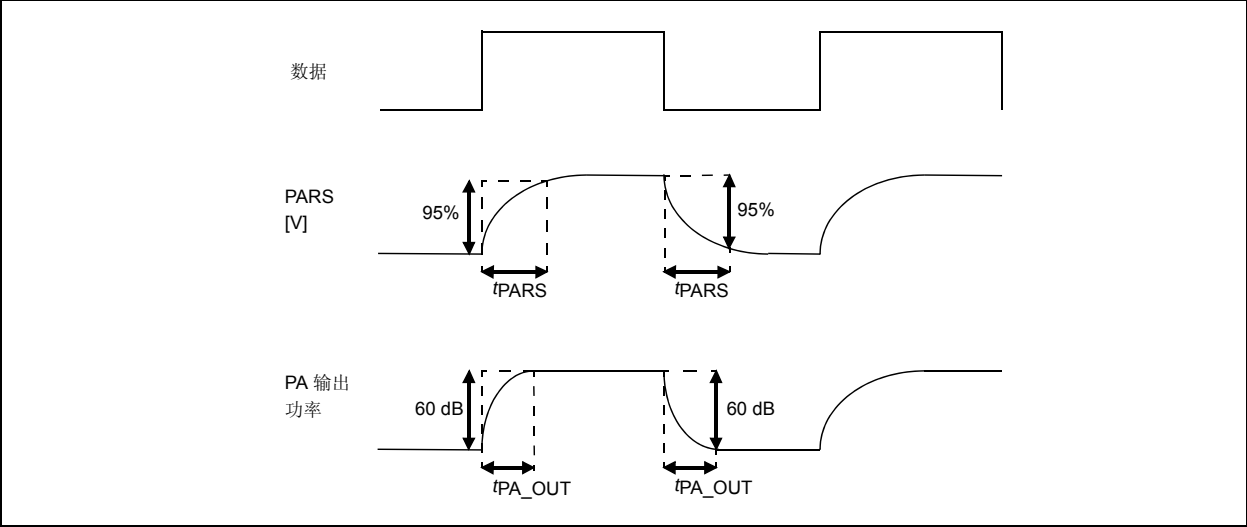
3.3.7 发送模式寄存器

与发送模式相关的寄存器有：

- GCONREG (寄存器 2-1)
- DMODREG (寄存器 2-2)
- FDEVREG (寄存器 2-3)
- BRSREG (寄存器 2-4)
- R1CREG (寄存器 2-7)
- P1CREG (寄存器 2-8)
- S1CREG (寄存器 2-9)
- R2CREG (寄存器 2-10)
- P2CREG (寄存器 2-11)
- S2CREG (寄存器 2-12)
- PACREG (寄存器 2-13)
- FTXRXIREG (寄存器 2-14)
- FTPRIREG (寄存器 2-15)

MRF89XA 发送模式期间，移位寄存器从 FIFO 取出字节并以设定的比特率将它们（先传送 MSb）连续输出到调制器。使能发送器时，发送器开始以设置的比特率从移位寄存器发出数据。在上电并使能发送寄存器后，发送器会根据工作模式先将前导符预先装入 FIFO，然后开始发送实际数据。图 3-4 给出了 PA 控制时序。

图 3-4: PA 时序控制



3.4 接收器

当 CMOD<2:0> 位 (GCONREG<7:5>) 设置为 011 (见寄存器 2-1) 时, MRF89XA 设置为接收模式。

接收器基于超外差式架构。(在超外差式架构中, 需要使用 SAW 滤波器获取更佳的性能抑制)。前端由一个 LNA 和一个增益为常量的混频器组成。混频器将 RF 信号降频至中间频率, 即 LO 频率的八分之一, 而 LO 频率相当于 RF 频率的九分之八。在这第一级混频器后, 有一个可变增益 IF 放大器, 该放大器可通过更改 IFGAIN<1:0> 位 (DMODREG<1:0>) 以 4.5 dB 为步长在最大增益 13.5 dB 和 0 dB 之间设定。

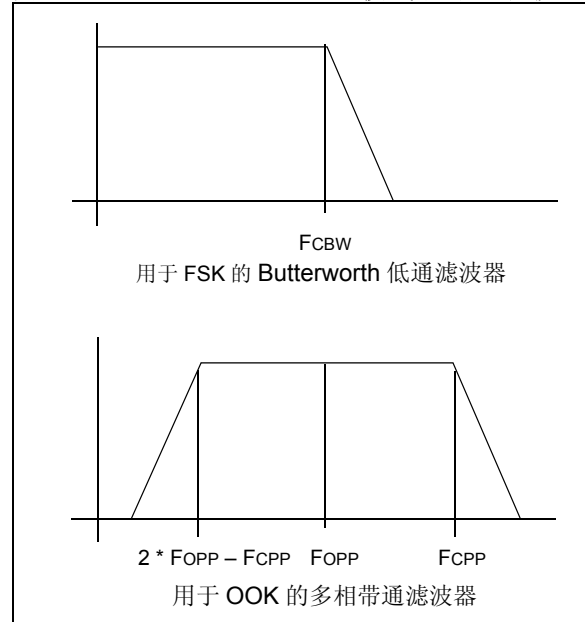
经过可变增益 IF 放大器后, 信号经由两个正交混频器降频为两个 I 和 Q 基带信号, 正交混频器的输入信号为八分之一 LO 频率的参考信号。然后, 这些 I 和 Q 信号被滤波和放大, 再进行解调。

第一级滤波器为二阶无源 R-C 滤波器, 其带宽可通过 PASFILV<3:0> 位 (FILCREG<7:4>) 设定为 16 个值。第二级滤波器可配置为三阶有源 Butterworth 滤波器, 充当用于零中频 FSK 配置的低通滤波器或用于低中频 OOK 配置的多相带通滤波器。要选择 Butterworth 低通滤波器操作, POLFILEN 位 (SYNCREG<7>) 应设置为 0。Butterworth 滤波器的带宽可通过配置 BUTFILV<3:0> 位 (FILCREG<3:0>) 设定为 16 个值。低中频配置必须用于 OOK 调制。该配置在 POLFILEN 位 (SYNCREG<7>) 设置为 1 时使能。可通过设置 POLCFV<3:0> 位 (PFCREG<7:4>) 将多相滤波器的中心频率设定为 16 个值。通过配置 BUTFILV<3:0> 位 (FILCREG<3:0>) 可设定该滤波器的带宽。在 OOK 模式下, 低中频的值等于 FDEVREG 中定义频率偏差。

除信道滤波, 多相滤波器的功能还可抑制图像。图 3-5 说明了第二级 IF 滤波器的两种配置。在 Butterworth 配置中, FCBW 为 3 dB 截止频率。在多相带通配置中, FOPP 为 POLCFV<3:0> 位 (PFCREG<7:4>) 指定的中心频率, 而 FCPP 为滤波器的高 3 dB 带宽, 其相对于 FOPP 的偏移量由 BUTFILV<3:0> 位 (FILCREG<3:0>) 指定。

3.4.1 MRF89XA 第二级 IF 滤波器详细信息

图 3-5: FSK 和 OOK 模式下的 IF 滤波器



经滤波后, I 和 Q 信号逐一通过 11 个放大器的链放大, 每个放大器具有 6 dB 增益。这些放大器的输出及其中间 3 dB 节点用于评估接收信号强度 (RSSI)。限幅器位于 I 和 Q 的 11 个放大器链后, 这些限幅器的输出信号被 FSK 解调器使用。RSSI 输出被 OOK 解调器使用。整个基带链的整体带宽由无源滤波器、Butterworth 滤波器、放大器链和限幅器的带宽决定。前三个模块的带宽设定为其上限时, 可实现的最大整体带宽约为 350 kHz。

3.4.2 LNA 和第一级混频器

在接收模式下, RFIO 引脚连接到固定增益的共栅极低噪声放大器 (LNA)。放大器的此性能使得接收器的噪声系数 (NF) 预计为约 7 dB。

3.4.3 IF 增益和第二级 I/Q 混频器

在 LNA 和第一级降频转换之后, 有一个 IF 放大器, 其增益可通过 IFGAIN<1:0> 位 (DMODREG<1:0>) 编程为 13.5-0 dB (步长为 4.5 dB)。缺省设置对应于 0 dB 增益, 但可使用更低的值来增大 RSSI 动态范围。更多信息, 请参见第 3.4.7 节“接收信号强度 (RSSI)”。

3.4.4 信道滤波器

紧接着第二级混频器的为信道选择滤波器。信道选择滤波器对接收器的噪声带宽和选择的影响较大，进而影响接收器的灵敏度。每个滤波器均包含一个有源部分和无源部分。

3.4.4.1 无源滤波器

每个信道选择滤波器都具有一个无源二阶 RC 滤波器，带宽可通过 PASFILV<3:0> 位（FILCREG<7:4>）设定。由于这两个滤波器较宽，故可忽略其对灵敏度的影响，但必须设置其带宽以最大程度地提高抗阻塞能力。输入到该寄存器的值用于设置该滤波器的单边带宽。为了获得最佳性能，该带宽应设置为第 3.4.4.2 节“有源滤波器”中所述的有源 Butterworth（或多相）滤波器的截止频率（ f_c ）的三到四倍，如公式 3-8 所示。

公式 3-8:

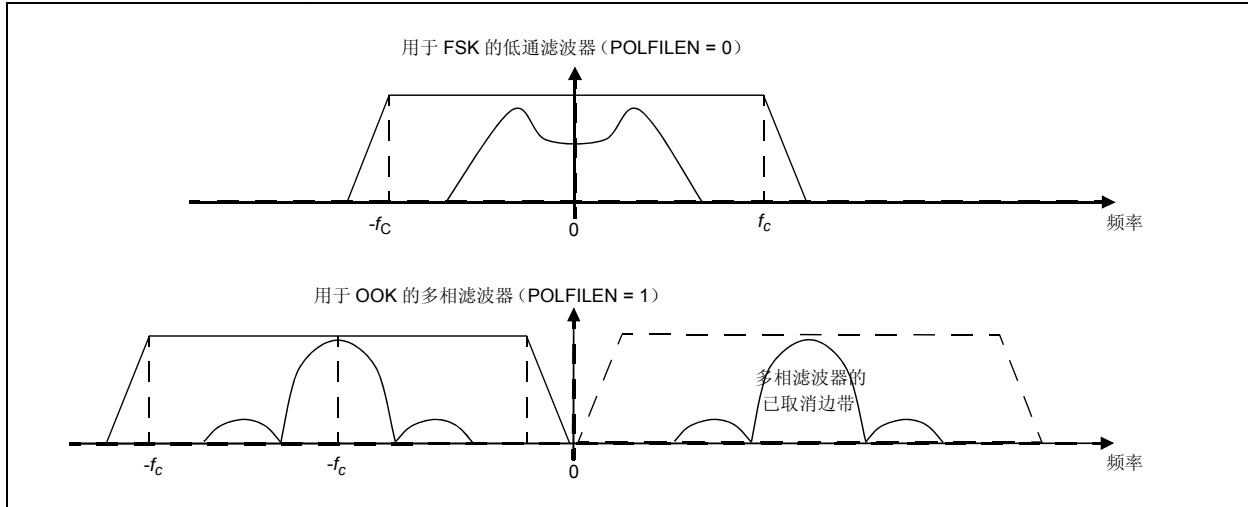
$$3*f_{c_{ButterFilter}} \leq BW_{passive,filter} \leq 4*f_{c_{ButterFilter}}$$

3.4.4.2 有源滤波器

通过有源三阶 Butterworth 滤波器进行“良好的”信道选择，该滤波器充当零中频（FSK）配置下的低通滤波器或低中频（OOK）配置下的复杂多相滤波器。通过 POLFILEN 位（SYNCREG<7>）使能或禁止多相滤波器。

图 3-6 说明了该滤波器在两种解调模式之间变化所需的带宽。

图 3-6: 有源信道滤波器说明



FSK 模式: 近似于 FSK 调制信号的 99% 能量带宽，如公式 3-9 所示。

公式 3-9:

$$BW_{99\%,fsk} = 2*\left[f_{dev} + \frac{BR}{2}\right]$$

FILCREG 的 BUTFILV<3:0> 位设置 f_c 滤波器的截止频率（ f_c ）。在零中频配置中，FSK 副波以虚拟直流频率为中心。应这样选择 f_c 以使调制信号位于滤波器带宽内：预估不同工作温度以及器件老化情况下本地振荡器频率的偏移，如公式 3-10 所示

公式 3-10:

$$2*f_c > BW_{99\%,fsk} + LO_{drifts}$$

图 3-11 给出了滤波器带宽和设置之间关系的精确概览。

OOK 模式: 近似于 OOK 调制信号的 99% 能量带宽，如公式 3-11 所示。

公式 3-11:

$$BW_{99\%,ook} = \frac{2}{t_{bit}} = 2*BR$$

POLCFV<3:0> 位 (PFCREG<7:4>) 可在激活多相滤波器时用于设置其中心频率 f_o 。应始终选择 f_o 等于接收器的低中间频率 (IF2)。因为 IF2 指示 OOK 接收器的低中频, 因此出于任何计算或监视目的时, IF2 可始终替换为 f_o 。

建议进行如下设置:

$$f_o = 100 \text{ kHz}$$

$$\text{POLCFV}<3:0> = 0011.$$

BUTFILV<3:0> 位 (FILCREG<3:0>) 所存储的值决定滤波器截止频率 f_c 。因此, 应根据公式 3-12 设置 f_c 。

公式 3-12:

$$2*(f_c - f_o) > BW_{99\%,ook} + LO_{drifts}$$

其中,

f_c 为截止频率

f_o 为中心频率

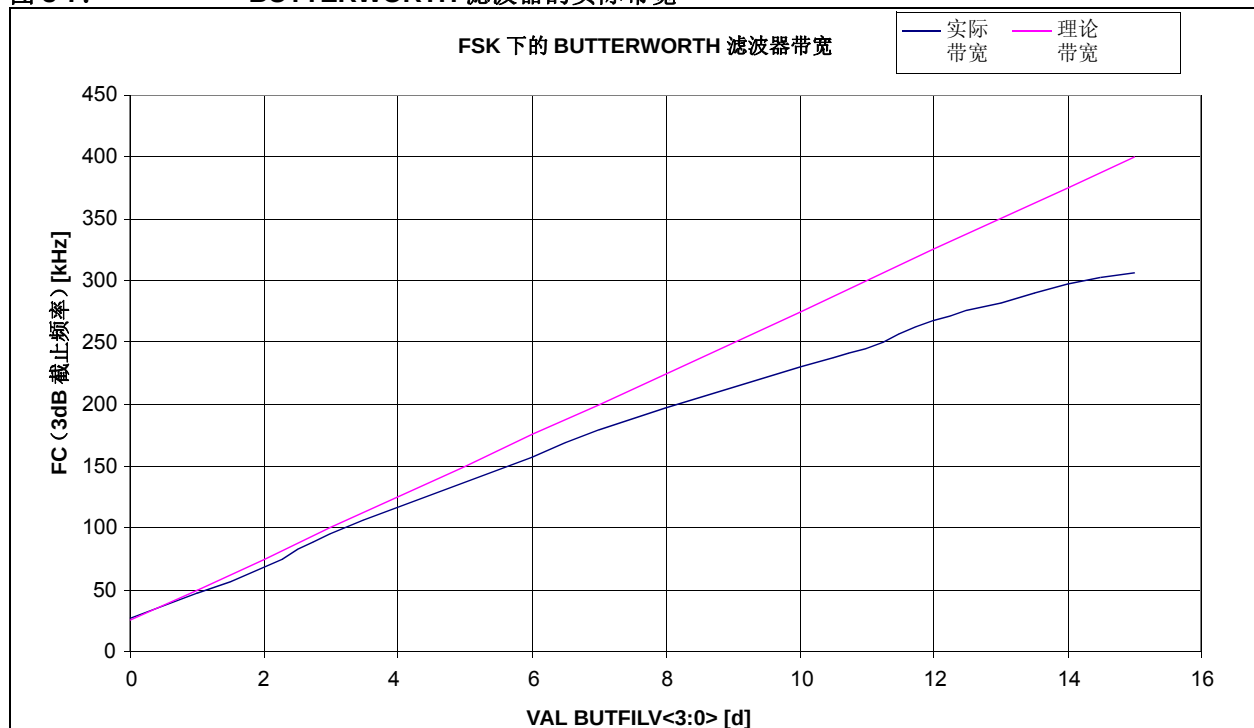
此外, f_c 的值取决于 BUTFILV<3:0> 位, 也在第 3.4.6 节“OOK 模式下的信道滤波器设置”中进行了描述。

3.4.5 FSK 模式下的信道滤波器设置

f_c 通过 BUTFILV<3:0> 位 (FILCREG<3:0>) 设定, 在 FSK 接收模式中, 使用 Butterworth 滤波器的 3dB 截止频率。然而, 整个接收器链会影响该截止频率。图 3-7 对信道选择和产生的滤波器带宽进行了说明。

表 4-2 给出了 FSK 模式下滤波器设置以及相应无源滤波器带宽和参考晶振的可接受容差的建议值。

图 3-7: BUTTERWORTH 滤波器的实际带宽



3.4.6 OOK 模式下的信道滤波器设置

中心频率 f_o 始终设置为 100 kHz。图 3-8 中的图表说明了多相滤波器激活时，BUTFILV<3:0> 位（FILCREG<3:0>）变化时的接收器带宽。

表 4-2 给出了 OOK 模式下几个滤波器设置以及相应无源滤波器带宽和参考晶振的可接受容差的建议值。

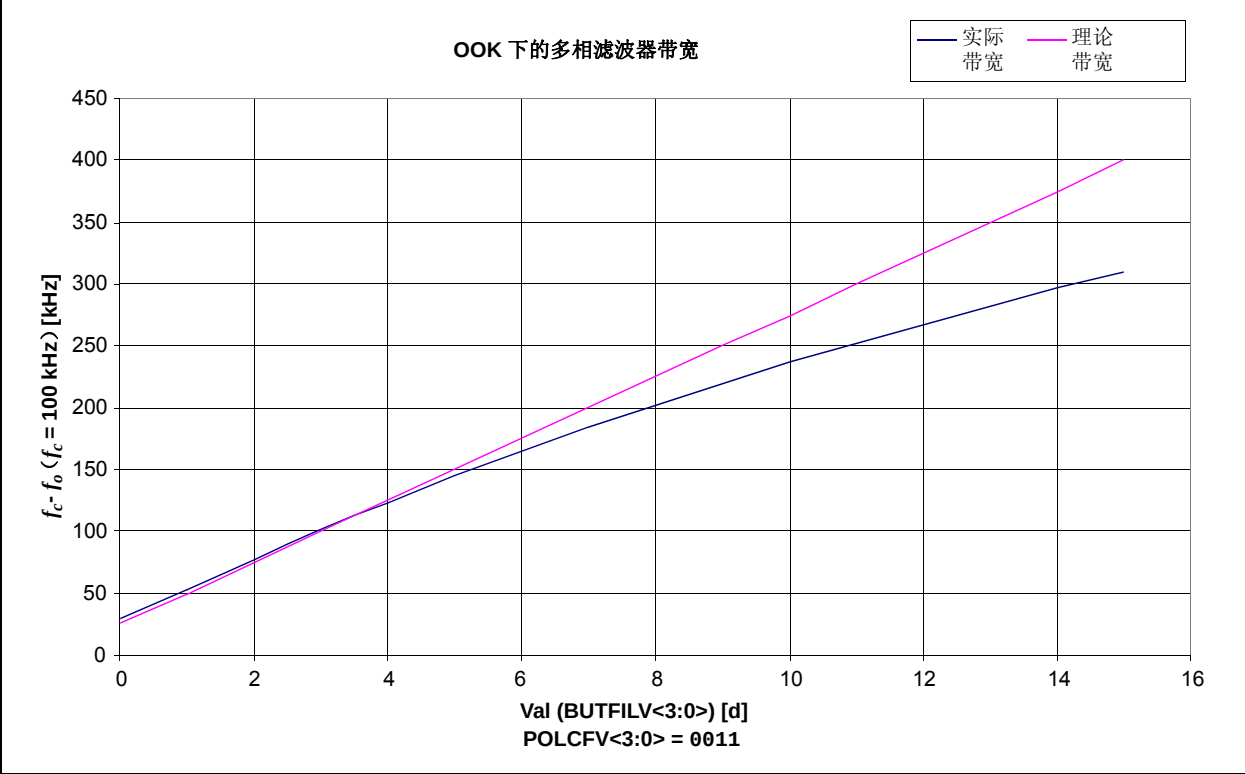
3.4.7 接收信号强度（RSSI）

滤波后，同相和正交信号经过 11 个放大器链放大，每个放大器的增益为 6 dB。使用这些放大器的输出评估 RSSI。

3.4.7.1 分辨率和精度

当 RSSI 分辨率为 0.5 dB 时，由于工艺和外部元件的差异，预计绝对精度不会优于 ± 3 dB。执行绝对 RSSI 测量时要获得较高精度需要进行额外的校准。

图 3-8: 多相滤波器的实际带宽



3.4.7.2 采集时间

在 OOK 模式下，RSSI 通过所选 IF2 频率（见第 2.10.1 节“接收器架构”）的每个周期采样 I(t) 和 Q(t) 信号 16 次来评估信号强度。在 FSK 模式下，信号在每个 f_{dev} 周期内被采样 16 次， f_{dev} 为配对发送器的频率偏差。然后通过 16 个采样的滑动窗口计算平均值。因此，RSSI 输出寄存器 RSTSREG（RSSIVAL<7:0>）在每个 f_{dev} 或 IF2 周期内更新 16 次。

建议进行如下设置：

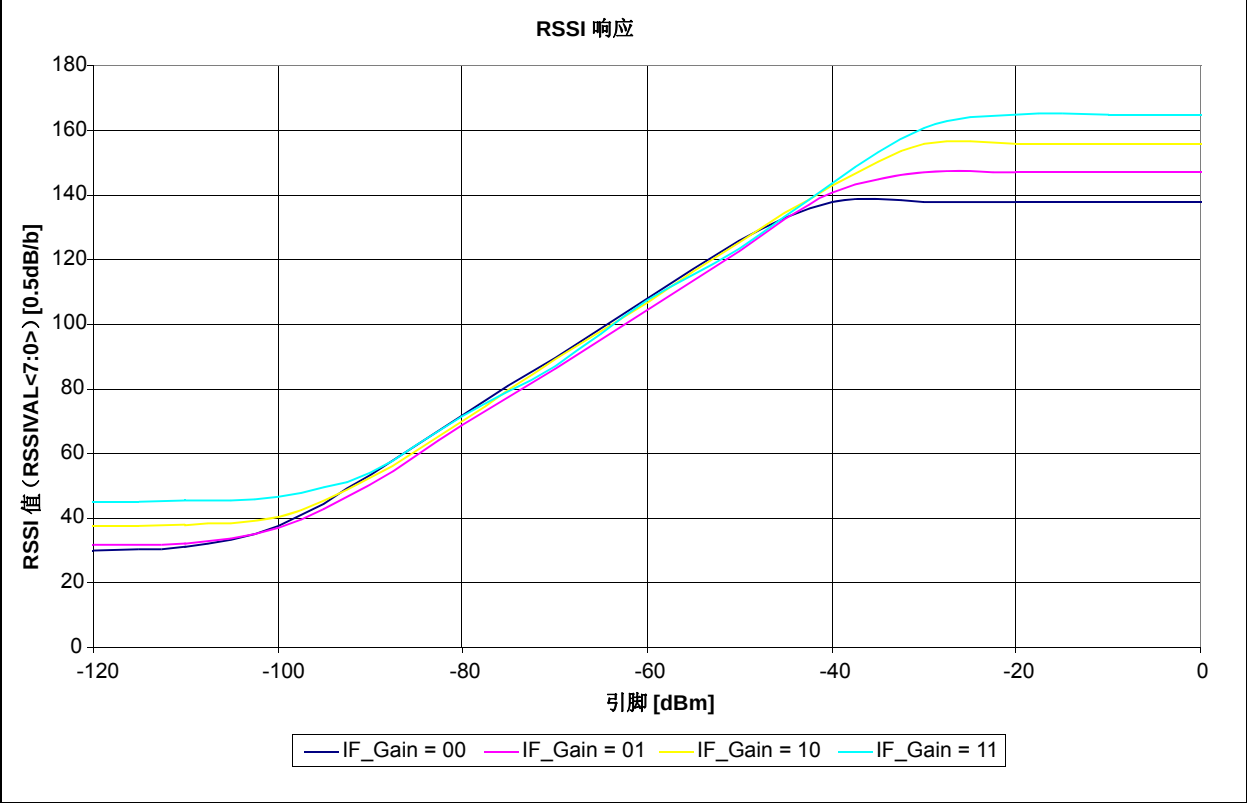
- FSK 模式：确保 f_{dev} 参数（如 FDEVREG 寄存器（寄存器 2-3）中 FDVAL<7:0> 位所述）保持与配对发送器的实际频率偏差一致。
- OOK 接收：确保 f_{dev} 参数（如 FDEVREG 寄存器（寄存器 2-3）中的 FDVAL<7:0> 位所述）等于 I(t) 和 Q(t) 信号的频率（即，接收器的第二个中间频率 IF2）。请注意，该 IF2 等于多相滤波器的中心频率 f_o 。

3.4.7.3 动态范围

RSSI 的动态范围大于 70 dB，扩展了标称灵敏度级别。通过 IFGAIN<1:0> 位（DMODREG<1:0>）设置的 IF 增益，用于实现此动态范围。

RSSI 响应与输入信号相对，该信号独立于接收器滤波器带宽。然而，无任何输入信号时，最小值直接反映接收器的基底噪声，该噪声取决于接收器的滤波器带宽。[图 3-9](#) 说明了 RSSI 动态范围响应。

图 3-9: RSSI 动态范围

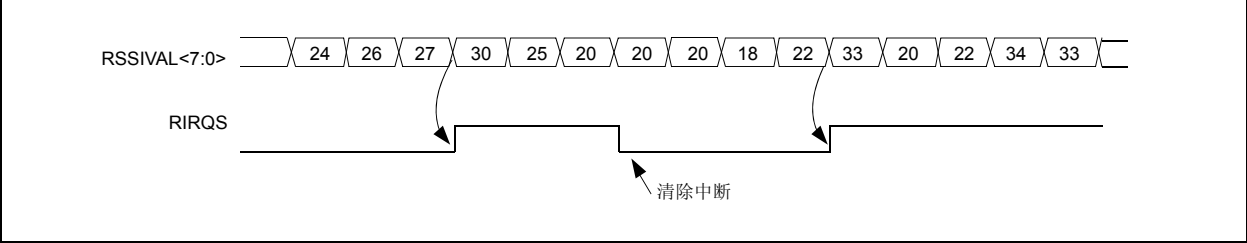


3.4.7.4 RSSI IRQ 源

MRF89XA 可用于检测高于预配置阈值的 RSSI 级别。该阈值通过使用 RTIVAL<7:0> 位（RSTHIREG<7:0>）设置，且 IRQ 状态存储在 RIRQS 位（FTPRIREG<2>）中，该位通过写入 1 清零。

可通过 IRQ0RXS<1:0> 和 IRQ1RXS<1:0> 位（FTXRRIREG<7:6> 和 FTXRXIREG<5:4>）将中断映射到 IRQ0 或 IRQ1 引脚。[图 3-10](#) 给出了 RSSI 中断源的时序图，其中 RTIVAL<7:0> 位（RSTHIREG<7:0>）设置为 11100。

图 3-10: RSSI IRQ 时序图



3.4.8 接收模式下的 f_{dev} 设置

f_{dev} 设置对 FSK 和 OOK 模式的影响不同。

3.4.8.1 FSK RX 模式

在 FSK 模式下，FDVAL<7:0> 位（FDEVREG<7:0>）所配置的 f_{dev} 设置，用于设置接收器上的采样频率。用户应设定正确的值以使其与接收到的 FSK 信号的频率偏差一致。

3.4.8.2 OOK RX 模式

如上文所述，频率偏差 f_{dev} 用于设置 RSSI 模块的采样速率。因此，有必要将 f_{dev} 设置为 100 kHz 的低中频 IF2 建议值。

$$f_{dev} = \text{IF2} = 100 \text{ kHz}$$

$$\text{FDVAL}<7:0> = 00000011$$

3.4.9 FSK 解调器

FSK 解调器根据基带上的 I 和 Q 输入信号的相对相位提供数据极性信息。其输出可提供给位同步器以恢复时序信息。用户可在连续模式下使用 FSK 解调器的原始未同步输出。

MRF89XA 的 FSK 解调器的调制指数大于或等于 2 时，能有效地处理 FSK 信号，如公式 3-13 所示。

公式 3-13:

$$\beta = \frac{2 * f_{dev}}{\text{BRVAL}} \geq 2$$

3.4.10 OOK 解调器

OOK 解调器对 RSSI 输出和阈值进行比较。有三种不同的阈值模式可用，可通过 OOKTYP<1:0> 位（DMODREG<4:3>）设定。

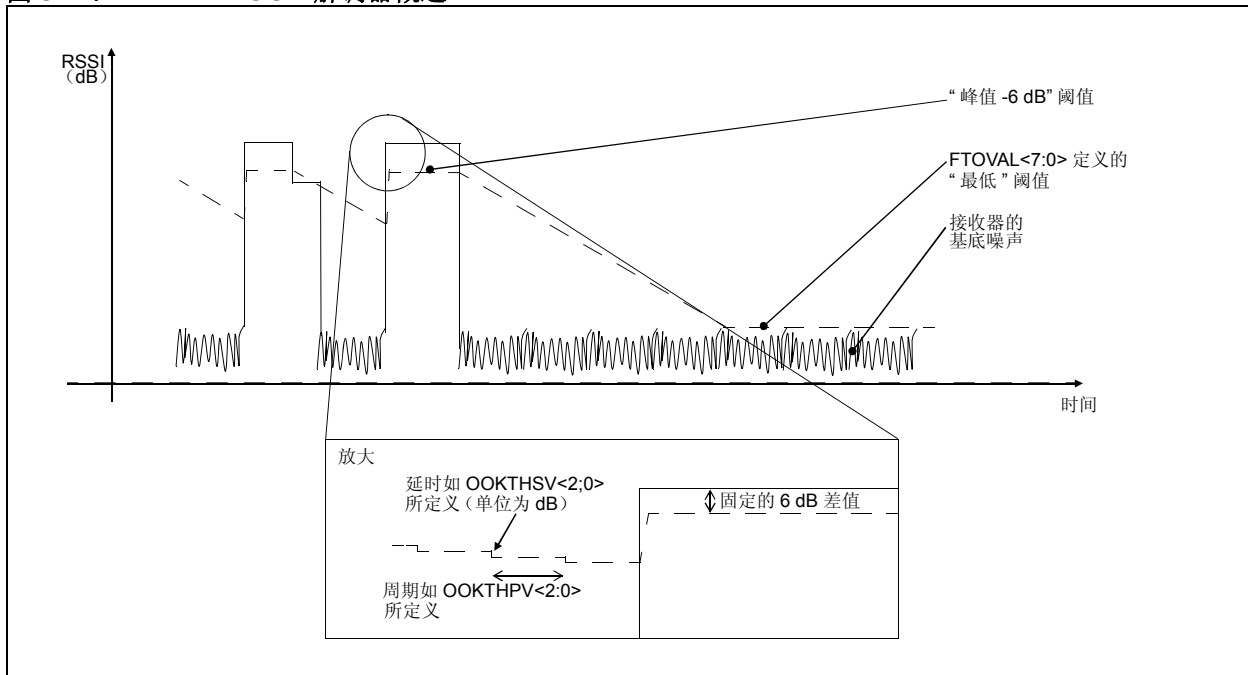
建议的工作模式是峰阈值模式，如图 3-11 所示。

在峰阈值模式下，比较阈值为 RSSI 的峰值减去 6 dB。无输入信号或在接收逻辑 0 期间，对于每个周期值（取决于 OOKTHPV<2:0> 位（OOKCREG<4:2>）），采集的峰值会随着 OOKTHSV<2:0> 位（OOKCREG<7:5>）设置的步长值递减 1。

当 RSSI 输出为空保持一长段时间（例如，在接收到一长串零后，或者无发送器时）时，峰阈值将持续下降，直至达到“最低阈值”，最低阈值通过 FTOVAL<7:0> 位（FLTHREG<7:0>）设定。

第 5.0 节“电气特性”对 OOK 解调器的默认设置将产生的性能进行了阐述。

图 3-11: OOK 解调器概述



3.4.10.1 优化最低阈值

FTOVAL<7:0> 位 (FLTHREG<7:0>) 决定 OOK 接收器的灵敏度, 这是因为它用于设置弱输入信号 (即, 接近于基底噪声) 的比较阈值。如果配置恰当, 可显著提高灵敏度。

解调器输入端处的接收器的基底噪声取决于以下条件:

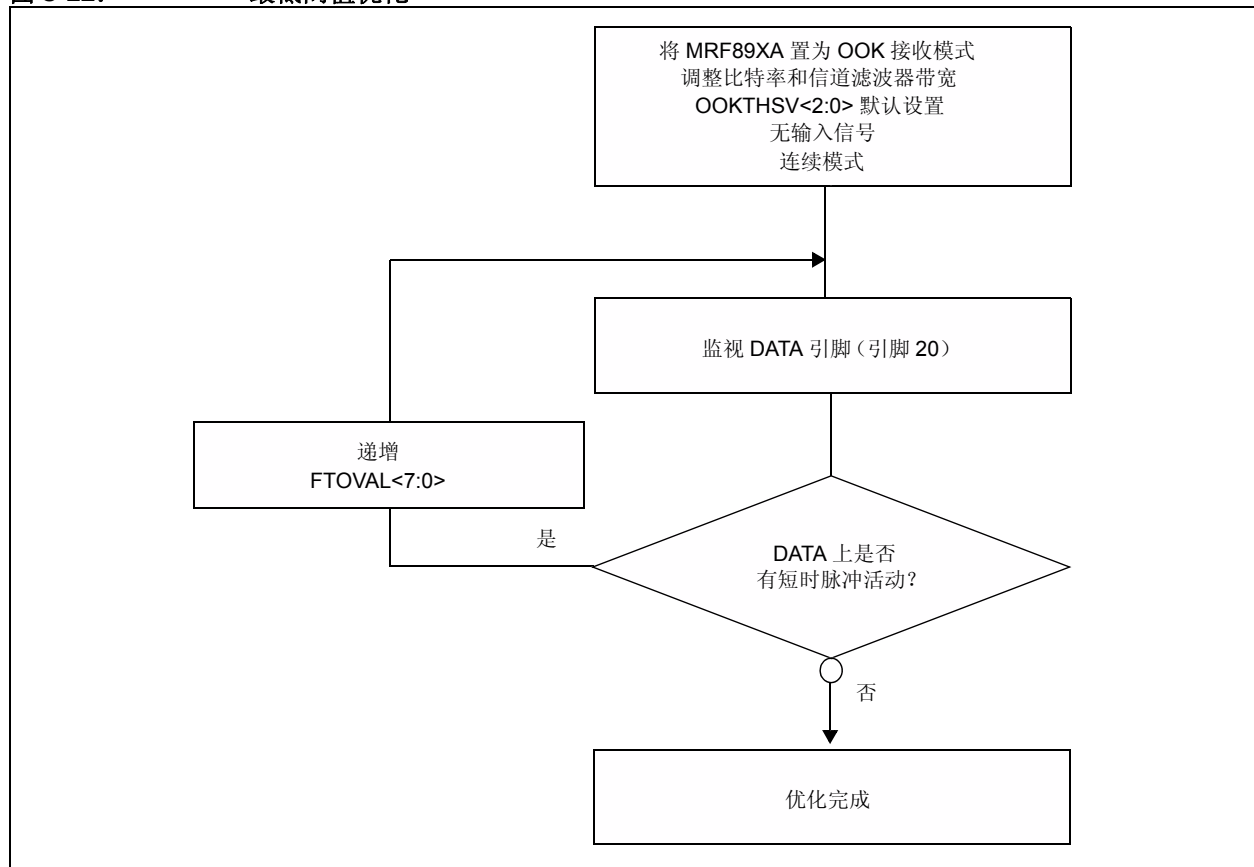
- 接收器的噪声系数
- 从天线到基带的接收链的增益
- 匹配情况, 包括 SAW 滤波器
- 信道滤波器的带宽

FTOVAL<7:0> 位的设置取决于具体的应用。建议使用图 3-12 流程图所示的过程优化 FTOVAL<7:0> 位。

该测试中找到的新的最低阈值应是由于使用这些接收器设置进行 OOK 接收的值。

请注意, 如果 DATA 上的输出信号为逻辑 1, 根据 FTOVAL<7:0> 位得出的值将低于接收器链的基底噪声。相反, 如果 DATA 上的输出信号为逻辑 1, 根据 FTOVAL<7:0> 位得出的值将高于基底噪声几个 dB。

图 3-12: 最低阈值优化



3.4.10.2 针对快速衰减信号优化 OOK 解调器响应

信号强度突然下降会导致位错误率增加。对于可估计预期信号下降的应用，可通过 `OOKTHSV<2:0>` 和 `OOKTHPV<2:0>` 位（`OOKCREG<7:5>` 和 `OOKCREG<4:2>`）设置 OOK 解调器参数进行优化。

每位的给定阈值递减次数可通过 `OOKTHPV<2:0>` 指定

- `000` → 每个芯片周期一次（默认值）
- `001` → 每 2 个芯片周期一次
- `010` → 每 4 个芯片周期一次
- `011` → 每 8 个芯片周期一次
- `100` → 每个芯片周期两次
- `101` → 每个芯片周期 4 次
- `110` → 每个芯片周期 8 次
- `111` → 每个芯片周期 16 次

通过 `OOKTHSV<2:0>` 位设置值每次递减量：

- `000` → 0.5 dB（默认值）
- `001` → 1.0 dB
- `010` → 1.5 dB
- `011` → 2.0 dB
- `100` → 3.0 dB
- `101` → 4.0 dB
- `110` → 5.0 dB
- `111` → 6.0 dB

3.4.10.3 备用 OOK 解调器阈值模式

除了 OOK 峰阈值模式，用户还可选择其他两种阈值检测器：

- 固定阈值：该值通过 `OOKCREG` 寄存器选择（更多信息，请参见第 3.4.10.1 节“优化最低阈值”）。
- 平均阈值：RSSI 模块提供的数据与截止频率的平均值。

在公式 3-14 中，较高的截止频率支持最多 8 个连续的 0 或 1 序列，而公式 3-15 所表示的较低截止频率支持正确接收最多 32 个连续的 0 或 1。

公式 3-14:

$$OOKATHC<1:0> = 00 \Rightarrow f_{cutoff} = \frac{BRVAL<6:0>}{8 * \pi}$$

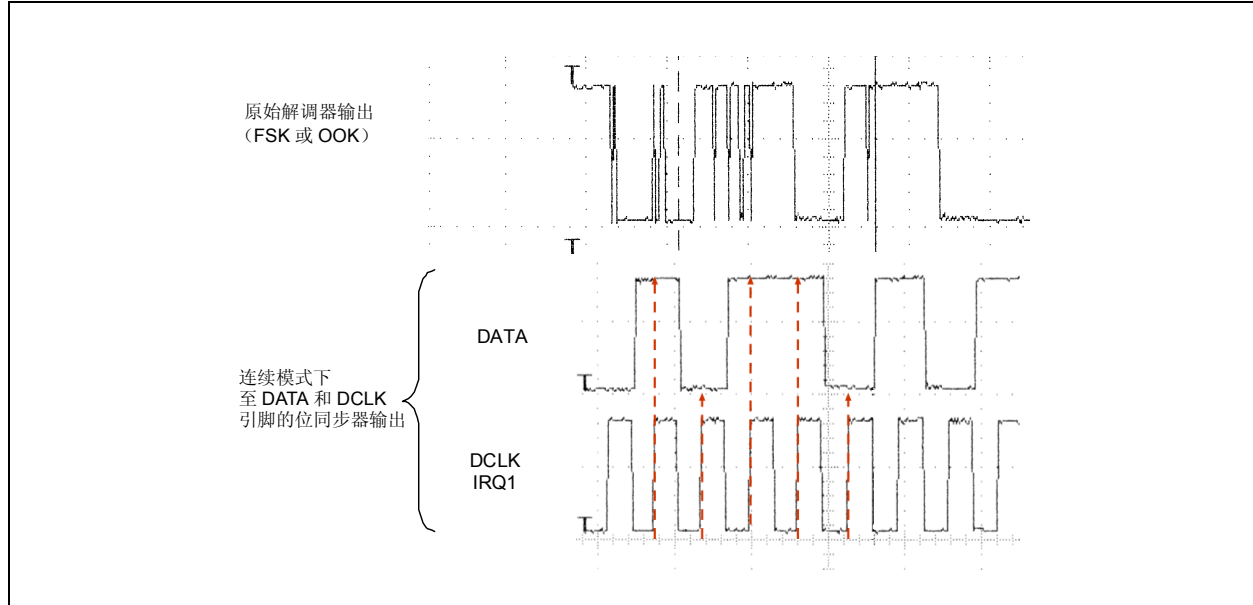
公式 3-15:

$$OOKATHC<1:0> = 11 \Rightarrow f_{cutoff} = \frac{BRVAL<6:0>}{32 * \pi}$$

3.4.11 位同步器

位同步器（BitSync）模块提供了没有任何毛刺的清晰的同步数字输出。图 3-13 给出了位同步器模块在接收到解调器 FSK 或 OOK 原始输出时的输出。

图 3-13: 位同步器模块输出信号



可通过将 **BSYNCEN** 位（**SYNCREG<6>**）位设置为 1 并保持 **IRQ1** 引脚（引脚 22）为低电平来禁止位同步器。然而，为了优化接收器性能，当器件运行在连续模式下时必须使用位同步器。使用该选项时，**DCLK** 信号出现在 **IRQ1** 引脚上。

位同步器在缓冲和数据包模式下自动激活。位同步器比特率由 **BRVAL<6:0>** 位（**BRSREG<6:0>**）控制。对于给定比特率，该参数由公式 3-16 确定。

公式 3-16:

$$BR = \frac{f_{xtal}}{64 * [1 + val(BRVAL<6:0>)]}$$

为了能正常工作，位同步器必须首先接收三个字节的交替逻辑值前导符（即，0101 序列）。在此启动阶段后，**DCLK** 信号的上升沿以解调位为中心。顺序数据传输将保留该中心。这有两层含义：

- 如果已知发送器和接收器的比特率相同，**MRF89XA** 将可不受限制地接收无限的不对称序列（全 0 或全 1）。
- 如果发送和接收的比特率存在差值，连续位的数量与位同步器所能承受的数量在同一个级别。这可通过公式 3-17 估计。

公式 3-17:

$$位数 = \frac{1 * BR}{2 \Delta BR}$$

当比特率精度为 1% 时，表示大约 6 个连续不对称字节，这一点可轻松实现（晶振容差在或应至少在 50 到 100 ppm 范围内）。

3.4.12 位同步器和有源滤波器的备用设置

位同步器和有源信道滤波器设置是参考振荡器晶振频率 f_{xtal} 的函数。可通过选择合理的参考振荡器频率来获取不同于使用 12.8 MHz 晶振设定的设置。

3.4.13 数据输出

在 OOK 或 FSK 解调后，选择连续模式时，用户可在 DATA 引脚（引脚 20）上获得基带信号。在缓冲和数据包模式下，通过 SPI 从 FIFO 接收数据。

在接收模式期间，接收到的数据填入移位寄存器，然后传输到 FIFO 堆栈。FIFO 配置为在接收定义数量的位后产生中断。

使能内部 FIFO 时，FIFO 中断（通过 IRQ0 和 IRQ1 引脚（引脚 21 和 22）配置）充当 FIFOFULL 中断，指示 FIFO 已填至其预设定的限值。当接收器通过同步模式识别电路识别出同步模式时，就开始向 FIFO 填充数据。建议将阈值至少设置为寄存器（8 位）长度的一半以确保外部主单片机有时间进行设置。同步模式识别电路防止 FIFO 充满噪声，从而避免外部主单片机过载。

3.4.14 接收模式寄存器

与接收模式相关的寄存器如下：

- GCONREG（寄存器 2-1）
- DMODREG（寄存器 2-2）
- FDEVREG（寄存器 2-3）
- BRSREG（寄存器 2-4）
- FLTHREG（寄存器 2-5）
- FIFOCREG（寄存器 2-6）
- FTXRXIREG（寄存器 2-14）
- FTPRIREG（寄存器 2-14）
- RSTHIREG（寄存器 2-16）
- FILCREG（寄存器 2-17）
- PFCREG（寄存器 2-18）
- SYNCREG（寄存器 2-19）
- RSTSREG（寄存器 2-21）
- OOKCREG（寄存器 2-22）
- SYNCV31REG（寄存器 2-23）
- SYNCV23REG（寄存器 2-24）
- SYNCV15REG（寄存器 2-25）
- SYNCV07REG（寄存器 2-26）

3.5 控制模块说明

3.5.1 SPI 接口

有关 MRF89XA 和单片机之间的标准 SPI 的更多信息，请参见第 2.11 节“串行外设接口（SPI）”。

3.5.2 SPI 寄存器

与 SPI 通信相关的寄存器如下：

- GCONREG（寄存器 2-1）
- DMODREG（寄存器 2-2）
- FDEVREG（寄存器 2-3）
- BRSREG（寄存器 2-4）

3.6 FIFO 处理

第 2.12 节“FIFO 和移位寄存器（SR）”对 FIFO 的硬件进行了说明。通过选择 FIFO 的大小、FIFO 中断和清零 FIFO 来处理 FIFO。

3.6.1 大小选择

可使用 FSIZ<1:0> 位（FIFOCREG<7:6>）将 FIFO 宽度设定为 16、32、48 或 64 字节。

3.6.2 中断源和标志

MRF89XA 根据这些中断的事件和配置设置将 IRQ0 或 IRQ1 引脚拉低或拉高来为主单片机生成中断请求。所有中断源和标志均通过中断配置寄存器配置，具体取决于以下事件：

- 不同接收待机电数据模式（如连续、缓冲和数据包）期间针对以下事件的中断请求：SYNC、RSSI、PLREADY、ARDSMATCH 和 /FIFOEMPTY。

例如，写字节。每次一个新的字节从移位寄存器传输到 FIFO（即每次接收一个新字节）时，WRITEBYTE 中断源将转至高电平一个位周期。

- 发送模式期间（如连续、缓冲和数据包）期间针对以下事件的中断请求（IRQ0 和 IRQ1）：数据时钟、FIFOFULL、发送完成和通过 IRQ0 和 IRQ1 开始发送。

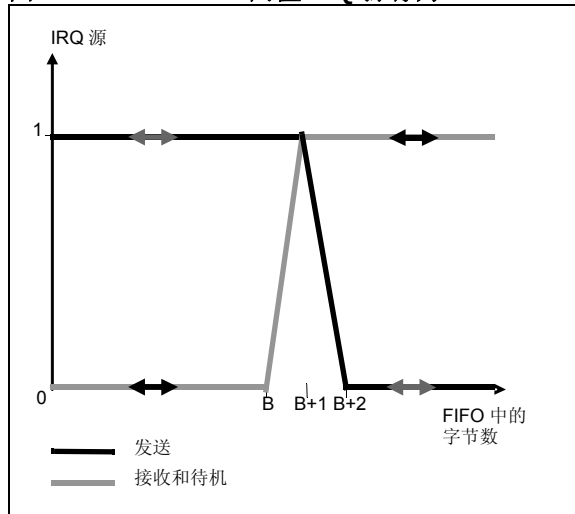
例如，发送完成。当 FIFO 为空且移位寄存器的最后一位已发送至调制器（即，数据包的最后一位已发送），TXDONE 中断源变为高电平。在 TXDONE 的上升沿后需要一个位周期的延时以确保 RF 正确发送最后一位。实际操作中，由于 IRQ 处理时间，可能无需在 MCU 软件中特别注意。

- FIFO 操作期间的中断请求 (IRQ0 和 IRQ1) 包括:
 - FIFO 已满: 当最后一个 FIFO 字节 (即, 整个 FIFO) 已满时, FIFOFULL 中断源为高电平, 否则为低电平。
 - FIFO 溢出清零: 当 FIFO 已满时, 若用户 (在发送或待机模式下) 或移位寄存器 (在接收模式下) 写入一个新字节, FOVRRUN 标志置 1。数据丢失且应通过写 1 来清零该标志 (注意, FIFO 将清零)。
 - FIFO 为空: 当字节 0 (即整个 FIFO) 为空时, FIFOEMPTY 中断源为低电平, 否则为高电平。

注: 从 FIFO 接收数据时, FIFOEMPTY 在 CSDAT 下降沿更新 (即, 当 FIFOEMPTY 更新为低电平状态时, 当前已在进行中的读操作必须完成)。也就是说, 在每次读操作后必须检查 FIFOEMPTY 状态以决定下一个操作 (FIFOEMPTY = 1: 还有更多字节要读取; FIFOEMPTY = 0: 无字节需要读取)。

- FIFO 阈值: FIFO_THRESHOLD 中断源的行为取决于正在运行的模式 (发送、接收或待机模式) 且阈值本身可通过 FIFOCREG (B 值) 设定。该行为在图 3-14 中进行了说明。

图 3-14: 阈值 IRQ 源行为



所有其他通过 RSSI、SYNC、有效负载、WRITEBYTE、DCLK 和 PLL 锁定触发的中断都通过前面章节中所述的其中一种中断进行处理。

3.6.3 FIFO 清零

下面的表 3-3 汇总了在不同模式间切换时 FIFO 的状态。

表 3-3: 在芯片的不同模式间切换时 FIFO 的状态

从	到	FIFO 状态	备注
待机	发送	清零	在缓冲模式下, 发送前无法在待机模式下写 FIFO
		未清零	在数据包模式下, 发送前可在待机下写 FIFO
待机	接收	清零	—
接收	发送	清零	—
接收	待机	未清零	在数据包和缓冲模式下, 接收后可在待机模式下读 FIFO
发送	接收	清零	—
发送	待机	未清零	—
任意	休眠	清零	—

3.6.4 FIFO 和中断寄存器

与 FIFO 和中断相关的寄存器如下:

- GCONREG (寄存器 2-1)
- DMODREG (寄存器 2-2)
- FDEVREG (寄存器 2-3)
- BRSREG (寄存器 2-4)
- FLTHREG (寄存器 2-5)
- FIFOCREG (寄存器 2-6)
- FTXRXIREG (寄存器 2-14)
- FTPRIREG (寄存器 2-15)
- RSTHIREG (寄存器 2-16)
- FILCREG (寄存器 2-17)
- PFCREG (寄存器 2-18)
- SYNCREG (寄存器 2-19)
- RSTSREG (寄存器 2-21)
- OOKCREG (寄存器 2-22)
- FCRCREG (寄存器 2-32)

3.7 同步字识别

通过置 1 SYNCREN 位 (SYNCREG<5>) 激活同步字识别 (也称为模式识别)。必须激活位同步器。该模块的行为类似于移位寄存器, 它不断地将传入数据与其内部设定的同步字进行比较并在每次检测到匹配时激活同步 IRQ 源, 如图 3-15 所示。

在比较解调数据期间, 将接收到的第一位与地址 22 处的字节的 bit 7 (MSb) 作比较, 而接收到的最后一位与最后一个字节 (其地址由同步字的长度决定) 的 bit 0 (LSb) 作比较。当检测到设定的同步字时, 用户可假定该传入包是针对该节点并相应地进行处理。

3.7.1 配置

大小: 可通过 SYNCWSZ<1:0> 位 (SYNCREG<5:4>) 将同步字大小设置为 8、16、24 或 32 位。在数据包模式下, 该字段还可用于发送模式下的同步字生成。

错误容差: 同步字识别中可允许的误差数通过 SYNCTEN<1:0> 位 (SYNCREG<2:1>) 可设置为 0、1、2 或 3。

值: 同步字值在相关配置寄存器的同步字参数中配置。在数据包模式下, 该字段还可用于发送模式下的同步字生成。

3.7.2 数据包处理程序

数据包处理程序为用于数据包模式下的块。第 3.11 节 “数据包模式” 对其功能进行了说明。

3.7.3 控制

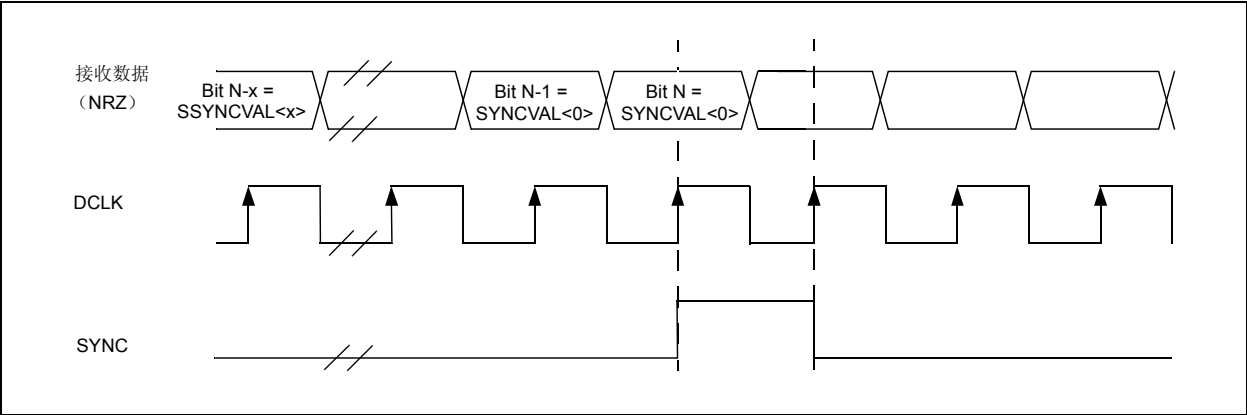
控制模块根据配置寄存器中设定的设置来配置和控制 MRF89XA 的行为。

3.7.4 SYNC 寄存器

与 SYNC 相关的寄存器如下:

- GCONREG (寄存器 2-1)
- DMODREG (寄存器 2-2)
- FDEVREG (寄存器 2-3)
- BRSREG (寄存器 2-4)
- FLTHREG (寄存器 2-5)
- FIFOCREG (寄存器 2-6)
- FTXRXIREG (寄存器 2-14)
- FTPRIREG (寄存器 2-15)
- RSTHIREG (寄存器 2-16)
- FILCREG (寄存器 2-17)
- PFCREG (寄存器 2-18)
- SYNCREG (寄存器 2-19)
- RSTSREG (寄存器 2-21)
- OOKCREG (寄存器 2-22)
- SYNCV31REG (寄存器 2-23)
- SYNCV23REG (寄存器 2-24)

图 3-15: 同步字识别



3.8 数据处理

3.8.1 数据处理模块

MRF89XA 数据处理模块如图 3-16 所示。数据处理模块的作用是与调制器 / 解调器和主单片机访问点（SPI、中断（IRQ0 和 IRQ1）和 DATA 引脚）进行数据接口。它还控制所有配置寄存器。

该电路包含几个控制模块，将在下面段落中介绍。

MRF89XA 实现几个数据工作模式，每个模式具有自己的通过数据处理部分的数据路径。有些控制模块在其他模块保持禁止时处于活动状态，具体取决于所选的数据工作模式。

3.8.2 数据工作模式

MRF89XA 具有三种不同的数据工作模式，可通过用户或编程器选择：

- 连续模式：在 DATA 引脚上实时访问发送或接收的每个位。如果有足够的外部信号处理能力，可使用该模式。
- 缓冲模式：发送或接收的每个字节存储在 FIFO 中且通过 SPI 总线访问。与连续操作模式相比，主单片机处理开销显著减少。数据包长度不受限制。
- 数据包模式（建议）：用户只向 FIFO 提供有效负载字节或者从 FIFO 检索有效负载字节。该包使用前导符、同步字以及可选 CRC、无直流编码自动构建，而在接收时执行相反的操作。与缓冲模式相比，主单片机处理开销进一步减少。最大有效负载长度限制为 64 字节（FIFO 上限值）。

图 3-16: MRF89XA 数据处理框图

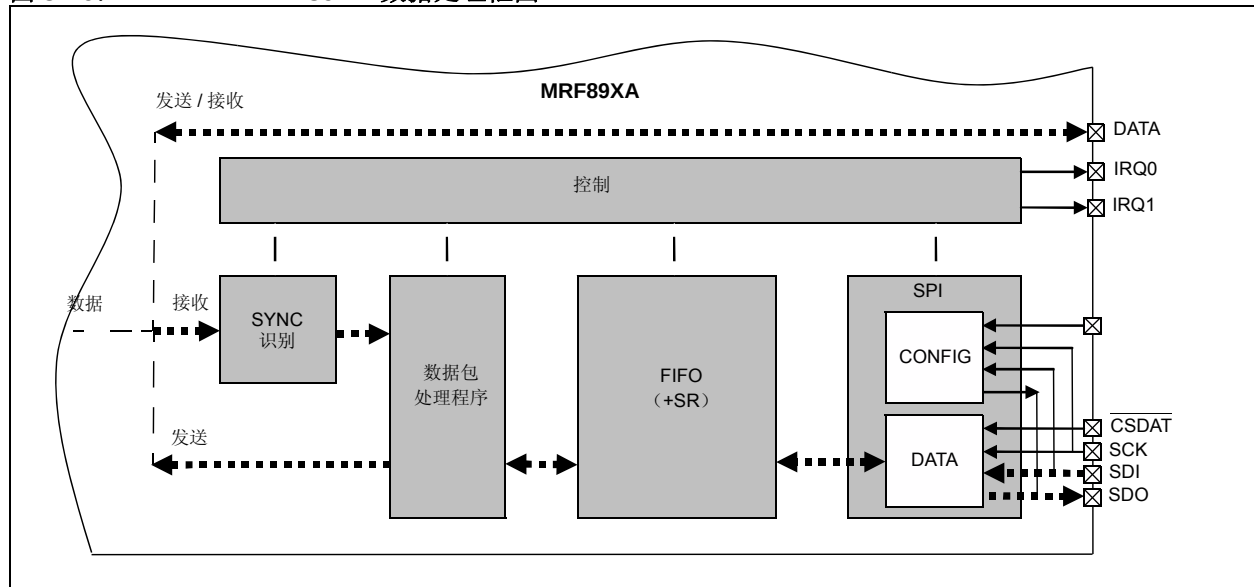


表 3-4: 数据工作模式选择

数据工作模式	DMODE1	DMODE0	寄存器
连续	0	0	FTXRXIREG
缓冲	0	1	FTXRXIREG
数据包	1	x	FTXRXIREG

3.9 连续模式

连续模式下，与调制器 / 解调器之间的 NRZ 数据由主单片机通过双向 DATA 引脚（引脚 20）访问。因此，SPI 数据、FIFO 和数据包处理程序处于无效状态。图 3-17 描述了连续工作模式。

图 3-17: 连续模式框图

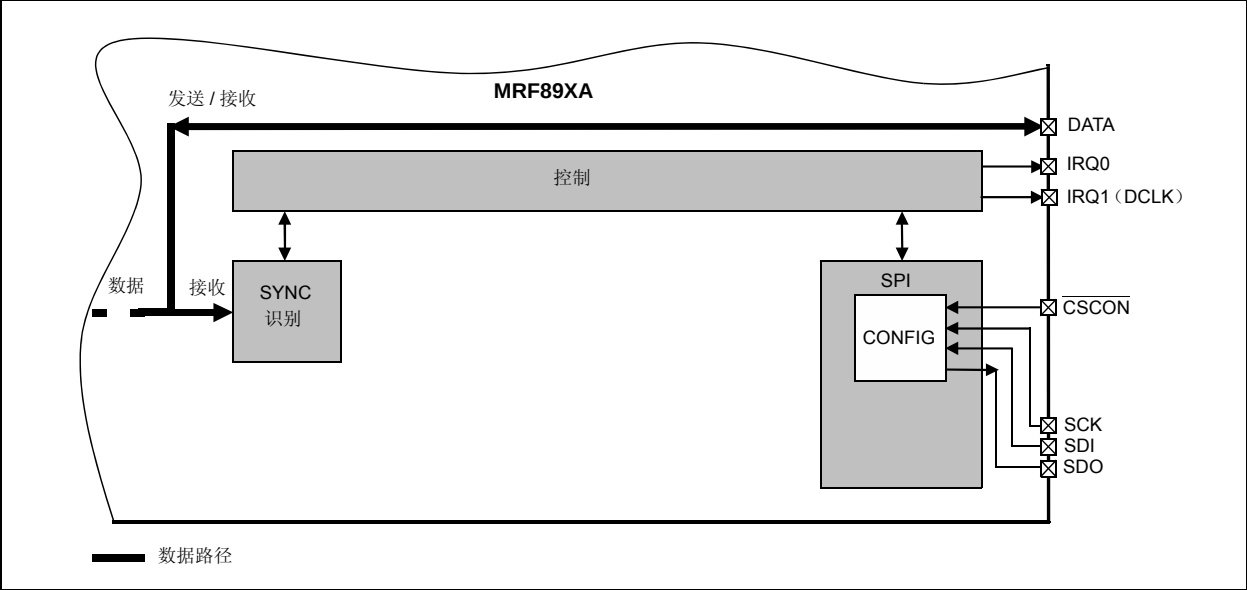
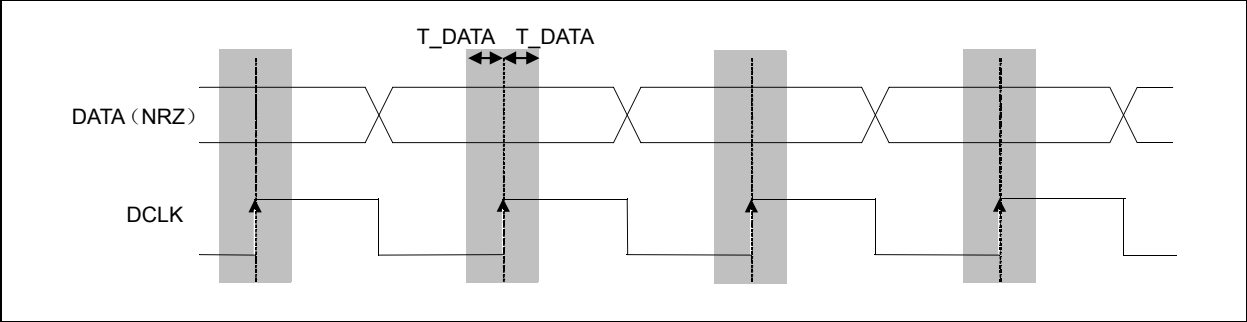


图 3-18: 连续模式下的发送处理



3.9.1 发送处理

发送模式下，在 IRQ1 引脚（引脚 22）上提供用于主单片机的同步数据时钟。图 3-18 给出了其与数据对应的时序。在 DCLK 的上升沿对 DATA 进行内部采样，所以单片机可在建立 / 保持时区外的任何时间更改逻辑状态。建立和保持时间在图 3-18 中用灰色显示。

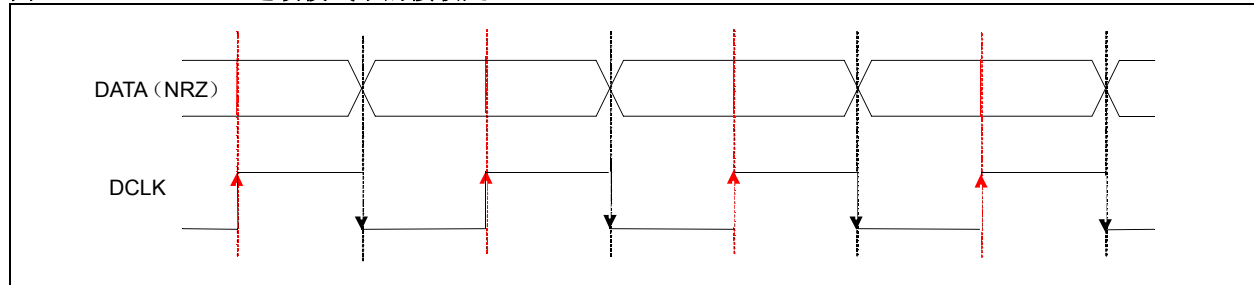
FSK 下必须使用 DCLK，而在 OOK 下则为可选。

3.9.2 接收处理

如果禁止位同步器，原始解调器输出将直接在 DATA 引脚上提供，且不提供任何 DCLK 信号。

相反，如果使能位同步器，同步后的数据和时钟将直接在 DATA 和 IRQ1 引脚（引脚 20 和 22）上提供。在 DCLK 的上升沿对 DATA 采样并在下降沿更新，如图 3-19 所示。

图 3-19: 连续模式下的接收处理



注： 在连续模式下，始终建议使能位同步器以清洁DATA信号，即使单片机未使用DCLK信号（位同步器在缓冲和数据包模式下自动使能）。

3.9.3 中断信号映射

下表对连续模式下可用的中断进行了说明。

表 3-5: 连续接收模式下的中断映射

中断名称	中断	数据模式	中断类型	中断源
IRQ0RXS<1:0>				
00（默认值）	IRQ0	连续	输出	同步模式
01	IRQ0	连续	输出	RSSI
10	IRQ0	连续	输出	—
11	IRQ0	连续	输出	—
IRQ1RXS<1:0>				
00（默认值）	IRQ1	连续	输出	DCLK
01	IRQ1	连续	输出	DCLK
10	IRQ1	连续	输出	DCLK
11	IRQ1	连续	输出	DCLK

注 1： 在连续模式下，待机模式不存在任何中断。
2： 另请参见 FTXRXIREG 和 FTPRIREG 寄存器中的 DMODE1:DMODE0 位。

表 3-6: 连续发送模式下的中断映射

中断名称	中断	数据模式	中断类型	中断源
IRQ0TXST				
0（默认值）	IRQ0	连续	输出	—
1	IRQ0	连续	输出	—
IRQ1TX				
0（默认值）	IRQ1	连续	输出	DCLK
1	IRQ1	连续	输出	DCLK

注 1： 在连续模式下，待机模式不存在任何中断。
2： 另请参见 FTXRXIREG 和 FTPRIREG 寄存器中的 DMODE1:DMODE0 位。

MRF89XA

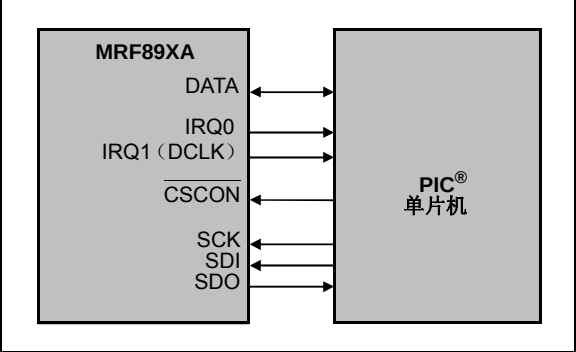
3.9.4 主单片机接口 / 所需的连接

请注意，某些连接可能不需要，具体取决于应用：

- IRQ0: 如果未使用同步和 RSSI 中断，保持该引脚悬空。
- IRQ1: 如果器件不会工作在发送 FSK 模式下（在接收和发送 OOK 模式下，不强制要求连接 DCLK），保持该引脚悬空。
- SDO: 如果不需要任何读寄存器访问，通过一个 100 kΩ 电阻将其上拉至 VDD。

注： CSDAT 引脚（引脚 15），在连续模式下未使用，应通过一个 100 kΩ 电阻上拉至 VDD。表 2-4 详细说明了 MRF89XA 引脚配置和芯片模式。

图 3-20: 连续模式下的主 MCU 连接



3.9.5 连续模式示例

与数据处理相关的寄存器按表 3-7 所列示进行相应配置。在该示例中，我们假设位同步器和同步字识别均使能。

发送模式：

1. 转至发送模式（并等待发送就绪，见图 5-3）。
2. 与 IRQ1 上提供的 DCLK 信号同步发送 DATA 引脚上的所有数据包位。
3. 转至休眠模式。

接收模式：

1. 设定接收中断：IRQ0 映射到同步（IRQ0RXS<1:0> = 00），而 IRQ1 映射到 DCLK（使能位同步器）。
2. 转至接收模式（请注意，接收不会立即就绪，见图 5-2）。
3. 等待同步中断。
4. 与 IRQ1 上提供的 DCLK 信号同步获取 DATA 引脚上的所有数据包位。
5. 转至休眠模式。

3.9.6 连续模式寄存器

与连续模式相关的寄存器如下：

- GCONREG（寄存器 2-1）
- DMODREG（寄存器 2-2）
- FDEVREG（寄存器 2-3）
- BRSREG（寄存器 2-4）
- FLTHREG（寄存器 2-5）
- FIFOCREG（寄存器 2-6）
- FTXRXIREG（寄存器 2-14）
- FTPRIREG（寄存器 2-15）
- RSTHIREG（寄存器 2-16）
- FILCREG（寄存器 2-17）
- PFCREG（寄存器 2-18）
- SYNCREG（寄存器 2-19）
- RSTSREG（寄存器 2-21）
- OOKCREG（寄存器 2-22）
- SYNCV31REG（寄存器 2-23）
- SYNCV23REG（寄存器 2-24）
- SYNCV15REG（寄存器 2-25）
- SYNCV07REG（寄存器 2-26）

表 3-7: 连续模式下（仅）与数据处理相关的配置寄存器

寄存器名称	寄存器位	发送	接收	说明
DMODREG	DMODE0 和 DMODE1	X	X	定义数据工作模式（→ 连续）
FTXRXIREG	IRQ0RXS<1:0>		X	定义接收模式下的 IRQ0 源
SYNCREG	SYNCREN		X	使能同步字识别
SYNCREG	SYNCWSZ<1:0>		X	定义同步字大小
SYNCREG	SYNCCTEN<1:0>		X	定义同步字识别的错误容差
SYNCV31REG	SYNCV<31:24>		X	定义同步字值
SYNCV23REG	SYNCV<23:16>		X	定义同步字值
SYNCV15REG	SYNCV<15:8>		X	定义同步字值
SYNCV07REG	SYNCV<7:0>		X	定义同步字值

3.10 缓冲模式

在缓冲工作模式下，主单片机不能直接访问传入传出调制器或解调器的 NRZ 数据，而是将数据存储在 FIFO 中并通过 SPI 数据接口访问。这样一来，单片机就能在处理来自 MRF89XA 的数据的间隙执行其他任务。此外，它简化了软件开发开销并降低单片机性能需求（如速度和响应等）。请注意，在该模式下，数据包处理程序保持无效状态。用于缓冲模式的接口如图 3-21 所示。

一个重要特性是还可在待机模式下清空 FIFO，以确保低功耗并增加了更大的软件灵活性。

注： 此时，位同步器在缓冲模式下自动使能。必须使能同步字识别（SYNCREN = 1），而与所选的 FIFO 填充方法（FIFO FM）无关。

3.10.1 发送处理

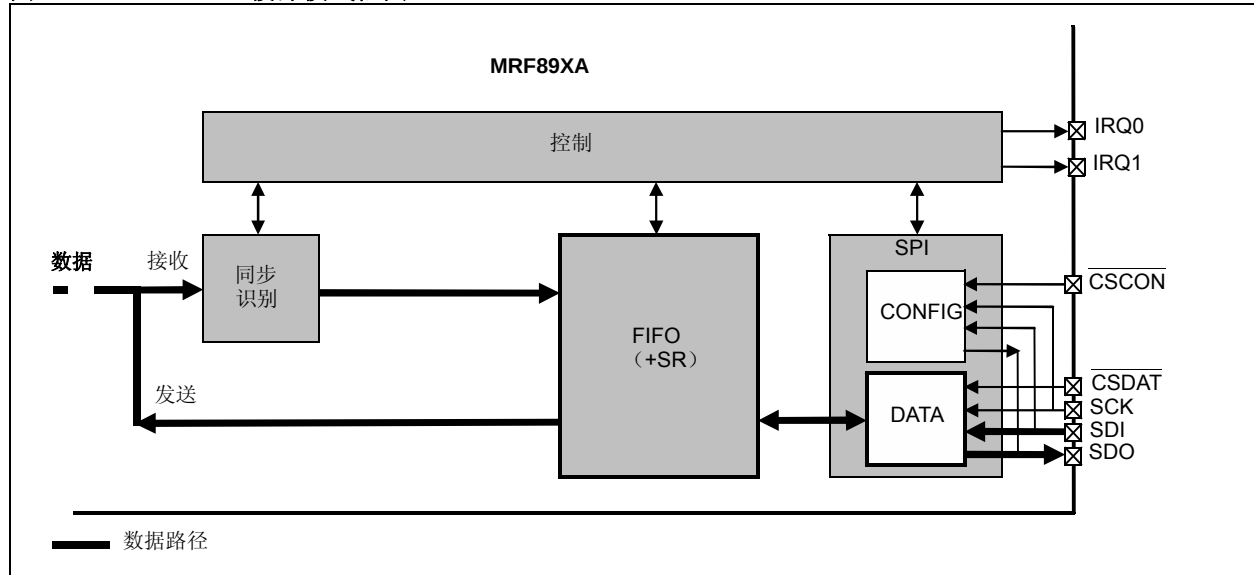
在缓冲模式下进入发送后，MRF89XA 期望主单片机通过 SPI 数据接口将所有要发送的数据字节（前导符、同步字和有效负载）写入 FIFO。

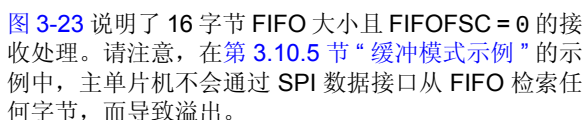
第一个字节的实际发送在 FIFO 非空（即，由主单片机写入的第一个字节）或 FIFO 已满时开始，具体取决于 IRQ0TXST 位（FTPRIREG<4>）设置。

在缓冲模式下，数据包长度不受限制，只要 FIFO 内有要发送的字节即可。当最后一个字节传输到 SR 时，发出 FIFOEMPTY IRQ 源中断主单片机，如有需要此时仍可将更多字节填入 FIFO。

当最后一个字节的最后一位离开移位寄存器（SR）（即 8 个位周期后），将发出 TXDONE 中断源，且用户从调制器处理的最后一位开始等待至少一个位周期即可退出发送模式。如果发送器在发送期间切换为关闭状态（例如，进入其他芯片模式），它将立即停止，即使仍存在未发送的数据。

图 3-21: 缓冲模式框图







3.10.3 中断信号映射

表 3-8 和表 3-9 描述了缓冲模式下可用的中断。

表 3-8: 缓冲接收和待机模式下的中断映射

中断名称	中断	数据模式	中断类型	接收中断源	待机中断源
IRQ0RXS<1:0>					
00 (默认值)	IRQ0	缓冲	输出	—	—
01	IRQ0	缓冲	输出	WRITEBYTE	—
10	IRQ0	缓冲	输出	FIFOEMPTY	FIFOEMPTY
11	IRQ0	缓冲	输出	同步模式	—
IRQ1RXS<1:0>					
00 (默认值)	IRQ1	缓冲	输出	—	—
01	IRQ1	缓冲	输出	FIFOFULL	FIFOFULL
10	IRQ1	缓冲	输出	RSSI	—
11	IRQ1	缓冲	输出	FIFO_THRESHOLD	FIFO_THRESHOLD

注： 另请参见 FTXRXIREG 和 FTPRIREG 寄存器中的 DMODE1 和 DMODE0 位获取详细信息。

表 3-9: 缓冲发送模式下的中断映射

中断名称	中断	数据模式	中断类型	中断源
IRQ0TXST				
0 (默认值)	IRQ0	缓冲	输出	FIFOEMPTY
1	IRQ0	缓冲	输出	FIFOEMPTY
IRQ1TX				
0 (默认值)	IRQ1	缓冲	输出	FIFOFULL
1	IRQ1	缓冲	输出	TXDONE

注： 另请参见 FTXRXIREG 和 FTPRIREG 寄存器中的 DMODE1 和 DMODE0 位获取详细信息。

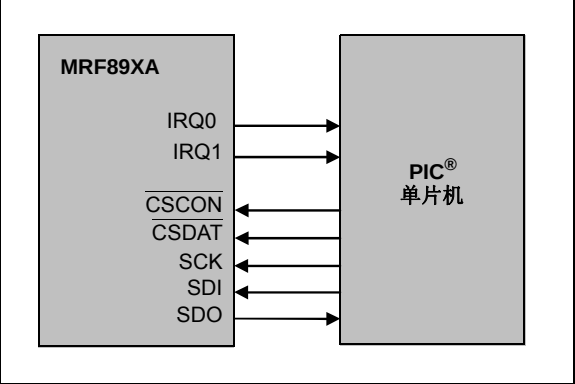
3.10.4 缓冲模式下的主单片机连接

某些主单片机连接可能不需要，具体取决于应用：

- IRQ0: 如果未使用任何相关 IRQ 源，保持该引脚悬空。
- IRQ1: 如果未使用任何相关 IRQ 源，保持该引脚悬空。
- SDO: 如果不需要任何读寄存器访问且器件只用于发送模式。在该情况下，通过一个 100 kΩ 电阻将其上拉至 VDD。

注： DATA 引脚（引脚 20）在缓冲模式下未使用，应通过一个 100 kΩ 电阻上拉至 VDD。
表 2-4 提供了有关 MRF89XA 引脚配置和芯片模式的详细信息。

图 3-24: 缓冲模式下的主 MCU 连接



3.10.5 缓冲模式示例

与数据处理相关的寄存器按表 3-10 所列示进行相应配置。
在本示例中，我们假定同步字识别使能且 FIFOFM = 0。

表 3-10: 缓冲模式下与数据处理相关的配置寄存器

寄存器名称	寄存器位	发送	接收	说明
DMODREG	DMODE0, DMODE1	X	X	定义数据工作模式 (→ 缓冲)
FIFOCREG	FSIZE<1:0>	X	X	定义 FIFO 大小
FIFOCREG	FTINT<5:0>	X	X	定义 FIFO 阈值
FTXRIREG	IRQ0RXS<1:0>	—	X	定义接收模式下的 IRQ0 源
FTXRIREG	IRQ1RXS<1:0>	—	X	定义接收模式下的 IRQ1 源
FTXRIREG	IRQ1TX	X	—	定义发送模式下的 IRQ1 源
FTPRIREG	IRQ0TXST	X	—	定义发送模式下的 IRQ0 源
FTPRIREG	FIFOFM	—	X	定义 FIFO 填充方法
FTPRIREG	FIFOFSC	—	X	控制 FIFO 填充状态
SYNCREG	SYNCREN	—	X	使能同步字识别
SYNCREG	SYNCWSZ<1:0>	—	X	定义同步字大小
SYNCREG	SYNCTEN<1:0>	—	X	定义同步字识别的错误容差
SYNCV31REG	SYNCV<31:24>	—	X	定义同步字值
SYNCV23REG	SYNCV<23:16>	—	X	定义同步字值
SYNCV15REG	SYNCV<15:8>	—	X	定义同步字值
SYNCV07REG	SYNCV<7:0>	—	X	定义同步字值

发送模式:

1. 设定发送启动条件和 **IRQ: FIFO** 不为空 (IRQ0TXST = 1) 且 IRQ1 映射到 TXDONE (IRQ1TX = 1) 时, 开始发送。
2. 转至发送模式 (并等待发送就绪, 见图 5-3)。
3. 将数据包字节写入 **FIFO**。写入第一个字节 (IRQ0TXST = 1) 时, 开始发送。假设: 通过 SPI 数据填充 FIFO 比通过 SR 清空快。
4. 等待 TXDONE 中断 (+ 1 个位周期)。
5. 转至休眠模式。

接收模式:

1. 设定接收 / 待机中断: IRQ0 映射到 **FIFOEMPTY** (IRQ0RXS<1:0> = 10) 且 IRQ1 映射到 FIFO 阈值 (IRQ1RXS<1:0> = 11)。将 FIFO 阈值配置为适当的值 (例如, 检测数据包结尾, 如果已知其长度)。
2. 转至接收模式 (请注意, 接收不会立即就绪, 参见第 5.3.1 节“最佳接收周期”获取更多信息)。
3. 等待 FIFO 阈值中断 (即, 已检测到同步字且 FIFO 已填充至定义的阈值)。
4. 如果它是数据包结尾, 转至待机 (SR 的内容丢失)。
5. 从 FIFO 读取数据包字节, 直到 **FIFOEMPTY** 变为低电平 (或读取正确数量的字节)。
6. 转至休眠模式。

3.11 数据包模式

与缓冲工作模式类似，在数据包模式下，主单片机不能直接访问传入传出调制器或解调器的 NRZ 数据，而是将数据存储在 FIFO 中并通过 SPI 数据接口访问。

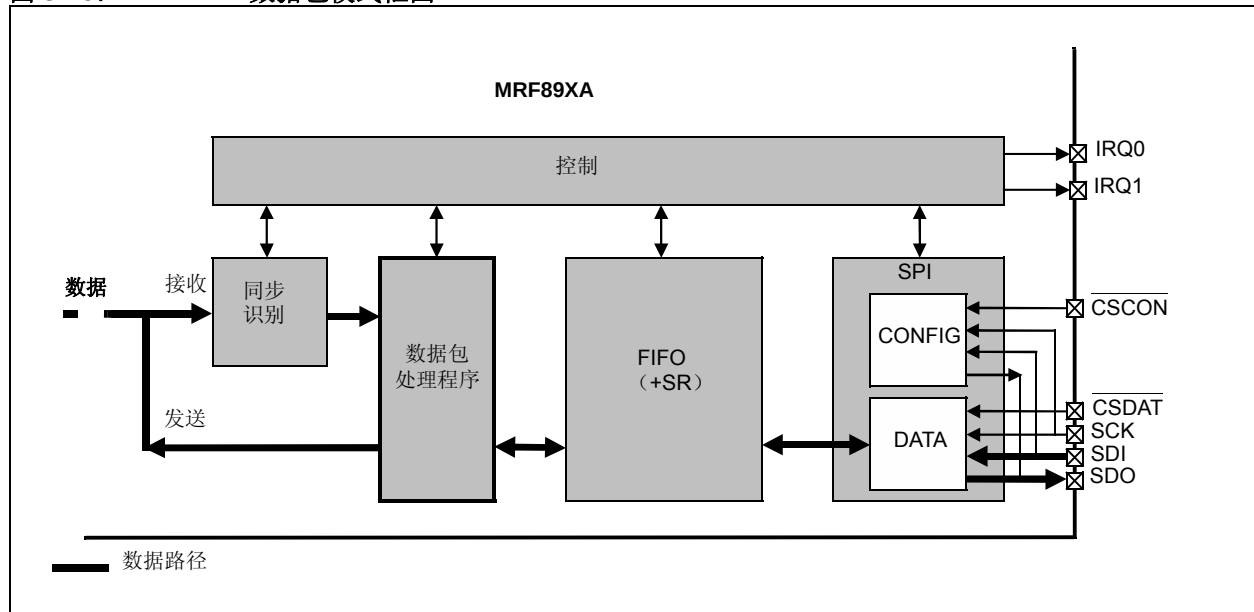
MRF89XA 的数据包处理程序还执行几个面向数据包任务，如前导符和同步字生成、CRC 计算 / 检查、直流加

噪（白化 / 去白化数据）和地址过滤。通过在 MRF89XA 自身内执行这些重复的任务仍可进一步简化软件并减少单片机开销。

另一个重要特性是能够在待机模式下填充和清空 FIFO，确保最佳功耗并增加了软件的灵活性。图 3-25 给出了数据包模式期间的接口图。

注： 在数据包模式下，位同步器和同步字识别自动使能。

图 3-25: 数据包模式框图



3.11.0.1 数据包格式

支持两种数据包格式：固定长度和可变长度，通过 PKTLENF 位（PKTCREG<7>）选择。有效负载的最大大小受所选的 FIFO 的大小（16、32、48 或 64 字节）限制。

3.11.0.2 固定长度数据包格式

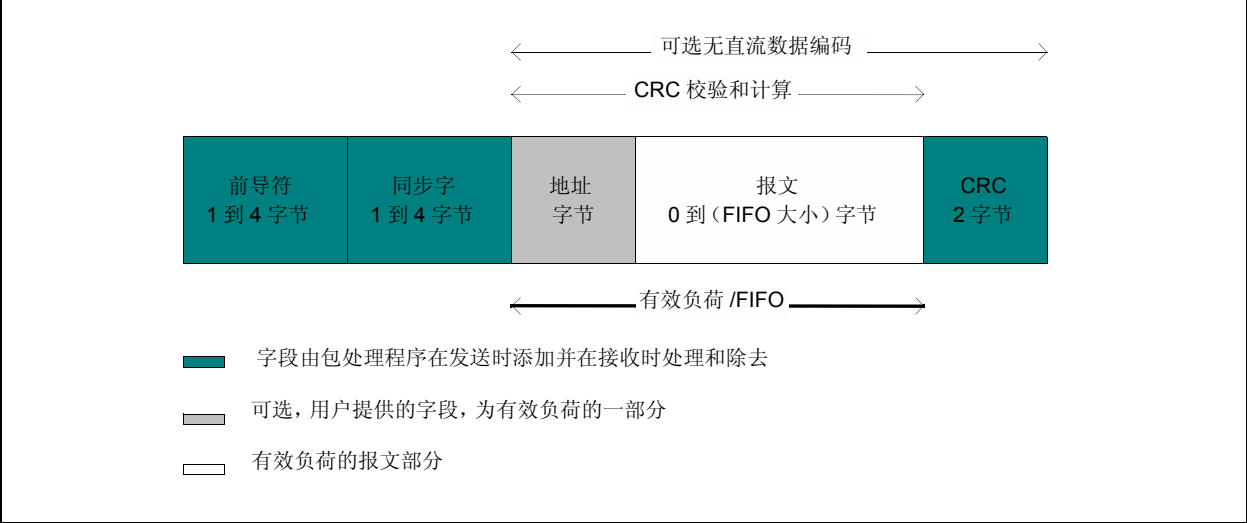
在数据包长度事先固定的应用中，该工作模式对于最大程度地减小 RF 开销（不需要任何长度字节字段）很有用。所有节点，无论仅发送、仅接收还是发送 / 接收均设定为相同的数据包长度值。

有效负载的长度由 PLDPLEN<6:0> 位（PLOADREG<6:0>）设置并受所选 FIFO 的大小限制。该寄存器中存储的长度仅与有效负载相关，包括报文和可选地址字节。在该模式下，有效负载必须至少包含一个字节（即，地址或报文）。

图3-26 对固定长度数据包帧格式进行了说明，其包含以下字段：

- 前导符（1010...）
- 同步字（网络 ID）
- 可选地址字节（节点 ID）
- 报文数据
- 可选 2 字节 CRC 校验和

图 3-26: 固定长度数据包格式



3.11.0.3 可变长度包格式

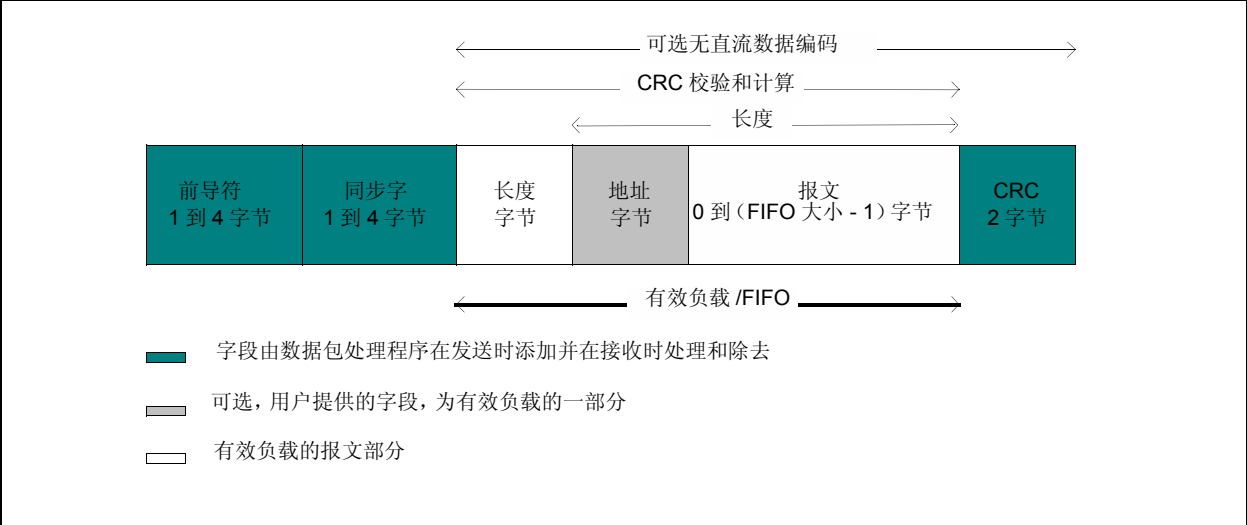
对于包长度事先未知且随时间而变化的应用，有必要使用该模式。然后，发送器必须将长度信息同每个包一起发送，以便接收器正常运行。

在该模式下，有效负载的长度，由图 3-27 中的长度字节指示，由 FIFO 的第一个字节给出且仅受所选的 FIFO 宽度限制。在该模式下，有效负载必须至少包含两个字节（即，长度以及地址或报文字节）。

- 图 3-27 对可变长度包帧格式进行了说明，其包含以下字段：
- 前导符（1010...）
 - 同步字（网络 ID）
 - 长度字节
 - 可选地址字节（节点 ID）
 - 报文数据
 - 可选 2 字节 CRC 校验和

注： 长度字节不包含在 CRC 计算中。

图 3-27: 可变长度数据包格式



3.11.1 发送处理

在发送模式下，数据包处理程序通过对 FIFO 中提供的有效负载执行以下操作动态构建数据包：

- 添加可设定数量的前导符字节
- 添加可设定数量的同步字
- 可选择对整个有效负载字段计算 CRC（可选长度字节加可选地址字节加报文）并附加上两个字节的校验和。
- 可选无直流数据编码（曼彻斯特或白化）。

只有有效负载（包括可选地址和长度字段）由用户在 FIFO 中提供。

假设器件处于发送模式，然后根据 **IRQ0TXST** 位（**FTPRIREG<4>**）的设置，数据包发送（以设定的前导符开始）将在第一个字节写入 FIFO（**IRQ0TXST** = 1）或写入的字节数达到用户定义的阈值（**IRQ0TXST** = 0）后开始。通过 **FRWAXS** 位（**FCRCREG<6>**）设置 FIFO 在待机模式下是完全填充还是部分填充。在该情况下，进入发送模式时只检查启动条件。

发送结束（**TXDONE** = 1）时，如有需要用户必须明确退出发送模式（例如，返回待机模式）。

在发送模式期间，数据包发送（字节不够或未 **TXDONE**）前后，会向调制器发送额外的前导符字节。满足启动条件时，当前的额外前导符字节发送完成后，再开始发送下一个数据包（即，设定的前导符）。

3.11.2 接收处理

在接收模式下，数据包处理程序通过执行以下操作将用户有效负载提取到 FIFO：

- 接收前导符并除去前导符
- 检测同步字并除去同步字
- 可选无直流解码数据
- 可选择检查地址字节
- 可选择检查 CRC 并将结果反映到 **STSCRCEN** 位（**PKTREG<0>**）和 IRQ 源的 **CRCOK**（更多信息，请参见[寄存器 2-14](#)）。

只在 FIFO 中提供有效负载（包括可选地址和长度字段）。

可产生 **PLREADY** 和 **CRCOK** 中断（后者仅在 CRC 使能时产生）以指示数据包接收结束（更多信息，请参见[寄存器 2-14](#)）。

默认情况下，如果使能 CRC 检查且对当前数据包的检查失败，FIFO 自动清零，不会产生两个中断的任何一个并开始新的数据包接收。可通过 **ACFCRC** 位（**FCRCREG<7>**）禁止自动清零功能，且在该情况下，即使 CRC 失败，FIFO 也不会清零且只发出 **PLREADY** IRQ 源。

一旦完全接收，还可通过 **FRWAXS** 位在待机模式下全部或部分检索有效负载。接收结束时，尽管 FIFO 自动停止填充，但需要时，仍需用户明确退出接收模式（例如，转至待机模式获取有效负载）。必须清空 FIFO 以开始新的数据包接收。

3.11.3 数据包过滤

MRF89XA 数据包处理程序提供几种机制进行数据包过滤，确保只向主单片机提供有用的数据包，从而显著降低系统功耗和软件复杂性。

3.11.3.1 基于同步字

在数据包模式下，使能同步字过滤或识别。它用于标识有效负载的开始及网络标识。如前文所述，通过 **SYNCREG**、**SYNCV31REG**、**SYNCV23REG**、**SYNCV15REG** 和 **SYNCV07REG** 配置寄存器中的 **SYNCREN**、**SYNCWSZ**、**SYNCTEN** 和 **SYNCV31-0** 位配置同步字识别模块（大小、错误容差和值）。该信息用于在发送时附加同步字，而在接收时过滤数据包。

每个接收到的未以此本地配置的同步字开始的数据包将自动丢弃且不会产生任何中断。

当检测到同步字时，有效负载接收自动启动并发出同步 IRQ 源。

3.11.3.2 基于长度

在可变长度数据包模式下，必须将 **PLDPLEN<6:0>** 位（**PLOADREG<6:0>**）设定为允许的最大长度。如果接收到的长度字节小于该最大值，则可接受并处理该数据包；否则，丢弃。

要禁止该功能，用户应将 **PLDPLEN<6:0>** 位的值设置为所选 FIFO 大小值。

注： 接收到的长度字节，作为有效负载的一部分，不会从包中除去，而是保存在 FIFO 中。

3.11.3.3 基于地址

可通过 **ADDFIL<1:0>** 位 (**PKTCREG<2:1>**) 使能地址过滤。它添加了高于同步字的另一级过滤，通常用在所有节点共享一个网络 ID (同步字) 且每个节点具有自己的 ID (地址) 的多节点网络中。

有三个基于地址的过滤选项可用：

- **ADDFIL = 01**：接收到的地址字段与内部寄存器 **NADDSREG** 作比较。如果匹配，可接受并处理数据包；否则，丢弃。
- **ADDFIL = 10**：接收到的地址字段与内部寄存器 **NADDSREG** 和常量 **0x00** 作比较。只要与其中之一匹配，即可接受并处理接收到的数据包；否则，丢弃。使用一个常量的额外检查可用于在多节点网络中实现广播。
- **ADDFIL = 11**：接收到的地址字段与内部寄存器 **NADDSREG** 以及常量 **0x00** 和 **0xFF** 作比较。如果与三个中任意一个匹配，可接受并处理接收到的数据包；否则，丢弃。使用常量的额外检查可用于实现所有节点的广播命令。

此处，接收到的地址字节，作为有效负载的一部分，不会从包中除去，而是保存在 FIFO 中。此外，**NADDSREG** 和 **PKTCREG** 的 **ADDFIL<1:0>** 位仅适用于接收。在发送端，如果期望进行地址过滤，地址字节应和有效负载的任何其他字节一样放在 FIFO 中。

3.11.3.4 基于 CRC

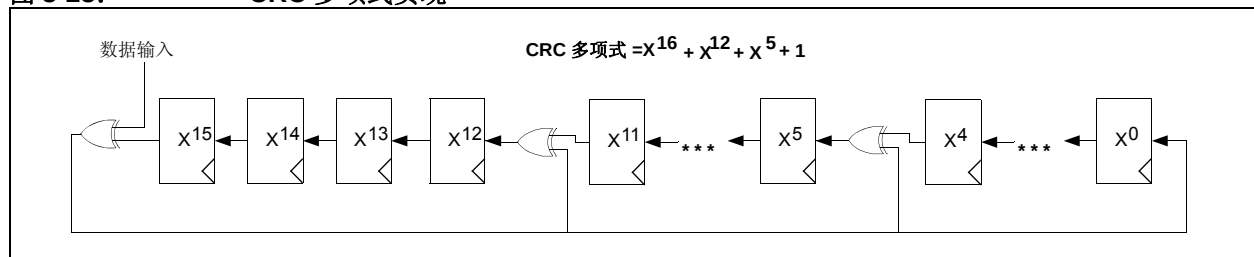
通过将 **CHKCRCEN** 位 (**PKTCREG<3>**) 置 1 来使能 **CRC** 检查。该位可用于检查报文的完整性。**16 位 CRC** 校验和基于数据包的有效负载部分计算得出并附加到发送的报文的末尾。**CRC** 校验和基于接收到的有效负载计算得出并与发送的 **CRC** 作比较。比较的结果存储在 **STSCRCEN** 位 (**PKTCREG<0>**) 中，还会在 **IRQ1** 上产生中断。

- 在发送端，基于数据包的有效负载部分计算得出两字节的 **CRC** 校验和并将其附加到报文的末尾。
- 在接收端，基于接收到的有效负载计算校验和并与接收的两字节校验和作比较。比较的结果存储在 **STSCRCEN** 位和 **CRCOK IRQ** 源中（请参见[寄存器 2-14](#) 获取详细信息）。

默认情况下，如果 **CRC** 检查失败，FIFO 清零并不产生任何中断。可通过 **ACFCRC** 位 (**FCRCREG<7>**) 禁止该过滤功能，且如果 **CRC** 失败，FIFO 不会清零且只有 **PLREADY** 中断位变为高电平（更多信息，请参见[寄存器 2-14](#)）。在这两种情况中，两个 **CRC** 校验和字节由数据包处理程序除去且仅有效负载存储在 FIFO 中。

CRC 基于 **CCITT** 多项式，如[图 3-28](#) 所示。该实现还可检测由前导和尾部零导致的错误。关于用 **C#** 进行 **CRC** 多项式计算的更多信息，请参见[附录 B：“采用 C# 进行 CRC 计算（可改写成 C 语言）”](#)。

图 3-28: CRC 多项式实现



3.11.4 无直流数据机制

要发送的有效负载可能包含较长的 1 和 0 序列，这在发送信号中引入一个直流偏压，可导致所占用信道带宽内的不均匀功率分布谱。这些序列还会降低接收器中解调和数据以及时钟恢复功能的性能，基本上会在解调器的正常操作中引入数据相依性。如果对有效负载位进行随机化以降低直流偏压并增大位跳变数，可改善系统性能。因此，发送数据为随机且无直流很有用。

要处理这种情况，数据包处理程序提供了两种技术：曼彻斯特编码和数据白化。但是，一次只能使能其中一种方法。

3.11.4.1 曼彻斯特数据编码

曼彻斯特编码 / 解码通过置 1 MCHSTREN 位 (PLOADREG<7>) 使能，且只能用在数据包模式下。通过将 1 编码为 10 和 0 编码为 01 来将 NRZ 数据转换为曼彻斯特代码。

图 3-29 说明了曼彻斯特数据编码。通过将 1 位编码为 10 码片序列，而 0 位编码为 01 码片序列将 NRZ 数据转换为曼彻斯特。曼彻斯特编码可确保编码后的数据中不含直流成分且数据的逻辑值会经常跳变。最大的曼彻斯特码片率对应于表 5-6 中发送器电气规范中给出的最大比特率。

图 3-29: 曼彻斯特数据编码

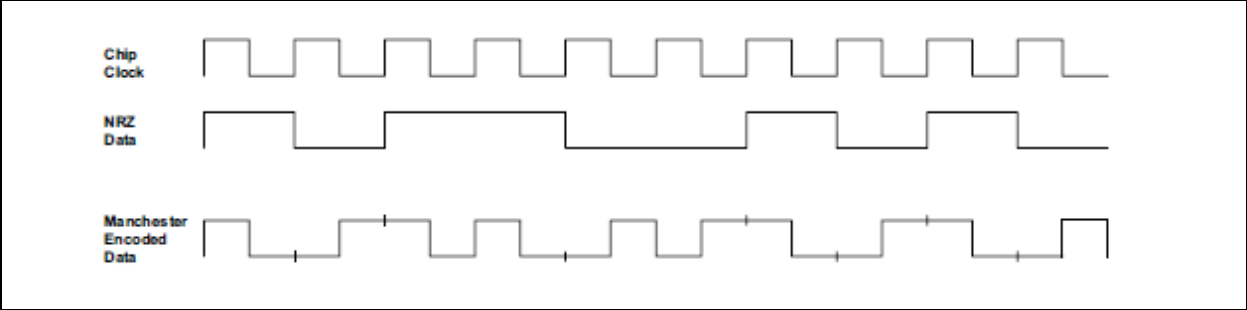
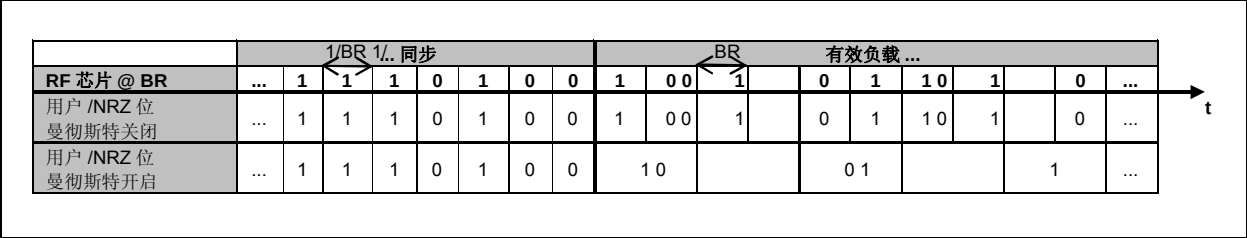


图 3-30: 曼彻斯特编码 / 解码



在此情况下，最大码片率是规范部分中给出的最大比特率而实际比特率是码片率的一半。曼彻斯特编码和解码只能应用于有效负载和 CRC 校验和，而前导符和同步字仍然采用 NRZ。然而，前导符到 CRC 的码片率相同，且通过 BRVAL<6:0> 位 (BRSREG<6:0>) 定义 (码片率 = 比特率 NRZ = 2 x 曼彻斯特比特率)。

因此，曼彻斯特编码 / 解码对用户来说是透明的，用户仍可向 FIFO 提供 NRZ 数据或从 FIFO 检索 NRZ 数据。请参见图 3-30 中的曼彻斯特编码 / 解码位模式。

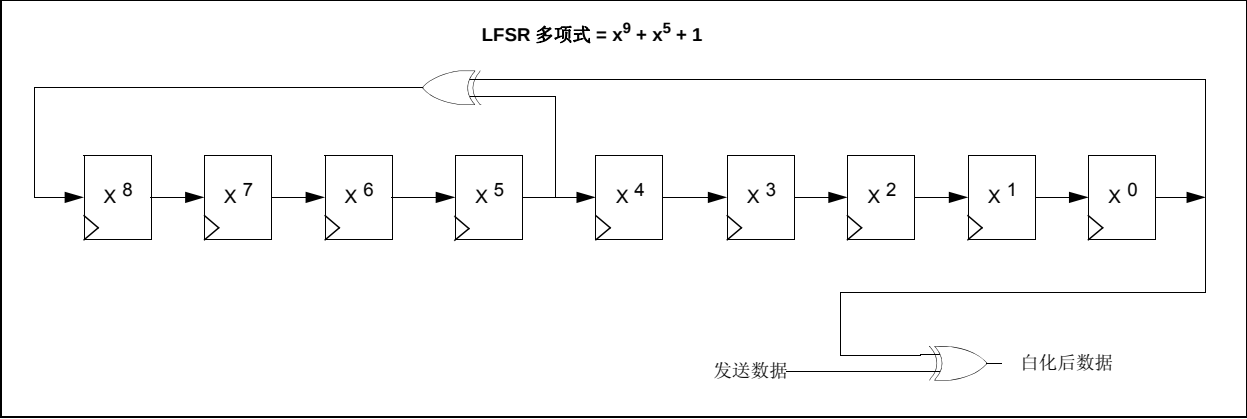
3.11.4.2 数据白化

另一种技术叫数据白化或加噪，广泛用于在无线发送前随机化用户数据。在发送端使用随机序列将数据白化，而在接收端使用相同的序列将数据去白化。与曼彻斯特技术相比，它的优点是保持 NRZ 数据速率 (即，实际比特率不折半)。

通过将 WHITEN1 位 (PKTCREG<4>) 置 1 来使能白化 / 去白化过程。使用一个 9 位的线性反馈移位寄存器 (Linear Feedback Shift Register, LFSR) 来生成随机序列。然后将有效负载和 2 字节 CRC 校验和与该随机序列作逻辑异或运算，如图 3-31 所示。通过在接收器端与相同的随机序列作逻辑异或运算对数据去白化。

因此，有效负载白化 / 去白化对用户来说是透明的，用户仍可向 FIFO 提供 NRZ 数据或从 FIFO 检索 NRZ 数据。

图 3-31: 数据白化



3.11.5 中断信号映射

表 3-11 和表 3-12 对数据包模式下的中断进行了说明。

表 3-11: 数据包模式下发送和待机时的中断映射

中断名称	中断	数据模式	中断类型	接收中断源	待机中断源
IRQ0RXS<1:0>					
00 (默认值)	IRQ0	数据包	输出	PLREADY	—
01	IRQ0	数据包	输出	WRITEBYTE	—
10	IRQ0	数据包	输出	FIFOEMPTY	FIFOEMPTY
11	IRQ0	数据包	输出	同步 / 地址匹配 (2)	—
IRQ1RXS<1:0>					
00 (默认值)	IRQ1	数据包	输出	CRCOK	—
01	IRQ1	数据包	输出	FIFOFULL	FIFOFULL
10	IRQ1	数据包	输出	RSSI	—
11	IRQ1	数据包	输出	FIFO_THRESHOLD	FIFO_THRESHOLD

- 注 1: 如果使能地址过滤, 那么仅地址匹配有效。
- 2: 另请参见 FTXRXIREG 和 FTPRIREG 寄存器中的 DMODE1 和 DMODE0 位获取详细信息。

表 3-12: 发送数据包模式下的中断映射

中断名称	中断	数据模式	中断类型	中断源
IRQ0TXST				
0 (默认值)	IRQ0	数据包	输出	FIFO_THRESHOLD
1	IRQ0	数据包	输出	FIFOEMPTY
IRQ1TX				
0 (默认值)	IRQ1	数据包	输出	FIFOFULL
1	IRQ1	数据包	输出	TXDONE

注: 另请参见 FTXRXIREG 和 FTPRIREG 寄存器中的 DMODE1 和 DMODE0 位获取详细信息。

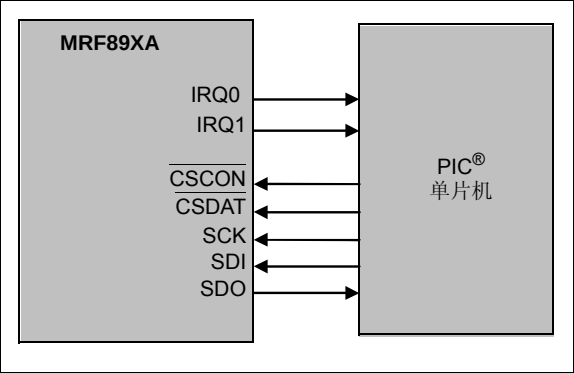
3.11.6 数据包模式下的主单片机接口连接

某些单片机连接可能不需要，具体取决于应用：

- **IRQ0:** 如果未使用任何相关 **IRQ** 源。在该情况下，保持该引脚悬空。
- **IRQ1:** 如果未使用任何相关 **IRQ** 源。在该情况下，保持该引脚悬空。
- **SDO:** 如果不需要任何读寄存器访问且器件只用于发送模式。在该情况下，通过一个 100 kΩ 电阻将其上拉至 **VDD**。

注： **DATA** 引脚（引脚 20）在数据包模式下未使用，应通过一个 100 kΩ 电阻上拉至 **VDD**。表 2-4 提供了有关 MRF89XA 引脚配置和芯片模式的详细信息。

图 3-32: 数据包模式下的主 MCU 连接



3.11.7 数据包模式示例

与数据处理相关的寄存器按表 3-13 所列示进行相应配置。在本示例中，我们假设使能 **CRC**，即自动清零开启。

表 3-13: 数据包模式下仅与数据处理相关的配置寄存器

寄存器名称	寄存器位	发送	接收	说明
DMODREG	DMODE0 和 DMODE1	X	X	定义数据工作模式（→ 数据包）
FIFOCREG	FSIZE<1:0>	X	X	定义 FIFO 大小
FIFOCREG	FTINT<5:0>	X	X	定义 FIFO 阈值
FTXRRIREG	IRQ0RXS<1:0>	—	X	定义接收和待机模式下的 IRQ0 源
FTXRRIREG	IRQ1RXS<1:0>	—	X	定义接收和待机模式下的 IRQ1 源
FTXRRIREG	IRQ1TX	X	—	定义发送模式下的 IRQ1 源
FTPRIREG	IRQ0TXST	X	—	定义发送模式下的 IRQ0 源
SYNCREG	SYNCREN	—	X	使能同步字识别
SYNCREG	SYNCWSZ<1:0>	—	X	定义同步字大小
SYNCREG	SYNCTEN<1:0>	—	X	定义同步字识别的错误容差
SYNCV31REG	SYNCV<31:24>	—	X	定义同步字值
SYNCV23REG	SYNCV<23:16>	—	X	定义同步字值
SYNCV15REG	SYNCV<15:8>	—	X	定义同步字值
SYNCV07REG	SYNCV<7:0>	—	X	定义同步字值
PLOADREG	MCHSTREN	X	X	使能曼彻斯特编码 / 解码
PLOADREG	PLDPLEN<6:0>	X ⁽¹⁾	X	固定格式的长度，可变格式的最大接收长度
NADDSREG	NLADDR<7:0>	—	X	定义接收地址过滤的节点地址
PKTCREG	PKTLENF	X	X	定义数据包格式（固定或可变长度）
PKTCREG	PRESIZE<1:0>	X	—	定义要发送的前导符大小
PKTCREG	WHITEON	X	X	使能白化 / 去白化过程
PKTCREG	CRCEN	X	X	使能 CRC 计算 / 检查
PKTCREG	ADDFIL<1:0>	—	X	使能和定义地址过滤
PKTCREG	CRCSTSEN	X	X	使能 CRC 状态检查
FCRCERG	ACFCRC	—	X	使能如果 CRC 失败 FIFO 自动清零
FCRCERG	FRWAXS	X	X	定义待机模式下的 FIFO 访问

注： 仅固定格式。

发送模式：

1. 设定发送启动条件和 **IRQ: FIFO** 不为空 (**IRQ0TXST = 1**) 且 **IRQ1** 映射到 **TXDONE** (**IRQ1TX = 1**) 时, 启动发送。
2. 将 **CMOD** 设置为待机模式, 使能在待机模式下访问 **FIFO**。
3. 将所有有效负载字节写入 **FIFO** (**FRWAXS = 0**, 如有需要可使用待机中断)。
4. 转至发送模式。发送就绪 (自动处理) 时, 开始发送 (**IRQ0TXST = 1**)。
5. 等待 **TXDONE** 中断 (+ 1 个位周期)。
6. 转至休眠模式。

接收模式：

1. 设定接收 / 待机中断: **IRQ0** 映射到 **FIFOEMPTY** (**IRQ0RXS = 10**) 且 **IRQ1** 映射到 **FIFO** 阈值 (**IRQ1RXS = 00**)。将 **FIFO** 阈值配置为适当的值 (例如, 如果已知其长度, 检测数据包结尾)。
2. 通过设置 **CMOD** 寄存器转至接收模式。当 **FIFO** 填满接收到的内容时, 产生 **FIFO** 阈值中断。因此, 必须使能 **IRQ1** 以产生 **CRCOK** 中断。
3. 等待 **CRCOK** 中断。
4. 转至待机模式。
5. 从 **FIFO** 读取有效负载, 直到 **FIFOEMPTY** 变为低电平。(**FRWAXS = 1**)。
6. 转至休眠模式。

3.11.8 用于处理数据包模式的其他信息

如果为发送填充的字节数大于要发送的数据包的长度且 **IRQ0TXST = 1**, **FIFO** 在数据包发送完后清零。因此, **FIFO** 中的额外字节将丢失。否则, 如果 **IRQ0TXST = 0**, 额外的字节将保留在 **FIFO** 中。这开辟了通过将多个数据包报文填充至 **FIFO** 来发送多个数据包的可能性。

不可能接收多个数据包。在已接收一个数据包并填充在 **FIFO** 后, 需要读取其所有内容 (即, **FIFO** 必须为空才能启动新的数据包接收)。

当最后一个有效负载字节传入 **FIFO** 后, **PLREADY** 中断位变为高电平, 并保持高电平直到读取其所有数据。类似行为也适用于 **ARDSMATCH** 和 **CRCOK** 中断。

触发了 **CRCOK** 和 **PLREADY** 中断后, 即可立即在 **STSCRCEN** 位中查看 **CRC** 结果。在接收模式下, 从 **FIFO** 读取完整有效负载后, **STSCRCEN** 位清零。如果在待机模式下读取有效负载, 在用户返回接收模式并检测到新的同步字时, **STSCRCEN** 位清零。

在数据包模式下, **FIFO** 和 **FIFO** 位无任何意义, 且只应设置为其默认值。

3.11.9 数据包模式寄存器

与数据包模式相关的寄存器如下：

- **GCONREG** (寄存器 2-1)
- **DMODREG** (寄存器 2-2)
- **FDEVREG** (寄存器 2-3)
- **BRSREG** (寄存器 2-4)
- **FLTHREG** (寄存器 2-5)
- **FIFOCREG** (寄存器 2-6)
- **FTXRXIREG** (寄存器 2-14)
- **FTPRIREG** (寄存器 2-15)
- **RSTHIREG** (寄存器 2-16)
- **FILCREG** (寄存器 2-17)
- **PFCREG** (寄存器 2-18)
- **SYNCREG** (寄存器 2-19)
- **RSTSREG** (寄存器 2-21)
- **OOKCREG** (寄存器 2-22)
- **SYNCV31REG** (寄存器 2-23)
- **SYNCV23REG** (寄存器 2-24)
- **SYNCV15REG** (寄存器 2-25)
- **SYNCV07REG** (寄存器 2-26)
- **PLOADREG** (寄存器 2-29)
- **NADDSREG** (寄存器 2-30)
- **PKTCREG** (寄存器 2-31)
- **FCRCREG** (寄存器 2-32)

3.12 初始化

必须初始化某些控制寄存器值以执行 MRF89XA 的基本操作。这些值不同于 POR 值，并提供改进后的工作参数。这些设置通常在复位后设置一次。初始化后，可基于应用配置 MRF89XA 器件的其他功能。访问寄存器意味着通过 SPI 端口对 MRF89XA 器件发出命令。

使用控制寄存器初始化 MRF89XA 的步骤如下：

1. 在 GCONREG 寄存器中：
 - a) 设置芯片模式 (CMOD<2:0>)、频段 (FBS<1:0>) 和 VCO 微调 (VCOT<1:0>) 位。
 - b) 设定频段。
 - c) 设置微调位以在 VCO 中进行适当调整。
2. 在 DMODREG 寄存器中：
 - a) 使用 MODSEL<1:0> 位选择调制类型。
 - b) 使用 DMODE0 和 DMODE1 位使能 DATA 发送模式。
 - c) 使用 IFGAIN<1:0> 位选择 IF 链的增益。
 - d) 在 FDEVREG 寄存器中，设定频率偏差位 (FDVAL<7:0>)。
3. 在 BRSREG 寄存器中，使用 BRVAL<6:0> 位设定比特率。
4. 在 FLTHREG 寄存器中，使用 FTOVAL<7:0> 位设置 OOK 的最低阈值。
5. 在 FIFOCREG 寄存器中，使用 FSIZE<1:0> 和 FTINT<5:0> 位配置 FIFO 大小和 FIFO 阈值。
6. 在 PACREG 寄存器中，使用 PARC<1:0> 位配置功率放大器斜坡控制。
7. 在 FTXRXIREG 寄存器中：
 - a) 使用 IRQ0RXS<1:0> 和 IRQ1RXS<1:0> 位配置 IRQ0 和 IRQ1 的接收中断。
 - b) 使用 IRQ1TX 位配置 IRQ1 的发送中断。
8. 在 FTPRIREG 寄存器中：
 - a) 使用 IRQ0TXST 位配置 IRQ0 的发送中断。
 - b) 使用 LENPLL 位使能 PLL 锁定以在 IRQ1 上产生中断。
9. 在 RSTHIREG 中，使用 RTIVAL<7:0> 位设定中断请求的 RSSI 阈值。
10. 在 FILCREG 寄存器中，使用 PASFILV<3:0> 位使能无源滤波器。
11. 配置接收参数：

- a) 使用步骤 11 中设置的值使能无源滤波器。
- b) 设置 f_c 和 f_o 。
- c) 使能同步并设置同步字、大小、长度和容差。
- d) 通过 OOKCREG 设置 OOK 阈值的配置字节
12. 在 SYNCREG 寄存器中，设置 SYNCWSZ<1:0> = 11 选择 32 位同步字。
13. 配置发送参数：
 - a) 更改或复位 f_c 。
 - b) 在 TXCONREG 寄存器中，使用 TXIPOLFV<3:0> 和 TXOPVAL<2:0> 位使能发送及其发送功率。
14. 在 CLKOUTREG 寄存器中，使用 CLKOCNTRL 和 CLKOFREQ<4:0> 位配置时钟设置。
15. 在 PLOADREG、NADDSREG、PKTCREG 和 FCRCREG 寄存器中配置数据包帧参数。
 - a) 使能曼彻斯特编码
 - b) 设置数据包格式和长度
 - c) 设置节点本地地址
 - d) 设定前导符变量
 - e) 配置 CRC 参数
 - f) 使能地址过滤
16. 在 FCRCREG 寄存器中，使用 FRWAXS 位使能 FIFO 写访问。

- 注**
- 1: 用适当的设置设定寄存器 0x00 - 0x1F。（通用配置参数、IRQ 参数和数据包参数）。
 - 2: 通过将 LSTSPLL 位 (FTPRIREG 0x0E<1>) 设置为 1 清零 PLL 锁定标志。
 - 3: 设定 CMOD 位 (GCONREG 0x00 <7:5>) 为 0b010 频率合成器模式。
 - 4: 通过 LSTSPLL 位 (FTPRIREG 0x0E<1>) 验证 PLL 锁定标志。如果 LSTSPLL = 1，表示 MRF89XA 已就绪，以 Ri/Pi/Si 寄存器设置所指示的频率运行。
 - 5: 设定 CMOD 位 (GCONREG 0x00 <7:5>) 为 0b001 待机模式。

3.13 电池功耗管理配置值

电池寿命在下列 MRF89XA 应用中可大大延长：从字段节点进行的发送不频繁或网络通信集中在周期性的时隙内。例如，许多无线报警系统的字段节点每天报告几次运行状态，因此可休眠直至发生报警情况。监视参数变化相对较慢的传感器网络，例如农业设置中的空气和土壤温度以及开关灯，只需要每小时发送几次更新。

在室温下，MRF89XA 在休眠模式最多消耗 1 μ A 电流，典型值为 100 nA。要实现最小休眠模式电流，CSCON 引脚（引脚 14）、SDI 引脚（引脚 17）和 SCK 引脚（引脚 18）必须保持逻辑低电平，而 CSDAT 引脚（引脚 15）和 SDO 引脚（引脚 16）必须保持逻辑高电平。

MRF89XA 可在不到 6 ms 的时间内从休眠模式通过待机模式和合成器模式进入发送（或接收）模式。有关配置和驱动不同器件工作模式，请参见表 2-3。数据速率为 33.33 kbps 时，一个具有 4 字节前导符和 4 字节启动模式的 32 字节数据包大约花费 10 ms 来发送。假设 MRF89XA 随后切换到接收模式一秒以侦听响应并返回休眠模式。根据每 6 个小时报告一次的情况，工作与休眠的占空比约为 1:21,259，从而在连续的发送接收，甚至是待机工作中大大延长了电池寿命。

周期性休眠应用中的单片机所需的时序精度取决于几个因素：

- 休眠字段节点报告的数据所需的“时间戳”精度。许多单片机中内置的 R-C 休眠模式定时器有 $\pm 20\%$ 或更多的容差。对于需要更高精度时间戳的应用，许多单片机可以在休眠模式期间依靠时钟晶振运行，并实现优于每 24 小时 1 秒的时间戳精度。
- 如果网络中存在基站和任何路由节点，那么它们也必须周期性休眠，而不仅是字段节点。通常需要时钟晶振控制来保持所有节点与有效时隙准确同步。
- 如果网络中的基站和任何路由节点可连续运行（交流电源和太阳能充电电池），一个宽松的时间戳精度即可，处在休眠字段节点中的单片机通常可依据内部低精度 R-C 定时器运行。

注： 如果已计划执行周期性休眠，很多主单片机无法依据 MRF89XA 缓冲时钟输出运行。在休眠模式下，禁止 MRF89XA 缓冲时钟输出，这将禁止单片机，除非在外部时钟丢失时，单片机能够自动切换为内部时钟源。

因此，如上文所述，休眠模式是最低功耗模式，器件的时钟和所有功能模块均禁止。一旦发生中断，器件唤醒，切换为工作模式，且在 IRQ 引脚上产生的中断信号会向主单片机报告器件的状态发生了变化。可通过读取器件的状态字确定中断源。

要降低电流消耗，MRF89XA 应置于低功耗休眠模式。在休眠模式下，12.8 MHz 的主振荡器关闭，禁止 RF 和基带电路。数据保留在控制和 FIFO 寄存器中，且可通过 SPI 端口访问收发器。如果任何中断保持有效状态，MRF89XA 将不会进入休眠模式，无论 CLKOCNTRL 位（CLKOUTREG<7>）的状态如何。该情况下，单片机始终有一个时钟信号用于处理中断。为了防止消耗高电流（导致较短的电池寿命），强烈建议在进入休眠模式前处理和清除中断。不需要的功能应关闭以避免意外中断。为了最大程度地降低电流消耗，MRF89XA 支持不同节能模式以及集成唤醒定时器。

从休眠模式切换到待机模式时，晶振保持工作的时间将低于 5 ms。从待机模式切换到合成器模式时，PLL 将在不到 0.5 ms 内锁定。可在 MRF89XA 的 PLOCK 引脚（引脚 23）上监视 PLL 锁定。然后该无线收发设备切换到发送或接收模式。当从任何其他模式切换回休眠模式时，器件将在不到 1 ms 内进入其休眠模式。

MRF89XA

要使 MRF89XA 器件进入休眠模式，必须初始化某些控制寄存器值。设定控制寄存器以进入休眠模式和唤醒模式的序列如下：

对于休眠模式：

1. 检查 IRQ 位状态
2. 处理中断
3. 配置 GCONREG 寄存器
4. 在 CLKOUTREG 寄存器中设置 / 复位 CLKOUT

例 3-1: 将 MRF89XA 置于休眠模式

设置 CMOD<2:0> (GCONREG<2:0>) = 0

MRF89XA 器件可通过任何中断活动唤醒。

对于唤醒模式，执行以下任一任务：

- 进入发送 / 接收模式
- 使能 CLKOUT
- 将 INT 引脚置 1

例 3-2: 将 MRF89XA 从休眠模式唤醒

设置 CMOD<2:0> (GCONREG<2:0>) = 1

3.13.1 节能模式寄存器

与节能模式相关的寄存器如下：

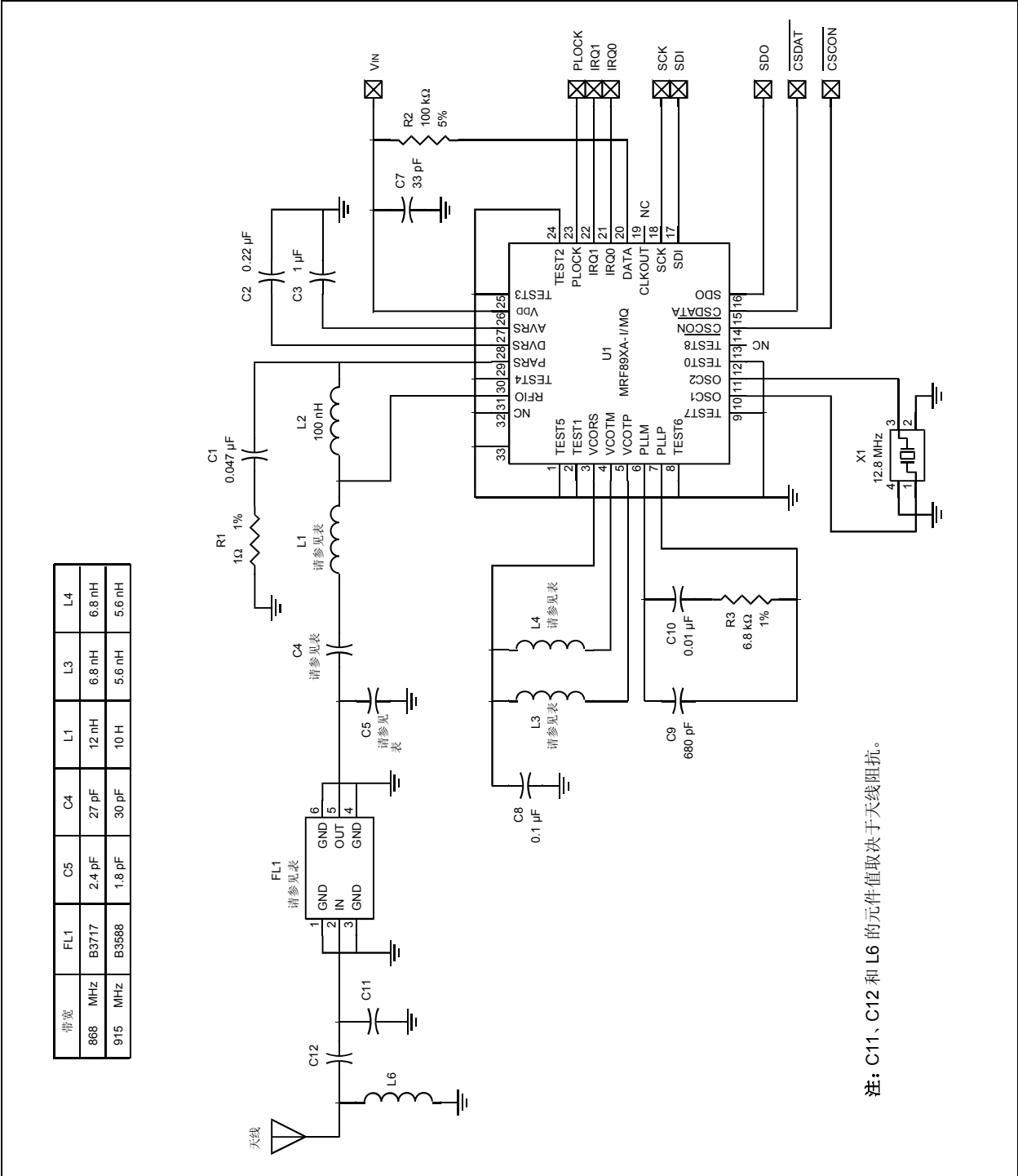
- GCONREG (寄存器 2-1)
- DMODREG (寄存器 2-2)
- FDEVREG (寄存器 2-3)
- BRSREG (寄存器 2-4)
- FTXRXIREG (寄存器 2-14)
- FTPRIREG (寄存器 2-15)
- CLKOUTREG (寄存器 2-28)

4.0 应用详细信息

4.1 应用原理图

图 4-1 给出了具有一个 SAW 滤波器和天线匹配电路的 MRF89XA 的应用电路原理图。可以在最终应用电路板上复制此应用设计（即原理图和 BOM），以实现最佳性能。

图 4-1: 应用电路原理图



4.1 RF 发送器匹配

表 4-1 列出了给定频段下 RF 端口的最佳负载。表中给出的这些负载值是实现最大功率传输时预计要在 RF 端口引脚施加的天线的负载值。对于所有天线应用，在发送时必须包含一个 RF 线圈电感（L2），因为 RF 输出为集电极开路型。

4.2 天线元件

MRF89XA 是单端器件，并且有一个接近 30-j25 的不平衡输入和输出阻抗。因此，它需要一个 SAW 滤波器和天线匹配电路。C11、C12 和 L6 属于匹配网络的一部分，用于天线电路。L1、C4 和 C5 经调整来为 RFIO 引脚提供阻抗（30+j25）。在此情形下，收发器能够将所有功率传输给天线。这个阻抗为最佳负载阻抗。L2 是 RF 线圈电感。L3 和 L4 是基本的 VCO 电感。图 4-1 给出了详细信息。

表 4-1: 868 MHz 和 915 MHz 频段下的
天线负载值

带宽	FL1	C5	C4	L1
868 MHz	TA0801A	1.8 pF	22 pF	8.2 nH
915 MHz	TA0281A	1.8 pF	30 pF	10 nH

注 1: 对于 868 MHz 和 915 MHz 频段，SAW 滤波器可以分别为 EPCOS（B3717 和 B3588）或者 Taisaw（TA0801A 和 TA0281A），但匹配元件仍保留和图 4-1 及表 4-1 相同。

4.3 SAW 滤波器

FL1 是一个 SAW 滤波器。在发送模式下，SAW 滤波器用来抑制谐波。在接收模式下，SAW 滤波器用来抑制成像频率和频带外干扰信号。

4.3.1 SAW 滤波器示波图

图 4-2 和图 4-3 列出了用于应用电路的 SAW 滤波器示波图。这些给出的示波图具有代表性。对于精确规格，请参见 SAW 滤波器制造商数据手册。

图 4-2: 868 MHz SAW 滤波器示波图

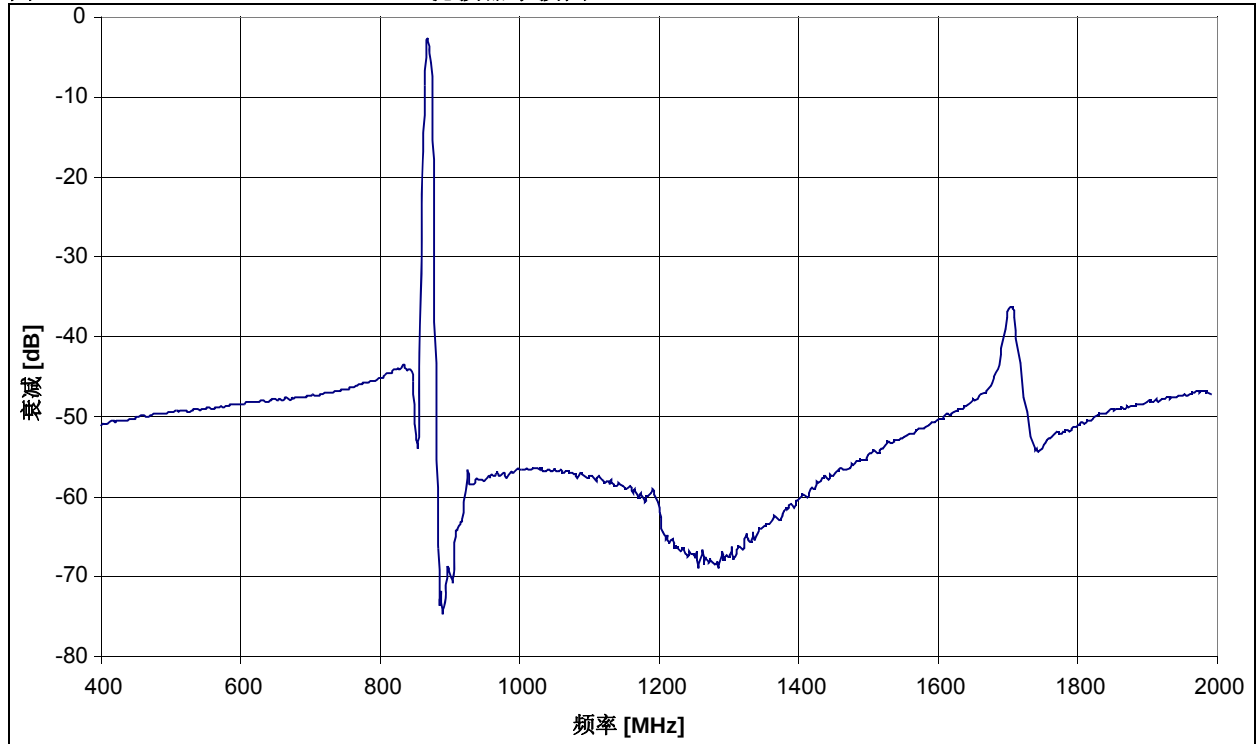
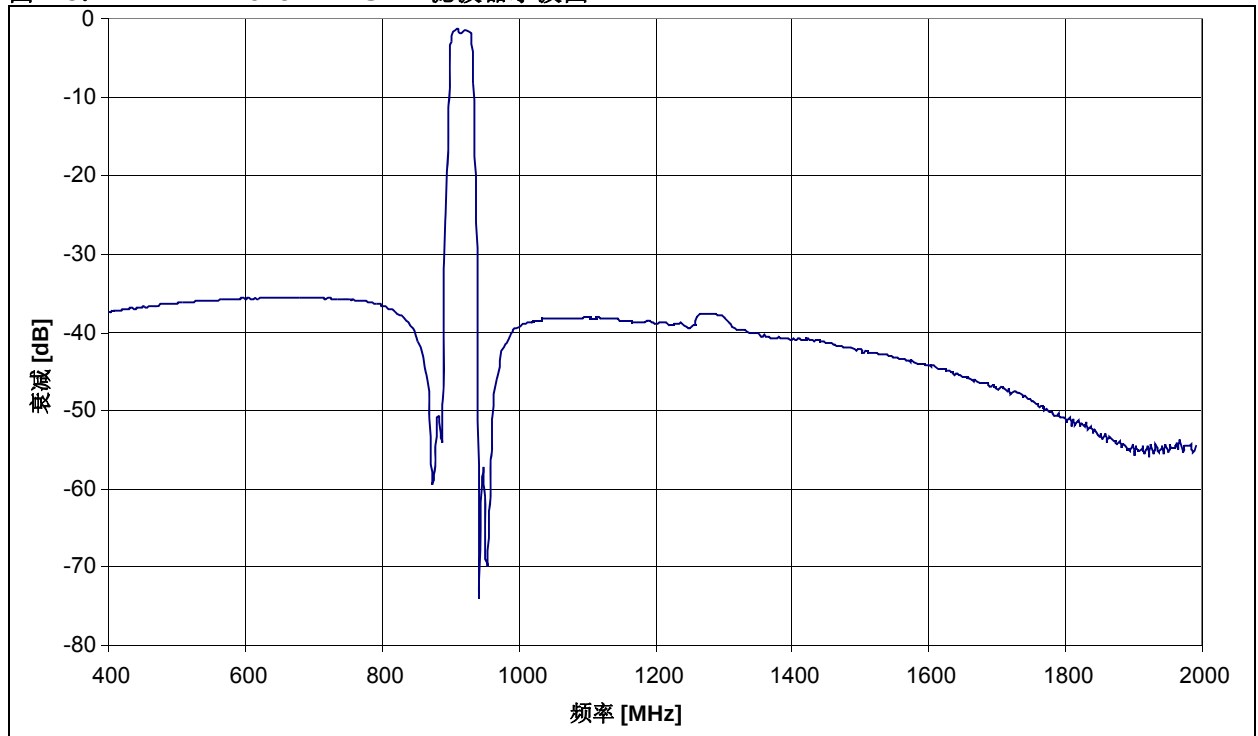


图 4-3: 915 MHz SAW 滤波器示波图



MRF89XA

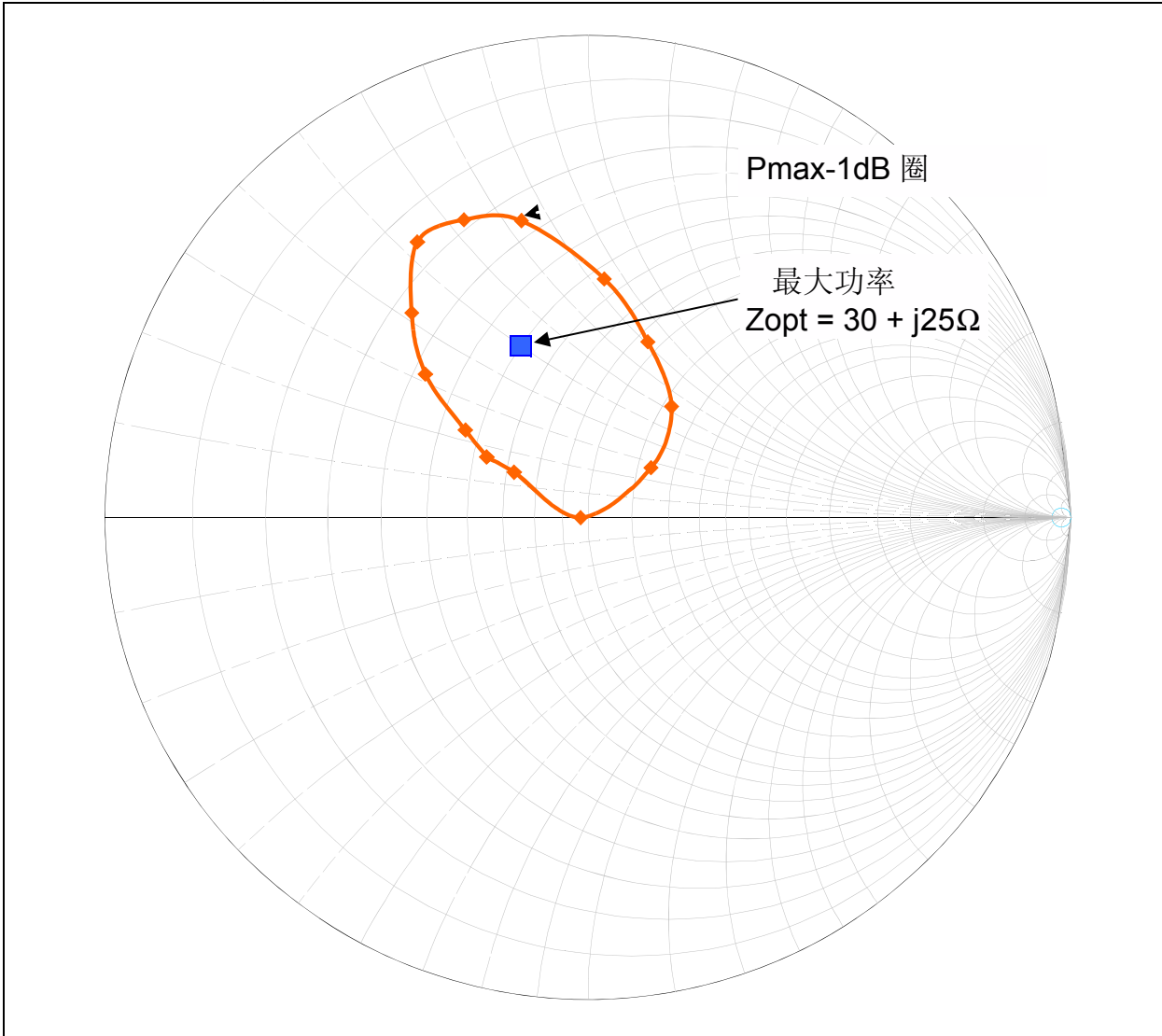
4.4 功率放大器

MRF89XA 中集成的功率放大器 (PA)，可以工作在 1.8V 稳压电压下。外部 RF 线圈电感通过 PARS 引脚 (引脚 29) 上的内部稳压器输出进行偏置。这些特性有助于 PA 输出功率在电源范围内保持一致。这对于那些支持可预测 RF 性能和电池寿命的应用来说，非常重要。

4.4.1 最佳负载阻抗

因为 MRF89XA 的 PA 和 LNA 前端共享同一个输入/输出引脚，因而它们的阻抗在内部匹配，约为 50Ω 。图 4-4 通过阻抗圆图列出了 RFIO 最佳负载阻抗。

图 4-4: 最佳负载阻抗圆图

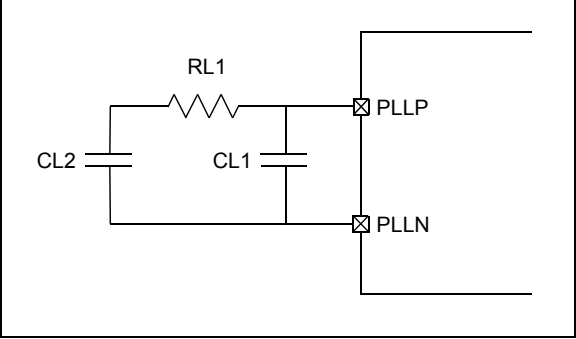


注：关于最佳 PA 负载设置，请参见第 4.7 节“物料清单”。

4.4.4 PLL 环路滤波器

为了充分抑制由比较频率 F_{COMP} 造成的杂散成分，将采用外部 2 阶环路滤波器。图 4-7 给出了环路滤波器电路。

图 4-7：环路滤波器



可以采用第 3.2.4.1 节“PLL 要求”给出的推荐值及第 4.7 节“物料清单”应用原理图 BOM 建议的环路滤波器。环路滤波器设置独立于频段，因此和 MRF89XA 的所有实现相关。

4.4.5 压控振荡器（VCO）

集成 VCO 只需要两个外部振荡电路电感。由于输入是不同的，故这两个电感应该拥有相同的标称值。这些元件的性能对于 PLL 的相位噪声和功耗来说，都很重要。

建议选择一对品质因数 Q 高的电感。这些电感应该相对于其他电感（尤其是 PA 线圈）正交放置，来减少 PA 和 VCO 之间的杂散耦合。这些措施能够减少辐射牵引效应和不希望发生的瞬态变化，从而降低频谱的占用率。确保 VCO 电感的对称布局将提高 PLL 的频谱纯度。

4.5 VDD 线路滤波

在复位事件（由上电、电源线路故障或者软件复位引起）期间，VDD 线路应该保持纯净。电源线上的噪声或者周期性干扰信号可能会阻止器件退出复位状态。为了防止发生这种情况，应该在电源线路上提供充足的滤波器，以此来保持干扰信号电平低于峰-峰值 100-150 mV（在 DC 到 50 kHz 之间保持 200 ms，从 VDD 缓慢上升开始）。有时使用稳压器或者开关电源，能在 VDD 线路上引入开关噪声，因此请按照电源制造商的建议，降低稳压器 IC 的纹波和 / 或转换开关频率。

4.6 晶振规格和选择指南

表 4-2 列出了有关 MRF89XA 晶振参考电路的晶体谐振器规格。这个规格涵盖了 MRF89XA 的全部工作范围，在应用原理图中被采用（关于更多信息，请参见第 4.7 节“物料清单”）。

表 4-2：晶体谐振器规格

名称	说明	最小值	典型值	最大值	单位
f_{xtal}	标称频率	9	12.800	15	MHz
CLOAD	f_{xtal} 的负载电容	10	15	16.5	pF
RM	谐振电阻	—	—	100	Ω
Co	分流电容	1	—	7	pF
Δf_{xtal}	25+/-3°C 下的校准容差	-15	—	+15	ppm
$\Delta f_{xtal}(\Delta T)$	整个温度范围 [-40°C 到 +85°C] 的稳定性	-20	—	+20	ppm
$\Delta f_{xtal}(\Delta t)$	老化（第一年）	5	—	5	ppm

注：应在符合选择的目标工作温度范围和接收器带宽的条件下选择初始频率容差、温度稳定性和老化性。

MRF89XA

4.7 物料清单

表 4-3: 868 MHz 下 MRF89XA 应用原理图的物料清单

标识符	值	说明	制造商
C1	0.047 μ F	陶瓷电容, 10V, +/-10%, X7R, SMT 0402	Murata Electronics 北美
C2	0.22 μ F	陶瓷电容, 16V, +/-10%, X7R, SMT 0402	Murata Electronics 北美
C3	1 μ F	陶瓷电容, 6.3V, +/-10%, X5R, SMT 0603	Murata Electronics 北美
C4	22 pF	陶瓷电容, 50V, +/-5%, UHI-Q NP0, SMT 0402	Johanson Technology
C5	1.8 pF	陶瓷电容, 50V, +/-0.1 pF, UHI-Q NP0, SMT 0402	Johanson Technology
C7	33 pF	陶瓷电容, 50V, +/-5%, C0G, SMT 0402	Murata Electronics 北美
C8	0.1 μ F	陶瓷电容, 16V, +/-10%, C0G, SMT 0402	Murata Electronics 北美
C9	680 pF	陶瓷电容, 50V, +/-5%, C0G, SMT 0402	Murata Electronics 北美
C10	0.01 μ F	陶瓷电容, 16V, +/-10%, X7R, SMT 0402	Murata Electronics 北美
C11	4.3 pF	陶瓷电容, 50V, +/-0.1 pF, UHI-Q NP0, SMT 0402	Johanson Technology
C12	1.5 pF	陶瓷电容, 50V, +/-0.1 pF, UHI-Q NP0, SMT 0402	Johanson Technology
FL1	TA0801A	SAW 滤波器	Taisaw
L1	8.2 nH	陶瓷电感, +/-5%, SMT 0402	Johanson Technology
L2	100 nH	陶瓷电感, +/-5%, SMT 0402	Johanson Technology
L3	6.8 nH	线绕电感, +/-5%, SMT 0402	Johanson Technology
L4	6.8 nH	线绕电感, +/-5%, SMT 0402	Johanson Technology
L6	10 nH	陶瓷电感, +/-5%, SMT 0402	Johanson Technology
R1	1 Ω	电阻, 1%, +/-100 ppm/C, SMT 0402	Vishay/Dale
R2	100 K Ω	电阻, 5%, +/-100 ppm/C, SMT 0402	Yageo
R3	6.8 K Ω	电阻, 1%, +/-100 ppm/C, SMT 0402	Yageo
R4	0 Ω	电阻, SMT 0402	Yageo
R5	—	没有安装	—
U1	MRF89XA	收发器	Microchip Technology Inc.
X1	12.800 MHz	晶振, +/-10 ppm, 15 pF, ESR 100 Ω , SMT 5x3.2mm	—

注: 对于电池供电的应用, 应对 C1 (通常为 10 μ F) 并联一个高容值电容, 以为启动序列提供一个低阻抗电压源。

MRF89XA

表 4-4: 915 MHz 下 MRF89XA 应用原理图的物料清单

标识符	值	说明	制造商
C1	0.047 μ F	陶瓷电容, 10V, +/-10%, X7R, SMT 0402	Murata Electronics 北美
C2	0.22 μ F	陶瓷电容, 16V, +/-10%, X7R, SMT 0402	Murata Electronics 北美
C3	1 μ F	陶瓷电容, 6.3V, +/-10%, X5R, SMT 0603	Murata Electronics 北美
C4	30 pF	陶瓷电容, 25V, +/-5%, UHI-Q NP0, SMT 0402	Johanson Technology
C5	1.8 pF	陶瓷电容, 50V, +/-0.1 pF, UHI-Q NP0, SMT 0402	Johanson Technology
C7	33 pF	陶瓷电容, 50V, +/-5%, C0G, SMT 0402	Murata Electronics 北美
C8	0.1 μ F	陶瓷电容, 16V, +/-10%, C0G, SMT 0402	Murata Electronics 北美
C9	680 pF	陶瓷电容, 50V, +/-5%, C0G, SMT 0402	Murata Electronics 北美
C10	0.01 μ F	陶瓷电容, 16V, +/-10%, X7R, SMT 0402	Murata Electronics 北美
C11	1.0 pF	陶瓷电容, 50V, +/-0.1 pF, UHI-Q NP0, SMT 0402	Johanson Technology
C12	0.9 pF	陶瓷电容, 50V, +/-0.1 pF, UHI-Q NP0, SMT 0402	Johanson Technology
FL1	TA0281A	SAW 滤波器	Taisaw
L1	10 nH	陶瓷电感, +/-5%, SMT 0402	Johanson Technology
L2	100 nH	陶瓷电感, +/-5%, SMT 0402	Johanson Technology
L3	5.6 nH	线绕电感, +/-5%, SMT 0402	Johanson Technology
L4	5.6 nH	线绕电感, +/-5%, SMT 0402	Johanson Technology
L6	10 nH	陶瓷电感, +/-5%, SMT 0402	Johanson Technology
R1	1 Ω	电阻, 1%, +/-100 ppm/C, SMT 0402	Vishay/Dale
R2	100 K Ω	电阻, 5%, +/-100 ppm/C, SMT 0402	Yageo
R3	6.8 K Ω	电阻, 1%, +/-100 ppm/C, SMT 0402	Yageo
R4	—	没有安装	—
R5	0 Ω	电阻, SMT 0402	Yageo
U1	MRF89XA	收发器	Microchip Technology Inc.
X1	12.800 MHz	晶振, +/-10 ppm, 15 pF, ESR 100 Ω , SMT 5x3.2mm	—

注: 对于电池供电的应用, 应对 C1 (通常为 10 μ F) 并联一个高容值电容, 以为启动序列提供一个低阻抗电压源。

4.8 通用 PCB 布线设计

以下指导原则可在进行高频PCB布线设计时提供帮助。
印刷电路板通常由两个或四个基本 FR4 层组成。

两层印刷电路板的两层上均包含混合信号 / 电源 /RF 和公共接地线（见图 4-8）。

四层印刷电路板（见图 4-9）由以下四层组成：

- 信号布线
- RF 地
- 电源线布线
- 公共地

以下指导原则对先前提到的层的要求进行了说明：

- 保持原始 PCB 厚度是非常重要的，因为任何变化都会影响天线的性能（见电解层的总厚度）或微带线特性阻抗。
- 为实现良好的发送与接收性能，RF 引脚的走线长度必须越短越好。使用小的表面贴装元件（采用 0402/0603 封装）会表现出良好的性能，并且保持 RF 电路较小。RF 连接应该短而直。
- 除天线布线外，还要避免尖锐转角，因为这样可能变成天线。采用圆弧转角将有助于消除将来可能发生的 EMI 问题。
- 当处理周期性波形和快速时钟 / 开关频率时，数字线路很容易引起噪声。要避免 RF 信号的布线靠近任何数字线路。
- IC 收发器下面的过孔一定要用地层覆盖。
- 必须采用星形拓扑给每个引脚分配电源，每个电源引脚必须连接低 ESR 电容以正确地对噪声进行去耦。

- 对每个电源引脚充分去耦非常有利于降低带内收发器噪声，尤其是当此噪声会降低性能时。通常，采用低容值电容（27-47 pF）和高容值电容（100 nF）将覆盖比较大的频谱。
- 采用的无源元件（电感）必须是高频类型的，其自谐振频率（Self-Resonant Frequency, SRF）应该至少高于工作频率两倍。。
- 额外的走线会产生寄生电容而增加整个晶振负载，故其长度会影响晶振。为了将影响降低到最小程度，应尽量靠近 RF 器件放置晶振。
- 采用短而直的走线连接电路板上的不同元件，能将“频率牵引”效应降至最低，这些效应也许是由杂散电容引起的。它甚至可以使芯片的内部负载电容在正确装入晶振电路时更加有效。
- 时钟信号的长距离走线会产生辐射并且造成干扰。这会降低接收器的性能并且为发送器增加谐波或不需要的调制信号。
- 保持时钟连接尽可能的短，并在时钟走线周围布置一个临近的接地覆铜层。覆铜可以帮助减少辐射或串扰（一般是由时钟信号的长距离走线造成的）。
- 应在芯片 VDD 及 RF 电路的偏置点上放置一个容值低 的去耦电容（通常为 0.01-0.1 μF）。
- 应在 PCB 电源施加点放置一个容值高的去耦电容（通常为 2.2-10 μF）。
- 有必要设置电源旁路。糟糕的旁路会造成传导干扰，这会导致将噪声和杂散信号耦合到 RF 部分，将显著降低性能。

图 4-8：两个基本覆铜 FR4 层

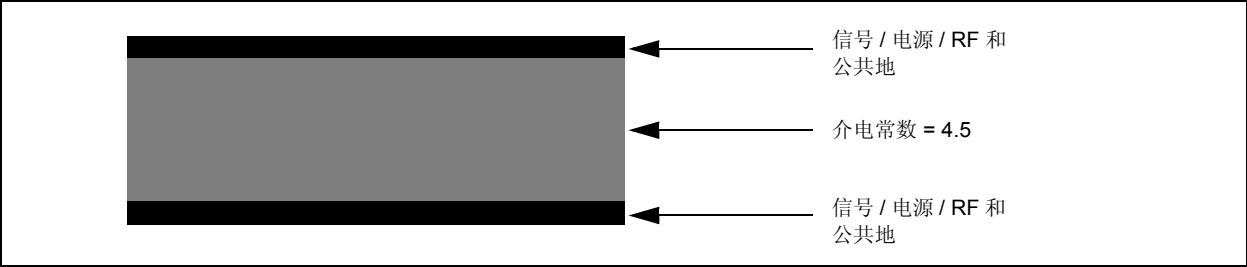
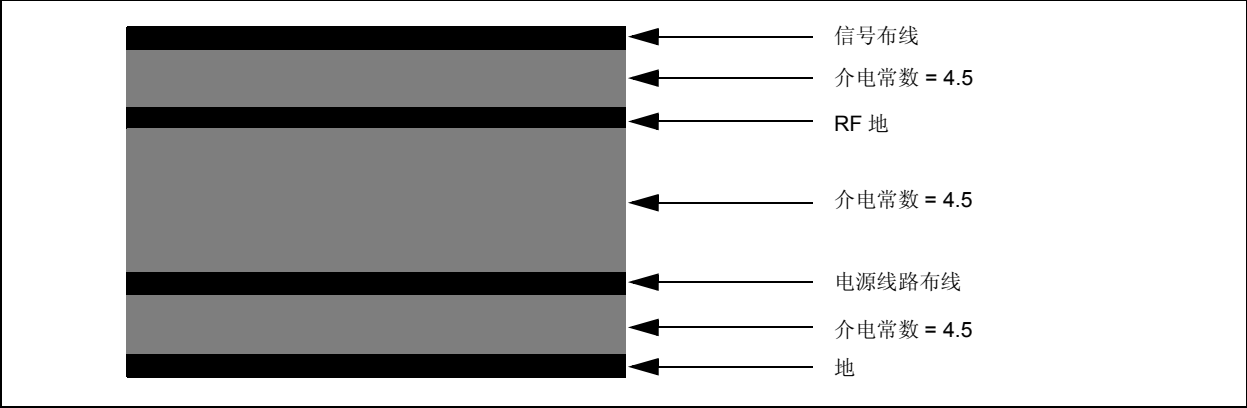


图 4-9: 四个基本覆铜 FR4 层



5.0 电气特性

绝对最大值 ^(†)

环境温度.....	-40°C 至 +85°C
储存温度.....	-55°C 至 +125°C
引脚温度（焊接，最长 10 秒）.....	+260°C
VDD 引脚相对于 VSS 的电压.....	-0.3V 至 6V
任一数模组合引脚相对于 VSS 的电压（RFIO 和 VDD 除外）.....	-0.3V 至（VDD + 0.3V）
集电极开路输出电压（RFIO） ⁽¹⁾	-0.3V 至 3.7V
引脚的输入电流（VDD 和 VSS 除外）.....	-25 mA 至 25 mA
人体模型的静电释放.....	1000V

注 1： RFIO 上的最大电压不能超过 6V。

注： 如果器件工作条件超过上述“绝对最大值”，可能会对器件造成永久性损坏。上述值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其稳定性会受到影响。

MRF89XA

5.1 ESD 声明

MRF49XA 是高性能射频器件，它满足：

- 2 KV 的 JEDEC 标准 JESD22-A114-B Class II（人体模型），所有 RF 引脚除外，它们符合 Class 1A。
- 所有引脚符合 JEDEC 标准 JESD22-C101C Class III（充电器件模型）。

因此，为了避免任何永久性的损坏，应该采取所有必要的 ESD 预防措施进行处理。

表 5-1: 推荐工作条件

参数	最小值	典型值	最大值	单位	条件
工作环境温度	-40	—	+85	°C	—
RF、模拟和数字电路的电源电压	2.1	—	3.6	V	—
数字 I/O 电源电压	2.1	—	3.6	V	—
输入高电压 (V_{IH})	$0.5 * V_{DD}$	—	$V_{DD} + 0.3$	V	—
输入低电压 (V_{IL})	-0.3V	—	$0.2 * V_{DD}$	V	—
集电极开路输出 (RFIO) 上的直流电压 ^(1,2)	$V_{DD} - 1.5$	—	$V_{DD} + 1.5$	V	—
集电极开路输出 (IO) 上的交流峰值电压 ⁽¹⁾	$V_{DD} - 1.5$	—	$V_{DD} + 1.5$	V	—

注 1: $V_{DD} - 1.5V$ 最小不应低于 1.8V。

2: $V_{DD} + 1.5V$ 最大不应高于 3.7V。

表 5-2: 电流消耗 ⁽³⁾

符号	芯片模式	最小值	典型值	最大值	单位	条件
IDD _{SL}	休眠	—	0.1	2	μA	禁止休眠闹钟，禁止所有模块
IDD _{ST}	空闲	—	65	80	μA	使能振荡器和基带 ⁽²⁾
IDD _{FS}	频率合成器	—	1.3	1.7	mA	频率合成器运行
IDD _{TX}	发送	—	25 16	30 21	mA mA	输出功耗 = +10 dBm 输出功耗 = +1 dBm ⁽¹⁾
IDD _{RX}	接收	—	3.0	3.5	mA	—

注 1: 由设计和特性保证。

2: 晶振 $C_{LOAD} = 10 \text{ pF}$, $C_0 = 2.5 \text{ pF}$, $R_M = 15\Omega$ 。

3: 除非另外声明，否则测量条件为：温度 = 25°C, $V_{DD} = 3.3V$, 晶振频率 = 12.8 MHz, 载波频率 = 868 或 915 MHz, 调制方式 FSK, 数据速率 = 25 kbps, $f_{dev} = 50 \text{ kHz}$, $f_c = 100 \text{ kHz}$ 。

表 5-3: 数字 I/O 引脚输入规范⁽¹⁾

符号	特性	最小值	典型值	最大值	单位	条件
V _{IL}	输入低电压	—	—	0.2 * V _{DD}	V	—
V _{IH}	输入高电压	0.8 * V _{DD}	—	—	V	—
I _{IL}	输入低泄漏电流 ⁽²⁾	-0.5	—	0.5	μA	V _{IL} = 0V
I _{IH}	输入高泄漏电流	-0.5	—	0.5	μA	V _{IH} = V _{DD} , V _{DD} = 3.7
V _{OL}	数字低输出电压	—	—	0.1 * V _{DD}	—	I _{OL} = 1 mA
V _{OH}	数字高输出电压	0.9 * V _{DD}	—	—	V	I _{OH} = -1 mA

注 1: 除非另外声明, 否则测量条件为: T_A = 25°C, V_{DD} = 3.3V, 晶振频率 = 12.8 MHz。

2: 负电流定义为引脚的拉电流。

3: 在引脚 10 (OSC1) 和 11 (OSC2), 可以施加最大 1.8V 的电压。

表 5-4: PLL 参数交流特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位	条件
FRO	频率范围	863	—	870	MHz	可编程但是需要特定的 BOM
		902	—	928	MHz	
		950	—	960	MHz	
BRFSK	比特率 (FSK)	1.56	—	200	kbps	NRZ
BROOK	比特率 (OOK)	1.56	—	32	kbps	NRZ
FDFSK	频率偏差 (FSK)	33	50	200	kHz	—
FXTAL	晶振频率	9	12.8	15	MHz	—
FSSTP	频率合成器步阶	—	2	—	kHz	各不相同, 取决于频率
TSOSC	振荡器唤醒时间	—	1.5	5	ms	从休眠模式 ⁽¹⁾
TSFS	频率合成器唤醒时间, 最多偏移目标 10 kHz	—	500	800	μs	从待机模式
TSHOP	频率合成器中继时间, 最多偏移目标 10 kHz	—	180	—	μs	步长为 200 kHz
		—	200	—	μs	步长为 1 MHz
		—	250	—	μs	步长为 5 MHz
		—	260	—	μs	步长为 7 MHz
		—	290	—	μs	步长为 12 MHz
		—	320	—	μs	步长为 20 MHz
		—	340	—	μs	步长为 27 MHz

注 1: 由设计和特性保证

MRF89XA

表 5-5: 接收器交流特性 ⁽¹⁾

符号	参数	最小值	典型值	最大值	单位	条件
RSF	灵敏度 (FSK)	—	-107	—	dBm	869 MHz, BR = 25 kbps, $f_{dev} = 50$ kHz, $f_c = 100$ kHz
		—	-103	—	dBm	869 MHz, BR = 66.7 kbps, $f_{dev} = 100$ kHz, $f_c = 200$ kHz
		—	-105	—	dBm	915 MHz, BR = 25 kbps, $f_{dev} = 50$ kHz, $f_c = 100$ kHz
		—	-101	—	dBm	915 MHz, BR = 66.7 kbps, $f_{dev} = 100$ kHz, $f_c = 200$ kHz
RSO	灵敏度 (OOK)	—	-113	—	dBm	869 MHz, 2kbps NRZ $f_c - f_o = 50$ kHz, $f_o = 50$ kHz
		—	-106	—	dBm	869 MHz, 16.7 kbps NRZ $f_c - f_o = 100$ kHz, $f_o = 100$ kHz
		—	-111	—	dBm	915 MHz, 2 kbps NRZ $f_c - f_o = 50$ kHz, $f_o = 50$ kHz
		—	-105	—	dBm	915 MHz, 16.7 kbps NRZ $f_c - f_o = 100$ kHz, $f_o = 100$ kHz
CCR	同信道抑制	—	-12	—	dBc	调制为所需信号
ACR	相邻信道抑制	—	27	—	dB	偏移量 = 300 kHz, 不对不期望的频率进行调制
		—	52	—	dB	偏移量 = 600 kHz, 不对不期望的频率进行调制
		—	57	—	dB	偏移量 = 1.2 MHz, 不对不期望的频率进行调制
BI	抗阻塞能力	—	-48	—	dBm	偏移量 = 1 MHz, 未调制
		—	-37	—	dBm	偏移量 = 2 MHz, 未调制, 无 SAW
		—	-33	—	dBm	偏移量 = 10 MHz 未调制, 无 SAW
RXBWF	FSK 模式下的接收器带宽 ⁽²⁾	50	—	250	kHz	单边带宽, 关闭多相
RXBWU	OOK 模式下的接收器带宽 ⁽²⁾	50	—	400	kHz	单边带宽, 开启多相
ITP3	输入三阶交调截取点	—	-28	—	dBm	在偏移量为 1 MHz 及 1.950 MHz 下进行截取
TSRWF	接收器唤醒时间	—	280	500	μs	从 FS 到接收就绪
TSRWS	接收器唤醒时间	—	600	900	μs	从待机到接收就绪
TSRHOP	接收器跳频时间 —— 接收器从接收就绪 (Rx Ready) 状态到跳转到某个频率后的接收就绪 (Rx Ready) 状态的时间	—	400	—	μs	步长为 200 kHz
		—	400	—	μs	步长为 1 MHz
		—	460	—	μs	步长为 5 MHz
		—	480	—	μs	步长为 7 MHz
		—	520	—	μs	步长为 12 MHz
		—	550	—	μs	步长为 20 MHz
		—	600	—	μs	步长为 27 MHz
RSSIST	RSSI 采样时间	—	—	$1/f_{dev}$	s	从接收就绪开始
RSSTD	RSSI 动态范围	—	70	—	dB	范围取决于灵敏度

注 1: 由设计和特性保证。

2: 这会影整个接收器带宽, 像有源和无源滤波器条件描述的那样。

表 5-6: 发送器交流特性⁽¹⁾

符号	说明	最小值	典型值	最大值	单位	条件
RFOP	RF 输出功率，可编程设置为 8 种（步长为 3 dB）	—	+12.5	—	dBm	最大功率设置。
		—	-8.5	—	dBm	最小功率设置。
PN	相位噪声	—	-112	—	dBc/Hz	在发送器输出以 600 kHz 偏移量测量。
TXSP	发送的杂散信号	—	—	-47	dBc	200 kHz 和 600 kHz 之间的任何偏移量，未调制的载波， $f_{dev} = 50$ kHz。
TX2	二次谐波	—	—	-40	dBm	没有调制，见注 2
TX3	三次谐波					
TX4	四次谐波					
TXn	TX4 以上的谐波					
FSKDEV	FSK 频率偏差	±33	±55	-200	kHz	可编程
TSTWF	发送器唤醒时间	—	120	500	μs	从 FS 到发送就绪。
TSTWS	发送器唤醒时间	—	600	900	μs	从待机到发送就绪。

注 1: 由设计和特性保证。

2: 具有 RFM 推荐的 SAW 滤波器和晶振的发送器在线性能。

5.2 时序规范和图

表 5-7: SPI 时序规范^(1,2,3)

参数	最小值	典型值	最大值	单位	条件
SPI 配置时钟频率	—	—	6	MHz	—
SPI 数据时钟频率	—	—	1	MHz	—
数据保持和建立时间	2	—	—	μs	—
针对 SPI 配置的 SDI 建立时间	250	—	—	ns	—
针对 SPI 数据的 SDI 建立时间	312	—	—	ns	—
CSCON 低电平到 SCK 上升沿时间； SCK 下降沿到 CSCON 高电平时间	500	—	—	ns	—
CSDAT 低电平到 SCK 上升沿时间； SCK 下降沿到 CSDAT 高电平时间	625	—	—	ns	—
CSCON 上升沿到下降沿时间	500	—	—	ns	—
CSDAT 上升沿到下降沿时间	625	—	—	ns	—

注 1: 除非另外声明，否则典型值为：Ta = 25°C，VDD = 3.3V，晶振频率 = 12.8 MHz。

2: 负电流定义为引脚的拉电流。

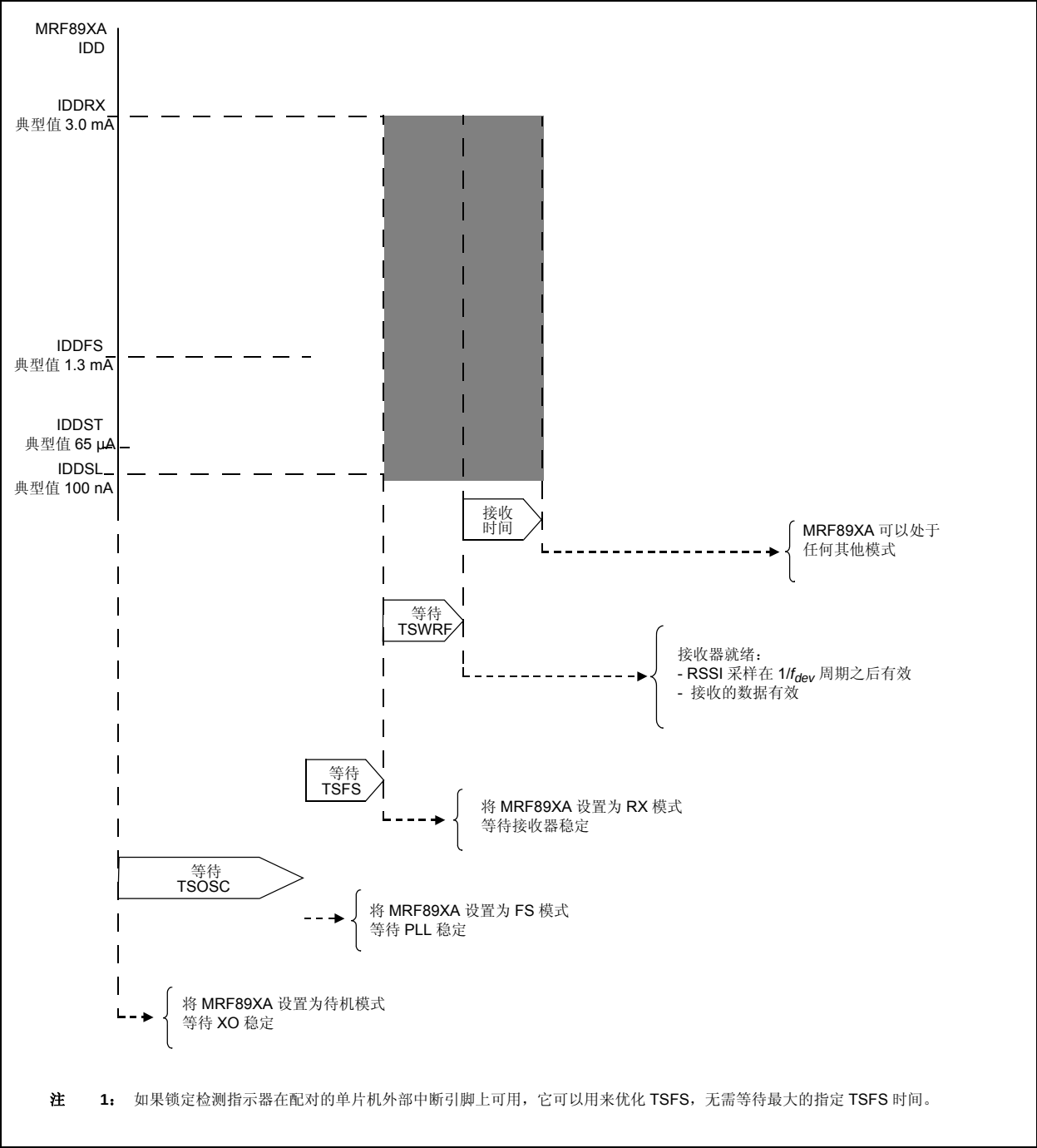
5.3 切换时序和过程

作为超低功耗器件，MRF89XA 可以配置为最低平均功耗很小。为了降低功耗，下面给出了各模式之间的最佳切换。

5.3.1 最佳接收周期

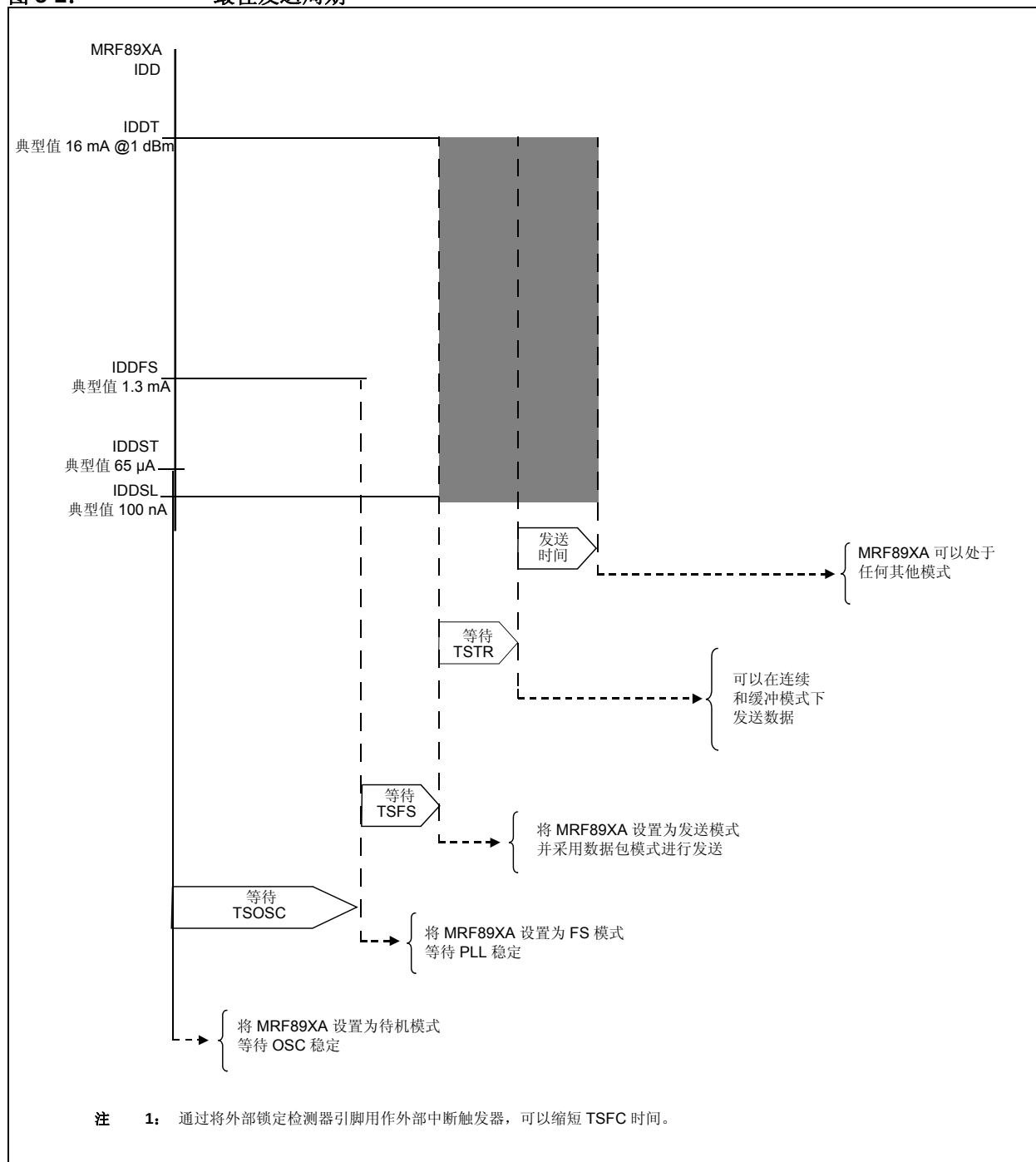
图 5-1 给出了最低功耗接收周期。

图 5-1: 最佳接收周期



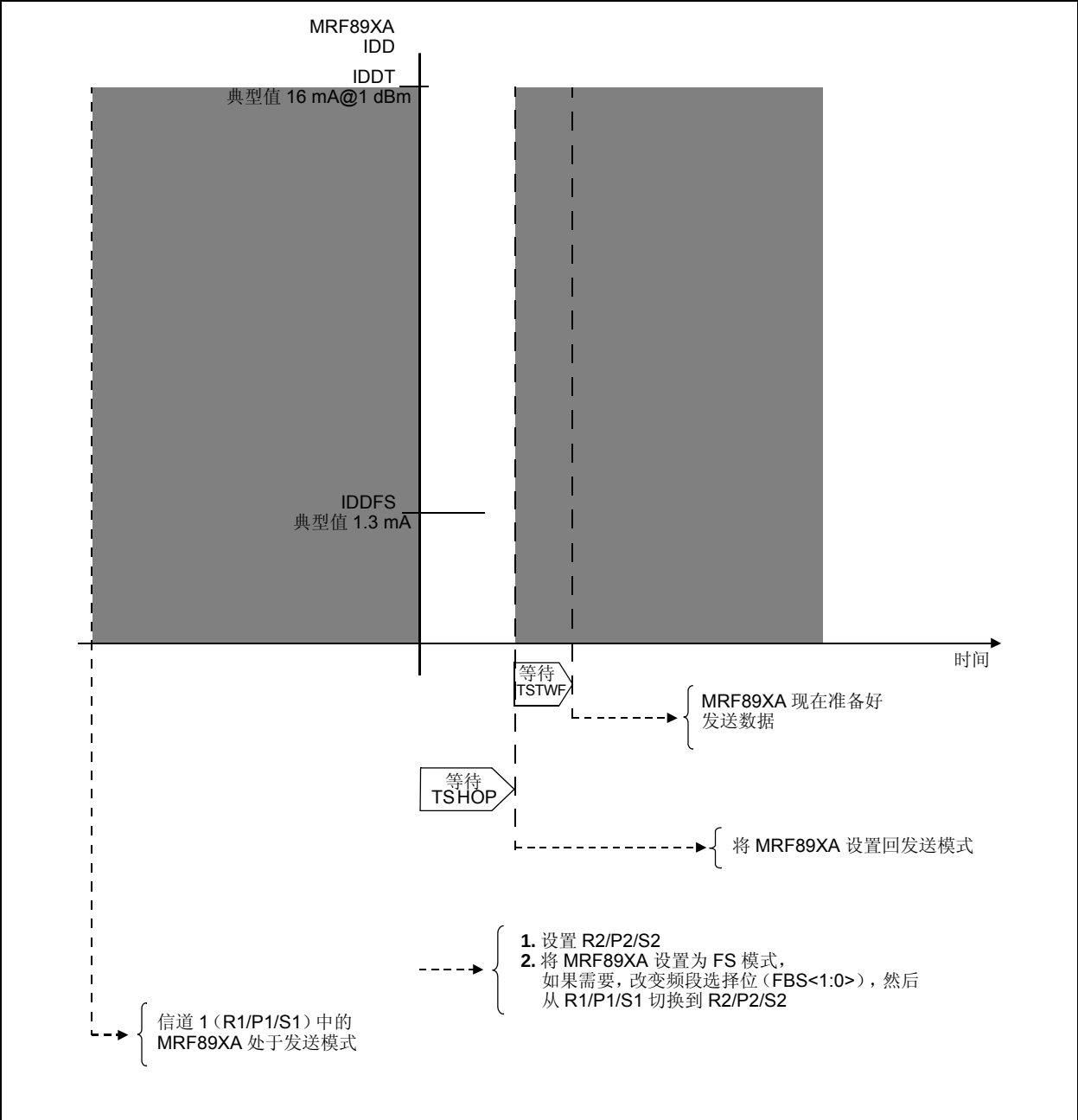
5.3.2 最佳发送周期

图 5-2: 最佳发送周期



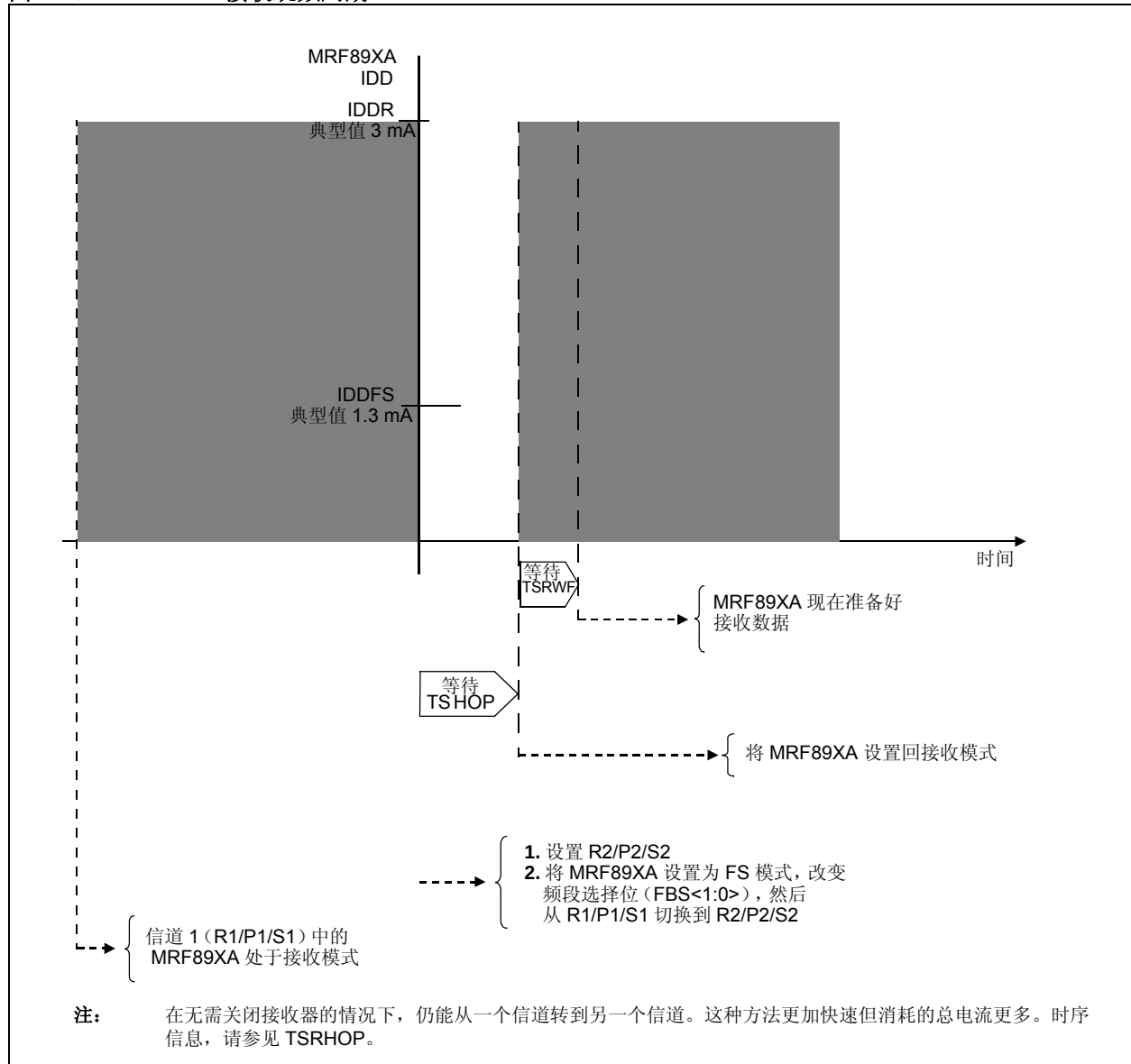
5.3.3 发送器跳频最优周期

图 5-3: 发送跳频周期



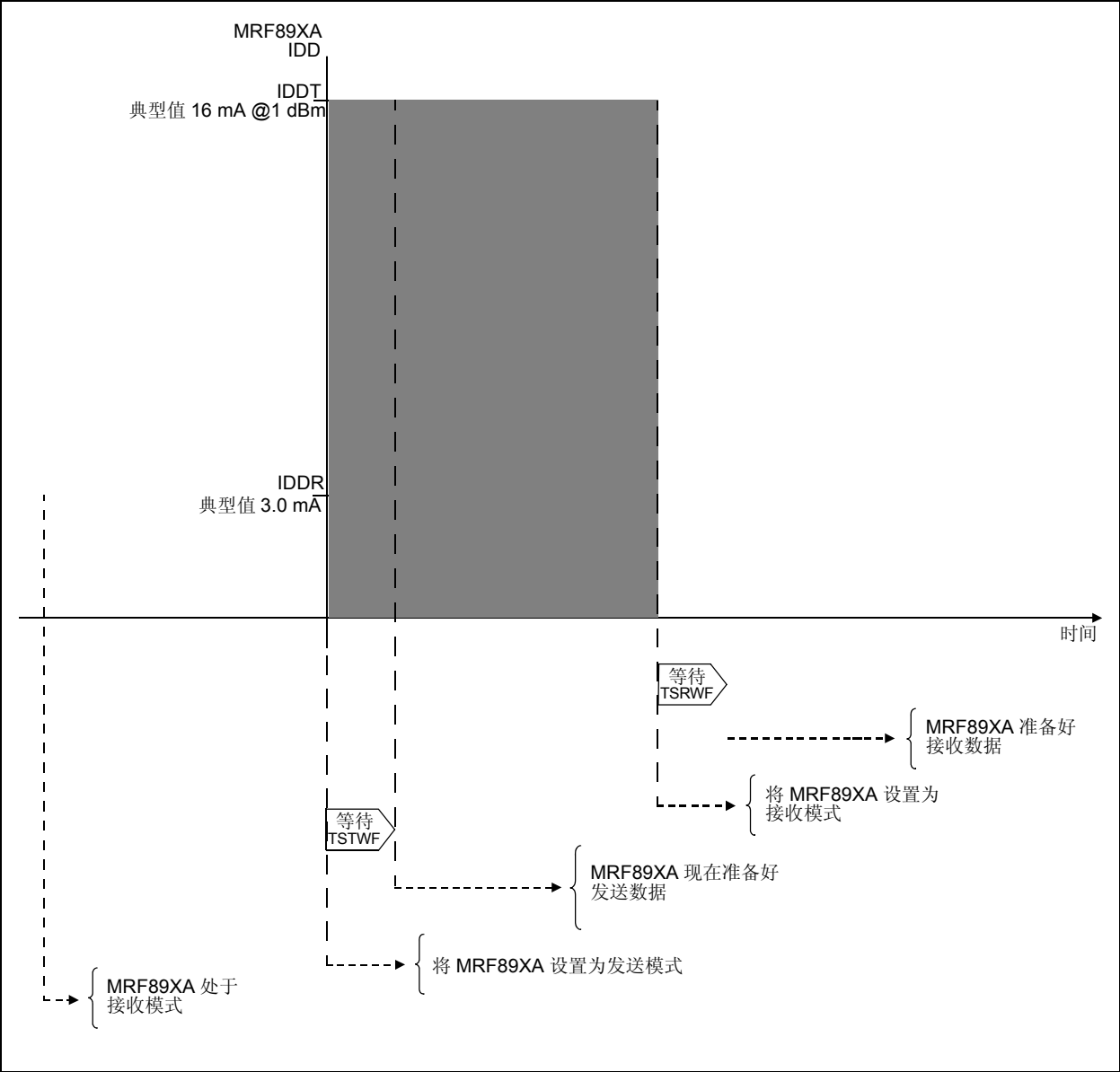
5.3.4 接收器跳频最优周期

图 5-4: 接收跳频周期



5.3.5 RX → TX 及 TX → RX 跳转周期

图 5-5: RX → TX → RX 周期



5.4 典型性能特性

5.4.1 灵敏度平直度

图 5-6: 869 MHz 波段下的灵敏度

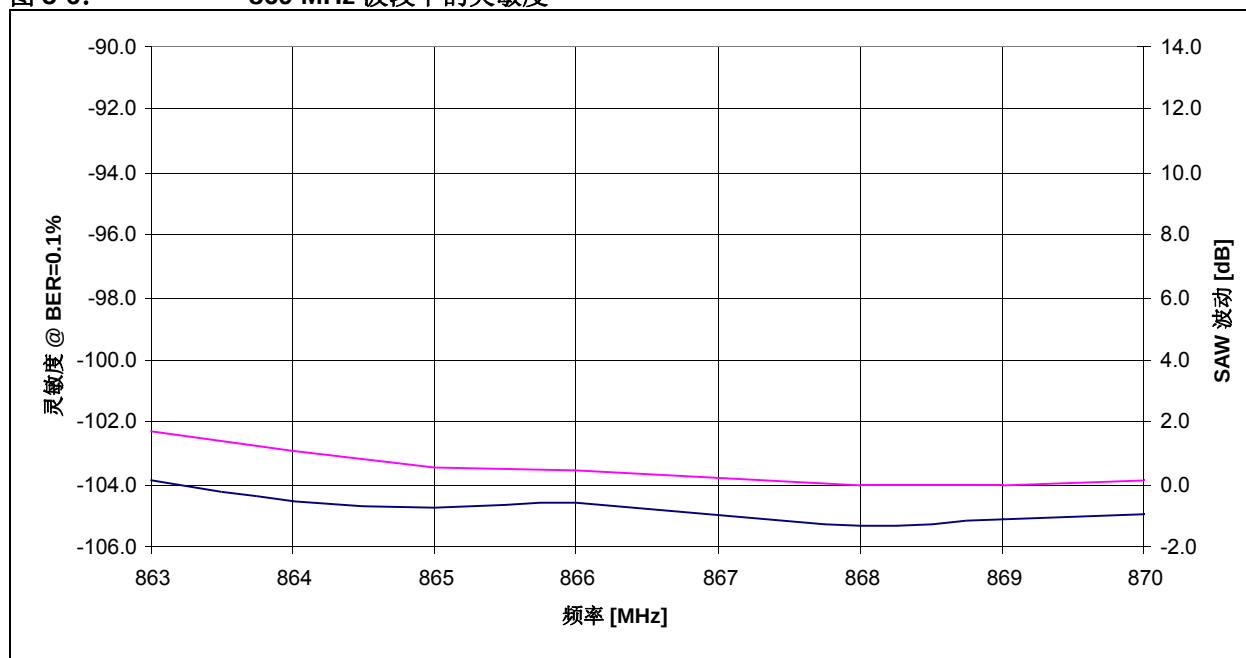
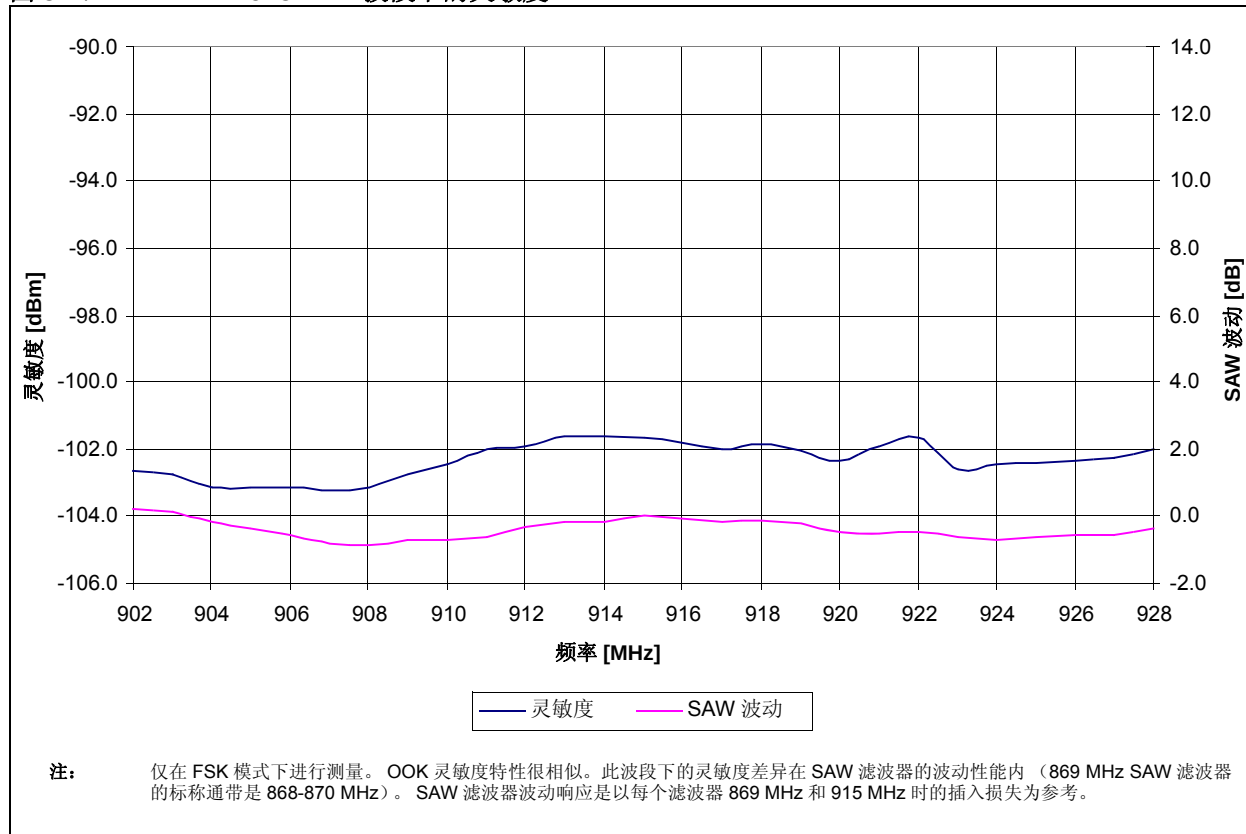


图 5-7: 915 MHz 波段下的灵敏度



5.4.2 灵敏度与 LO 漂移的关系

图 5-8: FSK 灵敏度损失与 LO 漂移的关系

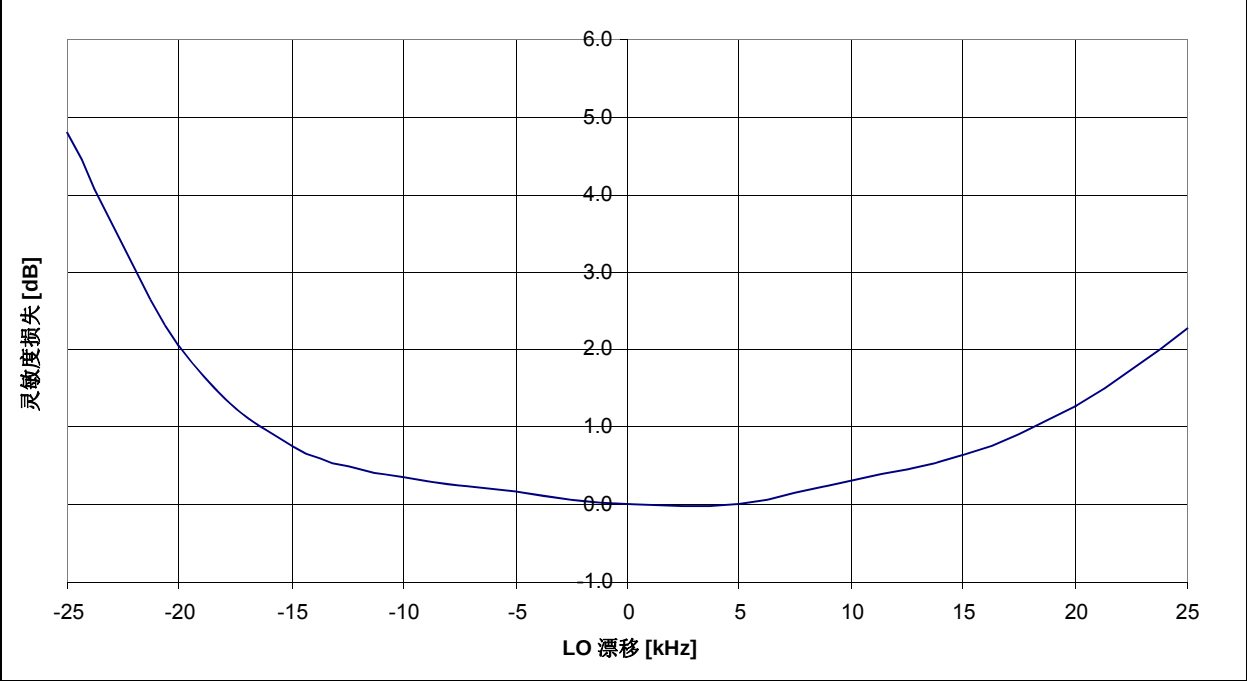
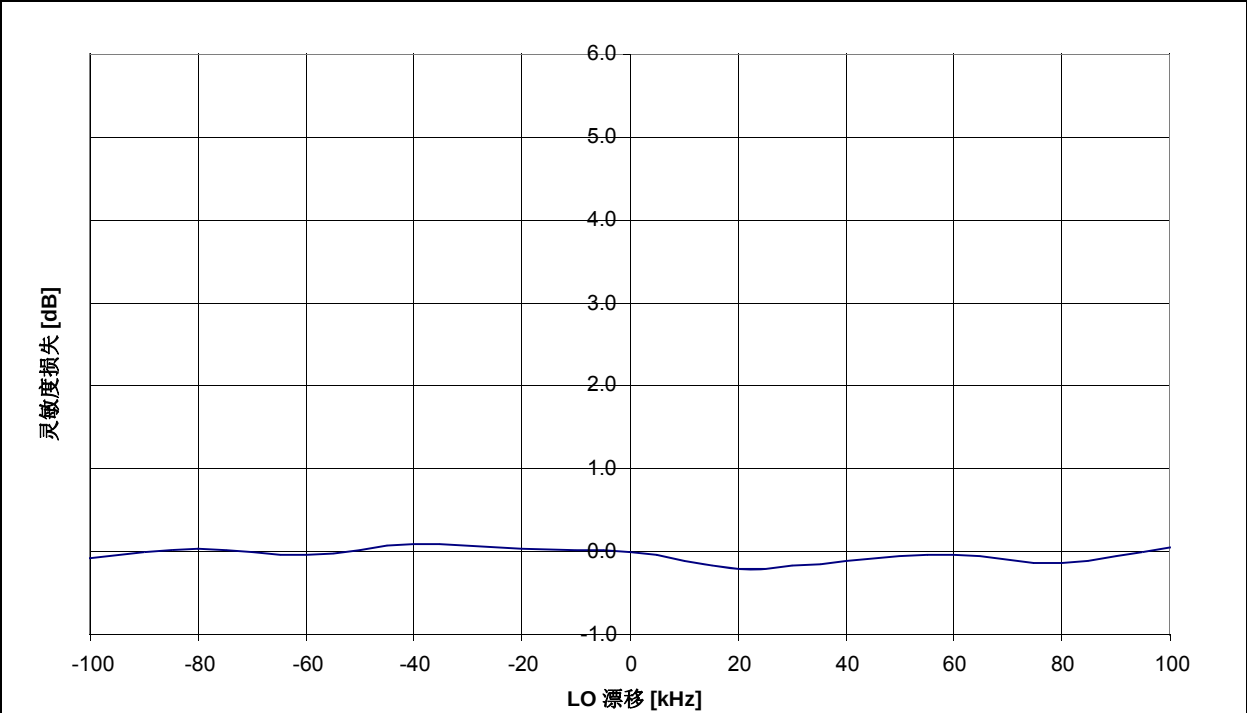


图 5-9: OOK 灵敏度损失与 LO 漂移的关系



注: 在 FSK 模式下, 保持默认滤波器设置 (A3 位于地址 0x16), 将导致 $f_c = 96 \text{ kHz}$ (典型值)。在 OOK 模式下, 在地址 0x16 设置 F3, 导致 $(f_c - f_o) = 95 \text{ kHz}$ (典型值)。但是这两种设置都需确保信道滤波器足够宽, 从而表现解调器响应而非滤波器响应的特性。

5.4.3 灵敏度与接收带宽的关系

图 5-10: FSK 灵敏度与接收带宽的关系

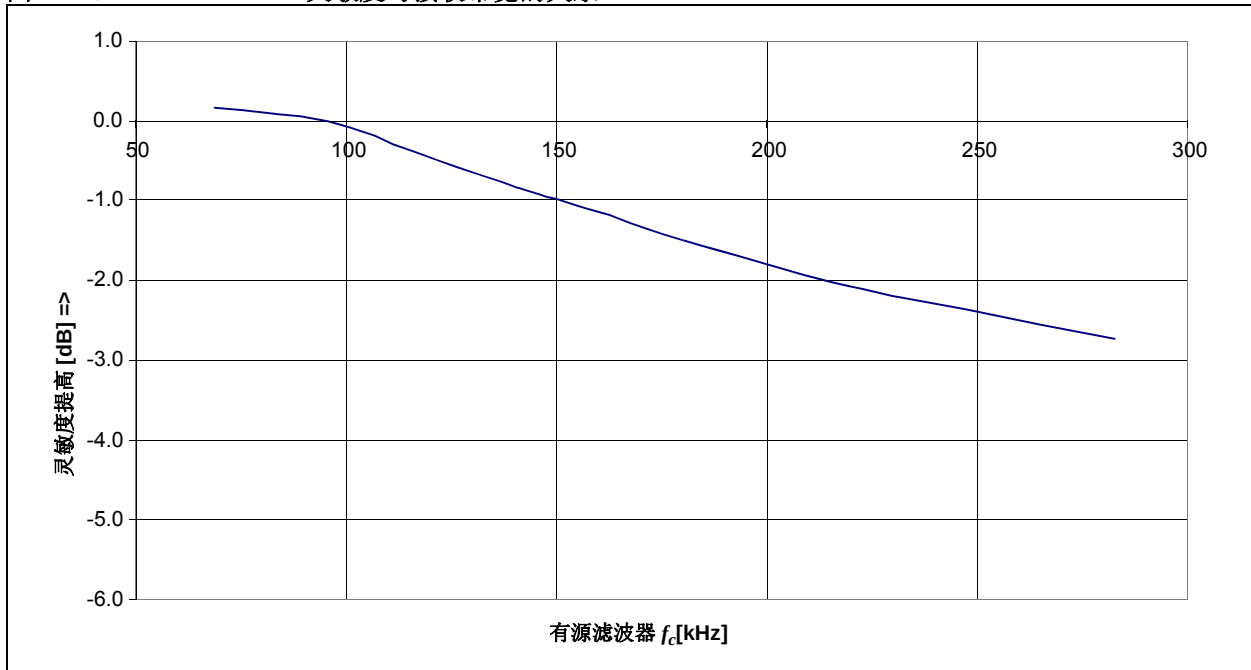
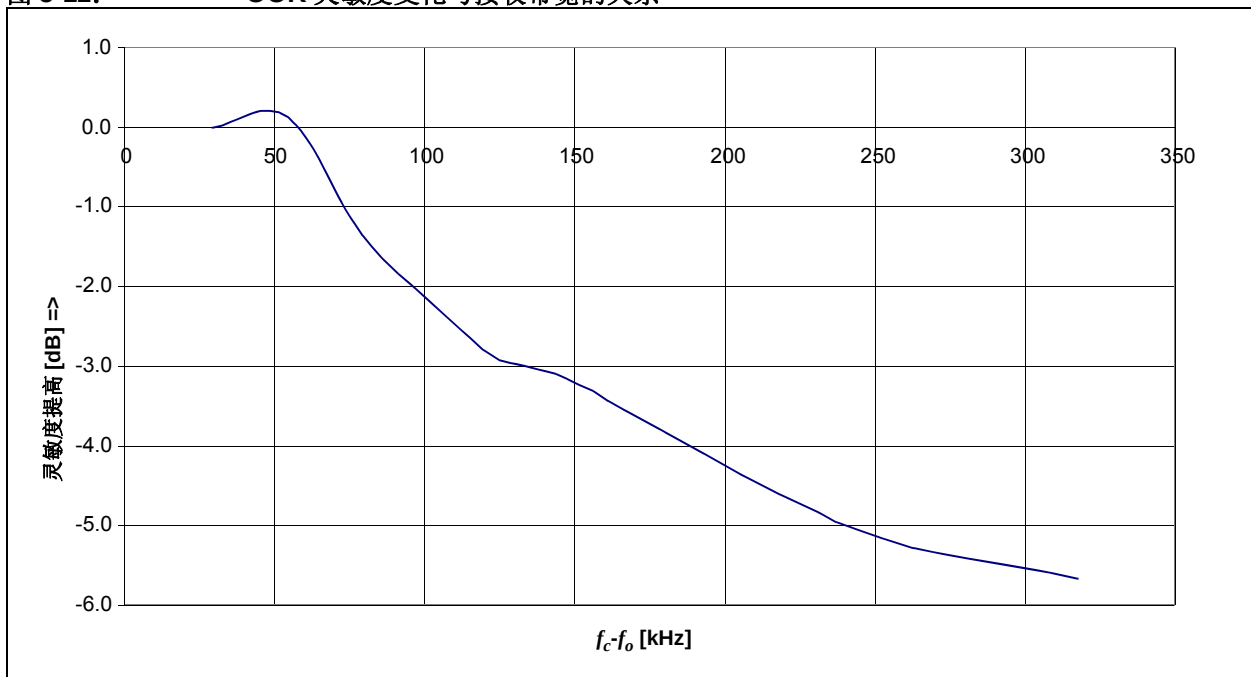
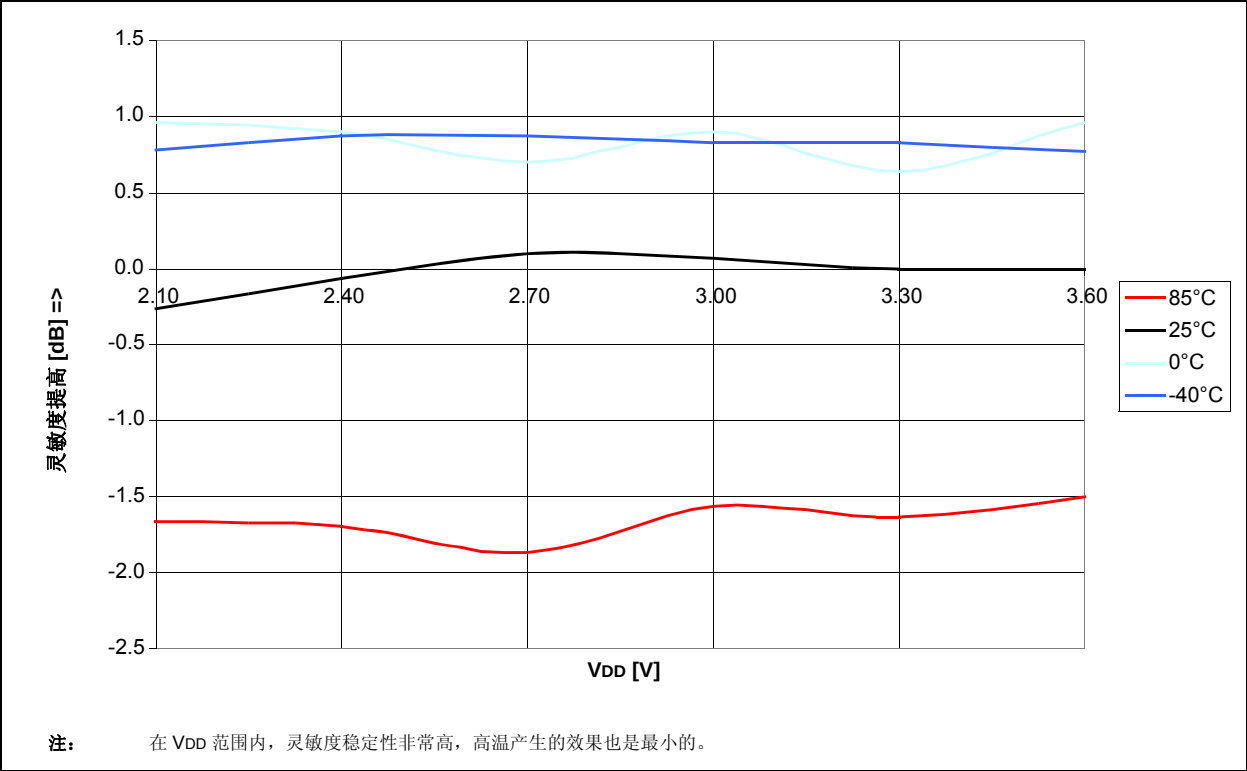


图 5-11: OOK 灵敏度变化与接收带宽的关系



5.4.4 温度和电压范围内的灵敏度稳定性

图 5-12: 灵敏度稳定性



5.4.5 灵敏度与比特率的关系

图 5-13: FSK 灵敏度与比特率的关系

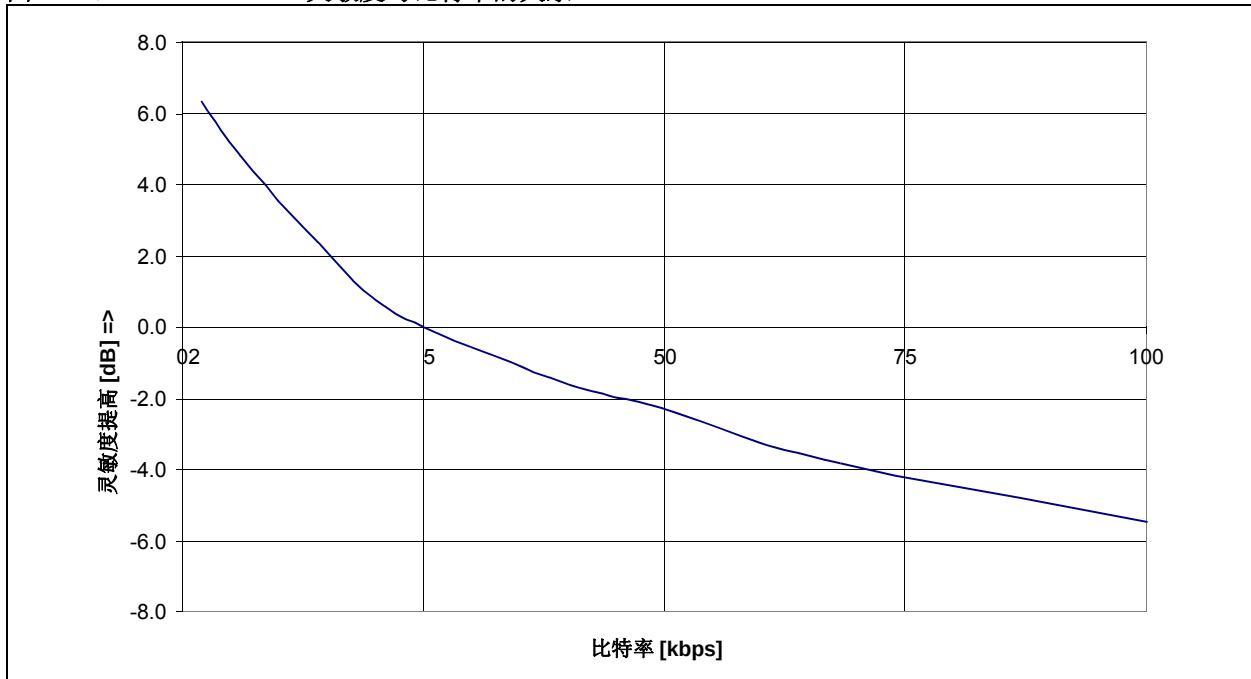
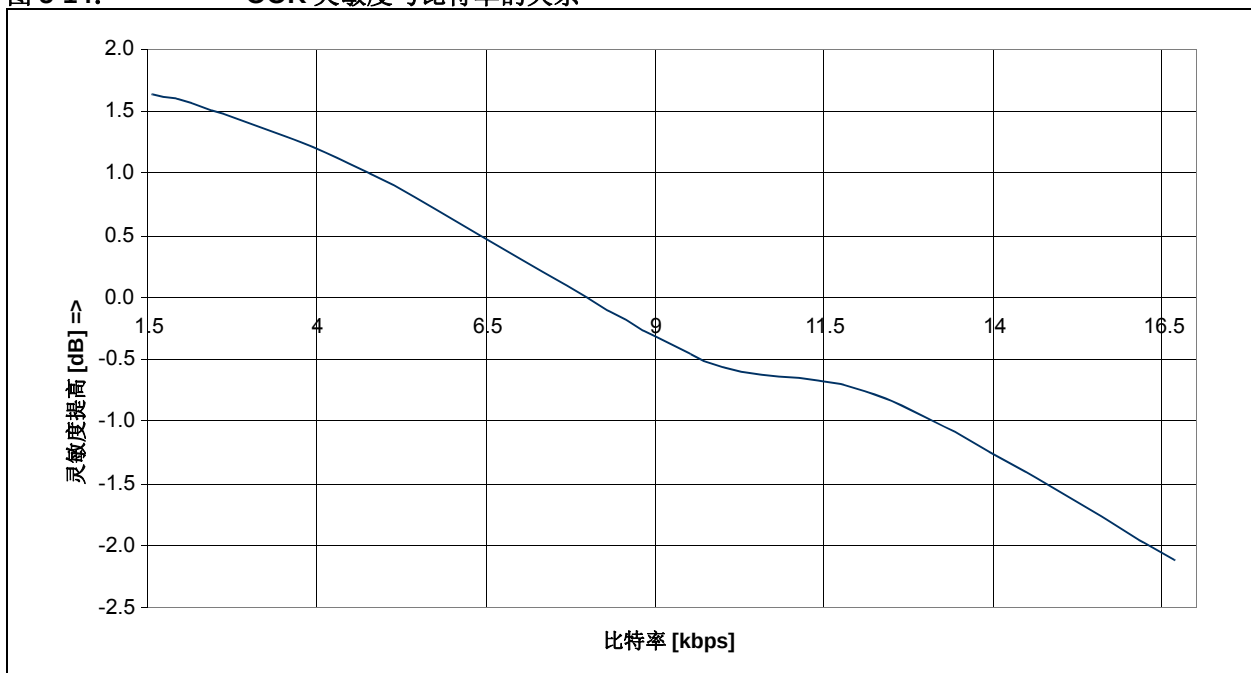


图 5-14: OOK 灵敏度与比特率的关系



5.4.6 相邻信道抑制

图 5-15: FSK 模式下的 ACR

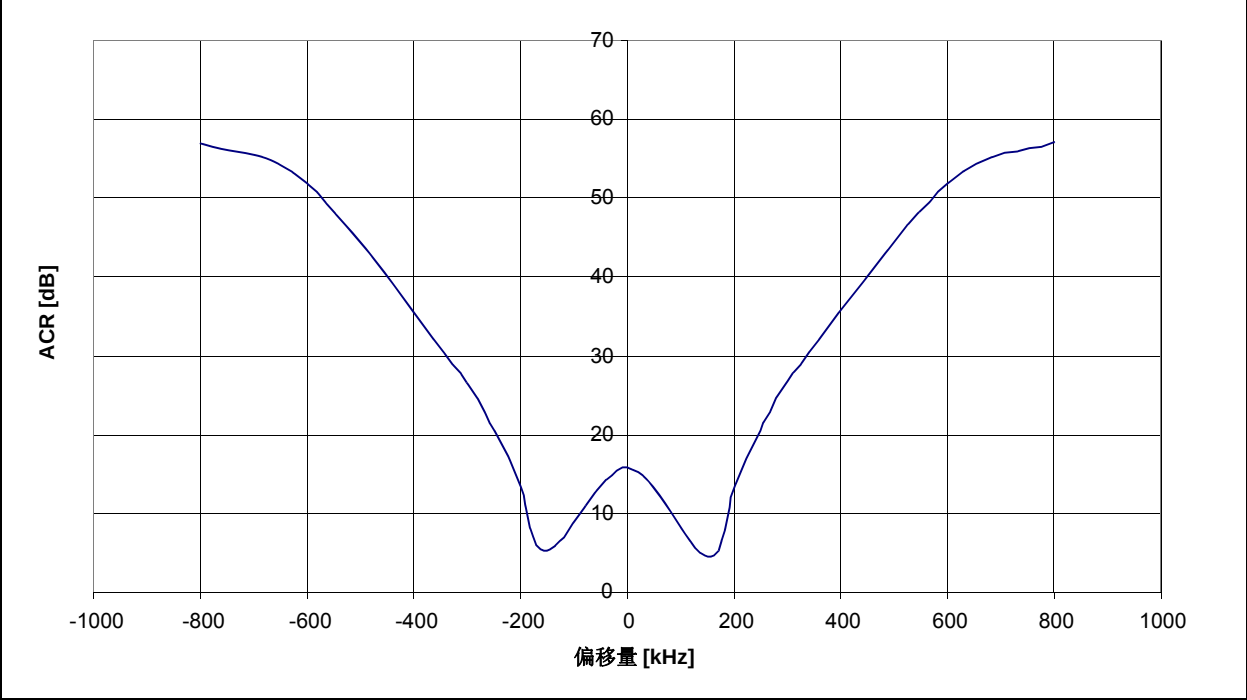
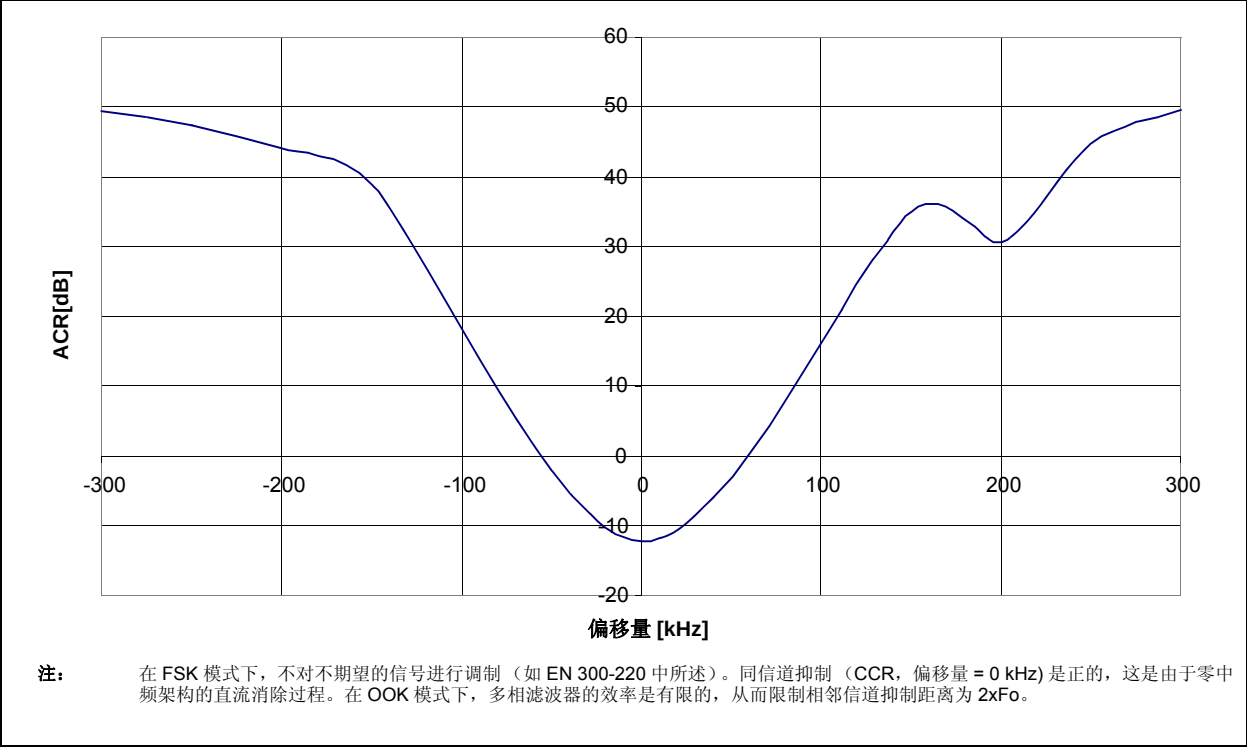


图 5-16: OOK 模式下的 ACR



5.4.7 输出功率平直度

图 5-17: 针对 869 MHz 波段操作的 POUT

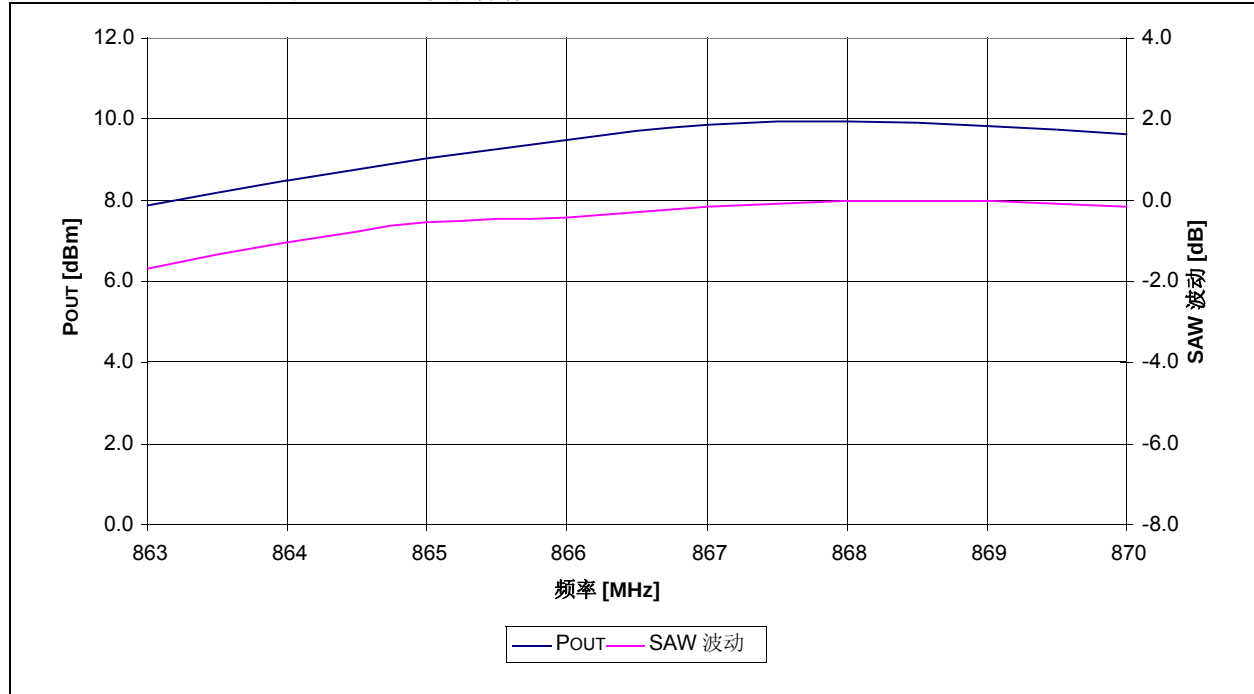
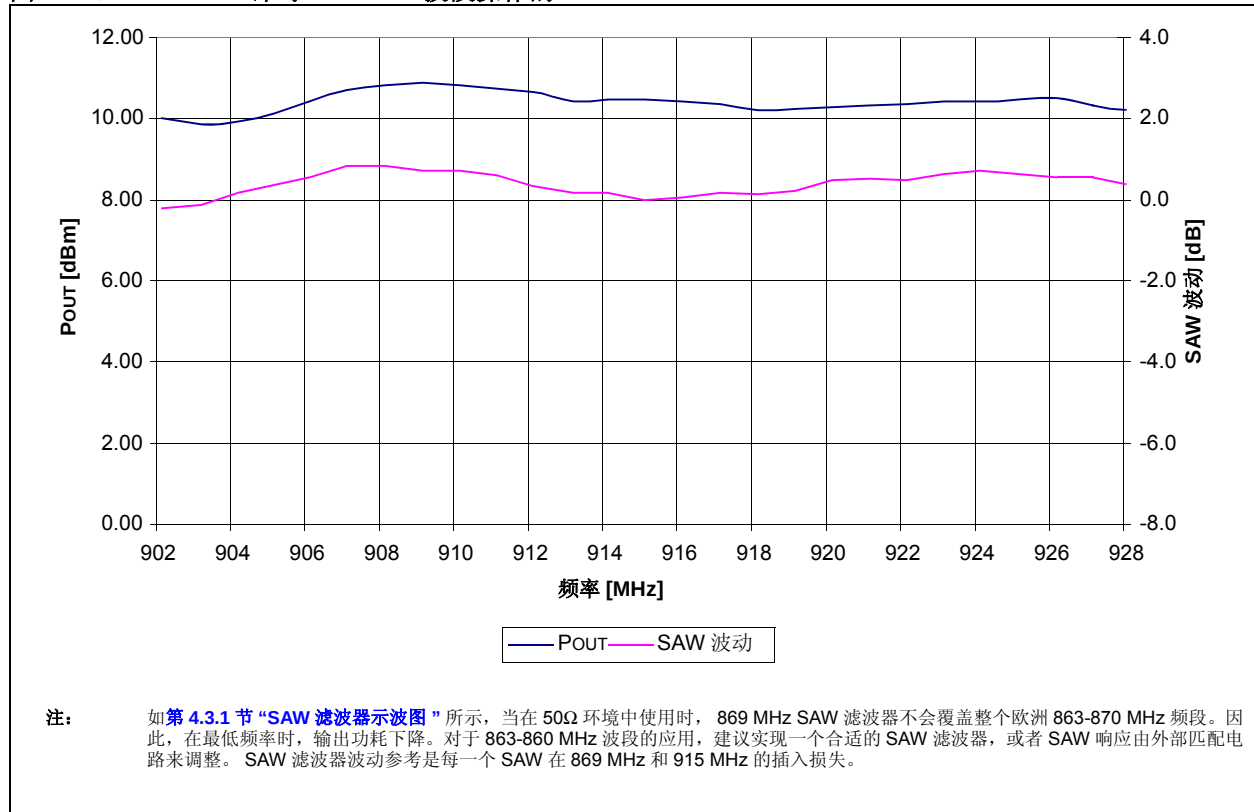


图 5-18: 针对 915 MHz 波段操作的 POUT



5.4.8 POUT 和 IDD 与 PA 设置的关系

图 5-19: 所有 PA 设置下的 POUT 和 IDD– 869 MHz

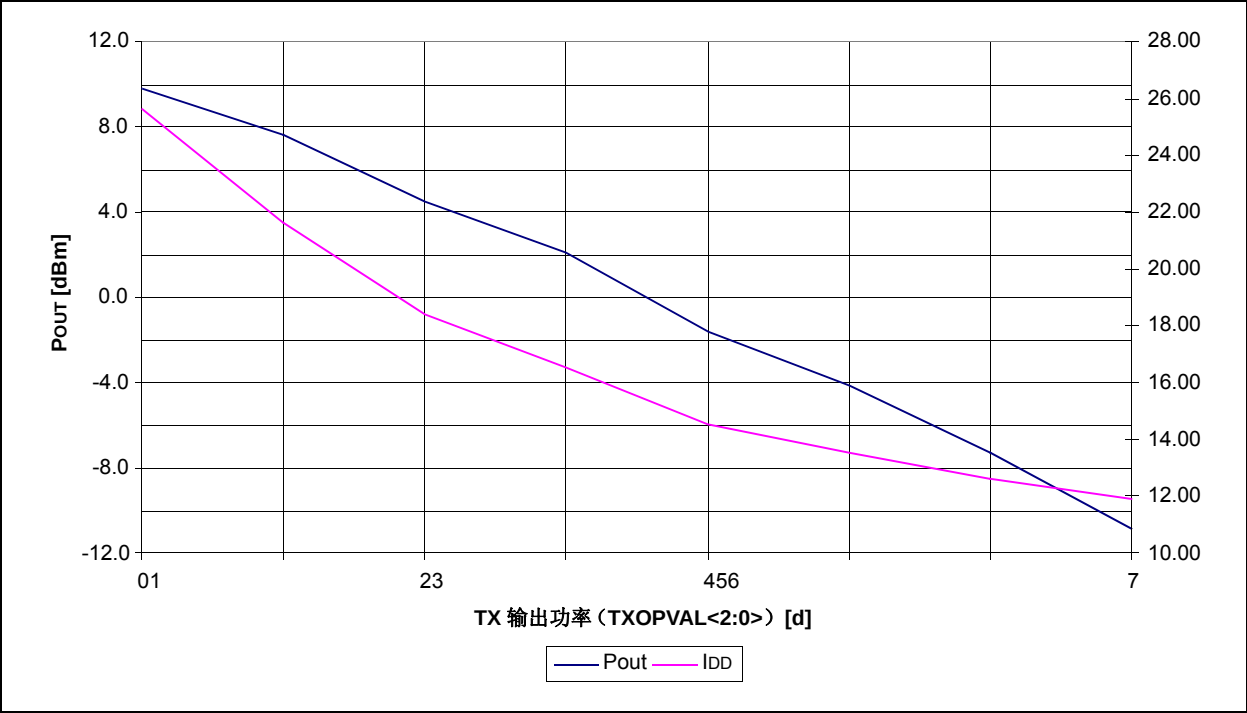
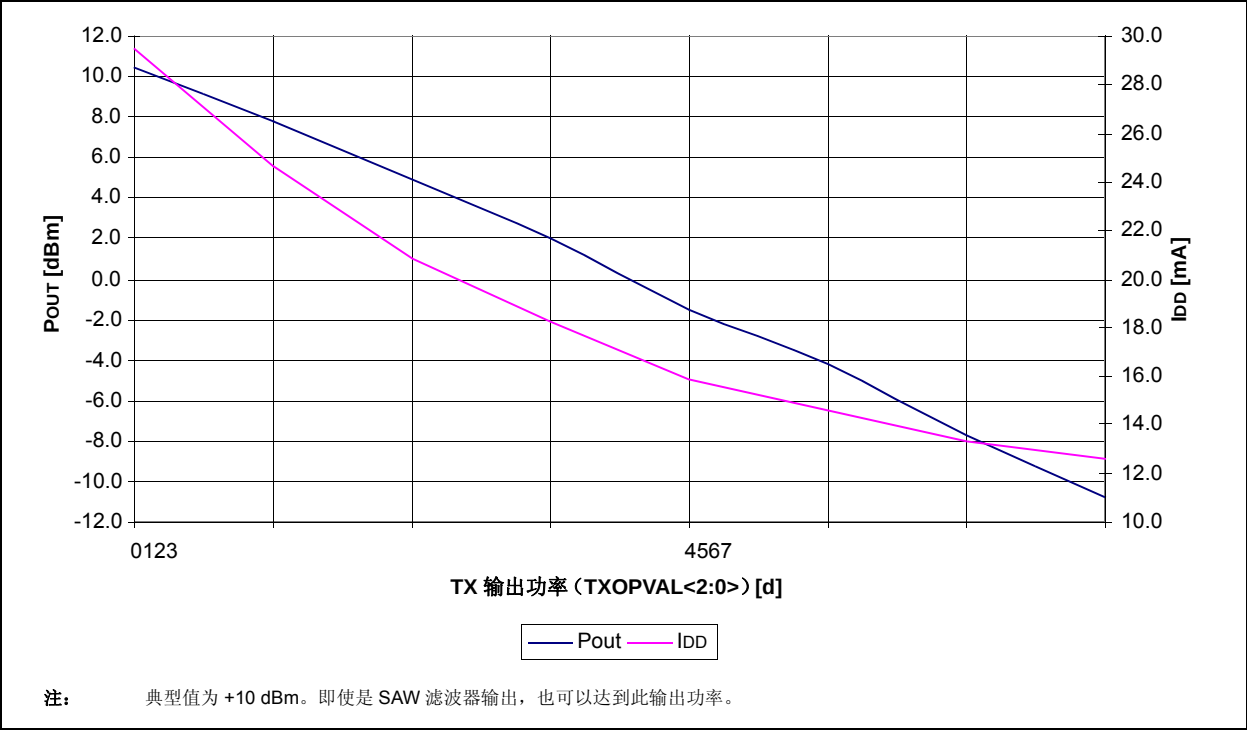
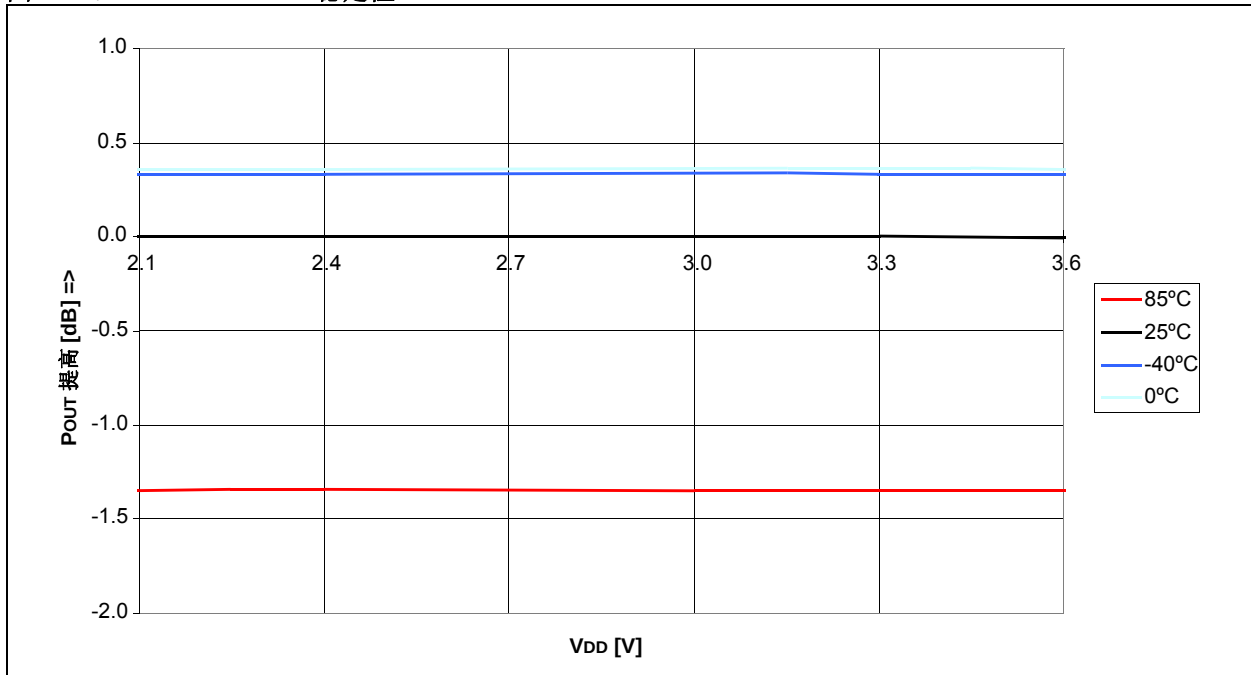


图 5-20: 所有 PA 设置下的 POUT 和 IDD– 915 MHz



5.4.9 温度和电压范围内的 P_{OUT} 稳定性

图 5-21: P_{OUT} 稳定性



输出功率对电源电压不敏感，而且在温度升高时会稍微下降。

5.4.10 发送器频谱纯度

图 5-22: 869 MHz 频谱纯度 DC-1 GHz

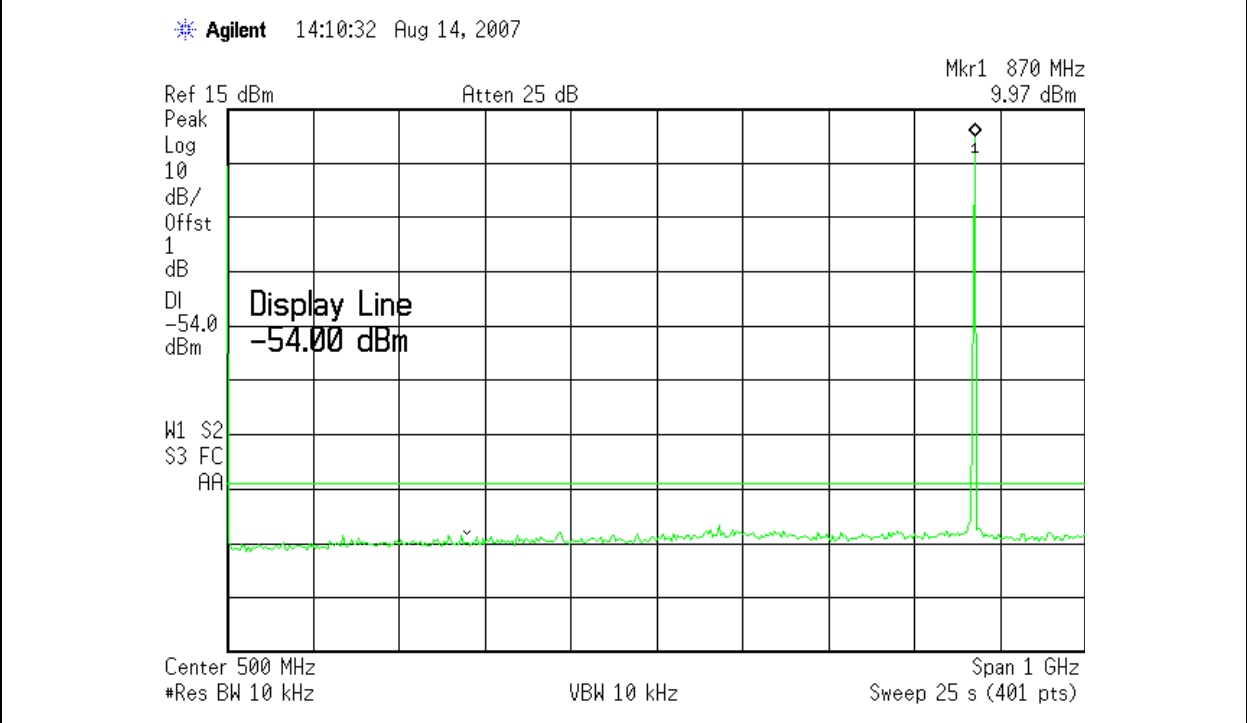
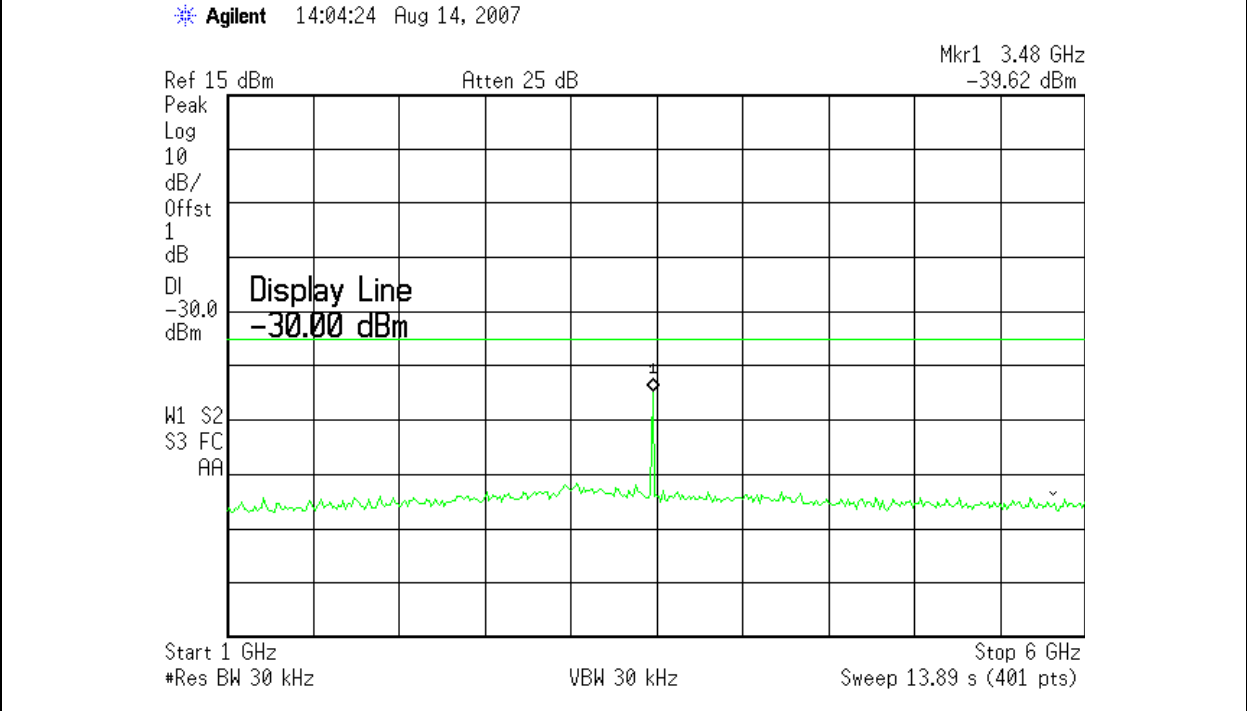


图 5-23: 869 MHz 频谱纯度 1-6 GHz



5.4.11 OOK 信道带宽

OOK 比特率的范围从 1.56 到 16.7 kbps。对于最低比特率来说，可以实现 200 kHz 左右的信道间隔。

图 5-24: OOK 频谱 – 2 kbps

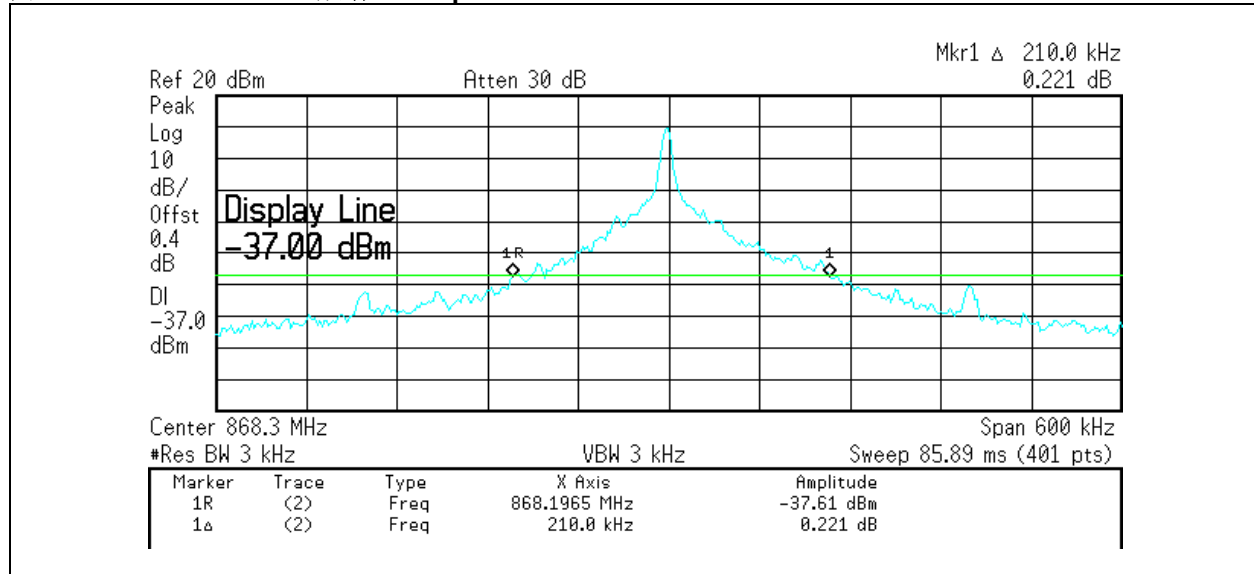


图 5-25: OOK 频谱 – 8 kbps

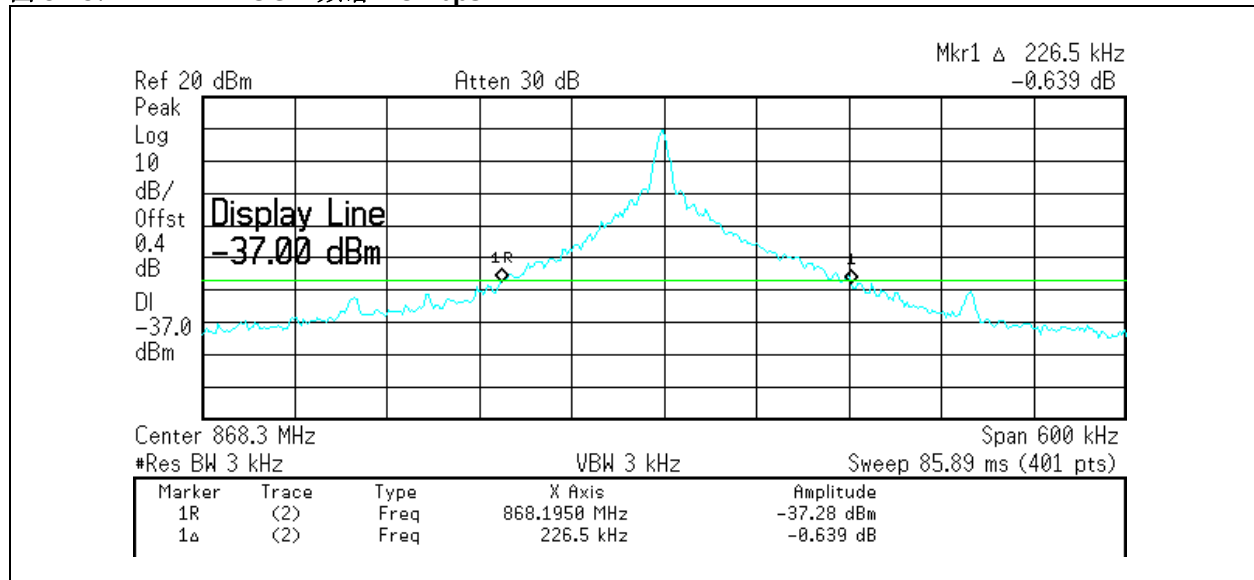
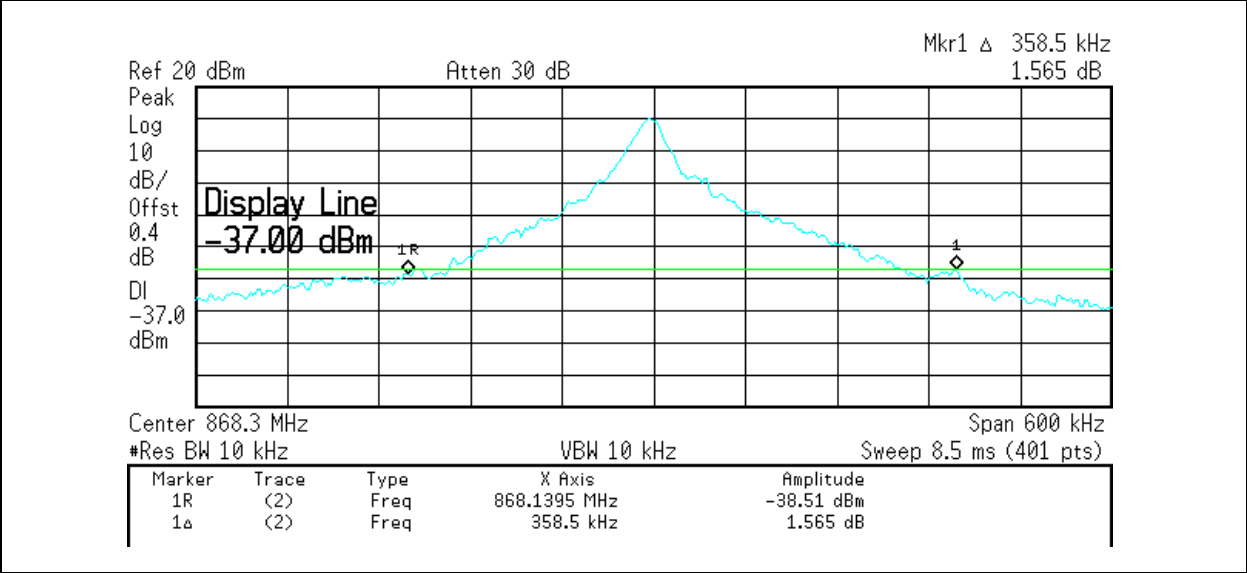


图 5-26: OOK 频谱 – 16.7 kbps



5.4.12 欧洲 FSK 频谱

图 5-27 列出了在欧洲波段中可实现的最低频谱占有，确保 MRF89XA 接收器可接受的最低频率偏差为 33 kHz。如果配对接收器可以接受更小的频率偏差，那么调制器带宽范围可以进一步降低。

图 5-27: FSK – 1.56 KBPS – ± 33 kHz

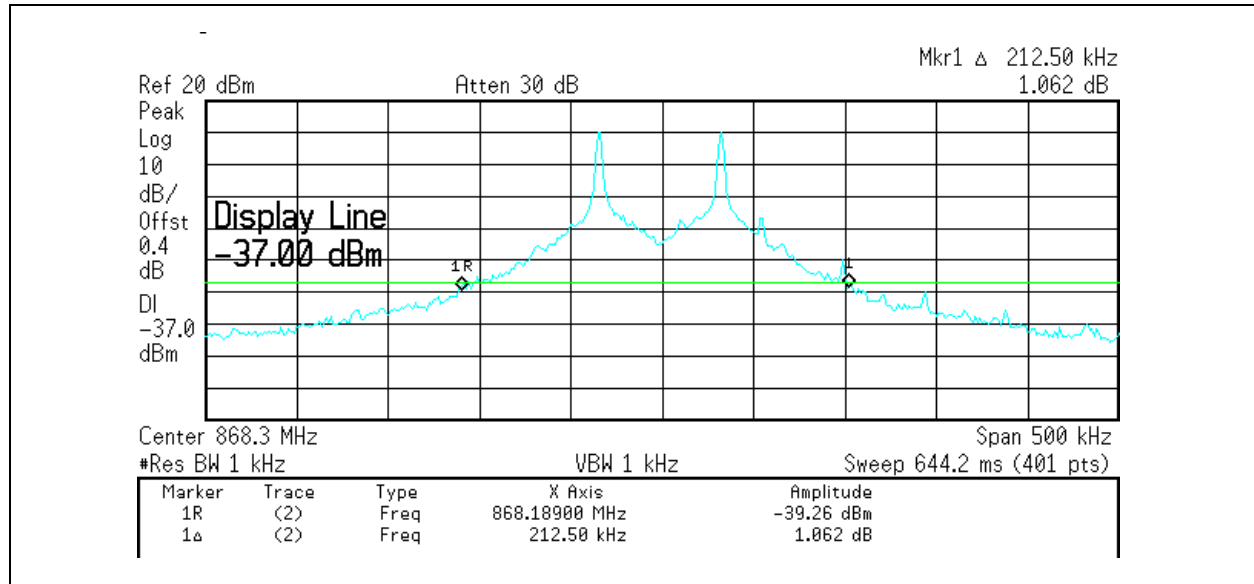


图 5-28 中给出了 MRF89XA 的默认配置所得到的带宽。

图 5-28: FSK – 25 KBPS – ± 50 kHz

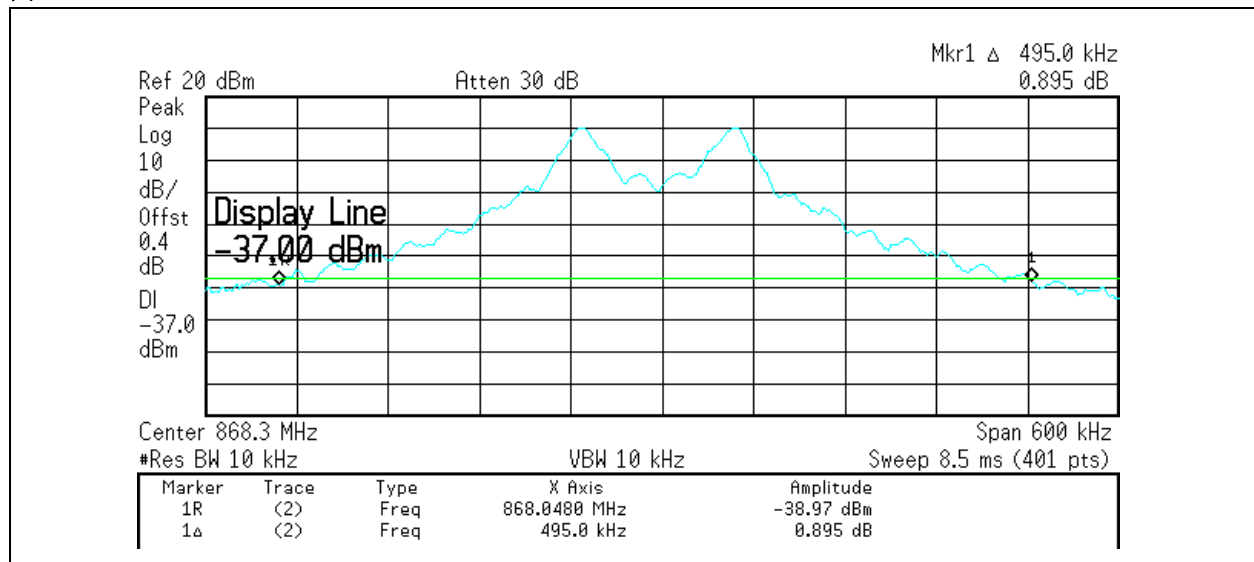
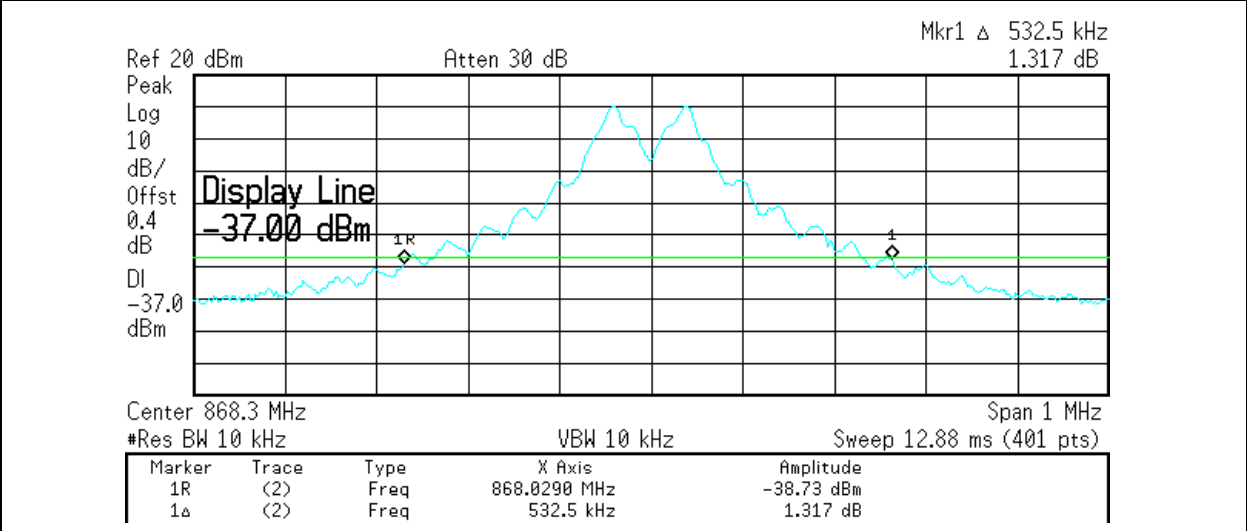


图 5-28 列出了最大比特率和频率偏差，它们符合欧洲次波段 868 到 868.6 MHz。

图 5-29: FSK – 40 KBPS – ±40 kHz



5.4.13 数字调制器原理图

FCC 第 15.247 部分允许系统采用数字调制技术来发送最高 1 W 的信号，前提是 6 dB 带宽的信号频率至少为 500 kHz，而且功率频谱密度在任何 3 kHz 带宽内不会超过 8 dBm。

当以器件的最大输出功率（通常为 10 dBm）发送时，MRF89XA 可以满足这些限制。第 3.11.4.2 节“数据白化”描述了内置白化过程的细节。

图 5-30: DTS 6 dB 带宽

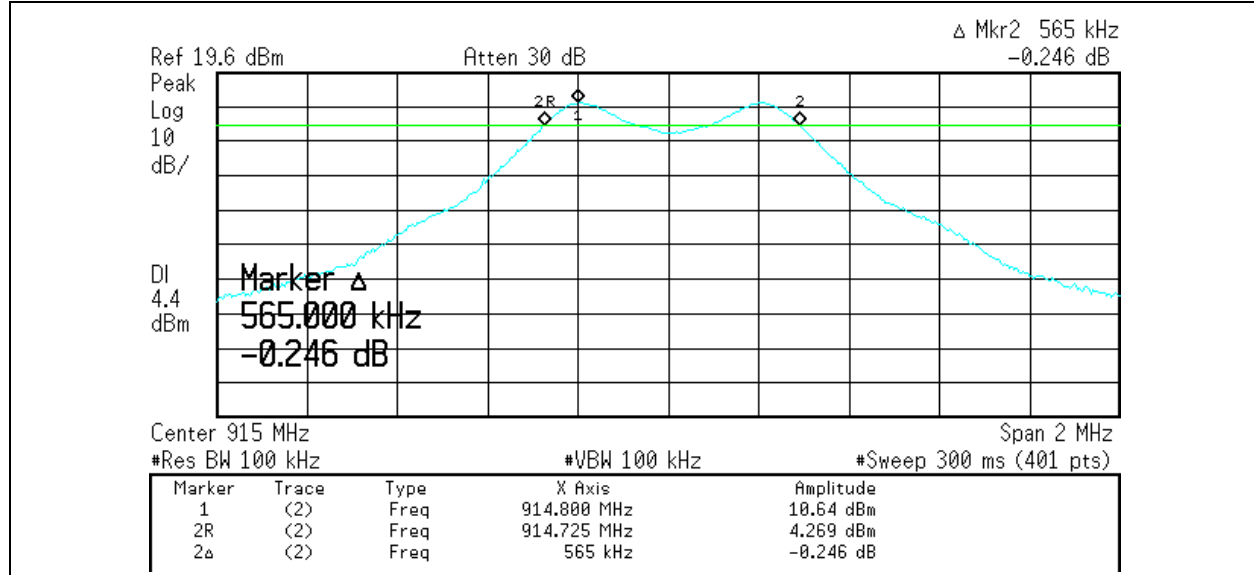
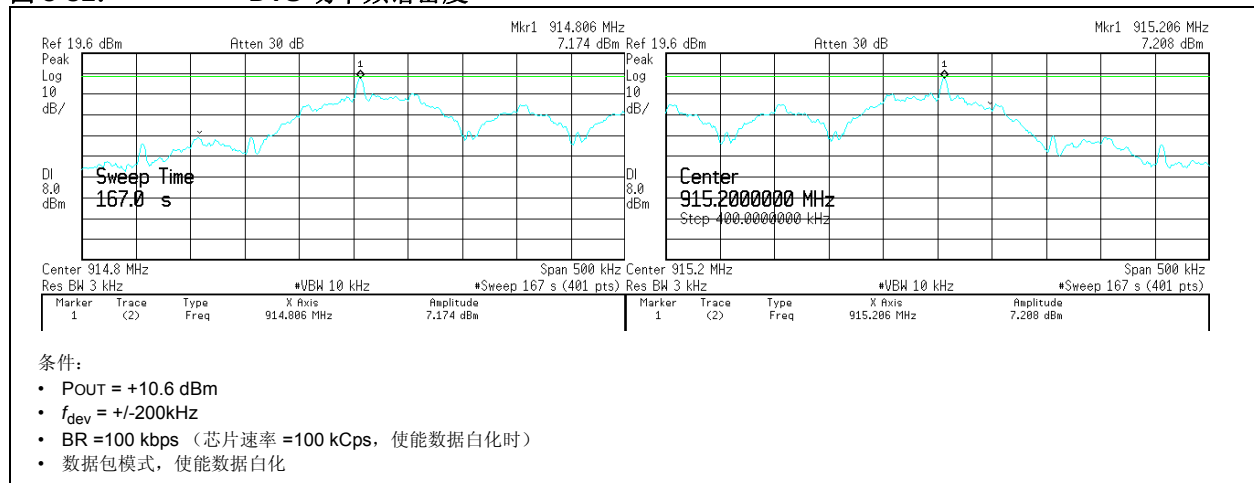


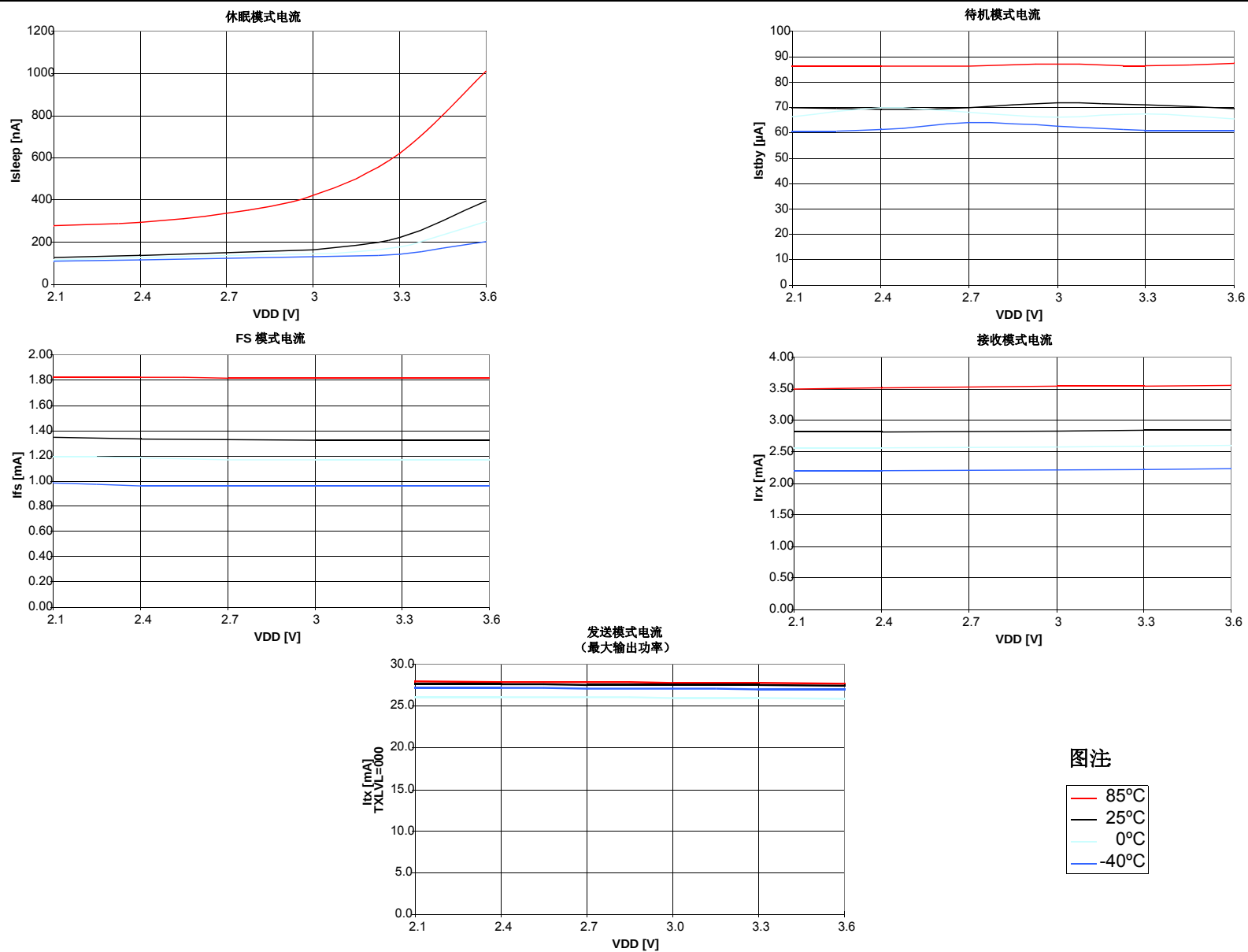
图 5-31: DTS 功率频谱密度



5.4.14 温度和电压范围内的电流稳定性

图 5-32 提供 IDD 与温度和 VDD 的关系图表。

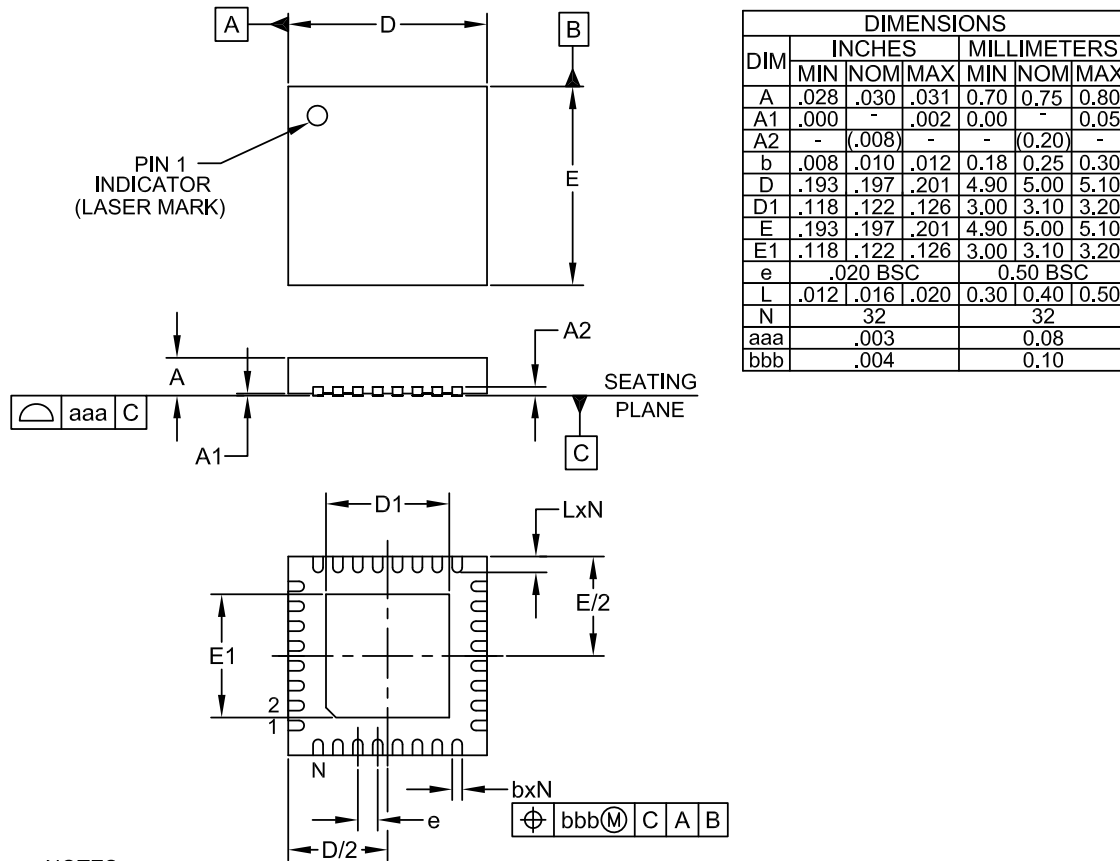
图 5-32: I_{DD} 与温度和 V_{DD} 的关系



6.0 封装信息

6.1 封装详细信息

本章节提供了封装的技术细节。



NOTES:

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (ANGLES IN DEGREES).
2. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.

MRF89XA

注:

附录 A： FSK 和 OOK 接收滤波器与比特率的关系

表 A-1： FSK 接收滤波器与比特率的关系

比特率	Fdev (来自 FDEVREG)	滤波器设置 (来自 FILCREG)	Fdev + BR/2 (来自 FDEVREG 和 BRSREG)	接收 3dB 带宽		最大漂移
				设定值	实际值	
kbps	± kHz	十六进制	kHz	kHz	kHz	± ppm
100	200	FF	250	400	306	62
66.67	133	E9	166.7	250	214	53
50	100	D6	125	175	158	37
40	80	B5	100	150	137	41
33.33	67	A4	83.3	125	116	36
28.57	57	A3	71.4	100	96	27
25	50	A3	62.5	100	96	37
22.22	44	72	55.6	75	69	15
20	40	72	50	75	69	21
18.18	36	72	45.5	75	69	26
16.67	33	72	41.7	75	69	30
15.38	33	41	41	50	47	7
14.29	33	41	40.5	50	47	7
12.5	33	41	39.6	50	47	8
10	33	41	38.3	50	47	10
5	33	41	35.8	50	47	12
2	33	41	34.3	50	47	14

表 A-2： OOK 接收滤波器与比特率的关系

比特率	Fo + BR (来自 PFCREG 和 BRSREG)	滤波器设置 (来自 FILCREG)	接收 3 dB 带宽		最大漂移
			设定值	实际值	
kbps	kHz	十六进制	kHz	kHz	± ppm
16.67	117	C1	150	154	41
12.5	113	C1	150	154	46
9.52	110	A0	125	129	22
8	108	A0	125	129	23
4.76	105	A0	125	129	27
2.41	102	A0	125	129	30
1.56	102	A0	125	129	30

注 1：为获得 FCC 等监管机构认证，以 FCC 的规定第 15 部分为例，器件操作将受以下两个条件约束：(1) 此器件不可引起有害干扰，(2) 此器件必须接受任何收到的干扰（包括可能导致意外操作的干扰）。对于调节后的 FSK 和 OOK 设置，请参见 Microchip 网站的 MRF89XA 器件模块数据手册。

附录 B: 采用 C# 进行 CRC 计算（可改写成 C 语言）

```
const ushort Polynome = 0x1021;
//Polynome = X^16+X^12+X^5+1

ushort ComputeCrc(ushort crc, byte data)
{
    for(int i= 0; i<8; i++)
    {
        if((((crc & 0x8000)>>8)^(data & 0x80))!=0)
        {
            //shift left once crc^=Polynome;    //XOR with polynomial
        }
        else
        {
            //next packetData reg bit
        }
        return crc;
    }

    public ushort ComputeCrc(byte[] packet)
    {
        ushort crc = 0x1D0F;

        for(int i=0; i<packet.Length; i++)
        {
            crc = ComputeCrc(crc, packet[i]);
        }
        return (ushort)(~crc);
    }
}
```

附录 C：版本历史

版本 A（2010 年 1 月）

这是本文档的初始版本。

版本 B（2010 年 6 月）

对整篇文档进行了更新，需要对所有章节进行大量修改。

该版本还包括对整个数据手册文字的排版和格式进行的少量更改。

版本 C（2011 年 11 月）

对整篇文档进行了更新，需要对所有章节进行大量修改。

增加了[附录 B： “采用 C# 进行 CRC 计算（可改写成 C 语言）”](#)。

MRF89XA

注:

MICROCHIP 网站

Microchip 网站 (www.microchip.com) 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联网浏览器即可访问。网站提供以下信息：

- **产品支持**——数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持**——常见问题解答 (FAQ)、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 www.microchip.com。在“支持”(Support)下，点击“变更通知客户(Customer Change Notification)”服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 (FAE)
- 技术支持

客户应联系其代理商、代表或应用工程师 (FAE) 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 <http://microchip.com/support> 获得网上技术支持。

MRF89XA

读者反馈表

我们努力为您提供最佳文档，以确保您能够成功使用 **Microchip** 产品。如果您对文档的组织、条理性、主题及其他有助于提高文档质量的方面有任何意见或建议，请填写本反馈表并传真给我公司 TRC 经理，传真号码为 **86-21-5407-5066**。

请填写以下信息，并从下面各方面提出您对本文档的意见。

致: TRC 经理 总页数 _____

关于: 读者反馈

发自: 姓名 _____

公司 _____

地址 _____

国家 / 省份 / 城市 / 邮编 _____

电话 (_____) _____ 传真 (_____) _____

应用 (选填):

您希望收到回复吗? 是____ 否____

器件: MRF89XA

文献编号: DS70622C_CN

问题

1. 本文档中哪些部分最有特色?

2. 本文档是否满足了您的软硬件开发要求? 如何满足的?

3. 您认为本文档的组织结构便于理解吗? 如果不便于理解, 那么问题何在?

4. 您认为本文档应该添加哪些内容以改善其结构和主题?

5. 您认为本文档中可以删减哪些内容, 而又不会影响整体使用效果?

6. 本文档中是否存在错误或误导信息? 如果存在, 请指出是什么信息及其具体页数。

7. 您认为本文档还有哪些方面有待改进?

索引

B

版本历史	133
变更通知客户服务	135

C

CLKOUT 输出 (CLKOUT 引脚)	16
参考振荡器引脚 (OSC1/OSC2)	16
插值滤波器	15
超外差式架构	11
串行外设接口 (SPI)	23
存储器映射	26

D

DATA 引脚	19
低噪声放大器 (具有第一级混合器)	15
电气特性	103
电流消耗	104
发送器交流特性	107
接收器交流特性	106
切换时序和过程	108
PLL 参数交流特性	105
SPI 时序规范	107
数字 I/O 引脚输入规范	105
典型性能特性	
发送器频谱纯度	122
灵敏度平直度	113
灵敏度与比特率的关系	117
灵敏度与接收带宽的关系	115
欧洲 FSK 频谱	125
OOK 信道带宽	123
P _{OUT} 温度和电压的敏感度稳定性	121
输出功率平直度	119
温度和电压范围内的 P _{OUT} 稳定性	114
温度和电压范围内的电流稳定性	127
温度和电压范围内的灵敏度稳定性	116
相邻信道抑制	118
电源引脚细节	14
读寄存器序列	24
读者反馈表	136
读字节序列	25

F

FSK 接收器设置	22
发送器架构	19
发送器描述	19
封装	
详细信息	129
封装信息	129

G

功率放大器	15
-------------	----

I

I(t) 和 Q(t) 概述	20
IRQ 引脚和中断	19

J

寄存器

保留寄存器 (RESVREG)	45
比特率设置寄存器 (BRSREG)	32
多相滤波器配置寄存器 (PFCONREG)	43
FIFO CRC 配置寄存器 (FCRCREG)	53
FIFO、发送和接收中断请求 配置寄存器 (FTXRIREG)	38
FIFO 发送 PLL 和 RSSI 中断 配置寄存器 (FTPRIREG)	40
FIFO 配置寄存器 (FIFOCREG)	33
发送参数配置寄存器 (TXCONREG)	49
功率放大器控制寄存器 (PACREG)	37
节点地址设置寄存器 (NADDSREG)	51
滤波器配置寄存器 (FILCREG)	42
OOK 配置寄存器 (OOKCREG)	46
P2 计数器设置寄存器 (P2CREG)	36
频率偏差控制寄存器 (FDEVREG)	32
R1 计数器设置寄存器 (R1CREG)	34
R2 计数器设置寄存器 (R2CREG)	35
RSSI 状态读取寄存器 (RSTSREG)	45
RSSI 阈值中断请求配置寄存器 (RSTHIREG)	41
S1 计数器设置寄存器 (S1CREG)	35
S2 计数器设置寄存器 (S2CREG)	36
时钟输出控制寄存器 (CLKOUTREG)	50
数据和调制配置寄存器 (DMODREG)	31
同步控制寄存器 (SYNCREG)	44
同步值第二个字节 配置寄存器 (SYNCV23REG)	47
同步值第四个字节 配置寄存器 (SYNCV07REG)	48
同步值第一个字节 配置寄存器 (SYNCV32REG)	47
有效负载配置寄存器 (PLOADREG)	51
寄存器映射	54
架构描述	20
建议的 PA 偏置和配置	15
节能模式	17
接收器架构	21
绝对最大值	103

K

勘误表	5
客户通知服务	135
客户支持	135
框图	
电源	14
MRF89XA 简化功能	8
详细	12

L

LO 发生器	17
--------------	----

M

Microchip 网站	135
--------------------	-----

MRF89XA

O		位同步	11
OOK 接收器设置	22	支持频率带	7
P			
PLL 锁定引脚	17		
POUT 和 IDD 与 PA 设置关系	120		
配置 / 控制 / 状态寄存器描述	28		
配置 / 控制 / 状态寄存器映射	54		
频率合成器描述	16		
频率合成器模块	16		
Q			
切换时序和过程			
发送跳频周期	110		
接收跳频周期	111		
RX → TX 和 TX → RX 跳转周期	112		
最佳发送周期	109		
最佳接收周期	108		
S			
SPI 接口概述和主单片机连接	23		
SPI 配置	24		
SPI 数据	25		
数字引脚配置与芯片模式	18		
锁相环架构	17		
T			
特性			
数字数据处理过程	7		
通用配置寄存器详细信息	30		
推荐 PA 偏置和输出匹配	97		
推荐工作条件	103		
W			
WWW, 在线支持	5		
位同步器	7		
X			
写寄存器序列	24		
写字节序列	25		
信道滤波器	16		
Y			
压控振荡器	17		
引脚			
CLKOUT	17		
CSCON	23		
DATA	19		
复位	15		
OSC1	16		
OSC2	16		
PLOCK	17		
RFIO	11, 15		
引脚说明	13		
硬件说明	11, 93		
Z			
支持的功能部件模块			
64 字节发送和接收 FIFO 缓冲区	11		
数据滤波和白化	11		
通用配置寄存器	11		

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号 器件 X 温度范围 /XX 封装 XXX 定制编号	示例： a) MRF89XA-I/MQ：工业级温度，QFN 封装。 b) MRF89XAT-I/MQ：工业级温度，QFN 封装，卷带式。
器件 MRF89XA：超低功耗集成 ISM 波段 Sub-GHz 收发器 温度范围 I = -40°C 至 +85°C（工业级） 封装 MQ = QFN（四方扁平，无脚） T = 卷带式	

全球销售及服务网点

美洲

公司总部 **Corporate Office**
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://www.microchip.com/support>

网址: www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland
Independence, OH
Tel: 1-216-447-0464
Fax: 1-216-447-0643

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Farmington Hills, MI
Tel: 1-248-538-2250
Fax: 1-248-538-2260

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

圣克拉拉 Santa Clara
Santa Clara, CA
Tel: 1-408-961-6444
Fax: 1-408-961-6445

加拿大多伦多 Toronto
Mississauga, Ontario, Canada
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 **Asia Pacific Office**
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 杭州
Tel: 86-571-2819-3187
Fax: 86-571-2819-3189

中国 - 香港特别行政区
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

亚太地区

台湾地区 - 高雄
Tel: 886-7-536-4818
Fax: 886-7-330-9305

台湾地区 - 台北
Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 Japan - Osaka
Tel: 81-66-152-7160
Fax: 81-66-152-9310

日本 Japan - Yokohama
Tel: 81-45-471-6166
Fax: 81-45-471-6122

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

荷兰 Netherlands - Druenen
Tel: 31-416-690399
Fax: 31-416-690340

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 UK - Wokingham
Tel: 44-118-921-5869
Fax: 44-118-921-5820