



PIC16F685/687/689/690

数据手册

采用纳瓦技术的
20 引脚 8 位
CMOS 闪存单片机

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。在 Microchip 知识产权保护下，不得暗中以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、Accuron、dsPIC、KEELOQ、microID、MPLAB、PIC、PICmicro、PICSTART、PRO MATE、PowerSmart、rfPIC 和 SmartShunt 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

AmpLab、FilterLab、Migratable Memory、MXDEV、MXLAB、SEEVAL、SmartSensor 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、Application Maestro、dsPICDEM、dsPICDEM.net、dsPICworks、ECAN、ECONOMONITOR、FanSense、FlexROM、fuzzyLAB、In-Circuit Serial Programming、ICSP、ICEPIC、Linear Active Thermistor、Mindi、MiWi、MPASM、MPLIB、MPLINK、PICkit、PICDEM、PICDEM.net、PICLAB、PICKtail、PowerCal、PowerInfo、PowerMate、PowerTool、REAL ICE、rfLAB、rfPICDEM、Select Mode、Smart Serial、SmartTel、Total Endurance、UNI/O、WiperLock 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

© 2006, Microchip Technology Inc. 版权所有。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==

Microchip 位于美国亚利桑那州 Chandler 和 Tempe、位于俄勒冈州 Gresham 及位于加利福尼亚州 Mountain View 的全球总部、设计中心和晶圆生产厂均通过了 ISO/TS-16949:2002 认证。公司在 PICmicro® 8 位单片机、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品方面的质量体系流程均符合 ISO/TS-16949:2002。此外，Microchip 在开发系统的设计和生产品方面的质量体系也已通过了 ISO 9001:2000 认证。

采用纳瓦技术的 20 引脚 8 位 CMOS 闪存单片机

高性能 RISC CPU

- 仅需学习 35 条指令：
 - 除了跳转指令以外，所有指令都是单周期的
- 工作速度：
 - DC — 20 MHz 振荡器 / 时钟输入
 - DC — 200 ns 指令周期
- 中断能力
- 8 级深硬件堆栈
- 直接、间接和相对寻址方式

单片机特性

- 精确的内部振荡器：
 - 出厂时精度已校准到 $\pm 1\%$
 - 软件可选择频率范围：8 MHz 到 32 kHz
 - 可用软件调整
 - 双速启动模式
 - 用于关键应用的晶振故障检测
 - 时钟模式切换以使器件省电运行
- 省电休眠模式
- 宽工作电压范围（2.0V-5.5V）
- 工业级和扩展级温度范围
- 上电复位（Power-on Reset, POR）
- 上电延时定时器（Power-up Timer, PWRTIME）和振荡器起振定时器（Oscillator Start-up Timer, OST）
- 带软件控制选择的欠压复位（Brown-out Reset, BOR）
- 增强型低电流看门狗定时器（Watchdog Timer, WDT），带有片上振荡器（预分频器最大时，软件可选择的标称值为 268 秒），可用软件启动
- 复用式主复位 / 输入引脚
- 可编程代码保护
- 高耐久性的闪存 / EEPROM 存储单元：
 - 闪存耐写次数达 100,000 次
 - EEPROM 耐写次数达 1,000,000 次
 - 闪存 / 数据 EEPROM 的数据保持期 > 40 年
- 增强型 USART 模块：
 - 支持 RS-485、RS-232 和 LIN 2.0
 - 自动波特率检测
 - 遇到起始位时自动唤醒

低功耗特性

- 待机电流：
 - 2.0V 时典型值为 1 nA
- 工作电流：
 - 32 kHz、2.0V 时典型值为 20 μ A
 - 4 MHz、5.5V 时典型值 <1 mA
- 看门狗定时器电流：
 - 2.0V 时典型值 <1 μ A

外设特性

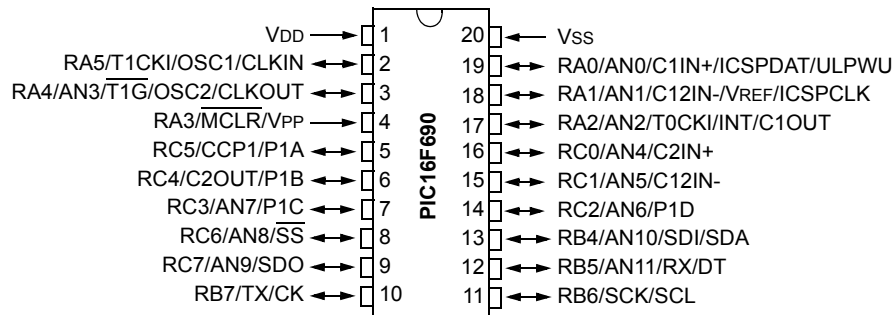
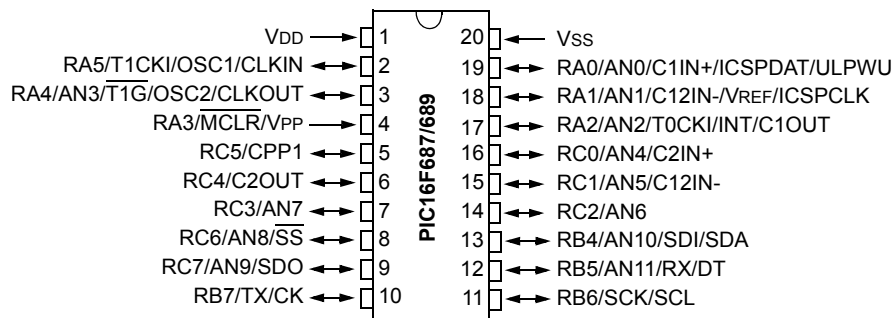
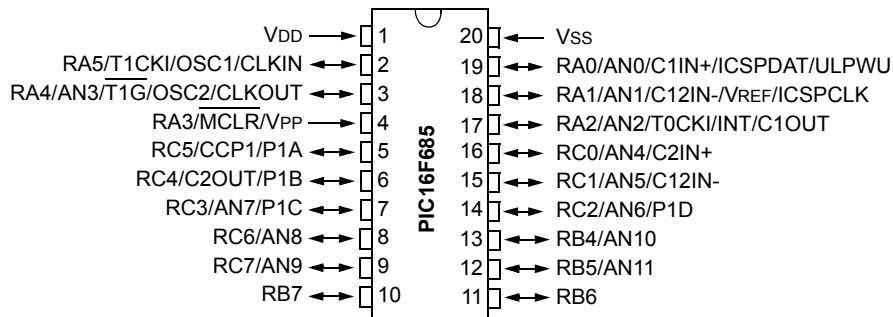
- 17 个 I/O 引脚和 1 个只用作输入的引脚：
 - 高灌 / 拉电流能力，可直接驱动 LED
 - 引脚电平变化中断
 - 独立可编程弱上拉
 - 超低功耗唤醒（Ultra Low-Power Wake-up, ULPWU）
- 模拟比较器模块，具有：
 - 2 个模拟比较器
 - 片上可编程比较器参考电压（CVREF）模块（VDD 的 %）
 - 可从外部访问比较器输入和输出
 - SR 锁存器模式
 - Timer1 门控同步锁存器
- A/D 转换器：
 - 10 位精度，12 路通道
- Timer0 带有 8 位可编程预分频器的 8 位定时器 / 计数器
- 增强型 Timer1：
 - 带有预分频器的 16 位定时器 / 计数器
 - 外部门控输入模式
 - 如果选用 INTOSC 模式，在 LP 模式中可选择 OSC1 或 OSC2 作为 Timer1 的振荡器
- Timer2：带有 8 位周期寄存器、预分频器和后分频器的 8 位定时器 / 计数器
- 增强型捕捉、比较和 PWM+ 模块：
 - 16 位捕捉，最大精度 12.5 ns
 - 比较，最大精度 200 ns
 - 10 位 PWM，带有 1、2 或 4 路输出通道及可编程“死区”，最高频率 20 kHz
 - PWM 输出转向（Steering）控制
- 同步串行口（Synchronous Serial Port, SSP）：
 - SPI 模式（主控和从动）
- I²C™（主控 / 从动模式）：
 - I²C™ 地址屏蔽
- 通过两个引脚进行在线串行编程（In-Circuit Serial Programming™, ICSP™）

PIC16F685/687/689/690

器件	程序存储器	数据存储器		I/O	10 位 A/D (通道)	比较器	8/16 位 定时器	SSP	ECCP+	EUSART
	闪存 (字)	SRAM (字节)	EEPROM (字节)							
PIC16F685	4096	256	256	18	12	2	2/1	无	有	无
PIC16F687	2048	128	256	18	12	2	1/1	有	无	有
PIC16F689	4096	256	256	18	12	2	1/1	有	无	有
PIC16F690	4096	256	256	18	12	2	2/1	有	有	有

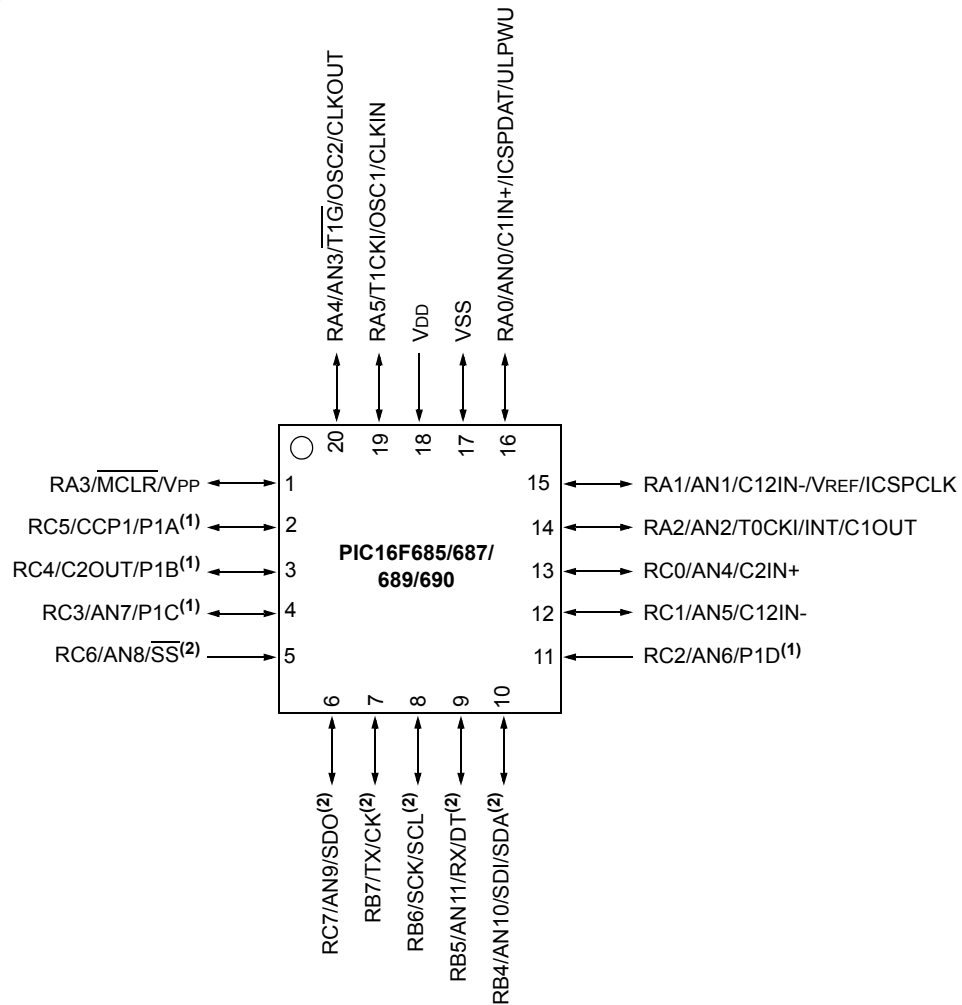
引脚示意图

20 引脚 PDIP、SOIC 和 SSOP



引脚示意图（续）

20 引脚 QFN



注 1: P1A、P1B、P1C 和 P1D 仅在 PIC16F685/PIC16F690 上可用。

注 2: SS、SDO、SDA、RX 和 DT 仅在 PIC16F687/PIC16F689/PIC16F690 上可用。

PIC16F685/687/689/690

目录

1.0 器件概述	5
2.0 存储器构成	15
3.0 时钟源	35
4.0 I/O 端口	47
5.0 Timer0 模块	69
6.0 具备门控功能的 Timer1 模块	73
7.0 Timer2 模块	77
8.0 比较器模块	79
9.0 模数转换器 (A/D) 模块	93
10.0 数据 EEPROM 和闪存程序存储器控制	105
11.0 增强型捕捉 / 比较 / PWM+ (ECCP+) 模块	113
12.0 增强型通用同步 / 异步收发器 (EUSART)	131
13.0 SSP 模块概述	155
14.0 CPU 的特殊功能	173
15.0 指令集汇总	193
16.0 开发支持	203
17.0 电气特性	209
18.0 DC 和 AC 特性图表	237
19.0 封装信息	239
附录 A: 数据手册版本历史	245
附录 B: 从其他 PICmicro® 器件移植	245
Microchip 网站	253
变更通知客户服务	253
客户支持	253
读者反馈表	254
产品标识体系	255

致客户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的要求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 **CTRC@microchip.com**，或将本数据手册后附的《读者反馈表》传真到 86-21-5407 5066。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请查询我公司的网站：

<http://www.microchip.com>

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中数字串后的字母是版本号，例如：DS30000A 是 DS30000 的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 <http://www.microchip.com>
- 当地 Microchip 销售办事处（见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本（包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 **www.microchip.com** 上注册。

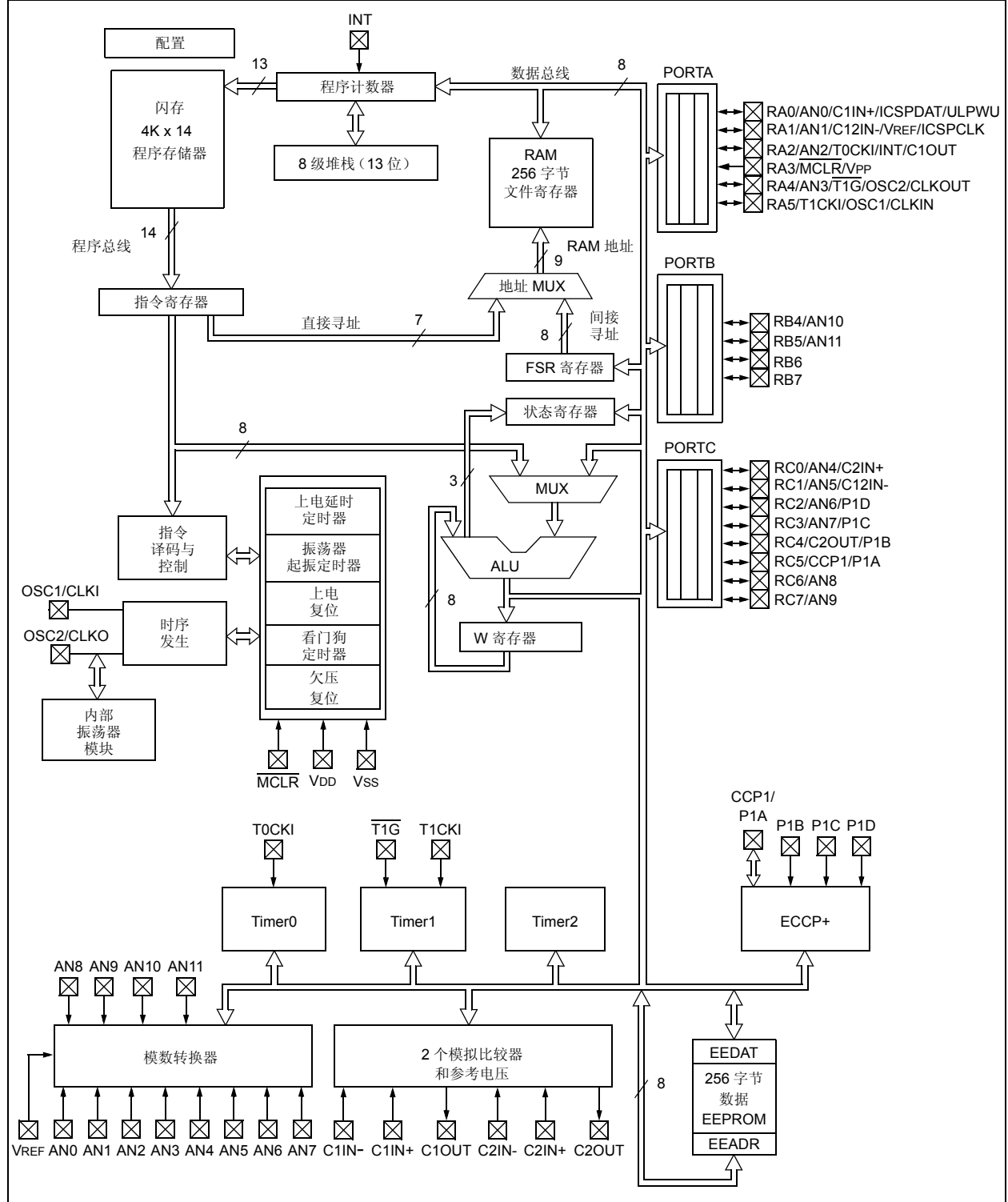
1.0 器件概述

本数据手册涵盖 PIC16F685/687/689/690 器件。这些器件采用 20 引脚 PDIP、SOIC、TSSOP 和 QFN 封装。

这些器件的框图和引脚排列说明如下所示：

- PIC16F685（图 1-1，表 1-1）
- PIC16F687/PIC16F689（图 1-2，表 1-2）
- PIC16F690（图 1-3，表 1-3）

图 1-1: PIC16F685 框图



PIC16F685/687/689/690

图 1-2: PIC16F687/PIC16F689 框图

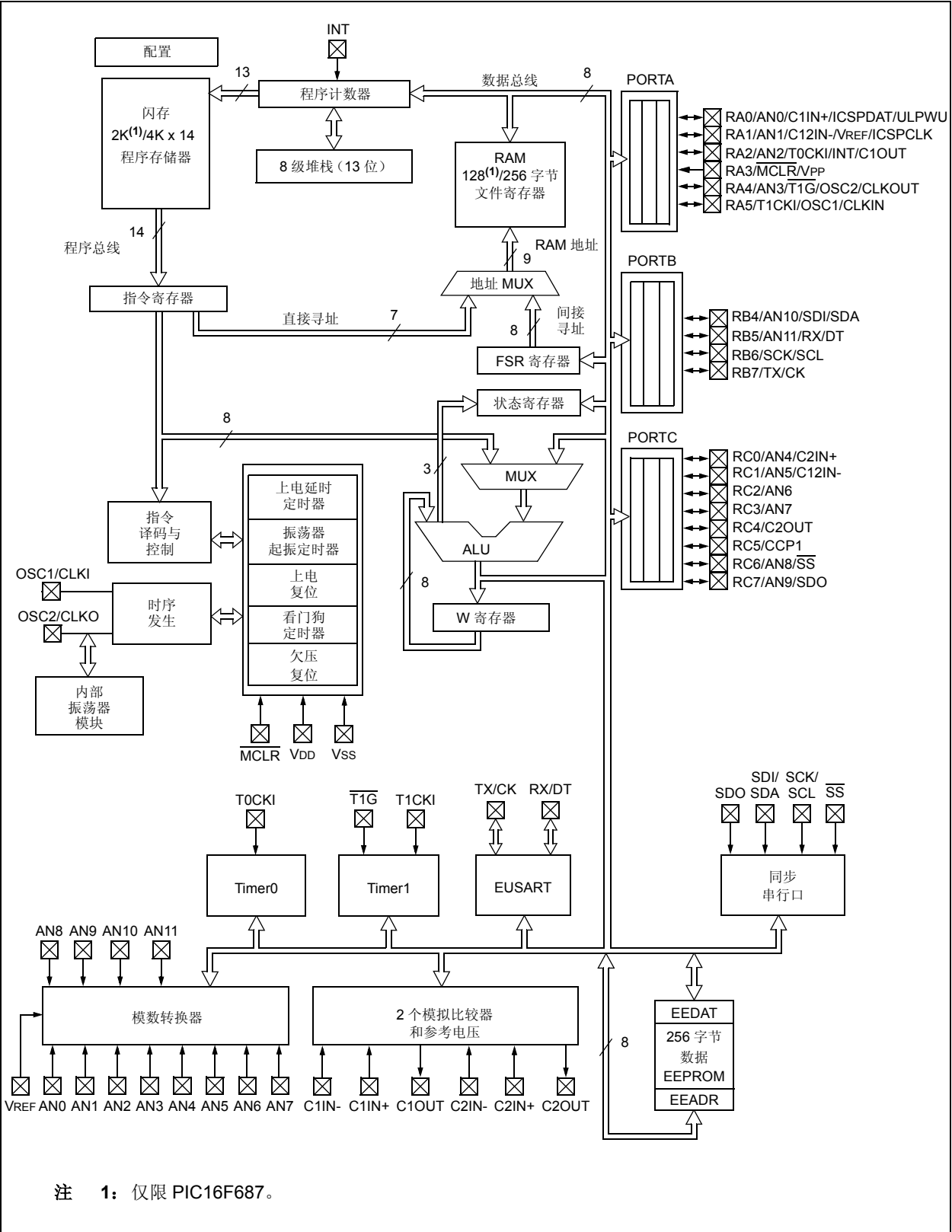
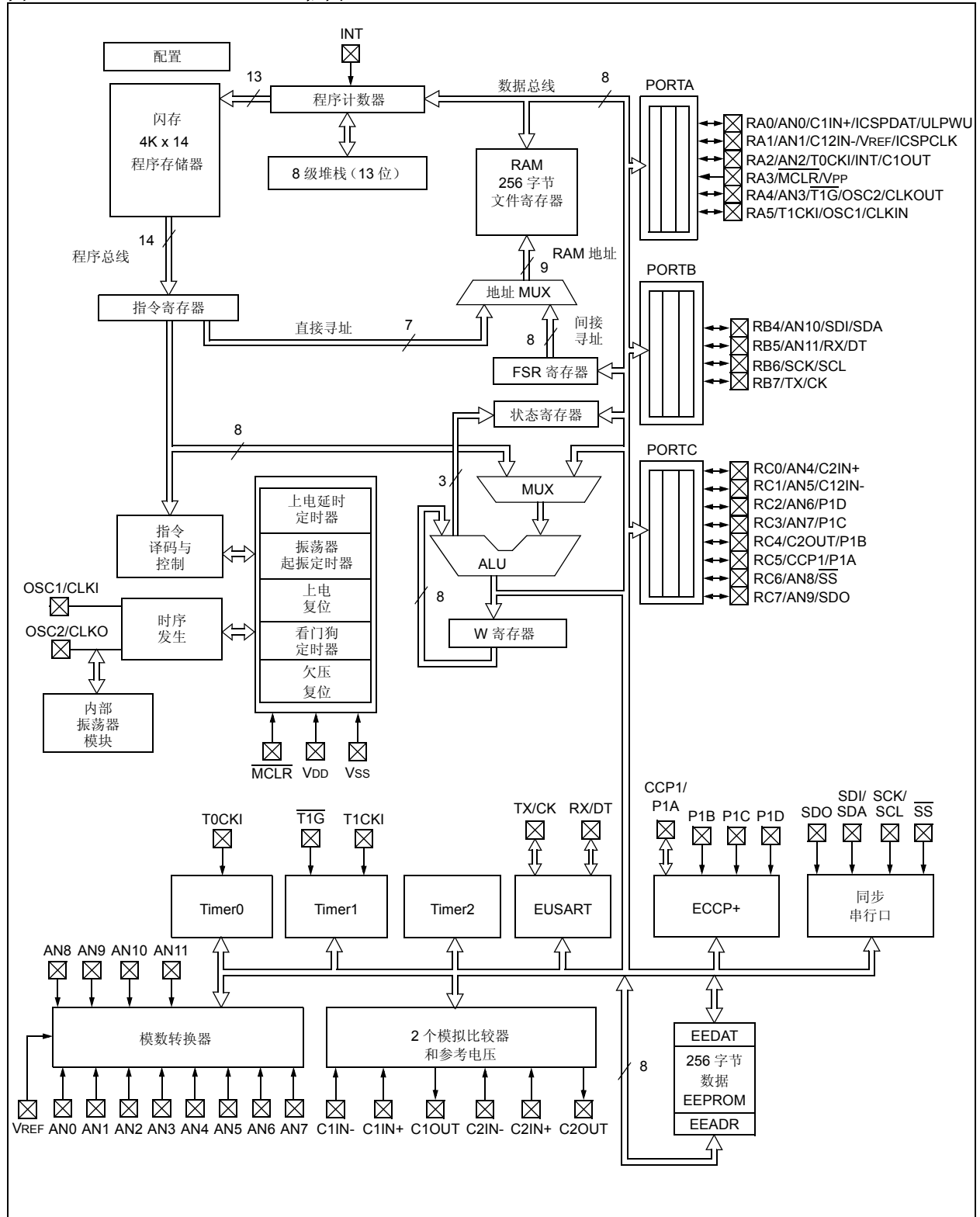


图 1-3: PIC16F690 框图



PIC16F685/687/689/690

表 1-1: 引脚说明——PIC16F685

名称	功能	输入类型	输出类型	说明
RA0/AN0/C1IN+/ICSPDAT/ULPWU	RA0	TTL	—	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN0	AN	—	A/D 通道 0 的输入。
	C1IN+	AN	—	比较器 1 的正极输入。
	ICSPDAT	TTL	CMOS	ICSP™ 数据 I/O。
	ULPWU	AN	—	超低功耗唤醒输入。
RA1/AN1/C12IN-/VREF/ICSPCLK	RA1	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN1	AN	—	A/D 通道 1 的输入。
	C12IN-	AN	—	比较器 1 或 2 的负极输入。
	VREF	AN	—	A/D 的外部参考电压。
	ICSPCLK	ST	—	ICSP™ 时钟。
RA2/AN2/T0CKI/INT/C1OUT	RA2	ST	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN2	AN	—	A/D 通道 2 的输入。
	T0CKI	ST	—	Timer0 的时钟输入。
	INT	ST	—	外部中断引脚。
	C1OUT	—	CMOS	比较器 1 的输出。
RA3/MCLR/VPP	RA3	TTL	—	通用输入。单独控制的电平变化中断。
	MCLR	ST	—	带内部上拉的主清零。
	VPP	HV	—	编程电压。
RA4/AN3/T1G/OSC2/CLKOUT	RA4	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN3	AN	—	A/D 通道 3 的输入。
	T1G	ST	—	Timer1 门控输入。
	OSC2	—	XTAL	晶振 / 谐振器。
	CLKOUT	—	CMOS	Fosc/4 输出。
RA5/T1CKI/OSC1/CLKIN	RA5	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	T1CKI	ST	—	Timer1 的时钟输入。
	OSC1	XTAL	—	晶振 / 谐振器。
	CLKIN	ST	—	外部时钟输入 /RC 振荡器连接。
RB4/AN10	RB4	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN10	AN	—	A/D 通道 10 的输入。
RB5/AN11	RB5	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN11	AN	—	A/D 通道 11 的输入。
RB6	RB6	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
RB7	RB7	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
RC0/AN4/C2IN+	RC0	ST	CMOS	通用 I/O。
	AN4	AN	—	A/D 通道 4 的输入。
	C2IN+	AN	—	比较器 2 的正极输入。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高压
CMOS = CMOS 兼容输入或输出
ST = CMOS 电平的施密特触发器输入
XTAL = 晶振

PIC16F685/687/689/690

表 1-1: 引脚说明——PIC16F685 (续)

名称	功能	输入类型	输出类型	说明
RC1/AN5/C12IN-	RC1	ST	CMOS	通用 I/O。
	AN5	AN	—	A/D 通道 5 的输入。
	C12IN-	AN	—	比较器 1 或 2 的负极输入。
RC2/AN6/P1D	RC2	ST	CMOS	通用 I/O。
	AN6	AN	—	A/D 通道 6 的输入。
	P1D	—	CMOS	PWM 的输出。
RC3/AN7/P1C	RC3	ST	CMOS	通用 I/O。
	AN7	AN	—	A/D 通道 7 的输入。
	P1C	—	CMOS	PWM 的输出。
RC4/C2OUT/P1B	RC4	ST	CMOS	通用 I/O。
	C2OUT	—	CMOS	比较器 2 的输出。
	P1B	—	CMOS	PWM 的输出。
RC5/CCP1/P1A	RC5	ST	CMOS	通用 I/O。
	CCP1	ST	CMOS	捕捉 / 比较输入。
	P1A	ST	CMOS	PWM 的输出。
RC6/AN8	RC6	ST	CMOS	通用 I/O。
	AN8	AN	—	A/D 通道 8 的输入。
RC7/AN9	RC7	ST	CMOS	通用 I/O。
	AN9	AN	—	A/D 通道 9 的输入。
VSS	VSS	电源	—	参考地。
VDD	VDD	电源	—	正极电源。

图注: AN = 模拟输入或输出 CMOS = CMOS 兼容输入或输出
 TTL = TTL 兼容输入 ST = CMOS 电平的施密特触发器输入
 HV = 高压 XTAL = 晶振

PIC16F685/687/689/690

表 1-2: 引脚说明——PIC16F687/PIC16F689

名称	功能	输入类型	输出类型	说明
RA0/AN0/C1IN+/ICSPDAT/ ULPWU	RA0	TTL	—	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN0	AN	—	A/D 通道 0 的输入。
	C1IN+	AN	—	比较器 1 的正极输入。
	ICSPDAT	TTL	CMOS	ICSP 数据 I/O。
	ULPWU	AN	—	超低功耗唤醒输入。
RA1/AN1/C12IN-/VREF/ICSPCLK	RA1	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN1	AN	—	A/D 通道 1 的输入。
	C12IN-	AN	—	比较器 1 或 2 的负极输入。
	VREF	AN	—	A/D 的外部参考电压。
	ICSPCLK	ST	—	ICSP™ 时钟。
RA2/AN2/T0CKI/INT/C1OUT	RA2	ST	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN2	AN	—	A/D 通道 2 的输入。
	T0CKI	ST	—	Timer0 的时钟输入。
	INT	ST	—	外部中断。
	C1OUT	—	CMOS	比较器 1 的输出。
RA3/MCLR/VPP	RA3	TTL	—	通用输入。单独控制的电平变化中断。
	MCLR	ST	—	带内部上拉的主清零。
	VPP	HV	—	编程电压。
RA4/AN3/T1G/OSC2/CLKOUT	RA4	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN3	AN	—	A/D 通道 3 的输入。
	T1G	ST	—	Timer1 门控输入。
	OSC2	—	XTAL	晶振 / 谐振器。
	CLKOUT	—	CMOS	Fosc/4 输出。
RA5/T1CKI/OSC1/CLKIN	RA5	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	T1CKI	ST	—	Timer1 的时钟输入。
	OSC1	XTAL	—	晶振 / 谐振器。
	CLKIN	ST	—	外部时钟输入 / RC 振荡器连接。
RB4/AN10/SDI/SDA	RB4	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN10	AN	—	A/D 通道 10 的输入。
	SDI	ST	—	SPI 数据输入。
	SDA	ST	OD	I ² C 数据输入 / 输出。
RB5/AN11/RX/DT	RB5	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN11	AN	—	A/D 通道 11 的输入。
	RX	ST	—	EUSART 异步输入。
	DT	ST	CMOS	EUSART 同步数据。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高压

CMOS = CMOS 兼容输入或输出
ST = CMOS 电平的施密特触发器输入
XTAL = 晶振

OD = 漏极开路

PIC16F685/687/689/690

表 1-2: 引脚说明——PIC16F687/PIC16F689 (续)

名称	功能	输入类型	输出类型	说明
RB6/SCK/SCL	RB6	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	SCK	ST	CMOS	SPI 时钟。
	SCL	ST	OD	I ² C™ 时钟。
RB7/TX/CK	RB7	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	TX	—	CMOS	EUSART 异步输出。
	CK	ST	CMOS	EUSART 同步时钟。
RC0/AN4/C2IN+	RC0	ST	CMOS	通用 I/O。
	AN4	AN	—	A/D 通道 4 的输入。
	C2IN+	AN	—	比较器 2 的正极输入。
RC1/AN5/C12IN-	RC1	ST	CMOS	通用 I/O。
	AN5	AN	—	A/D 通道 5 的输入。
	C12IN-	AN	—	比较器 1 或 2 的负极输入。
RC2/AN6	RC2	ST	CMOS	通用 I/O。
	AN6	AN	—	A/D 通道 6 的输入。
RC3/AN7	RC3	ST	CMOS	通用 I/O。
	AN7	AN	—	A/D 通道 7 的输入。
RC4/C2OUT	RC4	ST	CMOS	通用 I/O。
	C2OUT	—	CMOS	比较器 2 的输出。
RC5/CCP1	RC5	ST	CMOS	通用 I/O。
	CCP1	ST	CMOS	捕捉 / 比较输入。
RC6/AN8/SS	RC6	ST	CMOS	通用 I/O。
	AN8	AN	—	A/D 通道 8 的输入。
	SS	ST	—	从动选择输入。
RC7/AN9/SDO	RC7	ST	CMOS	通用 I/O。
	AN9	AN	—	A/D 通道 9 的输入。
	SDO	—	CMOS	SPI 数据输出。
VSS	VSS	电源	—	参考地。
VDD	VDD	电源	—	正极电源。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高压

CMOS = CMOS 兼容输入或输出
ST = CMOS 电平的施密特触发器输入
XTAL = 晶振

OD = 漏极开路

PIC16F685/687/689/690

表 1-3: 引脚说明——PIC16F690

名称	功能	输入类型	输出类型	说明
RA0/AN0/C1IN+/ICSPDAT/ ULPWU	RA0	TTL	—	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN0	AN	—	A/D 通道 0 的输入。
	C1IN+	AN	—	比较器 1 的正极输入。
	ICSPDAT	TTL	CMOS	ICSP 数据 I/O。
	ULPWU	AN	—	超低功耗唤醒输入。
RA1/AN1/C12IN-/VREF/ICSPCLK	RA1	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN1	AN	—	A/D 通道 1 的输入。
	C12IN-	AN	—	比较器 1 或 2 的负极输入。
	VREF	AN	—	A/D 的外部参考电压。
	ICSPCLK	ST	—	ICSP™ 时钟。
RA2/AN2/T0CKI/INT/C1OUT	RA2	ST	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN2	AN	—	A/D 通道 2 的输入。
	T0CKI	ST	—	Timer0 的时钟输入。
	INT	ST	—	外部中断。
	C1OUT	—	CMOS	比较器 1 的输出。
RA3/MCLR/VPP	RA3	TTL	—	通用输入。单独控制的电平变化中断。
	MCLR	ST	—	带内部上拉的主清零。
	VPP	HV	—	编程电压。
RA4/AN3/T1G/OSC2/CLKOUT	RA4	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN3	AN	—	A/D 通道 3 的输入。
	T1G	ST	—	Timer1 门控输入。
	OSC2	—	XTAL	晶振 / 谐振器。
	CLKOUT	—	CMOS	Fosc/4 输出。
RA5/T1CKI/OSC1/CLKIN	RA5	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	T1CKI	ST	—	Timer1 的时钟输入。
	OSC1	XTAL	—	晶振 / 谐振器。
	CLKIN	ST	—	外部时钟输入 /RC 振荡器连接。
RB4/AN10/SDI/SDA	RB4	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN10	AN	—	A/D 通道 10 的输入。
	SDI	ST	—	SPI 数据输入。
	SDA	ST	OD	I ² C 数据输入 / 输出。
RB5/AN11/RX/DT	RB5	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	AN11	AN	—	A/D 通道 11 的输入。
	RX	ST	—	EUSART 异步输入。
	DT	ST	CMOS	EUSART 同步数据。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高压

CMOS = CMOS 兼容输入或输出
ST = CMOS 电平的施密特触发器输入
XTAL = 晶振

OD = 漏极开路

PIC16F685/687/689/690

表 1-3: 引脚说明——PIC16F690 (续)

名称	功能	输入类型	输出类型	说明
RB6/SCK/SCL	RB6	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	SCK	ST	CMOS	SPI 时钟。
	SCL	ST	OD	I ² C™ 时钟。
RB7/TX/CK	RB7	TTL	CMOS	通用 I/O。单独控制的电平变化中断。单独使能的上拉。
	TX	—	CMOS	EUSART 异步输出。
	CK	ST	CMOS	EUSART 同步时钟。
RC0/AN4/C2IN+	RC0	ST	CMOS	通用 I/O。
	AN4	AN	—	A/D 通道 4 的输入。
	C2IN+	AN	—	比较器 2 的正极输入。
RC1/AN5/C12IN-	RC1	ST	CMOS	通用 I/O。
	AN5	AN	—	A/D 通道 5 的输入。
	C12IN-	AN	—	比较器 1 或 2 的负极输入。
RC2/AN6/P1D	RC2	ST	CMOS	通用 I/O。
	AN6	AN	—	A/D 通道 6 的输入。
	P1D	—	CMOS	PWM 的输出。
RC3/AN7/P1C	RC3	ST	CMOS	通用 I/O。
	AN7	AN	—	A/D 通道 7 的输入。
	P1C	—	CMOS	PWM 的输出。
RC4/C2OUT/P1B	RC4	ST	CMOS	通用 I/O。
	C2OUT	—	CMOS	比较器 2 的输出。
	P1B	—	CMOS	PWM 的输出。
RC5/CCP1/P1A	RC5	ST	CMOS	通用 I/O。
	CCP1	ST	CMOS	捕捉 / 比较输入。
	P1A	ST	CMOS	PWM 的输出。
RC6/AN8/SS	RC6	ST	CMOS	通用 I/O。
	AN8	AN	—	A/D 通道 8 的输入。
	SS	ST	—	从动选择输入。
RC7/AN9/SDO	RC7	ST	CMOS	通用 I/O。
	AN9	AN	—	A/D 通道 9 的输入。
	SDO	—	CMOS	SPI 数据输出。
Vss	Vss	电源	—	参考地。
VDD	VDD	电源	—	正极电源。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高压

CMOS = CMOS 兼容输入或输出
ST = CMOS 电平的施密特触发器输入
XTAL = 晶振

OD = 漏极开路

PIC16F685/687/689/690

注:

2.0 存储器构成

2.1 程序存储器构成

PIC16F685/687/689/690 器件具有一个 13 位程序计数器，能够寻址 $8K \times 14$ 的程序存储空间。只有 PIC16F687 的第一个 $2K \times 14$ (0000h-07FFh) 和 PIC16F685/PIC16F689/PIC16F690 的第一个 $4K \times 14$ (0000h-0FFFh) 是物理实现的。访问超出上述界限的存储单元，将回到原来空间。复位向量位于 0000h，而中断向量位于 0004h (见图 2-1 和 2-2)。

图 2-1: PIC16F685/689/690 的程序存储器映射图和堆栈

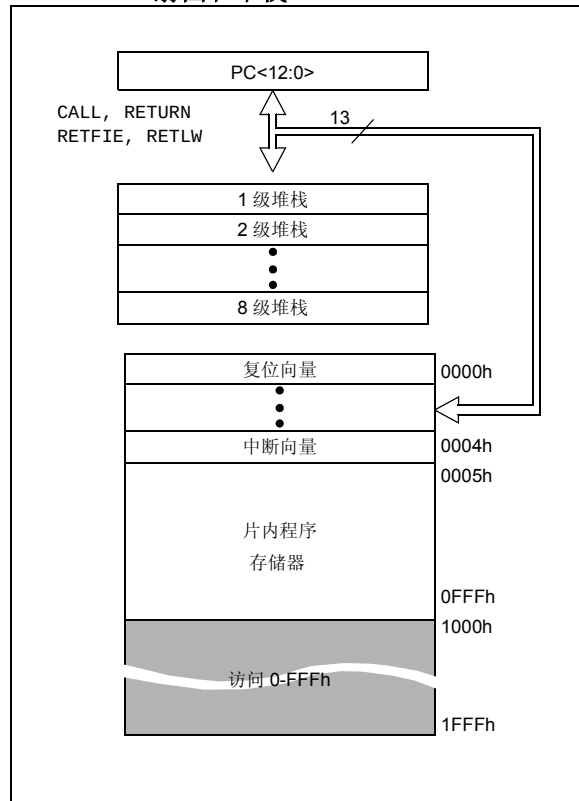
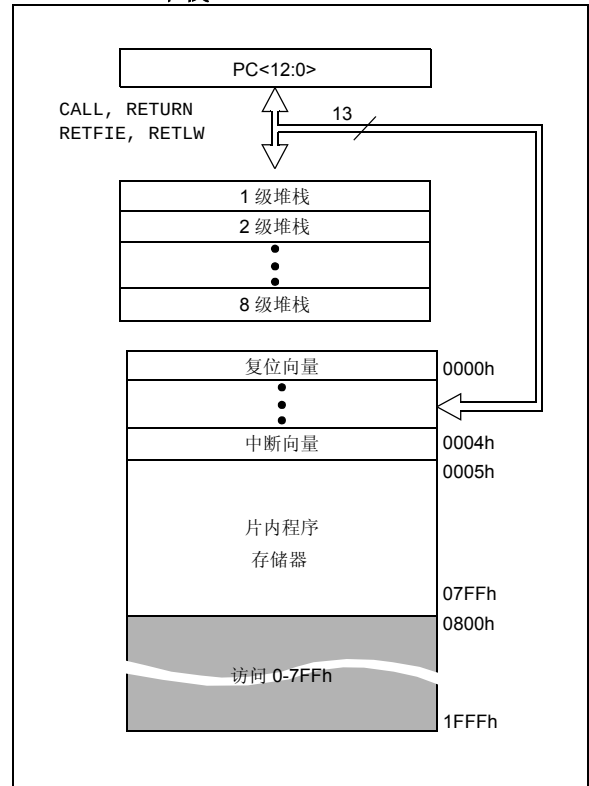


图 2-2: PIC16F687 的程序存储器映射图和堆栈



2.2 数据存储器构成

数据存储器（见图 2-3、2-4 和 2-5）分为四个存储区（Bank），这四个存储区中包含通用寄存器（General Purpose Register, GPR）和特殊功能寄存器（Special Function Register, SFR）。特殊功能寄存器位于每个存储区的前 32 个单元中。Bank 0 的寄存器单元 20h-7Fh 和 Bank 1 的 A0h-EFh（对于 PIC16F687 而言，仅 A0-BF）是通用寄存器，以静态 RAM 的形式实现。Bank 1 中的寄存器单元 F0h-FFh、Bank 2 中的 170h-17Fh 和 Bank 3 中的 1F0h-1FFh 指向 Bank 0 中的地址 70h-7Fh。根据器件不同，其他通用寄存器（GPR）在 Bank 1 和 Bank 2 中也可以使用。详细信息请参见图 2-3、2-4 和 2-5。所有其他 RAM 均未使用，读取时返回 0。RP<1:0>（STATUS<6:5>）是存储区选择位：

RP1 RP0

0	0	→ 选择 Bank 0
0	1	→ 选择 Bank 1
1	0	→ 选择 Bank 2
1	1	→ 选择 Bank 3

2.2.1 通用寄存器文件

PIC16F687 的寄存器文件组织为 128 x 8，而 PIC16F685/PIC16F689/PIC16F690 的寄存器文件则组织为 256 x 8。通过文件选择寄存器（File Select Register, FSR），可以直接或间接地访问每个寄存器（参见第 2.4 节“间接寻址、INDF 和 FSR 寄存器”）。

2.2.2 特殊功能寄存器

特殊功能寄存器为 CPU 和外设模块用来对器件进行所需操作控制的寄存器（见表 2-1、2-2、2-3 和 2-4）。这些寄存器皆为静态 RAM。

特殊功能寄存器可分为两类，即：内核和外设。本节将介绍与“内核”相关的特殊功能寄存器。与外设模块相关的特殊功能寄存器将在相应的外设模块功能章节中介绍。

图 2-3: PIC16F685 特殊功能寄存器

文件地址	文件地址	文件地址	文件地址
间接寻址 (1)	间接寻址 (1)	间接寻址 (1)	间接寻址 (1)
TMR0	OPTION_REG	TMR0	OPTION_REG
PCL	PCL	PCL	PCL
STATUS	STATUS	STATUS	STATUS
FSR	FSR	FSR	FSR
PORTA	TRISA	PORTA	TRISA
PORTB	TRISB	PORTB	TRISB
PORTC	TRISC	PORTC	TRISC
PCLATH	PCLATH	PCLATH	PCLATH
INTCON	INTCON	INTCON	INTCON
PIR1	PIE1	EEDAT	EECON1
PIR2	PIE2	EEADR	EECON2 ⁽¹⁾
TMR1L	PCON	EEDATH	
TMR1H	OSCCON	EEADRH	
T1CON	OSCTUNE		
TMR2			
T2CON	PR2		
CCPR1L	WPUA	WPUB	
CCPR1H	IOCA	IOCB	
CCP1CON	WDTCON		
		VRCON	
		CM1CON0	
		CM2CON0	
		CM2CON1	
PWM1CON			
ECCPAS			
ADRESH	ADRESL	ANSEL	PSTRCON
ADCON0	ADCON1	ANSELH	SRCON
通用寄存器	通用寄存器	通用寄存器	
96 字节	80 字节	80 字节	
	访问 70h-7Fh	访问 70h-7Fh	访问 70h-7Fh
Bank 0	Bank 1	Bank 2	Bank 3

■ 未使用的数据存储单元，读为 0。

注 1: 不是实际存在的寄存器。

PIC16F685/687/689/690

图 2-4: PIC16F687/PIC16F689 特殊功能寄存器

文件地址	文件地址	文件地址	文件地址
间接寻址 (1)	间接寻址 (1)	间接寻址 (1)	间接寻址 (1)
TMR0	OPTION_REG	TMR0	OPTION_REG
PCL	PCL	PCL	PCL
STATUS	STATUS	STATUS	STATUS
FSR	FSR	FSR	FSR
PORTA	TRISA	PORTA	TRISA
PORTB	TRISB	PORTB	TRISB
PORTC	TRISC	PORTC	TRISC
PCLATH	PCLATH	PCLATH	PCLATH
INTCON	INTCON	INTCON	INTCON
PIR1	PIE1	EEDAT	EECON1
PIR2	PIE2	EEADR	EECON2(1)
TMR1L	PCON	EEDATH(3)	
TMR1H	OSCCON	EEADRH(3)	
T1CON	OSCTUNE		
SSPBUF	SSPADD(2)		
SSPCON	SSPSTAT		
	WPUA	WPUB	
	IOCA	IOCB	
	WDTCON		
RCSTA	TXSTA	VRCON	
TXREG	SPBRG	CM1CON0	
RCREG	SPBRGH	CM2CON0	
	BAUDCTL	CM2CON1	
ADRESH	ADRESL	ANSEL	SRCON
ADCON0	ADCON1	ANSELH	
通用 寄存器 96 字节	通用 寄存器 32 字节	通用 寄存器 80 字节 (仅限 PIC16F689)	访问 70h-7Fh
7Fh	48 字节 (仅限 PIC16F689)	访问 70h-7Fh	1F0h
Bank 0	访问 70h-7Fh	170h	1FFh
	FFh	17Fh	
	Bank 1	Bank 2	Bank 3

■ 未使用的数据存储单元，读为 0。

注 1: 不是实际存在的寄存器。

2: 在某些情况下地址 93h 也可以访问 SSP 屏蔽 (SSPMSK) 寄存器。更多详细信息，请参见寄存器 13-2 和 13-3。

3: 仅限 PIC16F689。

图 2-5: PIC16F690 特殊功能寄存器

文件地址	文件地址	文件地址	文件地址
间接寻址 (1)	间接寻址 (1)	间接寻址 (1)	间接寻址 (1)
TMR0	OPTION_REG	TMR0	OPTION_REG
PCL	PCL	PCL	PCL
STATUS	STATUS	STATUS	STATUS
FSR	FSR	FSR	FSR
PORTA	TRISA	PORTA	TRISA
PORTB	TRISB	PORTB	TRISB
PORTC	TRISC	PORTC	TRISC
PCLATH	PCLATH	PCLATH	PCLATH
INTCON	INTCON	INTCON	INTCON
PIR1	PIE1	EEDAT	EECON1
PIR2	PIE2	EEADR	EECON2(1)
TMR1L	PCON	EEDATH	
TMR1H	OSCCON	EEADRH	
T1CON	OSCTUNE		
TMR2			
T2CON	PR2		
SSPBUF	SSPADD(2)		
SSPCON	SSPSTAT		
CCPR1L	WPUA	WPUB	
CCPR1H	IOCA	IOCB	
CCP1CON	WDTCON		
RCSTA	TXSTA	VRCON	
TXREG	SPBRG	CM1CON0	
RCREG	SPBRGH	CM2CON0	
	BAUDCTL	CM2CON1	
PWM1CON			
ECCPAS			
ADRESH	ADRESL	ANSEL	PSTRCON
ADCON0	ADCON1	ANSELH	SRCON
通用寄存器	通用寄存器	通用寄存器	
96 字节	80 字节	80 字节	
	访问	访问	访问
	70h-7Fh	70h-7Fh	70h-7Fh
Bank 0	Bank 1	Bank 2	Bank 3

■ 未使用的数据存储单元，读为 0。

注 1: 不是实际存在的寄存器。

2: 在某些情况下地址 93h 也可以访问 SSP 屏蔽 (SSPMASK) 寄存器。更多详细信息，请参见寄存器 13-2 和 13-3。

PIC16F685/687/689/690

表 2-1: PIC16F685/687/689/690 特殊功能寄存器汇总, BANK 0

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值 ⁽¹⁾
Bank 0											
00h	INDF	用 FSR 的内容寻址数据存储器 (不是实际存在的寄存器)								xxxx xxxx	xxxx xxxx
01h	TMR0	Timer0 模块寄存器								xxxx xxxx	uuuu uuuu
02h	PCL	程序计数器 (PC) 的低位字节								0000 0000	0000 0000
03h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
04h	FSR	间接数据存储器地址指针								xxxx xxxx	uuuu uuuu
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	--uu uuuu
06h	PORTB	RB7	RB6	RB5	RB4	—	—	—	—	xxxx ----	uuuu ----
07h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
08h	—	未用								—	—
09h	—	未用								—	—
0Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					---0 0000	---0 0000
0Bh	INTCON	GIE	PEIE	TOIE	INTE	RABIE	T0IF	INTF	RABIF ⁽²⁾	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF ⁽³⁾	TXIF ⁽³⁾	SSPIF ⁽³⁾	CCP1IF ⁽⁴⁾	TMR2IF ⁽⁴⁾	TMR1IF	-000 0000	-000 0000
0Dh	PIR2	OSFIF	C2IF	C1IF	EEIF	—	—	—	—	0000 ----	0000 ----
0Eh	TMR1L	16 位 TMR1 低位字节的保持寄存器								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	16 位 TMR1 高位字节的保持寄存器								xxxx xxxx	uuuu uuuu
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	0000 0000	uuuu uuuu
11h	TMR2	Timer2 模块寄存器								0000 0000	0000 0000
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
13h	SSPBUF ⁽³⁾	同步串行口接收缓冲器 / 发送寄存器								xxxx xxxx	uuuu uuuu
14h	SSPCON ^(3, 5)	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
15h	CCPR1L ⁽⁴⁾	捕捉 / 比较 / PWM 寄存器 1 (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H ⁽⁴⁾	捕捉 / 比较 / PWM 寄存器 1 (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON ⁽⁴⁾	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
18h	RCSTA ⁽³⁾	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG ⁽³⁾	EUSART 发送数据寄存器								0000 0000	0000 0000
1Ah	RCREG ⁽³⁾	EUSART 接收数据寄存器								0000 0000	0000 0000
1Bh	—	未用								—	—
1Ch	PWM1CON ⁽⁴⁾	PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0	0000 0000	0000 0000
1Dh	ECCPAS ⁽⁴⁾	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1	PSSBD0	0000 0000	0000 0000
1Eh	ADRESH	A/D 结果寄存器高位字节								xxxx xxxx	uuuu uuuu
1Fh	ADCON0	ADFM	VCFG	CHS3	CHS2	CHS1	CHS0	$\overline{GO/DONE}$	ADON	0000 0000	0000 0000

图注: — = 未用的存储单元, 读为 0, u = 不变, x = 未知, q = 值取决于具体条件, 阴影 = 未用

- 注
- 1: 其他 (非上电) 复位包括在正常操作期间的 MCLR 复位和看门狗定时器复位。
 - 2: MCLR 和 WDT 复位不影响先前的数据锁存值。复位时 RAIF 位将清零, 但如果存在不匹配则将置 1。
 - 3: 仅限 PIC16F687/PIC16F689/PIC16F690。
 - 4: 仅限 PIC16F685/PIC16F690。
 - 5: 当 SSPCON 位 SSPM<3:0> = 1001 时, 任何对 SSPADD SFR 地址的读或写都必须通过 SSPMSK 寄存器来访问。更多详细信息, 请参见寄存器 13-2 和 13-3。

PIC16F685/687/689/690

表 2-2: PIC16F685/687/689/690 特殊功能寄存器汇总, BANK 1

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值 ⁽¹⁾
Bank 1											
80h	INDF	用 FSR 的内容寻址数据存储器 (不是实际存在的寄存器)								xxxx xxxx	xxxx xxxx
81h	OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
82h	PCL	程序计数器 (PC) 的低位字节								0000 0000	0000 0000
83h	STATUS	IRP	RP1	RP0	T0	PD	Z	DC	C	0001 1xxx	000q quuu
84h	FSR	间接数据存储器地址指针								xxxx xxxx	uuuu uuuu
85h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
87h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
88h	—	未用								—	—
89h	—	未用								—	—
8Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					--0 0000	--0 0000
8Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF ⁽²⁾	0000 000x	0000 000x
8Ch	PIE1	—	ADIE	RCIE ⁽³⁾	TXIE ⁽³⁾	SSPIE ⁽³⁾	CCP1IE ⁽⁴⁾	TMR2IE ⁽⁴⁾	TMR1IE	-000 0000	-000 0000
8Dh	PIE2	OSFIE	C2IE	C1IE	EEIE	—	—	—	—	0000 ----	0000 ----
8Eh	PCON	—	—	ULPWUE	SBOREN	—	—	POR	BOR	--01 --qq	--0u --uu
8Fh	OSCCON	—	IRCF2	IRCF1	IRCF0	OSTS	HTS	LTS	SCS	-110 q000	-110 x000
90h	OSCTUNE	—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0	--0 0000	--u uuuu
91h	—	未用								—	—
92h	PR2 ⁽⁴⁾	Timer2 周期寄存器								1111 1111	1111 1111
93h	SSPADD ^(3, 6)	同步串行口 (I ² C 模式) 地址寄存器								0000 0000	0000 0000
93h	SSPMSK ^(3, 6)	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	1111 1111	1111 1111
94h	SSPSTAT ⁽³⁾	SMP	CKE	D/A	P	S	R/W	UA	BF	0000 0000	0000 0000
95h	WPUA ⁽⁵⁾	—	—	WPUA5	WPUA4	—	WPUA2	WPUA1	WPUA0	--11 -111	--11 -111
96h	IOCA	—	—	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	--00 0000	--00 0000
97h	WDTCN	—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN	--0 1000	--0 1000
98h	TXSTA ⁽³⁾	CSRC	TX9	TXEN	SYNC	SENB	BRGH	TRMT	TX9D	0000 0010	0000 0010
99h	SPBRG ⁽³⁾	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
9Ah	SPBRGH ⁽³⁾	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
9Bh	BAUDCTL ⁽³⁾	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
9Ch	—	未用								—	—
9Dh	—	未用								—	—
9Eh	ADRESL	A/D 结果寄存器低位字节								xxxx xxxx	uuuu uuuu
9Fh	ADCON1	—	ADCS2	ADCS1	ADCS0	—	—	—	—	-000 ----	-000 ---

- 图注:**
- = 未用的存储单元, 读为 0, u = 不变, x = 未知, q = 值取决于具体条件, 阴影 = 未用
 - 1:** 其他 (非上电) 复位包括在正常操作期间的 MCLR 复位和看门狗定时器复位。
 - 2:** MCLR 和 WDT 复位不影响先前的数据锁存值。复位时 RAIF 位将清零, 但如果存在不匹配则将置 1。
 - 3:** 仅限 PIC16F687/PIC16F689/PIC16F690。
 - 4:** 仅限 PIC16F685/PIC16F690。
 - 5:** 当引脚在配置字中配置为 MCLR 时, RA3 上拉使能。
 - 6:** 仅在 SSPM<3:0> = 1001 时可以访问。

PIC16F685/687/689/690

表 2-3: PIC16F685/687/689/690 特殊功能寄存器汇总, BANK 2

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值 ⁽¹⁾
Bank 2											
100h	INDF	用 FSR 的内容寻址数据存储器 (不是实际存在的寄存器)								xxxx xxxx	xxxx xxxx
101h	TMR0	Timer0 模块寄存器								xxxx xxxx	uuuu uuuu
102h	PCL	程序计数器 (PC) 的低字节								0000 0000	0000 0000
103h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
104h	FSR	间接数据存储器地址指针								xxxx xxxx	uuuu uuuu
105h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	--uu uuuu
106h	PORTB	RB7	RB6	RB5	RB4	—	—	—	—	xxxx ----	uuuu ----
107h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
108h	—	未用								—	—
109h	—	未用								—	—
10Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					--0 0000	--0 0000
10Bh	INTCON	GIE	PEIE	TOIE	INTE	RABIE	T0IF	INTF	RABIF ⁽²⁾	0000 000x	0000 000x
10Ch	EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	0000 0000	0000 0000
10Dh	EEADR	EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	0000 0000	0000 0000
10Eh	EEDATH ⁽³⁾	—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	--00 0000	--00 0000
10Fh	EEADRH ⁽³⁾	—	—	—	—	EEADRH3	EEADRH2	EEADRH1	EEADRH0	---- 0000	---- 0000
110h	—	未用								—	—
111h	—	未用								—	—
112h	—	未用								—	—
113h	—	未用								—	—
114h	—	未用								—	—
115h	WPUB	WPUB7	WPUB6	WPUB5	WPUB4	—	—	—	—	1111 ----	1111 ----
116h	IOCB	IOCB7	IOCB6	IOCB5	IOCB4	—	—	—	—	0000 ----	0000 ----
117h	—	未用								—	—
118h	VRCON	C1VREN	C2VREN	VRR	VP6EN	VR3	VR2	VR1	VR0	0000 0000	0000 0000
119h	CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	0000 -000
11Ah	CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	0000 -000
11Bh	CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	00-- --10	00-- --10
11Ch	—	未用								—	—
11Dh	—	未用								—	—
11Eh	ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
11Fh	ANSELH	—	—	—	—	ANS11	ANS10	ANS9	ANS8	---- 1111	---- 1111

图注: — = 未用的存储单元, 读为 0, u = 不变, x = 未知, q = 值取决于具体条件, 阴影 = 未用

- 注
- 1: 其他 (非上电) 复位包括在正常操作期间的 MCLR 复位和看门狗定时器复位。
 - 2: MCLR 和 WDT 复位不影响先前的数据锁存值。复位时 RAIF 位将清零, 但如果存在不匹配则将置 1。
 - 3: 仅限 PIC16F685/PIC16F689/PIC16F690。

PIC16F685/687/689/690

表 2-4: PIC16F685/687/689/690 特殊功能寄存器汇总, BANK 3

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值 ⁽¹⁾
Bank 3											
180h	INDF	用 FSR 的内容寻址数据存储器 (不是实际存在的寄存器)								xxxx xxxx	xxxx xxxx
181h	OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
182h	PCL	程序计数器 (PC) 的低位字节								0000 0000	0000 0000
183h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
184h	FSR	间接数据存储器地址指针								xxxx xxxx	uuuu uuuu
185h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
187h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
188h	—	未用								—	—
189h	—	未用								—	—
18Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					---0 0000	---0 0000
18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF ⁽²⁾	0000 000x	0000 000x
18Ch	EECON1	EEPGD	—	—	—	WRERR	WREN	WR	RD	x--- x000	0--- q000
18Dh	EECON2	EEPROM 控制寄存器 2 (不是实际存在的寄存器)								---- ----	---- ----
18Eh	—	未用								—	—
18Fh	—	未用								—	—
190h	—	未用								—	—
191h	—	未用								—	—
192h	—	未用								—	—
193h	—	未用								—	—
194h	—	未用								—	—
195h	—	未用								—	—
196h	—	未用								—	—
197h	—	未用								—	—
198h	—	未用								—	—
199h	—	未用								—	—
19Ah	—	未用								—	—
19Bh	—	未用								—	—
19Ch	—	未用								—	—
19Dh	PSTRCON ⁽³⁾	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	---0 0001
19Eh	SRCON	SR1	SR0	C1SEN	C2REN	PULSS	PULSR	—	—	0000 00--	0000 00--
19Fh	—	未用								—	—

- 图注:** — = 未用的存储单元, 读为 0, u = 不变, x = 未知, q = 值取决于具体条件, 阴影 = 未用
- 注**
- 1: 其他 (非上电) 复位包括在正常操作期间的 MCLR 复位和看门狗定时器复位。
 - 2: MCLR 和 WDT 复位不影响先前的数据锁存值。复位时 RAIF 位将清零, 但如果存在不匹配则将置 1。
 - 3: 仅限 PIC16F685/PIC16F690。

PIC16F685/687/689/690

2.2.2.1 状态寄存器

如寄存器 2-1 所示，状态（Status）寄存器包括：

- ALU 的算术运算结果状态位
- 复位状态位
- 数据存储（GPR 和 SFR）的存储区选择位

状态寄存器与其他寄存器一样，可作为任何指令的目标寄存器。如果一条影响 Z、DC 或 C 位的指令以状态寄存器为目标寄存器，那么对这三个位的写操作将被禁止。这些位根据器件逻辑来置 1 或清零。而且，TO 和 PD 标志位均为不可写位。因此，当执行一条将状态寄存器作为目标寄存器的指令时，运行结果可能会与预想的不同。

例如，指令 CLRF STATUS 将会清除状态寄存器中的高三位，并将 Z 标志位置 1。这将使状态寄存器中的值成为“000u u1uu”（其中 u = 不变）。

因此，若要改变状态寄存器的值，建议使用 BCF、BSF、SWAPF 和 MOVWF 指令，因为这些指令将不会影响任何状态位。关于其他不会影响状态位的指令，请参见“指令集汇总”。

注 1：在减法运算时，C 和 DC 位分别作为借位位和辅助借位位。请参见 SUBLW 和 SUBWF 指令中的示例。

寄存器 2-1: STATUS——状态寄存器（地址：03h、83h、103h 或 183h）

	R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
	IRP	RP1	RP0	$\overline{\text{TO}}$	$\overline{\text{PD}}$	Z	DC ⁽¹⁾	C ⁽¹⁾
bit 7								bit 0
bit 7	IRP: 寄存器存储区选择位（用于间接寻址） 1 = Bank 2 和 3（100h — 1FFh） 0 = Bank 0 和 1（00h — FFh）							
bit 6-5	RP<1:0>: 寄存器存储区选择位（用于直接寻址） 00 = Bank 0（00h — 7Fh） 01 = Bank 1（80h — FFh） 10 = Bank 2（100h — 17Fh） 11 = Bank 3（180h — 1FFh）							
bit 4	$\overline{\text{TO}}$: 超时位 1 = 在上电复位、执行 CLRWDW 或 SLEEP 指令后 0 = 产生了 WDT 超时							
bit 3	$\overline{\text{PD}}$: 掉电位 1 = 上电或执行 CLRWDW 指令后 0 = 执行 SLEEP 指令							
bit 2	Z: 零标志位 1 = 算术运算或者逻辑运算的结果是 0 0 = 算术运算或者逻辑运算的结果不是 0							
bit 1	DC: 辅助进位 / 借位位（ADDWF、ADDLW、SUBLW 和 SUBWF 指令） ⁽¹⁾ 1 = 运算结果的低 4 位向高 4 位产生进位 0 = 运算结果的低 4 位向高 4 位没有产生进位							
bit 0	C: 进位 / 借位位（ADDWF、ADDLW、SUBLW 和 SUBWF 指令） ⁽¹⁾ 1 = 运算结果产生来自最高位的进位 0 = 运算结果没有产生来自最高位的进位							

注 1：对于借位，极性相反。减法操作的执行是通过加上第二个操作数的二的补码（Two's Complement）来实现的。对于移位指令（RRF 和 RLF），是把源寄存器的最高位或最低位放入 C 中。

图注：

R = 可读位	W = 可写位	U = 未用位，读为 0
-n = POR 值	1 = 置 1	0 = 清零
		x = 未知

2.2.2.2 选项寄存器

选项（Option）寄存器是可读写寄存器，有各种控制位，用来配置以下各项：

- TMR0/WDT 预分频器
- 外部 RA2/INT 中断
- TMR0
- PORTA 的弱上拉 / 下拉

注： 要使 TMR0 获得 1:1 的预分频比，可将 PSA 位（OPTION_REG<3>）置为 1，以将预分频器分配给 WDT。请参见第 5.4 节“预分频器”。

寄存器 2-2: OPTION_REG——选项寄存器（地址：81h 或 181h）

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

- bit 7 **RABPU:** PORTA/PORTB 上拉使能位
 1 = 禁止 PORTA/PORTB 上拉
 0 = 通过单独的端口锁存值使能 PORTA/PORTB 上拉
- bit 6 **INTEDG:** 中断触发边沿选择位
 1 = RA2/AN2/T0CKI/INT/C1OUT 引脚的上升沿触发中断
 0 = RA2/AN2/T0CKI/INT/C1OUT 引脚的下降沿触发中断
- bit 5 **T0CS:** TMR0 时钟源选择位
 1 = RA2/AN2/T0CKI/INT/C1OUT 引脚上的电平跳变
 0 = 内部指令周期时钟（CLKOUT）
- bit 4 **T0SE:** TMR0 信号源边沿选择位
 1 = 在 RA2/AN2/T0CKI/INT/C1OUT 引脚信号从高至低跳变时，递增计数
 0 = 在 RA2/AN2/T0CKI/INT/C1OUT 引脚信号从低至高跳变时，递增计数
- bit 3 **PSA:** 预分频器分配控制位
 1 = 预分频器分配给 WDT
 0 = 预分频器分配给 Timer0 模块
- bit 2-0 **PS<2:0>:** 预分频器倍率选择位

位值	TMR0 比率	WDT 比率 ⁽¹⁾
000	1:2	1:1
001	1:4	1:2
010	1:8	1:4
011	1:16	1:8
100	1:32	1:16
101	1:64	1:32
110	1:128	1:64
111	1:256	1:128

注 1: 可以使用专用的 16 位 WDT 后分频器。更多信息，请参见第 14.5 节“看门狗定时器（WDT）”。

图注：

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

PIC16F685/687/689/690

2.2.2.3 INTCON 寄存器

INTCON 寄存器是可读写的寄存器，它包含 TMR0 寄存器溢出、PORTA 电平变化和外部 RA2/AN2/T0CKI/INT/C1OUT 引脚中断等各种使能控制位和标志位。

注： 当中断条件满足时，无论相应中断允许位或全局中断允许位 GIE（INTCON<7>）的状态如何，中断标志位将被置 1。用户程序应确保在重新允许中断之前，相应的中断标志位已被清零。

寄存器 2-3: INTCON——中断控制寄存器（地址：0Bh、8Bh、10Bh 或 18Bh）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	T0IE	INTE	RABIE ^(1,3)	T0IF ⁽²⁾	INTF	RABIF
bit 7							bit 0

bit 7	GIE: 全局中断允许位 1 = 使能所有非屏蔽中断 0 = 禁止所有中断
bit 6	PEIE: 外设中断允许位 1 = 使能所有非屏蔽外设中断 0 = 禁止所有外设中断
bit 5	T0IE: TMR0 溢出中断允许位 1 = 使能 TMR0 中断 0 = 禁止 TMR0 中断
bit 4	INTE: RA2/INT 外部中断允许位 1 = 使能 RA2/INT 外部中断 0 = 禁止 RA2/INT 外部中断
bit 3	RABIE: PORTA/PORTB 电平变化中断允许位 ^(1,3) 1 = 使能 PORTA/PORTB 电平变化中断 0 = 禁止 PORTA/PORTB 电平变化中断
bit 2	T0IF: TMR0 溢出中断标志位 ⁽²⁾ 1 = TMR0 寄存器溢出（必须用软件清零） 0 = TMR0 寄存器没有溢出
bit 1	INTF: RA2/INT 外部中断标志 1 = RA2/INT 外部中断已经发生（必须用软件清零） 0 = RA2/INT 外部中断没有发生
bit 0	RABIF: PORTA/PORTB 电平变化中断标志位 1 = 至少有一个 PORTA 或 PORTB 通用 I/O 引脚状态发生变化时（必须用软件清零） 0 = PORTA 或 PORTB 通用 I/O 引脚状态均未发生变化

- 注**
- 1: IOCA 或 IOCB 寄存器也必须被使能。
 - 2: 当 Timer0 计数出现计满返回时，T0IF 位将被置 1。Timer0 计数值在复位时不变，而且应在清除 T0IF 位之前对其进行初始化。
 - 3: 包含 ULPWU 中断。

图注：

R = 可读位	W = 可写位	U = 未用位，读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

2.2.2.4 PIE1 寄存器

PIE1 寄存器包含中断允许位，如寄存器 2-4 所示。

注： 必须将 PEIE（INTCON<6>）位置 1，以使能外设中断。

寄存器 2-4: **PIE1——外设中断允许寄存器 1（地址：8Ch）**

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	ADIE	RCIE ⁽²⁾	TXIE ⁽²⁾	SSPIE ⁽²⁾	CCP1IE ⁽¹⁾	TMR2IE ⁽¹⁾	TMR1IE
bit 7							bit 0

- bit 7 未用：读为 0
- bit 6 **ADIE**: A/D 转换器中断允许位
 1 = 使能
 0 = 禁止
- bit 5 **RCIE**: EUSART 接收中断允许位 ⁽²⁾
 1 = 使能
 0 = 禁止
- bit 4 **TXIE**: EUSART 发送中断允许位 ⁽²⁾
 1 = 使能
 0 = 禁止
- bit 3 **SSPIE**: 同步串行口（SSP）中断允许位 ⁽²⁾
 1 = 使能
 0 = 禁止
- bit 2 **CCP1IE**: CCP1 中断允许位 ⁽¹⁾
 1 = 使能
 0 = 禁止
- bit 1 **TMR2IE**: TMR2 到 PR2 匹配中断允许位 ⁽¹⁾
 1 = 使能
 0 = 禁止
- bit 0 **TMR1IE**: TMR1 溢出中断允许位
 1 = 使能
 0 = 禁止

- 注 1: 仅限 PIC16F685/PIC16F690。
- 2: 仅限 PIC16F687/PIC16F689/PIC16F690。

图注:			
R = 可读位	W = 可写位	U = 未用位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

PIC16F685/687/689/690

2.2.2.5 PIE2 寄存器

PIE2 寄存器包含中断允许位，如寄存器 2-5 所示。

注： 必须将 PEIE (INTCON<6>) 位置 1，以使能外设中断。

寄存器 2-5: PIE2——外设中断允许寄存器 2 (地址: 8Dh)

R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
OSFIE	C2IE	C1IE	EEIE	—	—	—	—
bit 7				bit 0			

- bit 7 **OSFIE:** 振荡器故障中断允许位
1 = 使能
0 = 禁止
- bit 6 **C2IE:** 比较器 2 中断允许位
1 = 使能比较器 2 中断
0 = 禁止比较器 2 中断
- bit 5 **C1IE:** 比较器 1 中断允许位
1 = 使能比较器 1 中断
0 = 禁止比较器 1 中断
- bit 4 **EEIE:** EE 写操作中断允许位
1 = 使能
0 = 禁止
- bit 3-0 未用: 读为 0

图注:			
R = 可读位	W = 可写位	U = 未用位, 读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

2.2.2.6 PIR1 寄存器

PIR1 寄存器包含中断标志位，如寄存器 2-6 所示。

注： 当中断条件满足时，无论相应中断允许位或全局中断允许位 GIE (INTCON<7>) 的状态如何，中断标志位将被置 1。用户程序应确保在重新允许中断之前，相应的中断标志位已被清零。

寄存器 2-6: PIR1——外设中断请求寄存器 1 (地址: 0Ch)

U-0	R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
—	ADIF	RCIF ⁽¹⁾	TXIF ⁽¹⁾	SSPIF ⁽¹⁾	CCP1IF ⁽²⁾	TMR2IF ⁽²⁾	TMR1IF
bit 7							bit 0

- bit 7 **未用：** 读为 0
- bit 6 **ADIF:** A/D 转换器中断标志位
 1 = A/D 转换已完成 (必须用软件清零)
 0 = A/D 转换未完成
- bit 5 **RCIF:** EUSART 接收中断标志位 ⁽¹⁾
 1 = EUSART 接收缓冲器满 (通过读取 RCREG 清零)
 0 = EUSART 接收缓冲器未满
- bit 4 **TXIF:** EUSART 发送中断标志位 ⁽¹⁾
 1 = EUSART 发送缓冲器空 (通过写入 TXREG 清零)
 0 = EUSART 发送缓冲器满
- bit 3 **SSPIF:** 同步串行口 (SSP) 中断标志位 ⁽¹⁾
 1 = 发送 / 接收完成 (必须用软件清零)
 0 = 等待发送 / 接收
- bit 2 **CCP1IF:** CCP1 中断标志位 ⁽²⁾
捕捉模式
 1 = TMR1 寄存器发生捕捉中断 (必须用软件清零)
 0 = TMR1 寄存器未发生捕捉中断
比较模式
 1 = TMR1 寄存器发生比较匹配中断 (必须用软件清零)
 0 = TMR1 寄存器未发生比较匹配中断
PWM 模式
 未在此模式中使用。
- bit 1 **TMR2IF:** TMR2 和 PR2 中断标志位 ⁽²⁾
 1 = 发生 TMR2 和 PR2 匹配中断 (必须用软件清零)
 0 = 未发生 TMR2 和 PR2 匹配中断
- bit 0 **TMR1IF:** TMR1 溢出中断标志位
 1 = TMR1 寄存器溢出 (必须用软件清零)
 0 = TMR1 寄存器未溢出

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

注 2: 仅限 PIC16F685/PIC16F690。

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC16F685/687/689/690

2.2.2.7 PIR2 寄存器

PIR2 寄存器包含中断标志位，如寄存器 2-7 所示。

注： 当中断条件满足时，无论相应中断允许位或全局中断允许位 **GIE** (**INTCON<7>**) 的状态如何，中断标志位将被置 1。用户程序应确保在重新允许中断之前，相应的中断标志位已被清零。

寄存器 2-7: PIR2——外设中断请求寄存器 2（地址：0Dh）

R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
OSFIF	C2IF	C1IF	EEIF	—	—	—	—
bit 7				bit 0			

- bit 7 **OSFIF**: 振荡器故障中断标志位
1 = 系统振荡器故障，时钟输入切换至 **INTOSC**（必须用软件清零）
0 = 系统时钟工作正常
- bit 6 **C2IF**: 比较器 2 中断标志位
1 = 比较器输出（**C2OUT** 位）已经改变（必须用软件清零）
0 = 比较器输出（**C2OUT** 位）没有变化
- bit 5 **C1IF**: 比较器 1 中断标志位
1 = 比较器输出（**C1OUT** 位）已经改变（必须用软件清零）
0 = 比较器输出（**C1OUT** 位）没有变化
- bit 4 **EEIF**: **EE** 写操作中中断标志位
1 = 写操作完成（必须用软件清零）
0 = 写操作未完成或尚未开始
- bit 3-0 未用：读为 0

图注：
R = 可读位 W = 可写位 U = 未用位，读为 0
-n = POR 值 1 = 置 1 0 = 清零 x = 未知

2.2.2.8 PCON 寄存器

电源控制（PCON）寄存器（见寄存器 2-8）包含区分以下各种复位的标志位：

- 上电复位（ $\overline{\text{POR}}$ ）
- 欠压复位（ $\overline{\text{BOR}}$ ）
- 看门狗定时器复位（WDT）
- 外部 $\overline{\text{MCLR}}$ 复位

PCON 寄存器还控制超低功耗唤醒和 $\overline{\text{BOR}}$ 的软件使能。

寄存器 2-8: PCON——电源控制寄存器（地址：8Eh）

	U-0	U-0	R/W-0	R/W-1	U-0	U-0	R/W-0	R/W-x
	—	—	ULPWUE	SBOREN ⁽¹⁾	—	—	$\overline{\text{POR}}$	$\overline{\text{BOR}}$
	bit 7							bit 0
bit 7-6	未用：读为 0							
bit 5	ULPWUE ：超低功耗唤醒使能位							
	1 = 使能超低功耗唤醒							
	0 = 禁止超低功耗唤醒							
bit 4	SBOREN ：软件 BOR 使能位 ⁽¹⁾							
	1 = 使能 BOR							
	0 = 禁止 BOR							
bit 3-2	未用：读为 0							
bit 1	$\overline{\text{POR}}$ ：上电复位状态位							
	1 = 无上电复位发生							
	0 = 发生上电复位（上电复位发生后，必须用软件置 1）							
bit 0	$\overline{\text{BOR}}$ ：欠压复位状态位							
	1 = 无欠压复位发生							
	0 = 发生欠压复位（欠压复位发生后，必须用软件置 1）							

注 1：配置字寄存器中的 BOREN<1:0> = 01 时，该位控制 BOR。

图注：

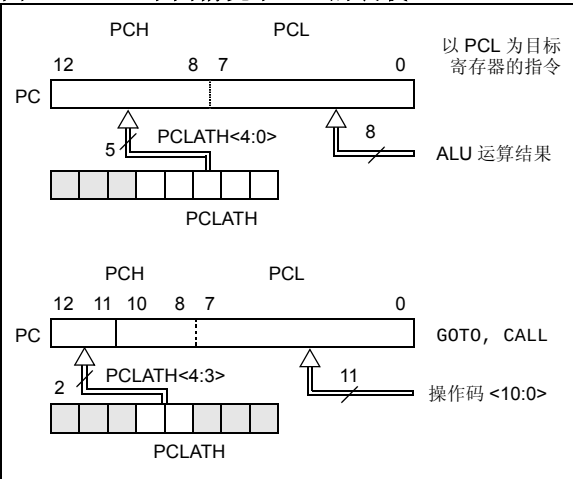
R = 可读位	W = 可写位	U = 未用位，读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC16F685/687/689/690

2.3 PCL 和 PCLATH

程序计数器（PC）为 13 位宽。其低 8 位来自可读写的 PCL 寄存器，高 5 位（PC<12:8>）来自 PCLATH，不能直接读写。只要发生复位，PC 就将被清零。图 2-6 显示了装载 PC 值的两种情形。图 2-6 上方的例子说明在写 PCL（PCLATH<4:0> → PCH）时是如何装载 PC 的。图 2-6 下方的例子说明了在执行 CALL 或 GOTO 指令期间（PCLATH<4:3> → PCH），是如何装载 PC 的。

图 2-6: 不同情况下 PC 的装载



2.3.1 计算 GOTO 指令

计算 GOTO 指令是通过向程序计数器加入偏移量（ADDWF PCL）来实现的。在使用计算 GOTO 指令进行表读操作时，应注意表地址是否跨越了 PCL 寄存器的存储边界（每个存储块为 256 个字节）。请参见应用笔记 AN556, “Implementing a Table Read” (DS00556)。

2.3.2 堆栈

PIC16F685/687/689/690 器件具有 8 级 x 13 位宽的硬件堆栈（见图 2-1 和 2-2）。堆栈空间既不占用程序存储区空间，也不占用数据存储区空间，而且堆栈指针是不可读写的。当执行 CALL 指令或当中断导致程序跳转时，PC 值将被压入（PUSH）堆栈。而在执行 RETURN、RETLW 或 RETFIE 指令时，堆栈中的断点地址将从堆栈中弹出（POP）到 PC 中。PCLATH 不受 PUSH 或 POP 操作的影响。

堆栈的工作原理犹如循环缓冲区。这意味着当堆栈压栈 8 次后，第 9 次压栈的数值将会覆盖第一次压栈时所保存的数值，而第十次压栈数值将覆盖第二次压栈时保存的数值，以后依次类推。

- 注 1: 不存在指明堆栈是否上溢或下溢的状态标志位。
- 2: 不存在被称为 PUSH 或 POP 的指令 / 助记符。堆栈的压入或弹出是源于执行了 CALL、RETURN、RETLW 和 RETFIE 指令，或源于指向中断向量地址。

2.4 间接寻址、INDF 和 FSR 寄存器

INDF 寄存器不是实际存在的寄存器，对 INDF 寄存器进行寻址将产生间接寻址。

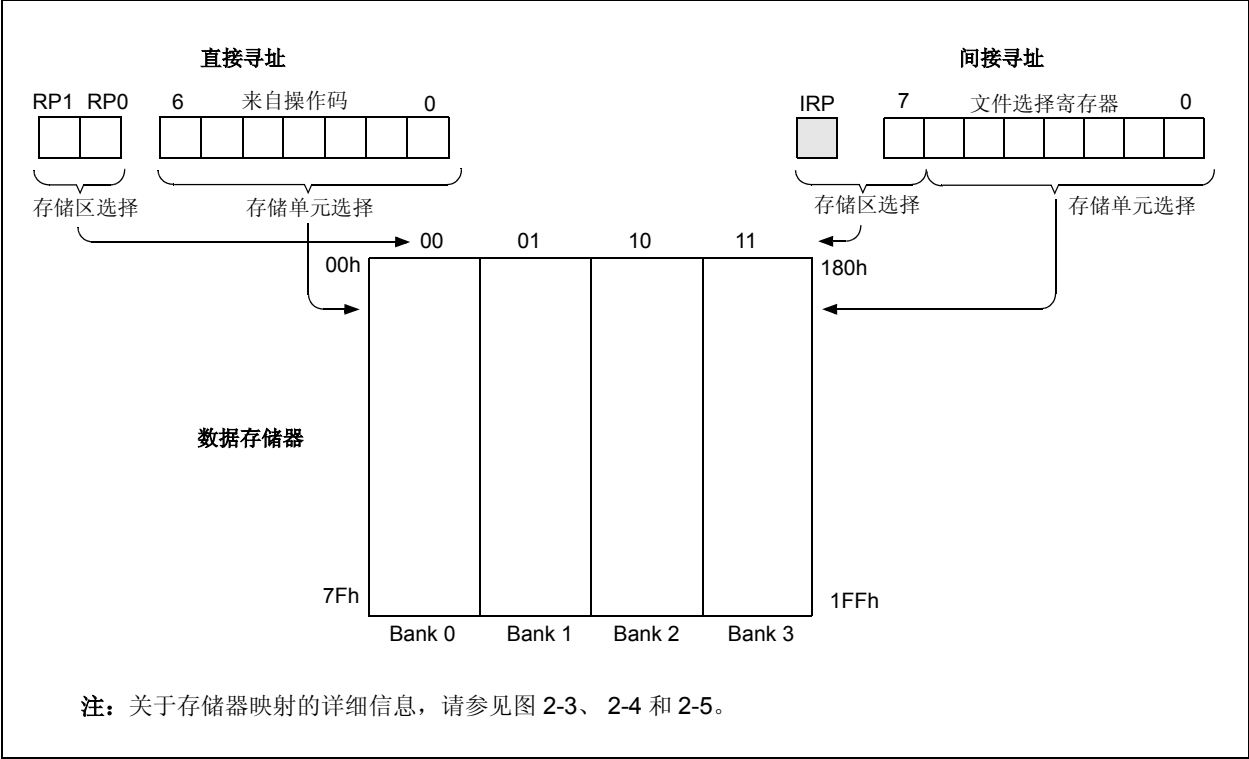
使用 INDF 寄存器可进行间接寻址。任何使用 INDF 寄存器的指令，实际上是对文件选择寄存器（FSR）所指向的数据进行存取。间接对 INDF 进行读操作将返回 00h。间接对 INDF 寄存器进行写操作将导致空操作（尽管可能会影响状态标志位）。通过将 8 位的 FSR 寄存器与 IRP 位（STATUS<7>）进行组合可得到一个有效的 9 位地址，如图 2-7 所示。

例 2-1 给出了一个使用间接寻址将 RAM 地址单元 20h-2Fh 清零的简单程序。

例 2-1: 间接寻址

	MOVLW	0x20	; initialize pointer
	MOVWF	FSR	; to RAM
NEXT	CLRF	INDF	; clear INDF register
	INCF	FSR	; inc pointer
	BTFSS	FSR,4	; all done?
	GOTO	NEXT	; no clear next
CONTINUE			; yes continue

图 2-7： 直接 / 间接寻址 PIC16F685/687/689/690



PIC16F685/687/689/690

注:

3.0 时钟源

3.1 概述

PIC16F685/687/689/690 器件具有多种时钟源和选择特性，广泛使用于各种应用中，同时最大限度地发挥应用性能并降低功耗。图 3-1 为 PIC16F685/687/689/690 时钟源的框图。

时钟源可配置为来自外部振荡器、石英晶体谐振器、陶瓷谐振器以及阻容（Resistor-Capacitor, RC）电路。此外，系统时钟源可配置为两个内部振荡器之一，并通过软件来选择速度。其他时钟特性包括：

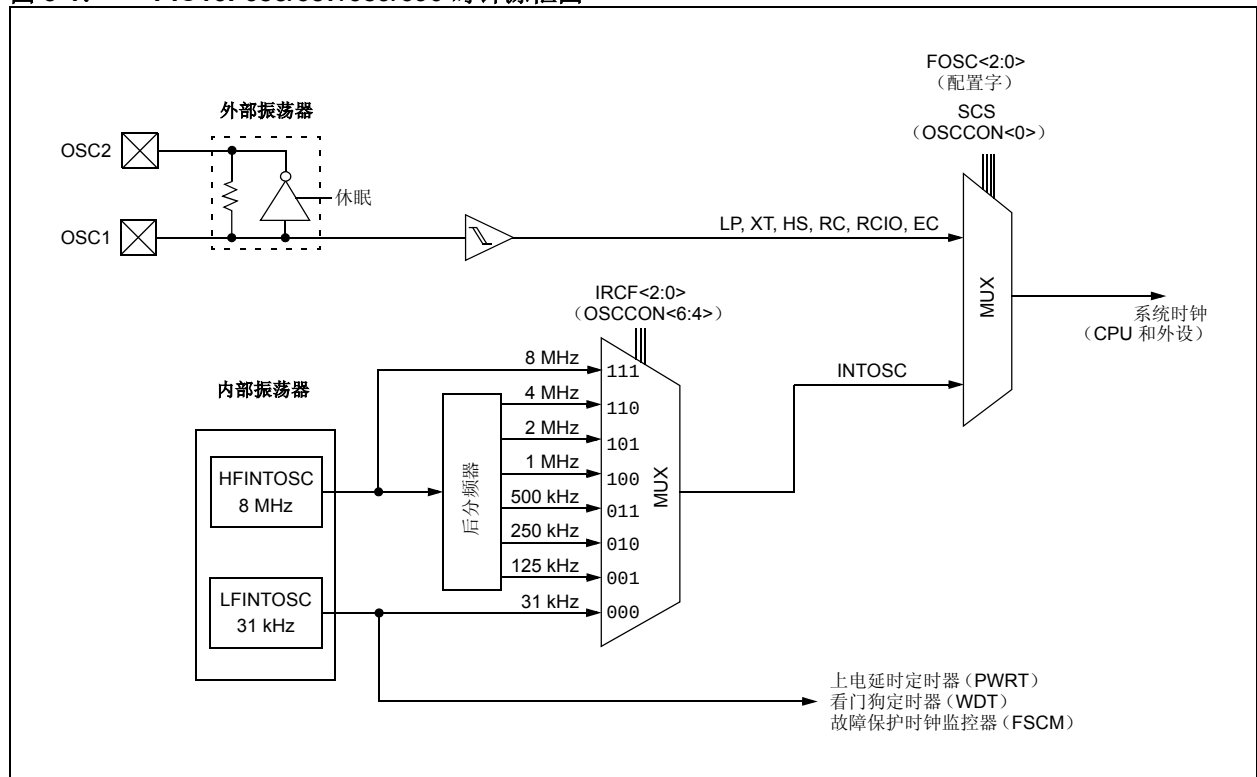
- 可通过软件选择外部或内部系统时钟源。
- 双速时钟启动模式，最大限度地缩短外部振荡器起振与代码执行之间的延时。
- 故障保护时钟监控器（Fail-Safe Clock Monitor, FSCM），用来检测外部时钟源（LP、XT、HS、EC 或 RC 模式）故障以及切换到内部振荡器。

PIC16F685/687/689/690 可配置为以下 8 种时钟模式之一。

1. EC——外部时钟，I/O 在 RA4 上。
2. LP——32 kHz 低功耗晶振模式。
3. XT——中等增益晶振或陶瓷谐振振荡器模式。
4. HS——高增益晶振或陶瓷谐振器模式。
5. RC——外部阻容（RC），Fosc/4 输出到 RA4。
6. RCIO——外部阻容，I/O 在 RA4 上。
7. INTOSC——内部振荡器，Fosc/4 输出到 RA4 且 I/O 在 RA5 上。
8. INTOSCIO——内部振荡器，I/O 在 RA4 和 RA5 上。

通过配置字寄存器的 FOSC<2:0> 位来配置时钟源模式（参见第 14.0 节“CPU 的特殊功能”）。内部时钟可用两个内部振荡器产生。HFINTOSC 是高频已校准振荡器。LFINTOSC 是低频未校准振荡器。

图 3-1: PIC16F685/687/689/690 时钟源框图



PIC16F685/687/689/690

3.2 时钟源模式

时钟源模式可分为外部和内部模式。

- 外部时钟模式依靠外部电路提供时钟源。例如，振荡器模块（EC 模式）、石英晶体谐振器或陶瓷谐振器（LP、XT 和 HS 模式）以及阻容（RC 模式）电路。
- 内部时钟源内置于 PIC16F685/687/689/690 中。PIC16F685/687/689/690 有两个内部振荡器，一个是 8 MHz 高频内部振荡器（HFINTOSC），另一个是 31 kHz 低频内部振荡器（LFINTOSC）。

可通过系统时钟选择（SCS）位，在外部或内部时钟源之间选择系统时钟（参见第 3.5 节“时钟切换”）。

3.3 外部时钟模式

3.3.1 振荡器起振定时器（OST）

如果 PIC16F685/687/689/690 配置为 LP、XT 或 HS 模式，在上电复位（POR）和上电延时定时器（PWRT）到期（如果配置了）后，或从休眠中唤醒后，振荡器起振定时器（OST）对来自 OSC1 引脚的振荡计数 1024 次。在此期间，程序计数器不递增，程序执行暂停。OST 确保使用石英晶体谐振器或陶瓷谐振器的振荡器电路已经启动并向 PIC16F685/687/689/690 提供稳定的系统时钟信号。当在时钟源之间切换时，需要一定的延时以使新时钟稳定。表 3-1 给出了振荡器延时的例子。

为了使外部振荡器起振和代码执行之间的延时最小，可选择双速时钟启动模式（参见第 3.6 节“双速时钟启动模式”）。

表 3-1: 振荡器延时示例

切换自	切换到	频率	振荡器延时
休眠 /POR	LFINTOSC HFINTOSC	31 kHz 125 kHz 到 8 MHz	5 μ s-10 μ s（近似值）CPU 启动 ⁽¹⁾
休眠 /POR	EC, RC	DC — 20 MHz	
LFINTOSC（31 kHz）	EC, RC	DC — 20 MHz	
休眠 /POR	LP, XT, HS	32 kHz 到 20 MHz	1024 个时钟周期（OST）
LFINTOSC（31 kHz）	HFINTOSC	125 kHz 到 8 MHz	1 μ s（近似值）

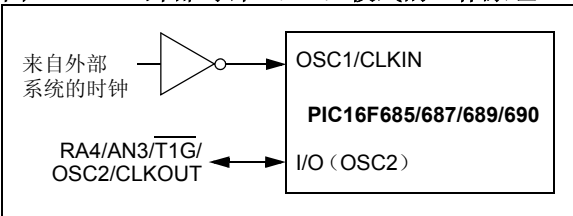
注 1: 5 ms 到 10 ms 起振延时是基于 1 MHz 系统时钟得出的。

3.3.2 EC 模式

外部时钟（EC）模式允许外部产生的逻辑电平作为系统时钟源。工作在此模式下时，外部时钟源连接到 OSC1 引脚，RA4/AN3/T1G/OSC2/CLKOUT 引脚可用作通用 I/O。图 3-2 给出了 EC 模式的引脚连接。

当选取 EC 模式时，振荡器起振定时器（OST）被禁止。因此，上电复位（POR）后或者从休眠中唤醒后的操作不存在延时。因为 PIC16F685/687/689/690 的设计是完全静态的，停止外部时钟输入将使器件暂停工作并保持所有数据完整。当再次启动外部时钟时，器件恢复工作，就好像没有停止过一样。

图 3-2: 外部时钟（EC）模式的工作原理



3.3.3 LP、XT 和 HS 模式

LP、XT 和 HS 模式支持连接到 OSC1 和 OSC2 引脚的石英晶体谐振器或陶瓷谐振器的使用（图 3-3）。模式选择内部反相放大器的低、中或高增益设定，以支持各种谐振器类型及速度。

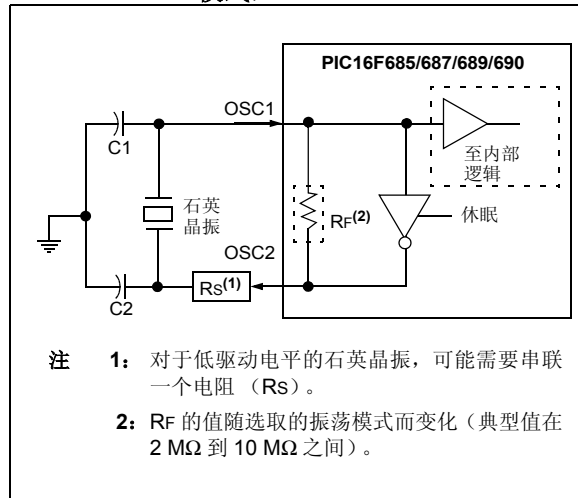
LP 振荡器模式选择内部反相放大器的最低增益设定。LP 模式的电流消耗在三种模式中最小。该模式适用于驱动具备低驱动电平规格要求的谐振器，例如，音叉（Tuning Fork）式晶振。

XT 振荡器模式选择内部反相放大器的中等增益设定。XT 模式的电流消耗在三种模式中居中。该模式较适用于驱动具备中等驱动电平规格要求的谐振器，例如，低频 AT 切割石英晶体谐振器。

HS 振荡器模式选择内部反相放大器的最高增益设定。HS 模式的电流消耗在三种模式中最大。该模式较适用于驱动需要高驱动设定的谐振器，例如，高频 AT 切割石英晶体谐振器或陶瓷谐振器。

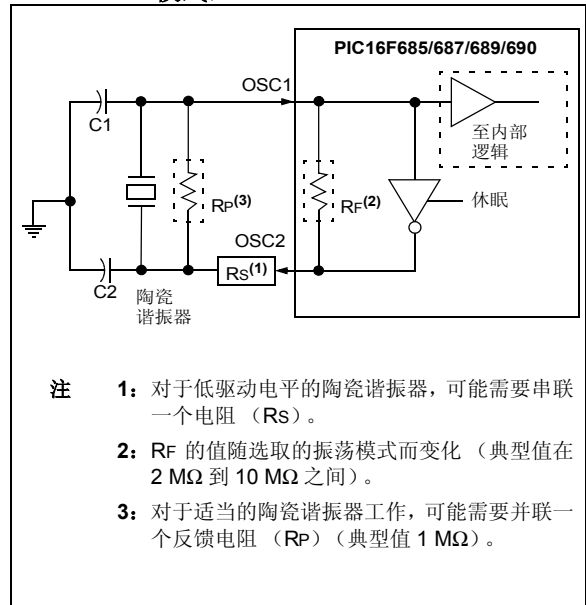
图 3-3 和图 3-4 分别给出了石英晶体谐振器和陶瓷谐振器的典型电路。

图 3-3: 石英晶振的工作原理（LP、XT 或 HS 模式）



- 注**
- 1: 石英晶振的特性随类型、封装和制造商而变化。要了解规格说明和推荐应用，应查阅制造商提供的数据手册。
 - 2: 应始终验证振荡器在应用预期的 V_{DD} 和温度范围内的性能。

图 3-4: 陶瓷谐振器的工作原理（XT 或 HS 模式）



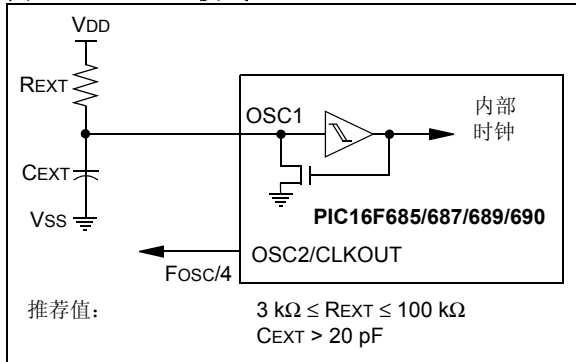
PIC16F685/687/689/690

3.3.4 外部 RC 模式

外部阻容（RC）模式支持使用外部 RC 电路。对时钟精度要求不高时，这使设计人员有了很大的频率选择空间，且保持成本最低。有 RC 和 RCIO 两种模式。

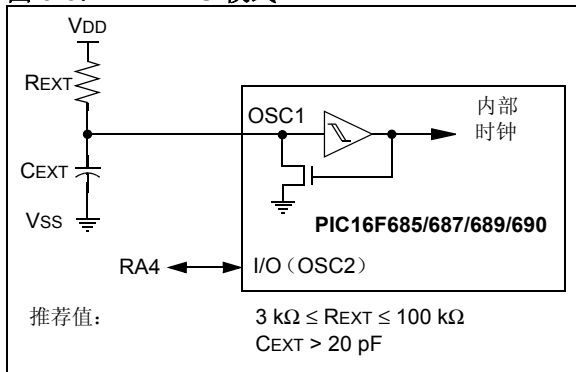
在 RC 模式下，RC 电路连接到 OSC1 引脚。OSC2/CLKOUT 引脚输出为 RC 振荡器频率的 4 分频。该信号可用于为外部电路、同步、校准、测试或其他应用需求提供时钟。图 3-5 给出了 RC 模式的连接图。

图 3-5: RC 模式



在 RCIO 模式下，RC 电路连接到 OSC1 引脚。OSC2 引脚成为额外的通用 I/O 引脚。I/O 引脚成为 PORTA 的 bit 4（RA4）。图 3-6 给出了 RCIO 模式的连接图。

图 3-6: RCIO 模式



RC 振荡器频率是供电电压、电阻（REXT）和电容（CEXT）值以及工作温度的函数。影响振荡器频率的其他因素有：

- 电压门限值变化
- 元件容差
- 不同封装的电容

用户还应考虑因所使用的外部 RC 元件的容差而导致的差异。

3.4 内部时钟模式

PIC16F685/687/689/690 有两个独立的内部振荡器，可配置或选取为系统时钟源。

1. **HFINTOSC**（高频内部振荡器）在出厂时已校准，工作频率为 8 MHz。使用 **OSCTUNE** 寄存器（寄存器 3-1），可通过软件调整 HFINTOSC 的频率，调整范围为 $\pm 12\%$ 。
2. **LFINTOSC**（低频内部振荡器）未经校准，工作频率约为 31 kHz。

使用内部振荡器频率选择（IRCF）位，可用软件来选择系统时钟速度。

可通过系统时钟选择（SCS）位，在外部或内部时钟源之间选择系统时钟（参见第 3.5 节“时钟切换”）。

3.4.1 INTOSC 和 INTOSCIO 模式

当在配置字寄存器（寄存器 14-1）中使用振荡器选择（FOSC）位对器件进行设置时，在 INTOSC 和 INTOSCIO 模式下将内部振荡器配置为系统时钟源。

在 INTOSC 模式下，OSC1 引脚可用作通用 I/O。OSC2/CLKOUT 引脚输出所选内部振荡器频率的 4 分频。CLKOUT 信号可用于为外部电路、同步、校准、测试或其他应用需求提供时钟。

在 INTOSCIO 模式下，OSC1 和 OSC2 引脚可用作通用 I/O。

3.4.2 HFINTOSC

高频内部振荡器（HFINTOSC）是出厂时已校准的 8 MHz 内部时钟源。使用 **OSCTUNE** 寄存器（寄存器 3-1），可通过软件调整 HFINTOSC 的频率，调整范围约为 $\pm 12\%$ 。

HFINTOSC 的输出连接到后分频器和多路复用器（见图 3-1）。使用 **IRCF** 位，可通过软件选择七个频率之一（见第 3.4.4 节“频率选择位（IRCF）”）。

通过选择 8 MHz 到 125 kHz 之间的任一频率（**IRCF** $\neq 000$ ）作为系统时钟源（**SCS** = 1），或当双速启动使能时（**IESO** = 1 且 **IRCF** $\neq 000$ ），HFINTOSC 将被使能。

HF 内部振荡器（**HTS**）位（**OSCCON**<2>）指明 HFINTOSC 是否稳定。

3.4.2.1 OSCTUNE 寄存器

HFINTOSC 在出厂时已校准，但可通过在软件中写入 OSCTUNE 寄存器（寄存器 3-1）来进行调节。

OSCTUNE 寄存器的调节范围为 ±12%。OSCTUNE 寄存器的缺省值为 0。该值是一个 5 位的 2 的补码。由于制造工艺的差异，可能无法确定单调性和频率步进。

当 OSCTUNE 寄存器被修改时，HFINTOSC 频率将开始转变为新频率。HFINTOSC 时钟将在 1 ms 之内稳定。转变期间，代码将继续执行。是否已发生频率转变并无明确的指示。

OSCTUNE 不影响 LFINTOSC 频率。依赖于 LFINTOSC 时钟源频率的功能，如上电延时定时器（PWRT）、看门狗定时器（WDT）、故障保护时钟监控器（FSCM）以及外设等，其工作不受频率改变的影响。

寄存器 3-1: OSCTUNE——振荡器调节寄存器（地址：90h）

	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0
bit 7								bit 0
bit 7-5	未用：读为 0							
bit 4-0	TUN<4:0> : 频率调节位							
	01111 = 最大频率							
	01110 =							
	.							
	.							
	.							
	00001 =							
	00000 = 振荡器模块运行在经过校准的频率上。							
	11111 =							
	.							
	.							
	.							
	10000 = 最小频率							

图注:			
R = 可读位	W = 可写位	U = 未用位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

PIC16F685/687/689/690

3.4.3 LFINTOSC

低频内部振荡器（LFINTOSC）是未经校准的 31 kHz（近似值）内部时钟源。

LFINTOSC 的输出连接到后分频器和多路复用器（见图 3-1）。使用 IRCF 位，可通过软件选取 31 kHz（见第 3.4.4 节“频率选择位（IRCF）”）。LFINTOSC 还是上电延时定时器（PWRT）、看门狗定时器（WDT）以及故障保护时钟监控器（FSCM）的时钟源。

选取 31 kHz（IRCF = 000）为系统时钟源（SCS = 1），或者使能以下任一项时，LFINTOSC 将被使能：

- 双速启动（IESO = 1 且 IRCF = 000）
- 上电延时定时器（PWRT）
- 看门狗定时器（WDT）
- 故障保护时钟监控器（FSCM）

LF 内部振荡器（LTS）位（OSCCON<1>）指明 LFINTOSC 是否稳定。

3.4.4 频率选择位（IRCF）

8 MHz HFINTOSC 和 31 kHz LFINTOSC 的输出连接到后分频器和多路复用器（见图 3-1）。内部振荡器频率选择位，IRCF<2:0>（OSCCON<6:4>），选择内部振荡器的频率输出。可通过软件选择以下 8 个频率之一：

- 8 MHz
- 4 MHz（复位后的缺省值）
- 2 MHz
- 1 MHz
- 500 kHz
- 250 kHz
- 125 kHz
- 31 kHz

注：任一复位后，IRCF 位设置为 110 且频率选择设置为 4 MHz。用户可修改 IRCF 位来选择不同的频率。

3.4.5 HF 和 LF INTOSC 时钟切换时序

当在 LFINTOSC 和 HFINTOSC 之间切换时，新的振荡器可能为了省电已经关闭。在这种情况下，IRCF 位被修改之后、频率选择生效之前，存在 10 ms 的延时。LTS/HTS 位将反映 LFINTOSC 和 HFINTOSC 振荡器的当前激活状态。频率选择时序如下：

1. IRCF 位被修改。
2. 如果新时钟是关闭的，开始 10 μ s 的时钟启动延时。
3. 时钟切换电路等待当前时钟下降沿的到来。
4. CLKOUT 保持为低，时钟切换电路等待新时钟上升沿的到来。
5. 现在 CLKOUT 连接到新时钟。HTS/LTS 位按要求被更新。
6. 时钟切换完成。

如果选取的内部振荡器速度在 8 MHz 到 125 kHz 之间，选取新频率不存在启动延时。这是因为新旧频率都来自经过后分频器和多路复用器的 HFINTOSC。

3.5 时钟切换

使用系统时钟选择（SCS）位，可通过软件在外部和内部时钟源之间切换系统时钟源。

3.5.1 系统时钟选择（SCS）位

系统时钟选择（SCS）位（OSCCON<0>）选择用于 CPU 和外设的系统时钟源。

- SCS = 0 时，系统时钟源由配置字寄存器（CONFIG）中 FOSC<2:0> 位的配置决定。
- SCS = 1 时，根据 IRCF 位所选的内部振荡器频率选取系统时钟源。复位后，SCS 总是被清零。

注： 任何自动时钟切换（可能产生自双速启动或故障保护时钟监控器）都不更新 SCS 位。用户可监控 OSTS（OSCCON<3>）以确定当前的系统时钟源。

3.5.2 振荡器起振超时状态位

振荡器起振超时状态（OSTS）位（OSCCON<3>）指明系统时钟是来自外部时钟源（通过 FOSC 位定义），还是来自内部时钟源。OSTS 还特别指明在 LP、XT 或 HS 模式下，振荡器起振定时器（OST）是否已超时。

3.6 双速时钟启动模式

双速启动模式通过最大限度地缩短外部振荡器起振与代码执行之间的延时，进一步节省了功耗。对于频繁使用休眠模式的应用，双速启动模式将在器件唤醒后除去外部振荡器的起振时间，从而可降低器件的总体功耗。

该模式使得应用能够从休眠中唤醒，将 INTOSC 用作时钟源执行数条指令，然后再返回休眠状态而无需等待主振荡器的稳定。

注： 执行 SLEEP 指令将中止振荡器起振时间，并使 OSTS 位（OSCCON<3>）保持清零。

当 PIC16F685/687/689/690 配置为 LP、XT 或 HS 模式时，振荡器起振定时器（OST）使能（参见第 3.3.1 节“振荡器起振定时器（OST）”）。OST 定时器将暂停程序执行，直到完成 1024 次振荡计数。双速启动模式在 OST 计数时使用内部振荡器进行工作，使代码执行的延时最大限度地缩短。当 OST 计数到 1024 且 OSTS 位（OSCCON<3>）置 1 时，程序执行切换至外部振荡器。

3.6.1 双速启动模式配置

通过以下设定来配置双速启动模式：

- IESO = 1（CONFIG<10>）内部 / 外部切换位。
- SCS = 0。
- FOSC 配置为 LP、XT 或 HS 模式。

在下列操作之后，进入双速启动模式：

- 上电复位（POR）后以及在 PWRT 到期（使能时）后，或者
- 从休眠状态唤醒。

如果外部时钟振荡器配置为除 LP、XT 或 HS 模式以外的任一模式，那么双速启动将被禁止。这是因为 POR 后或从休眠中退出时，外部时钟振荡器不需要稳定时间。

3.6.2 双速启动顺序

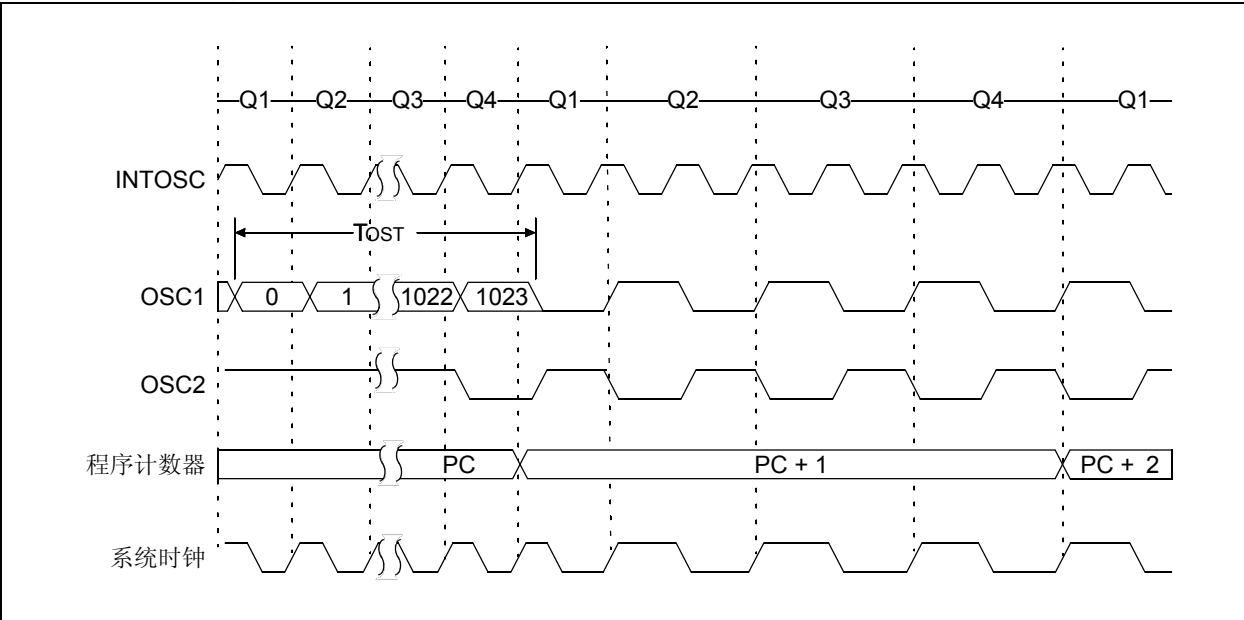
1. 从上电复位或休眠中唤醒。
2. 使用内部振荡器以 IRCF 位（OSCCON<6:4>）设置的频率开始执行指令。
3. OST 使能，计数 1024 个时钟周期。
4. OST 超时，等待内部振荡器下降沿的到来。
5. OSTS 置 1。
6. 系统时钟保持为低，直到新时钟下一个下降沿的到来（LP、XT 或 HS 模式）。
7. 系统时钟切换到外部时钟源。

PIC16F685/687/689/690

3.6.3 检查外部 / 内部时钟状态

通过检查 OSTS 位 (OSCCON<3>) 的状态, 可以确定 PIC16F685/687/689/690 是否如配置字寄存器 (CONFIG) 中 FOSC 位定义的那样运行在外部时钟下, 还是运行在内部振荡器下。

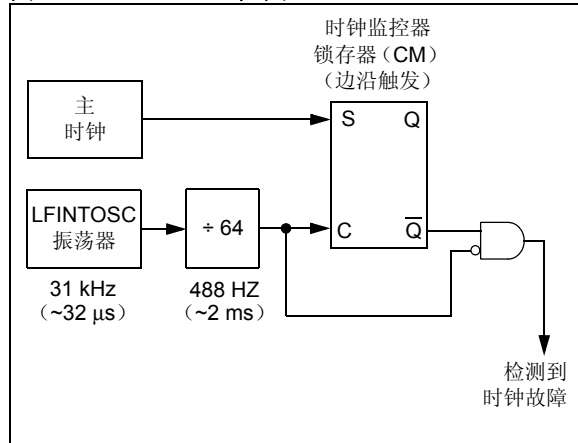
图 3-7: 双速启动



3.7 故障保护时钟监控器

故障保护时钟监控器（FSCM）使得器件在出现外部振荡器故障时仍能继续工作。FSCM 能在振荡器起振延时定时器（OST）到期后的任一时刻检测振荡器故障。FSCM 通过将配置字寄存器（CONFIG）中的 FCMEN 位置 1 来使能。FSCM 可用于所有外部振荡器模式（LP、XT、HS、EC、RC 和 RCIO）。

图 3-8: FSCM 框图



3.7.1 故障保护检测

FSCM 模块通过将外部振荡器与 FSCM 采样时钟比较来检测振荡器故障。LFINTOSC 除以 64，就产生了采样时钟。请参见图 3-8。故障检测器内部有一个锁存器。在外部时钟的每个下降沿，锁存器被置 1。在采样时钟的每个下降沿，锁存器被清零。如果采样时钟的边沿产生而锁存器被清零，就检测到故障。

3.7.2 故障保护操作

当外部时钟出现故障时，FSCM 将器件时钟切换到内部时钟源，并将 OSFIF（PIR2<7>）标志位置 1。如果在 OSFIE（PIE2<7>）位置 1 的同时将该标志位置 1，将产生中断。器件固件随后会采取措施减轻可能由故障时钟所产生的问题。系统时钟将继续来自内部时钟源，直到器件固件成功重启外部振荡器并切换回外部操作。

FSCM 所选的内部时钟源由 IRCF 位（OSCCON<6:4>）决定。这使内部振荡器可以在故障发生前就得以配置。

3.7.3 故障保护条件清除

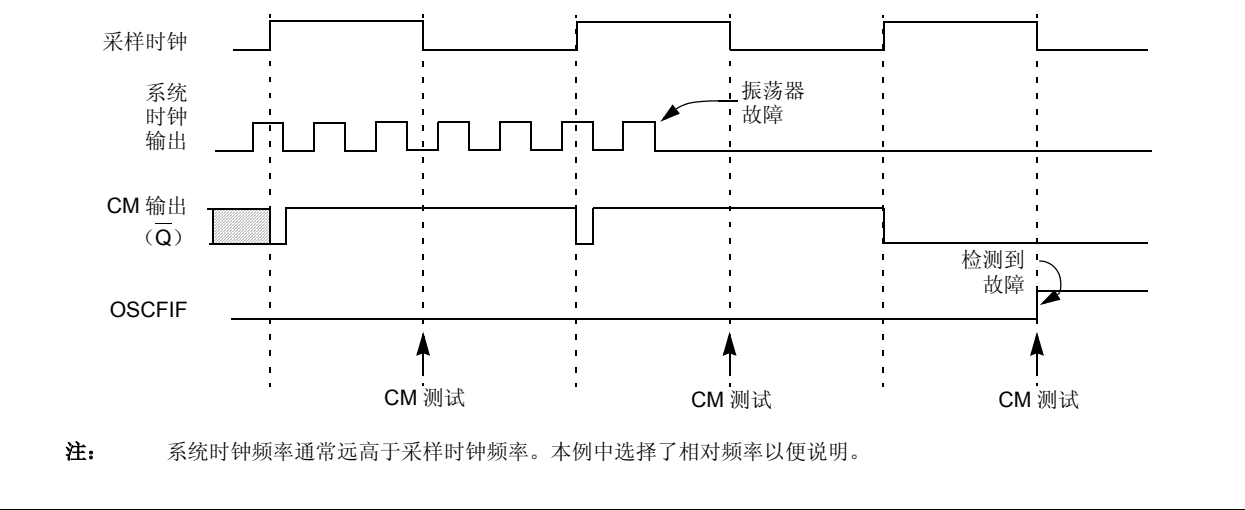
复位、执行 SLEEP 指令或修改 SCS 位（OSCCON<0>）后，故障保护条件被清除。SCS 位被修改后，OST 将重新启动。OST 运行时，器件继续从 OSCCON 中选定的 INTOSC 进行操作。OST 超时后，故障保护条件被清除，器件将从外部时钟源进行操作。必须先清除故障保护条件，才能清零 OSFIF 标志位。

3.7.4 复位或从休眠中唤醒

FSCM 设计为能在振荡器起振延时定时器（OST）到期后的任一时刻检测振荡器故障。OST 的使用场合为从休眠状态唤醒后以及任何类型的复位后。OST 不能在 EC 或 RC 时钟模式下使用，所以一旦复位或唤醒完成，FSCM 就处于激活状态。当 FSCM 被使能时，双速启动也被使能。因此，当 OST 运行时，器件总是处于代码执行阶段。

注： 由于振荡器起振时间的范围变化较大，在振荡器起振期间（即，从复位或休眠中退出时），故障保护电路不处于激活状态。经过一段适当的时间后，用户应检查 OST 位（OSCCON<3>），以验证振荡器是否已成功起振以及系统时钟是否切换成功。

图 3-9: FSCM 时序图



寄存器 3-2:

OSCCON——振荡器控制寄存器（地址：8Fh）

U-0	R/W-1	R/W-1	R/W-0	R-1	R-0	R-0	R/W-0
—	IRCF2	IRCF1	IRCF0	OSTS ⁽¹⁾	HTS	LTS	SCS
bit 7							bit 0

bit 7 未用：读为 0

bit 6-4 **IRCF<2:0>**：内部振荡器频率选择位

000 = 31 kHz

001 = 125 kHz

010 = 250 kHz

011 = 500 kHz

100 = 1 MHz

101 = 2 MHz

110 = 4 MHz（缺省值）

111 = 8 MHz

bit 3 **OSTS**：振荡器起振超时状态位 ⁽¹⁾

1 = 器件运行在 FOSC<2:0> 定义的外部时钟之下

0 = 器件运行在内部振荡器之下（HFINTOSC 或 LFINTOSC）

bit 2 **HTS**：HFINTOSC（高频——8 MHz 到 125 kHz）状态位

1 = HFINTOSC 稳定

0 = HFINTOSC 不稳定

bit 1 **LTS**：LFINTOSC（低频——31 kHz）状态位

1 = LFINTOSC 稳定

0 = LFINTOSC 不稳定

bit 0 **SCS**：系统时钟选择位

1 = 内部振荡器用于系统时钟

0 = 时钟源由 FOSC<2:0> 决定

注 1：双速启动且选取 LP、XT 或 HS 为振荡器模式时，或者故障保护模式使能时，该位将复位为 0。

图注：

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

表 3-2: 与时钟源相关的寄存器汇总

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值 ⁽¹⁾
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
8Fh	OSCCON	—	IRCF2	IRCF1	IRCF0	OSTS	HTS	LTS	SCS	-110 x000	-110 x000
90h	OSCTUNE	—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0	---0 0000	---u uuuu
2007h ⁽²⁾	CONFIG	CPD	CP	MCLRE	PWRTÉ	WDTE	FOSC2	FOSC1	FOSC0	—	—

图注： x = 未知， u = 不变， - = 未用的存储单元，读为 0。振荡器不使用阴影单元。

注 1： 其他（非上电）复位包括在正常操作期间的 MCLR 复位和看门狗定时器复位。

2： 关于配置字寄存器位的所有操作，请参见寄存器 14-1。

PIC16F685/687/689/690

注:

4.0 I/O 端口

器件有多达 18 个可用的通用 I/O 引脚。根据外设的使能情况，部分甚至全部引脚可能不能用于通用 I/O。通常而言，当某个外设使能时，其相关引脚可能不能用作通用 I/O 引脚。

4.1 PORTA 和 TRISA 寄存器

PORTA 是一个 6 位宽的双向端口，对应的数据方向寄存器是 TRISA（寄存器 4-2）。将 TRISA 某位置 1（= 1）时，会将 PORTA 的相应引脚设为输入（即，使相应的输出驱动器呈高阻状态）。将 TRISA 某位清零（= 0）时，会将 PORTA 的相应引脚设为输出（即，将输出锁存器中的内容置于选中引脚）。RA3 是个例外，仅可作为输入引脚，其 TRIS 位总是读为 1。例 4-1 显示了如何初始化 PORTA。

读取 PORTA 端口寄存器（寄存器 4-1）将读出相应引脚的电平状态，而对其进行写操作则是写入其数据锁存器。所有写操作都是“读—修改—写”操作。因此，对端口的写操作意味着总是先读端口引脚电平状态，然后修改这个值，最后再写入该端口的数据锁存器。当 MCLR = 1 时，RA3 读为 0。

TRISA 寄存器控制着 PORTA 引脚的方向，即使它们用作模拟输入引脚。当引脚用于模拟输入时，用户应确保 TRISA 寄存器中的各位保持置 1。对配置为模拟输入的 I/O 引脚，总是读为 0。

注： 必须对 ANSEL（11Eh）寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚总是读为 0。

例 4-1： 初始化 PORTA

```
BCF    STATUS,RP0    ;Bank 0
BCF    STATUS,RP1    ;
CLRF   PORTA         ;Init PORTA
BSF    STATUS,RP1    ;Bank 2
CLRF   ANSEL         ;digital I/O
BSF    STATUS,RP0    ;Bank 1
BCF    STATUS,RP1    ;
MOVLW  0Ch           ;Set RA<3:2> as inputs
MOVWF  TRISA         ;and set RA<5:4,1:0>
                        ;as outputs
BCF    STATUS,RP0    ;Bank 0
```

4.2 引脚的其他功能

PIC16F685/687/689/690 中每个 PORTA 引脚都具有电平变化中断功能和弱上拉功能。RA0 有超低功耗唤醒功能。以下三节将对这些功能进行介绍。

4.2.1 弱上拉

除 RA3 外的每个 PORTA 引脚都具有内部弱上拉功能。控制位 WPUAx 用于使能或禁止每个上拉功能。请参见寄存器 4-3。当端口引脚被配置为输出时，这些弱上拉会自动关闭。上电复位时将禁止上拉功能，RABPU 位（OPTION_REG<7>）置 1。当配置为 MCLR 时，RA3 上的弱上拉自动使能；当 RA3 是 I/O 时则被禁止。没有对 MCLR 上拉的软件控制。

寄存器 4-1: PORTA——PORTA 寄存器（地址：05h 或 105h）

U-0	U-0	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
—	—	RA5	RA4	RA3	RA2	RA1	RA0
bit 7				bit 0			

bit 7-6: 未用：读为 0

bit 5-0: **RA<5:0>**: PORTA I/O 引脚位

1 = 端口引脚 > VIH

0 = 端口引脚 < VIL

图注：

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

PIC16F685/687/689/690

寄存器 4-2: **TRISA——TRISA 三态寄存器（地址：85h 或 185h）**

U-0	U-0	R/W-1	R/W-1	R-1	R/W-1	R/W-1	R/W-1
—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0
bit 7				bit 0			

bit 7-6 未用：读为 0

bit 5-0 **TRISA<5:0>**：PORTA 三态控制位
1 = PORTA 引脚配置为输入（三态）
0 = PORTA 引脚配置为输出

注：在 XT、HS 和 LP 振荡器模式下，TRISA<5:4> 总是读为 1。

图注：			
R = 可读位	W = 可写位	U = 未用位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

寄存器 4-3: **WPUA——弱上拉 PORTA 寄存器（地址：95h）**

U-0	U-0	R/W-1	R/W-1	U-0	R/W-1	R/W-1	R/W-1
—	—	WPUA5	WPUA4	—	WPUA2	WPUA1	WPUA0
bit 7				bit 0			

bit 7-6 未用：读为 0

bit 5-4 **WPUA<5:4>**：弱上拉寄存器位
1 = 上拉使能
0 = 上拉禁止

bit 3 未用：读为 0

bit 2-0 **WPUA<2:0>**：弱上拉寄存器位
1 = 上拉使能
0 = 上拉禁止

- 注
- 1：必须使能全局 $\overline{\text{RABPU}}$ 位才能使能单独的上拉功能。
 - 2：如果引脚处于输出模式，则自动禁止弱上拉器件（TRISA = 0）。
 - 3：当在配置字中引脚配置为 $\overline{\text{MCLR}}$ 时，RA3 上拉被使能，引脚配置为 I/O 时则被禁止。
 - 4：在 XT、HS 和 LP 振荡器模式下，WPUA<5:4> 总是读为 1。

图注：			
R = 可读位	W = 可写位	U = 未用位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

4.2.2 电平变化中断

每个 PORTA 引脚都可单独配置具有电平变化中断功能。控制位 IOCAx 用于使能或禁止各引脚的中断功能。请参见寄存器 4-4。电平变化中断功能在上电复位时被禁止。

对于使能了电平变化中断功能的引脚，其值将与上次读取的 PORTA 的旧锁存值相比较。所有与上次读取值不匹配的输出生成或运算，运算结果用来设置 INTCON 寄存器（寄存器 2-3）中的 PORTA 电平变化中断标志位（RABIF）。

该中断可唤醒处于休眠状态中的器件。用户在中断服务程序中可通过以下方式清除该中断：

- a) 对 PORTA 的任何读或写操作。这将结束不匹配条件，然后：
- b) 清零标志位 RABIF。

不匹配条件将继续将标志位 RABIF 置 1。读 PORTA 将结束不匹配条件并将标志位 RABIF 清零。保持上一次读取值的锁存器不受 MCLR 或 BOR 复位的影响。在这些复位之后，如果存在不匹配情况，RABIF 标志还将继续被置 1。

注：当读操作正在执行时发生了 I/O 引脚电平变化（Q2 周期的起始时刻），则 RABIF 中断标志位可能不会被置 1。

寄存器 4-4: IOCA——电平变化中断 PORTA 寄存器（地址：96h）

	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0
bit 7								bit 0
bit 7-6	未用：读为 0							
bit 5-0	IOCA<5:0>：电平变化中断 PORTA 控制位							
	1 = 使能电平变化中断							
	0 = 禁止电平变化中断							

注 1：要使各中断能够被识别，必须使能全局中断允许控制位（GIE）。

图注：			
R = 可读位	W = 可写位	U = 未用位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

PIC16F685/687/689/690

4.2.3 超低功耗唤醒

RA0 上的超低功耗唤醒 (ULPWU) 功能允许缓慢下降的电压能够在 RA0 上产生电平变化中断, 同时不消耗很大的电流。将 ULPWUE 位 (PCON<5>) 置 1 将选取超低功耗唤醒模式。这将产生一个小的灌电流, 可用来对 RA0 上电容器进行放电。

为了使用此功能, RA0/AN0/C1IN+/ICSPDAT/ULPWU 引脚配置成输出 1 以便对电容充电, 使能 RA0 的电平变化中断, 且 RA0 配置为输入。将 ULPWUE 位置 1 以开始放电, 并执行 SLEEP 指令。当 RA0 上电压下降到低于 V_{IL} 时, 将产生中断, 将器件唤醒。中断事件发生时, 根据 GIE 位 (INTCON<7>) 的状态, 器件要么跳转到中断向量 (0004h), 要么执行下一条指令。更多信息, 请参见第 4.2.2 节“电平变化中断”和第 14.3.3 节“PORTA/PORTB 中断”。

该功能提供了一种周期性将器件从休眠中唤醒的低功耗方法。休眠时间取决于 RA0 上 RC 电路的放电时间。超低功耗唤醒模块的初始化, 请参见例 4-2。

电路中的串联电阻为 RA0/AN0/C1IN+/ICSPDAT/ULPWU 引脚提供过流保护, 同时允许使用软件校准休眠时间 (见图 4-1)。可使用一个定时器测量电容器的充放电时间。然后调节充电时间, 以提供所需的中断延时。此方法将对温度、电压和元件精度的影响进行补偿。超低功耗唤醒外设还可配置为简单的可编程低压检测功能或温度传感器。

注: 更多信息, 请参见应用笔记 AN879 “Using the Microchip Ultra Low-Power Wake-up Module” (DS00879)。

例 4-2: 超低功耗唤醒初始化

```
BCF    STATUS, RP0    ;Bank 0
BCF    STATUS, RP1    ;
BSF    PORTA, 0       ;Set RA0 data latch
BSF    STATUS, RP1    ;BANK 2
BCF    ANSEL, 0       ;RA0 to digital I/O
BSF    STATUS, RP0    ;BANK 1
BCF    STATUS, RP1    ;
BCF    TRISA, 0       ;Output high to
CALL   CapDelay       ;charge capacitor
BSF    PCON, ULPWUE   ;Enable ULP Wake-up
BSF    IOCA, 0        ;Select RA0 IOC
BSF    TRISA, 0       ;RA0 to input
MOVLW  B'10001000'   ;Enable interrupt
MOVWF  INTCON         ;and clear flag
BCF    STATUS, RP0    ;BANK 0
SLEEP                ;Wait for IOC
```

4.2.4 引脚说明和引脚图

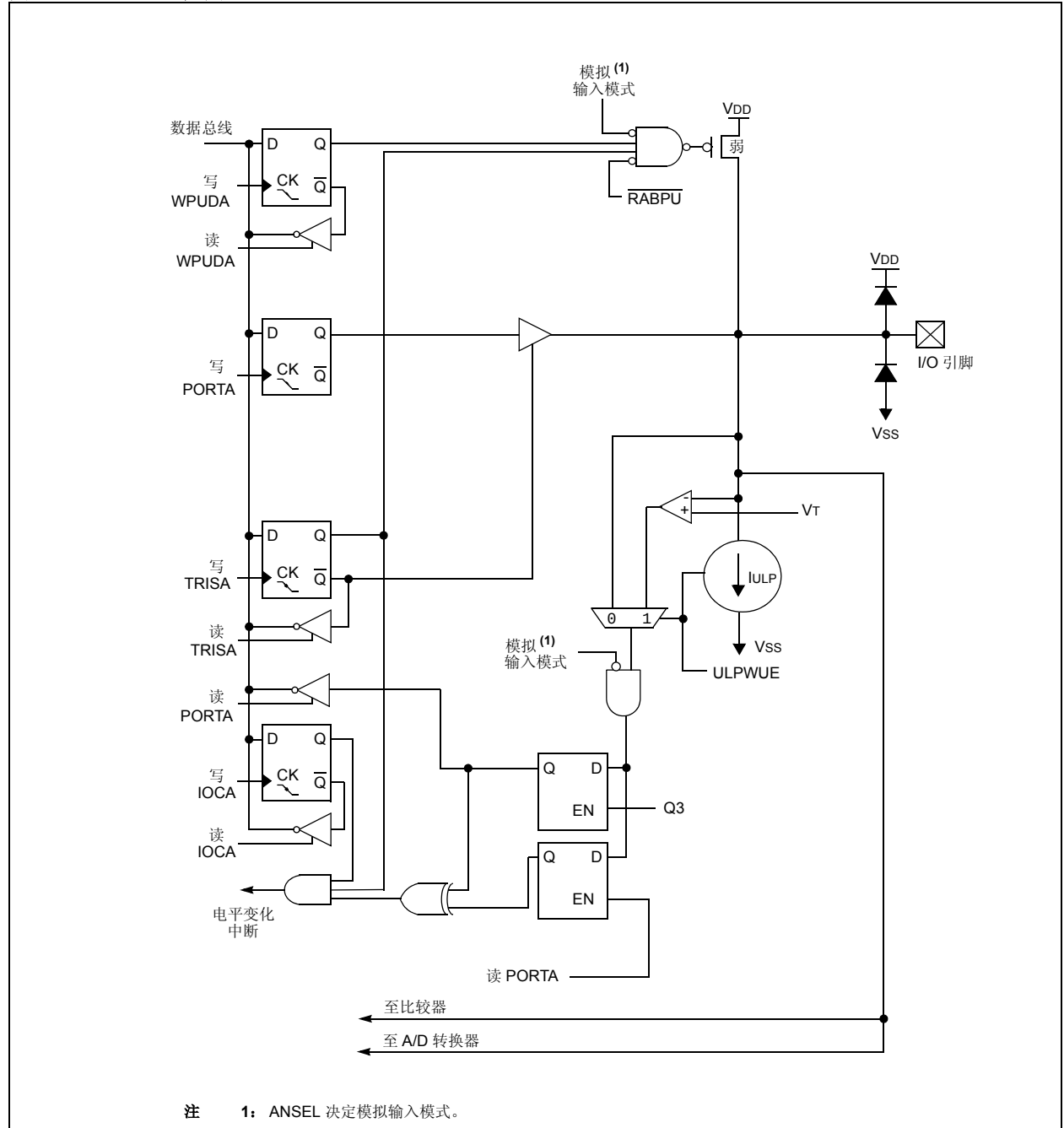
每个 PORTA 引脚都与其他功能复用。这里将简要说明引脚及其复合功能。各功能的具体信息（如比较器或 A/D 转换器），请参见本数据手册中的相关章节。

4.2.4.1 RA0/AN0/C1IN+/ICSPDAT/ULPWU

图 4-2 给出了此引脚的引脚图。RA0/AN0/C1IN+/ICSPDAT/ULPWU 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 A/D 的模拟输入
- 连接至比较器 1 的模拟输入
- 在线串行编程数据
- 超低功耗唤醒的模拟输入

图 4-1: RA0 框图



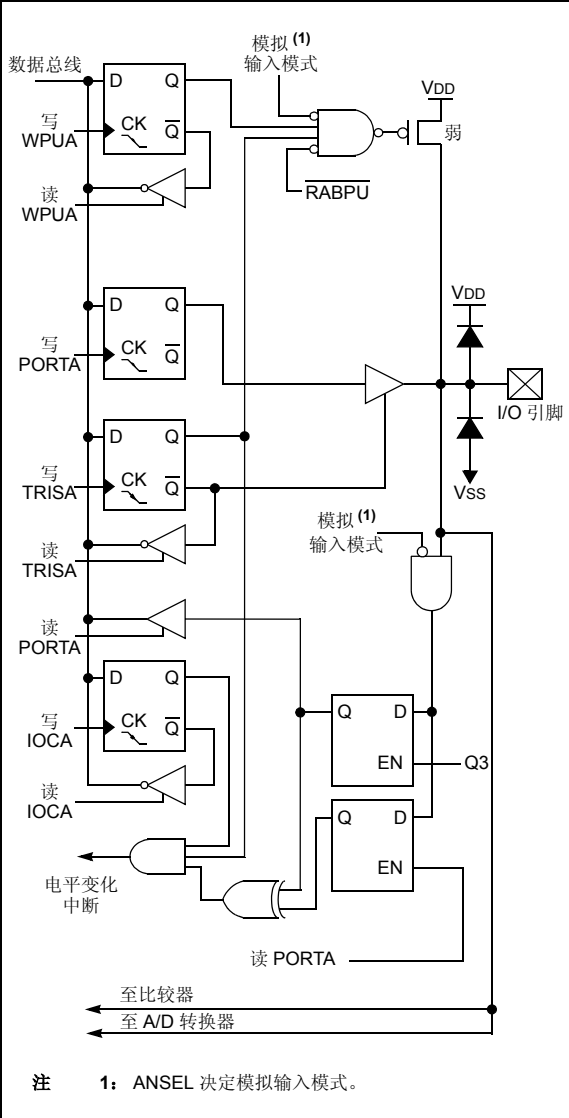
PIC16F685/687/689/690

4.2.4.2 RA1/AN1/C12IN-/VREF/ICSPCLK

图 4-2 给出了此引脚的引脚图。RA1/AN1/C12IN-/VREF/ICSPCLK 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 A/D 的模拟输入
- 连接至比较器 1 或 2 的模拟输入
- A/D 的参考电压输入
- 在线串行编程时钟

图 4-2: RA1 框图

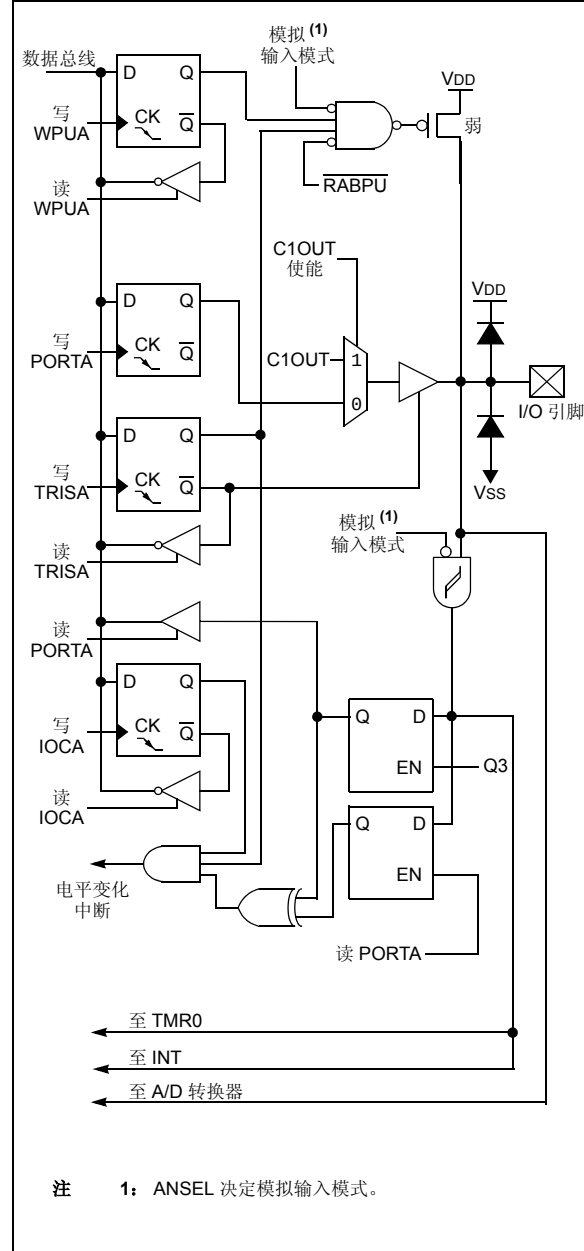


4.2.4.3 RA2/AN2/T0CKI/INT/C1OUT

图 4-3 给出了此引脚的引脚图。RA2/AN2/T0CKI/INT/C1OUT 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 A/D 的模拟输入
- TMR0 的时钟输入
- 外部边沿触发的中断
- 来自比较器 1 的数字输出

图 4-3: RA2 框图



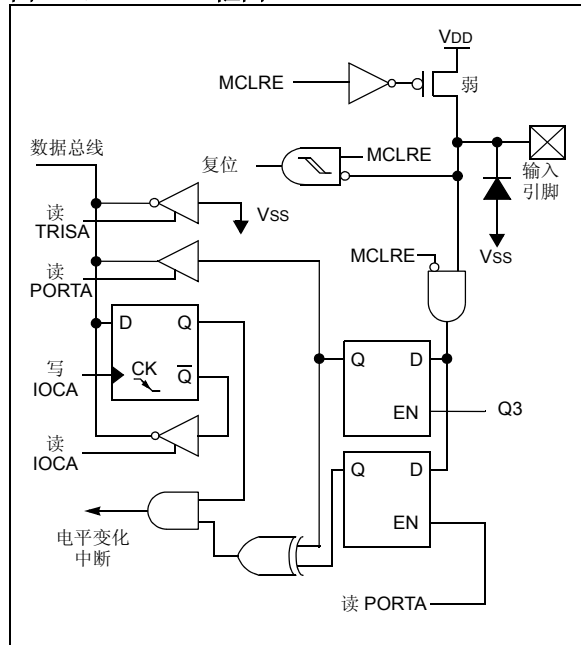
PIC16F685/687/689/690

4.2.4.4 RA3/MCLR/V_{PP}

图 4-4 给出了此引脚的引脚图。RA3/MCLR/VPP 引脚可配置为下列功能之一：

- 通用输入
- 帶弱上拉的主清零复位

图 4-4: RA3 框图

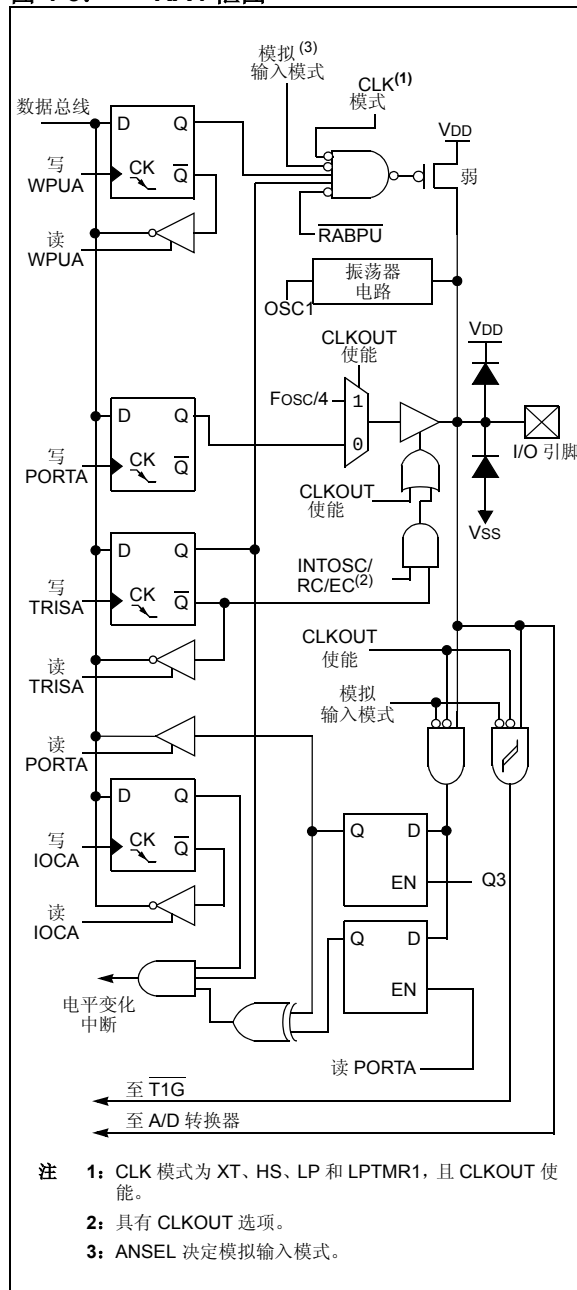


4.2.4.5 RA4/AN3/T1G/OSC2/CLKOUT

图 4-5 给出了此引脚的引脚图。RA4/AN3/T1G/OSC2/CLKOUT 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 A/D 的模拟输入
- TMR1 门控输入
- 晶振 / 谐振器连接
- 时钟输出

图 4-5: RA4 框图



PIC16F685/687/689/690

4.2.4.6 RA5/T1CKI/OSC1/CLKIN

图 4-6 给出了此引脚的引脚图。RA5/T1CKI/OSC1/CLKIN 引脚可配置为下列功能之一：

- 通用 I/O
- TMR1 时钟输入
- 晶振 / 谐振器连接
- 时钟输入

图 4-6: RA5 框图

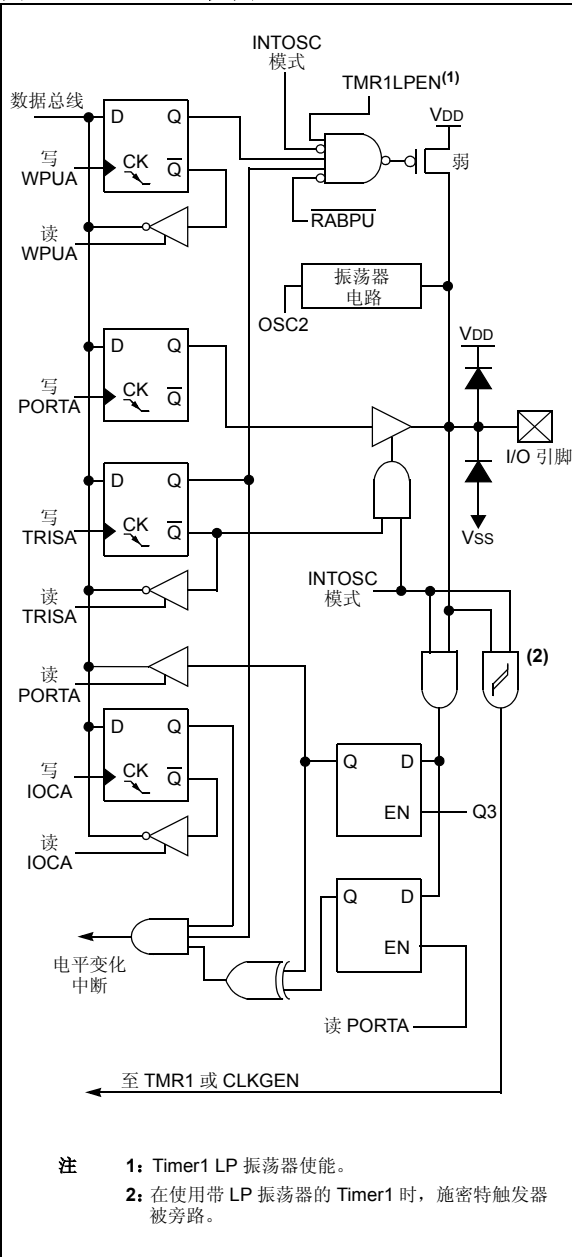


表 4-1: 与 PORTA 相关的寄存器汇总

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
05h/105h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	--uu uuuu
0Bh/8Bh/10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	0000 0000	uuuu uuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
1Fh	ADCON0	ADFM	VCFG	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	0000 0000
81h/181h	OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
85h/185h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
95h	WPUA	—	—	WPUA5	WPUA4	—	WPUA2	WPUA1	WPUA0	--11 -111	--11 -111
96h	IOCA	—	—	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	--00 0000	--00 0000
119h	CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	0000 -000
11Eh	ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111

图注: x = 未知, u = 不变, -- = 未用的存储单元, 读为 0。PORTA 不使用阴影单元。

PIC16F685/687/689/690

4.3 PORTB 和 TRISB 寄存器

PORTB 是一个 4 位宽的双向端口，对应的数据方向寄存器是 TRISB（寄存器 4-6）。将 TRISB 某位置 1（= 1）时，会将 PORTB 的相应引脚设为输入（即，使相应的输出驱动器呈高阻状态）。将 TRISB 某位清零（= 0）时，会将 PORTB 的相应引脚设为输出（即，将输出锁存器中的内容置于选中引脚）。例 4-3 显示了如何初始化 PORTB。读取 PORTB 寄存器（寄存器 4-5）将读出相应引脚的电平状态，而对其进行写操作则是写入其数据锁存器。所有写操作都是“读—修改—写”操作。因此，对端口的写操作意味着总是先读端口引脚电平状态，然后修改这个值，最后再写入该端口的数据锁存器。

TRISB 寄存器控制着 PORTB 引脚的方向，即使它们用作模拟输入引脚。当引脚用于模拟输入时，用户应确保 TRISB 中的各位保持置 1。对配置为模拟输入的 I/O 引脚，总是读为 0。

例 4-3: 初始化 PORTB

```
BCF    STATUS,RP0 ;Bank 0
BCF    STATUS,RP1 ;
CLRF   PORTB      ;Init PORTB
BSF    STATUS,RP0 ;Bank 1
MOVLW  FFh        ;Set RB<7:4> as inputs
MOVWF  TRISB      ;
BCF    STATUS,RP0 ;Bank 0
```

注： 必须对 ANSELH（11Fh）寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚总是读为 0。

4.4 PORTB 引脚的其他功能

PIC16F685/687/689/690 上的 PORTB 引脚 RB<7:4> 都具有电平变化中断功能和弱上拉功能。以下三节将对这些 PORTB 引脚功能进行介绍。

4.4.1 弱上拉

每个 PORTB 引脚都具有单独配置的内部弱上拉功能。控制位 WPUB<7:4> 用于使能或禁止每个上拉功能。请参见寄存器 4-7。当端口引脚被配置为输出时，这些弱上拉会自动关闭。上电复位时将禁止上拉功能，RABPU 位（OPTION_REG<7>）置 1。

4.4.2 电平变化中断

4 个 PORTB 引脚被单独配置为具有电平变化中断功能的引脚。控制位 IOCB<7:4> 用于使能或禁止各引脚的中断功能。请参见寄存器 4-8。电平变化中断功能在上电复位时被禁止。

对于使能了电平变化中断功能的引脚，其值将与上次读取的 PORTB 的旧锁存值相比较。所有与上次读取值不匹配的输出去进行或运算，运算结果用来设置 INTCON 寄存器（寄存器 2-3）中的 PORTA 电平变化中断标志位（RABIF）。

该中断可唤醒处于休眠状态中的器件。用户在中断服务程序中可通过以下方式清除该中断：

- a) 对 PORTB 的任何读或写操作。这将结束不匹配条件。
- b) 清零标志位 RABIF。

不匹配条件将继续把标志位 RABIF 置 1。读或写 PORTB 将结束不匹配条件并将标志位 RABIF 清零。保持上一次读取值的锁存器不受 MCLR 或欠压复位的影响。在这些复位之后，如果存在不匹配情况，RABIF 标志还将继续被置 1。

注： 当读操作正在执行时发生了 I/O 引脚电平变化（Q2 周期的起始时刻），则 RABIF 中断标志位可能不会被置 1。此外，由于端口上的读或写操作会影响该端口的所有位，所以在电平变化中断模式下使用多个引脚时必须特别小心。一个引脚上的变化可能不会在另一个引脚上反映出来。

PIC16F685/687/689/690

寄存器 4-5:

PORTB——PORTB 寄存器（地址：06h 或 106h）

R/W-x	R/W-x	R/W-x	R/W-x	U-0	U-0	U-0	U-0
RB7	RB6	RB5	RB4	—	—	—	—
bit 7				bit 0			

bit 7-4 **RB<7:4>**: PORTB I/O 引脚位

1 = 端口引脚 > V_{IH}

0 = 端口引脚 < V_{IL}

bit 3-0 未用: 读为 0

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

寄存器 4-6:

TRISB——TRISB 三态寄存器（地址：86h 或 186h）

R/W-1	R/W-1	R/W-1	R/W-1	U-0	U-0	U-0	U-0
TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—
bit 7				bit 0			

bit 7-4 **TRISB<7:4>**: PORTB 三态控制位

1 = PORTB 引脚配置为输入（三态）

0 = PORTB 引脚配置为输出

bit 3-0 未用: 读为 0

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

寄存器 4-7:

WPUB——弱上拉 PORTB 寄存器（地址：115h）

R/W-1	R/W-1	R/W-1	R/W-1	U-0	U-0	U-0	U-0
WPUB7	WPUB6	WPUB5	WPUB4	—	—	—	—
bit 7				bit 0			

bit 7-4 **WPUB<7:4>**: 弱上拉寄存器位

1 = 上拉使能

0 = 上拉禁止

bit 3-0 未用: 读为 0

注 1: 必须使能全局 RABPU 位, 从而使能单独的上拉功能。

2: 如果引脚处于输出模式 (TRISB<7:4> = 0), 则自动禁止弱上拉器件。

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

PIC16F685/687/689/690

寄存器 4-8: IOCB——电平变化中断 PORTB 寄存器（地址：116h）

R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
IOCB7	IOCB6	IOCB5	IOCB4	—	—	—	—
bit 7				bit 0			

bit 7-4 IOCB<7:4>: 电平变化中断位
1 = 使能电平变化中断
0 = 禁止电平变化中断

bit 3-0 未用: 读为 0

图注:			
R = 可读位	W = 可写位	U = 未用位, 读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

4.4.3 引脚说明和引脚图

每个 PORTB 引脚都与其他功能复用。这里将简要说明引脚及其复用功能。各功能的具体信息（如 SSP、I²C 或中断），请参见本数据手册中的相关章节。

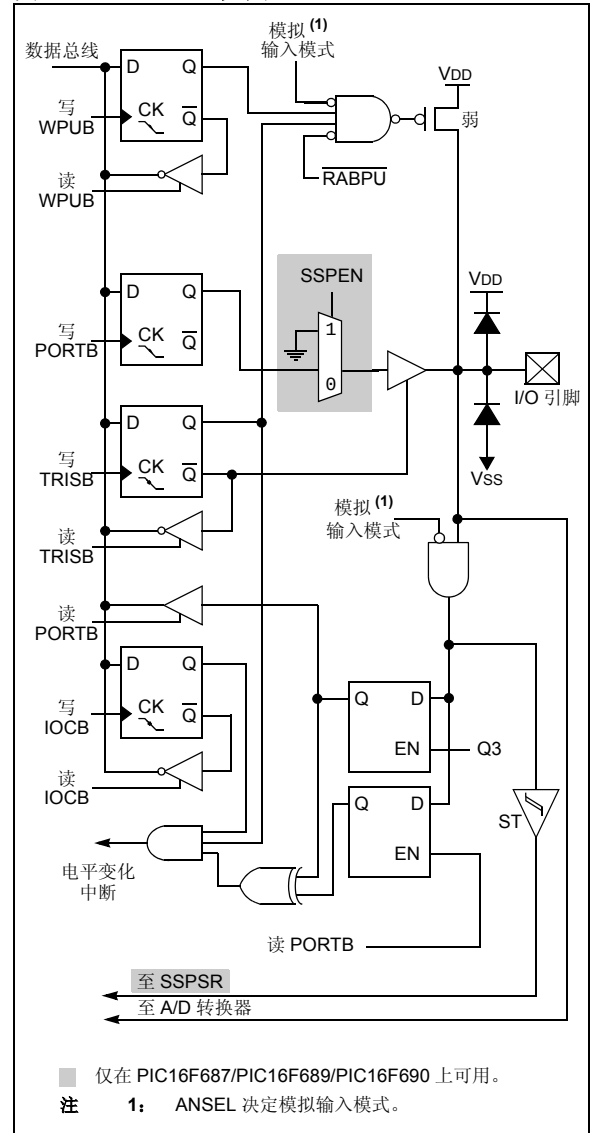
4.4.3.1 RB4/AN10/SDI/SDA

图 4-7 给出了此引脚的引脚图。RB4/AN10/SDI/SDA⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 A/D 的模拟输入
- SPI 数据 I/O
- I²C™ 数据 I/O

注 1: SDI 和 SDA 仅在 PIC16F687/PIC16F689/PIC16F690 上可用。

图 4-7: RB4 框图



PIC16F685/687/689/690

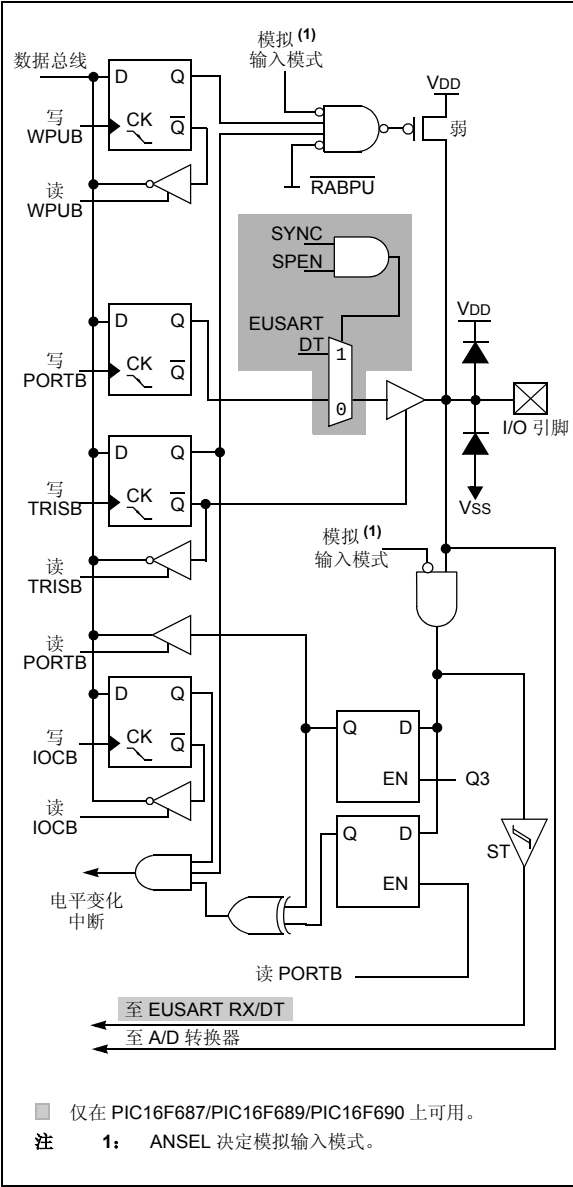
4.4.3.2 RB5/AN11/RX/DT

图 4-8 给出了此引脚的引脚图。RB5/AN11/RX/DT⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 A/D 的模拟输入
- 异步串行输入
- 同步串行数据 I/O

注 1: RX 和 DT 仅在 PIC16F687/PIC16F689/PIC16F690 上可用。

图 4-8: RB5 框图



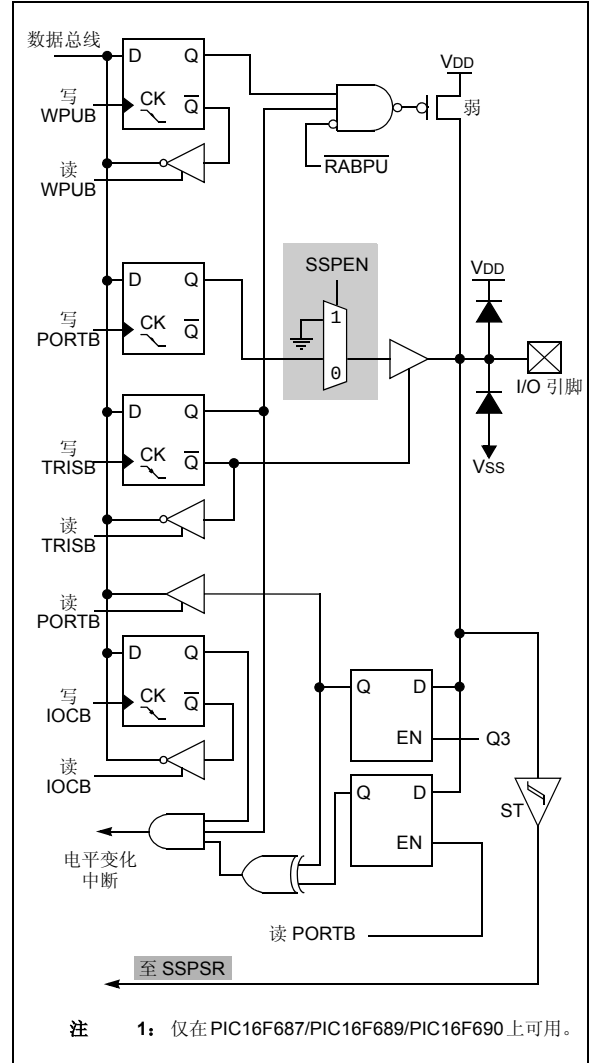
4.4.3.3 RB6/SCK/SCL

图 4-9 给出了此引脚的引脚图。RB6/SCK/SCL⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- SPI 时钟
- I²C™ 时钟

注 1: SCK 和 SCL 仅在 PIC16F687/PIC16F689/PIC16F690 上可用。

图 4-9: RB6 框图



PIC16F685/687/689/690

4.4.3.4 RB7/TX/CK

图 4-10 给出了此引脚的引脚图。RB7/TX/CK⁽¹⁾ 引脚可配置为下列功能之一:

- 通用 I/O
- 异步串行输出
- 同步时钟 I/O

注 1: TX 和 CK 仅在 PIC16F687/PIC16F689/
PIC16F690 上可用。

图 4-10: RB7 框图

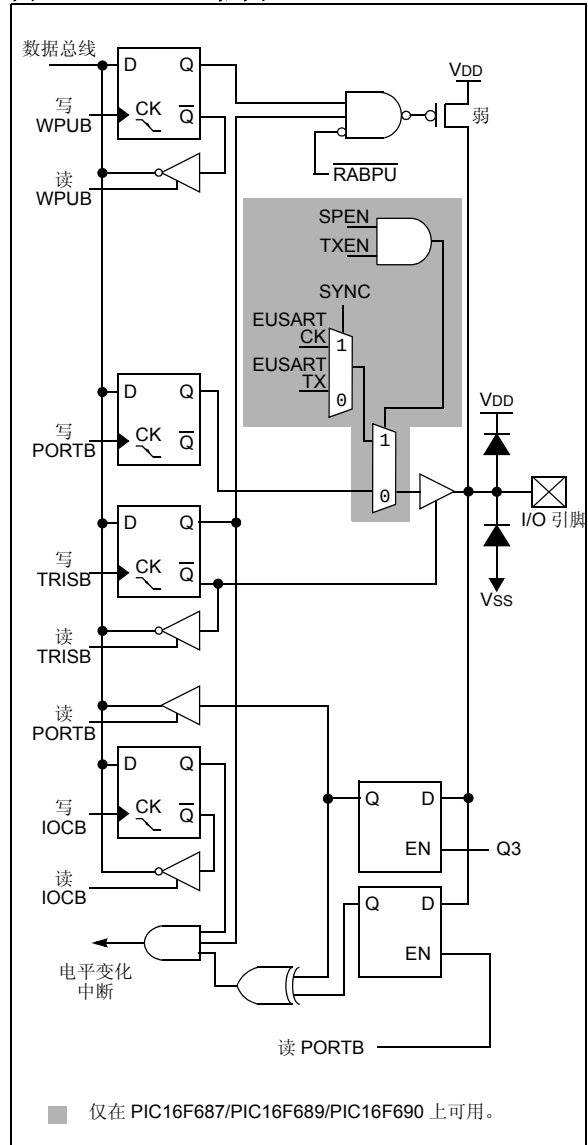


表 4-2: 与 PORTB 相关的寄存器汇总

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
06h/106h	PORTB	RB7	RB6	RB5	RB4	—	—	—	—	xxxx ----	uuuu ----
86h/186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
0Bh/8Bh/10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
115h	WPUB	WPUB7	WPUB6	WPUB5	WPUB4	—	—	—	—	1111 ----	1111 ----
116h	IOCB	IOCB7	IOCB6	IOCB5	IOCB4	—	—	—	—	0000 ----	0000 ----

图注: x = 未知, u = 不变, - = 未用的存储单元, 读为 0。PORTB 不使用阴影单元。

PIC16F685/687/689/690

4.5 PORTC 和 TRISC 寄存器

PORTC 是一个 8 位宽的双向端口，对应的数据方向寄存器是 TRISC（寄存器 4-10）。将 TRISC 某位置 1（= 1）时，会将 PORTC 的相应引脚设为输入（即，使相应的输出驱动器呈高阻状态）。将 TRISC 某位清零（= 0）时，会将 PORTC 的相应引脚设为输出（即，输出锁存器中的内容置于选中引脚）。例 4-4 显示了如何初始化 PORTC。读取 PORTC 寄存器（寄存器 4-9）将读出相应引脚的电平状态，而对其进行写操作则是写入其数据锁存器。所有写操作都是“读—修改—写”操作。因此，对端口的写操作意味着总是先读端口引脚电平状态，然后修改这个值，最后再写入该端口的数据锁存器。

TRISC 寄存器控制着 PORTC 引脚的方向，即使它们用作模拟输入引脚。当引脚用于模拟输入时，用户应确保 TRISC 中的各位保持置 1。对配置为模拟输入的 I/O 引脚，总是读为 0。

注： 必须对 ANSEL（11Eh）和 ANSELH（1Fh）寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚总是读为 0。

例 4-4： 初始化 PORTC

```
BCF STATUS, RP0 ;Bank 0
BCF STATUS, RP1 ;
CLRF PORTC ;Init PORTC
BSF STATUS, RP1 ;Bank 2
CLRF ANSEL ;digital I/O
BSF STATUS, RP0 ;Bank 1
BCF STATUS, RP1 ;
MOVLW 0Ch ;Set RC<3:2> as inputs
MOVWF TRISC ;and set RC<5:4,1:0>
;as outputs
BCF STATUS, RP0 ;Bank 0
```

寄存器 4-9:

PORTC——PORTC 寄存器（地址：07h 或 107h）

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0
bit 7				bit 0			

bit 7-0

RC<7:0>: PORTC 通用 I/O 引脚位

1 = 端口引脚 > V_{IH}

0 = 端口引脚 < V_{IL}

图注：

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

寄存器 4-10:

TRISC——TRISC 三态寄存器（地址：87h 或 187h）

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0
bit 7				bit 0			

bit 7-0

TRISC<7:0>: PORTC 三态控制位

1 = PORTC 引脚配置为输入（三态）

0 = PORTC 引脚配置为输出

图注：

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

PIC16F685/687/689/690

4.5.1 RC0/AN4/C2IN+

RC0 引脚可配置为下列功能之一:

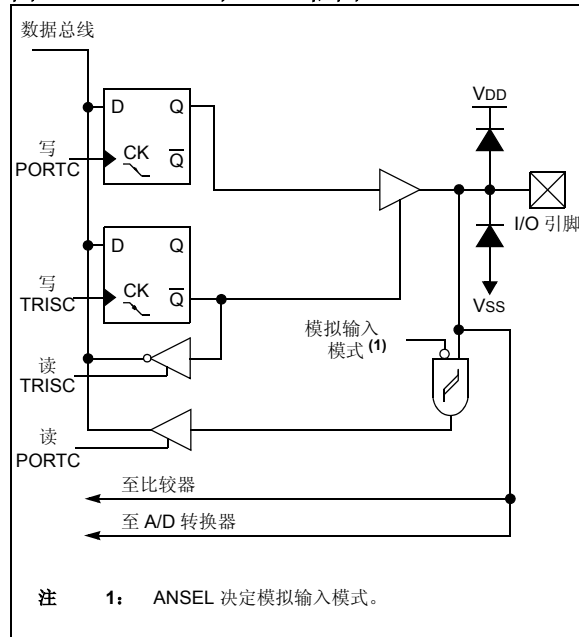
- 通用 I/O
- 连接至 A/D 的模拟输入
- 连接至比较器 2 的模拟输入

4.5.2 RC1/AN5/C12IN-

RC1 引脚可配置为下列功能之一:

- 通用 I/O
- 连接至 A/D 的模拟输入
- 连接至比较器 1 或 2 的模拟输入

图 4-11: RC0 和 RC1 框图



4.5.3 RC2/AN6/P1D

RC2/AN6/P1D⁽¹⁾ 引脚可配置为下列功能之一:

- 通用 I/O
- 连接至 A/D 的模拟输入
- PWM 输出

注 1: P1D仅在PIC16F685/PIC16F690上可用。

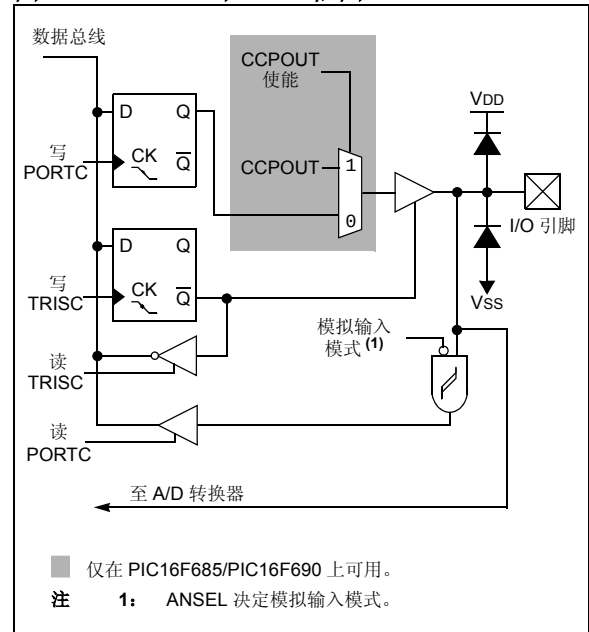
4.5.4 RC3/AN7/P1C

RC3/AN7/P1C⁽¹⁾ 引脚可配置为下列功能之一:

- 通用 I/O
- 连接至 A/D 的模拟输入
- PWM 输出

注 1: P1C仅在PIC16F685/PIC16F690上可用。

图 4-12: RC2 和 RC3 框图



PIC16F685/687/689/690

4.5.5 RC4/C2OUT/P1B

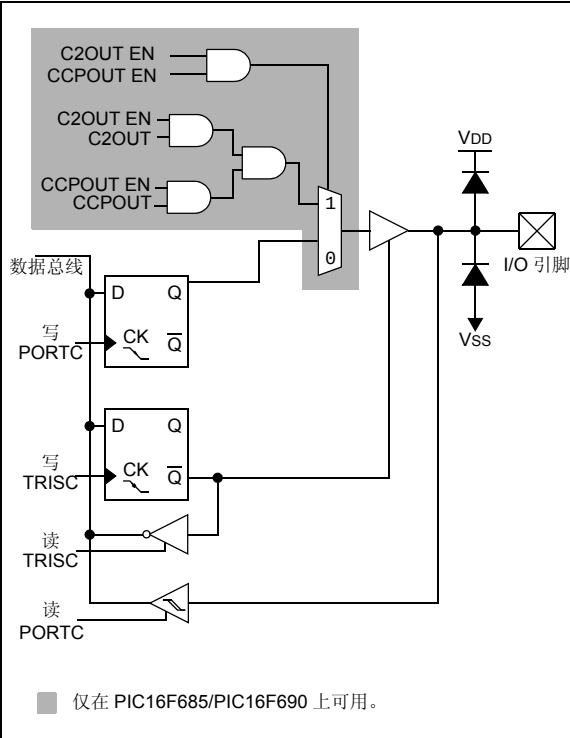
RC4/C2OUT/P1B^(1,2) 引脚可配置为下列功能之一：

- 通用 I/O
- 来自比较器 2 的数字输出
- PWM 输出

注 1: 同时使能 C2OUT 和 P1B 将在 RC4 上引起冲突并产生不可预知的结果。因此，如果 C2OUT 被使能，则 ECCP+ 不能用于半桥或全桥模式下，反之亦然。

2: P1B 仅在 PIC16F685/PIC16F690 上可用。

图 4-13: RC4 框图



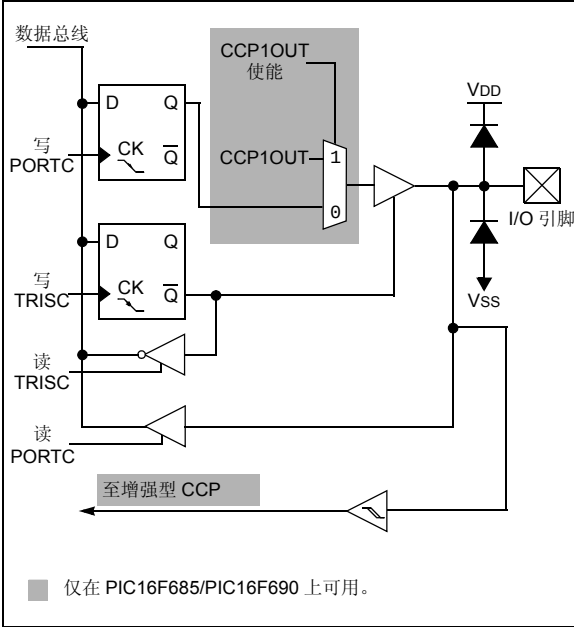
4.5.6 RC5/CCP1/P1A

RC5/CCP1/P1A⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 增强型 CCP 的数字输入 / 输出
- PWM 输出

注 1: CCP1 和 P1A 仅在 PIC16F685/PIC16F690 上可用。

图 4-14: RC5 框图



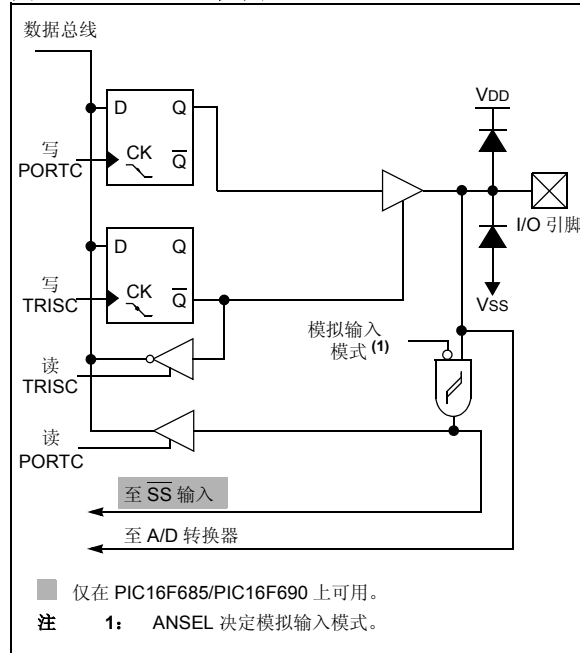
4.5.7 RC6/AN8/SS

RC6/AN8/SS⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 A/D 的模拟输入
- 从动选择输入

注 1: SS 仅在 PIC16F687/PIC16F689/PIC16F690 上可用。

图 4-15: RC6 框图



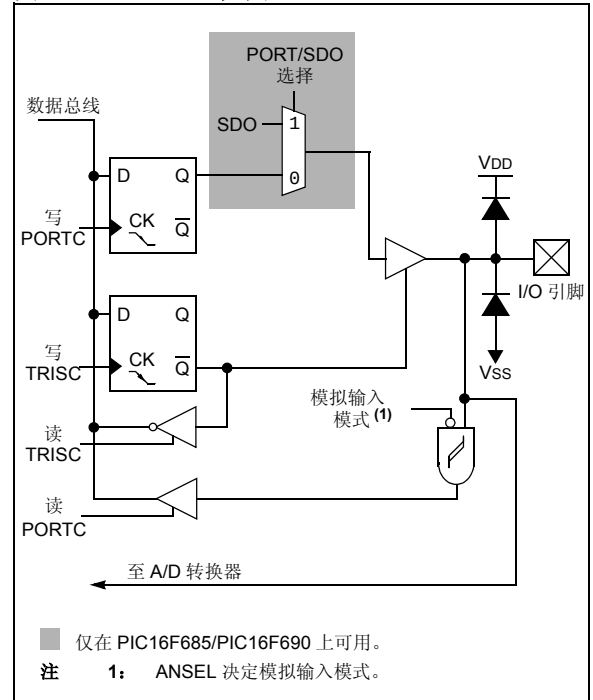
4.5.8 RC7/AN9/SDO

RC7/AN9/SDO⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 A/D 的模拟输入
- 串行数据输出

注 1: SDO 仅在 PIC16F687/PIC16F689/PIC16F690 上可用。

图 4-16: RC7 框图



PIC16F685/687/689/690

表 4-3: 与 PORTC 相关的寄存器汇总

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
07h/107h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
14h	SSPCON ⁽¹⁾	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
17h	CCP1CON ⁽²⁾	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
1Dh	ECCPAS ⁽²⁾	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1	PSSBD0	0000 0000	0000 0000
87h/187h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
11Ah	CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	0000 -000
11Bh	CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	00-- --10	00-- --10
11Eh	ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
11Fh	ANSELH	—	—	—	—	ANS11	ANS10	ANS9	ANS8	---- 1111	---- 1111
19Dh	PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	---0 0001
19Eh	SRCON	SR1	SR0	C1SEN	C2REN	PULSS	PULSR	—	—	0000 00--	0000 00--
118h	VRCON	C1VREN	C2VREN	VRR	VP6EN	VR3	VR2	VR1	VR0	0000 0000	0000 0000

图注: x = 未知, u = 不变, - = 未用的存储单元, 读为 0。PORTC 不使用阴影单元。

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

注 2: 仅限 PIC16F685/PIC16F690。

5.0 TIMER0 模块

Timer0 模块定时器 / 计数器具有以下特性：

- 8 位定时器 / 计数器
- 可读写
- 8 位软件可编程预分频器
- 内部或外部时钟选择
- 从 FFh 至 00h 溢出时触发中断
- 外部时钟的边沿选择

图 5-1 是与 WDT 共用的 Timer0 模块和预分频器的框图。

5.1 Timer0 工作原理

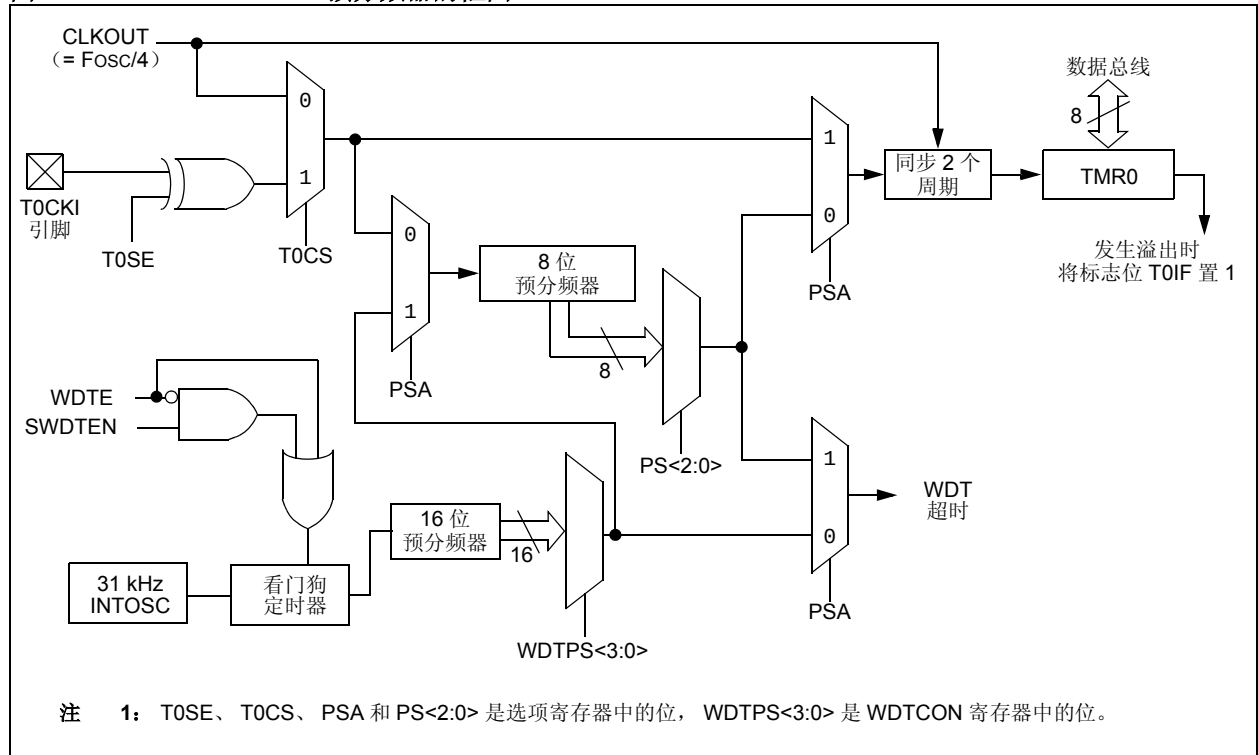
通过清零 T0CS 位 (OPTION_REG<5>) 选择定时器模式。在定时器模式下，Timer0 模块在每个指令周期递增（不带预分频器）。如果对 TMR0 执行写操作，在接下来的两个指令周期 TMR0 禁止递增。用户可将一个调整值写入 TMR0 寄存器来避开这一问题。

通过将 T0CS 位 (OPTION_REG<5>) 置 1 选择计数器模式。在此模式下，Timer0 模块在 RA2/AN1/T0CKI/INT/C1OUT 引脚的每个上升沿或下降沿递增计数。递增边沿取决于时钟源边沿 (T0SE) 控制位 (OPTION_REG<4>) 的设置。清零 T0SE 位选择上升沿。

5.2 Timer0 中断

当 TMR0 寄存器定时器 / 计数器从 FFh 至 00h 溢出时，产生 Timer0 中断。此溢出将 T0IF 位 (INTCON<2>) 置 1。可以通过清零 T0IE 位 (INTCON<5>) 来屏蔽该中断。在重新允许中断之前，必须在软件中用 Timer0 模块的中断服务程序将 T0IF 位清零。休眠状态下，由于定时器被关闭，所以 Timer0 中断无法唤醒处理器。

图 5-1: TIMER0/WDT 预分频器的框图



PIC16F685/687/689/690

5.3 Timer0 与外部时钟配合使用

不使用预分频器时，外部时钟输入等同于预分频器输出。通过对内部相位时钟 Q2 和 Q4 周期的预分频器输出进行采样，可实现 T0CKI 与内部相位时钟的同步。因此，要求 T0CKI 的高电平状态和低电平状态分别保持至少 2 T_{osc} 的时间（以及 20 ns 的短暂 RC 延时）。请参见其相应器件的电气规范说明。

注： 必须对 ANSEL（11Eh）寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚读为 0。

寄存器 5-1: OPTION_REG——选项寄存器（地址：81h 或 181h）

	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
	bit 7							bit 0
bit 7	RABPU: PORTA/PORTB 上拉使能位 1 = 禁止 PORTA/PORTB 上拉 0 = 通过单独的端口锁存值使能 PORTA/PORTB 上拉							
bit 6	INTEDG: 中断触发边沿选择位 1 = RA2/AN2/T0CKI/INT/C1OUT 引脚的上升沿触发中断 0 = RA2/AN2/T0CKI/INT/C1OUT 引脚的下降沿触发中断							
bit 5	T0CS: TMR0 时钟源选择位 1 = RA2/AN2/T0CKI/INT/C1OUT 引脚上的电平跳变 0 = 内部指令周期时钟（CLKOUT）							
bit 4	T0SE: TMR0 信号源边沿选择位 1 = 在 RA2/AN2/T0CKI/INT/C1OUT 引脚信号从高至低跳变时，递增计数 0 = 在 RA2/AN2/T0CKI/INT/C1OUT 引脚信号从低至高跳变时，递增计数							
bit 3	PSA: 预分频器分配控制位 1 = 预分频器分配给 WDT 0 = 预分频器分配给 Timer0 模块							
bit 2-0	PS<2:0>: 预分频器倍率选择位							
	位值	TMR0 比率		WDT 比率 ⁽¹⁾				
	000	1 : 2		1 : 1				
	001	1 : 4		1 : 2				
	010	1 : 8		1 : 4				
	011	1 : 16		1 : 8				
	100	1 : 32		1 : 16				
	101	1 : 64		1 : 32				
	110	1 : 128		1 : 64				
	111	1 : 256		1 : 128				

注 1: 可以使用专用的 16 位 WDT 后分频器。更多信息，请参见第 14.5 节“看门狗定时器（WDT）”。

图注：

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

5.4 预分频器

Timer0 模块使用一个 8 位计数器作为预分频器，该计数器用于看门狗定时器时则为后分频器。为简化起见，该计数器在本数据手册中统称为“预分频器”。在软件中通过设定控制位 PSA (OPTION_REG<3>)，可对预分频器的分配进行控制。PSA 位清零可将预分频器分配给 Timer0。在 PS<2:0> 位 (OPTION_REG<2:0>) 中可选择预分频器的设定值。

预分频器是不可读写的。将其分配给 Timer0 模块时，所有写入 TMR0 寄存器的指令（例如，CLRF 1、MOVWF 1 和 BSF 1, x 等），都会将预分频器清零。将预分频器分配给 WDT 时，CLRWDI 指令会同时将预分频器和看门狗定时器清零。

5.4.1 切换预分频器的分配

预分频器的分配完全由软件控制（即，可以在程序执行过程中对预分频器的分配进行更改）。为避免器件意外复位，当把预分频器从 Timer0 重新分配给 WDT 时，必须执行以下指令序列（例 5-1 和例 5-2）。

例 5-1: 改变预分频器的分配 (TIMER0→WDT)

```
BCF    STATUS,RP0    ;Bank 0
BCF    STATUS,RP1    ;
CLRWDI    ;Clear WDT
CLRF    TMR0         ;Clear TMR0 and
                    ;prescaler

BSF    STATUS,RP0    ;Bank 1
MOVLW   b'00101111' ;Required if desired
MOVWF   OPTION_REG   ;PS<2:0> is
CLRWDI    ;000 or 001
                    ;
MOVLW   b'00101xxx'  ;Set postscaler to
MOVWF   OPTION_REG   ;desired WDT rate
BCF    STATUS,RP0    ;Bank 0
```

将预分频器从 WDT 分配给 TMR0 模块时，使用例 5-2 所示的指令序列。即使禁止了 WDT，也应该执行该指令序列以防误操作。

例 5-2: 改变预分频器的分配 (WDT→TIMER0)

```
CLRWDI    ;Clear WDT and
                    ;prescaler
BSF    STATUS,RP0    ;Bank 1
BCF    STATUS,RP1    ;
MOVLW   b'xxxx0xxx'  ;Select TMR0,
                    ;prescale, and
                    ;clock source
MOVWF   OPTION_REG   ;
BCF    STATUS,RP0    ;Bank 0
```

表 5-1: 与 TIMER0 相关的寄存器

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
01h/101h	TMR0	Timer0 模块寄存器								xxxx xxxx	uuuu uuuu
0Bh/8Bh/10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
81h/181h	OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
85h/185h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111

图注: — = 未用的存储单元，读为 0，u = 不变，x = 未知。Timer0 模块不使用阴影单元。

PIC16F685/687/689/690

注:

6.0 具备门控功能的 TIMER1 模块

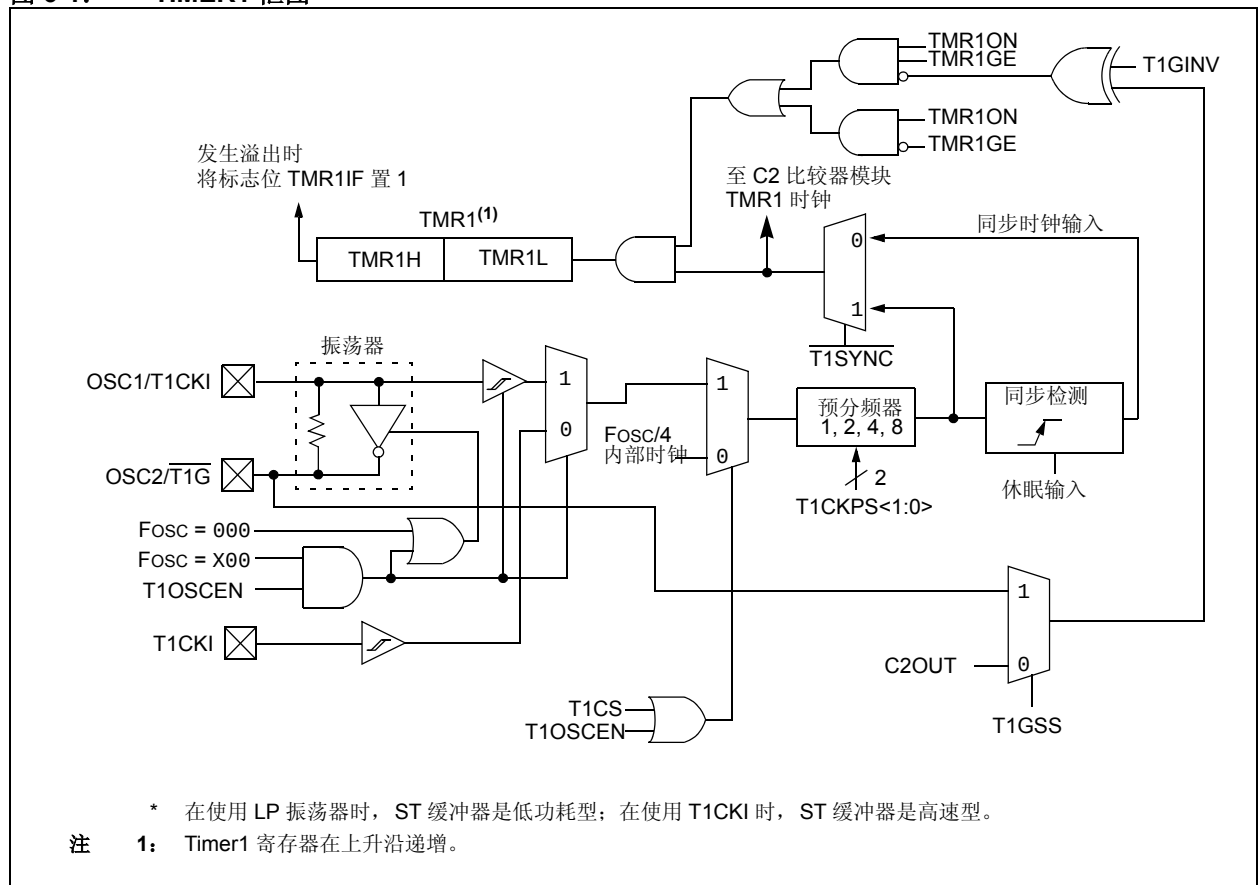
Timer1 模块具有以下特性：

- 16 位定时器 / 计数器 (TMR1H:TMR1L)
- 可读写
- 内部或外部时钟选择
- 同步或异步工作
- 从 FFFFh 至 0000h 溢出时触发中断
- 溢出触发唤醒 (异步模式)
- 可选的外部使能输入
 - 可选择门控源：T1G 或 C2 输出 (T1GSS)
 - 可选择门控极性 (T1GINV)
- 可选的 LP 振荡器

图 6-1 给出了 Timer1 模块的框图。

如寄存器 6-1 所示，Timer1 控制寄存器 (T1CON) 用于使能/禁止 Timer1 以及选择 Timer1 模块的各种特性。

图 6-1: TIMER1 框图



PIC16F685/687/689/690

6.1 Timer1 工作模式

Timer1 可工作在以下三种模式之一：

- 带预分频器的 16 位定时器
- 16 位同步计数器
- 16 位异步计数器

在定时器模式下，Timer1 在每个指令周期递增。在计数器模式下，Timer1 在外部时钟输入 T1CKI 的上升沿递增。而且，计数器模式时钟可以与单片机系统时钟同步，也可以异步工作。

在计数器和定时器模块中，计数器 / 定时器时钟可以用 Timer1 门进行门控，可将其选择为 T1G 引脚或比较器 2 的输出。

如果需要使用外部时钟振荡器（并且单片机正在使用不带 CLKOUT 的 INTOSC），Timer1 可以将 LP 振荡器用作时钟源。

注： 在计数器模式下，在第一个要递增计数的上升沿之前，计数器应先记录对齐一个下降沿。

6.2 Timer1 中断

一对 Timer1 寄存器（TMR1H:TMR1L）递增到 FFFFh，然后返回到 0000h。当 Timer1 计满返回时，Timer1 中断标志位（PIR1<0>）将置 1。为使能计满返回时的中断，必须将以下寄存器位置 1：

- Timer1 中断允许位（PIE1<0>）
- PEIE 位（INTCON<6>）
- GIE 位（INTCON<7>）

在中断服务程序中将 TMR1IF 位清零将清除中断。

注： 在重新允许中断前，应将一对 TMR1H:TMR1L 寄存器以及 TMR1IF 位清零。

6.3 Timer1 预分频器

Timer1 有四个预分频器选项，允许对时钟输入进行 1、2、4 或 8 分频。T1CKPS 位（T1CON<5:4>）控制预分频器计数。对预分频计数器不能直接进行读写操作；但是，通过写入 TMR1H 或 TMR1L 可将预分频计数器清零。

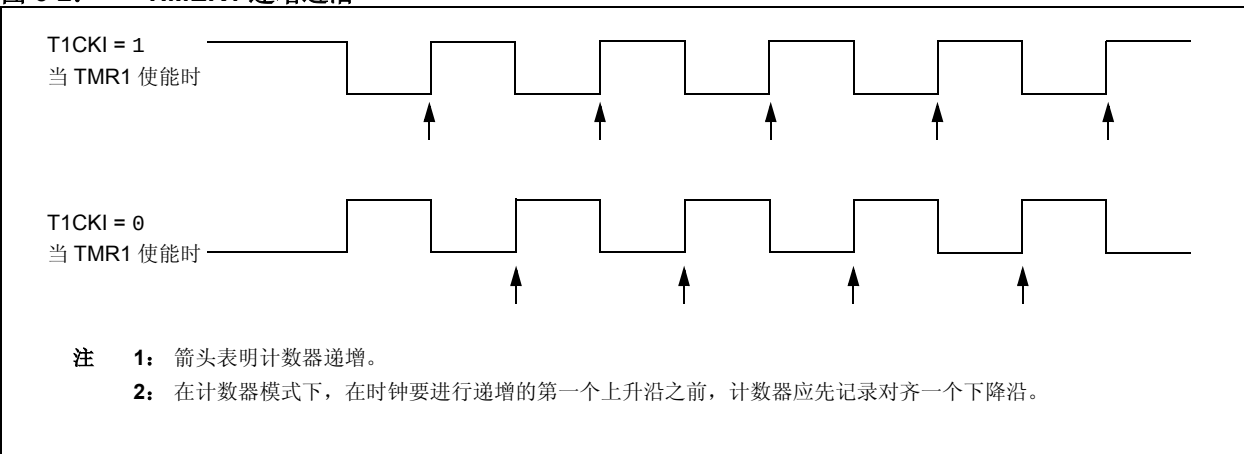
6.4 Timer1 门控

Timer1 门控源可用软件配置为 T1G 引脚或比较器 2 的输出。这使得器件能够使用 T1G 对外部事件进行直接计时，或者使用比较器 2 对模拟事件进行直接计时。Timer1 门控源的选择，请参见 CM2CON1（寄存器 8-3）。这个特性可以简化 $\Delta - \Sigma$ A/D 转换器和许多其他应用的程序。 $\Delta - \Sigma$ A/D 转换器的更多信息，请参见 Microchip 网站（www.microchip.com）。

注： 将 T1G 或 C2OUT 用作 Timer1 门控源之前，必须将 TMR1GE 位（T1CON<6>）置 1。选择 Timer1 门控源的更多信息，请参见寄存器 8-3。

可使用 T1GINV 位（T1CON<7>）反转 Timer1 门控，无论门控来自 T1G 引脚还是比较器 2 的输出。这样可将 Timer1 配置为测量事件之间的高电平有效或低电平有效时间。

图 6-2: TIMER1 递增边沿



寄存器 6-1:

T1CON——TIMER1 控制寄存器（地址：10h）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T1GINV ⁽¹⁾	TMR1GE ⁽²⁾	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON
bit 7							bit 0

- bit 7 **T1GINV:** Timer1 门控反转位 ⁽¹⁾
 1 = Timer1 门控反转
 0 = Timer1 门控未反转
- bit 6 **TMR1GE:** Timer1 门控使能位 ⁽²⁾
如果 TMR1ON = 0:
 该位被忽略
如果 TMR1ON = 1:
 1 = 如果 Timer1 门控不处于激活状态, 则开启 Timer1
 0 = 开启 Timer1
- bit 5-4 **T1CKPS<1:0>:** Timer1 输入时钟预分频比选择位
 11 = 1:8 预分频比
 10 = 1:4 预分频比
 01 = 1:2 预分频比
 00 = 1:1 预分频比
- bit 3 **T1OSCEN:** LP 振荡器使能控制位
如果不带 CLKOUT 振荡器的 INTOSC 处于激活状态:
 1 = LP 振荡器使能作为 Timer1 的时钟
 0 = LP 振荡器关闭
否则:
 该位被忽略
- bit 2 **$\overline{T1SYNC}$:** Timer1 外部时钟输入同步控制位
TMR1CS = 1:
 1 = 不同步外部时钟输入
 0 = 同步外部时钟输入
TMR1CS = 0:
 该位被忽略。Timer1 使用内部时钟。
- bit 1 **TMR1CS:** Timer1 时钟源选择位
 1 = 使用来自 T1CKI 引脚（在上升沿）的外部时钟
 0 = 内部时钟（Fosc/4）
- bit 0 **TMR1ON:** Timer1 启动控制位
 1 = 使能 Timer1
 0 = 停止 Timer1

注 1: T1GINV 位反转 Timer1 门控逻辑, 无论其来源为何。

2: 要将 $\overline{T1G}$ 引脚或 C2OUT（选择哪个由 T1GSS 位（CM2CON1<1>）控制）用作 Timer1 门控源, 必须将 TMR1GE 位置 1。

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

PIC16F685/687/689/690

6.5 Timer1 在异步计数器模式下的工作原理

如果控制位 $\overline{T1SYNC}$ ($T1CON<2>$) 置 1，外部时钟输入将不同步。定时器继续异步于内部相位时钟进行递增计数。在休眠模式下，定时器将继续递增，并在溢出时产生中断以唤醒处理器。但是，用软件对定时器进行读/写操作时，要特别当心（参见第 6.5.1 节“在异步计数器模式下读写 Timer1”）。

注： 必须对 ANSEL ($11Eh$) 寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚读为 0。

6.5.1 在异步计数器模式下读写 TIMER1

当定时器采用外部异步时钟工作时，对 TMR1H 或 TMR1L 的读操作将确保有效（由硬件实现）。但是，应该注意的是，用两个 8 位值来读取 16 位定时器本身就会产生某些问题，这是因为定时器可能在两次读操作之间产生溢出。

对于写操作，建议用户直接停止计数器，然后写入所期望的值。如果寄存器正在进行递增计数，对定时器寄存器进行写操作，可能会导致写入竞争，从而可能在定时器寄存器中产生不可预测的值。

6.6 Timer1 振荡器

在引脚 OSC1（输入）和 OSC2（放大输出）之间接有一个内置晶体振荡器电路。通过将控制位 T1OSCEN ($T1CON<3>$) 置 1 可启用该电路。该电路采用低功耗振荡器，频率最高可达 32 kHz。在休眠模式下，它将继续工作。该电路主要用于 32 kHz 晶振。表 3-1 给出了 Timer1 振荡器的电容选择。

Timer1 振荡器与系统 LP 振荡器共用。因此，只有当主系统时钟来自于内部时钟振荡器时，Timer1 才能采用该模式。与系统 LP 振荡器相同，用户必须提供软件延时以保证振荡器能够正常起振。

当 Timer1 振荡器被使能时，TRISA5 和 TRISA4 位将被置 1。RA5 和 RA4 位读为 0，而 TRISA5 和 TRISA4 位读为 1。

注： 在使用之前，振荡器需要一定的起振和稳定时间。因此，T1OSCEN 应置 1，且在使能 Timer1 之前确保有一定的延时。

6.7 Timer1 在休眠模式下的工作原理

只有在设定异步计数器模式时，Timer1 才能在休眠模式下工作。在该模式下，可使用外部晶振或时钟源信号使计数器递增。要设置定时器以唤醒器件，应：

- Timer1 必须开启 ($T1CON<0>$)
- 必须将 TMR1IE 位 ($PIE1<0>$) 置 1
- 必须将 PEIE 位 ($INTCON<6>$) 置 1

器件将在溢出时被唤醒。如果将 GIE 位 ($INTCON<7>$) 置 1，溢出时器件将被唤醒并跳转至中断服务程序 (0004h)。如果将 GIE 位清零，将继续执行下一条指令。

表 6-1: 与 TIMER1 相关的寄存器

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Bh/8Bh/10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
0Eh	TMR1L	16 位 TMR1 寄存器低位字节的保持寄存器								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	16 位 TMR1 寄存器高位字节的保持寄存器								xxxx xxxx	uuuu uuuu
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	0000 0000	uuuu uuuu
11Bh	CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	00-- --10	00-- --10
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000

图注： x = 未知，u = 不变，— = 未用，读为 0。Timer1 模块不使用阴影单元。

7.0 TIMER2 模块

Timer2 模块定时器具有以下特性：

- 8 位定时器（TMR2 寄存器）
- 8 位周期寄存器（PR2）
- 可读写（以上两个寄存器）
- 软件可编程预分频器（1:1、1:4 或 1:16）
- 软件可编程后分频器（1:1 至 1:16）
- TMR2 与 PR2 匹配时中断

Timer2 具有一个控制寄存器，如寄存器 7-1 所示。可以通过清零控制位 TMR2ON（T2CON<2>）关闭 TMR2，以实现功耗最小。图 7-1 是 Timer2 模块的简化框图。Timer2 预分频器和后分频器的选择都由该寄存器控制。

7.1 Timer2 工作原理

Timer2 可用作 ECCP+ 模块的 PWM 模式的 PWM 时基。TMR2 寄存器是可读写的，在任何器件复位时都会被清零。输入时钟（Fosc/4）有一个由控制位 T2CKPS<1:0>（T2CON<1:0>）选择的预分频选项（1:1、1:4 或 1:16）。TMR2 的匹配输出通过一个 4 位的后分频器（提供范围为 1:1 到 1:16 的分频比）产生 TMR2 中断（锁存在标志位 TMR2IF（PIR1<1>））。

预分频和后分频计数器在发生以下情况时清零：

- 对 TMR2 寄存器进行写操作
- 对 T2CON 寄存器进行写操作
- 任何器件复位（上电复位、MCLR 复位、看门狗定时器复位或欠压复位）

写 T2CON 时 TMR2 不会清零。

寄存器 7-1：

T2CON——TIMER2 控制寄存器（地址：12h）

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
bit 7							bit 0

- bit 7 未用：读为 0
- bit 6-3 **TOUTPS<3:0>**：Timer2 输出后分频比选择位
0000 = 1:1 后分频比
0001 = 1:2 后分频比
. . .
1111 = 1:16 后分频比
- bit 2 **TMR2ON**：Timer2 启动控制位
1 = 开启 Timer2
0 = 关闭 Timer2
- bit 1-0 **T2CKPS<1:0>**：Timer2 时钟预分频值选择位
00 = 预分频值为 1
01 = 预分频值为 4
1x = 预分频值为 16

图注：

R = 可读位	W = 可写位	U = 未用位，读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC16F685/687/689/690

7.2 Timer2 中断

Timer2 模块具有一个 8 位的周期寄存器 PR2。Timer2 从 00h 开始递增直至与 PR2 匹配，然后在下一个递增周期复位至 00h。PR2 是可读写寄存器。PR2 寄存器复位后初始化到 FFh。

图 7-1: TIMER2 框图

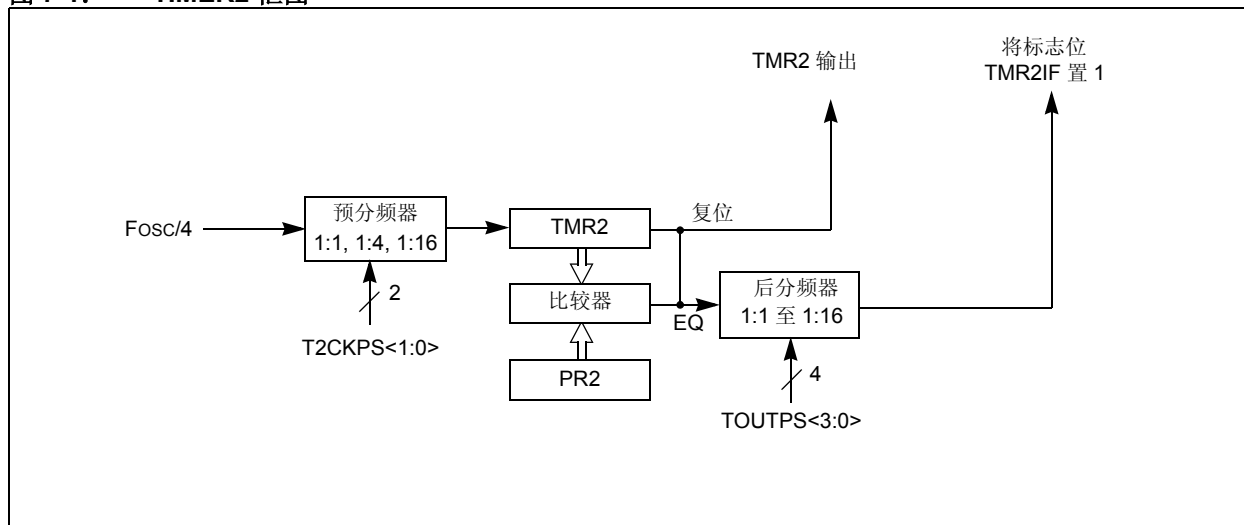


表 7-1: 与 TIMER2 相关的寄存器

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他 复位值
0Bh/8Bh/ 10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
11h	TMR2	8 位 TMR2 寄存器的保持寄存器								0000 0000	0000 0000
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
92h	PR2	Timer2 模块周期寄存器								1111 1111	1111 1111

图注: x = 未知, u = 不变, - = 未用, 读为 0。Timer2 模块不使用阴影单元。

8.0 比较器模块

比较器模块有两个独立的电压比较器：比较器 C1 和比较器 C2。

每个比较器可以提供下列功能：

- 控制和配置寄存器
- 比较器输出外部有效
- 可编程输出极性
- 电平变化中断标志
- 从休眠状态唤醒
- 可配置为 PWM 的反馈输入
- 可编程 4 输入复用器
- 可编程 2 输入参考选择
- Timer1 门控
- 输出同步到 Timer1 时钟输入（仅限比较器 C2）

注： C2 可连接到 Timer1 门控。

8.1 控制寄存器

两个比较器都有独立的控制和配置寄存器：C1 为 CM1CON0，C2 为 CM2CON0。此外，比较器 C2 还有第二个控制寄存器 CM2CON1，用于两个比较器输出的同步控制和同时读取。

8.1.1 比较器 C1 的控制寄存器

CM1CON0 寄存器（如寄存器 8-1 所示）包含以下控制位和状态位：

- 比较器使能
- 比较器输入选择
- 比较器参考选择
- 输出模式

将 C1ON（CM1CON0<7>）置 1 可以使能比较器 C1。

C1CH<1:0>（CM1CON0<1:0>）位可以从 4 个模拟引脚 AN<7:5,1> 中选择比较器输入。

注： 要使用 AN<7:5,1> 作为模拟输入，相应的位必须在 ANSEL 寄存器中编程为 1。

将 C1R（CM1CON0<2>）置 1 可将比较器参考电压模块的 C1VREF 输出选择为比较器的参考电压。清零 C1R 可选择 RA0/AN0/C1IN+/ICSPDAT/ULPWU 引脚上的 C1IN+ 输入。

通过 C1OUT 标志（CM1CON0<6>）使比较器的输出内部有效。要使外部连接输出有效，必须将 C1OE 位（CM1CON0<5>）置 1。

可以通过将 C1POL 位（CM1CON0<4>）置 1 使比较器输出的极性反相。清零 C1POL 产生非反相输出。

表 8-1 给出了输出状态与输入条件及极性位的完整表格。

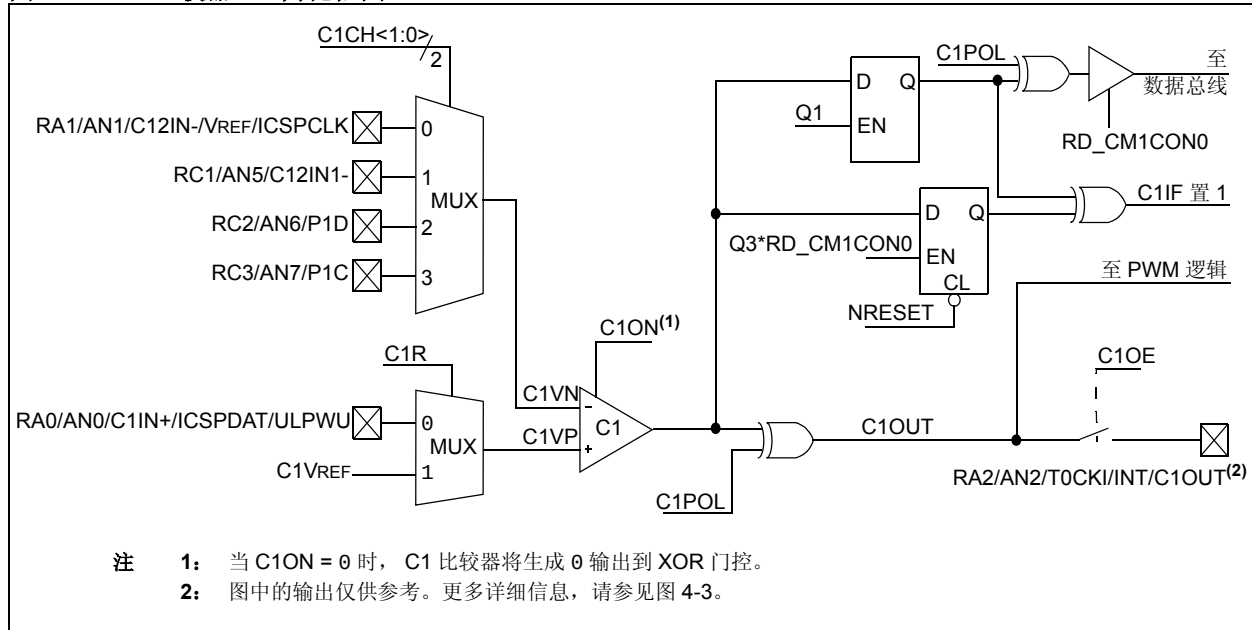
表 8-1: C1 输出状态与输入条件

输入条件	C1POL	C1OUT
C1VN > C1VP	0	0
C1VN < C1VP	0	1
C1VN > C1VP	1	1
C1VN < C1VP	1	0

- 注**
- 1: 比较器的内部输出在每个指令周期结束时被锁存。外部输出不锁存。
 - 2: C1 中断将正确处理 C1OE 置 1 或清零的情况。
 - 3: 对于 RA2/AN2/T0CKI/INT/C1OUT 上的 C1 输出：
C1OE = 1, C1ON = 1 且 TRISA<2> = 0。

PIC16F685/687/689/690

图 8-1: 比较器 C1 简化框图



寄存器 8-1:

CM1CON0——比较器 C1 的控制寄存器 0（地址：119h）

R/W-0	R-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0
bit 7							bit 0

- bit 7 **C1ON:** 比较器 C1 使能位
1 = C1 比较器使能
0 = C1 比较器禁止
- bit 6 **C1OUT:** 比较器 C1 输出位
如果 C1POL = 1（极性反相）：
C1OUT = 1, C1VP < C1VN
C1OUT = 0, C1VP > C1VN
如果 C1POL = 0（极性非反相）：
C1OUT = 1, C1VP > C1VN
C1OUT = 0, C1VP < C1VN
- bit 5 **C1OE:** 比较器 C1 输出使能位
1 = C1OUT 出现在 RA2/AN2/T0CKI/INT/C1OUT 引脚上 ⁽¹⁾
0 = C1OUT 仅在内部有效
- bit 4 **C1POL:** 比较器 C1 输出极性选择位
1 = C1OUT 逻辑反相
0 = C1OUT 逻辑未反相
- bit 3 未用：读为 0
- bit 2 **C1R:** 比较器 C1 参考选择位（非反相输入）
1 = C1VP 连接至 C1VREF 输出
0 = C1VP 连接至 RA0/AN0/C1IN+/ICSPDAT/ULPWU
- bit 1-0 **C1CH<1:0>:** 比较器 C1 通道选择位
00 = C1 的 C1VN 连接至 RA1/AN1/C12IN-/VREF/ICSPCLK
01 = C1 的 C1VN 连接至 RC1/AN5/C12IN-
10 = C1 的 C1VN 连接至 RC2/AN6/P1D
11 = C1 的 C1VN 连接至 RC3/AN7/P1C

注 1: C1OUT 仅在以下情况时驱动 RA2/AN2/T0CKI/INT/C1OUT：
C1OE = 1, C1ON = 1 且 TRISA<2> = 0。

图注:

R = 可读位	W = 可写位	U = 未用位，读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC16F685/687/689/690

8.1.2 比较器 2 的控制寄存器

比较器 2 (C2) 寄存器 (CM2CON0) 和 CM1CON0 寄存器的功能相同, 如第 8.1.1 节 “比较器 C1 的控制寄存器” 中所述。第二个控制寄存器 CM2CON1 也用来控制另一个同步功能以及两个比较器输出的镜像。

8.1.2.1 比较器 2 的控制寄存器 0

CM2CON0 寄存器 (如寄存器 8-2 所示) 包含比较器 C2 的控制和状态位。

将 C2ON (CM2CON0<7>) 置 1 可以使能比较器 C2。

C2CH<1:0> (CM2CON0<1:0>) 位可以从 4 个模拟引脚 AN<7:5,1> 中选择比较器输入。

注 1: 要使用 AN<7:5,1> 作为模拟输入, 相应的位必须在 ANSEL 寄存器中编程为 1。

C2R (CM2CON0<2>) 选择比较器要使用的参考输入。将 C2R (CM2CON0<2>) 置 1 可将比较器参考电压模块的 C2VREF 输出选择为比较器的参考电压。清零 C2R 可选择 RC0/AN4/C2IN+ 引脚上的 C2IN+ 输入。

通过 C2OUT 位 (CM2CON0<6>) 使比较器的输出内部有效。要使外部连接输出有效, 必须将 C2OE 位 (CM2CON0<5>) 置 1。

可以通过将 C2POL 位 (CM2CON0<4>) 置 1 使比较器输出 C2OUT 反相。清零 C2POL 产生非反相输出。

表 8-2 给出了输出状态与输入条件及极性位的完整表格。

表 8-2: C2 输出状态与输入条件

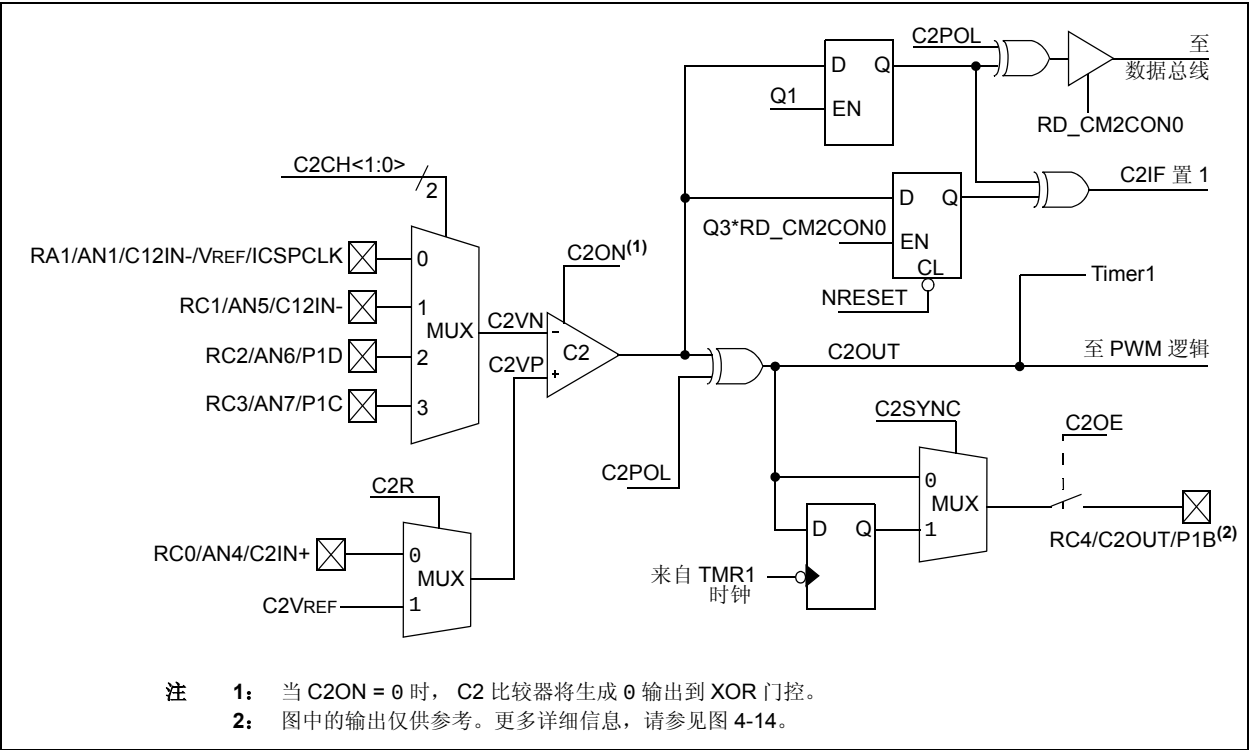
输入条件	C2POL	C2OUT
C2VN > C2VP	0	0
C2VN < C2VP	0	1
C2VN > C2VP	1	1
C2VN < C2VP	1	0

注 1: 比较器的内部输出在每个指令周期结束时被锁存。外部输出不锁存。

2: C2 中断将正确处理 C2OE 置 1 或清零的情况。C2 中断并不要求外部输出。

3: 对于 RC4/C2OUT/P1B 上的 C2 输出: C2OE = 1, C2ON = 1 且 TRISC<4> = 0。

图 8-2: 比较器 C2 简化框图



注 1: 当 C2ON = 0 时, C2 比较器将生成 0 输出到 XOR 门控。
2: 图中的输出仅供参考。更多信息, 请参见图 4-14。

寄存器 8-2:

CM2CON0——比较器 2 的控制寄存器 0（地址：11AH）

R/W-0	R-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0
bit 7							bit 0

- bit 7 **C2ON:** 比较器 C2 使能位
1 = C2 比较器使能
0 = C2 比较器禁止
- bit 6 **C2OUT:** 比较器 C2 输出位
如果 C2POL = 1（极性反相）:
C2OUT = 1, C2VP < C2VN
C2OUT = 0, C2VP > C2VN
如果 C2POL = 0（极性非反相）:
C2OUT = 1, C2VP > C2VN
C2OUT = 0, C2VP < C2VN
- bit 5 **C2OE:** 比较器 C2 输出使能位
1 = C2OUT 出现在 RC4/C2OUT/P1B 上⁽¹⁾
0 = C2OUT 仅在内部有效
- bit 4 **C2POL:** 比较器 C2 输出极性选择位
1 = C2OUT 逻辑反相
0 = C2OUT 逻辑未反相
- bit 3 未用: 读为 0
- bit 2 **C2R:** 比较器 C2 参考选择位（非反相输入）
1 = C2VP 连接至 C2VREF
0 = C2VP 连接至 RC0/AN4/C2IN+
- bit 1-0 **C2CH<1:0>:** 比较器 C2 通道选择位
00 = C2 的 C2VN 连接至 RA1/AN1/C12IN-/VREF/ICSPCLK
01 = C2 的 C2VN 连接至 RC1/AN5/C12IN-
10 = C2 的 C2VN 连接至 RC2/AN6/P1D
11 = C2 的 C2VN 连接至 RC3/AN7/P1C

注 1: C2OUT 仅在以下情况驱动 RC4/C2OUT/P1B:
C2OE = 1, C2ON = 1 且 TRISC<4> = 0。

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC16F685/687/689/690

8.1.2.2 比较器 2 的控制寄存器 1

比较器 2 还有另外一项功能，即其输出可以与 Timer1 的时钟输入同步。将 C2SYNC (CM2CON1<0>) 置 1 使比较器 2 的输出与 Timer1 时钟输入的下降沿同步（见图 8-2 和寄存器 8-3）。

CM2CON1 寄存器也包含两个比较器输出的镜像副本 MC1OUT 和 MC2OUT (CM2CON1<7:6>)。从同一个寄存器中同时读取两个输出的功能，可以清除从不同寄存器读取的时间失真。

注 1: 通过读 CM2CON1 获取 C1OUT 或 C2OUT 的状态并不影响比较器中断非匹配寄存器。

寄存器 8-3: CM2CON1——比较器 2 的控制寄存器 1（地址: 11Bh）

R-0	R-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0
MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC
bit 7						bit 0	

bit 7 **MC1OUT:** C1OUT 位的镜像副本 (CM1CON0<6>)

bit 6 **MC2OUT:** C2OUT 位的镜像副本 (CM2CON0<6>)

bit 5-2 **未用:** 读为 0

bit 1 **T1GSS:** Timer1 门控源选择位
1 = Timer1 门控源为 RA4/AN3/T1G/OSC2/CLKOUT
0 = Timer1 门控源为 C2OUT

bit 0 **C2SYNC:** C2 输出同步模式位
1 = C2 输出与 Timer1 时钟下降沿同步
0 = C2 输出异步

图注:
R = 可读位 W = 可写位 U = 未用位，读为 0
-n = POR 值 1 = 置 1 0 = 清零 x = 未知

8.2 比较器输出

通过 CM1CON0、COM2CON0 或 CM2CON1 寄存器读取比较器输出。CM1CON0 和 CM2CON0 都包含比较器 1 和比较器 2 的独立比较器输出。CM2CON1 包含两个比较器输出的镜像副本，便于从两个比较器同步读取。这些位是只读的。比较器输出也可以直接输出到 RA2/AN2/T0CKI/INT/C1OUT 和 RC4/C2OUT/P1B I/O 引脚。当被使能时，位于 RA2/AN2/T0CKI/INT/C1OUT 和 RC4/C2OUT/P1B 引脚输出路径中的多路复用器将切换，每个引脚的输出均为比较器的未同步输出。各个比较器的不确定性与规范中给出的输入偏移电压和响应时间有关。图 8-1 和图 8-2 给出了比较器 1 和 2 的输出框图。

在此模式下，TRIS 位仍将用作 RA2/AN2/T0CKI/INT/C1OUT 和 RC4/C2OUT/P1B 引脚输出的使能 / 禁止控制位。

使用 C1POL 和 C2POL 位 (CMxCON0<4>) 可改变比较器输出的极性。

Timer1 门控源可配置为使用 T1G 引脚或比较器 2 输出，具体由 T1GSS 位 (CM2CON1<1>) 进行选择。Timer1 门控特性可用于对模拟事件的持续时间或时间间隔计时。通过将 C2SYNC 位 (CM2CON1<0>) 置 1，比较器 2 的输出还可以与 Timer1 同步。当被使能时，比较器 2 输出在 Timer1 时钟源下降沿被锁存。如果 Timer1 使用了预分频器，比较器 2 在经过预分频器后被锁存。为了防止竞争条件，比较器 2 输出在 Timer1 时钟源的下降沿被锁存，而 Timer1 在其时钟源的上升沿递增。更多信息，请参见比较器 2 框图 (图 8-2) 和 Timer1 框图 (图 6-1)。

当比较器 2 用作 Timer1 门控源时，建议通过将 C2SYNC 位置 1 使比较器 2 与 Timer1 同步。这样做可确保 Timer1 不会在比较器 2 在递增期间发生变化时，错过递增。

8.2.1 比较器中断操作

只要比较器输出值发生变化，相应的比较器中断标志位就会置 1。需要用软件保存这些输出位的状态 (从 CM2CON0<7:6> 读取)，以确定实际发生的变化。PIR2<6:5> 位是比较器中断标志。必须用软件将比较器中断位清零以进行复位。由于可以对该寄存器写入 1，因此可产生仿真中断。

必须将 CxIE 位 (PIE2<6:5>) 和 PEIE 位 (INTCON<6>) 置 1 以允许中断。此外，还必须将 GIE 位置 1。如果上述位中有任何一位被清零，则无法允许中断，尽管中断条件发生时仍会将 CxIF 位置 1。

PIC16F685/687/689/690 的比较器中断和早期设计不同之处在于，标志位是根据不匹配边沿而不是不匹配电平置 1 的。这意味着不需要额外的读取或写入 CMxCON0 寄存器来将不匹配寄存器清零这一步骤，即可将中断标志复位。当不匹配的寄存器尚未清零时，比较器输出返回前一个状态不发生中断。当不匹配的寄存器清零时，比较器输出返回前一个状态将发生中断。

注 1: 在读操作执行过程中 (Q2 周期的起始时刻)，如果 CMxCON0 寄存器 (CxOUT) 发生变化，那么 CxIF (PIR2<5:6>) 中断标志位可能不会被置 1。

2: 当两个比较器之一先使能时，比较器模块中的偏置电路在稳定前可能产生比较器的无效输出。应允许偏置电路有 1 μs 的稳定时间，然后在使能比较器中断前将不匹配条件和中断标志清零。

PIC16F685/687/689/690

8.3 SR 锁存器输出

SR 锁存器连接到比较器输出 C1OUT 和 C2OUT。在任何复位情况下，SR 锁存器始终被禁止。因此，锁存器输出必须在输出引脚输出有效之前完成初始化。此外，相应端口可用的 TRIS 位必须被设置为输出（0），且必须初始化各自的比较器输出使能位（C1OE 和 / 或 C2OE），使锁存器输出在输出引脚上有效。图 8-5 给出了 SR 锁存器可以使用的 4 种不同配置，SRCON 寄存器（寄存器 8-4）中的 SR<1:0> 位控制锁存器是否使能。锁存器使能状态与比较器的使能状态完全无关。

SR 锁存器是不依赖于时钟源的复位支配（Reset-dominant）锁存器。每个置 1 和复位输入均为高电平有效。置 1 输入由非门后的 C1 比较器输出驱动，为 C1INV 位的值。如果有效的比较器输出信号为低电平，则可以通过将 1 写入 PULSS 位来设置锁存器。相反地，复位输入由非门后的 C1 比较器输出驱动，为 C2INV 位的值。如果比较器输出信号为低电平，则可以通过将 1 写入 PULSR 位来复位锁存器。

寄存器 8-4: SRCON——SR 锁存器控制寄存器（地址：19Eh）

	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0
	SR1 ⁽²⁾	SR0 ⁽²⁾	C1SEN	C2REN	PULSS	PULSR	—	—
bit 7								bit 0
bit 7-6	SR<1:0>: SR 锁存器配置位 ⁽²⁾ 00 = SR 锁存器禁止 01 = SR 锁存器使能。C1OUT 引脚为锁存非反相输出。C2OUT 引脚为 C2 比较器输出。 10 = SR 锁存器使能。C1OUT 引脚为 C1 比较器输出。C2OUT 引脚为锁存反相输出。 11 = SR 锁存器使能。C1OUT 引脚为锁存非反相输出。C2OUT 引脚为锁存反相输出。							
bit 5	C1SEN: C1 置 1 使能位 1 = C1 比较器输出将 SR 锁存器置 1 0 = C1 比较器输出对 SR 锁存器没有影响							
bit 4	C2REN: C2 复位使能位 1 = C2 比较器输出将 SR 锁存器复位 0 = C2 比较器输出对 SR 锁存器没有影响							
bit 3	PULSS: 为 SR 锁存器位提供置位输入脉冲 1 = 脉冲输入 0 = 始终读回 0							
bit 2	PULSR: 为 SR 锁存器位提供复位输入脉冲 1 = 脉冲输入 0 = 始终读回 0							
bit 1-0	未用: 读为 0。							

注 1: 不管 SR 锁存器的操作如何，CM1CON0 和 CM2CON0 寄存器的 C1OUT 或 C2OUT 位总是反映实际的比较器输出（不是引脚）。

2: 要在引脚上使能 SR 锁存器输出，相应的 C1OE、C2OE、TRISA2 和 TRISC4 位（分别位于 CM1CON0、CM2CON0、TRISA 和 TRISC 寄存器中）必须正确配置。

图注:

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

图 8-3: SR 锁存器配置

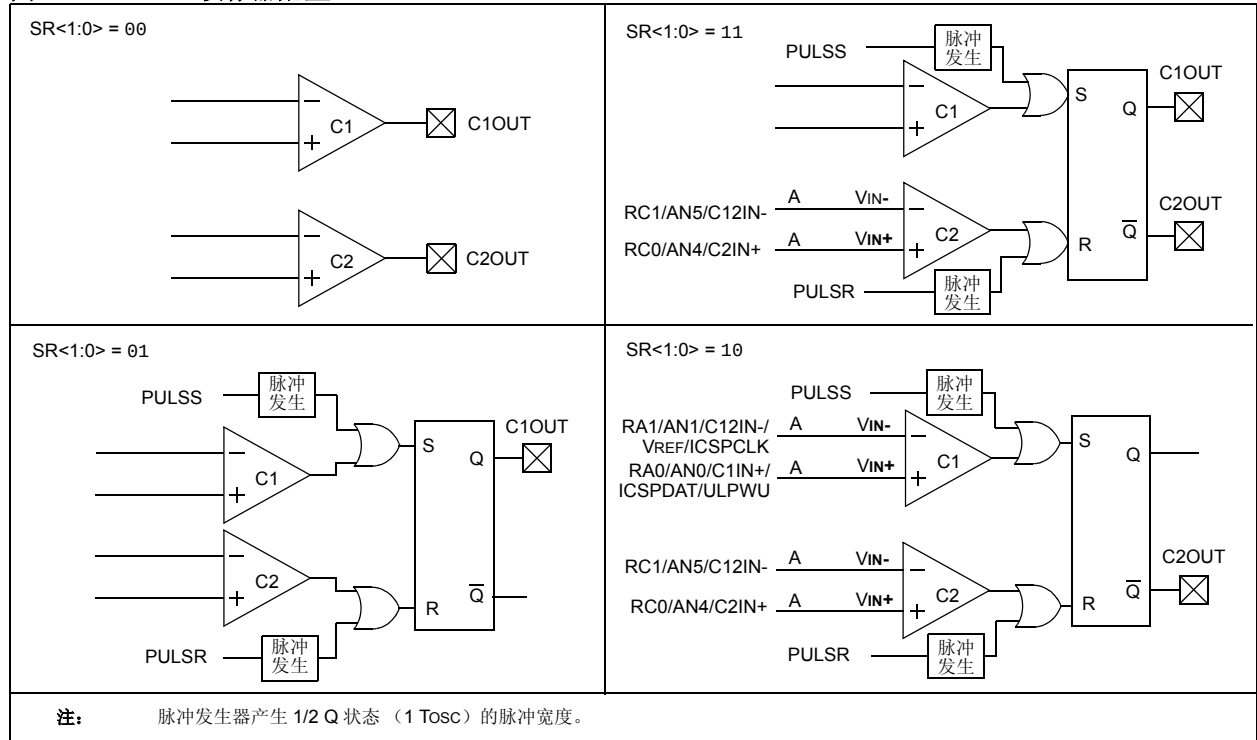
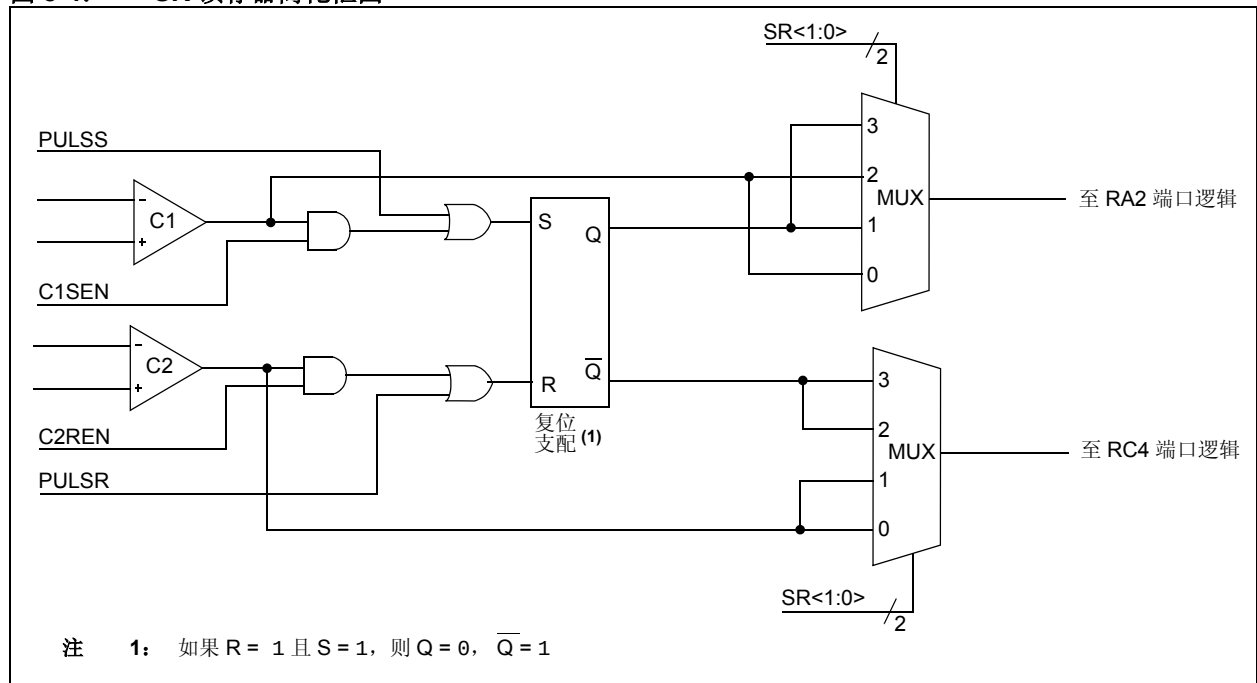


图 8-4: SR 锁存器简化框图



8.4 比较器参考电压

比较器模块还允许为某一比较器输入选择内部产生的参考电压。PIC16F685/687/689/690 有两种可用的参考电压：称为比较器参考电压（CVREF）的电压是基于 VDD 的可变电压；称为 VP6 参考电压的电压是来自稳定带隙源的固定电压。每个参考源都可以分别内部路由到比较器。VRCON 寄存器（寄存器 8-5）控制参考电压模块，如图 8-5 所示。

8.4.1 配置参考电压

参考电压能输出 32 种不同的电压电平，其中 16 种属于高电平范围，其余 16 种属于低电平范围。

可以使用下列等式确定输出电压：

公式 8-1: 参考电压输出电压

$$\begin{aligned} VRR = 1 \quad (\text{低电平范围}): CVREF &= (VR<3:0>/24) \times VDD \\ VRR = 0 \quad (\text{高电平范围}): \\ CVREF &= (VDD/4) + (VR<3:0> \times VDD/32) \end{aligned}$$

8.4.2 参考电压精度 / 误差

此模块的结构可以实现 VSS 到 VDD 的满量程。电阻梯形网络上方和下方的晶体管（图 8-5）使 CVREF 不会达到 VSS 或 VDD。但通过清零 C1VREN 和 C2VREN 位（VRCON<7:6>）禁止该模块时则例外。禁止时，参考电压为 VSS，此时 VR<3:0> 为 0000 且 VRR（VRCON<5>）位被置 1。这使得比较器可以检测到过零点，且不消耗 CVREF 模块的电流。

参考电压来自 VDD，因此，CVREF 输出会随着 VDD 的变化而变化。经过测试的比较器参考电压的绝对精度请参见第 17.0 节“电气特性”。

8.4.3 VP6 参考电压

VP6 参考电压的常量电压输出标称值为 0.6V。可通过将 VP6EN 位置 1（VRCON<4>）使能该参考电压。当 HFINTOSC 振荡器有效时该参考电压始终是使能的。

8.4.4 VP6 稳定周期

当此参考电压模块使能时，需要一段时间使参考电压及其放大电路达到稳定。用户程序必须包含允许模块稳定的延时小程序。关于最小延时要求，请参见电气规范章节。

寄存器 8-5: **VRCON**——电压参考控制寄存器（地址：118h）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
C1VREN	C2VREN	VRR	VP6EN	VR3	VR2	VR1	VR0
bit 7				bit 0			

- bit 7

C1VREN: 比较器 1 参考电压使能位
1 = CVREF 电路上电并路由到比较器 1 的 C1VREF 输入
0 = 0.6 伏常量参考电压路由到比较器 1 的 C1VREF 输入
- bit 6

C2VREN: 比较器 2 参考电压使能位
1 = CVREF 电路上电并路由到比较器 2 的 C2VREF 输入
0 = 0.6 伏常量参考电压路由到比较器 2 的 C2VREF 输入
- bit 5

VRR: 比较器参考电压 CVREF 范围选择位
1 = 低电平范围
0 = 高电平范围
- bit 4

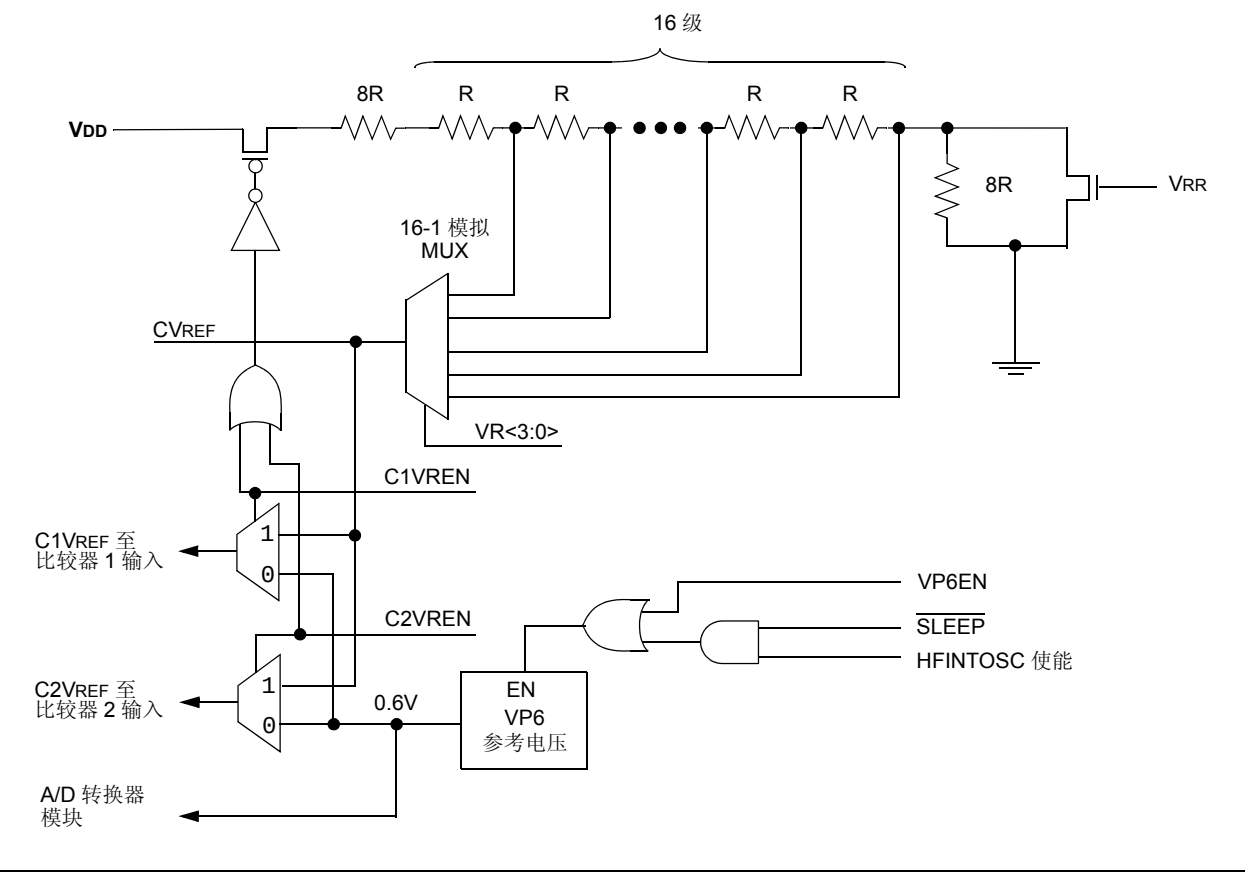
VP6EN: 0.6V 参考电压使能位
1 = 使能
0 = 禁止
- bit 3-0

VR<3:0>: 比较器参考电压 CVREF 值选择 $0 \leq VR<3:0> \leq 15$
当 **VRR = 1**: $CVREF = (VR<3:0>/24) * VDD$
当 **VRR = 0**: $CVREF = VDD/4 + (VR<3:0>/32) * VDD$

图注:			
R = 可读位	W = 可写位	U = 未用位, 读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

PIC16F685/687/689/690

图 8-5: 比较器参考电压框图



8.5 比较器响应时间

响应时间是指从选择新的参考电压或输入源到比较器确定产生有效输出电平的最小时间。如果内部参考电压发生变化，在使用比较器输出时，应考虑内部参考电压的最大延时。否则，应使用比较器的最大延时（表 17-8）。

8.6 休眠模式下的工作原理

如果在进入休眠模式之前就将比较器和参考电压模块使能，则它们在休眠模式下仍将处于运行状态。这使休眠电流高于掉电规范中给出的值。规范中另行给出了比较器和参考电压模块消耗的额外电流。要使休眠模式下的功耗最小，关闭比较器（CMxCON0<7> = 0）并关闭参考电压（VRCON<7:6> = 00）。

如果比较器在休眠期间被使能，中断将唤醒器件。如果 GIE 位（INTCON<7>）置 1，器件将跳转至中断向量（0004h），如果 GIE 位清零，器件继续执行下一条指令。如果器件从休眠状态唤醒，CM1CON0、CM2CON0 和 VRCON 寄存器的内容不受影响。

8.7 复位的影响

器件复位强制 CM1CON0、CM2CON0 和 VRCON 寄存器进入复位状态。这使比较器模块被强制进入比较器复位模式（CMxCON0<7> = 0），且参考电压模块将被关闭。这样，所有可能的输入都是模拟输入，比较器和参考电压模块被禁止，电流消耗最小。

表 8-3: 与比较器模块相关的寄存器

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
05h, 105h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	--uu uuuu
07h, 107h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
0Bh/8Bh/ 10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
85h/185h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
87h/187h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
118h	VRCON	C1VREN	C2VREN	VRR	VP6EN	VR3	VR2	VR1	VR0	0000 0000	0000 0000
119h	CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 0000	0000 -000
11Ah	CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 0000	0000 -000
11Bh	CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	00-- --10	00-- --10
11Eh	ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
19Eh	SRCON	SR1	SR0	C1SEN	C2SEN	PULSS	PULSR	—	—	0000 00--	0000 00--

图注: x = 未知, u = 不变, - = 未用, 读为 0。捕捉、比较或 Timer1 模块不使用阴影单元。

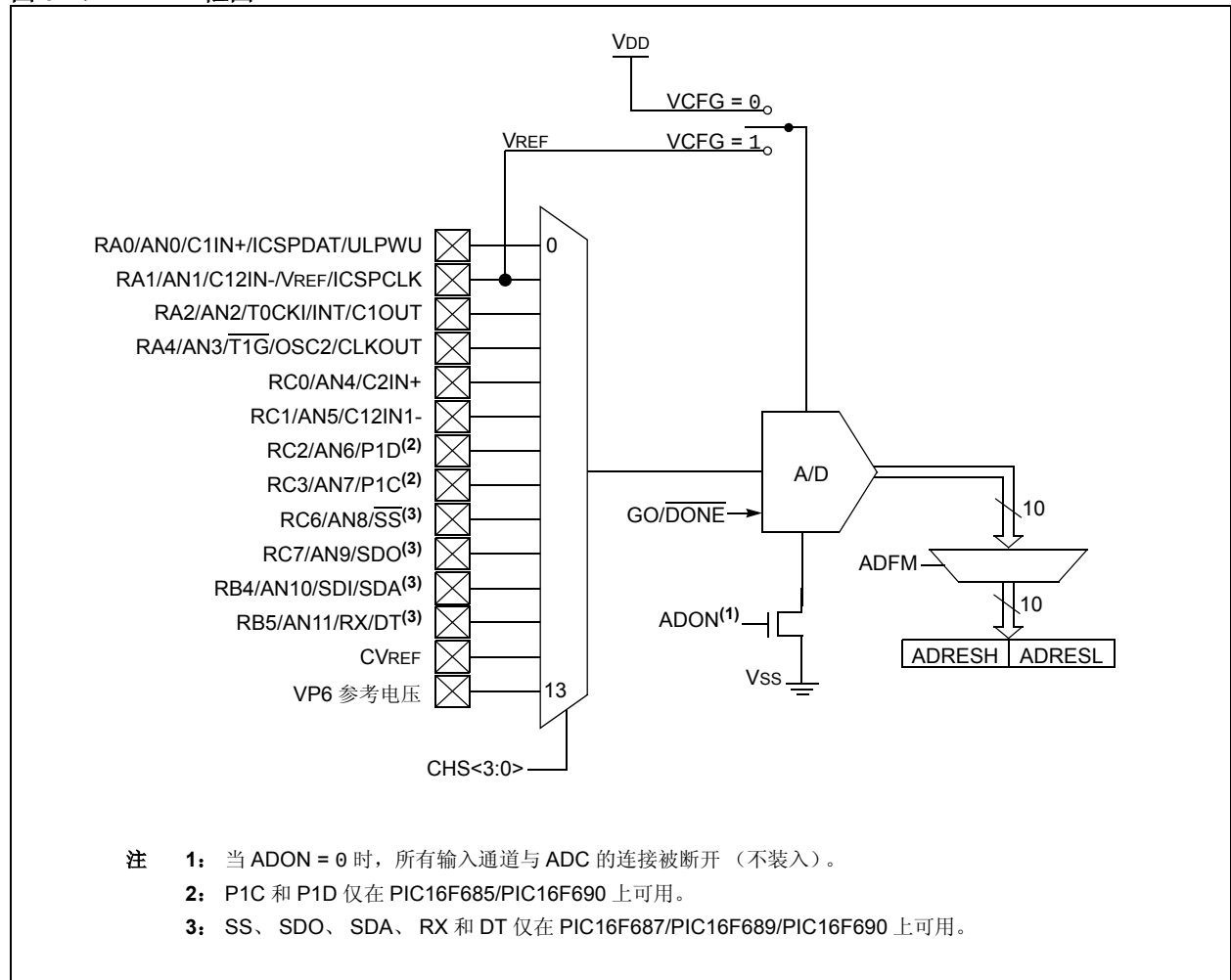
PIC16F685/687/689/690

注:

9.0 模数转换器 (A/D) 模块

模数转换器 (Analog-to-digital Converter, A/D) 可将模拟输入信号转换为相应的 10 位二进制表征值。PIC16F685/687/689/690 有 12 个模拟 I/O 输入通道, 加上 2 个内部输入通道, 这些通道被多路转换到同一采样保持电路。采样保持电路的输出与转换器的输入相连接。转换器通过逐次逼近法产生二进制值, 并将结果或剩余的 10 位数据存入 ADRESL (9Eh) 和 ADRESH (1Eh)。可通过软件方式选择 VDD 或施加在 VREF 引脚上的电压作为转换使用的参考电压。图 9-1 给出了 PIC16F685/687/689/690 上 A/D 的框图。

图 9-1: A/D 框图



PIC16F685/687/689/690

9.1 A/D 配置和操作

共有 4 个寄存器用于 A/D 模块各项功能的控制：

1. ANSEL（寄存器 9-1）
2. ANSELH（寄存器 9-2）
3. ADCON0（寄存器 9-3）
4. ADCON1（寄存器 9-4）

9.1.1 模拟端口引脚

ANS<11:0> 位（ANSEL<7:0> 和 ANSELH<3:0>）和 TRISA<4,2:0>、TRISB<5:4> 与 TRISC<7:6,3:0> 位用于控制 A/D 端口引脚的操作。将相应的 TRISx 位置 1 可将引脚的输出驱动器置为高阻状态。同样，将相应的 ANSx 位置 1 可禁止数字输入缓冲器。

注： 在任何定义为数字输入的引脚上施加模拟电压可能导致输入缓冲器的电流增加。

9.1.2 通道选择

PIC16F685/687/689/690 上共有 14 个模拟通道。CHS<3:0> 位（ADCON0<5:2>）用于控制与采样保持电路相连接的通道。

9.1.3 参考电压

A/D 转换器的参考电压有两种选择：使用 VDD，或使用施加在 VREF 上的模拟电压。VCFG 位（ADCON0<6>）用于控制参考电压的选择。如果 VCFG 位置 1，则 VREF 引脚上的电压即为参考电压；否则，使用 VDD 作为参考电压。

9.1.4 转换时钟

A/D 转换周期需要 11 个 TAD。可通过软件方式设置 ADCS 位（ADCON1<6:4>）来选择转换时钟源。有以下 7 种时钟频率可供选择：

- Fosc/2
- Fosc/4
- Fosc/8
- Fosc/16
- Fosc/32
- Fosc/64
- FRC（专用内部振荡器）

为保证转换正确进行，选择的 A/D 转换时钟（1/TAD）必须满足最小 1.6 μ s 的 TAD 要求。表 9-1 给出了选定频率下的几种 TAD 计算值。

表 9-1: TAD 与器件工作频率关系表

A/D 时钟源（TAD）		器件频率			
工作频率	ADCS<2:0>	20 MHz	5 MHz	4 MHz	1.25 MHz
2 TOSC	000	100 ns ⁽²⁾	400 ns ⁽²⁾	500 ns ⁽²⁾	1.6 μ s
4 TOSC	100	200 ns ⁽²⁾	800 ns ⁽²⁾	1.0 μ s ⁽²⁾	3.2 μ s
8 TOSC	001	400 ns ⁽²⁾	1.6 μ s	2.0 μ s	6.4 μ s
16 TOSC	101	800 ns ⁽²⁾	3.2 μ s	4.0 μ s	12.8 μ s ⁽³⁾
32 TOSC	010	1.6 μ s	6.4 μ s	8.0 μ s ⁽³⁾	25.6 μ s ⁽³⁾
64 TOSC	110	3.2 μ s	12.8 μ s ⁽³⁾	16.0 μ s ⁽³⁾	51.2 μ s ⁽³⁾
A/D RC	x11	2-6 μ s ^(1,4)	2-6 μ s ^(1,4)	2-6 μ s ^(1,4)	2-6 μ s ^(1,4)

图注： 阴影单元表示超出了建议范围。

注 1: VDD > 3.0V 时，A/D RC 源产生 4 μ s 的典型 TAD 时间。

2: 这些值均违反了所需的最小 TAD 时间。

3: 为了加快转换速度，建议选用其他时钟源。

4: 当器件频率高于 1 MHz 时，仅当在休眠状态下进行转换时才推荐使用 A/D RC 时钟源。

9.1.5 启动转换

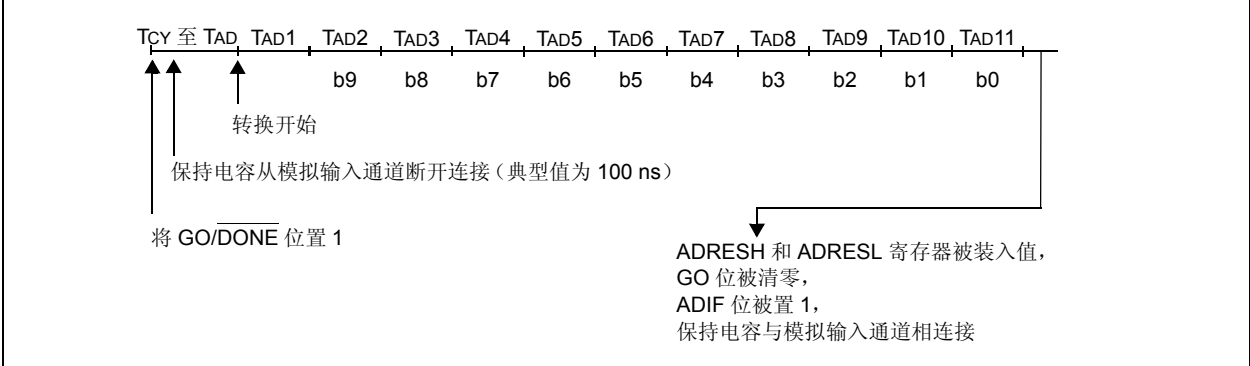
通过将 $\overline{\text{GO/DONE}}$ 位 ($\text{ADCON0}<1>$) 置 1 启动 A/D 转换。转换完成时, A/D 模块将:

- 将 $\overline{\text{GO/DONE}}$ 位清零
- 将 ADIF 标志位 ($\text{PIR1}<6>$) 置 1
- 产生中断 (如果使能)

如果必须要中止转换, 则可用软件清零 $\overline{\text{GO/DONE}}$ 位。在 A/D 转换采样全部结束之前, ADRESH:ADRESL 寄存器中的内容将不会被更新, 而是仍旧保留前一次的转换结果。转换被中止后, 必须经过 2 T_{AD} 的延时后才能开始下一次数据采集。延时结束后, 将自动开始对选定通道进行输入采集。

注: 不应在启动 A/D 转换的同一条指令中将 $\overline{\text{GO/DONE}}$ 位置 1。

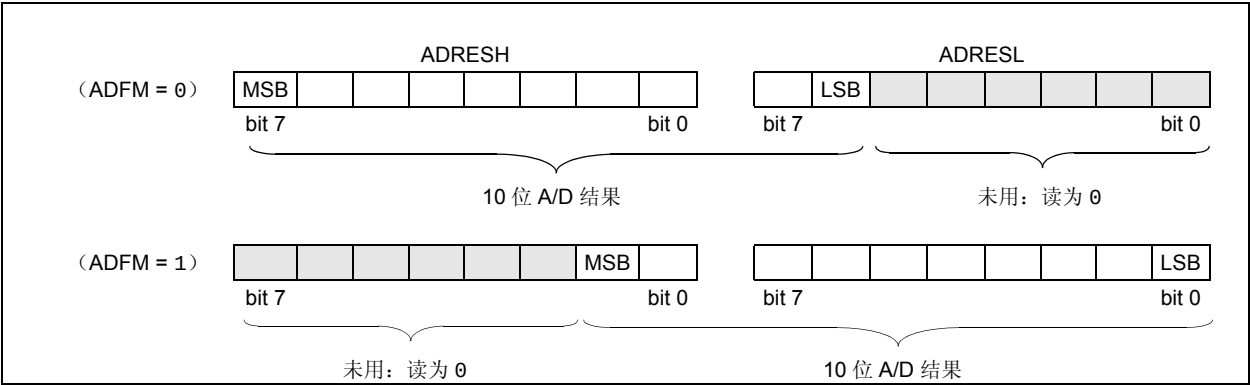
图 9-2: A/D 转换 T_{AD} 周期



9.1.6 转换输出

A/D 转换结果可以如下两种格式提供: 左对齐或右对齐。 ADFM 位 ($\text{ADCON0}<7>$) 用于控制输出格式。图 9-3 所示为输出格式。

图 9-3: 10 位 A/D 结果格式



PIC16F685/687/689/690

寄存器 9-1: **ANSEL——模拟选择寄存器（地址：11Eh）**

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
bit 7				bit 0			

bit 7-0 **ANS<7:0>**: 模拟选择位

可将 AN<7:0> 引脚的功能分别选为模拟或数字。

1 = 模拟输入。分配引脚为模拟输入。(1)

0 = 数字 I/O。分配引脚为端口或特殊功能。

注 1: 将引脚设置为模拟输入将自动禁止数字输入电路、弱上拉和电平变化中断（如果可用）。必须将相应的 TRIS 位设置为输入模式，以允许从外部控制引脚电压。

图注:

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

寄存器 9-2: **ANSELH——模拟选择高位寄存器（地址：11Fh）**

U-0	U-0	U-0	U-0	R/W-1	R/W-1	R/W-1	R/W-1
—	—	—	—	ANS11	ANS10	ANS9	ANS8
bit 7				bit 0			

bit 7-4 未用：读为 0。

bit 3-0 **ANS<11:8>**: 模拟选择位

可将 AN<11:8> 引脚的功能分别选为模拟或数字。

1 = 模拟输入。分配引脚为模拟输入。(1)

0 = 数字 I/O。分配引脚为端口或特殊功能。

注 1: 将引脚设置为模拟输入将自动禁止数字输入电路、弱上拉和电平变化中断（如果可用）。必须将相应的 TRIS 位设置为输入模式，以允许从外部控制引脚电压。

图注:

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

表 9-2: **模拟选择对照表**

模拟	I/O 引脚											
	RB5	RB4	RC7	RC6	RC3	RC2	RC1	RC0	RA4	RA2	RA1	RA0
选择	ANS11	ANS10	ANS9	ANS8	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
通道	AN11	AN10	AN9	AN8	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0

寄存器 9-3: **ADCON0——A/D 控制寄存器（地址：1Fh）**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	VCFG	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON
bit 7						bit 0	

- bit 7

ADFM: A/D 结果格式选择位
1 = 右对齐
0 = 左对齐
- bit 6

VCFG: 参考电压位
1 = VREF 引脚
0 = VDD
- bit 5-2

CHS<3:0>: 模拟通道选择位
0000 = 通道 00 (AN0)
0001 = 通道 01 (AN1)
0010 = 通道 02 (AN2)
0011 = 通道 03 (AN3)
0100 = 通道 04 (AN4)
0101 = 通道 05 (AN5)
0110 = 通道 06 (AN6)
0111 = 通道 07 (AN7)
1000 = 通道 08 (AN8)
1001 = 通道 09 (AN9)
1010 = 通道 10 (AN10)
1011 = 通道 11 (AN11)
1100 = CVREF
1101 = VP6
1110 = 保留。不使用。
1111 = 保留。不使用。
- bit 1

GO/DONE: A/D 转换状态位
1 = A/D 转换正在进行。将该位置 1 可启动 A/D 转换。
 A/D 转换完成后，该位由硬件自动清零。
0 = A/D 转换已完成 / 未进行。
- bit 0

ADON: A/D 使能位
1 = A/D 转换器模块正在运行
0 = A/D 转换器被关闭且不消耗工作电流

图注:			
R = 可读位	W = 可写位	U = 未用位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

PIC16F685/687/689/690

寄存器 9-4: **ADCON1——A/D 控制寄存器 1（地址：9Fh）**

U-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	ADCS2	ADCS1	ADCS0	—	—	—	—
bit 7				bit 0			

- bit 7 未用：读为 0
- bit 6-4 **ADCS<2:0>**：A/D 转换时钟选择位
000 = Fosc/2
001 = Fosc/8
010 = Fosc/32
x11 = FRC（由专用内部振荡器产生的时钟，其频率的最大值为 500 kHz）
100 = Fosc/4
101 = Fosc/16
110 = Fosc/64
- bit 3-0 未用：读为 0

图注：			
R = 可读位	W = 可写位	U = 未用位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

9.1.7 配置 A/D

按要求配置好 A/D 模块后，在开始转换之前必须获得选定的通道。必须将该模拟输入通道相应的 TRIS 位选择作为输入。

要确定采样时间，请参见表 17-16 和 17-17。在采样时间到达后，A/D 转换即可开始。

应按照以下步骤进行 A/D 转换：

1. 配置 A/D 模块：
 - 配置模拟 / 数字 I/O (ANSx)
 - 选择 A/D 转换时钟 (ADCON1<6:4>)
 - 配置参考电压 (ADCON0<6>)
 - 选择 A/D 输入通道 (ADCON0<5:2>)
 - 选择结果格式 (ADCON0<7>)
 - 开启 A/D 模块 (ADCON0<0>)
2. 配置 A/D 中断 (如果需要)：
 - 将 ADIF 位 (PIR1<6>) 清零
 - 将 ADIE 位 (PIE1<6>) 置 1
 - 将 PEIE 和 GIE 位 (INTCON<7:6>) 置 1
3. 等待所需采集时间。
4. 启动转换：
 - 将 GO/DONE 位 (ADCON0<1>) 置 1
5. 等待 A/D 转换完成，可通过以下两种方法之一来判断：
 - 查询 GO/DONE 位是否被清零 (已禁止中断)；或者
 - 等待 A/D 转换完成中断
6. 读 A/D 结果寄存器对 (ADRESH:ADRESL)，需要时，将 ADIF 位清零。
7. 要进行下一次转换，按要求转入步骤 1 或步骤 2。每位的 A/D 转换时间定义为 T_{AD}。在下一次采样开始前需要等待至少 2 T_{AD} 的时间。

例 9-1: A/D 转换

```
;This code block configures the A/D
;for polling, Vdd reference, R/C clock
;and RA0 input.
;
;Conversion start & wait for complete
;polling code included.
;
BSF    STATUS,RP0      ;Bank 1
BCF    STATUS,RP1      ;
MOVLW  B'01110000'     ;A/D RC clock
MOVWF  ADCON1           ;
BSF    TRISA,0          ;Set RA0 to input
BCF    STATUS,RP0      ;Bank 2
BSF    STATUS,RP1      ;
BSF    ANSEL,0          ;Set RA0 to analog
BCF    STATUS,RP0      ;Bank 0
MOVLW  B'10000001'     ;Right, Vdd Vref, AN0
MOVWF  ADCON0           ;
CALL   SampleTime       ;Wait min sample time
BSF    ADCON0,GO        ;Start conversion
BCF    STATUS,RP1      ;
BTFSC  ADCON0,GO        ;Is conversion done?
GOTO   $-1              ;No, test again
MOVF   ADRESH,W         ;Read upper 2 bits
MOVWF  RESULTHI         ;
BSF    STATUS,RP0      ;Bank 1
MOVF   ADRESL,W         ;Read lower 8 bits
BCF    STATUS,RP0      ;Bank 0
MOVWF  RESULTLO
```

PIC16F685/687/689/690

9.2 A/D 采集要求

为了使 A/D 转换器达到规定的精度，必须使充电保持电容（CHOLD）充满至输入通道的电平。模拟输入模型见图 9-4。源阻抗（RS）和内部采样开关（RSS）阻抗直接影响电容 CHOLD 的充电时间。采样开关（RSS）阻抗随器件电压（VDD）的变化而变化，参见图 9-4。**建议模拟信号源的最大阻抗为 10 kΩ。**采集时间随着阻抗的降低而缩短。在选择（改变）模拟输入通道后，必须在开始转换前完成采集。

可以使用公式 9-1 来计算最小采集时间。该公式假设误差为 1/2 LSB（A/D 转换需要 1024 步）。1/2 LSB 误差是 A/D 达到规定精度所允许的最大误差。

公式 9-1: 采集时间示例

假设 温度 = 50°C, 外部电阻 10 kΩ, 5.0V VDD

T_{ACQ} = 放大器稳定时间 + 保持电容充电时间 + 温度系数

$$= T_{AMP} + T_C + T_{COFF}$$

$$= 2 \mu s + T_C + [(温度 - 25^\circ C)(0.05 \mu s/^\circ C)]$$

T_C 值可以用以下公式近似计算

$$V_{APPLIED} \left(1 - \frac{1}{2047} \right) = V_{CHOLD} \quad ; [1] \text{ 在 } 1/2 \text{ lsb 误差范围内对 } V_{CHOLD} \text{ 充电}$$

$$V_{APPLIED} \left(1 - e^{\frac{-T_C}{RC}} \right) = V_{CHOLD} \quad ; [2] \text{ 依照 } V_{APPLIED} \text{ 对 } V_{CHOLD} \text{ 充电}$$

$$V_{APPLIED} \left(1 - e^{\frac{-T_C}{RC}} \right) = V_{APPLIED} \left(1 - \frac{1}{2047} \right) \quad ; \text{ 结合 } [1] \text{ 和 } [2]$$

求解 T_C :

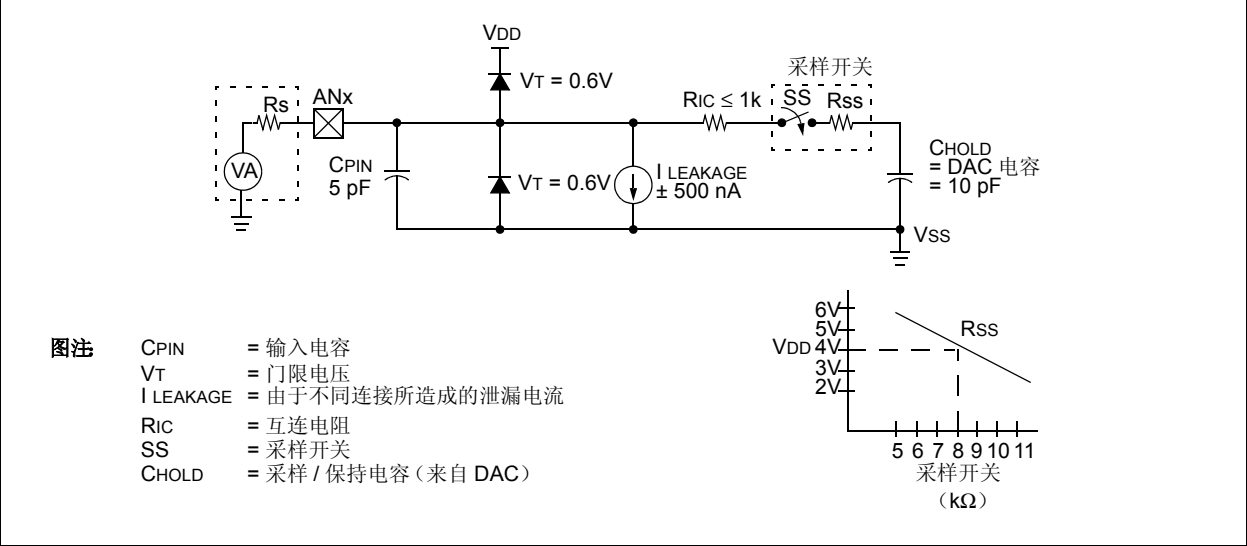
$$\begin{aligned} T_C &= -CHOLD(RIC + RSS + RS) \ln(1/2047) \\ &= -10 \text{ pF}(1 \text{ k}\Omega + 7 \text{ k}\Omega + 10 \text{ k}\Omega) \ln 0.004885 \\ &= 1.37 \mu s \end{aligned}$$

因此

$$\begin{aligned} T_{ACQ} &= 2 \mu s + 1.37 \mu s + [(50^\circ C - 25^\circ C)(0.05 \mu s/^\circ C)] \\ &= 4.67 \mu s \end{aligned}$$

- 注 1: 因为参考电压 (VREF) 自行抵消, 因此它对该公式没有影响。
- 2: 充电保持电容 (CHOLD) 在每次转换结束时不会放电。
- 3: 建议模拟信号源的最大阻抗为 10 kΩ。它必须符合引脚泄漏电流规范中的规定。

图 9-4: 模拟输入模型



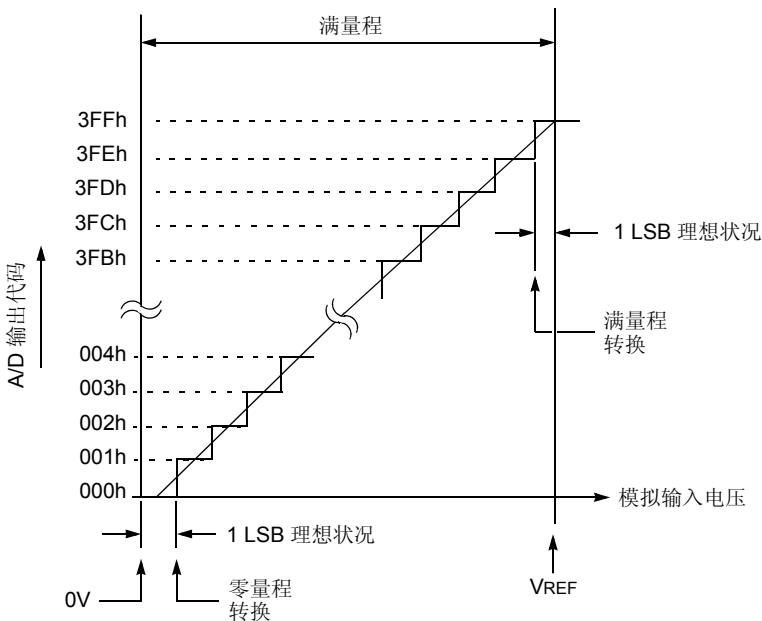
9.3 休眠状态下的 A/D 转换

A/D 转换器模块可以在休眠状态下工作。这需要把 A/D 转换时钟设置成 FRC 选项。选择 RC 时钟源后，A/D 需等待一个指令周期后才能启动转换操作。这就允许执行一条 SLEEP 休眠指令，从而消除转换过程中的切换噪声。转换结束后，GO/DONE 位被清零，且转换结果被装入 ADRESH:ADRESL 寄存器。如果使能了 A/D 中断，器件将从休眠状态唤醒。如果 GIE 位 (INTCON<7>)

被置 1，程序计数器将被设置为中断向量 (0004h)。如果 GIE 位被清零，将执行下一条指令。如果 A/D 中断未使能 (ADIE 和 PEIE 位置 1)，即使 ADON 位保持置 1，A/D 模块也将被关闭。

如果 A/D 时钟源为非 RC 方式，SLEEP 指令将导致当前转换操作中止，并使 A/D 模块关闭。ADON 位保持置 1 状态。

图 9-5: A/D 转换功能



9.4 复位的影响

器件复位将强制所有寄存器进入复位状态。因此，A/D 模块将被关闭，任何进行中的转换操作被中止。ADRESH:ADRESL 寄存器中的值不变。

9.5 CCP 触发器的使用

A/D 转换可以通过 CCP 模块的“特殊事件触发器”来启动。这要求 CCP1M<3:0> 位 (CCP1CON<3:0>) 设置为 1011 并且使能 A/D 模块 (ADON 位置 1)。当触

发信号产生后，GO/DONE 位被置 1，启动 A/D 转换，并且 Timer1 计数器被复位为 0。Timer1 被复位以使用最小的软件开销自动重复 A/D 采集周期 (将 ADRESH:ADRESL 移至目标位置)。

必须选择适当的模拟输入通道并在“特殊事件触发器”将 GO/DONE 位置 1 (启动转换) 前完成最小采集时间。

如果 A/D 模块未使能 (ADON 被清零)，则“特殊事件触发器”将被 A/D 模块忽略，但仍会使 Timer1 计数器复位。更多信息，请参见第 11.0 节“增强型捕捉 / 比较 / PWM+ (ECCP+) 模块”。

表 9-3: A/D 寄存器汇总

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
05h/105h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	--uu uuuu
06h/106h	PORTB	RB7	RB6	RB5	RB4	—	—	—	—	xxxx ----	uuuu ----
07h/107h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
0Bh/8Bh/10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
11Eh	ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
11Fh	ANSELH	—	—	—	—	ANS11	ANS10	ANS9	ANS8	---- 1111	---- 1111
1Eh	ADRESH	A/D 结果寄存器高位字节								xxxx xxxx	uuuu uuuu
1Fh	ADCON0	ADFM	VCFG	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	0000 0000
85h/185h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
86h/186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
87h/187h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
9Eh	ADRESL	A/D 结果寄存器低位字节								xxxx xxxx	uuuu uuuu
9Fh	ADCON1	—	ADCS2	ADCS1	ADCS0	—	—	—	—	-000 ----	-000 ----

图注: x = 未知, u = 不变, — = 未用, 读为 0。A/D 模块不使用阴影单元。

PIC16F685/687/689/690

注:

10.0 数据 EEPROM 和闪存程序存储器控制

在整个 VDD 范围内的正常运行期间，数据 EEPROM 存储器是可读写的，而闪存程序存储器是可读的。这些存储器并不直接映射到寄存器文件空间，而是通过特殊功能寄存器来间接寻址。有 6 个 SFR 用于访问这些存储器，如下：

- EECON1
- EECON2
- EEDAT
- EEDATH
- EEADR
- EEADRH

当与数据存储器模块接口时，EEDAT 存放 8 位读写数据，而 EEADR 存放被访问的 EEDAT 存储单元的地址。该器件有 256 字节的数据 EEPROM，地址范围从 0h 到 0FFh。

当与程序存储器模块接口时，EEDAT 和 EEDATH 寄存器形成双字节字，保存 14 位读 / 写数据，而 EEADR 和 EEADRH 寄存器形成双字节字，寄存器中保存 12 位被访问的 EEPROM 存储单元的地址。该器件有 4K 字的程序 EEPROM，地址范围从 0h 到 0FFFh。程序存储器允许以字为单位读取。

EEPROM 数据存储器允许以字节为单位读写。字节写操作会自动擦除目标存储单元并写入新数据（在写入前擦除）。

写入时间由片上定时器控制。写入 / 擦除电压是由片上电荷泵产生的，此电荷泵在器件字节或字操作的电压范围内工作。

当器件被代码保护时，CPU 仍可继续读写数据 EEPROM 存储器和读程序存储器。当代码保护时，器件编程器将不再能访问数据或程序存储器。

10.1 EEADR 和 EEADRH 寄存器

EEADR 和 EEADRH 寄存器能寻址最大 256 字节的数据 EEPROM 或最大 4K 字的程序 EEPROM。

当选择程序地址值时，地址的 MSB 被写入 EEADRH 寄存器，而 LSB 被写入 EEADR 寄存器。当选择数据地址值时，只将地址的 LSB 写入 EEADR 寄存器。

10.1.1 EECON1 和 EECON2 寄存器

EECON1 是访问 EE 存储器的控制寄存器。

控制位 EEPGD 决定访问的是程序存储器还是数据存储器。当清零时，和在复位时一样，任何后续操作都将针对数据存储器进行。当置 1 时，任何后续操作都将针对程序存储器进行。程序存储器是只读的。

控制位 RD 和 WR 分别启动读和写操作。用软件只能将这些位置 1 而无法清零。在读或写操作完成后，由硬件将它们清零。由于无法用软件将 WR 位清零，可避免写操作意外地过早终止。

当 WREN 位置 1 时，允许对数据 EEPROM 执行写操作。上电时，WREN 位被清零。当正常的写操作被 MCLR 复位或 WDT 超时复位中断时，WRERR 位会置 1。在这些情况下，复位后用户可以检查 WRERR 位并重写相应的存储单元。EEDAT 和 EEADR 寄存器中的数据 and 地址保持不变。

当写操作完成时，中断标志位 EEIF（PIR2<4>）被置 1。此标志位必须用软件清零。

EECON2 不是实际存在的寄存器。读 EECON2 将得到全 0。EECON2 寄存器仅在数据 EEPROM 的写过程中使用。

PIC16F685/687/689/690

寄存器 10-1: **EEDAT——EEPROM 数据寄存器（地址：10Ch）**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0
bit 7				bit 0			

bit 7-0 **EEDATn**: 要向数据 EEPROM 位写入或从数据 EEPROM 位读取的字节值

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

寄存器 10-2: **EEADR——EEPROM 数据寄存器（地址：10Dh）**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0
bit 7				bit 0			

bit 7-0 **EEADRn**: 要向数据 EEPROM 位写入或从数据 EEPROM 位读取的字节值

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

寄存器 10-3: **EEDATH——EEPROM 数据高字节寄存器⁽¹⁾（地址：10Eh）**

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0
bit 7				bit 0			

bit 5-0 **EEDATH<5:0>**: 要向数据 EEPROM 位写入或从数据 EEPROM 位读取的字节值, 或者要从程序存储器读取的字节值

注 1: 仅限 PIC16F685/PIC16F689/PIC16F690。

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

寄存器 10-4: **EEADRH——EEPROM 地址高字节寄存器⁽¹⁾（地址：10Fh）**

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	EEADRH3	EEADRH2	EEADRH1	EEADRH0
bit 7				bit 0			

bit 3-0 **EEADRH<3:0>**: 指定 EEPROM 读 / 写操作位的 256 个存储单元中的一个或程序存储器读操作的高位地址

注 1: 仅限 PIC16F685/PIC16F689/PIC16F690。

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

寄存器 10-5: EECON1——EEPROM 控制寄存器 1（地址：18Ch）

	R/W-x	U-0	U-0	U-0	R/W-x	R/W-0	R/S-0	R/S-0
	EEPGD	—	—	—	WRERR	WREN	WR	RD
bit 7								bit 0
bit 7	EEPGD: 程序 / 数据 EEPROM 选择位							
	1 = 访问程序存储器							
	0 = 访问数据存储器							
bit 6-4	未用: 读为 0							
bit 3	WRERR: EEPROM 错误标志位							
	1 = 写操作过早终止（正常工作期间的任何 MCLR 复位、WDT 复位或欠压复位）							
	0 = 写操作完成							
bit 2	WREN: EEPROM 写使能位							
	1 = 允许写周期							
	0 = 禁止写入数据 EEPROM							
bit 1	WR: 写控制位							
	EEPGD = 1:							
	该位被忽略							
	EEPGD = 0:							
	1 = 启动写周期（写操作一旦完成，该位就由硬件清零。用软件只能将 WR 位置 1，但不能清							
	零。）							
	0 = 数据 EEPROM 写周期完成							
bit 0	RD: 读控制位							
	1 = 启动存储器读操作（由硬件清零 RD。用软件只能将 RD 位置 1，但不能清零。）							
	0 = 不启动存储器读操作							

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC16F685/687/689/690

10.1.2 读数据 EEPROM 存储器

要读取数据存储器单元，用户必须将地址写入 **EEADR** 寄存器，清零 **EEPGD** 控制位 (**EECON1<7>**)，然后将控制位 **RD** (**EECON1<0>**) 置 1。在紧接着的下一个周期，**EEDAT** 寄存器中就有数据了，因此该数据可由下一条指令读取。**EEDAT** 将把此值保存至下一次用户向该单元读取或写入数据时（在写操作过程中）为止。

例 10-1: 读数据 EEPROM

```
BSF    STATUS, RP1    ;Bank 2
BCF    STATUS, RP0    ;
MOVLW  DATA_EE_ADDR  ;
MOVWF  EEADR           ;Data Memory
                        ;Address to read

BSF    STATUS, RP0    ;Bank 3
BCF    EECON1, EEPGD  ;Point to DATA
                        ;memory

BCF    EECON1, RD      ;EE Read
BCF    STATUS, RP1    ;Bank 2
MOVF   EEDAT, W        ;W = EEDAT
BCF    STATUS, RP0    ;Bank 0
```

10.1.3 写数据 EEPROM 存储器

要写 **EEPROM** 数据存储器单元，用户应首先将该单元的地址写入 **EEADR** 寄存器，并将数据写入 **EEDAT** 寄存器。然后用户必须按特定顺序开始写入每个字节。

如果没有完全按照上述指令顺序（即首先将 **55h** 写入 **EECON2**，随后将 **AAh** 写入 **EECON2**，最后将 **WR** 位置 1）写每个字节，将不会启动写操作。在该代码段中应禁止中断。

此外，必须将 **EECON1** 中的 **WREN** 位置 1 以使能写操作。这种机制可防止由于代码执行错误（异常）（即程序失控）导致误写数据 **EEPROM**。除了更新 **EEPROM** 时以外，用户应该始终保持 **WREN** 位清零。**WREN** 位不能被硬件清零。

一个写过程启动后，将 **WREN** 位清零不会影响此写周期。除非 **WREN** 位置 1，否则 **WR** 位将无法置 1。

写周期完成时，**WR** 位由硬件清零并且 **EE** 写完成中断标志位 (**EEIF**) 置 1。用户可以使能此中断或查询此位。**EEIF** 必须用软件清零。

例 10-2: 写数据 EEPROM

```
BCF    STATUS, RP0    ;Bank 2
BSF    STATUS, RP1    ;
MOVLW  DATA_EE_ADDR  ;
MOVWF  EEADR           ;Data Memory Address to write
MOVLW  DATA_EE_DATA  ;
MOVWF  EEDAT           ;Data Memory Value to write

BSF    STATUS, RP0    ;Bank 3
BCF    EECON1, EEPGD  ;Point to DATA memory
BSF    EECON1, WREN   ;Enable writes

必需的顺序
BCF    INTCON, GIE    ;Disable INTs.
MOVLW  55h            ;
MOVWF  EECON2          ;Write 55h
MOVLW  AAh            ;
MOVWF  EECON2          ;Write AAh
BSF    EECON1, WR      ;Set WR bit to begin write
BSF    INTCON, GIE     ;Enable INTs.

SLEEP                ;Wait for interrupt to signal write complete
BCF    EECON1, WREN    ;Disable writes
BCF    STATUS, RP0    ;Bank 0
```

10.1.4 读闪存程序存储器

要读取程序存储器单元，用户必须将地址的两个字节分别写入 EEADR 和 EEADRH 寄存器，将 EEPGD 控制位 (EECON1<7>) 置 1，然后将控制位 RD (EECON1<0>) 置 1。一旦设置好读控制位，闪存程序存储器控制器将使用第二个指令周期来读数据。这会导致紧随“BSF EECON1, RD”指令的第二条指令被忽略。在紧接着的下一个周期，EEDAT 和 EEDATH 寄存器中就有数据了；因此在随后的指令中将该数据读作两个字节。

EEDAT 和 EEDATH 寄存器将把此值保存至下一次用户向该单元读取或写入数据时（在写操作过程中）为止。

- 注
- 1:

程序存储器读操作后的两条指令必须为 NOP，从而阻止用户在 RD 位置 1 后的下一条指令执行双周期指令。
- 2:

当 EEPGD = 1 时如果 WR 位置 1，它会立即复位为 0，而不执行任何操作。

例 10-3: 读闪存程序存储器

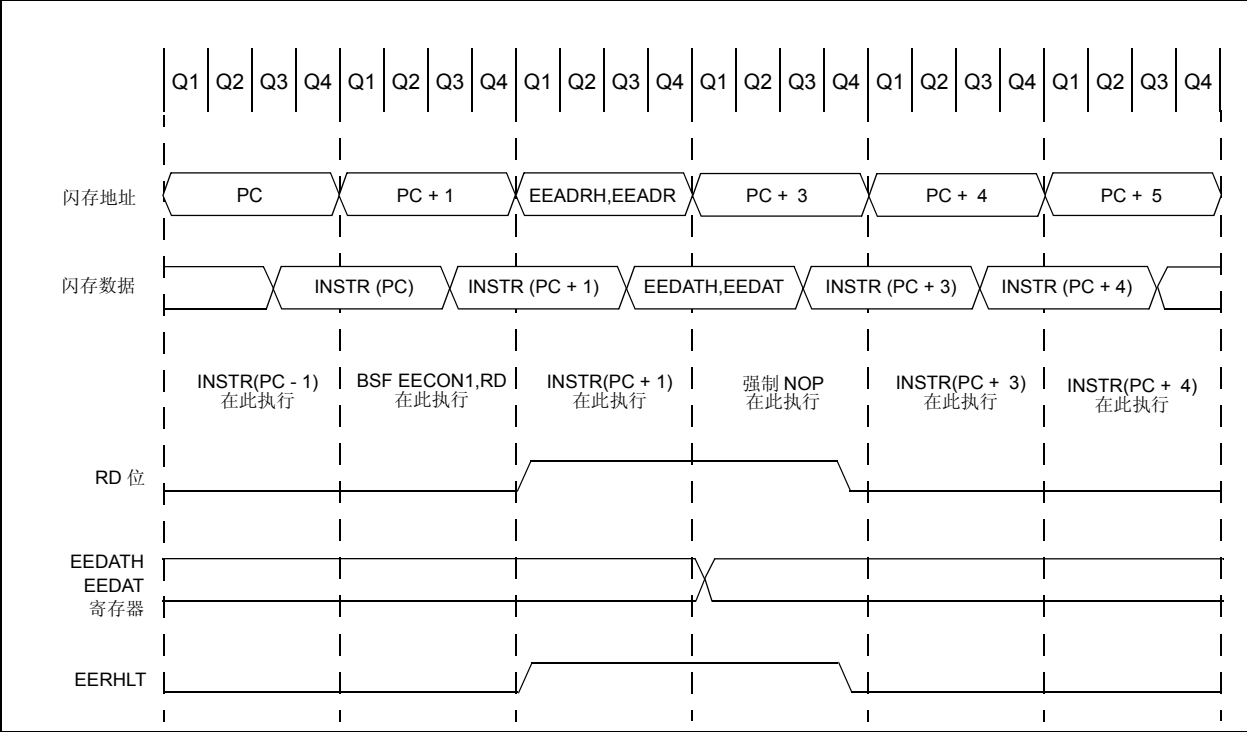
必需的顺序

```
BCF    STATUS, RP0           ;Bank 2
BSF    STATUS, RP1           ;
MOVLW  MS_PROG_EE_ADDR      ;
MOVWF  EEADRH                ;MS Byte of Program Address to read
MOVLW  LS_PROG_EE_ADDR      ;
MOVWF  EEADR                 ;LS Byte of Program Address to read
BSF    STATUS, RP0           ;Bank 3
BSF    EECON1, EEPGD         ;Point to PROGRAM memory
BSF    EECON1, RD            ;EE Read

                                ;First instruction after BSF EECON1,RD executes normally
NOP
NOP                                ;Any instructions here are ignored as program
                                ;memory is read in second cycle after BSF EECON1,RD
;

BCF    STATUS, RP0           ;Bank 2
MOVF   EEDAT, W              ;W = LS Byte of Program EEDAT
MOVF   EEDATH, W             ;W = MS Byte of Program EEDAT
BCF    STATUS, RP1           ;Bank 0
```

图 10-1: 闪存程序存储器读周期执行时序



10.2 写校验

根据具体应用，将写入数据 EEPROM 的值与期望写入的值相校验（见例 10-4）是一个很好的编程习惯。

例 10-4： 写校验

```
BCF     STATUS, RP0      ;Bank 2
BSF     STATUS, RP1      ;
MOVF    EEDAT, W         ;EEDAT not changed
                        ;from previous write

BSF     STATUS, RP0      ;Bank 3
BSF     EECON1, RD        ;YES, Read the
                        ;value written

BCF     STATUS, RP0      ;Bank 2
XORWF   EEDAT, W         ;
BTFSS   STATUS, Z         ;Is data the same
GOTO    WRITE_ERR        ;No, handle error
:        ;Yes, continue
BCF     STATUS, RP1      ;Bank 0
```

10.2.1 使用数据 EEPROM

数据 EEPROM 是高耐久性可字节寻址的阵列，已将其优化以便存储频繁变动的信息。D120 和 D120A 规定了任何 EEPROM 单元的最大耐久性。D120 或 D120A 规定了在非频繁变化的存储器单元需要刷新之前，对任何 EEPROM 单元进行的最大写入次数。

10.2.2 EEPROM 耐久性

假设数据 EEPROM 为 64 字节长，耐久性为 1M 次写入。刷新参数为 10M 次写入。如果对 EEPROM 中每个存储单元进行最大次数的写入，数据 EEPROM 将在 64M 写周期后再也无法写入。如果扣除一个单元，对所有其他存储单元进行最大次数的写入，数据 EEPROM 将在 63M 写周期后再也无法写入，但那个未写的存储单元将在 10M 写周期后可能再也无法写入。如果刷新得当的话，要数据保持正确，单独的那个存储单元将需要刷新 6 次。

10.3 防止误写操作的保护措施

在有些情况下，用户并不希望写入数据 EEPROM 存储器。为防止 EEPROM 误写操作，芯片内嵌了各种保护机制。上电时，WREN 位被清零。而且，上电延时定时器（延时 64 ms）也会阻止对 EEPROM 进行写操作。

写操作的启动顺序以及 WREN 位将共同防止在以下情况下意外误写操作的发生：

- 欠压
- 电源毛刺
- 软件故障

10.4 代码保护期间数据 EEPROM 的操作

在配置字寄存器（寄存器 14-1）中将 CPD 位编程为 0，可对数据存储器进行代码保护。

数据存储器被代码保护时，CPU 可以对数据 EEPROM 进行读写操作。对数据存储器进行代码保护的同时，建议用户也对程序存储器进行代码保护。这将防止有人通过在已有代码上写入零（作为 NOP 执行），访问在未使用的程序存储器中编程的增加程序，从而达到导出数据存储器内容的目的。将未使用的地址单元编程为 0 有助于避免数据存储器的代码保护遭受破坏。

PIC16F685/687/689/690

表 10-1: 与数据 EEPROM 相关的寄存器 / 位

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Bh/8Bh/ 10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
0Dh	PIR2	OSFIF	C2IF	C1IF	EEIF	—	—	—	—	0000 ----	0000 ----
8Dh	PIE2	OSFIE	C2IE	C1IE	EEIE	—	—	—	—	0000 ----	0000 ----
10Eh	EEDATH ⁽¹⁾	—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	--00 0000	--00 0000
10Fh	EEADRH ⁽¹⁾	—	—	—	—	EEADRH3	EEADRH2	EEADRH1	EEADRH0	---- 0000	---- 0000
10Ch	EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	0000 0000	0000 0000
10Dh	EEADR	EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	0000 0000	0000 0000
18Ch	EECON1	EEPGD	—	—	—	WRERR	WREN	WR	RD	x--- x000	0--- q000
18Dh	EECON2	EEPROM 控制寄存器 2（不是实际存在的寄存器）								---- ----	---- ----

图注: x = 未知, u = 不变, — = 未用, 读为 0, q = 值取决于具体条件。
数据 EEPROM 模块不使用阴影单元。

注 1: 仅限 PIC16F685/PIC16F689/PIC16F690。

11.0 增强型捕捉 / 比较 / PWM+ (ECCP+) 模块

增强型捕捉 / 比较 / PWM+ (ECCP+) 模块包含一个 16 位寄存器，该寄存器可作为：

- 16 位捕捉寄存器
- 16 位比较寄存器
- PWM 主 / 从占空比寄存器

捕捉 / 比较 / PWM 寄存器 1 (CCPR1) 由两个 8 位寄存器组成：CCPR1L (低字节) 和 CCPR1H (高字节)。

CCP1CON 寄存器控制 ECCP+ 的操作。比较匹配将产生特殊事件触发并将 TMR1H 和 TMR1L 寄存器清零。

表 11-1: ECCP 模式——所需的定时器资源

ECCP 模式	定时器资源
捕捉	Timer1
比较	Timer1
PWM	Timer2

寄存器 11-1: CCP1CON——增强型 CCP 操作寄存器⁽¹⁾ (地址: 17h)

	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0
bit 7								bit 0

bit 7-6

P1M<1:0>: PWM 输出配置位

如果 CCP1M<3:2> = 00, 01, 10:
xx = P1A 配置为捕捉 / 比较输入; P1B、P1C 和 P1D 配置为端口引脚

如果 CCP1M<3:2> = 11:
00 = 单输出; P1A 调制; P1B、P1C 和 P1D 配置为端口引脚
01 = 全桥正向输出; P1D 调制; P1A 有效; P1B 和 P1C 无效
10 = 半桥输出; P1A 和 P1B 调制, 带有死区控制; P1C 和 P1D 配置为端口引脚
11 = 全桥反向输出; P1B 调制; P1C 有效; P1A 和 P1D 无效

bit 5-4

DC1B<1:0>: PWM 占空比最低有效位

捕捉模式:
未使用。

比较模式:
未使用。

PWM 模式:
这些位是 PWM 占空比的低 2 位。高 8 位在 CCPR1L 中。

bit 3-0

CCP1M<3:0>: ECCP 模式选择位

0000 = 捕捉 / 比较 / PWM 关闭 (复位 ECCP 模块)
0001 = 未使用 (保留)
0010 = 比较模式, 匹配时翻转输出 (CCP1IF 位置 1)
0011 = 未使用 (保留)
0100 = 捕捉模式, 每个下降沿
0101 = 捕捉模式, 每个上升沿
0110 = 捕捉模式, 每 4 个上升沿
0111 = 捕捉模式, 每 16 个上升沿
1000 = 比较模式, 匹配时输出置 1 (CCP1IF 位置 1)
1001 = 比较模式, 匹配时输出清零 (CCP1IF 位置 1)
1010 = 比较模式, 匹配时产生软件中断 (CCP1IF 位置 1, CCP1 引脚不受影响)
1011 = 比较模式, 触发特殊事件 (CCP1IF 位置 1, CCP1 复位 TMR1 或 TMR2, 且如果 A/D 模块被使能, 启动一次 A/D 转换)

1100 = PWM 模式; P1A 和 P1C 高电平有效; P1B 和 P1D 高电平有效
1101 = PWM 模式; P1A 和 P1C 高电平有效; P1B 和 P1D 低电平有效
1110 = PWM 模式; P1A 和 P1C 低电平有效; P1B 和 P1D 高电平有效
1111 = PWM 模式; P1A 和 P1C 低电平有效; P1B 和 P1D 低电平有效

注 1: 仅限 PIC16F685/PIC16F690。

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

PIC16F685/687/689/690

11.1 捕捉模式

在捕捉模式下，当在引脚 RC5/CCP1/P1A 上发生下列事件时，CCPR1H:CCPR1L 捕捉 TMR1 寄存器中的 16 位值。这些事件如下所示，可由 CCP1CON<3:0> 位进行配置：

- 每个下降沿
- 每个上升沿
- 每 4 个上升沿
- 每 16 个上升沿

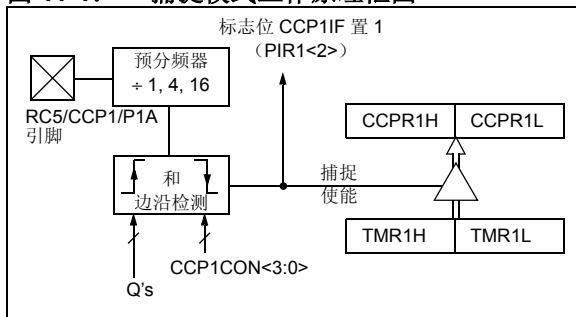
进行捕捉后，中断请求标志位 CCP1IF (PIR1<2>) 被置 1。该位必须用软件清零。如果在寄存器 CCPR1 中的值被读出之前又发生另一次捕捉，那么原来的捕捉值会被新捕捉值覆盖。

11.1.1 CCP1 引脚配置

在捕捉模式下，应该通过把 TRISC<5> 位置 1 将 RC5/CCP1/P1A 引脚配置为输入。

注： 如果 RC5/CCP1/P1A 引脚配置为输出，则写端口将产生一次捕捉条件。

图 11-1: 捕捉模式工作原理框图



11.1.2 TIMER1 模式选择

为使 ECCP 模块使用捕捉特性，Timer1 必须运行在定时器模式或同步计数器模式。在异步计数器模式下，捕捉操作可能无法进行。

11.1.3 软件中断

当捕捉模式改变时，可能会产生一次误捕捉中断。用户应该保持 CCP1IE (PIE1<2>) 位清零以避免误中断，且应在任何这种工作模式改变之后清零标志位 CCP1IF (PIR1<2>)。

11.1.4 ECCP 预分频器

通过对 CCP1M<3:0> (CCP1CON<3:0>) 位的设置，可以选择 4 种不同的预分频比。每当关闭 ECCP 模块，或者 ECCP 模块不在捕捉模式时，预分频计数器都将被清零。任何复位都会将预分频计数器清零。

从一个捕捉预分频比切换到另一个可能产生一次中断。而且，预分频计数器不会被清零；因此第一次捕捉时可能是一个非零的预分频比。例 11-1 给出了在捕捉预分频比间切换的推荐方法。这个例子在清零预分频计数器时，不会产生误中断。

例 11-1: 在捕捉预分频比间切换

```
BCF STATUS, RP0 ;Bank 0
BCF STATUS, RP1 ;
CLRF CCP1CON ;Turn ECCP module off
MOVLW NEW_CAPT_PS ;Load the W reg with
;the new prescaler
;move value and ECCP ON
MOVWF CCP1CON ;Load CCP1CON with this
;value
```

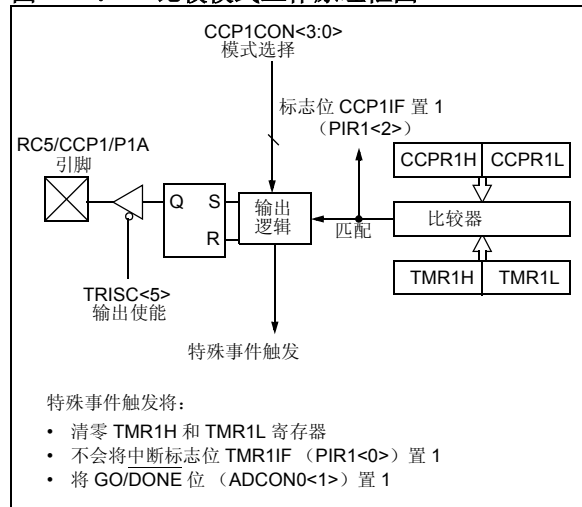
11.2 比较模式

在比较模式下，16 位的 CCPR1 寄存器的值不断地与 TMR1 寄存器的值作比较。如果二者匹配，RC5/CCP1/P1A 引脚将：

- 驱动为高电平
- 驱动为低电平
- 保持不变

引脚的动作由控制位 CCP1M<3:0> (CCP1CON<3:0>) 的值决定。同时，中断标志位 CCP1IF (PIR1<2>) 被置 1。

图 11-2: 比较模式工作原理框图



11.2.1 CCP1 引脚配置

用户必须通过把 TRISC<5> 位清零将 RC5/CCP1/P1A 引脚配置为输出。

注： 清零 CCP1CON 寄存器将强制 RC5/CCP1/P1A 比较输出锁存为缺省低电平。这不是 PORTC 的 I/O 数据锁存。

11.2.2 TIMER1 模式选择

当 ECCP 模块使用比较功能时，Timer1 必须运行在定时器模式或同步计数器模式。在异步计数器模式下，比较操作可能无法进行。

11.2.3 软件中断模式

当选择产生软件中断模式 (CCP1M<3:0> = 1010) 时，CCP1 引脚不受影响。CCP1IF (PIR1<2>) 位被置 1，产生一个 ECCP 中断 (如果使能)。请参见寄存器 11-1。

11.2.4 特殊事件触发

在这种模式下 (CCP1M<3:0> = 1011)，将产生一个内部硬件触发信号，可用于启动一个动作。请参见寄存器 11-1。

一旦 TMR1H:TMR1L 这对寄存器和 CCPR1H:CCPR1L 这对寄存器之间发生匹配，便会发生 CCP 的特殊事件触发输出。TMR1H:TMR1L 寄存器在 TMR1 时钟的下一个上升沿到来之前不会复位。这使 CCPR1H:CCPR1L 寄存器可作为 Timer1 的 16 位可编程周期寄存器。如果 A/D 模块被使能，特殊事件触发输出也会启动一次 A/D 转换。

注 1： CCP 模块的特殊事件触发不会将中断标志位 TMR1IF (PIR1<0>) 置 1。

2： 通过更改生成特殊事件触发和使 TMR1 复位的时钟边沿之间的 CCPR1H 和 CCPR1L 这对寄存器的内容来移除匹配条件，可以预防复位发生。

表 11-2: 与捕捉、比较和 TIMER1 相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Bh/8Bh/ 10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
0Eh	TMR1L	16 位 TMR1 寄存器低位字节的保持寄存器								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	16 位 TMR1 寄存器高位字节的保持寄存器								xxxx xxxx	uuuu uuuu
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNCR	TMR1CS	TMR1ON	0000 0000	uuuu uuuu
11Bh	CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	00-- --10	00-- --10
15h	CCPR1L	捕捉 / 比较 / PWM 寄存器 1 低位字节								xxxx xxxx	uuuu uuuu
16h	CCPR1H	捕捉 / 比较 / PWM 寄存器 1 高位字节								xxxx xxxx	uuuu uuuu
17h	CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
87h/187h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000

图注： — = 未用的存储单元，读为 0，u = 不变，x = 未知。捕捉、比较或 Timer1 模块不使用阴影单元。

注 1： 仅限 PIC16F685/PIC16F690。

PIC16F685/687/689/690

11.3 增强型 PWM 模式

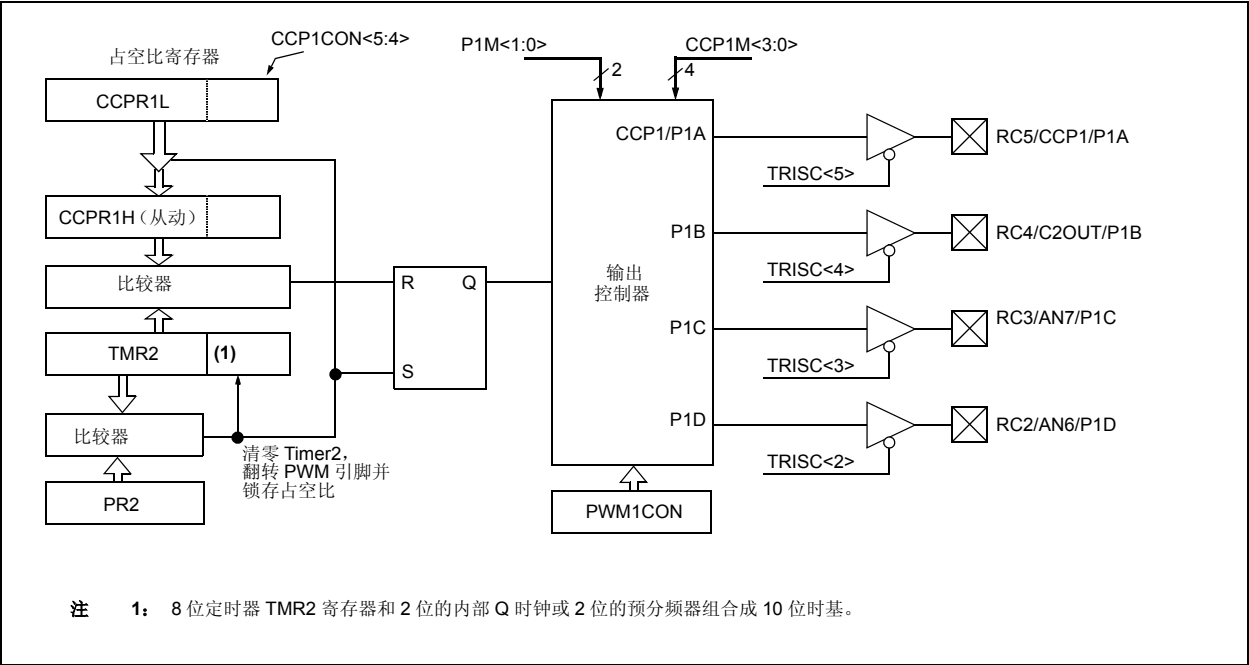
增强型 CCP 模块可以产生分辨率高达 10 位的 PWM 输出，根据所选的操作模式，有最多 4 种输出。这些指定为 P1A 到 P1D 的输出，可以与 PORTC 的 I/O 引脚复用。

表 11-3 中总结了引脚分配。

图 11-3 给出了 PWM 工作原理的简化框图。

要将 I/O 引脚配置为 PWM 输出，需要通过将 P1M<1:0> 和 CCP1M<3:0> 位（分别为 CCP1CON<7:6> 和 CCP1CON<3:0>）置 1 来选择合适的 PWM 模式。相应的 TRISC 位也必须设置为输出。

图 11-3： 增强型 PWM 模块的简化框图



11.3.1 PWM 输出配置

CCP1CON 寄存器的 P1M<1:0> 位允许以下 4 种配置之一：

- 单输出
- 半桥输出
- 全桥输出，正向模式
- 全桥输出，反向模式

图 11-3 总结了所有配置中的输出关系。

注： 清零 CCP1CON 寄存器将强制 PWM 输出锁存到其缺省的无效电平。这不是 PORTC 的 I/O 数据锁存。

表 11-3： 各种增强型 CCP 模式的引脚分配

ECCP 模式	CCP1CON 配置	RC5	RC4	RC3	RC2
兼容的 CCP	00xx11xx	CCP1	RC4/C2OUT	RC3/AN7	RC2/AN6
双 PWM	10xx11xx	P1A	P1B	RC3/AN7	RC2/AN6
四 PWM	x1xx11xx	P1A	P1B	P1C	P1D

图注： x = 无关位。阴影单元表示在给定模式下 ECCP 不使用的引脚分配。

注 1： 必须适当配置 TRIS 寄存器值。

注 2： 在双 PWM 或四 PWM 模式下使用 ECCP 时，必须禁止 PORTC 的 C2OUT 输出控制。

11.3.2 PWM 周期

PWM 输出（图 11-4 和图 11-5）有一个时基（周期）和一段输出保持为高电平的时间（占空比）。PWM 的周期可通过写 PR2 寄存器来设定。PWM 周期可由以下公式计算：

公式 11-1: PWM 周期（时基）

$$PWM \text{ 周期} = [(PR2) + 1] \cdot 4 \cdot TOSC \cdot (TMR2 \text{ 预分频比})$$

PWM 频率定义为 $1/[PWM \text{ 周期}]$ 。

当 TMR2 等于 PR2 时，在下一个递增周期将发生以下 3 个事件：

- TMR2 被清零
- 相应的 PWM 引脚翻转。在双 PWM 模式下，发生在死区延时到期后（例外：如果 PWM 占空 = 0%，引脚不会被置 1）
- PWM 占空比从 CCPR1L 锁存到 CCPR1H

注： 在确定 PWM 频率时不使用 Timer2 后分频器（参见第 7.1 节“Timer2 工作原理”）。后分频器可用于获得与 PWM 输出不同频率的伺服更新速率。

11.3.3 PWM 占空比

通过写入 CCPR1L 寄存器和 DC1B (CCP1CON<5:4>) 位可以设定 PWM 占空比。分辨率最高可达 10 位。CCPR1L 包含高 8 位而 DC1B<1:0> 包含低 2 位。CCPR1L 和 DC1B<1:0> 可在任何时间写入。在 PWM 模式下，CCPR1H 是只读寄存器。该 10 位值由 CCPR1L (CCP1CON<5:4>) 表示。

表 11-4: PWM 频率和分辨率示例 (Fosc = 20 MHz)

PWM 频率	1.22 kHz ⁽¹⁾	4.88 kHz ⁽¹⁾	19.53 kHz	78.12 kHz	156.3 kHz	208.3 kHz
定时器预分频比 (1, 4, 16)	16	4	1	1	1	1
PR2 值	0xFF	0xFF	0xFF	0x3F	0x1F	0x17
最大分辨率 (位)	10	10	10	8	7	6.6

注 1: 更改占空比将导致毛刺。

以下公式用于计算 PWM 的占空比时间：

公式 11-2: PWM 占空比时间

$$PWM \text{ 占空比} = (CCPR1L:CCP1CON<5:4>) \cdot TOSC \cdot (TMR2 \text{ 预分频比})$$

当 CCPR1H 和 2 位锁存值与组合到内部 2 位 Q 时钟或 2 位 TMR2 预分频器的 TMR2 相匹配时，相应的 PWM 引脚翻转。在双 PWM 模式下，引脚将在死区延时到期后翻转。

使用 P1M<1:0> (CCP1CON<7:6>) 和 CCP1M<3:0> (CCP1CON<3:0>) 位来配置信号的极性（高电平有效或低电平有效）及模式。

在给定 PWM 频率的情况下，最大的 PWM 分辨率由以下公式给出：

公式 11-3: 按频率的最大 PWM 分辨率

$$\text{分辨率} = \frac{\log \left(\frac{F_{osc}}{F_{PWM} \cdot TMR2 \text{ 预分频比}} \right)}{\log(2)} \text{ 位}$$

所有控制寄存器都是双缓冲的，且在新的 PWM 周期 (Timer2 复位时的周期边界) 开始时装入，以防止任何输出出现毛刺。PWM 延时寄存器是个例外，它在占空比边界或者周期边界装入（取决于哪一个先到）。由于缓冲作用，模块会一直等到定时器复位，而不是立即开始。这意味着增强型 PWM 波形与标准 PWM 波形并不完全一致，而是偏移一个指令周期 (4 TOSC)。

注： 如果 PWM 占空比的值比 PWM 周期长，则指定的 PWM 引脚将保持不变。

PIC16F685/687/689/690

图 11-4: PWM 输出关系（高电平有效状态）

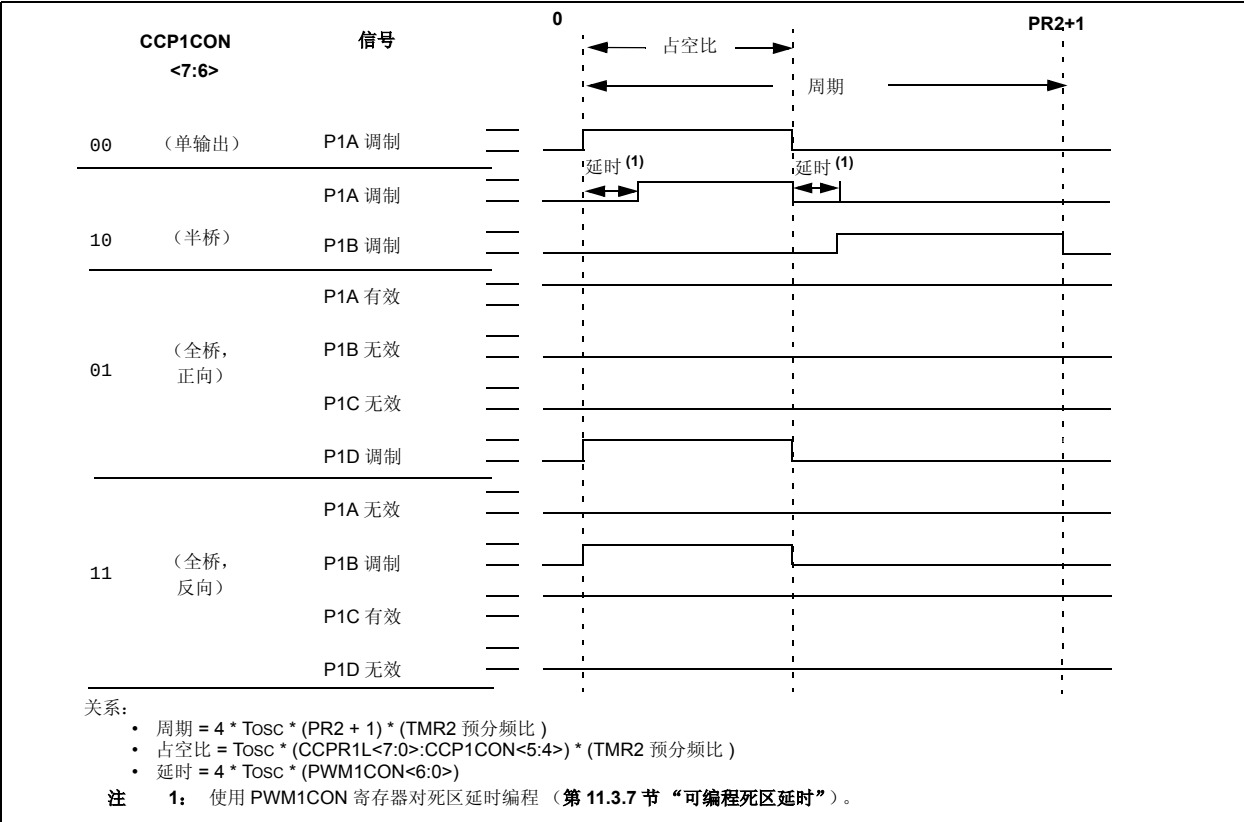
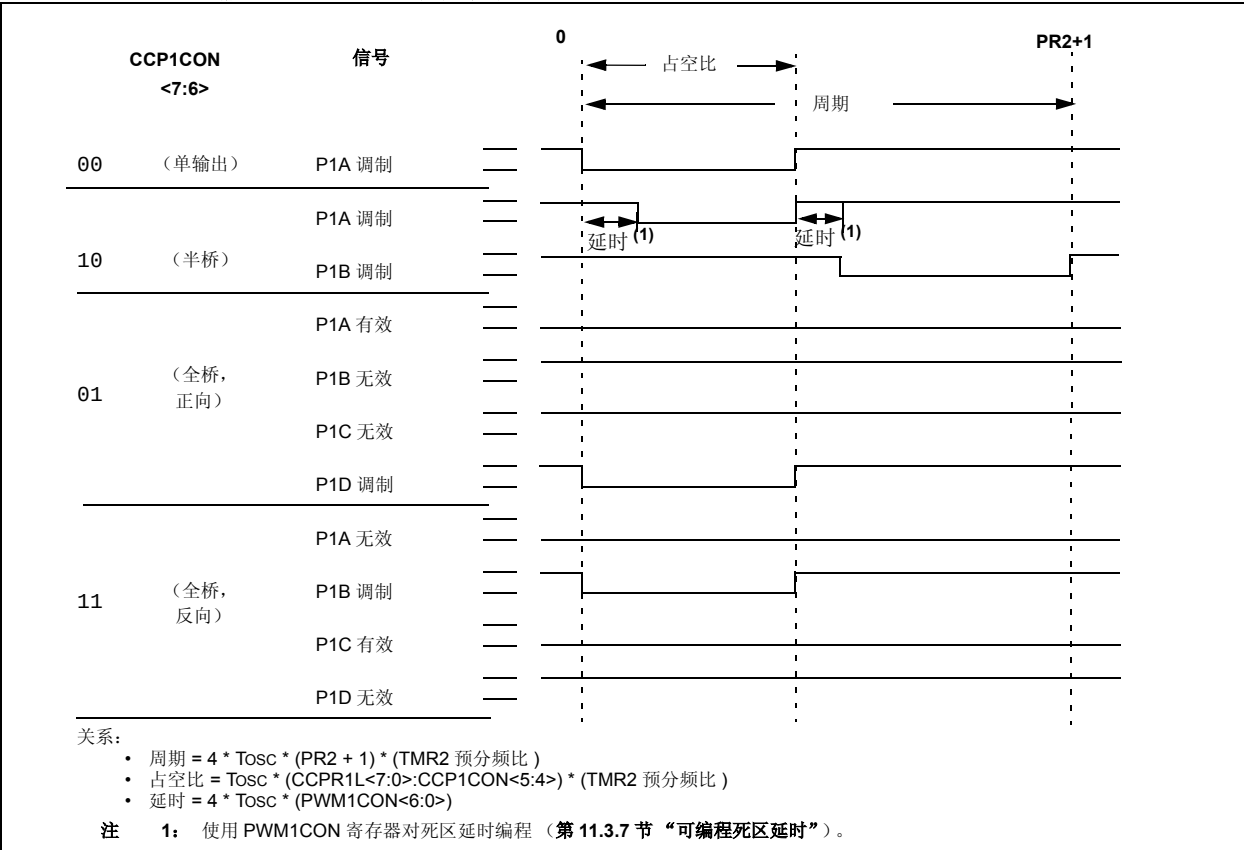


图 11-5: PWM 输出关系（低电平有效状态）



11.3.4 半桥模式

在半桥输出模式下，有两个引脚用作输出驱动推挽式负载。RC5/CCP1/P1A 引脚输出 PWM 输出信号，RC4/C2OUT/P1B 引脚输出互补的 PWM 输出信号（图 11-6）。这种模式可用于半桥应用（如图 11-7 所示），或者用于全桥应用，这种情况下使用两个 PWM 信号调制 4 个功率开关。

在半桥输出模式下，可编程死区延时可用于防止半桥功率器件出现直通（Shoot-through）。PDC<6:0>（PWM1CON<6:0>）位的值设置输出被驱动为有效之前的指令周期数。如果这个值比占空比大，则在整个周期中相应的输出保持为无效。关于死区延时操作的详细信息，请参见第 11.3.7 节“可编程死区延时”。

由于 P1A 和 P1B 输出与 PORTC<5:4> 数据锁存是复用的，TRISC<5:4> 位必须清零，将 P1A 和 P1B 配置为输出。

图 11-6: 半桥 PWM 输出

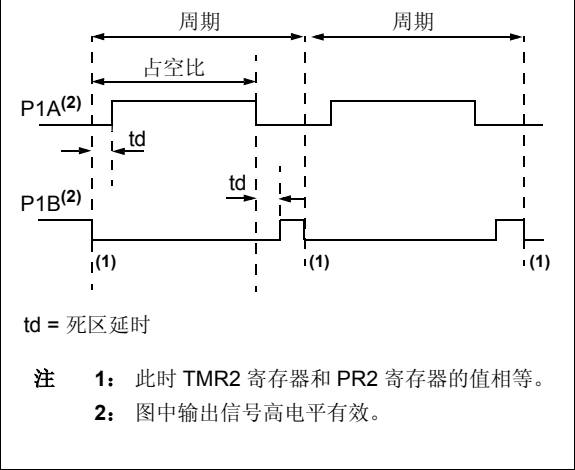
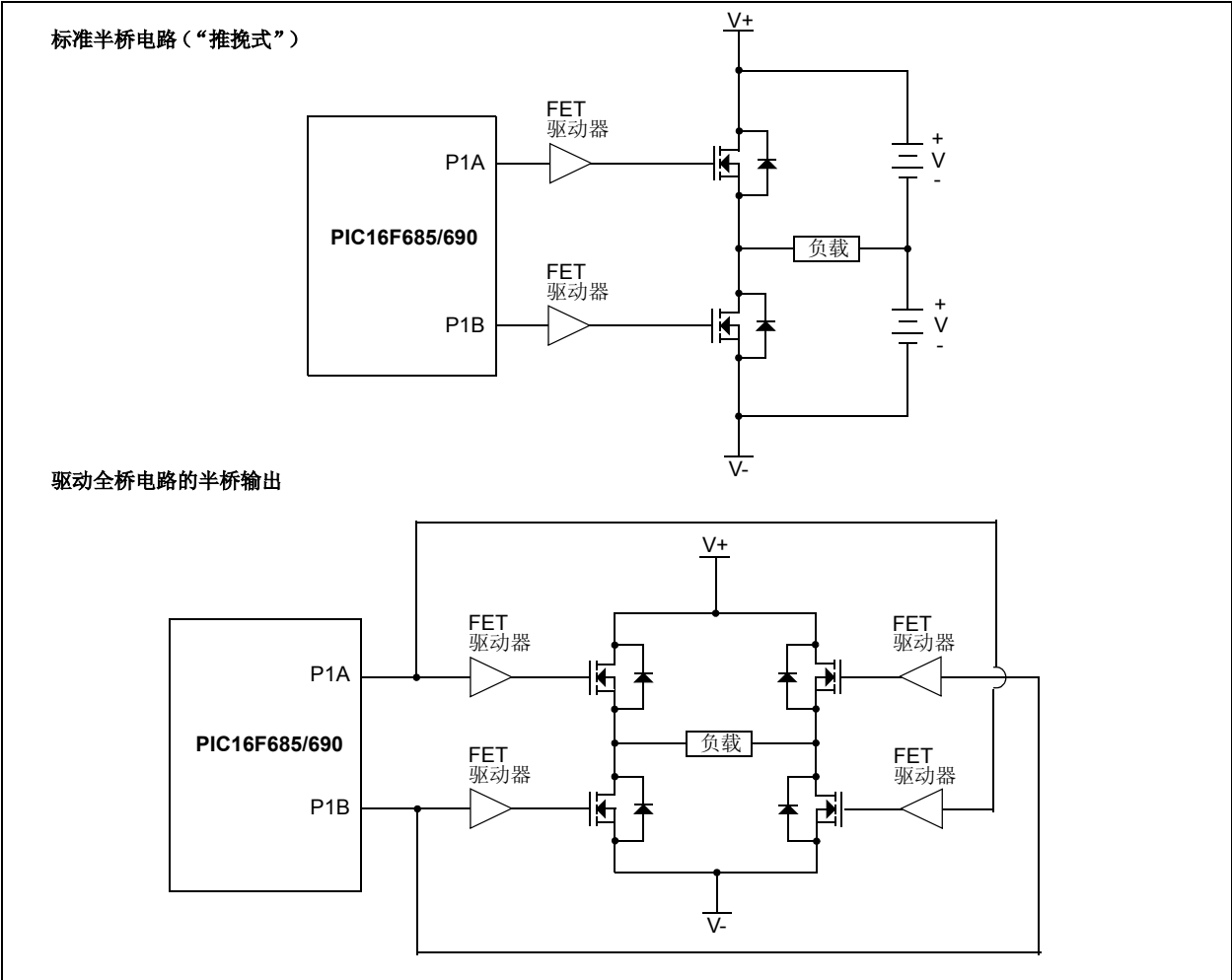


图 11-7: 半桥输出应用示例



PIC16F685/687/689/690

11.3.5 全桥模式

在全桥输出模式下，四个引脚都用作输出；但是，同一时间只有两个输出有效。在正向模式下，引脚 RC5/CCP1/P1A 持续有效，引脚 RC2/AN6/P1D 被调制。

在反向模式下，RC3/AN7/P1C 引脚持续有效，RC4/C2OUT/P1B 引脚被调制。如图 11-8 所示。

P1A、P1B、P1C 和 P1D 输出与 PORTC<5:2> 数据锁存复用。TRISC<5:2> 位必须清零，将 P1A、P1B、P1C 和 P1D 引脚配置为输出。

图 11-8: 全桥 PWM 输出

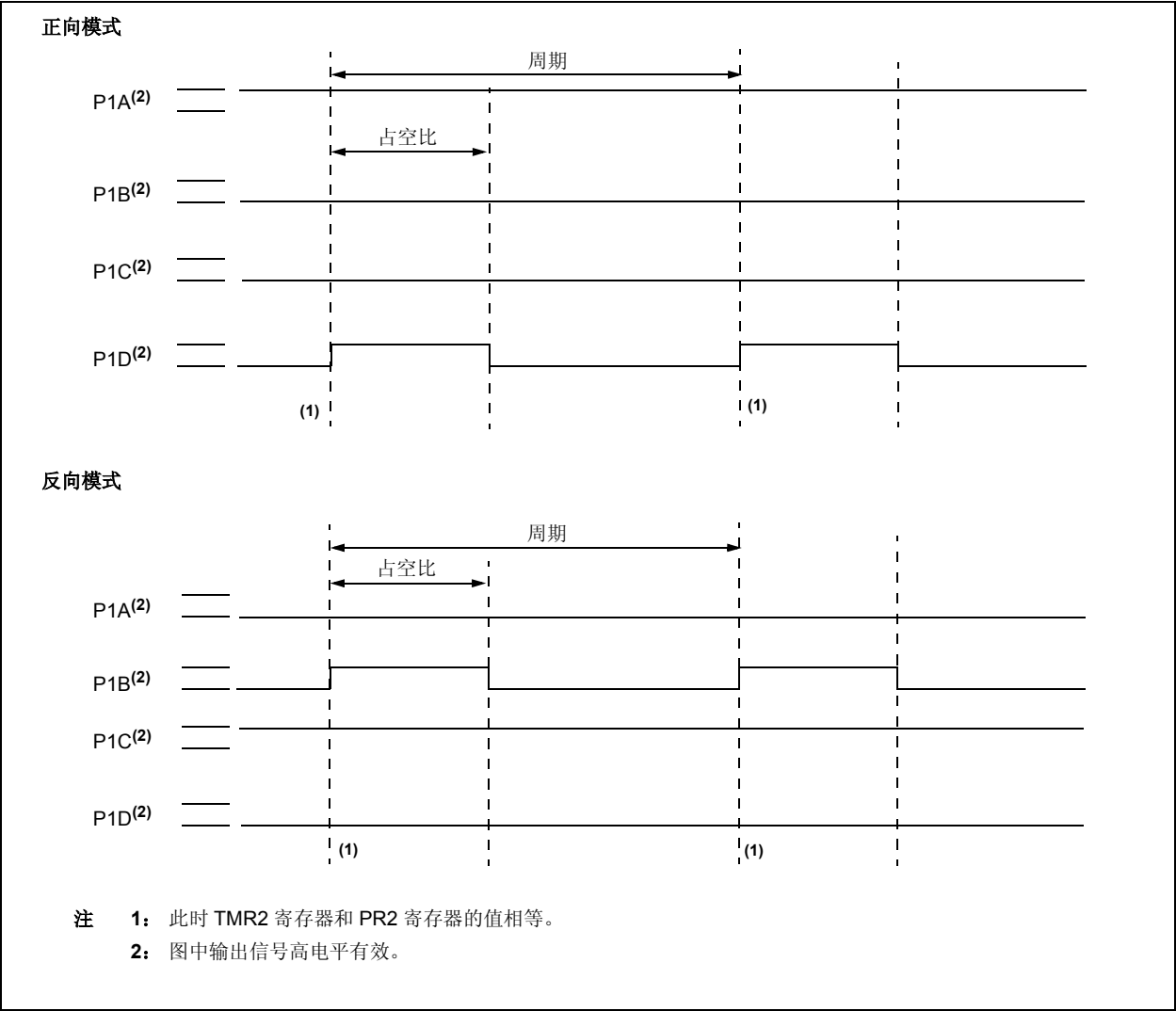
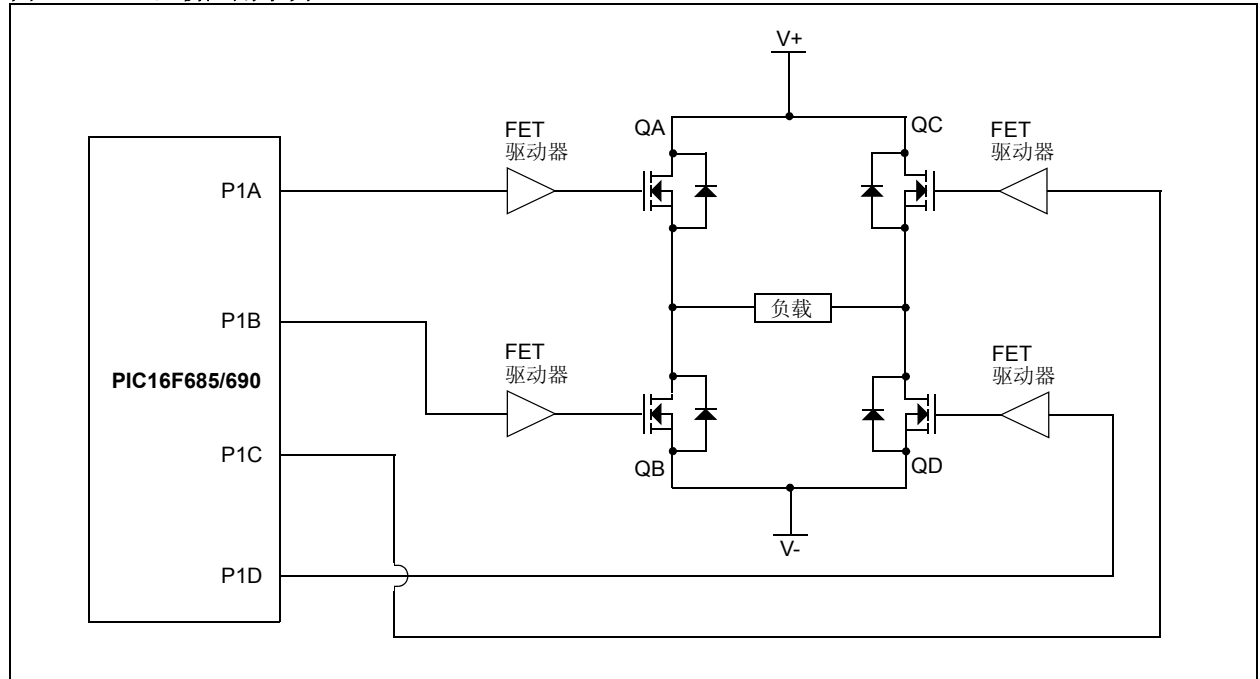


图 11-9: 全桥应用示例



11.3.5.1 全桥模式中的方向改变

在全桥输出模式下，P1M1 位（CCP1CON<7>）允许用户控制正 / 反方向。当应用软件改变这个方向控制位时，模块将在下一个 PWM 周期改用新的方向。

在当前 PWM 周期结束之前，调制输出（P1B 和 P1D）进入无效状态，而未调制输出（P1A 和 P1C）切换到以相反的方向驱动。这发生在下一个 PWM 周期开始之前的（ $4 \text{ T}_{\text{osc}} * (\text{Timer2 预分频比})$ ）时间间隔内。Timer2 预分频比可以是 1、4 或 16，这取决于 T2CKPS<1:0> 位（T2CON<1:0>）的值。在从切换未调制输出驱动方向到下一个周期开始的间隔中，调制输出（P1B 和 P1D）保持无效。这种关系如图 11-10 所示。

注意在全桥输出模式下，ECCP+ 模块不提供任何死区延时。通常，因为始终只有一个输出被调制，所以不需要死区延时。然而，有一种情况将需要死区延时。这一情况发生在以下两个条件同时满足时：

1. 当输出的占空比达到或者接近 100%，PWM 输出方向改变。
2. 功率开关（包括功率器件和驱动电路）的关断时间比导通的时间要长。

在图 11-11 所示的示例中，在占空比接近 100% 时，PWM 方向从正向改变到反向。在时间 t_1 ，输出 P1A 和 P1D 变为无效，而输出 P1C 变为有效。在这个例子中，因为功率器件的关断时间比导通时间要长，在“t”时间内，功率器件 QC 和 QD 可能有冲击电流（Shoot-through）流过（见图 11-9）。当 PWM 方向从反向改变到正向时，功率器件 QA 和 QB 也将出现相同的现象。

如果应用中需要在高占空比时改变 PWM 方向，必须满足以下要求之一：

1. 在改变方向之前的一个 PWM 周期降低 PWM 占空比。
2. 使用开关驱动电路，使驱动开关管关断比驱动开关管导通快。

也可能存在其他避免冲击电流的方案。

PIC16F685/687/689/690

图 11-10: PWM 方向改变

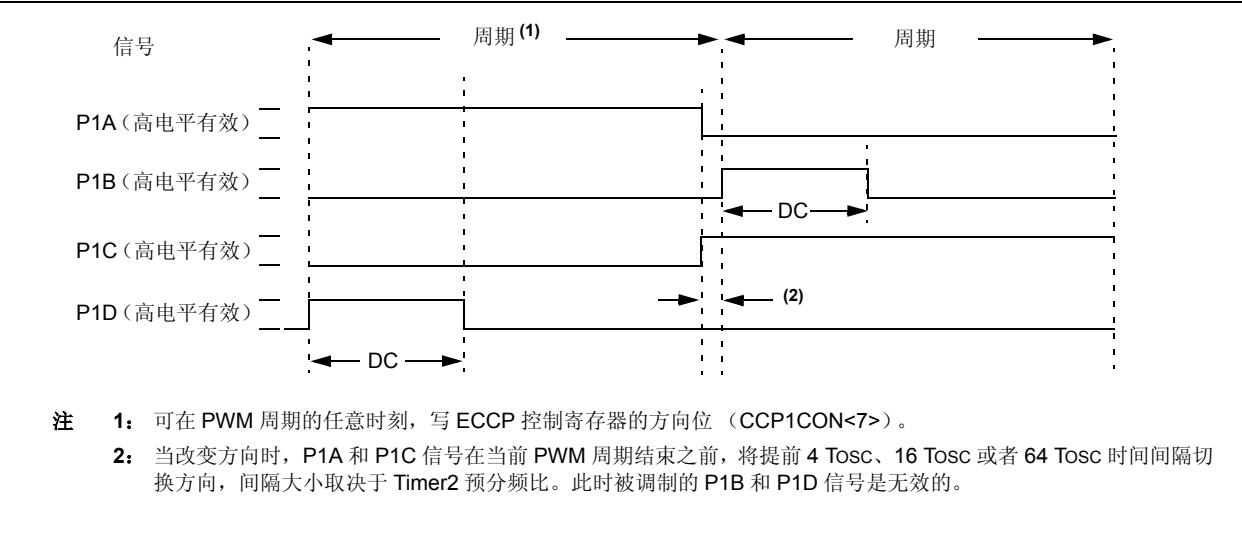
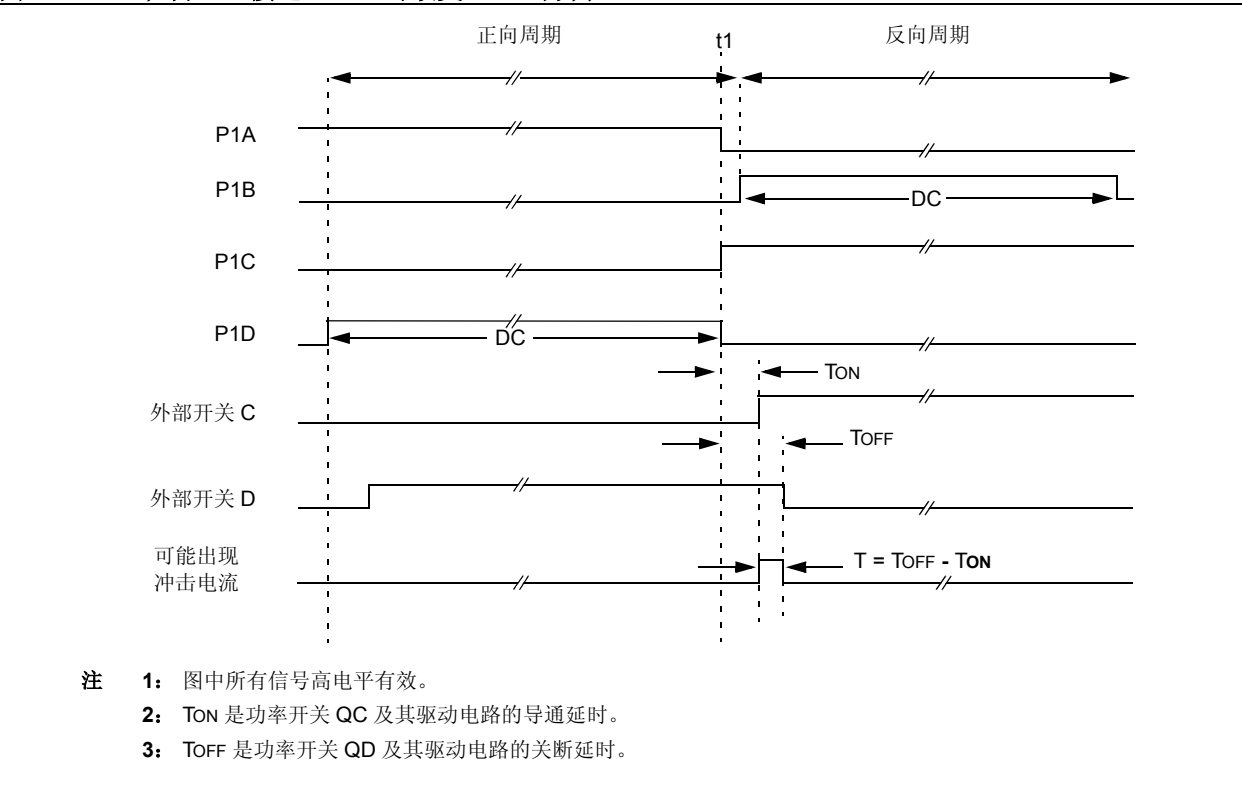


图 11-11: 在占空比接近 100% 时改变 PWM 方向



11.3.6 脉冲转向模式

PWM 转向仅在 CCP1M<3:2> = 11 且 P1M<1:0> = 00 (CCP1CON 寄存器) 时有效。在任何芯片复位后, 仅 PSTRCON 寄存器被初始化以使能 PWM 输出到 P1A。

一旦通过 CCP1M<3:0> 选择了单输出模式, 用户固件便可将同一 PWM 信号输送到一个、两个、三个或四个输出引脚, 只需将相应的 STR<D:A> 置 1, 如表 11-5 所示。

注: 必须将相关的 TRIS 位设置为输出 (0) 以使能引脚输出驱动, 从而在引脚上看到 PWM 信号。

当 PWM 转向模式有效时, CCP1M<1:0> 将为 P1<D:A> 引脚选择 PWM 输出极性。详见寄存器 11-1 (CCP1CON)。

PWM 自动关闭操作也适用于该 PWM 转向模式, 如第 11.3.8 节“增强型 PWM 自动关闭”和第 11.3.11 节“复位的影响”中所述, 并且遵循 ECCPAS 值而不管 CCP1M<3:0> 状态如何。自动关闭事件只对使能 PWM 输出的引脚有影响。

寄存器 11-2:

PSTRCON——脉冲转向控制寄存器^(1, 2) (地址: 19Dh)

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
—	—	—	STRSYNC	STRD	STRC	STRB	STRA
bit 7			bit 0				

bit 7-5	未用: 读为 0
bit 4	STRSYNC: 转向同步位 1 = 在下一个 PWM 周期发生输出转向更新 0 = 在指令周期边界的开始发生输出转向更新
bit 3	STRD: 转向使能位 D 1 = P1D 引脚的 PWM 波形极性受 CCPM<1:0> 控制 0 = P1D 引脚分配为端口引脚
bit 2	STRC: 转向使能位 C 1 = P1C 引脚的 PWM 波形极性受 CCPM<1:0> 控制 0 = P1C 引脚分配为端口引脚
bit 1	STRB: 转向使能位 B 1 = P1B 引脚的 PWM 波形极性受 CCPM<1:0> 控制 0 = P1B 引脚分配为端口引脚
bit 0	STRA: 转向使能位 A 1 = P1A 引脚的 PWM 波形极性受 CCPM<1:0> 控制 0 = P1A 引脚分配为端口引脚

注 1: 仅限 PIC16F685/PIC16F690。

2: PWM 转向仅在 CCP1M<3:2> = 11 且 P1M<1:0> = 00 (CCP1CON 寄存器) 时有效。

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC16F685/687/689/690

表 11-5: 当 CCP1M<3:2> = 11 且 P1M<1:0> = 00 (CCP1CON 寄存器) 时的 PWM 转向操作

STRD	STRC	STRB	STRA	P1D	P1C	P1B	P1A
0	0	0	0	Port	Port	Port	Port
0	0	0	1	Port	Port	Port	P1A
0	0	1	0	Port	Port	P1B	Port
0	0	1	1	Port	Port	P1B	P1A
0	1	0	0	Port	P1C	Port	Port
0	1	0	1	Port	P1C	Port	P1A
0	1	1	0	Port	P1C	P1B	Port
0	1	1	1	Port	P1C	P1B	P1A
1	0	0	0	P1D	Port	Port	Port
1	0	0	1	P1D	Port	Port	P1A
1	0	1	0	P1D	Port	P1B	Port
1	0	1	1	P1D	Port	P1B	P1A
1	1	0	0	P1D	P1C	Port	Port
1	1	0	1	P1D	P1C	Port	P1A
1	1	1	0	P1D	P1C	P1B	Port
1	1	1	1	P1D	P1C	P1B	P1A

注: 不在 PWM 模式下时如上述 “Port”。

11.3.6.1 转向同步

当转向事件发生时，STRSYNC 位向用户提供两种选择。当 STRSYNC 位为 0 时，转向事件将发生在写 STRCON 寄存器指令结束时。在这种情况下，P1<D:A> 引脚的输出信号可能是一个不完整的 PWM 波形。用户固件需要立即从引脚移除 PWM 信号时，该操作非常有用。

当 STRSYNC 位为 1 时，有效的转向更新将发生在下一个 PWM 周期的开始。在这种情况下，转向打开 / 关闭 PWM 输出将始终产生完整的 PWM 波形。

图 11-12 和 11-13 是根据 STRSYNC 设置的 PWM 转向时序图。

图 11-12: 指令结束时发生的转向事件 (STRSYNC = 0)

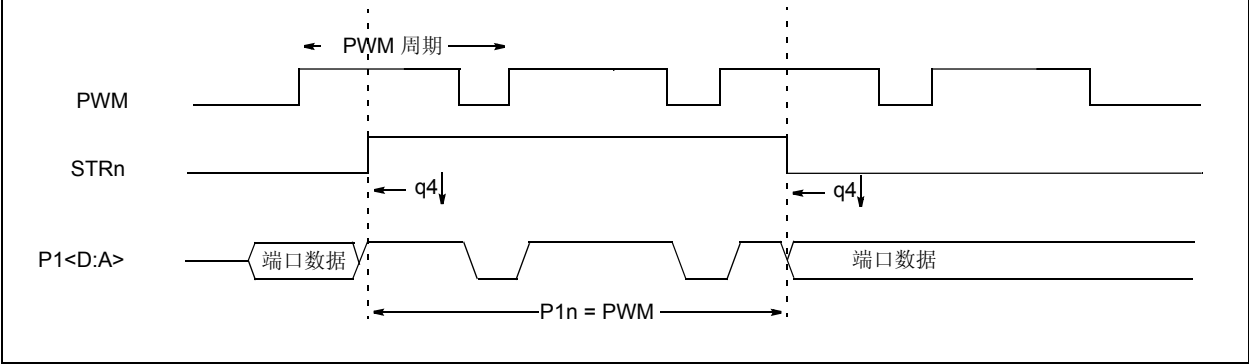
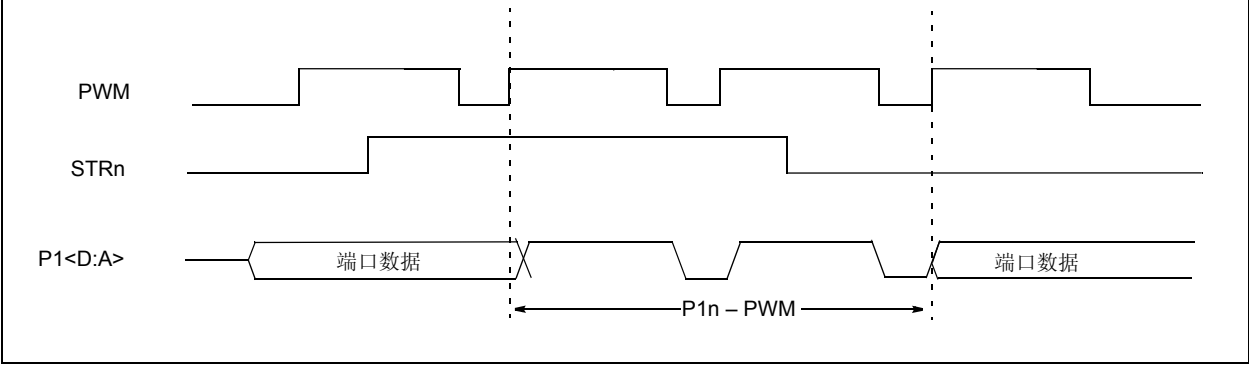


图 11-13: 指令开始时发生的转向事件 (STRSYNC = 1)



PIC16F685/687/689/690

11.3.7 可编程死区延时

在所有功率开关管都以 PWM 频率调制的半桥应用中，功率开关管导通常比关断需要更多的时间。如果上下两个功率开关管在同一时间开关（一个导通，另一个关断），那么在一段很短的时间里，两个开关管可能同时导通，直到一个开关管完全关断为止。在这短暂的时间中，两个功率开关管中可能流过较高的电流（*冲击电流*），将逆变桥的电源与地短路。为避免开关过程中可能出现的破坏性冲击电流，通常需要延迟功率开关管的导通，保证在另一个开关管完全关断之后，再导通相应的功率开关管。

在半桥输出模式下，可采用数字可编程死区延时，避免出现损坏逆变桥功率开关管的冲击电流。在信号从无效状态切换到有效状态时增加延时。参见图 11-6。PWM1CON 寄存器（寄存器 11-3）的低 7 位以单片机指令周期为单位设置延时（Tcy 或 4 Tosc）。

寄存器 11-3: PWM1CON——增强型 PWM 配置寄存器⁽¹⁾（地址：1Ch）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0
bit 7							bit 0

bit 7 **PRSEN:** PWM 重新启动使能位

1 = 自动关闭时，一旦关闭事件消失，ECCPASE 位自动清零；PWM 自动重新启动。
0 = 自动关闭时，ECCPASE 必须用软件清零以重新启动 PWM。

bit 6-0 **PDC<6:0>:** PWM 延时计数位

PDCn = 在 PWM 信号应该转换为有效的预定时间和转换为有效的实际时间之间的 Fosc/4 (4*Tosc) 周期数。

注 1: 仅限 PIC16F685/PIC16F690。

图注:

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

11.3.8 增强型 PWM 自动关闭

当 ECCP 编程设置为任何一种增强型 PWM 模式时，有效输出引脚可配置为自动关闭。当关闭事件发生时，自动关闭立即把增强型 PWM 输出引脚置为定义的关闭状态。

关闭事件可能由两个比较器之一或 INT 引脚（或这三个来源的任意组合）引起。比较器可用来监控与桥电路中与被监控的电流成比例的电压输入。如果电压超过门限值，比较器将切换状态并触发关闭。或者，也可以由 INT 引脚上的数字信号来触发关闭。不选择任何自动关闭源可以禁止自动关闭功能。使用的自动关闭源由 ECCPAS<2:0> 位（ECCPAS<6:4>）选择。

当关闭发生时，输出引脚被异步置为其关闭状态，关闭状态由 PSSAC<3:2> 和 PSSBD<1:0> 位（ECCPAS<3:0>）指定。每对引脚（P1A/P1C 和 P1B/P1D）可以设置为驱动高电平、驱动低电平或者三态（不驱动）。ECCPASE 位（ECCPAS<7>）也被置位，以保持增强型 PWM 输出为其关闭状态。

当关闭事件发生时，ECCPASE 位由硬件置 1。如果自动重新启动没有使能，当关闭起因被清除时，ECCPASE 位必须由固件清零。如果自动重新启动使能，当自动关闭起因被清除时，ECCPASE 位自动清零。更多信息，请参见第 11.3.8.1 节“自动关闭和自动重新启动”。

寄存器 11-4: ECCPAS——增强型捕捉 / 比较 / PWM+ 自动关闭控制寄存器⁽¹⁾（地址：1Dh）

	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1
	bit 7						bit 0
bit 7	ECCPASE: ECCP 自动关闭事件状态位 1 = 发生了关闭事件；ECCP 输出为关闭状态 0 = ECCP 输出正在操作						
bit 6-4	ECCPAS<2:0>: ECCP 自动关闭源选择位 000 = 禁止自动关闭 001 = 比较器 1 输出更改 010 = 比较器 2 输出更改 011 = 比较器 1 或 2 更改 100 = INT 引脚的 V _{IL} 101 = INT 引脚的 V _{IL} 或比较器 1 更改 110 = INT 引脚的 V _{IL} 或比较器 2 更改 111 = INT 引脚的 V _{IL} 或比较器 1 或比较器 2 更改						
bit 3-2	PSSACn: 引脚 P1A 和 P1C 关闭状态控制位 00 = 驱动引脚 P1A 和 P1C 为 0 01 = 驱动引脚 P1A 和 P1C 为 1 1x = 引脚 P1A 和 P1C 为三态						
bit 1-0	PSSBDn: 引脚 P1B 和 P1D 关闭状态控制位 00 = 驱动引脚 P1B 和 P1D 为 0 01 = 驱动引脚 P1B 和 P1D 为 1 1x = 引脚 P1B 和 P1D 为三态						

注 1: 仅限 PIC16F685/PIC16F690。

图注:

R = 可读位	W = 可写位	U = 未用位，读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC16F685/687/689/690

11.3.8.1 自动关闭和自动重新启动

自动关闭功能可以配置为允许在关闭事件后自动重新启动模块。这可通过将 PWM1CON 寄存器的 PRSEN 位置 1 (PWM1CON<7>) 使能。

在关闭模式下, 如果 PRSEN = 1 (图 11-14), 只要导致关闭的起因持续不变, ECCPASE 位将保持置 1。当关闭条件被清除时, ECCPASE 位清零。如果 PRSEN = 0 (图 11-15), 一旦关闭条件发生, ECCPASE 位将保持置 1 直到被软件清零。一旦 ECCPASE 位被清零, 增强型 PWM 将在下一个 PWM 周期的开始重新工作。

注: 当关闭条件有效时, 禁止写 ECCPASE 位。

和 PRSEN 位的设置无关, 无论自动关闭源是否为两个比较器之一或 INT, 关闭条件是一个电平值。只要关闭的条件一直持续, ECCPASE 位就不能被清零。

可以通过写 1 到 ECCPASE 位, 强制器件为自动关闭模式。

11.3.9 启动注意事项

当 ECCP+ 模块用于 PWM 模式时, 必须在 PWM 输出引脚上外接适当的上拉和 / 或下拉电阻。当单片机退出复位状态时, 所有 I/O 引脚均呈高阻状态。外部电路必须保持功率开关器件处于截止状态, 直到单片机将 I/O 引脚驱动为适当的信号电平, 或者激活 PWM 输出为止。

CCP1M<1:0> 位 (CCP1CON<1:0>) 允许用户为每一对 PWM 输出引脚 (P1A/P1C 和 P1B/P1D) 选择 PWM 输出信号为高电平有效或低电平有效。PWM 输出极性必须在 PWM 引脚配置为输出之前选择。由于可能导致应用电路的损坏, 因此不建议在 PWM 引脚配置为输出时改变极性配置。

当 PWM 模块初始化时, P1A、P1B、P1C 和 P1D 输出锁存可能不在正确的状态。在使能 PWM 引脚为输出的同时将其置于 ECCP+ 模块, 可能损坏应用电路。必须在将 PWM 引脚设置为输出之前, 配置 ECCP+ 模块为正确的输出模式并完成一个完整的 PWM 周期。当第二个 PWM 周期开始时, TMR2IF 位置 1 表明一个完整的 PWM 周期结束了。

图 11-14: PWM 自动关闭 (PRSEN = 1, 使能自动重新启动)

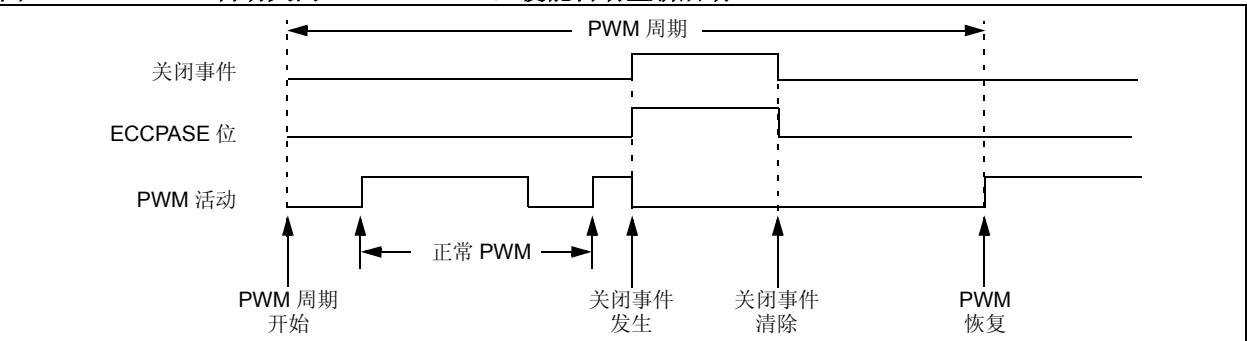
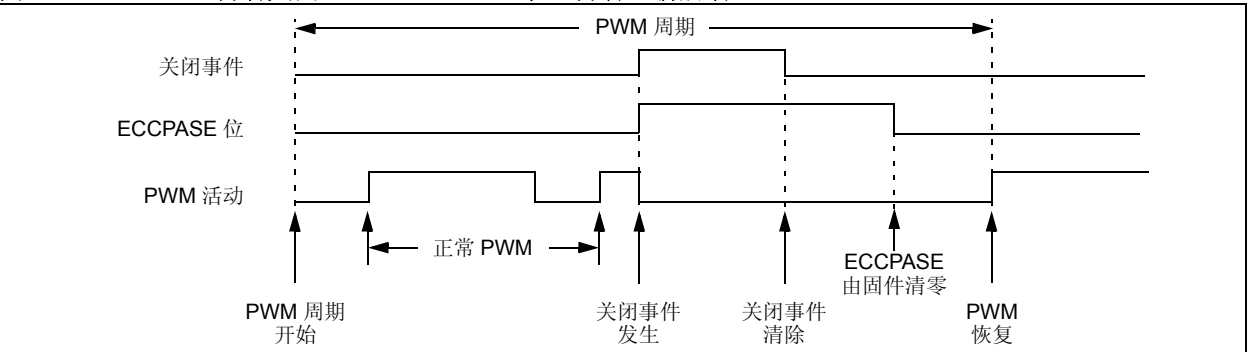


图 11-15: PWM 自动关闭 (PRSEN = 0, 禁止自动重新启动)



11.3.10 休眠模式下的操作

在休眠模式下，所有时钟源都被禁止。Timer2 不再递增，模块的状态也不会改变。如果 ECCP 引脚正在驱动一个值，则会继续驱动该值。当器件被唤醒时，将从该状态继续。

11.3.10.1 使用故障保护时钟监控器操作

如果使能故障保护时钟监控器，时钟故障将强制 ECCP 从内部振荡器时钟源（可能与主时钟的时钟频率不同）获取时钟信号。

更多详细信息，请参见第 3.0 节“时钟源”。

11.3.11 复位的影响

上电复位及以后的复位都将强制所有端口为输入模式，并强制 ECCP 寄存器为复位状态。

这将强制增强型 CCP 模块复位到与标准 CCP 模块兼容的状态。

11.3.12 设置 PWM 操作

如果要将 ECCP+ 模块配置成工作于 PWM 模式，可采用以下步骤：

1. 通过将相应的 TRISC 位置 1，配置 PWM 引脚 P1A 和 P1B（以及 P1C 和 P1D，如果使用）为输入。
2. 通过装载 PR2 寄存器设置 PWM 周期。
3. 通过装载恰当的值到 CCP1CON 寄存器将 ECCP+ 模块设置为需要的 PWM 模式和配置：
 - 用 P1M<1:0> 位选择输出配置和方向。
 - 用 CCP1M<3:0> 位选择 PWM 输出信号的极性。
4. 通过装载 CCPR1L 寄存器和 CCP1CON<5:4> 位设置 PWM 占空比。
5. 对于半桥输出模式，通过装载恰当的值到 PWM1CON<6:0> 设置死区延时。
6. 如果需要自动关闭操作，装载 ECCPAS 寄存器：
 - 使用 ECCPAS<2:0> 位选择自动关闭源。
 - 使用 PSSAC<3:2> 位和 PSSBD<1:0> 位选择 PWM 输出引脚在 PWM 关闭时的状态。
 - 将 ECCPASE 位置 1（ECCPAS<7>）。
 - 使用 CM1CON0 和 CM2CON0 寄存器（寄存器 8-1 和 8-2）配置比较器。
 - 将比较器输出配置为模拟输入。
7. 如果需要自动重新启动，将 PRSEN 位置 1（PWM1CON<7>）。
8. 配置及启动 TMR2：
 - 清零 TMR2 中断标志位 TMR2IF 位（PIR1<1>）。
 - 通过装载 T2CKPS 位（T2CON<1:0>）设置 TMR2 预分频比。
 - 通过将 TMR2ON 位置 1（T2CON<2>）使能 Timer2。
9. 在新的 PWM 周期开始后使能 PWM 输出：
 - 等待直到 TMR2 溢出（TMR2IF 位置 1）。
 - 通过清零各 TRISC 位，使能 CCP1/P1A、P1B、P1C 和 / 或 P1D 引脚为输出。
 - 清零 ECCPASE 位（ECCPAS<7>）。

PIC16F685/687/689/690

表 11-6: 与 PWM 和 TIMER2 相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Bh/8Bh/10Bh/18Bh	INTCON	GIE	PEIE	TOIE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
11h	TMR2	Timer2 模块寄存器								0000 0000	0000 0000
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
15h	CCPR1L	捕捉 / 比较 / PWM 寄存器 1 低位字节								xxxx xxxx	uuuu uuuu
16h	CCPR1H	捕捉 / 比较 / PWM 寄存器 1 高位字节								xxxx xxxx	uuuu uuuu
17h	CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
1Ch	PWM1CON	PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0	0000 0000	0000 0000
1Dh	ECCPAS	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1	PSSBD0	0000 0000	0000 0000
87h/187h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IF	TMR1IF	-000 0000	-000 0000
92h	PR2	Timer2 模块周期寄存器								1111 1111	1111 1111
19Dh	PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	---0 0001

图注: — = 未用的存储单元, 读为 0, u = 不变, x = 未知。捕捉、比较或 Timer1 模块不使用阴影单元。

注 1: 仅限 PIC16F685/PIC16F690。

12.0 增强型通用同步 / 异步收发器 (EUSART)

增强型通用同步 / 异步收发器 (Enhanced Universal Synchronous Asynchronous Receiver Transmitter, EUSART) 模块是 PIC16F685/687/689/690 的串行 I/O 模块。EUSART 也称为“串行通讯接口”或 SCI。可以将 EUSART 配置为能与 CRT 终端和个人计算机等外设通讯的全双工异步模式，也可以将它配置成能与 A/D 或 D/A 集成电路、串行 EEPROM 等外设通讯的半双工同步模式。

EUSART 模块还实现了其他功能，包括自动波特率检测和校准、接收到间隔 (Break) 字符时自动唤醒和 13 位间隔字符发送。这些功能使 EUSART 模块成为局域互连网络 (Local Interconnect Network, LIN) 总线系统的理想选择。

EUSART 可配置为以下几种工作模式：

- 异步模式（全双工）：
 - 接收到字符时自动唤醒
 - 自动波特率校准
 - 13 位间隔字符发送
- 同步——主控（半双工）模式，带可选时钟极性
- 异步——从动（半双工）模式，带可选时钟极性

为了将 RB6/SCK/SCL 和 RB7/TX/CK 引脚配置为通用同步 / 异步收发器：

- SPEN (RCSTA<7>) 位必须置 1 (= 1)，
- TRISB<6> 位必须置 1 (= 1)，并且
- TRISB<7> 位必须置 1 (= 1)。

注： EUSART 控制电路会根据需要自动将 I/O 引脚从输入重新配置为输出。

EUSART 模块的工作状况是通过 4 个寄存器控制的：

- 发送状态和控制 (TXSTA)
- 接收状态和控制 (RXSTA)
- 波特率控制 (BAUDCTL)
- 波特率寄存器 (SPBRGH:SPBRG)

更多详细信息，请参见寄存器 12-1、12-2 和 12-3。

12.1 异步操作的时钟精确性

工厂会将内部振荡器电路输出 (INTOSC) 校准为 8 MHz。但是，在 VDD 或温度变化时，此频率可能会发生漂移，这将直接影响异步波特率发生器。调整波特率时钟的方法有两种，但都需要某种类型的参考时钟源。

第一种（首选）方法使用 OSCUNE 寄存器将 INTOSC 输出频率调整回 8 MHz。调整 OSCUNE 寄存器的值可以微调系统时钟源（更多信息，请参见第 3.4 节“内部时钟模式”）。

另一个方法是调整波特率发生器的值。当调整波特率发生器时，其微调分辨率可能不足以补偿外设时钟频率的渐进变化。

PIC16F685/687/689/690

寄存器 12-1: **TXSTA**——发送状态和控制寄存器⁽¹⁾ (地址: 98h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC	SENB	BRGH	TRMT	TX9D
bit 7							bit 0

- bit 7 **CSRC**: 时钟源选择位
异步模式:
无关位
同步模式:
1 = 主控模式 (时钟来自内部 BRG)
0 = 从动模式 (时钟来自外部时钟源)
- bit 6 **TX9**: 9 位发送使能位
1 = 选择 9 位发送
0 = 选择 8 位发送
- bit 5 **TXEN**: 发送使能位
1 = 使能发送
0 = 禁止发送

注: 同步模式下 SREN/CREN 会覆盖 TXEN 的值。
- bit 4 **SYNC**: EUSART 模式选择位
1 = 同步模式
0 = 异步模式
- bit 3 **SENB**: 发送间隔字符位
异步模式:
1 = 在下一次发送时发送同步间隔字符 (完成后由硬件清零)
0 = 同步间隔字符发送完成
同步模式:
无关位
- bit 2 **BRGH**: 高波特率选择位
异步模式:
1 = 高速
0 = 低速
同步模式:
在此模式下未使用
- bit 1 **TRMT**: 发送移位寄存器状态位
1 = TSR 空
0 = TSR 满
- bit 0 **TX9D**: 发送数据的第 9 位
可以是地址 / 数据位或奇偶校验位。

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

图注:			
R = 可读位	W = 可写位	U = 未用位, 读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

寄存器 12-2: **RCSTA**——接收状态和控制寄存器⁽¹⁾ (地址: 18h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							bit 0

- bit 7 **SPEN**: 串行口使能位
 1 = 使能串行口
 0 = 禁止串行口 (模块保持在复位状态)
- bit 6 **RX9**: 9 位接收使能位
 1 = 选择 9 位接收
 0 = 选择 8 位接收
- bit 5 **SREN**: 单字节接收使能位
异步模式:
 无关位
同步主控模式:
 1 = 使能单字节接收
 0 = 禁止单字节接收
 此位在接收完成后清零。
同步从动模式:
 无关位
- bit 4 **CREN**: 连续接收使能位
异步模式:
 1 = 使能接收器
 0 = 禁止接收器
同步模式:
 1 = 使能连续接收, 直到使能位 CREN 清零 (CREN 覆盖 SREN)
 0 = 禁止连续接收
- bit 3 **ADDEN**: 地址检测使能位
9 位异步模式 (RX9 = 1):
 1 = 使能地址检测、允许中断, 当 RSR<8> 置 1 时装入接收缓冲器
 0 = 禁止地址检测、接收所有字节并且第 9 位可作为奇偶校验位
8 位异步模式 (RX9 = 0):
 无关位
- bit 2 **FERR**: 帧错误位
 1 = 帧错误 (可通过读 RCREG 寄存器刷新该位, 并接收下一个有效字节)
 0 = 无帧错误
- bit 1 **OERR**: 溢出错误位
 1 = 溢出错误 (可通过清零 CREN 位来清零该位)
 0 = 无溢出错误
- bit 0 **RX9D**: 接收数据的第 9 位
 这可以是地址 / 数据位或奇偶校验位, 必须由用户固件计算。

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC16F685/687/689/690

寄存器 12-3: **BAUDCTL——波特率控制寄存器⁽¹⁾** (地址: **9Bh**)

R-0	R-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN
bit 7			bit 0				

- bit 7 **ABDOVF**: 自动波特率检测溢出位
异步模式:
1 = 自动波特率定时器溢出
0 = 自动波特率定时器没有溢出
同步模式:
无关位
- bit 6 **RCIDL**: 接收 IDLE 标志位
异步模式:
1 = 接收器空闲
0 = 已接收到起始位且接收器正在接收
同步模式:
无关位
- bit 5 **未用**: 读为 0
- bit 4 **SCKP**: 同步时钟极性选择位
异步模式:
1 = 传送反向数据到 RB7/TX/CK 引脚
0 = 传送非反向数据到 RB7/TX/CK 引脚
同步模式:
1 = 数据在时钟上升沿同步
0 = 数据在时钟下降沿同步
- bit 3 **BRG16**: 16 位波特率发生器位
1 = 使用 16 位波特率发生器
0 = 使用 8 位波特率发生器
- bit 2 **未用**: 读为 0
- bit 1 **WUE**: 唤醒使能位
1 = 下一个 RX/DT 下降沿将 RCIF 置 1 并在器件休眠时将其唤醒 (在下降沿之后的上升沿处自动清零)
0 = RX/DT 的时钟沿不产生中断
- bit 0 **ABDEN**: 自动波特率检测使能位
异步模式:
1 = 使能自动波特率模式 (完成自动波特率后清零)
0 = 禁止自动波特率模式
同步模式:
无关位

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

图注:			
R = 可读位	W = 可写位	U = 未用位, 读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

12.2 EUSART 波特率发生器 (BRG)

BRG 是一个专用的 8 位或 16 位发生器，支持 EUSART 的异步和同步模式。缺省情况下，BRG 工作在 8 位模式下，通过将 BRG16 位 (BAUDCTL<3>) 置 1 可以选择 16 位模式。

SPBRGH:SPBRG 这对寄存器控制自由运行的定时器周期。在异步模式下，BRGH (TXSTA<2>) 和 BRG16 也用于控制波特率。在同步模式下，会忽略 BRGH 位。表 12-1 所示为不同 EUSART 模式的波特率计算公式，但仅适用于同步主控模式 (内部生成时钟信号)。

给出期望的波特率和 Fosc 值，就可以使用表 12-1 中的公式计算 SPBRGH:SPBRG 寄存器的最近似整数值。这样就可以确定波特率的误差。例 12-1 给出了一个计算示例。表 12-2 中给出了不同异步模式下的典型波特率和误差值。使用高波特率 (BRGH = 1)，即 16 位 BRG 可以减小波特率误差，或实现快速振荡频率下的低波特率，这是很有益处的。

向 SPBRGH:SPBRG 寄存器写入新值会使 BRG 定时器复位 (或清零)。这可以确保 BRG 不必在定时器溢出之后才输出新波特率。

如果系统时钟在主动接收操作过程中发生变化，可能会导致接收错误或数据丢失。为了避免此问题，应该检查 RCIDL 位的状态，并确保在改变系统时钟前接收操作处于空闲状态。

12.2.1 采样

主要检测电路会对 RB5/AN11/RX/DT 引脚上的数据采样 3 次，以确定 RX 引脚上出现的是高电平还是低电平。

例 12-1: 计算波特率误差

如果某个器件的 Fosc 为 16 MHz、波特率期望值为 9600，异步模式且 8 位 BRG:

$$\text{波特率期望值} = \frac{F_{osc}}{64(SPBRGH:SPBRG + 1)}$$

求解 SPBRGH:SPBRG:

$$X = \frac{\frac{F_{osc}}{\text{波特率期望值}}}{64} - 1$$

$$= \frac{\frac{16000000}{9600}}{64} - 1$$

$$= [25.042] = 25$$

$$\text{波特率计算值} = \frac{16000000}{64 \times (25 + 1)}$$

$$= 9615$$

$$\text{误差} = \frac{\text{波特率计算值} - \text{波特率期望值}}{\text{波特率期望值}}$$

$$= \frac{(9615 - 9600)}{9600} = 0.16\%$$

注： 当 BRGH = 1 且 BRG16 = 1 时，SPBRGH:SPBRG 值 ≤ 4 无效。

表 12-1: 波特率公式

配置位			BRG/EUSART 模式	波特率计算公式
SYNC	BRG16	BRGH		
0	0	0	8 位 / 异步	Fosc/[64 (n+1)]
0	0	1	8 位 / 异步	
0	1	0	16 位 / 异步	Fosc/[4 (n+1)]
0	1	1	16 位 / 异步	
1	0	x	8 位 / 同步主控	
1	1	x	16 位 / 同步主控	

图注： x = 无关位， n = SPBRGH:SPBRG 寄存器的值

PIC16F685/687/689/690

表 12-2: 与波特率发生器相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
98h	TXSTA	CSRC	TX9	TXEN	SYNC	SENB	BRGH	TRMT	TX9D	0000 0010	0000 0010
99h	SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
9Ah	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
9Bh	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00

图注: x = 未知, u = 不变, - = 未用的存储单元, 读为 0。振荡器不使用阴影单元。

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

表 12-3: 异步模式波特率

波特率 (K)	SYNC = 0, BRGH = 0, BRG16 = 0								
	Fosc = 20.000 MHz			Fosc = 10.000 MHz			Fosc = 8.000 MHz		
	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)
0.3	—	—	—	—	—	—	—	—	—
1.2	1.221	1.73	255	1.202	0.16	129	1.201	-0.16	103
2.4	2.404	0.16	129	2.404	0.16	64	2.403	-0.16	51
9.6	9.766	1.73	31	9.766	1.73	15	9.615	-0.16	12
19.2	19.531	1.73	15	19.531	1.73	7	—	—	—
57.6	62.500	8.51	4	52.083	-9.58	2	—	—	—
115.2	104.167	-9.58	2	78.125	-32.18	1	—	—	—

波特率 (K)	SYNC = 0, BRGH = 0, BRG16 = 0								
	Fosc = 4.000 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)
0.3	0.300	0.16	207	0.300	-0.16	103	0.300	-0.16	51
1.2	1.202	0.16	51	1.201	-0.16	25	1.201	-0.16	12
2.4	2.404	0.16	25	2.403	-0.16	12	—	—	—
9.6	8.929	-6.99	6	—	—	—	—	—	—
19.2	20.833	8.51	2	—	—	—	—	—	—
57.6	62.500	8.51	0	—	—	—	—	—	—
115.2	62.500	-45.75	0	—	—	—	—	—	—

波特率 (K)	SYNC = 0, BRGH = 1, BRG16 = 0								
	Fosc = 20.000 MHz			Fosc = 10.000 MHz			Fosc = 8.000 MHz		
	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)
2.4	—	—	—	2.441	1.73	255	2.403	-0.16	207
9.6	9.615	0.16	129	9.615	0.16	64	9.615	-0.16	51
19.2	19.231	0.16	64	19.531	1.73	31	19.230	-0.16	25
57.6	56.818	-1.36	21	56.818	-1.36	10	55.555	3.55	8
115.2	113.636	-1.36	10	125.000	8.51	4	—	—	—

波特率 (K)	SYNC = 0, BRGH = 1, BRG16 = 0								
	Fosc = 4.000 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)
0.3	—	—	—	—	—	—	0.300	-0.16	207
1.2	1.202	0.16	207	1.201	-0.16	103	1.201	-0.16	51
2.4	2.404	0.16	103	2.403	-0.16	51	2.403	-0.16	25
9.6	9.615	0.16	25	9.615	-0.16	12	—	—	—
19.2	19.231	0.16	12	—	—	—	—	—	—
57.6	62.500	8.51	3	—	—	—	—	—	—
115.2	125.000	8.51	1	—	—	—	—	—	—

PIC16F685/687/689/690

表 12-3: 异步模式波特率 (续)

波特率 (K)	SYNC = 0, BRGH = 0, BRG16 = 1								
	Fosc = 20.000 MHz			Fosc = 10.000 MHz			Fosc = 8.000 MHz		
	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)
0.3	0.300	0.02	4165	0.300	0.02	2082	0.300	-0.04	1665
1.2	1.200	-0.03	1041	1.200	-0.03	520	1.201	-0.16	415
2.4	2.399	-0.03	520	2.404	0.16	259	2.403	-0.16	207
9.6	9.615	0.16	129	9.615	0.16	64	9.615	-0.16	51
19.2	19.231	0.16	64	19.531	1.73	31	19.230	-0.16	25
57.6	56.818	-1.36	21	56.818	-1.36	10	55.555	3.55	8
115.2	113.636	-1.36	10	125.000	8.51	4	—	—	—

波特率 (K)	SYNC = 0, BRGH = 0, BRG16 = 1								
	Fosc = 4.000 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)
0.3	0.300	0.04	832	0.300	-0.16	415	0.300	-0.16	207
1.2	1.202	0.16	207	1.201	-0.16	103	1.201	-0.16	51
2.4	2.404	0.16	103	2.403	-0.16	51	2.403	-0.16	25
9.6	9.615	0.16	25	9.615	-0.16	12	—	—	—
19.2	19.231	0.16	12	—	—	—	—	—	—
57.6	62.500	8.51	3	—	—	—	—	—	—
115.2	125.000	8.51	1	—	—	—	—	—	—

波特率 (K)	SYNC = 0, BRGH = 1, BRG16 = 1 或 SYNC = 1, BRG16 = 1								
	Fosc = 20.000 MHz			Fosc = 10.000 MHz			Fosc = 8.000 MHz		
	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)
0.3	0.300	0.00	16665	0.300	0.00	8332	0.300	-0.01	6665
1.2	1.200	0.02	4165	1.200	0.02	2082	1.200	-0.04	1665
2.4	2.400	0.02	2082	2.402	0.06	1040	2.400	-0.04	832
9.6	9.596	-0.03	520	9.615	0.16	259	9.615	-0.16	207
19.2	19.231	0.16	259	19.231	0.16	129	19.230	-0.16	103
57.6	57.471	-0.22	86	58.140	0.94	42	57.142	0.79	34
115.2	116.279	0.94	42	113.636	-1.36	21	117.647	-2.12	16

波特率 (K)	SYNC = 0, BRGH = 1, BRG16 = 1 或 SYNC = 1, BRG16 = 1								
	Fosc = 4.000 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)	实际 波特率 (K)	% 误差	SPBRG 值 (十进制)
0.3	0.300	0.01	3332	0.300	-0.04	1665	0.300	-0.04	832
1.2	1.200	0.04	832	1.201	-0.16	415	1.201	-0.16	207
2.4	2.404	0.16	415	2.403	-0.16	207	2.403	-0.16	103
9.6	9.615	0.16	103	9.615	-0.16	51	9.615	-0.16	25
19.2	19.231	0.16	51	19.230	-0.16	25	19.230	-0.16	12
57.6	58.824	2.12	16	55.555	3.55	8	—	—	—
115.2	111.111	-3.55	8	—	—	—	—	—	—

12.2.2 自动波特率检测

EUSART 模块支持波特率自动检测和校准。该功能仅在异步模式下有效，此时 WUE 位清零。

只要接收到起始位并且 ABDEN 位已置 1，就会开始自动波特率测量序列（图 12-1）。此计算是自平均的。

在自动波特率检测（Auto-Baud Rate Detect, ABD）模式下，BRG 的时钟信号反向。BRG 并不为进入的 RX 信号提供时钟信号，而是相反由 RX 信号为 BRG 定时。在 ABD 模式下，内部波特率发生器作为计数器计算进入的串行字节流的位周期。

如果 BRG 计数器计满返回，则 ABDOVF（BAUDCTL<7>）和 RCIF 位会置 1，指示 BRG 已溢出。ABDOVF 位可由硬件置 1，并只能由用户清零。溢出发生时，自动波特率检测保持激活状态，且 ABDEN（BAUDCTL<0>）位保持置 1。ABDOVF 将保持置 1 且无法被清零，直到 ABDEN 复位为 0。必须通过读 RCREG 或清零 SPEN 位来清零 RCIF 位。

ABDEN 位置 1 后，状态机就会将 BRG 清零并寻找起始位。要计算正确的比特率，自动波特率检测必须接收到值为 55h 的字节（ASCII 码为“U”，这也是 LIN 总线的同步字符）。为了尽量减小进入信号不对称造成的影响，测量需要一个低位时间和一个高位时间。在起始位后，SPBRG 使用预先选定的时钟源在 RX 的第一个上升沿开始计数。在 RX 引脚传输了 8 位以后，或在第 5 个上升沿时，将相应 BRG 周期累加，并将结果保存在 SPBRGH:SPBRG 寄存器中。一旦出现第 5 个上升沿（应该对应于停止位），ABDEN 位会自动清零。

在校准波特率周期时，BRG 寄存器时钟频率为预配置时钟频率的 1/8。请注意 BRG 时钟将由 BRG16 和 BRGH 位配置。不管 BRG16 如何设置，SPBRG 和 SPBRGH 都将被用作 16 位计数器。通过检查 SPBRGH 寄存器值是否为 00h，用户可以验证 8 位模式下是否发生进位。请参见表 12-4 了解 BRG 计数器时钟速率。

当发生 ABD 序列时，EUSART 状态机保持在空闲状态。一旦在 RX 上检测到第 5 个上升沿，RCIF 中断就会置 1。要清除 RCIF 中断，需要读取 RCREG 中的值。RCREG 的内容应该被丢弃。

- 注
- 1:

如果 WUE 位与 ABDEN 位同时置 1，自动波特率检测会在间隔字符之后的字节开始（见第 12.3.4 节“在 RX 引脚下降沿自动唤醒”）。
- 2:

判断进入字符波特率是否处于所选 BRG 时钟源范围内是由用户决定的。由于位错误率的原因，无法实现某些振荡频率和 EUSART 波特率的组合。在使用自动波特率检测功能时，必须考虑系统总体时序和通讯波特率。

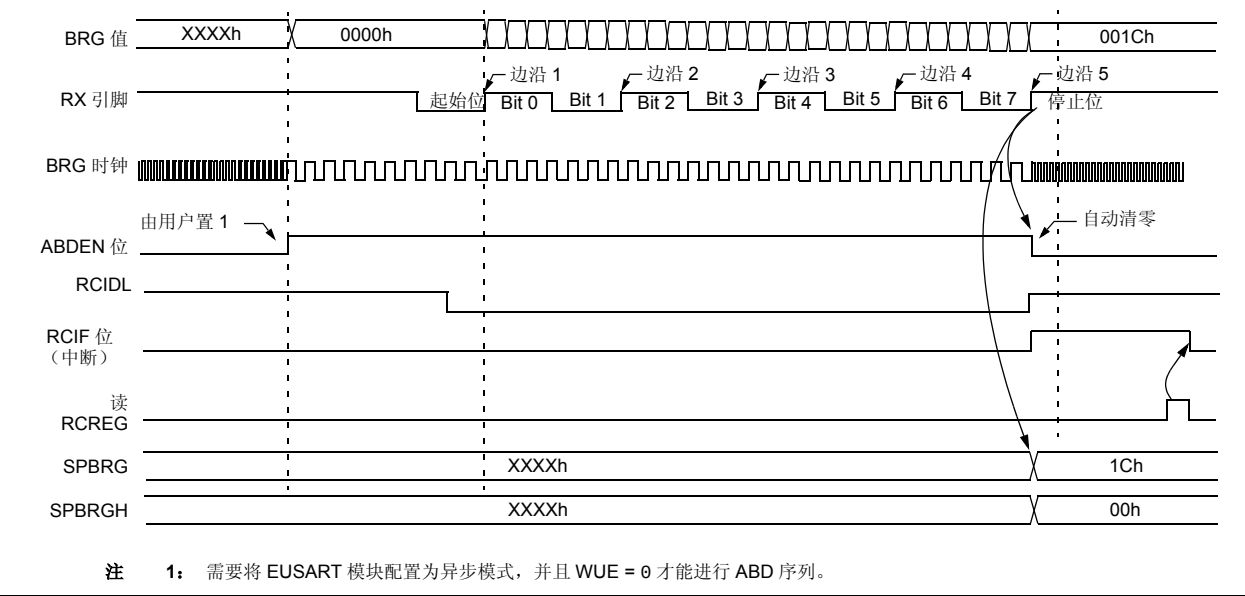
表 12-4: BRG 计数器时钟速率

BRG16	BRGH	BRG 计数器时钟
0	0	Fosc/512
0	1	Fosc/128
1	0	Fosc/128
1	1	Fosc/32

注：在 ABD 序列中，不管 BRG16 如何设置，SPBRG 和 SPBRGH 都被用作 16 位计数器。

PIC16F685/687/689/690

图 12-1: 自动波特率计算



12.3 EUSART 异步模式

通过将 SYNC 位 (TXSTA<4>) 清零可选择异步工作模式。在此模式下, EUSART 使用标准的不归零 (non-return-to-zero, NRZ) 格式 (1 个起始位、8 个或 9 个数据位和 1 个停止位)。最常用的数据格式为 8 位。片上专用 8 位/16 位波特率发生器可用于从振荡器产生标准波特率频率。

EUSART 首先发送和接收 LSb。EUSART 的发送器和接收器独立工作, 但使用相同的数据格式和波特率。根据 BRGH 和 BRG16 位 (TXSTA<2> 和 BAUDCTL<3>) 的设置情况, 波特率发生器会产生一个 16 倍频或 64 倍频移位速率的时钟信号。硬件不支持奇偶校验, 但可以用软件实现, 校验位保存在第 9 个数据位中。

所有时候都可以使用异步模式。但在休眠模式下, 只有使能了“同步间隔自动唤醒”时才能使用异步模式。如果时钟发生改变, 则可能需要调整波特率发生器的值。

当工作在异步模式下时, EUSART 模块包括以下重要组成部分:

- 波特率发生器
- 采样电路
- 异步发送器
- 异步接收器
- 接收到同步间隔字符时自动唤醒
- 13 位间隔字符发送
- 自动波特率检测

12.3.1 EUSART 异步发送器

图 12-2 所示为 EUSART 发送器框图。发送器的核心是发送 (串行) 移位寄存器 (Transmit Shift Register, TSR)。移位寄存器从读/写发送缓冲器 TXREG 获取数据。TXREG 寄存器要用软件装入数据。在前一次装入数据的停止位发送前, 不会向 TSR 寄存器装入数据。一旦发送了停止位, 就会将 TXREG 寄存器的新数据 (如果有) 装入 TSR。

TXREG 寄存器向 TSR 寄存器传输数据后 (在 1 个 Tcy 内发生), TXREG 寄存器为空, 同时标志位 TXIF (PIR1<4>) 置 1。通过将使能位 TXIE (PIE1<4>) 置 1/ 清零来使能 / 禁止该中断。不管使能位 TXIE 的状态如何, 标志位 TXIF 都将置 1 并且不能用软件清零。在加载发送缓冲寄存器 TXREG 时, 标志位 TXIF 不会立即清零。TXIF 在装入指令后的第 2 个指令周期生效。在装入 TXREG 后立即查询 TXIF, 会得到无效结果。

标志位 TXIF 表示的是 TXREG 寄存器的状态, 而另一个位 TRMT (TXSTA<1>) 则表示 TSR 寄存器的状态。状态位 TRMT 是只读位, 当 TSR 寄存器为空时被置 1。因为没有与此位关联的中断逻辑, 所以用户必须查询此位以判断 TRMT 寄存器是否为空。

- 注 1:** TSR 寄存器不映射到数据存储器, 因此用户无法使用它。
- 2:** 当使能位 TXEN 置 1 时, 标志位 TXIF 置 1。

要建立异步发送:

1. 用适当的波特率初始化 SPBRGH:SPBRG 寄存器。按需要将 BRGH 和 BRG16 位置 1 或清零, 以获得所需的波特率。
2. 通过将 SYNC 位清零并将 SPEN 位置 1, 使能异步串行口。
3. 如果需要中断, 将使能位 TXIE 置 1。
4. 如果需要 9 位发送, 将发送位 TX9 置 1。可以作为地址 / 数据位使用。
5. 通过将 TXEN 位置 1 使能发送, 此操作同时也会将 TXIF 位置 1。
6. 如果选择了 9 位发送, 应该将第 9 位装入 TX9D 位。
7. 将数据装入 TXREG 寄存器 (开始发送)。

如果使用中断, 应确保 INTCON 寄存器中的 GIE 和 PEIE 位 (INTCON<7:6>) 已置 1。

PIC16F685/687/689/690

图 12-2: EUSART 发送框图

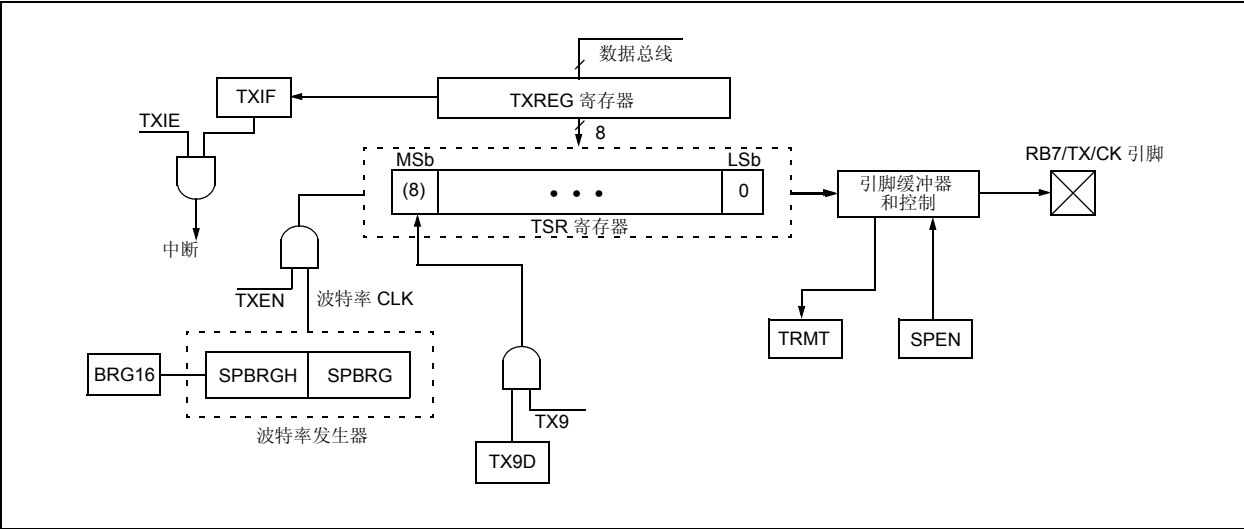


图 12-3: 异步发送

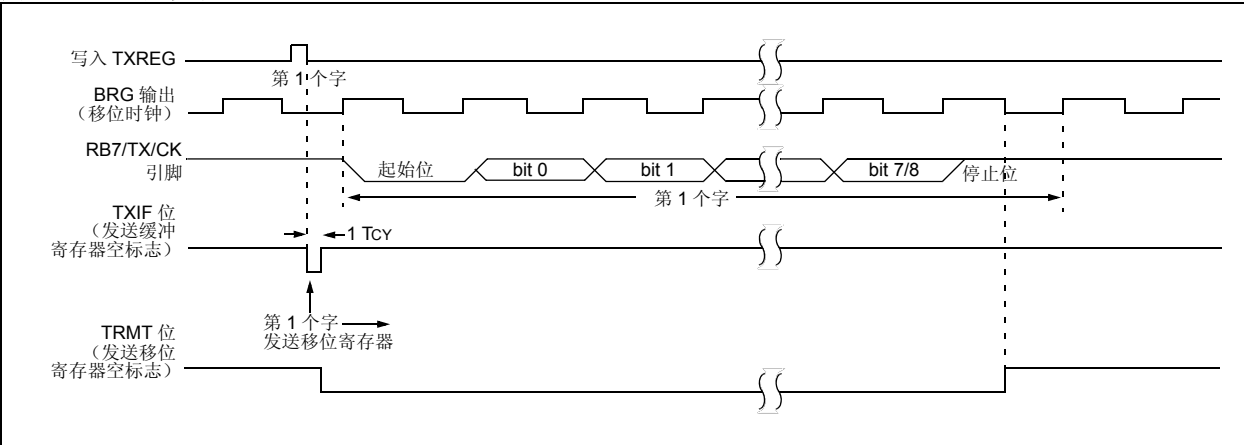
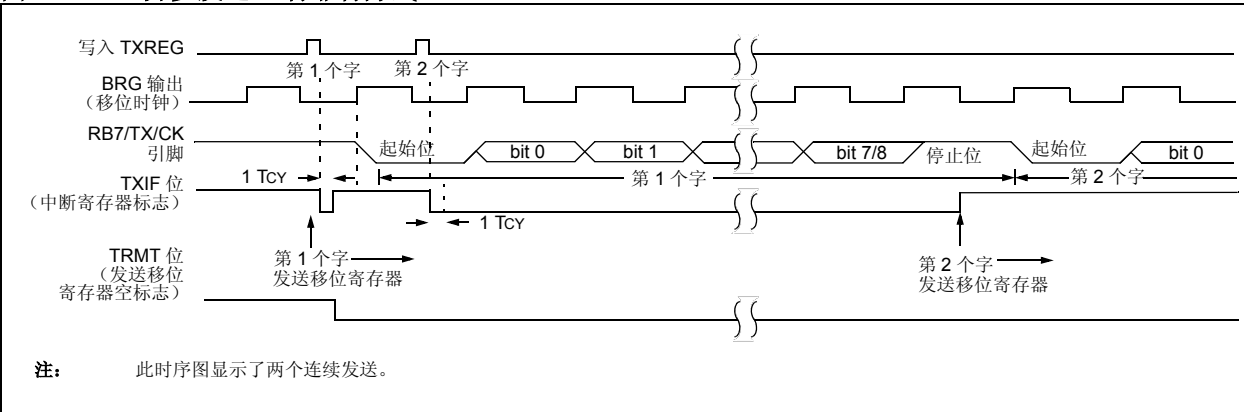


图 12-4: 异步发送（背靠背方式）



PIC16F685/687/689/690

表 12-5: 与异步发送相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000X	0000 000X
19h	TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
1Ah	RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	SENB	BRGH	TRMT	TX9D	0000 0010	0000 0010
99h	SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
9Ah	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
9Bh	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00

图注: x = 未知, - = 未用的存储单元, 读为 0。异步发送不使用阴影单元。

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

PIC16F685/687/689/690

12.3.2 EUSART 异步接收器

图 12-5 显示了接收器框图。数据在 RB5/AN11/RX/DT 引脚接收，并驱动数据恢复电路。数据恢复电路实际上是一个高速移位器，工作在波特率的 16 倍频下，而主接收串行移位器工作在比特率或 F_{osc} 下。此模式通常用于 RS-232 系统。

要建立异步接收：

1. 用适当的波特率初始化 SPBRGH:SPBRG 寄存器。按需要将 BRGH 和 BRG16 位置 1 或清零，以获得所需的波特率。
2. 通过将 SYNC 位清零并将 SPEN 位置 1，使能异步串行口。
3. 如果需要中断，将使能位 RCIE 置 1。
4. 如果需要 9 位接收，将 RX9 位置 1。
5. 通过将 CREN 位置 1 使能接收。
6. 当接收完成时标志位 RCIF 将置 1，并且如果使能位 RCIE 置 1，会产生一个中断。
7. 读 RCSTA 寄存器以获取第 9 位（如果使能），并判断在接收过程中是否发生了错误。
8. 通过读 RCREG 寄存器来读取 8 位接收数据。
9. 如果发生错误，通过将使能位 CREN 清零来清除错误。
10. 如果使用中断，应确保 INTCON 寄存器中的 GIE 和 PEIE 位（INTCON<7:6>）已置 1。

12.3.3 建立带地址检测的 9 位模式

此模式通常用于 RS-485 系统。要建立使能地址检测的异步接收：

1. 用适当的波特率初始化 SPBRGH:SPBRG 寄存器。按需要将 BRGH 和 BRG16 位置 1 或清零，以获得所需的波特率。
2. 通过将 SYNC 位清零并将 SPEN 位置 1，使能异步串行口。
3. 如果需要中断，将 RCEN 位置 1 并用 RCIP 位选择所需得优先级别。
4. 将 RX9 位置 1，使能 9 位接收。
5. 将 ADDEN 位置 1，使能地址检测。
6. 将 CREN 位置 1，使能接收。
7. 接收完成时 RCIF 位会置 1。如果 RCIE 和 GIE 位置 1，则将应答中断。
8. 读 RCSTA 寄存器和数据的第 9 位（如适用）以确定接收时是否发生了错误。
9. 读 RCREG 以确定是否正在寻址该器件。
10. 如果发生错误，将 CREN 位清零。
11. 如果已寻址到器件，将 ADDEN 位清零，允许所有的接收数据进入接收缓冲器并中断 CPU。

图 12-5: EUSART 接收框图

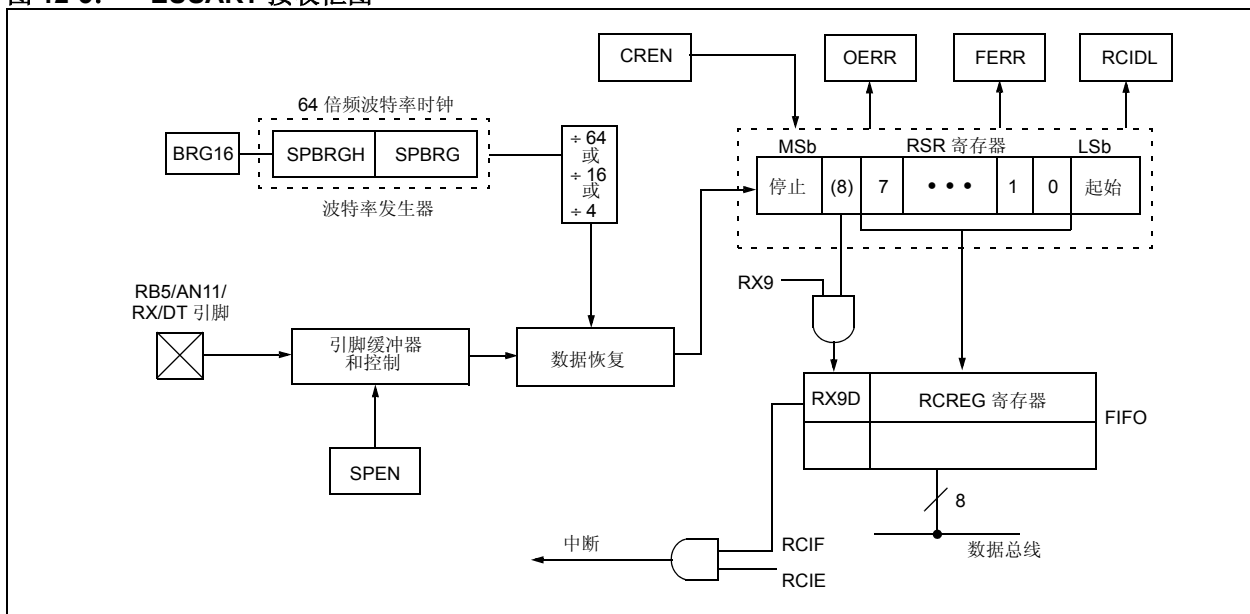


图 12-6： 异步接收

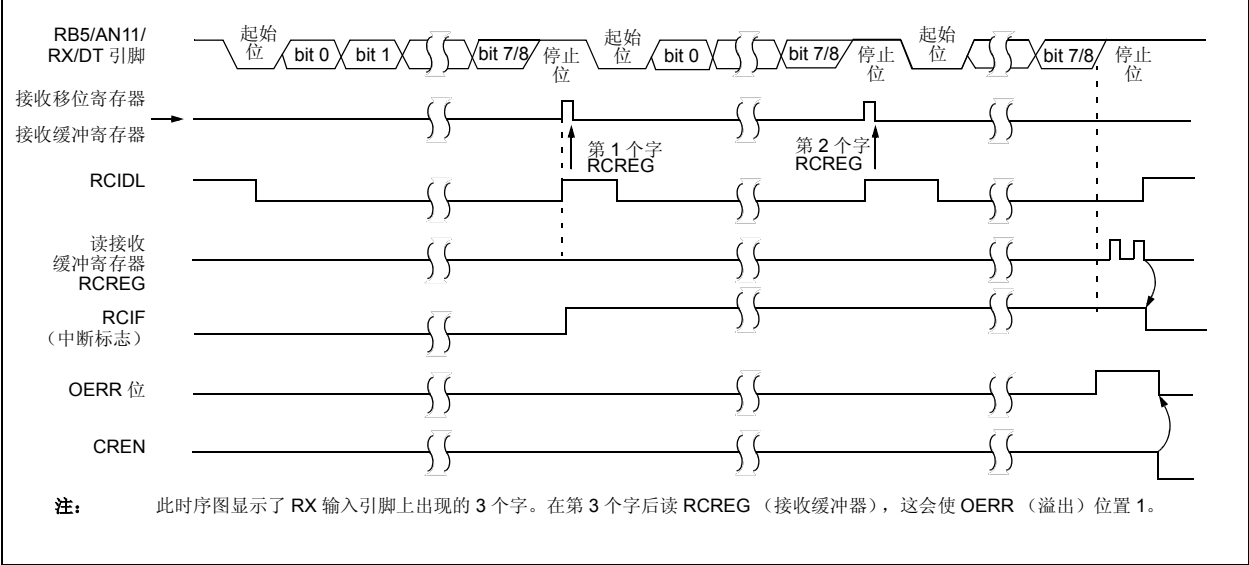


表 12-6： 与异步接收相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000X	0000 000X
19h	TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
1Ah	RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCPIE	TMR2IE	TMR1IE	-000 0000	-000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	SENB	BRGH	TRMT	TX9D	0000 0010	0000 0010
99h	SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
9Ah	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
9Bh	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00

图注： x = 未知，— = 未用的存储单元，读为 0。异步接收不使用阴影单元。

注 1： 仅限 PIC16F687/PIC16F689/PIC16F690。

12.3.4 在 RX 引脚下降沿自动唤醒

自动唤醒功能允许 RX/DT 线上的活动唤醒控制器，而不管波特率时钟是否关闭。通过只对直接请求作出响应，为通讯系统省电。

通过将 WUE 位（BAUDCTL<1>）置 1 可以使能自动唤醒功能。自动唤醒功能使能后，RX/DT 线上的下一个下降沿将触发 RCIF 中断。触发 RX/DT 下降沿后一旦出现上升沿信号，WUE 位就会自动清零。WUE 位置 1 后接收到 RCIF 中断，即发信号通知用户已发生唤醒事件。关于唤醒过程的时序详细信息，请参见图 12-7 和图 12-8。

12.3.4.1 使用自动唤醒的特别注意事项

自动唤醒功能是通过检测到上升沿信号执行的。为防止产生数据错误或帧错误，在波特率时钟稳定前，间隔后的数据应为全 0。如果使用 LP、XT 或 HS 振荡器，振荡器起振时间将影响接收有效数据前应用必须等待的时间。

间。在使用双速启动或故障保护时钟监视器时要特别注意，因为在主振荡器就绪前应用将从内部振荡器开始运行。

由于自动唤醒功能使用 RCIF 标志来表示唤醒事件，所以 WUE 位置 1 后 RCIF 标志置 1 时，应用应丢弃从 RCREG 读取的数据。

使能自动唤醒后进入休眠模式时，应该使用以下步骤。

1. 清零包括 RCIF 在内的所有中断标志。
2. 检查 RCIDL 以确保目前没有接收进行。
3. 没有在接收任何字符，可以将 WUE 位置 1。
4. 休眠。

图 12-7: 正常工作模式下的自动唤醒位（WUE）时序

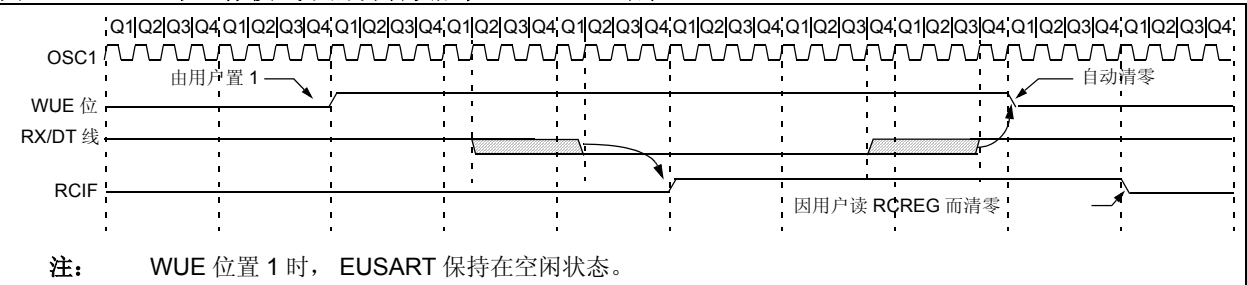
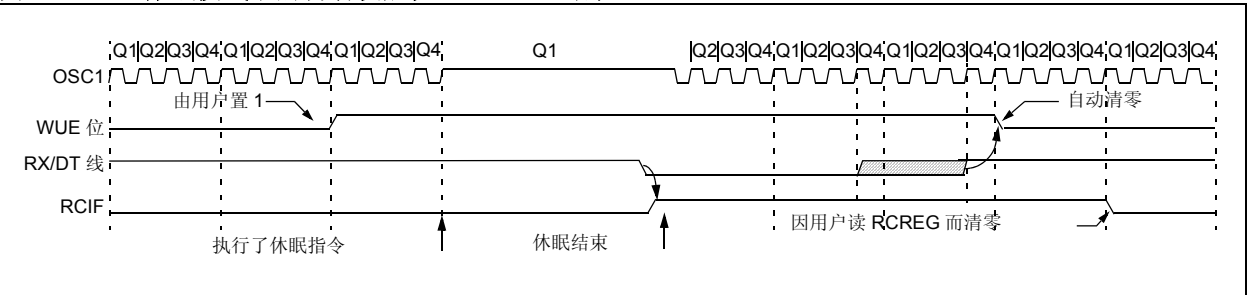


图 12-8: 休眠模式下的自动唤醒位（WUE）时序



12.3.5 间隔字符序列

EUSART 模块能够发送 LIN 总线标准所需的特殊间隔字符序列。发送的间隔字符包括 1 个起始位，后面跟有 12 个 0 位和 1 个停止位。当发送移位寄存器装入数据时，只要 SENB 和 TXEN 位 (TXSTA<3> 和 TXSTA<5>) 置 1，就会发送帧间隔字符。请注意写入 TXREG 的数据值会被忽略，并会发送全 0。

在发送了相应的停止位后，硬件会自动将 SENB 位复位。这样用户可以在间隔字符（在 LIN 规范中通常是同步字符）后预先将下一个要发送字节装入发送 FIFO 队列。

请注意间隔字符中写入 TXREG 的数据值会被忽略。写入仅仅是为了开始正确的序列。

TRMT 位表明发送处于活动还是空闲状态，这与正常发送模式相同。关于间隔字符的时序，请参见图 12-9。

12.3.5.1 间隔和同步发送序列

下述序列会发送一个报文帧头 (Header)，包括一个间隔字符和其后的一个自动波特率同步字节。此序列适用于典型的主 LIN 总线。

1. 将 EUSART 配置为所需的模式。
2. 将 TXEN 和 SENB 位置 1 以建立间隔字符。
3. 将无效字符装入 TXREG，开始发送（该值会被忽略）。
4. 将“55h”写入 TXREG，以便把同步字符装入发送 FIFO 缓冲器。
5. 间隔字符发送后，硬件会将 SENB 位复位。然后同步字符在预配置模式下开始发送。

当 TXIF 标识 TXREG 变空以后，下一个数据字节会写入 TXREG。

12.3.6 接收间隔字符

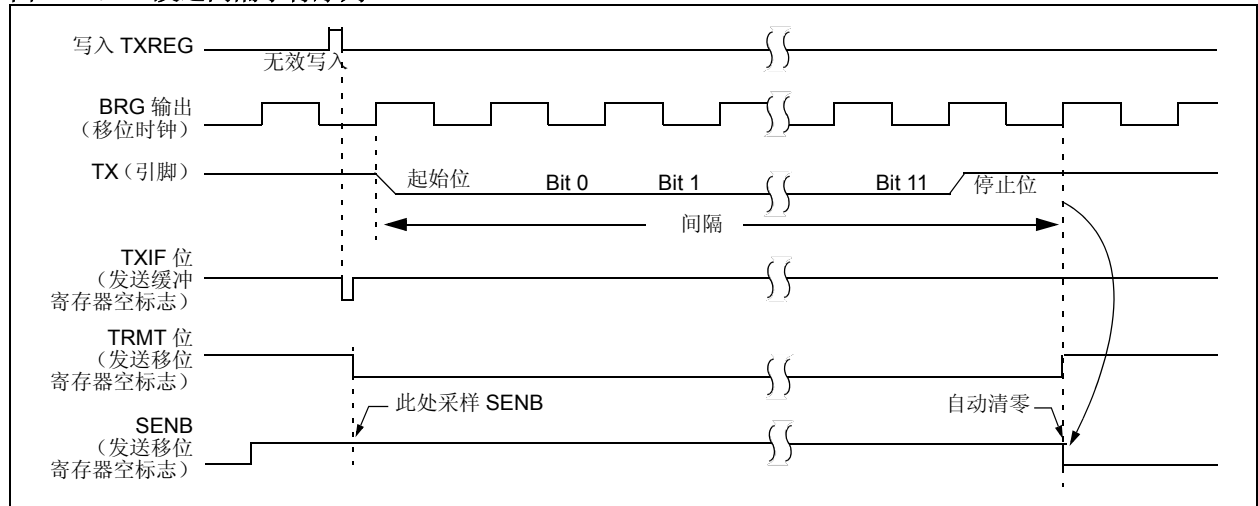
EUSART 模块接收间隔字符有两种方法。

第一种方法是强制将波特率配置为标准速度的 8/13。这可以使停止位在正确的采样点（间隔字符到起始位是 13 位，典型数据则是 8 个数据位）跳变。

第二种方法是使用第 12.3.4 节“在 RX 引脚下降沿自动唤醒”中描述的自动唤醒功能。通过使能此功能，EUSART 将采样 RX/DT 线的下两个发送信号，产生一个 RCIF 中断，并且接收下一个数据字节，之后再产生另一个中断。

请注意在间隔字符后，用户通常希望使能自动波特率检测功能。在这两种方法中，用户都可以在 EUSART 进入休眠模式前将 ABD 位置 1。

图 12-9: 发送间隔字符序列



12.4 EUSART 同步主控模式

将 CSRC 位 (TXSTA<7>) 置 1 可以进入同步主控模式。在此模式中, 数据以半双工方式发送 (即发送和接收不能同时进行)。发送数据时禁止接收, 反之亦然。将 SYNC 位 (TXSTA<4>) 置 1 可以进入同步模式。此外, 将使能位 SPEN (RCSTA<7>) 置 1, 会使 RB6/SCK/SCL 和 RB7/TX/CK 或 RB5/AN11/RX/DT I/O 引脚分别配置为 CK (时钟) 和 DT (数据) 线。

主控模式表示处理器在 CK 线发送主时钟。时钟极性是通过 SCKP 位 (BAUDCTL<4>) 进行选择的; 将 SCKP 置 1 使 CK 为高电平时进入空闲状态, 将该位清零则将空闲状态置为低电平。提供此选项是为了支持 Microwire 器件使用本模块。

12.4.1 EUSART 同步主控发送

图 12-2 所示为 EUSART 发送器框图。发送器的核心是发送 (串行) 移位寄存器 (TSR)。移位寄存器中的数据通过读/写发送缓冲寄存器 TXREG 获取。TXREG 寄存器要用软件装入数据。前一次装入的数据被发送完成后, 才会向 TSR 寄存器装入数据。一旦最后一位发送完成, 就会将 TXREG 寄存器的新数据 (如果有) 装入 TSR。

一旦 TXREG 寄存器向 TSR 寄存器传输了数据 (在 1 个 Tcycle 周期内发生), TXREG 寄存器就为空, 同时中断位 TXIF (PIR1<4>) 被置 1。通过将使能位 TXIE (PIE1<4>) 置 1/ 清零来使能 / 禁止该中断。不管使能位 TXIE 的状态如何, 标志位 TXIF 都会置 1 并且不能用软件清零。只有在 TXREG 寄存器装入了新数据后, 此位才会复位。

标志位 TXIF 表示 TXREG 寄存器的状态, 而另一位 TRMT (TXSTA<1>) 则表示 TSR 寄存器的状态。TRMT 位是只读位, 当 TSR 为空时被置 1。因为没有与此位关联的中断逻辑, 所以用户必须查询此位以判断 TSR 寄存器是否为空。TSR 不映射到数据存储, 因此用户无法使用它。

要建立同步主控发送:

1. 用适当的波特率初始化 SPBRGH:SPBRG 寄存器。按需要将 BRGH 和 BRG16 位置 1 或清零, 以获得所需的波特率。
2. 通过将 SYNC、SPEN 和 CSRC 位置 1, 使能同步主控串行口。
3. 如果需要中断, 将使能位 TXIE 置 1。
4. 如果需要 9 位发送, 将 TX9 位置 1。
5. 将 TXEN 位置 1 以使能发送。
6. 如果选择了 9 位发送, 应该将第 9 位装入 TX9D 位。
7. 将数据装入 TXREG 寄存器以开始发送。
8. 如果使用中断, 应确保 INTCON 寄存器中的 GIE 和 PEIE 位 (INTCON<7:6>) 已置 1。

图 12-10: 同步发送

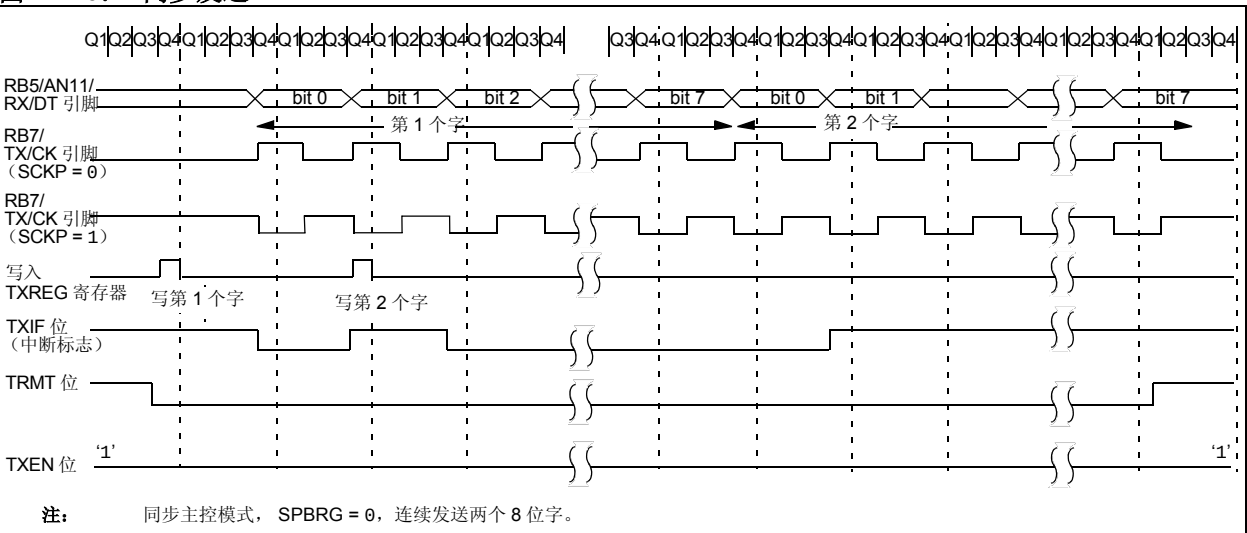


图 12-11： 同步发送（通过 TXEN）

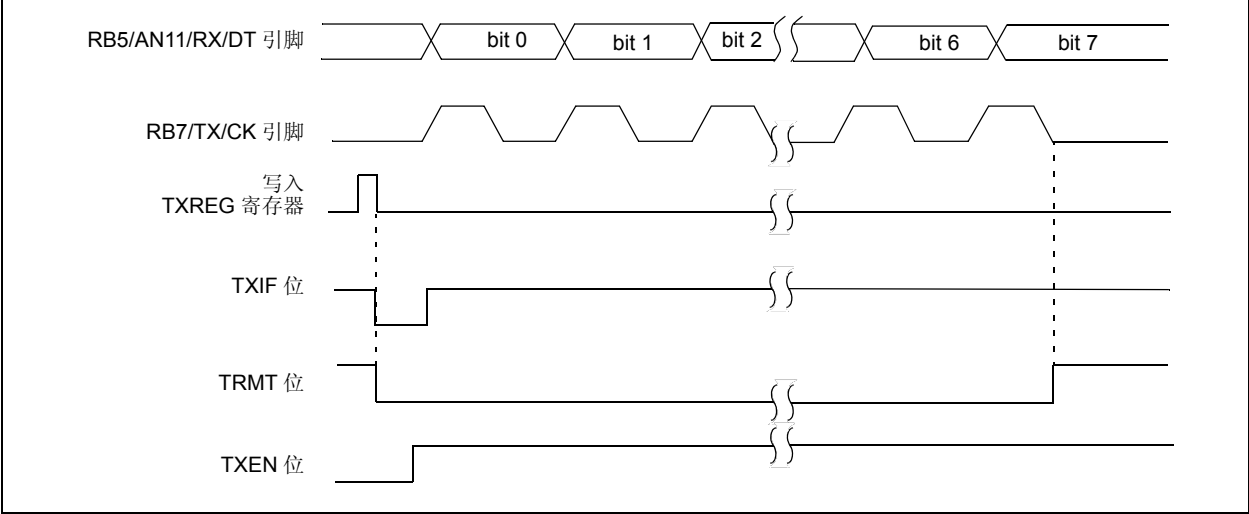


表 12-7： 与同步主控发送相关的寄存器 (1)

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000X	0000 000X
19h	TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
1Ah	RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCPIE	TMR2IE	TMR1IE	-000 0000	-000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	SENB	BRGH	TRMT	TX9D	0000 0010	0000 0010
99h	SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
9Ah	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
9Bh	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00

图注： x = 未知， - = 未用的存储单元，读为 0。异步接收不使用阴影单元。

注 1： 仅限 PIC16F687/PIC16F689/PIC16F690。

12.4.2 EUSART 同步主控接收

选择了同步模式后，通过将单字接收使能位 **SREN** (**RCSTA<5>**) 或连续接收使能位 **CREN** (**RCSTA<4>**) 置 1，可启用接收。在时钟下降沿会对 **RB5/AN11/RX/DT** 引脚上的数据采样。

如果使能位 **SREN** 置 1，则只接收单个字。如果使能位 **CREN** 置 1，在 **CREN** 清零前会连续接收数据。如果两个位均被置 1，则 **CREN** 优先。

要建立同步主控接收：

1. 用适当的波特率初始化 **SPBRGH:SPBRG** 寄存器。按需要，将 **BRGH** 和 **BRG16** 位置 1 或清零，以获得所需的波特率。
2. 通过将 **SYNC**、**SPEN** 和 **CSRC** 位置 1，使能同步主控串行口。

3. 确保将 **CREN** 和 **SREN** 位清零。
4. 如果需要中断，将使能位 **RCIE** 置 1。
5. 如果需要 9 位接收，将 **RX9** 位置 1。
6. 如果需要单字节接收，将 **SREN** 位置 1。如果需要连续接收，将 **CREN** 位置 1。
7. 当接收完成时，中断标志 **RCIF** 位将置 1，并且如果使能位 **RCIE** 置 1，会产生一个中断。
8. 读 **RCSTA** 寄存器以获取第 9 位（如果使能），并判断在接收过程中是否发生了错误。
9. 读 **RCREG** 寄存器来读取 8 位接收数据。
10. 如果发生错误，将 **CREN** 位清零以清除错误。
11. 如果使用中断，应确保 **INTCON** 寄存器中的 **GIE** 和 **PEIE** 位 (**INTCON<7:6>**) 已置 1。

图 12-12: 同步接收（主控模式，**SREN**）

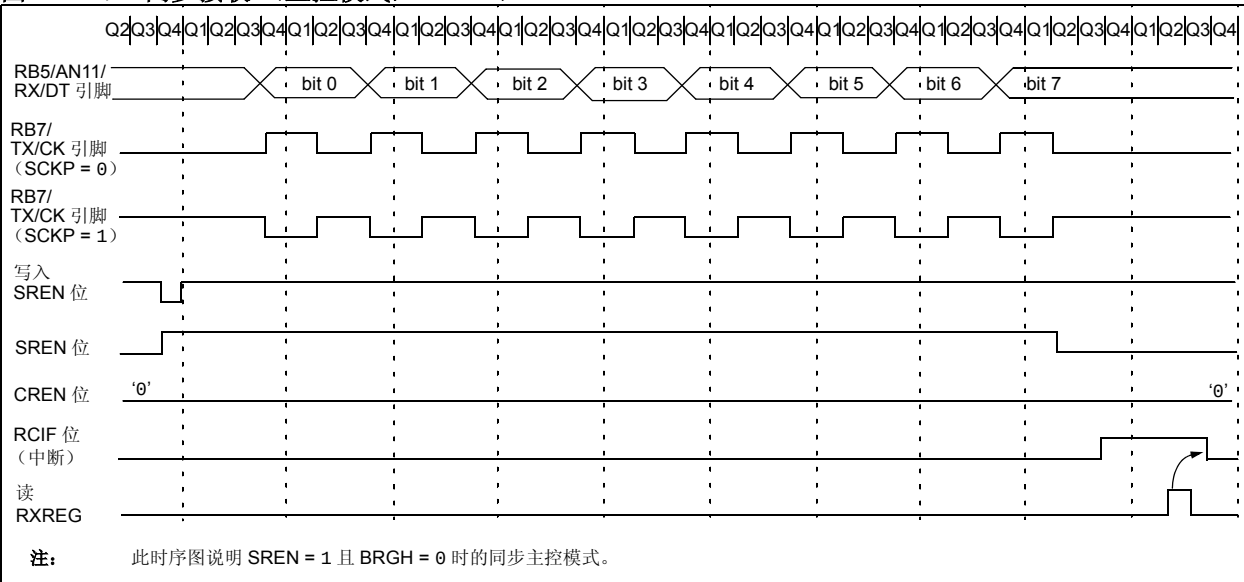


表 12-8: 与同步主控接收相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000X	0000 000X
19h	TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
1Ah	RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCPIE	TMR2IE	TMR1IE	-000 0000	-000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	SENB	BRGH	TRMT	TX9D	0000 0010	0000 0010
99h	SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
9Ah	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
9Bh	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00

图注: x = 未知, - = 未用的存储单元, 读为 0。异步接收不使用阴影单元。

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

PIC16F685/687/689/690

12.5 EUSART 同步从动模式

将 CSRC 位 (TXSTA<7>) 清零可以进入同步从动模式。此模式与同步主控模式的区别在于移位时钟是由 RB7/TX/CK 引脚的外部时钟提供的 (在主动模式中是由内部提供的)。这使器件可以在任何低功耗模式下发送或接收数据。

12.5.1 EUSART 同步从动发送

除了休眠模式以外，同步主动模式和从动模式的工作原理是相同的。

如果向 TXREG 写 2 个字，然后执行 SLEEP 指令，则会发生以下事件：

- 第一个字立即传输到 TSR 寄存器。
- 第二个字仍留在 TXREG 寄存器。
- 不会将标志位 TXIF 置 1。
- 当第一个字移出 TSR 后，TXREG 寄存器将第二个字发送到 TSR，然后将标志位 TXIF 置 1。
- 如果中断允许位 TXIE 置 1，中断将芯片从休眠状态唤醒。如果使能全局中断，程序会转移到中断向量。

要建立同步从动发送：

1. 通过将 SYNC 和 SPEN 位置 1 并将 CSRC 位清零，使能同步从动串行口。
2. 将 CREN 和 SREN 位清零。
3. 如果需要中断，将使能位 TXIE 置 1。
4. 如果需要 9 位发送，将 TX9 位置 1。
5. 将使能位 TXEN 置 1 以使能发送。
6. 如果选择了 9 位发送，应该将第 9 位装入 TX9D 位。
7. 将数据装入 TXREG 寄存器。
8. TXREG 数据将被同步发送到主时钟。
9. 如果使用中断，应确保 INTCON 寄存器中的 GIE 和 PEIE 位 (INTCON<7:6>) 已置 1。

表 12-9: 与同步从动发送相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000X	0000 000X
19h	TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
1Ah	RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCPIE	TMR2IE	TMR1IE	-000 0000	-000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	SENB	BRGH	TRMT	TX9D	0000 0010	0000 0010
99h	SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
9Ah	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
9Bh	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00

图注： x = 未知，— = 未用的存储单元，读为 0。异步接收不使用阴影单元。

注 1： 仅限 PIC16F687/PIC16F689/PIC16F690。

12.5.2 EUSART 同步从动接收

除了休眠模式、任何空闲模式和 SREN 位（在从动模式下被忽略）外，同步主控模式和从动模式的工作原理是相同的。

如果在进入休眠或任何空闲模式前将 CREN 位置 1 以使能接收，则可接收到一个字。接收到该字后，RSR 寄存器将把数据发送到 RCREG 寄存器，如果使能位 RCIE 置 1，产生的中断将把芯片从休眠模式唤醒。如果使能全局中断，程序会转移到中断向量。

要建立同步从动接收：

1. 通过将 SYNC 和 SPEN 位置 1 并将 CSRC 位清零，使能同步从动串行口。
2. 如果需要中断，将使能位 RCIE 置 1。
3. 如果需要 9 位接收，将 RX9 位置 1。
4. 将使能位 CREN 置 1 以使能接收。
5. 接收完成时标志位 RCIF 被置 1。如果中断允许位 RCIE 置 1，会产生一个中断。
6. 读 RCSTA 寄存器以获取第 9 位（如果使能），并判断在接收过程中是否发生了错误。
7. 读 RCREG 寄存器来读取 8 位接收数据。
8. 如果发生错误，将 CREN 位清零以清除错误。
9. 如果使用中断，应确保 INTCON 寄存器中的 GIE 和 PEIE 位（INTCON<7:6>）已置 1。

表 12-10：与同步从动接收相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000X	0000 000X
19h	TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
1Ah	RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCPIE	TMR2IE	TMR1IE	-000 0000	-000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	SENB	BRGH	TRMT	TX9D	0000 0010	0000 0010
99h	SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
9Ah	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
9Bh	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00

图注：x = 未知，- = 未用的存储单元，读为 0。异步接收不使用阴影单元。

注 1： 仅限 PIC16F687/PIC16F689/PIC16F690。

PIC16F685/687/689/690

注:

13.0 SSP 模块概述

同步串行口（SSP）模块是用于同其他外设或单片机器件进行通讯的串行接口。这些外设器件可能是串行 EEPROM、移位寄存器、显示驱动器或 A/D 转换器等。SSP 模块有下列两种工作模式：

- 串行外设接口（Serial Peripheral Interface, SPI）
- 内部集成电路（Inter-Integrated Circuit, I²C™）

请参见应用笔记 AN578, “Use of the SSP Module in the Multi-Master Environment” (DS00578)。

13.1 SPI 模式

本节包含寄存器定义和 SPI 模块的工作特性。

SPI 模式允许同时同步发送和接收 8 位数据。通常使用以下 3 个引脚来实现通讯：

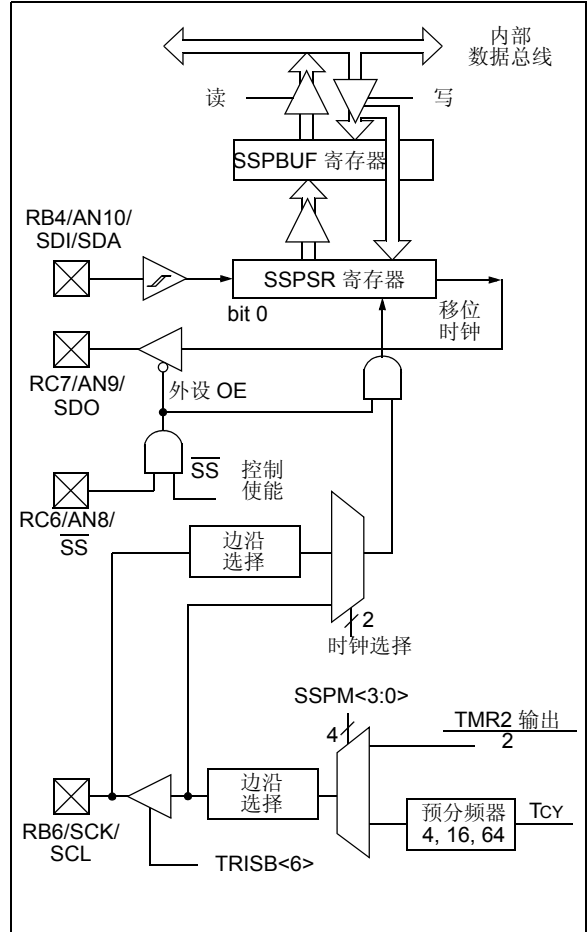
- 串行数据输出（Serial Data Out, SDO）—— RC7/AN9/SDO
- 串行数据输入（Serial Data In, SDI）—— RB4/AN10/SDI/SDA
- 串行时钟（Serial Clock, SCK）—— RB6/SCK/SCL

此外，当处于从动工作模式时要使用第 4 个引脚：

- 从动选择（Slave Select, $\overline{SS}$ ）—— RC6/AN8/ $\overline{SS}$

- 注 1：** 当 SPI 处于从动模式且 $\overline{SS}$ 引脚控制使能（SSPCON<3:0> = 0100）时，如果 $\overline{SS}$ 引脚设置为 VDD，SPI 模块将会复位。
- 2：** 如果 SPI 用于从动模式且 CKE = 1，则必须使能 $\overline{SS}$ 引脚控制。
- 3：** 当 SPI 处于从动模式且 $\overline{SS}$ 引脚控制使能（SSPCON<3:0> = 0100）时， $\overline{SS}$ 引脚的状态可能会影响从 TRISC<4> 位读取的状态。从 SSP 模块向 PORTC 发送的外设 OE 信号控制从 TRISC<4> 位读取的状态（关于 PORTC 的信息，请参见第 17.0 节“电气特性”）。如果对 TRISC 寄存器执行读—修改—写指令（例如 BSF），而 $\overline{SS}$ 引脚处于高电平，这将使 TRISC<7> 位被置 1，从而禁止 SDO 输出。

图 13-1: SSP 框图（SPI 模式）



PIC16F685/687/689/690

寄存器 13-1: **SSPSTAT**——同步串行口状态寄存器⁽¹⁾ (地址: 94h)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/A	P	S	R/W	UA	BF
bit 7							bit 0

bit 7	SMP: SPI 数据输入采样相位位 <u>SPI 主控模式:</u> 1 = 在数据输出结束时采样输入数据 0 = 在数据输出中间时采样输入数据 (Microwire) <u>SPI 从动模式:</u> 当 SPI 用于从动模式时, 必须将 SMP 清零 <u>I²C™ 模式:</u> 该位必须保持清零
bit 6	CKE: SPI 时钟边沿选择位 <u>SPI 模式, CKP = 0:</u> 1 = 在 SCK 的上升沿发送数据 (Microwire 备选) 0 = 在 SCK 的下降沿发送数据 <u>SPI 模式, CKP = 1:</u> 1 = 在 SCK 的下降沿发送数据 (Microwire 缺省) 0 = 在 SCK 的上升沿发送数据 <u>I²C 模式:</u> 该位必须保持清零
bit 5	D/A: 数据 / 地址位 (仅 I²C 模式) 1 = 表示接收或发送的最后字节是数据 0 = 表示接收或发送的最后字节是地址
bit 4	P: 停止位 (仅 I²C 模式) 当 SSP 模块禁止或最后检测到起始位时, 该位会清零。 SSPEN 清零。 1 = 表示最后检测到了停止位 (该位在复位时为 0) 0 = 最后没有检测到停止位
bit 3	S: 起始位 (仅 I²C 模式) 当 SSP 模块禁止或最后检测到停止位时, 该位会清零。 SSPEN 清零。 1 = 表示最后检测到了起始位 (该位在复位时为 0) 0 = 最后没有检测到起始位
bit 2	R/W: 读 / 写位信息 (仅 I²C 模式) 该位保存最后一个地址匹配后的 R/W 位信息。该位仅在地址匹配到下一个起始位、停止位或 <u>ACK</u> 位之间有效。 1 = 读 0 = 写
bit 1	UA: 更新地址位 (仅 10 位 I²C 模式) 1 = 表示用户需要更新 SSPADD 寄存器中的地址 0 = 不需要更新地址
bit 0	BF: 缓冲器满状态位 <u>接收 (SPI 和 I²C 模式):</u> 1 = 接收完成, SSPBUF 满 0 = 接收未完成, SSPBUF 空 <u>发送 (仅 I²C 模式):</u> 1 = 正在发送, SSPBUF 满 0 = 发送完成, SSPBUF 空

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
-n = POR 值	1 = 置 1	0 = 清零
		x = 未知

寄存器 13-2: SSPCON——同步串行口控制寄存器⁽¹⁾ (地址: 14h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WCOL	SSPOV	SSPEN	CKP	SSPM3 ⁽²⁾	SSPM2 ⁽²⁾	SSPM1 ⁽²⁾	SSPM0 ⁽²⁾
bit 7							bit 0

- bit 7 **WCOL**: 写冲突检测位
 1 = 正在发送前一个字时对 SSPBUF 寄存器进行写操作 (必须用软件清零)
 0 = 无冲突
- bit 6 **SSPOV**: 接收溢出指示位
在 SPI 模式下:
 1 = SSPBUF 寄存器中仍保存原先的数据时, 接收到新字节。如果发生溢出, SSPSR 中的数据会丢失。仅在从动模式可能会发生溢出。即使只是发送数据, 用户也必须读 SSPBUF, 以避免将溢出位置 1。在主控模式下, 溢出位未置 1, 这是因为每个新接收 (和发送) 的字节都是通过写 SSPBUF 寄存器开始的。
 0 = 无溢出
在 I²C™ 模式下:
 1 = SSPBUF 寄存器中仍保存原先的字节时, 接收到新字节。在发送模式下 SSPOV 为“无关位”。两种模式下 SSPOV 都必须用软件清零。
 0 = 无溢出
- bit 5 **SSPEN**: 同步串行口使能位
在 SPI 模式下:
 1 = 使能串行口, 并将 SCK、SDO 和 SDI 配置为串行口引脚
 0 = 禁止串行口, 并将这些引脚配置为 I/O 端口引脚
在 I²C 模式下:
 1 = 使能串行口, 并将 SDA 和 SCL 引脚配置为串行口引脚
 0 = 禁止串行口, 并将这些引脚配置为 I/O 端口引脚
 在两种模式下, 当使能时, 这些引脚必须被正确配置为输入或输出引脚。
- bit 4 **CKP**: 时钟极性选择位
在 SPI 模式下:
 1 = 高电平为时钟的空闲状态 (Microwire 缺省)
 0 = 低电平为时钟的空闲状态 (Microwire 备选)
在 I²C 模式下:
SCK 释放控制
 1 = 使能时钟
 0 = 保持时钟低电平 (时钟延长)。(用于确保数据建立时间。)
- bit 3-0 **SSPM<3:0>**: 同步串行口模式选择位
 0000 = SPI 主控模式, 时钟 = Fosc/4
 0001 = SPI 主控模式, 时钟 = Fosc/16
 0010 = SPI 主控模式, 时钟 = Fosc/64
 0011 = SPI 主控模式, 时钟 = TMR2 输出 /2
 0100 = SPI 从动模式, 时钟 = SCK 引脚。使能 SS 引脚控制。
 0101 = SPI 从动模式, 时钟 = SCK 引脚。禁止 SS 引脚控制。SS 可用作 I/O 引脚。
 0110 = I²C 从动模式, 7 位地址
 0111 = I²C 从动模式, 10 位地址
 1000 = 保留
 1001 = 在 SSPADD SFR 地址处装入 SSPMSK 寄存器⁽²⁾
 1010 = 保留
 1011 = I²C 固件控制主控模式 (从单元空闲)
 1100 = 保留
 1101 = 保留
 1110 = I²C 从动模式, 7 位地址, 且起始位和停止位中断允许
 1111 = I²C 从动模式, 10 位地址, 且起始位和停止位中断允许

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

2: 选择该模式后, 对 SSPADD SFR 地址进行的任何读写操作实际上是访问 SSPMSK 寄存器。

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

PIC16F685/687/689/690

13.2 工作原理

初始化 SPI 时需要指定几个选项。这可以通过对相应的控制位（SSPCON<5:0> 和 SSPSTAT<7:6>）编程来实现。这些控制位可以指定下列模式：

- 主控模式（SCK 是时钟输出）
- 从动模式（SCK 是时钟输入）
- 时钟极性（SCK 的空闲状态）
- 数据输入采样相位（数据输出时间的中间或末尾）
- 时钟边沿（在 SCK 的上升沿 / 下降沿输出数据）
- 时钟速率（仅限主控模式）
- 从动选择模式（仅限从动模式）

SSP 由一个发送 / 接收移位寄存器（SSPSR）和一个缓冲寄存器（SSPBUF）组成。SSPSR 将数据移入移出器件，先移位 MSb。在新数据接收完毕前，SSPBUF 保存上次写入 SSPSR 的数据。一旦 8 位数据接收完毕，该字节就被移入 SSPBUF 寄存器。然后，缓冲器满状态位 BF（SSPSTAT<0>）和中断标志位 SSPIF 被置 1。对接收数据进行双缓冲（SSPBUF）允许在前一个数据被读走前接收新的数据。当 SSPBUF 寄存器正在发送 / 接收数据时，对它写入的任何数据都将被忽略，同时写冲突检测位 WCOL（SSPCON<7>）被置 1。用户软件必须将 WCOL 位清零以便检测 SSPBUF 寄存器随后的写入是否成功完成。

如果应用程序软件要接收有效数据，必须在下一次传输数据被写入 SSPBUF 前先读出其内容。缓冲器满检测位 BF（SSPSTAT<0>）用于指示 SSPBUF 何时接收完毕（发送完成）。读取 SSPBUF 时 BF 位被清零。如果 SPI 只是发送器，该数据就可能与 SPI 无关。一般来说，SSP 中断用于检测发送 / 接收何时完毕。SSPBUF 必须被读出和 / 或写入。如果不使用中断方式，可以使用软件查询方式确保不发生写冲突。例 13-1 显示了数据发送时如何装入 SSPBUF（SSPSR）。

SSPSR 不可直接读或写，只能通过寻址 SSPBUF 寄存器访问。此外，SSP 状态寄存器（SSPSTAT）用于指示各种状态。

例 13-1: 装入 SSPBUF（SSPSR）寄存器

	BSF	STATUS, RP0	;Bank 1
	BCF	STATUS, RP1	;
LOOP	BTFSS	SSPSTAT, BF	;Has data been received(transmit complete)?
	GOTO	LOOP	;No
	BCF	STATUS, RP0	;Bank 0
	MOVF	SSPBUF, W	;WREG reg = contents of SSPBUF
	MOVWF	RXDATA	;Save in user RAM, if data is meaningful
	MOVF	TXDATA, W	;W reg = contents of TXDATA
	MOVWF	SSPBUF	;New data to xmit

13.3 使能 SPI I/O

要使能串行口，SSP 使能位 SSPEN (SSPCON<5>) 必须置 1。要复位或重新配置 SPI 模式，先将 SSPEN 位清零，重新初始化 SSPCON 寄存器，然后再将 SSPEN 位置 1。这将使 SDI、SDO、SCK 和 $\overline{SS}$ 设置为串行口引脚。要使引脚实现串行口功能，有些引脚的数据方向位（在 TRISB 和 TRISC 寄存器中）必须进行正确编程如下：

- SDI 由 SPI 模块自动控制
- SDO 必须将 TRISC<7> 位清零
- SCK（主控模式）必须将 TRISB<6> 位清零
- SCK（从动模式）必须将 TRISB<6> 位置 1
- $\overline{SS}$ 必须将 TRISC<6> 位置 1

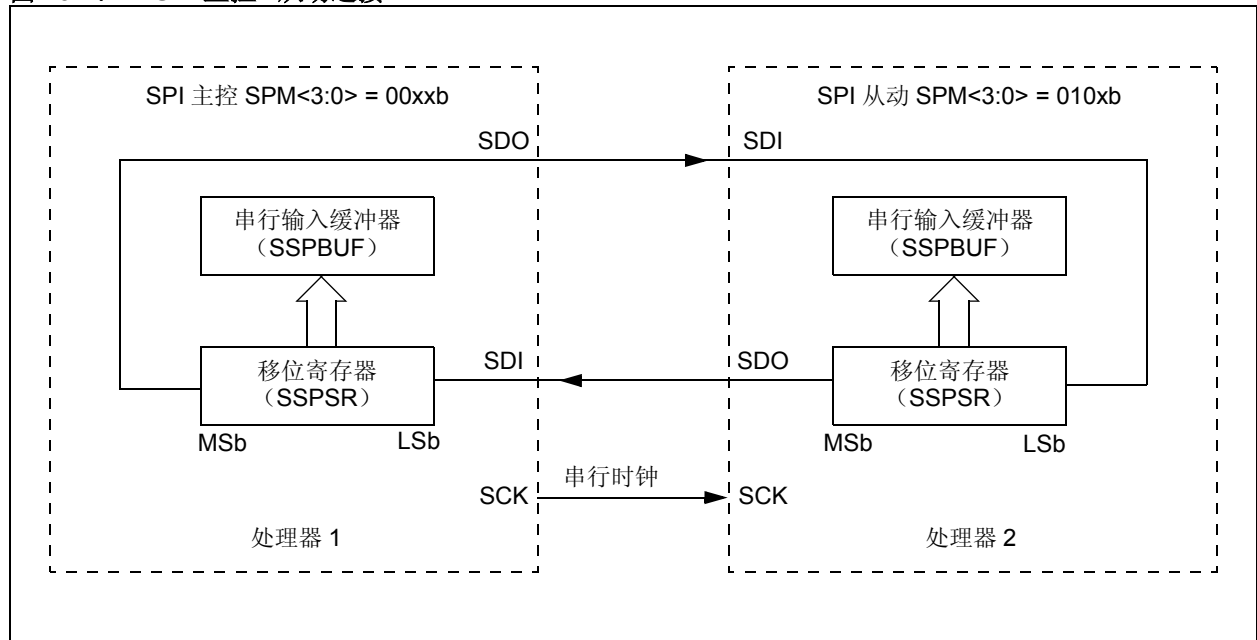
任何不需要的串行口功能均可通过将相应引脚数据方向（TRISB 和 TRISC）寄存器编程为相反的值进行覆盖。

13.4 典型连接

图 13-2 给出了两个单片机之间的典型连接。主单片机（处理器 1）通过发送 SCK 信号启动数据传输。数据在设置的时钟边沿从两个移位寄存器中移出，并在随后的相反时钟边沿锁存。两个处理器均应编程为相同的时钟极性（CKP），这样两个控制器就可以同时发送和接收数据。数据是否有意义（或无效数据（Dummy Data））取决于应用程序软件。数据发送有 3 种情况：

- 主机发送数据——从机发送无效数据
- 主机发送数据——从机发送数据
- 主机发送无效数据——从机发送数据

图 13-2: SPI 主控 / 从动连接



13.5 主控模式

主机控制着 SCK，因此可以在任何时候启动数据传输。通过软件协议主机可以决定从机（处理器 2，图 13-2）何时进行数据广播。

在主控模式下，SSPBUF 寄存器被写入后立即开始数据的发送 / 接收。如果 SPI 只将接收，可禁止 SDO 输出（设置为输入）。SSPSR 寄存器将继续将 SDI 引脚上的信号按照所编程的时钟速率移入。每接收一个字节，就把它装入 SSPBUF 寄存器，就像普通的接收字节一样（相应中断和状态位置 1）。这在接收器应用中的“线路主动监控”模式中是很有用的。

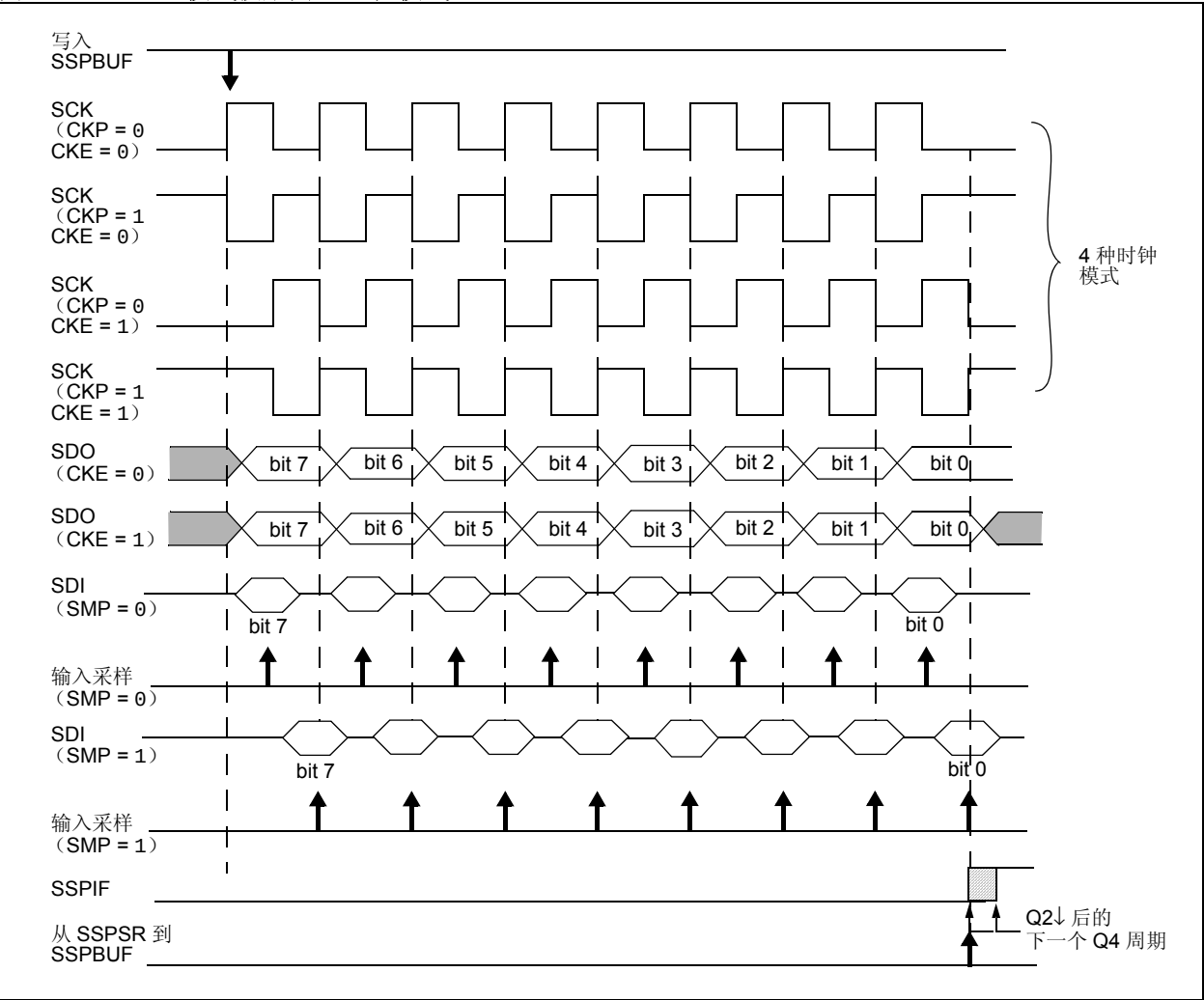
通过正确编程 CKP 位（SSPCON<4>）可以选择时钟极性。相应的 SPI 通讯波形图见图 13-3、图 13-5 和图 13-6，其中 MSB 最先发送。在主控模式下，SPI 时钟速率（位速率）可由用户编程为以下之一：

- $F_{osc}/4$ （或 T_{cy} ）
- $F_{osc}/16$ （或 $4 \cdot T_{cy}$ ）
- $F_{osc}/64$ （或 $16 \cdot T_{cy}$ ）
- Timer2 输出 /2

最大数据速率可达 10 Mbps（晶振为 40 MHz 时）。

图 13-3 给出了主控模式下的波形图。当 CKE 位置 1 时，在 SCK 上出现时钟边沿前 SDO 数据有效。输入采样位的变化取决于 SMP 位的状态。图中显示了 SSPBUF 何时载入接收数据的时间。

图 13-3: SPI 模式波形图（主控模式）



13.6 从动模式

在从动模式下，数据的发送和接收是在 **SCK** 上出现外部时钟脉冲开始的。当发送数据的最后一位被锁存时，中断标志位 **SSPIF** 被置 1。

在从动模式下，外部时钟是由 **SCK** 引脚上的外部时钟源提供的。该外部时钟必须满足电气特性说明书中所规定的最短高电平和低电平时间。

在休眠模式下，从机可以发送 / 接收数据。当接收到一个字节时，器件将从休眠状态唤醒。

13.7 从动选择同步

SS 引脚允许同步从动模式。要将 **SPI** 设置成从动模式，需要使能 **SS** 引脚控制 (**SSPCON<3:0> = 04h**)。要使 **SS** 引脚作为输入，不得将该引脚驱动为低电平。数据锁存器必须为高电平。当 **SS** 引脚为低电平时，使能数据的发送和接收，同时 **SDO** 引脚被驱动。当 **SS** 引脚变为

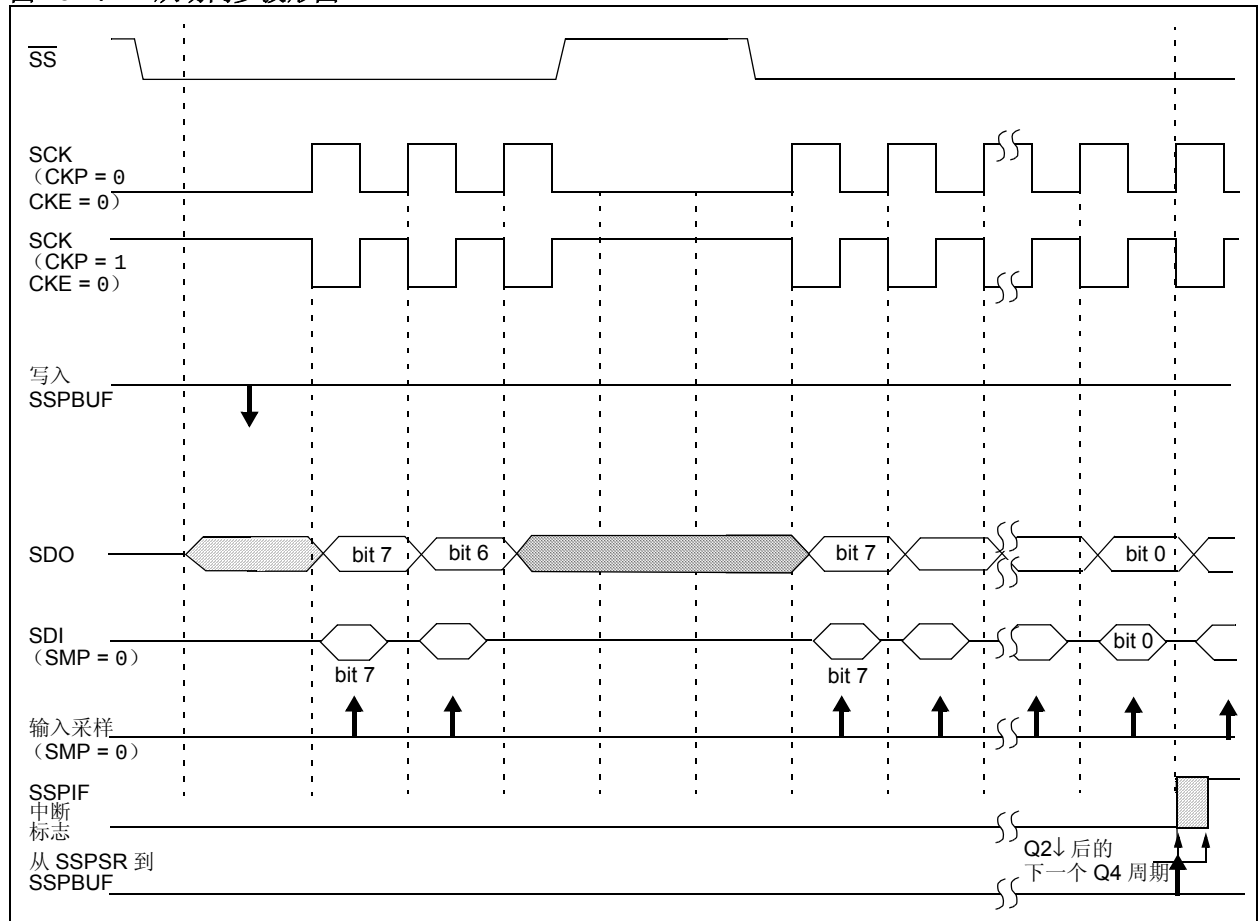
高电平时，即使是在字节的发送过程中，**SDO** 引脚也不再被驱动，而是变成悬空输出状态。根据应用需要，可外接上拉 / 下拉电阻。

- 注 1:** 当 **SPI** 处于从动模式且 **SS** 引脚控制使能 (**SSPCON<3:0> = 0100**) 时，如果 **SS** 引脚设置为 **VDD**，**SPI** 模块将会复位。
- 2:** 如果 **SPI** 用于从动模式且 **CKE** 置 1，则必须使能 **SS** 引脚控制。

SPI 模块复位时，位计数器将强制变为 0。这可通过强制 **SS** 引脚置高电平或清零 **SSPEN** 位来实现。

要仿真双线通讯，可将 **SDO** 引脚和 **SDI** 引脚相连。当 **SPI** 作为接收器工作时，可将 **SDO** 引脚设置为输入。这样就禁止了从 **SDO** 发送数据。可始终让 **SDI** 作为输入 (**SDI** 功能)，因为它不会引起总线冲突。

图 13-4: 从动同步波形图



PIC16F685/687/689/690

图 13-5: SPI 模式波形图 (从动模式且 CKE = 0)

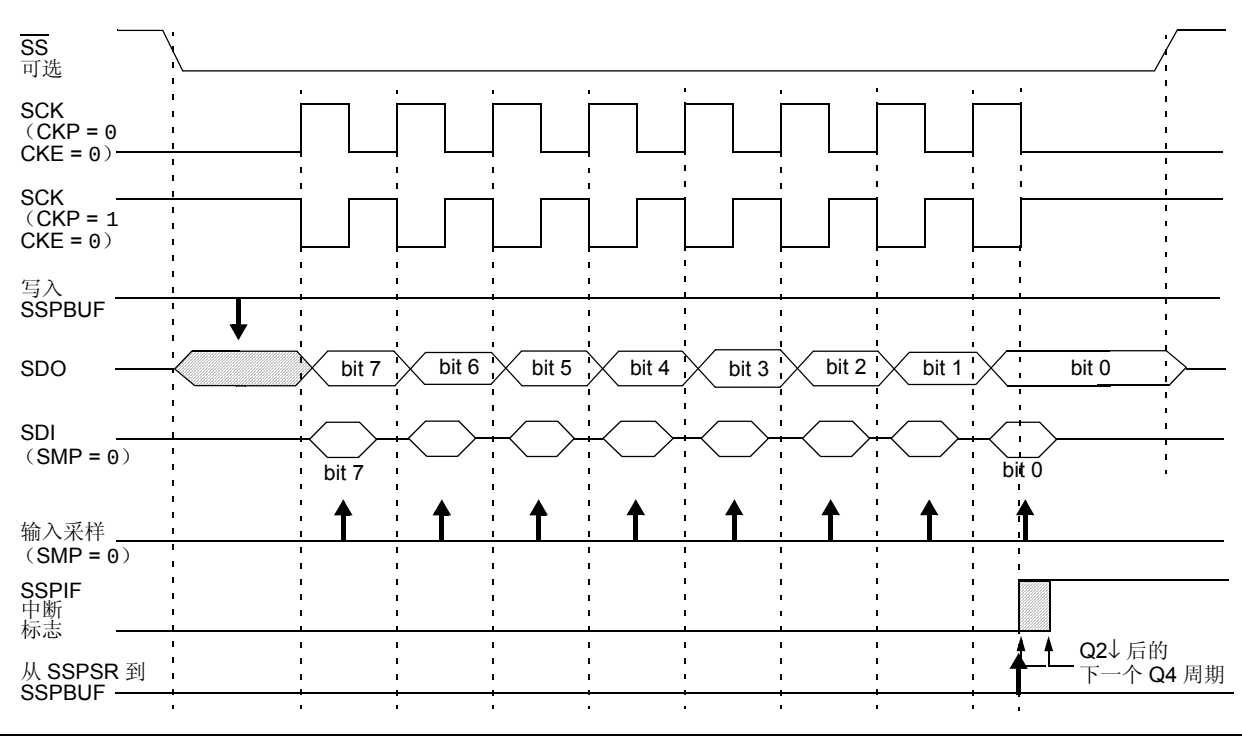
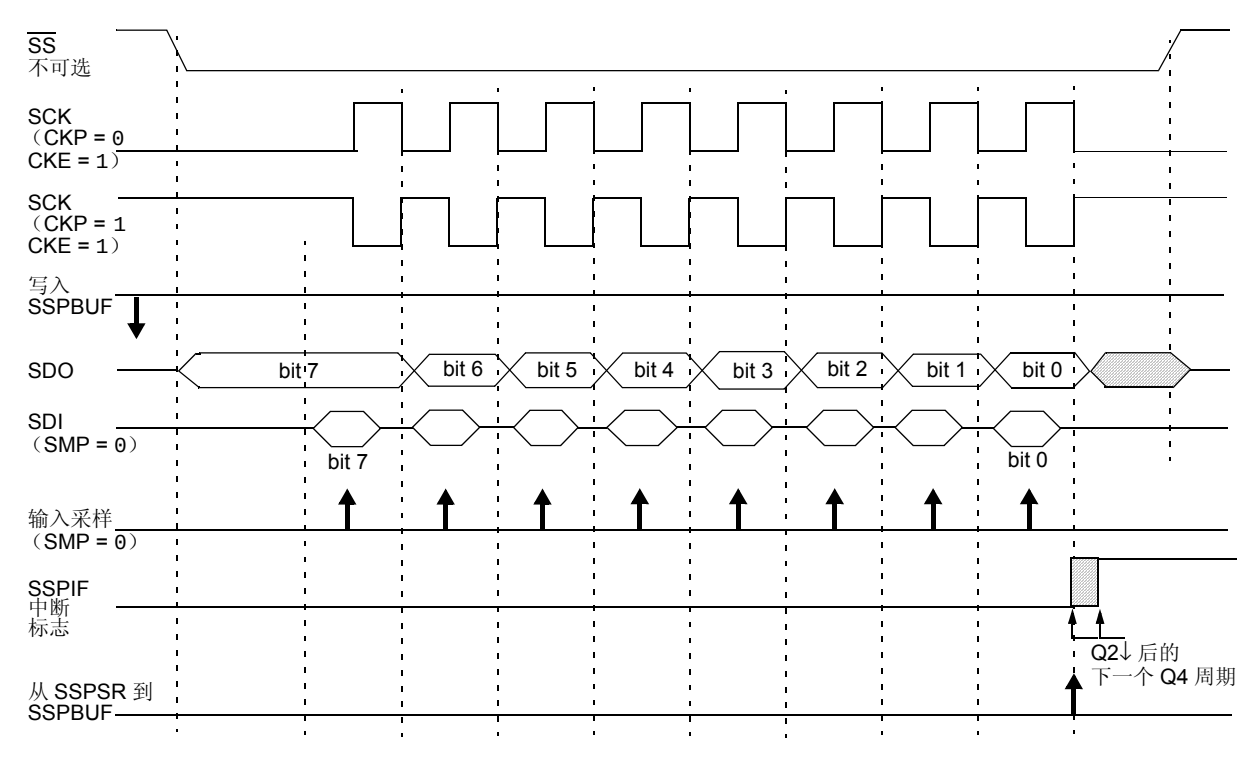


图 13-6: SPI 模式波形图 (从动模式且 CKE = 1)



13.8 休眠模式下的操作

在主动模式下，进入休眠模式后所有模块的时钟都停止，在器件被唤醒前，发送 / 接收也将保持原先的状态。器件恢复正常工作模式后，模块将继续发送 / 接收数据。

在从动模式下，SPI 发送 / 接收移位寄存器与器件异步工作。这可以使器件在休眠状态时，仍可将数据移入 SPI 发送 / 接收移位寄存器。当接收完 8 位数据后，SSP 中断标志位将置 1，如果此时该中断被使能，将从休眠状态唤醒器件。

13.9 复位的影响

复位会禁止 SSP 模块并终止当前的数据传输。

13.10 总线模式兼容性

表 13-1 显示了标准 SPI 模式与 CKP 和 CKE 控制位状态之间的兼容性。

表 13-1: SPI 总线模式

标准 SPI 模式术语	控制位状态	
	CKP	CKE
0, 0	0	1
0, 1	0	0
1, 0	1	1
1, 1	1	0

此外还有 SMP 位用于控制采样时间。

表 13-2: 与 SPI 操作相关的寄存器 (1)

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Bh/8Bh/10Bh/18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
13h	SSPBUF	同步串行口接收缓冲器 / 发送寄存器								xxxx xxxx	uuuu uuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
86h/186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
87h/187h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
94h	SSPSTAT	SMP	CKE	D/Ā	P	S	R/Ā	UA	BF	0000 0000	0000 0000

图注： x = 未知， u = 不变， - = 未用，读为 0。在 SPI 模式下，SSP 不使用阴影单元。

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

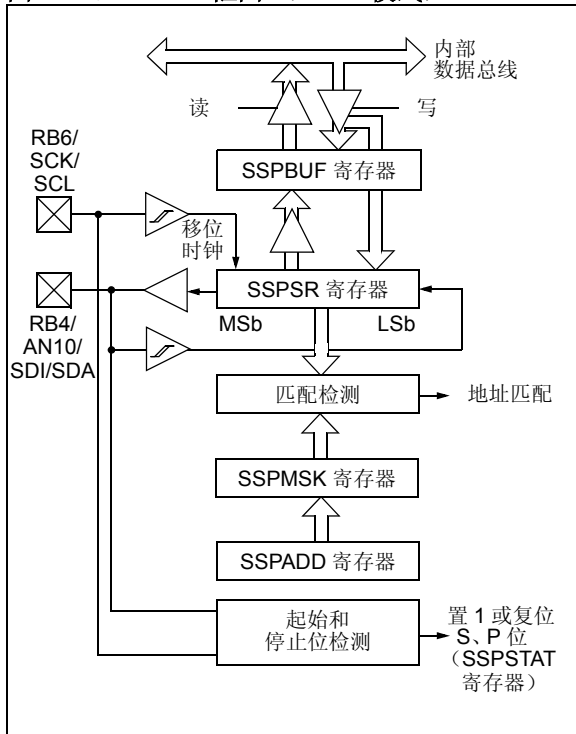
13.11 SSP I²C™ 工作原理

除了全局呼叫支持外，I²C 模式的 SSP 模块几乎完全实现了所有的从动功能，并提供了起始位和停止位的硬件中断，帮助固件实现主控功能。SSP 模块实现标准模式规范及 7 位和 10 位寻址。

数据传输使用了两个引脚。RB6/SCK/SCL 引脚作为时钟线（SCL），而 RB4/AN10/SDI/SDA 引脚作为数据线（SDA）。

通过将 SSP 使能位 SSPEN（SSPCON<5>）置 1，可以使能 SSP 模块的功能。

图 13-7: SSP 框图（I²C™ 模式）



SSP 模块有 6 个寄存器用于 I²C 工作。它们是：

- SSP 控制寄存器（SSPCON）
- SSP 状态寄存器（SSPSTAT）
- 串行接收 / 发送缓冲器（SSPBUF）
- SSP 移位寄存器（SSPSR）——不可直接访问
- SSP 地址寄存器（SSPADD）
- SSP 屏蔽寄存器（SSPMSK）

通过 SSPCON 寄存器可以控制 I²C 的工作状况。通过 4 个模式选择位（SSPCON<3:0>）可以选择以下 I²C 模式之一：

- I²C 从动模式（7 位地址）
- I²C 从动模式（10 位地址）
- I²C 从动模式（7 位地址），使能起始和停止位中断，支持固件主控模式
- I²C 从动模式（10 位地址），使能起始和停止位中断，支持固件主控模式
- 使能 I²C 起始和停止位中断，支持固件主控模式；从单元空闲

在 SSPEN 位置 1 时选择任何 I²C 模式都将强制 SCL 和 SDA 引脚为漏极开路，前提是将相应的 TRISB 位置 1，使这些引脚编程为输入引脚。必须在 SCL 和 SDA 引脚上外接上拉电阻，才能使 I²C 模块正常工作。

13.12 从动模式

在从动模式下，必须将 SCL 和 SDA 引脚配置为输入（TRISB<6,4> 置 1）。必要时 SSP 模块将用输出数据覆盖输入状态（从发送器）。

当地址匹配或接收到地址匹配后发送的数据时，硬件会自动产生一个应答（ACK）脉冲，并把当时 SSPSR 寄存器接收到的值装入 SSPBUF 寄存器。

某些条件会使 SSP 模块不发出此 ACK 脉冲。这些条件包括（之一或两者）：

- a) 缓冲器满位 BF（SSPSTAT<0>）在接收到传输数据前置 1。
- b) 溢出位 SSPOV（SSPCON<6>）在接收到传输数据前置 1。

在这种情况下，SSPSR 寄存器的值不会装入 SSPBUF，但 SSPIF 位（PIR1<3>）会置 1。表 13-3 给出了根据 BF 和 SSPOV 位的状态，接收到数据传输字节时产生的结果。阴影单元显示了当用户软件没有正确将溢出状态清零时的情况。当 SSPOV 位用软件清零时，通过读 SSPBUF 寄存器可以将标志位 BF 清零。

为确保正常工作，SCL 时钟输入必须满足最小高电平和最小低电平时间要求。关于 I²C 规范的高低电平时间和对 SSP 模块的要求，请参见第 17.0 节“电气特性”。

13.12.1 寻址

一旦 SSP 模块被使能，它就会等待启动条件发生。启动条件发生后，8 位数据被移入 SSPSR 寄存器。在时钟（SCL）线的上升沿采样所有的输入位。寄存器 SSPSR<7:1>的值会和 SSPADD 寄存器的值进行比较。地址会在第 8 个时钟（SCL）脉冲的下降沿进行比较。如果地址匹配，并且 BF 和 SSPOV 位都被清零，会发生以下事件：

- a) SSPSR 寄存器的值被装入 SSPBUF 寄存器。
- b) 缓冲器满标志位 BF 被置 1。
- c) 产生 ACK 脉冲。
- d) 在第 9 个 SCL 脉冲的下降沿，SSP 中断标志位 SSPIF（PIR1<3>）被置 1（如果允许中断，则产生中断）。

在 10 位地址模式下，从单元需要接收两个地址字节（图 13-8）。第一个地址字节的高 5 位（MSb）将指定这是否是一个 10 位地址。R/W 位（SSPSTAT<2>）必须指定写操作，这样从器件才能接收到第二个地址字节。对于 10 位地址，第一个字节等于“1111 0 A9 A8 0”，其中 A9 和 A8 是该地址的两个 MSb。

10 位地址的事件顺序如下，其中 7-9 步是针对从发送器而言的：

- 1. 接收地址的第一个（高）字节（SSPIF 位、BF 位和 UA 位（SSPSTAT<1>）置 1）。
- 2. 用地址的第二个（低）字节更新 SSPADD 寄存器（UA 位清零并释放 SCL 线）。
- 3. 读 SSPBUF 寄存器（BF 位清零）并将标志位 SSPIF 清零。
- 4. 接收地址的第二个（低）字节（SSPIF 位、BF 位和 UA 位置 1）。
- 5. 用地址的第一个（高）字节更新 SSPADD 寄存器。如果匹配，则释放 SCL 线，这将清零 UA 位。
- 6. 读 SSPBUF 寄存器（BF 位清零）并将标志位 SSPIF 清零。
- 7. 接收重复启动条件。
- 8. 接收地址的第一个（高）字节（SSPIF 位和 BF 位置 1）。
- 9. 读 SSPBUF 寄存器（BF 位清零）并将标志位 SSPIF 清零。

表 13-3: 接收到传输数据后的动作

接收到传输数据时的状态位		SSPSR → SSPBUF	产生 ACK 脉冲	SSPIF 位置 1 (使能时还将产生 SSP 中断)
BF	SSPOV			
0	0	有	有	有
1	0	无	无	有
1	1	无	无	有
0	1	无	无	有

注：阴影单元显示了当用户软件没有正确将溢出状态清零时的情况。

PIC16F685/687/689/690

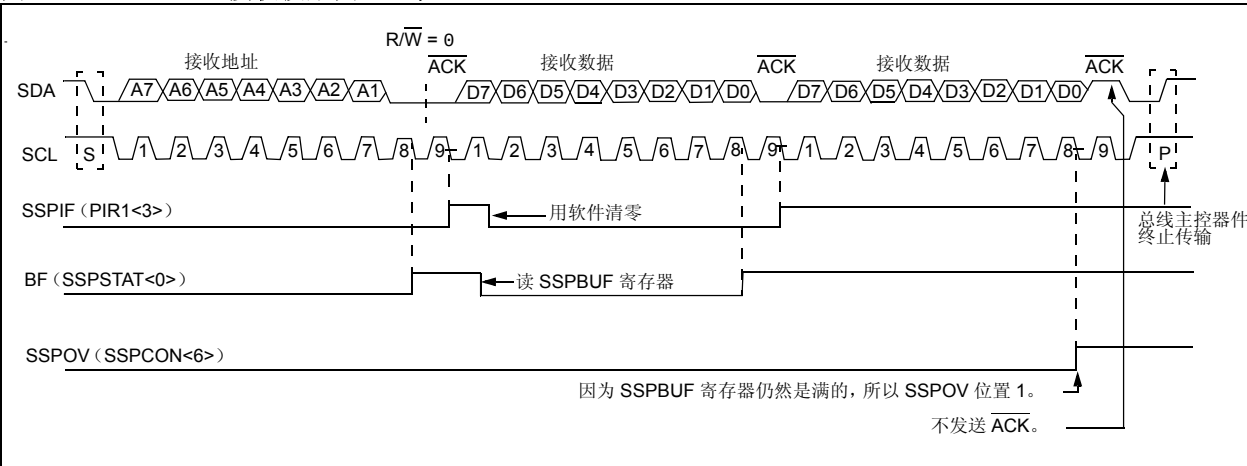
13.12.2 接收

当地址字节的 $\overline{R/\overline{W}}$ 位清零并发生地址匹配时，SSPSTAT 寄存器中的 $\overline{R/\overline{W}}$ 位清零。接收到的地址被装入 SSPBUF 寄存器。

当发生地址字节溢出时，则不会产生应答 ($\overline{ACK}$) 脉冲。溢出条件是指 BF 位 (SSPSTAT<0>) 置 1 或 SSPOV 位 (SSPCON<6>) 置 1。这是一个由于用户固件导致的错误状况。

每个数据传输字节都会产生 SSP 中断。标志位 SSPIF (PIR1<3>) 必须用软件清零。SSPSTAT 寄存器用于确定该字节的状态。

图 13-8: I²C™ 接收波形图 (7 位地址)



13.12.3 SSP 屏蔽寄存器

SSP 屏蔽 (SSPMASK) 寄存器在 I²C 从动模式下可用，用作地址比较操作期间 SSPSR 寄存器中保存的值的屏蔽。SSPMASK 寄存器中的零 (0) 位会影响对 SSPSR 寄存器中相应位的忽略。

任何复位后，该寄存器都会复位到全 1 状态，因此，在写入屏蔽值之前对标准 SSP 操作没有影响。

在将 SSPM<3:0> 位置 1 前必须初始化该寄存器，以便选择 I²C 从动模式 (7 位或 10 位地址)。

只有通过某些位 (SSPCON 的 SSPM<3:0>) 选择了适当模式后，才能访问该寄存器。

SSP 屏蔽寄存器在以下期间保持活动状态：

- 7 位地址模式：A<7:1> 的地址比较。
- 10 位地址模式：仅针对 A<7:0> 的地址比较。在接收地址的第一个 (高) 字节期间，SSP 屏蔽没有影响。

寄存器 13-3: SSPMASK——SSP 屏蔽寄存器⁽¹⁾ (地址: 93h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0 ⁽²⁾
bit 7							bit 0

bit 7-1 **MSK<7:1>**: 屏蔽位

- 1 = 接收到的地址位 n 与 SSPADD<n> 相比较来检测 I²C 地址匹配
- 0 = 接收到的地址位 n 不用于检测 I²C 地址匹配

bit 0 **MSK<0>**: 屏蔽位用于 I²C 从动模式，10 位地址⁽²⁾

- I²C 从动模式，10 位地址 (SSPM<3:0> = 0111):
- 1 = 接收到的地址位 0 与 SSPADD<n> 相比较来检测 I²C 地址匹配
- 0 = 接收到的地址位 0 不用于检测 I²C 地址匹配

注 1: 当 SSPCON 位 SSPM<3:0> = 1001 时，任何对 SSPADD SFR 地址的读或写都必须通过 SSPMASK 寄存器来访问。

2: 在所有其他 SSP 模式下，该位没有影响。

图注:

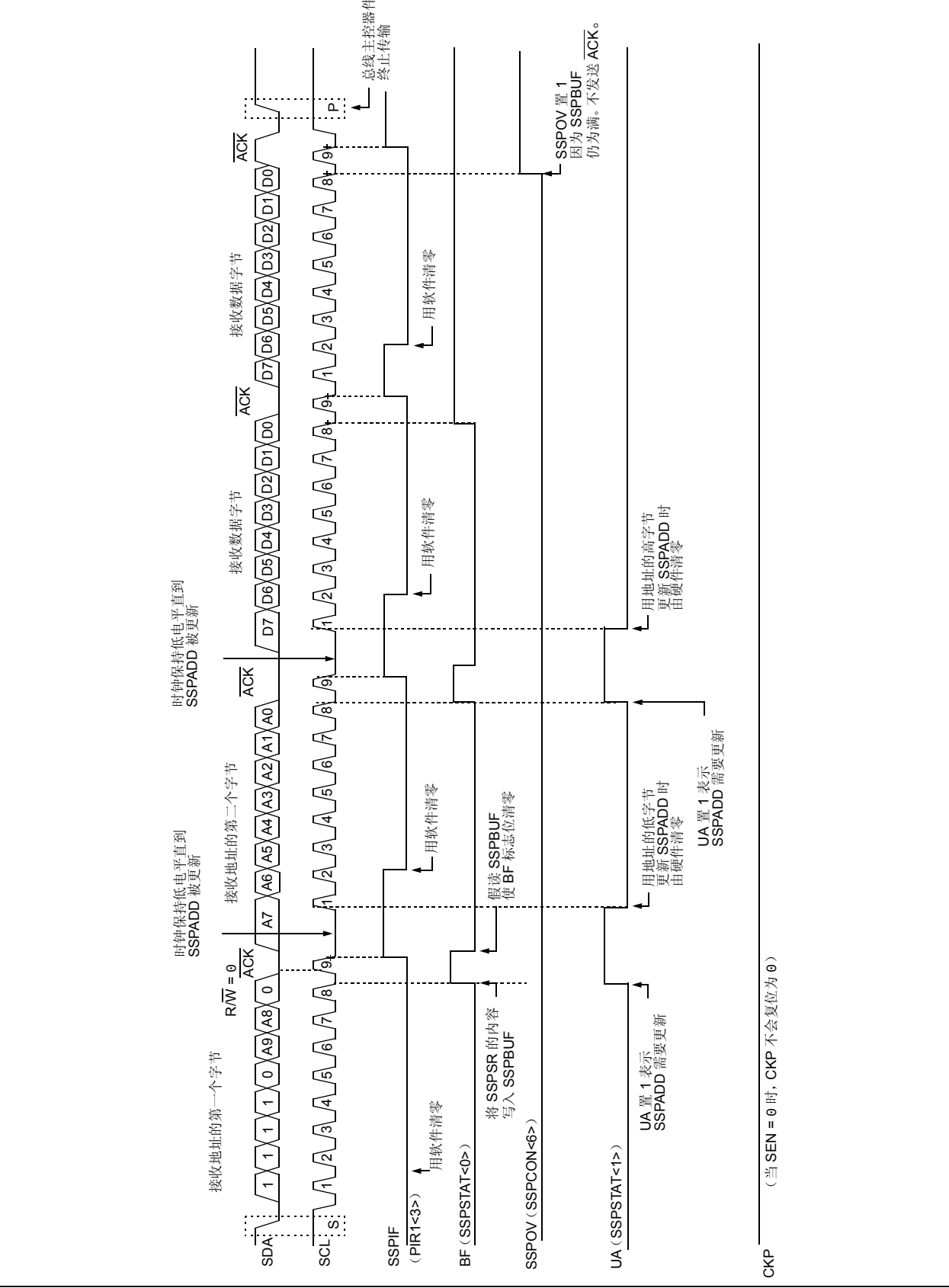
R = 可读位	W = 可写位	U = 未用位，读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

13.12.4 地址检测暂停

在某些应用中，必须对多个地址或地址块作出应答。“地址检测暂停 (Halt-on-Address-Detect)” 功能使软件可以检查地址并验证有效性。

当 SSPCON1 寄存器的 ADDEN 位设置为 1 时，地址检测被使能。在 A1 (地址的最后一位) 计时进入 SSPSR 并且装入 SSPBUF 后，但在读地址比较器结果或生成 ACK 脉冲前，SSPIF 标志和 CLKSTR 位均被置 1。这使软件可以读 SSPBUF 并验证接收到的地址。如果地址确认有效，软件将 SSPBUF 复制到 SSPADD，从而将比较器结果设置为真。随后 CLKSTR 可以继续清零 (写入 0) SSP 引擎。由于地址比较为真，将生成一个 ACK 脉冲返回到主控制器。如果软件决定不应答该地址，则 SSPADD 将被写入不同于 SSPBUF 的任何值。这会将比较结果设置为假，当 CLKSTR 清零时，ACK 被禁止。

图 13-9: I²C™ 从动模式时序 (接收, 10 位地址)



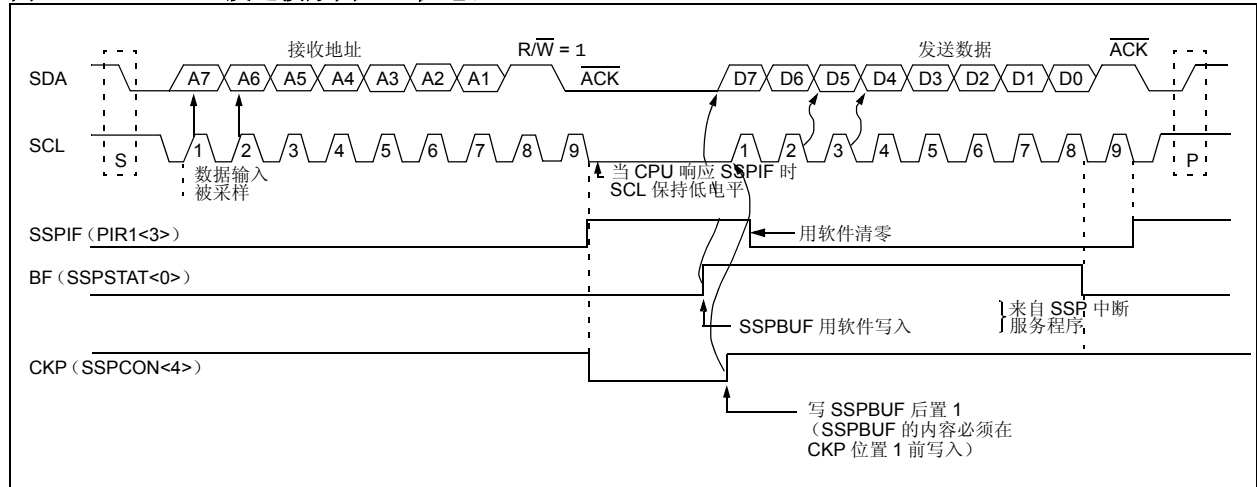
13.12.5 发送

当进入地址字节的 $\overline{R/\overline{W}}$ 位置 1 并发生地址匹配时，SSPSTAT 寄存器的 R/W 位被置 1。接收到的地址被装入 SSPBUF 寄存器，同时也装入 SSPSR 寄存器。然后，应该通过将 CKP 位 (SSPCON<4>) 位置 1 来使能 RB6/SCK/SCL 引脚。主控制器必须在发出另一个时钟脉冲前监视 SCL 引脚。从器件可以通过延长时钟低电平时间不与主控制器同步。8 个数据位在 SCL 输入的下沿被移出。这可以确保在 SCL 为高电平期间 SDA 信号是有效的 (图 13-10)。

每个数据传输字节都会产生 SSP 中断。标志位 SSPIF 必须用软件清零，SSPSTAT 寄存器用于确定该字节的状态。标志位 SSPIF 在第 9 个时钟脉冲的下降沿被置 1。

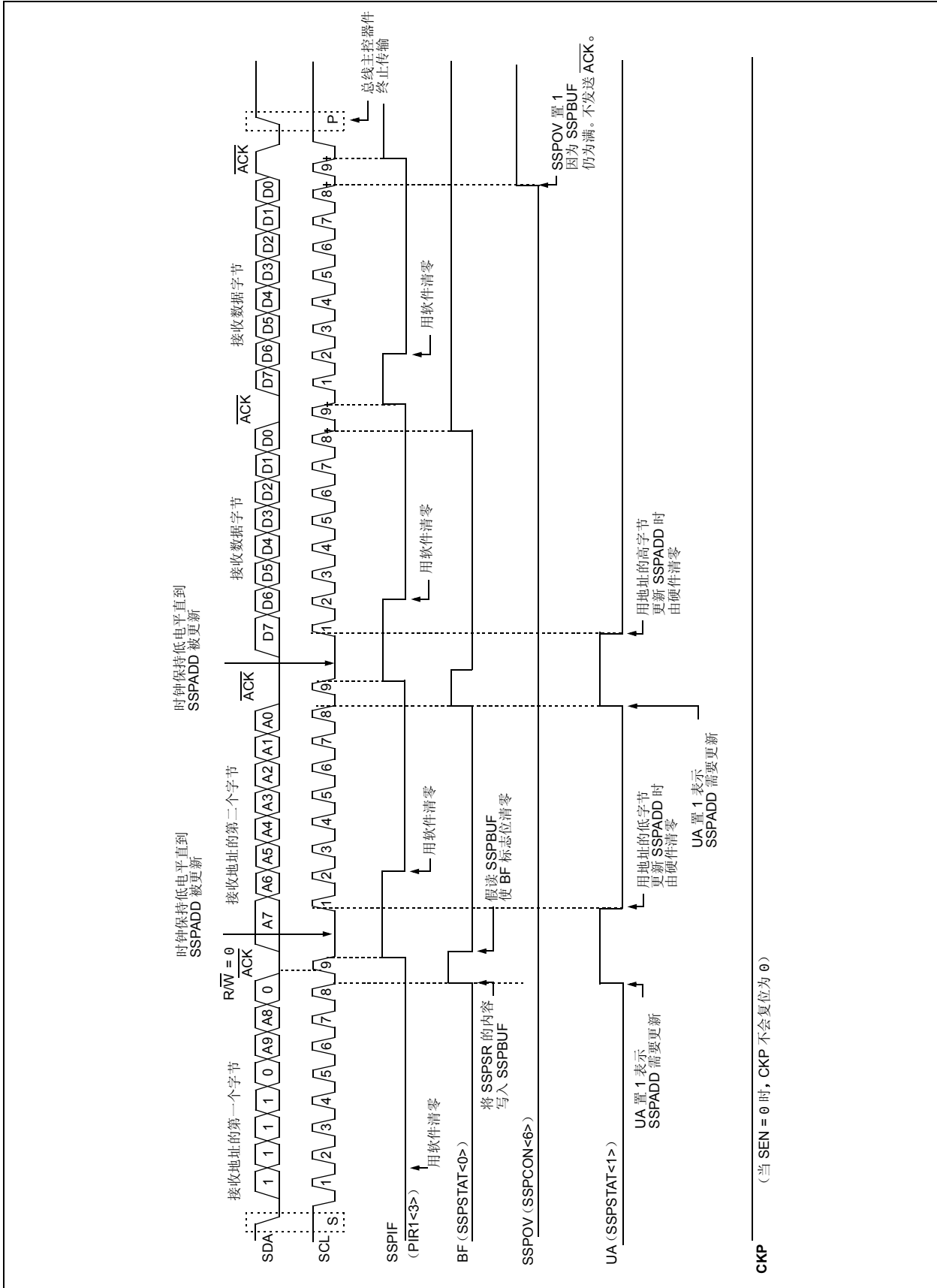
对于从发送器，来自主接收器的 $\overline{ACK}$ 脉冲将在第 9 个 SCL 输入脉冲的上升沿被锁存。如果 SDA 线为高电平 (无 $\overline{ACK}$)，则表示数据传输已完成。如果从控制器锁存了 $\overline{ACK}$ ，将复位从动逻辑 (复位 SSPSTAT 寄存器)，同时从控制器监控下一个起始位的出现。如果 SDA 线为低电平 ($\overline{ACK}$)，则必须将要发送的数据装入 SSPBUF 寄存器，同时也装入 SSPSR 寄存器。然后，通过将 CKP 位置 1 使能 RB6/SCK/SCL 引脚。

图 13-10: I²C™ 发送波形图 (7 位地址)



PIC16F685/687/689/690

图 13-11: I²C™ 从动模式时序（发送，10 位地址）



13.13 主控模式

主控模式通过固件在检测到启动和停止条件时产生中断来工作。停止（P）位和起始（S）位在复位时或禁止 SSP 模块时清零。停止（P）位和起始（S）位会根据启动和停止条件切换。当 P 位置 1 时，可以获得 I²C 总线的控制权；否则，S 和 P 位都清零，总线处于空闲状态。

在主控模式下，SCL 和 SDA 线通过清零相应的 TRISB<6,4> 位来控制。输出电平始终为低电平，而与 PORTB<6,4> 的值无关。因此当发送数据时，必须用 1 数据位将 TRISB<4> 位置 1（输入），并且用 0 数据位将 TRISB<4> 位清零（输出）。对于 SCL 线，也可使用 TRISB<6> 位采用同样的方法进行控制。SCL 和 SDA 引脚上必须外接上拉电阻，才能使 I²C 模块正常工作。

以下事件会使 SSP 中断标志位 SSPIF 置 1（如果使能 SSP 中断，则产生中断）：

- 启动条件
- 停止条件
- 发送 / 接收到数据传输字节

可用从动模式空闲（SSPM<3:0> = 1011）或从动模式活动完成主控模式操作。当同时使能主控模式和从动模式时，需要使用软件区分中断源。

13.14 多主模式

在多主模式下，在检测到启动和停止条件时产生的中断可用于判断总线是否空闲。停止（P）位和起始（S）位在复位或禁止 SSP 模块时清零。停止（P）位和起始（S）位会根据启动和停止条件切换。当 P 位（SSPSTAT<4>）置 1 时，可以获得 I²C 总线的控制权；否则，S 和 P 位都清零，总线处于空闲状态。当总线处于忙状态且使能 SSP 中断时，一旦发生停止条件便产生中断。

在多主操作中，必须监视 SDA 线以确定信号电平是否为所需的输出电平。此检查仅需在输出为高电平时进行。如果期望输出高电平，但检测到的是低电平，器件就需要释放 SDA 和 SCL 线（TRISB<6,4> 位置 1）。在以下两个阶段可能会失去仲裁：

- 地址传输
- 数据传输

当使能从动逻辑时，从控制器将继续接收数据。如果在地址传输阶段仲裁失败，可能表示与该器件的通讯正在进行中。如果寻址到器件，则会产生一个 ACK 脉冲。如果在数据传输阶段仲裁失败，则器件需要在以后重新传输数据。

13.14.1 时钟同步与 CKP 位

当 CKP 位清零时将迫使 SCL 输出为 0；但是，在 SCL 输出采样值为低之前将 CKP 位置 1 并不会将 SCL 输出拉低。因此，外部 I²C 主控器件占据 SCL 线之前，CKP 位不会占据 SCL 线。SCL 输出将保持低电平，直到 CKP 位置 1 且 I²C 总线上的其他器件已释放 SCL。这可以确保对 CKP 位的写操作不会违反 SCL 的最小高电平时间要求（见图 13-12）。

PIC16F685/687/689/690

图 13-12: 时钟同步时序

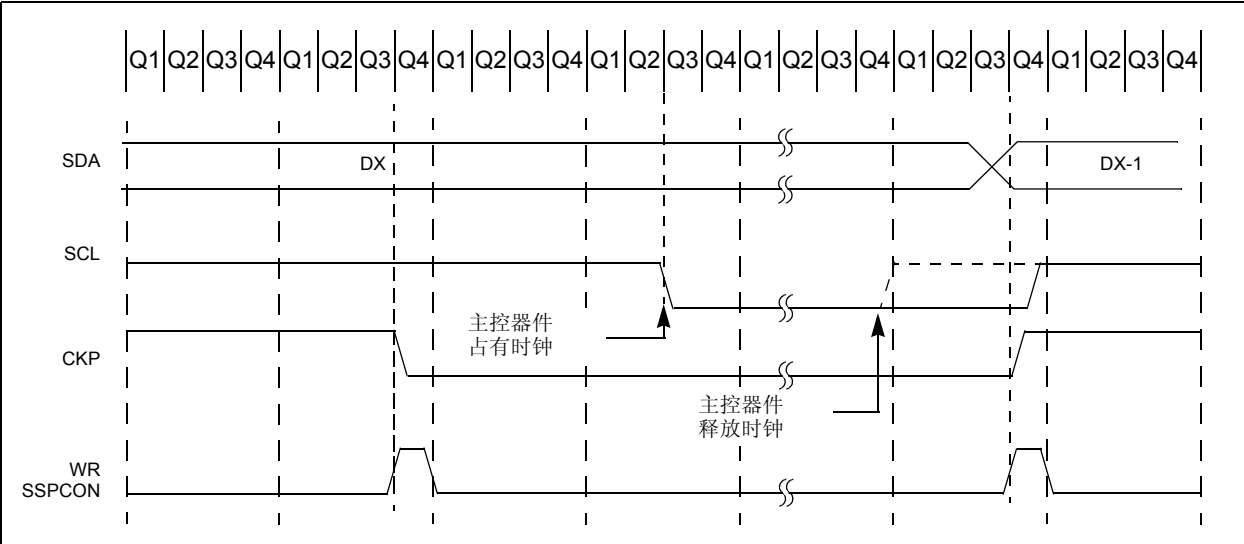


表 13-4: 与 I²C™ 操作相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Bh/8Bh/10Bh/18Bh	INTCON	GIE	PEIE	TOIE	INTE	RABIE	TOIF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
13h	SSPBUF	同步串行接口接收缓冲器 / 发送寄存器								xxxx xxxx	uuuu uuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
93h	SSPMSK ⁽²⁾	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	1111 1111	1111 1111
94h	SSPSTAT	SMP ⁽³⁾	CKE ⁽³⁾	D/A	P	S	R/W	UA	BF	0000 0000	0000 0000
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IF	TMR1IF	-000 0000	-000 0000

- 图注:
- 注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。
- 注 2: SSPMSK 寄存器 (寄存器 13-3) 可以在 SSPM 位 <3:0> = 1001 时读或写 SSPADD 寄存器来进行访问。更多详细信息, 请参见寄存器 13-2 和 13-3。
- 注 3: 保持这些位清零。

14.0 CPU 的特殊功能

PIC16F685/687/689/690 有许多功能，旨在最大限度地提高系统可靠性，通过减少外部元件将成本降至最低，并提供省电工作模式和代码保护功能。

这些功能包括：

- 复位
 - 上电复位 (POR)
 - 上电延时定时器 (PWRT)
 - 振荡器起振定时器 (OST)
 - 欠压复位 (BOR)
- 中断
- 看门狗定时器 (WDT)
- 振荡器选择
- 休眠
- 代码保护
- ID 地址单元
- 在线串行编程

PIC16F685/687/689/690 有两个定时器提供必要的上电延时。一个是振荡器起振定时器 (OST)，旨在确保芯片在晶体振荡器达到稳定之前始终处于复位状态。另一个是上电延时定时器 (PWRT)，仅在上电时提供 **64 ms** (标称值) 的固定延时，用来确保器件在供电电压稳定之前处于复位状态。还有当器件发生欠压时使器件复位的电路，该电路可使用上电延时定时器，提供至少 **64 ms** 的复位延时。有了这三种片上功能，绝大多数应用就无需再外接复位电路了。

休眠模式的设计是为了提供了电流极低的掉电模式。用户可通过以下方法将器件从休眠模式唤醒：

- 外部复位
- 看门狗定时器唤醒
- 中断

有几种振荡器模式可供选择，以使器件适应各种应用。选择 **INTOSC** 可节约系统成本，而选择 **LP** 晶振可以节能。通过配置位的设定可选择不同选项（见寄存器 14-1）。

PIC16F685/687/689/690

14.1 配置位

可以通过对配置位编程（读为 0）或不编程（读为 1）来选择不同的器件配置，如寄存器 14-1 所示。这些位映射到程序存储器地址单元 2007h 中。

注： 地址2007h超出了用户程序存储器空间范围。它属于特殊配置存储器空间（2000h-3FFFh），只能在编程时对其进行访问。更多信息，请参见“PIC12F6XX/16F6XX Memory Programming Specification”（DS41204）。

寄存器 14-1: CONFIG——配置字（地址：2007h）

保留	保留	FCMEN	IESO	BOREN ⁽¹⁾	BOREN0 ⁽¹⁾	CPD ⁽²⁾	CP ⁽³⁾	MCLRE ⁽⁴⁾	PWRT ⁽⁴⁾	WDTE	FOSC2	FOSC1	FOSC0
bit 13													bit 0

bit 13-12	保留： 保留位。不使用。
bit 11	FCMEN： 故障保护时钟监控器使能位 1 = 使能故障保护时钟监控器 0 = 禁止故障保护时钟监控器
bit 10	IESO： 内 / 外部切换位 1 = 使能内 / 外部切换模式 0 = 禁止内 / 外部切换模式
bit 9-8	BOREN<1:0>： 欠压复位选择位 ⁽¹⁾ 11 = 使能 BOR 10 = 运行时使能 BOR，休眠时禁止 BOR 01 = SBOREN 位（PCON<4>）控制 BOR 00 = 禁止 BOR
bit 7	CPD： 数据代码保护位 ⁽²⁾ 1 = 禁止数据存储器代码保护 0 = 使能数据存储器代码保护
bit 6	CP： 代码保护位 ⁽³⁾ 1 = 禁止程序存储器代码保护 0 = 使能程序存储器代码保护
bit 5	MCLRE： RA3/MCLR/VPP 引脚功能选择位 ⁽⁴⁾ 1 = RA3/MCLR/VPP 引脚功能为 MCLR 0 = RA3/MCLR/VPP 引脚功能为数字输入，MCLR 内部连接到 VDD
bit 4	PWRT： 上电延时定时器使能位 1 = 禁止 PWRT 0 = 使能 PWRT
bit 3	WDTE： 看门狗定时器使能位 1 = 使能 WDT 0 = 禁止 WDT，但可以通过 SWDTEN 位（WDTCON<0>）使能
bit 2-0	FOSC<2:0>： 振荡器选择位 111 = RC 振荡器：RA4/AN3/T1G/OSC2/CLKOUT 引脚为 CLKOUT 功能，RA5/T1CKI/OSC1/CLKIN 引脚上连接 RC 110 = RCIO 振荡器：RA4/AN3/T1G/OSC2/CLKOUT 引脚为 I/O 功能，RA5/T1CKI/OSC1/CLKIN 引脚上连接 RC 101 = INTOSC 振荡器：RA4/AN3/T1G/OSC2/CLKOUT 引脚为 CLKOUT 功能，RA5/T1CKI/OSC1/CLKIN 引脚为 I/O 功能 100 = INTOSCIO 振荡器：RA4/AN3/T1G/OSC2/CLKOUT 引脚为 I/O 功能，RA5/T1CKI/OSC1/CLKIN 引脚为 I/O 功能 011 = EC：RA4/AN3/T1G/OSC2/CLKOUT 引脚为 I/O 功能，RA5/T1CKI/OSC1/CLKIN 引脚上为 CLKIN 010 = HS 振荡器：RA4/AN3/T1G/OSC2/CLKOUT 和 RA5/T1CKI/OSC1/CLKIN 引脚上连接高速晶振 / 谐振器 001 = XT 振荡器：RA4/AN3/T1G/OSC2/CLKOUT 和 RA5/T1CKI/OSC1/CLKIN 引脚上连接晶振 / 谐振器 000 = LP 振荡器：RA4/AN3/T1G/OSC2/CLKOUT 和 RA5/T1CKI/OSC1/CLKIN 引脚上连接低功耗晶振

- 注**
- 1: 使能欠压复位并不能自动使能上电延时定时器。
 - 2: 当关闭代码保护时，将擦除整个数据 EEPROM 的内容。
 - 3: 当关闭非代码保护时，将擦除整个程序存储器的内容。
 - 4: 当 MCLR 在 INTOSC 或 RC 模式下被拉为低电平时，将禁止内部时钟振荡器。

图注：
R = 可读位
-n = POR 值
W = 可写位
1 = 置 1
U = 未用位，读为 0
0 = 清零
x = 未知

14.2 复位

PIC16F685/687/689/690 有以下几种不同类型的复位:

- 上电复位 (POR)
- 正常工作期间的 WDT 复位
- 休眠期间的 WDT 复位
- 正常工作期间的 MCLR 复位
- 休眠期间的 MCLR 复位
- 欠压复位 (BOR)

有些寄存器不受任何复位的影响; 在上电复位时它们的状态未知, 而在其他复位时状态不变。大多数寄存器在以下复位时会复位到各自的“复位状态”:

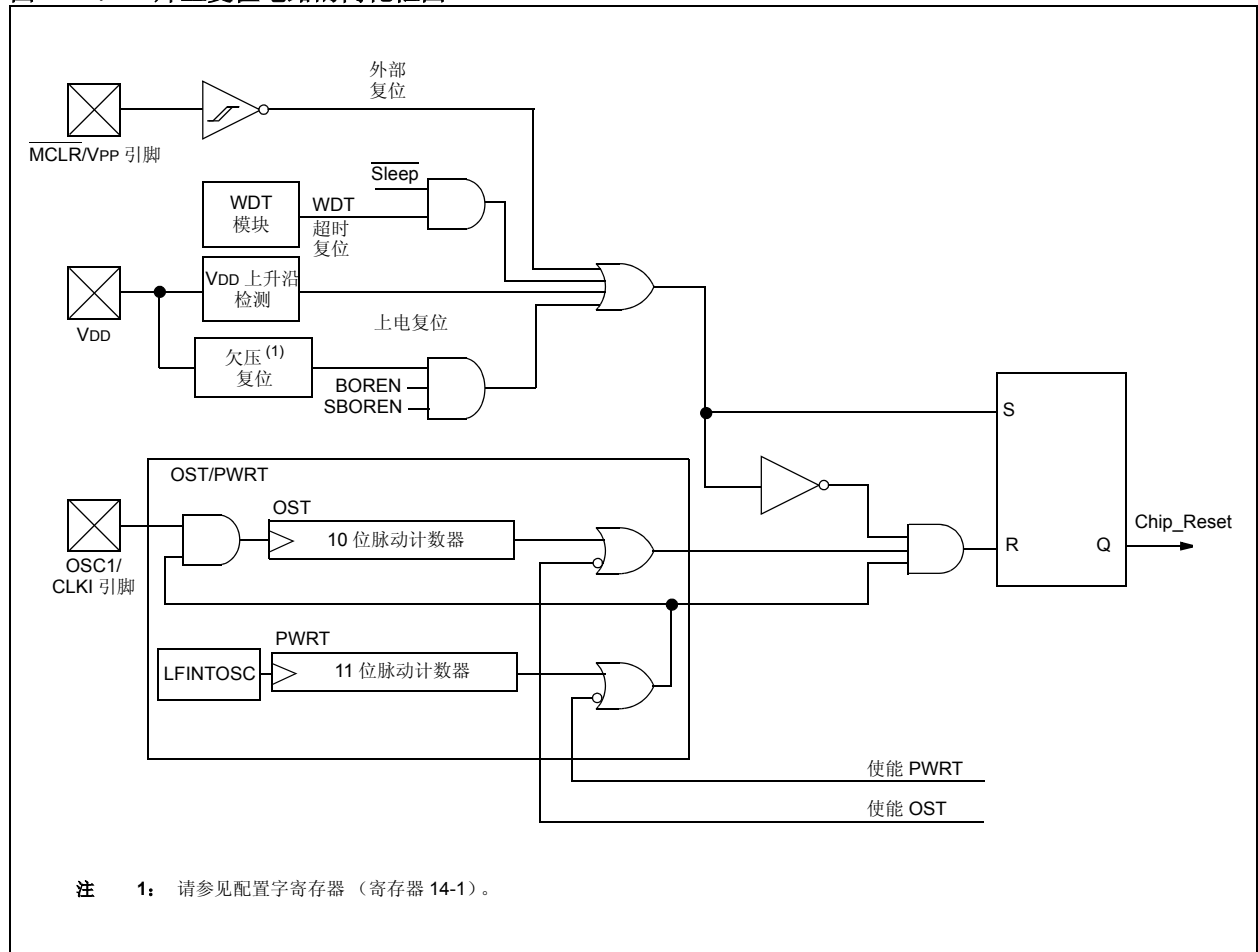
- 上电复位
- MCLR 复位
- 休眠期间的 MCLR 复位
- WDT 复位
- 欠压复位 (BOR)

它们不受 WDT 唤醒的影响, 因为这被视为恢复正常工作。如表 14-2 所示, **TO** 和 **PD** 位在不同的复位情形下会分别被置 1 或清零。这些位在软件中用于判断复位的性质。关于所有寄存器的复位状态的完整说明, 请参见表 14-4。

图 14-1 给出了片上复位电路的简化框图。

MCLR 复位路径上有一个噪声滤波器, 用来检测并滤除小脉冲。关于脉冲宽度规范, 请参见第 17.0 节“电气特性”。

图 14-1: 片上复位电路的简化框图



PIC16F685/687/689/690

14.2.1 上电复位（POR）

在 VDD 达到足以使器件正常工作的电平之前，片上上电复位电路将使器件保持在复位状态。需要一个最大上升时间才能达到 VDD。详见第 17.0 节“电气特性”。如果使能了欠压复位，那么该最大上升时间规范将不再适用。欠压复位电路将使器件保持在复位状态，直到 VDD 达到 VBOR（参见第 14.2.4 节“欠压复位（BOR）”）。

注： 当 VDD 降低时，上电复位电路不会产生内部复位。要重新使能上电复位，VDD 必须至少保持 100 μ s 的 Vss 电压。

当器件开始正常工作（退出复位状态）时，器件的工作参数（即电压、频率和温度等）必须得到满足，以确保其正常工作。如果不满足这些条件，那么器件必须保持在复位状态，直到满足工作条件为止。

更多信息，请参见应用笔记 AN607，“Power-up Trouble Shooting”（DS00607）。

14.2.2 MCLR

PIC16F685/687/689/690 在 MCLR 复位路径中有一个噪声滤波器。该滤波器检测并滤除小脉冲。

应该注意，WDT 复位不会将 MCLR 引脚驱动为低电平。

MCLR 引脚上 ESD 保护的工作原理与该系列早期器件有所不同。施加在该引脚上的电压超过规范值将导致 MCLR 复位，并且在 ESD 事件中产生的电流也将超过器件的规范值。因此，Microchip 建议不要把 MCLR 引脚直接连接到 VDD。建议使用图 14-2 给出的 RC 网络。

通过清零配置字寄存器中的 MCLRE 位，可使能内部 MCLR 选项。当 MCLRE = 0 时，在内部产生芯片的复位信号。当 MCLRE = 1 时，RA3/MCLR 引脚变成外部复位输入。在这种模式下，RA3/MCLR 引脚具有到 VDD 的弱上拉功能。

14.2.3 上电延时定时器（PWRT）

上电延时定时器仅在上电时（上电复位或欠压复位）提供一个 64 ms（标称值）的固定延时。上电延时定时器采用 LFINTOSC 振荡器作为时钟源，工作频率为 31 kHz。更多信息，请参见第 3.4 节“内部时钟模式”。只要 PWRT 处于活动状态，芯片就保持在复位状态。PWRT 延时使 VDD 有足够的时间上升到所需的电平。配置位 PWRTS 可以禁止（如果置 1）或使能（如果清零或被编程）上电延时定时器。虽然不是必需的，但是在使能欠压复位时也应使能上电延时定时器。

由于以下原因不同芯片的上电延时定时器的延时也各不相同：

- VDD 差异
- 温度差异
- 制造工艺差异

详见直流参数（第 17.0 节“电气特性”）。

14.2.4 欠压复位 (BOR)

配置字寄存器中的 **BOREN0** 和 **BOREN1** 位用于选择 4 种欠压复位模式中的一种。其中添加了一种允许使用软件或硬件对 **BOR** 的使能进行控制的模式。当 **BOREN<1:0> = 01** 时, 可由 **SBOREN** 位 (**PCON<4>**) 使能 / 禁止 **BOR**, 从而能用软件对其进行控制。通过选择 **BOREN<1:0>**, 可使欠压复位在休眠时被自动禁止, 从而节约功耗; 而在唤醒后被重新使能。在此模式下, **SBOREN** 位被禁止。关于配置字的定义, 请参见寄存器 14-1。

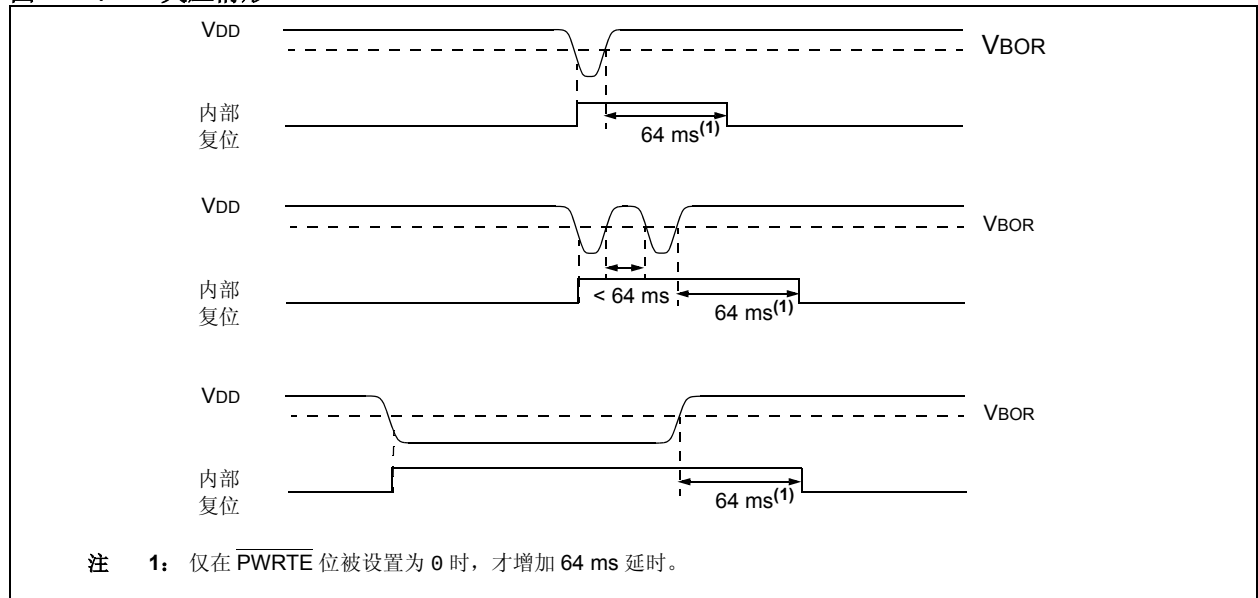
如果 **VDD** 下降到 **VBOR** 以下, 且持续时间超过参数值 (**TBOR**) (参见第 17.0 节 “电气特性”), 欠压状况将使器件复位。不管 **VDD** 的变化速率如何, 上述情况都会发生。如果 **VDD** 低于 **VBOR** 的时间少于参数值 (**TBOR**), 则不一定发生复位。

任何复位 (上电复位、欠压复位或看门狗定时器复位等) 都会使芯片保持复位状态, 直到 **VDD** 上升到 **VBOR** 以上 (见图 14-2)。如果使能了上电延时定时器, 此时它将启动, 并且会使器件保持复位状态的时间延长 64 ms。

注: 配置字寄存器中的 **PWRTÉ** 位用于使能上电延时定时器。

如果在上电延时定时器运行过程中, **VDD** 降低到 **VBOR** 以下, 芯片将重新回到欠压复位状态并且上电延时定时器会恢复为初始状态。一旦 **VDD** 上升到 **VBOR** 以上, 上电延时定时器将执行一段 64 ms 的复位。

图 14-2: 欠压情形



PIC16F685/687/689/690

14.2.5 延时时序

上电时的延时时序如下：首先，在 POR 延时结束后，施加一段 PWRT 延时，随后振荡器起振。总延时时间取决于振荡器配置和 PWRT 位的状态。例如，在 EC 模式且 PWRT 位被擦除（PWRT 禁止）的情况下，根本不会出现延时。图 14-3、14-4 和 14-5 分别描绘了各种情形下的延时时序。当振荡器起振后，通过使能双速启动或故障保护监控器，器件将以 INTOSC 作为时钟源来执行代码（参见第 3.6 节“双速时钟启动模式”和第 3.7 节“故障保护时钟监控器”）。

由于延时是由上电复位脉冲触发的，因此如果 $\overline{\text{MCLR}}$ 保持足够长时间的低电平，所有延时都将结束。将 $\overline{\text{MCLR}}$ 电平拉高后，器件将立即开始执行代码（见图 14-4）。这对于测试或同步多个并行工作的 PIC16F685/687/689/690 器件来说是非常有用的。

表 14-5 给出了一些特殊寄存器的复位条件，而表 14-4 给出了所有寄存器的复位条件。

14.2.6 电源控制（PCON）寄存器

电源控制寄存器 PCON（地址 8Eh）有两个状态位，用于指示上次发生的复位的类型。

Bit 0 是 $\overline{\text{BOR}}$ （欠压复位）标志位。 $\overline{\text{BOR}}$ 在上电复位时未知。然后，用户必须将该位置 1，并在随后的复位发生时检查 $\overline{\text{BOR}}$ 是否为 0，如果是，则表示已发生欠压复位。当禁止欠压复位电路（配置字寄存器中的 $\text{BOREN}<1:0> = 00$ ）时，BOR 状态位是“无关位”并且不一定预测得到。

Bit 1 是 $\overline{\text{POR}}$ （上电复位）标志位，在上电复位时值为 0，其他情况下不受影响。上电复位后，用户必须对该位写 1。发生后续复位后，如果 POR 为 0，则表示发生了上电复位（即 VDD 可能已经变为了低电平）。

更多信息，请参见第 4.2.3 节“超低功耗唤醒”和第 14.2.4 节“欠压复位（BOR）”。

表 14-1: 各种情形下的延时

振荡器配置	上电		欠压复位		从休眠状态唤醒
	$\overline{\text{PWRT}} = 0$	$\overline{\text{PWRT}} = 1$	$\overline{\text{PWRT}} = 0$	$\overline{\text{PWRT}} = 1$	
XT, HS, LP	TPWRT + 1024 • TOSC	1024 • TOSC	TPWRT + 1024 • TOSC	1024 • TOSC	1024 • TOSC
LP, T1OSCIN = 1	TPWRT	—	TPWRT	—	—
RC, EC, INTOSC	TPWRT	—	TPWRT	—	—

表 14-2: STATUS/PCON 位及其含义

POR	BOR	$\overline{\text{TO}}$	$\overline{\text{PD}}$	条件
0	u	1	1	上电复位
1	0	1	1	欠压复位
u	u	0	u	WDT 复位
u	u	0	0	WDT 唤醒
u	u	u	u	正常工作期间的 $\overline{\text{MCLR}}$ 复位
u	u	1	0	休眠期间的 $\overline{\text{MCLR}}$ 复位

图注： u = 不变， x = 未知

表 14-3: 与欠压有关的寄存器汇总

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值 ⁽¹⁾
03h/83h/103h/183h	STATUS	IRP	RP1	RPO	$\overline{\text{TO}}$	$\overline{\text{PD}}$	Z	DC	C	0001 1xxx	000q quuu
8Eh	PCON	—	—	ULPWUE	SBOREN	—	—	$\overline{\text{POR}}$	$\overline{\text{BOR}}$	--01 --qq	--0u --uu

图注： u = 不变， x = 未知， — = 未用位，读为 0， q = 值取决于具体条件。欠压复位不使用阴影单元。

注 1: 其他（非上电）复位包括在正常操作期间的 $\overline{\text{MCLR}}$ 复位和看门狗定时器复位。

图 14-3: 上电时的延时时序 ($\overline{\text{MCLR}}$ 延时): 情形 1

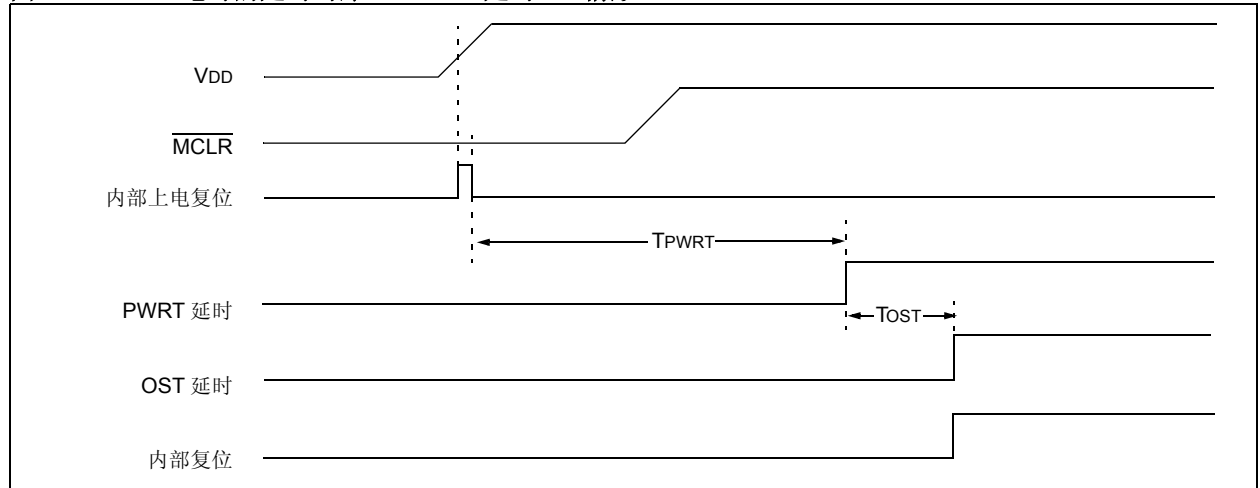


图 14-4: 上电时的延时时序 ($\overline{\text{MCLR}}$ 延时): 情形 2

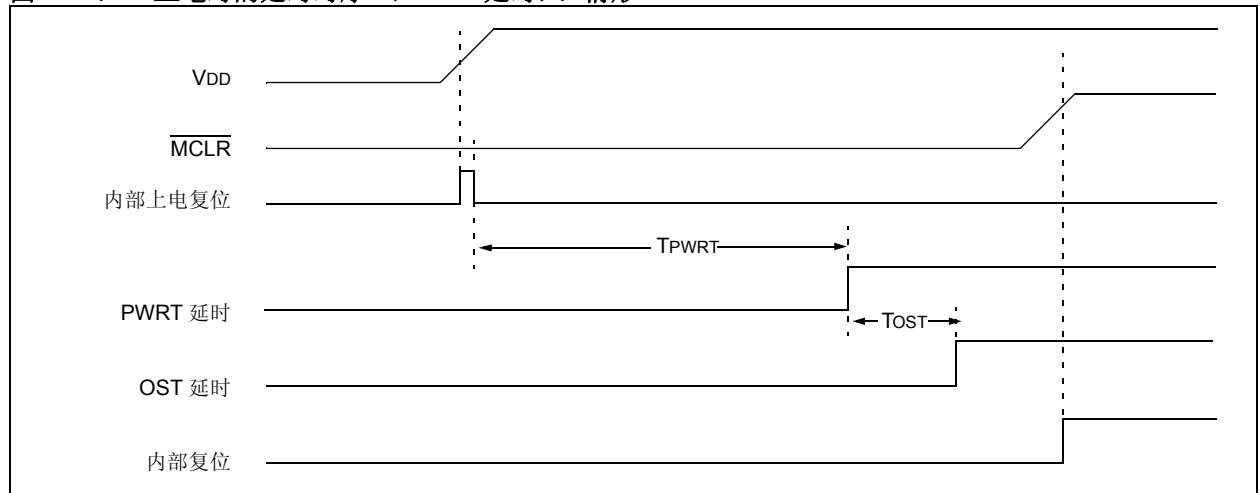
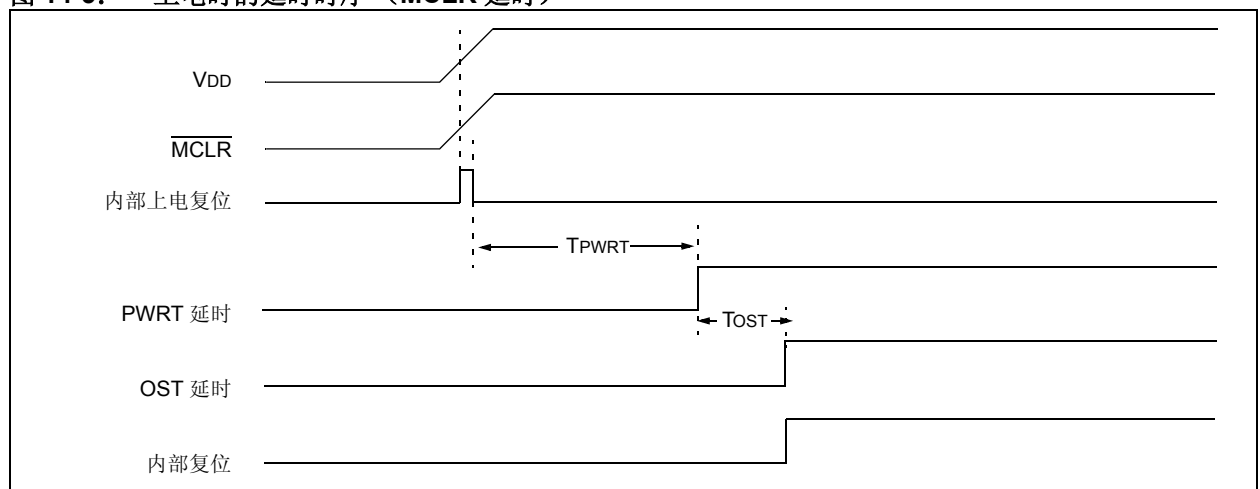


图 14-5: 上电时的延时时序 ($\overline{\text{MCLR}}$ 延时)



PIC16F685/687/689/690

表 14-4: 寄存器的初始状态

寄存器	地址	上电复位	MCLR 复位 WDT 复位 欠压复位 ⁽¹⁾	通过中断将器件从休眠状态唤醒 通过 WDT 延时从休眠状态唤醒
W	—	xxxx xxxx	uuuu uuuu	uuuu uuuu
INDF	00h/80h/ 100h/180h	xxxx xxxx	xxxx xxxx	uuuu uuuu
TMR0	01h/101h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	02h/82h/ 102h/182h	0000 0000	0000 0000	PC + 1 ⁽³⁾
STATUS	03h/83h/ 103h/183h	0001 1xxx	000q quuu ⁽⁴⁾	uuuq quuu ⁽⁴⁾
FSR	04h/84h/ 104h/184h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTA	05h/105h	--xx xxxx	--00 0000	--uu uuuu
PORTB	06h/106h	xxxx ----	0000 ----	uuuu ----
PORTC	07h/107h	xxxx xxxx	0000 0000	uuuu uuuu
PCLATH	0Ah/8Ah/ 10Ah/18Ah	---0 0000	---0 0000	---u uuuu
INTCON	0Bh/8Bh/ 10Bh/18Bh	0000 000x	0000 000x	uuuu uuuu ⁽²⁾
PIR1	0Ch	-000 0000	-000 0000	-uuu uuuu ⁽²⁾
PIR2	0Dh	0000 ----	0000 ----	uuuu ---- ⁽²⁾
TMR1L	0Eh	xxxx xxxx	uuuu uuuu	uuuu uuuu
TMR1H	0Fh	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1CON	10h	0000 0000	uuuu uuuu	uuuu uuuu
TMR2	11h	0000 0000	0000 0000	uuuu uuuu
T2CON	12h	-000 0000	-000 0000	-uuu uuuu
SSPBUF	13h	xxxx xxxx	xxxx xxxx	uuuu uuuu
SSPCON	14h	0000 0000	0000 0000	uuuu uuuu
CCPR1L	15h	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCPR1H	16h	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCP1CON	17h	0000 0000	0000 0000	uuuu uuuu
RCSTA	18h	0000 000x	0000 000x	uuuu uuuu
TXREG	19h	0000 0000	0000 0000	uuuu uuuu
RCREG	1Ah	0000 0000	0000 0000	uuuu uuuu
PWM1CON	1Ch	0000 0000	0000 0000	uuuu uuuu
ECCPAS	1Dh	0000 0000	0000 0000	uuuu uuuu
ADRESH	1Eh	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON0	1Fh	0000 0000	0000 0000	uuuu uuuu
OPTION_REG	81h/181h	1111 1111	1111 1111	uuuu uuuu
TRISA	85h/185h	--11 1111	--11 1111	--uu uuuu

- 图注: u = 不变, x = 未知, - = 未用位, 读为 0, q = 值取决于具体条件。
- 注 1: 如果 VDD 过低, 将激活上电复位, 寄存器将受到不同的影响。
- 2: INTCON 和 / 或 PIR1 寄存器中的 1 位或多位会受到影响 (引起唤醒)。
- 3: 当器件被中断唤醒且 GIE 位置 1 时, PC 装入中断向是 (0004h)。
- 4: 关于特定条件下的复位值, 请参见表 14-5。
- 5: 如果复位是由于欠压引起的, 则 bit 0 = 0。所有其他复位将导致 bit 0 = u。
- 6: 仅在 SSPM<3:0> = 1001 时可以访问。

表 14-4: 寄存器的初始状态 (续)

寄存器	地址	上电复位	MCLR 复位 WDT 复位 (续) 欠压复位 ⁽¹⁾	通过中断将器件从休眠状态唤醒 通过 WDT 延时从休眠状态唤醒
TRISB	86h/186h	1111 ----	1111 ----	uuuu ----
TRISC	87h/187h	1111 1111	1111 1111	uuuu uuuu
PIE1	8Ch	-000 0000	-000 0000	-uuu uuuu
PIE2	8Dh	0000 ----	0000 ----	uuuu uuuu
PCON	8Eh	--01 --qq	--0u --uu ^(1, 5)	--uu --uu
OSCCON	8Fh	-110 q000	-110 x000	-uuu uuuu
OSCTUNE	90h	---0 0000	---u uuuu	---u uuuu
PR2	92h	1111 1111	1111 1111	1111 1111
SSPADD	93h	0000 0000	1111 1111	uuuu uuuu
SSPMSK ⁽⁶⁾	93h	---- ----	1111 1111	uuuu uuuu
SSPSTAT	94h	0000 0000	1111 1111	uuuu uuuu
WPUA	95h	--11 -111	--11 -111	uuuu uuuu
IOCA	96h	--00 0000	--00 0000	--uu uuuu
WDTCON	97h	---0 1000	---0 1000	---u uuuu
TXSTA	98h	0000 0010	0000 0010	uuuu uuuu
SPBRG	99h	0000 0000	0000 0000	uuuu uuuu
SPBRGH	9Ah	0000 0000	0000 0000	uuuu uuuu
BAUDCTL	9Bh	01-0 0-00	01-0 0-00	uu-u u-uu
ADRESL	9Eh	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON1	9Fh	-000 ----	-000 ----	-uuu ----
EEDAT	10Ch	0000 0000	0000 0000	uuuu uuuu
EEADR	10Dh	0000 0000	0000 0000	uuuu uuuu
EEDATH	10Eh	--00 0000	--00 0000	--uu uuuu
EEADRH	10Fh	---- 0000	---- 0000	---- uuuu
WPUB	115h	1111 ----	1111 ----	uuuu ----
IOCB	116h	0000 ----	0000 ----	uuuu ----
VRCON	118h	0000 0000	0000 0000	uuuu uuuu
CM1CON0	119h	0000 -000	0000 -000	uuuu -uuu
CM2CON0	11Ah	0000 -000	0000 -000	uuuu -uuu
CM2CON1	11Bh	00-- --00	00-- --10	uu-- --uu
ANSEL	11Eh	1111 1111	1111 1111	uuuu uuuu
ANSELH	11Fh	---- 1111	---- 1111	---- uuuu
EECON1	18Ch	x--- x000	u--- q000	---- uuuu
EECON2	18Dh	---- ----	---- ----	---- ----
PSTRCON	19Dh	---0 0001	---0 0001	---u uuuu
SRCON	19EH	0000 00--	0000 00--	uuuu uu--

图注: u = 不变, x = 未知, - = 未用位, 读为 0, q = 值取决于具体条件。

- 注
- 1: 如果 VDD 过低, 将激活上电复位, 寄存器将受到不同的影响。
 - 2: INTCON 和 / 或 PIR1 寄存器中的 1 位或多位会受到影响 (引起唤醒)。
 - 3: 当器件被中断唤醒且 GIE 位置 1 时, PC 装入中断向是 (0004h)。
 - 4: 关于特定条件下的复位值, 请参见表 14-5。
 - 5: 如果复位是由于欠压引起的, 则 bit 0 = 0。所有其他复位将导致 bit 0 = u。
 - 6: 仅在 SSPM<3:0> = 1001 时可以访问。

PIC16F685/687/689/690

表 14-5: 特殊寄存器的初始状态

条件	程序计数器	状态寄存器	PCON 寄存器
上电复位	000h	0001 1xxx	--01 --0x
正常工作期间的 $\overline{\text{MCLR}}$ 复位	000h	000u uuuu	--0u --uu
休眠期间的 $\overline{\text{MCLR}}$ 复位	000h	0001 0uuu	--0u --uu
WDT 复位	000h	0000 uuuu	--0u --uu
WDT 唤醒	PC +1	uuu0 0uuu	--uu --uu
欠压复位	000h	0001 1uuu	--01 --10
通过中断从休眠唤醒	PC + 1 ⁽¹⁾	uuu1 0uuu	--uu --uu

图注: u = 不变, x = 未知, - = 未用位, 读为 0。

注 1: 当器件被中断唤醒且全局中断允许位 GIE 位置 1 时, 执行 PC+1 后, PC 装入中断向是 (0004h)。

14.3 中断

PIC16F685/687/689/690 有以下多种中断源：

- 外部中断 RA2/INT
- TMR0 溢出中断
- PORTA/PORTB 电平变化中断
- 两个比较器中断
- A/D 中断
- Timer1 溢出中断
- Timer2 匹配中断
- EEPROM 数据写中断
- 故障保护时钟监控器中断
- 增强型 CCP 中断
- EUSART 接收和发送中断

中断控制寄存器 (INTCON) 和外设中断请求寄存器 1 (PIR1) 在各自的标志位中记录各种中断请求。INTCON 寄存器还包括各个中断允许位和全局中断允许位。

全局中断允许位 GIE (INTCON<7>) 在置 1 时允许所有未屏蔽的中断，而在清零时禁止所有中断。可以通过在 INTCON、PIE1 和 PIE2 寄存器中相应的使能位来禁止各个中断。复位时 GIE 被清零。

执行“从中断返回”指令 RETFIE 退出中断程序并将 GIE 位置 1，从而重新使能未屏蔽的中断。

INTCON 寄存器包含以下中断标志位：

- INT 引脚中断
- PORTA/PORTB 电平变化中断
- TMR0 溢出中断

外设中断标志位在特殊寄存器 PIR1 和 PIR2 中。相应的中断允许位在特殊寄存器 PIE1 和 PIE2 中。

PIR1 寄存器包含以下中断标志位：

- A/D 中断
- EUSART 接收和发送中断
- Timer1 溢出中断
- 同步串行口 (SSP) 中断
- 增强型 CCP1 中断
- Timer1 溢出中断
- Timer2 匹配中断

PIR2 寄存器包含以下中断标志位：

- 故障保护时钟监控器中断
- 两个比较器中断
- EEPROM 数据写中断

当响应一个中断时：

- 将 GIE 位清零以禁止其他中断。
- 将返回地址压入堆栈。
- PC 中装入 0004h。

对于外部中断事件，例如 INT 引脚或 PORTA/PORTB 电平变化中断，中断响应延时将会是 3 到 4 个指令周期。确切的延时时间取决于发生中断事件的时间（见图 14-7）。对于单周期或双周期指令，中断响应延时完全相同。进入中断服务程序之后，就可以通过查询中断标志位来确定中断源。在重新允许中断前，必须用软件将中断标志位清零，以避免重复响应该中断。

- 注**
 - 1: 各中断标志位的置 1 不受相应的中断屏蔽位或 GIE 位状态的影响。
 - 2: 当执行一条清零 GIE 位的指令后，任何等待在下一周期执行的中断都将被忽略。当 GIE 位被再次置 1 后，被忽略的中断仍会继续等待处理。

关于 Timer1、Timer2、比较器、A/D、数据 EEPROM、EUSART、SSP 或增强型 CCP 模块的更多信息，请参见相应的外设章节。

14.3.1 RA2/INT 中断

RA2/INT 引脚上的外部中断是边沿触发的；当 INTEDG 位 (OPTION_REG<6>) 被置 1 时在上升沿触发，而当 INTEDG 位被清零时在下降沿触发。当 RA2/INT 引脚上出现有效边沿时，INTF 位 (INTCON<1>) 置 1。可以通过将 INTE 控制位 (INTCON<4>) 清零来禁止该中断。在重新使能该中断前，必须在中断服务程序中先用软件将 INTF 位清零。如果 INTE 位在进入休眠状态前被置 1，则 RA2/INT 中断能将处理器从休眠状态唤醒。GIE 位的状态决定处理器在被唤醒后是否会跳转到中断向是 (0004h) 处执行代码。关于休眠的详细信息，请参见第 14.6 节“掉电模式 (休眠)”；关于 RA2/INT 中断将处理器从休眠状态唤醒的时序，请参见图 14-9。

- 注：**必须对 ANSEL (11Eh) 和 CM2CON0 (11Ah) 寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚总是读为 0。

14.3.2 TMR0 中断

TMR0 寄存器溢出 (FFh → 00h) 会将 TOIF (INTCON<2>) 位置 1。可以通过置 1/ 清零 TOIE (INTCON<5>) 位来使能 / 禁止该中断。关于 Timer0 模块的操作，请参见第 5.0 节“Timer0 模块”。

PIC16F685/687/689/690

14.3.3 PORTA/PORTB 中断

PORTA 或 PORTB 输入电平的变化会使 RABIF (INTCON<0>) 位置 1。可以通过置 1/ 清零 RABIE (INTCON<3>) 位来使能 / 禁止该中断。此外, 可通过 IOCA 或 IOCB 寄存器对该端口的各个引脚进行配置。

注: 当读操作正在执行时发生了 I/O 引脚电平变化 (Q2 周期的起始时刻), 则 RABIF 中断标志位可能不会被置 1。更多信息, 请参见第 4.2.2 节 “电平变化中断”。

图 14-6: 中断逻辑

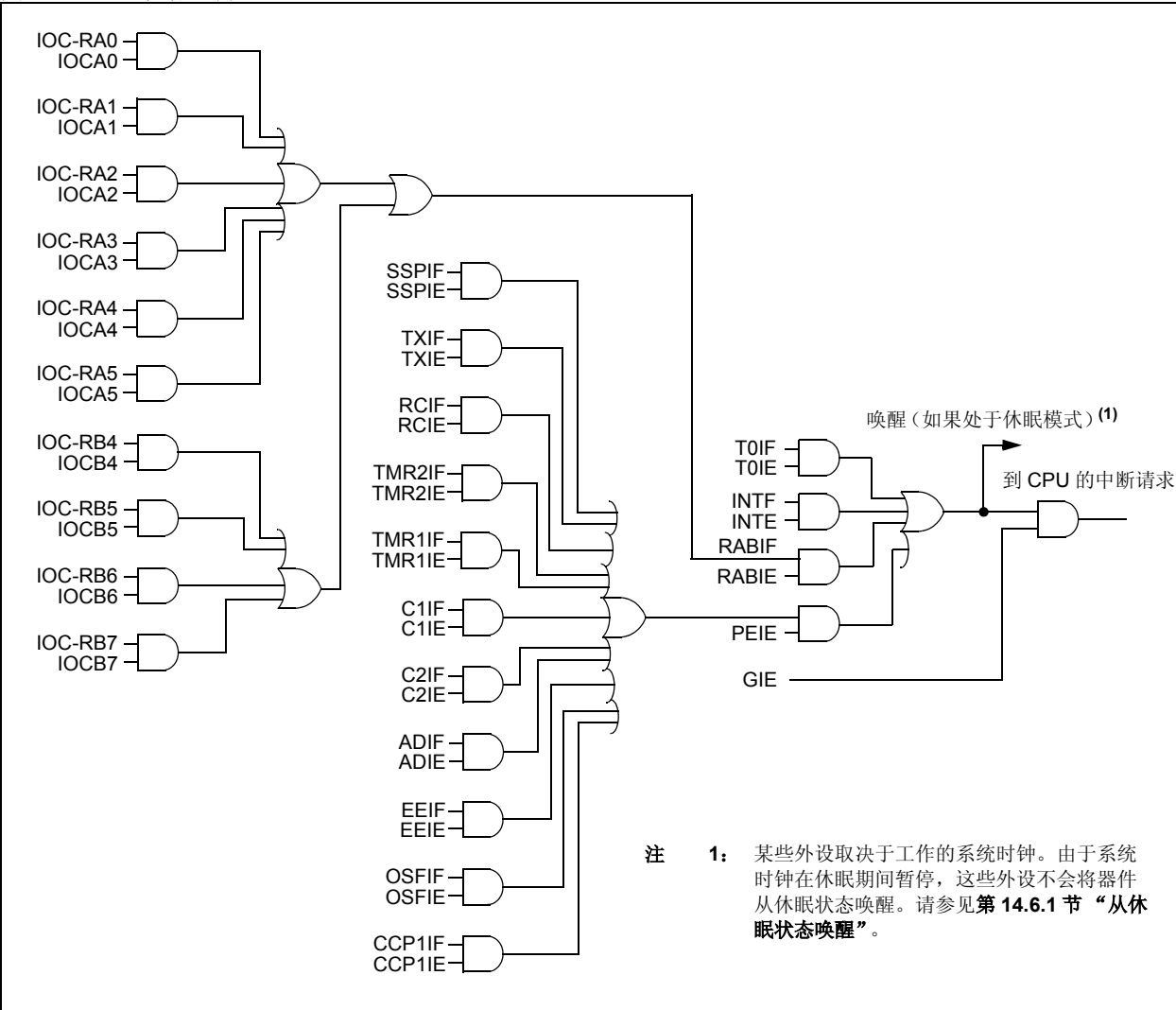


图 14-7: INT 引脚中断时序

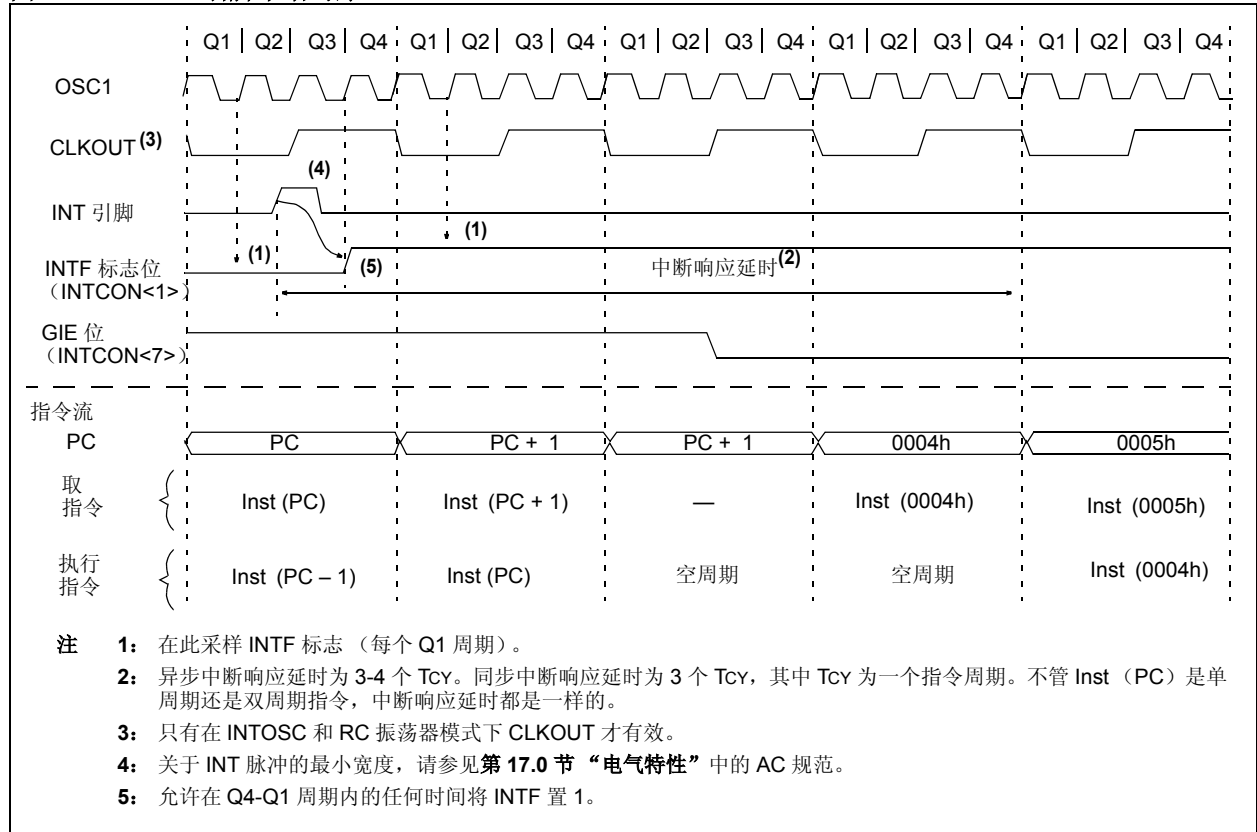


表 14-6: 中断寄存器汇总

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Bh/8Bh/10Bh/18Bh	INTCON	GIE	PEIE	TOIE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
0Dh	PIR2	OSFIF	C2IF	C1IF	EEIF	—	—	—	—	0000 ----	0000 ----
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
8Dh	PIE2	OSFIE	C2IE	C1IE	EEIE	—	—	—	—	0000 ----	0000 ----

图注: x = 未知, u = 不变, — = 未用, 读为 0, q = 值取决于具体条件。中断模块不使用阴影单元。

PIC16F685/687/689/690

14.4 中断的现场保护

在中断期间，仅将返回的 PC 值压入堆栈。通常情况下，用户可能希望在中断期间保存关键寄存器（例如，W 寄存器和状态寄存器）。这必须用软件实现。

由于在 PIC16F685/687/689/690 中，每个存储区的低 16 字节都是公用的（见图 2-1 和 2-2），临时保存寄存器 W_TEMP 和 STATUS_TEMP 都应该放在这里。这 16 个存储单元不需要分区，因此便于现场保护和恢复。与例 14-1 中相同的代码可被用于：

- 保存 W 寄存器
- 保存状态寄存器
- 执行 ISR 代码
- 恢复状态寄存器（和存储区选择位寄存器）
- 恢复 W 寄存器

注： PIC16F685/687/689/690 通常不需要保存 PCLATH。但是，如果要在 ISR 和主程序中使用计算 GOTO，就必须在 ISR 中保存和恢复 PCLATH。

例 14-1： 将状态寄存器和 W 寄存器保存在 RAM 中

```
MOVWF W_TEMP           ;Copy W to TEMP register
SWAPF STATUS,W         ;Swap status to be saved into W
CLRF STATUS             ;bank 0, regardless of current bank, Clears IRP,RP1,RP0
MOVWF STATUS_TEMP      ;Save status to bank zero STATUS_TEMP register
:
:(ISR)                  ;Insert user code here
:
SWAPF STATUS_TEMP,W     ;Swap STATUS_TEMP register into W
                        ;(sets bank to original state)
MOVWF STATUS           ;Move W into Status register
SWAPF W_TEMP,F         ;Swap W_TEMP
SWAPF W_TEMP,W         ;Swap W_TEMP into W
```

14.5 看门狗定时器 (WDT)

新的 WDT 与以前为其他 PICmicro® 单片机设计的 WDT 模块在功能上兼容。除了向后兼容，WDT 模块新添了用软件控制 16 位预分频器的功能。这就允许用户分别修改 WDT 和 TMR0 的预分频值。此外，由于 16 位预分频器，WDT 超时值可被扩展到 268 秒。在表 14-7 中说明的特定条件下，WDT 会被清零。

14.5.1 WDT 振荡器

WDT 以 31 kHz 的 LFINTOSC 振荡器作为其工作的时基，任何复位后 WDTCON 的值都为“---0 1000”。WDTCON 的结果复位值产生了 WDT 的 16 ms 标称时基。在 INTRC 和多路复用器之间的路径上添加了一个新的预分频器；多路复用器用来将 LFINTOSC 振荡器除以 32 至 65536 的值。添加预分频器得到 1 ms 至 268s 的 WDT 超时标称范围。图 14-8 显示了 WDT 电路框图以及新预分频器在电路中的位置。

14.5.2 WDT 控制

当 WDTE 位 (CONFIG<3>) 置 1 时，WDT 被使能并持续运行。当该位清零时，WDT 被禁止，但可以在程序存储器中用软件控制，SWDTEN 位 (WDTCON<0>) 对此没有影响。如果 WDTE 被清零，在程序存储器中通过软件可将 SWDTEN 位用于使能或禁止 WDT。

选项寄存器 (寄存器 2-2) 中的 PSA<3> 和 PS<2:0> 位具有与早期为 PICmicro 单片机设计的 WDT 模块同样的功能。关于选项寄存器的更多信息，请参见第 5.0 节“Timer0 模块”。

注： 当执行振荡器起振定时器 (OST) 时，WDT 保持复位状态，因为 OST 使用 WDT 纹波计数器来执行振荡器延时计数。OST 计数到期后，WDT 将开始计数 (如果使能)。

图 14-8: 看门狗定时器框图

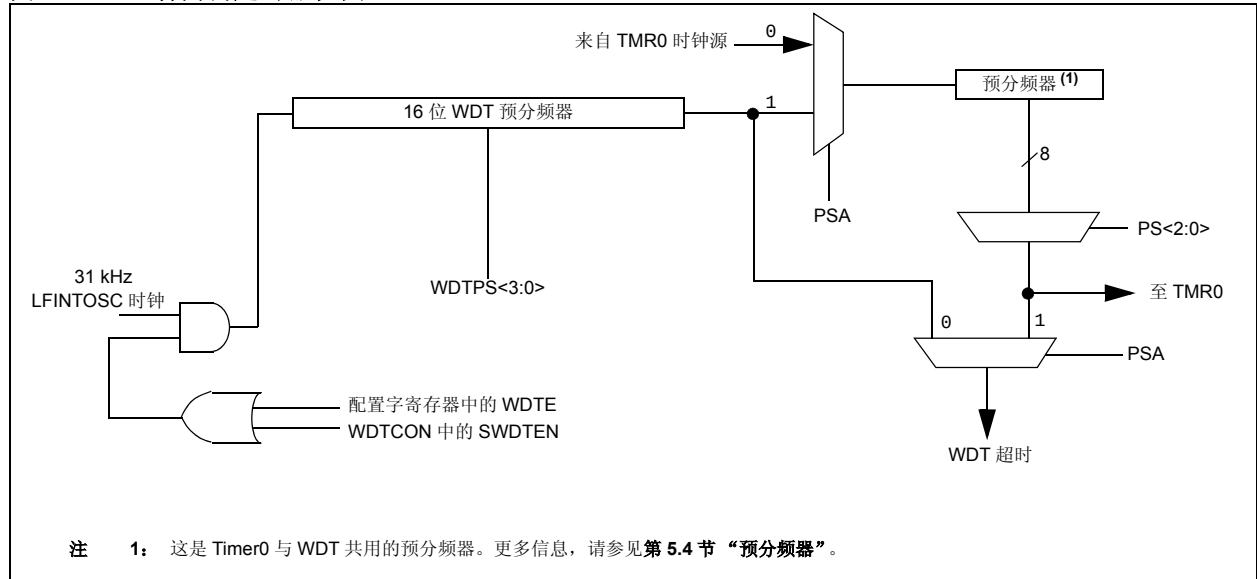


表 14-7: WDT 状态

条件	WDT
WDTE = 0	清零
CLRWDI 指令	
检测到振荡器故障	
退出休眠 + 系统时钟 = T1OSC、EXTRC、INTOSC 或 EXTCLK	
退出休眠 + 系统时钟 = XT、HS 或 LP	清零直到 OST 结束

PIC16F685/687/689/690

寄存器 14-2: **WDTCON**——看门狗定时器控制寄存器（地址：97h）

U-0	U-0	U-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN ⁽¹⁾
bit 7			bit 0				

bit 7-5 未用：读为 0

bit 4-1 **WDTPS<3:0>**：看门狗定时器周期选择位

位值 = 预分频比

0000 = 1:32

0001 = 1:64

0010 = 1:128

0011 = 1:256

0100 = 1:512（复位值）

0101 = 1:1024

0110 = 1:2048

0111 = 1:4096

1000 = 1:8192

1001 = 1:16384

1010 = 1:32768

1011 = 1:65536

1100 = 保留

1101 = 保留

1110 = 保留

1111 = 保留

bit 0 **SWDTEN**：软件使能或禁止看门狗定时器位 ⁽¹⁾

1 = WDT 开启

0 = WDT 关闭（复位值）

注 1：如果 WDTE 配置位 = 1，则 WDT 始终被使能，而与该控制位的状态无关。如果 WDTE 配置位 = 0，则可以使用该控制位开启 / 关闭 WDT。

图注：

R = 可读位

W = 可写位

U = 未用位，读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

表 14-8: 看门狗定时器寄存器汇总

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
97h	WDTCON	—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN
81h/181h	OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
2007h ⁽¹⁾	CONFIG	CPD	CP	MCLRE	PWRTE	WDTE	FOSC2	FOSC1	FOSC0

图注：看门狗定时器不使用阴影单元。

注 1：关于配置字寄存器中所有位的操作，请参见寄存器 14-1。

14.6 掉电模式（休眠）

通过执行 **SLEEP** 指令可进入掉电模式。

如果使能看门狗定时器：

- **WDT** 将被清零并保持运行。
- 状态寄存器中的 **PD** 位被清零。
- **TO** 位被置 1。
- 关闭振荡器驱动器。
- I/O 端口保持执行 **SLEEP** 指令之前的状态（驱动为高电平、低电平或高阻状态）。

为使这种模式下的电流消耗降至最低，所有 I/O 引脚都应保持为 **VDD** 或 **VSS**，以确保没有外部电路从 I/O 引脚消耗电流，同时应禁止比较器和 **CVREF**。为了避免输入引脚悬空而引入开关电流，应在外部将高阻输入的 I/O 引脚拉为高电平或低电平。为使电流消耗降至最低，**T0CKI** 输入也应保持为 **VDD** 或 **VSS**。还应考虑 **PORTA** 片上上拉的影响。

MCLR 引脚必须处于逻辑高电平。

注： 应该注意到 **WDT** 超时导致的复位并不会将 **MCLR** 引脚驱动为低电平。

14.6.1 从休眠状态唤醒

可以通过以下任一事件将器件从休眠状态唤醒：

1. **MCLR** 引脚上的外部复位输入。
2. 看门狗定时器唤醒（如果 **WDT** 使能）。
3. **RA2/INT** 引脚中断、**PORTA** 电平变化中断或外设中断。

第一种事件会导致器件复位。后两种事件被认为是程序执行的继续。状态寄存器中的 **TO** 和 **PD** 位用于确定器件复位的原因。**PD** 位在上电时被置 1，而在执行 **SLEEP** 指令时被清零。**TO** 位在发生 **WDT** 唤醒时被清零。

下列外设中断可以将器件从休眠状态唤醒：

1. **TMR1** 中断。**Timer1** 必须用作异步计数器。
2. **ECCP** 捕捉模式中断。
3. 特殊事件触发器（**Timer1** 使用外部时钟并处于异步模式下）。
4. **A/D** 转换（当 **A/D** 时钟源为 **RC** 时）。
5. **EEPROM** 写操作完成。
6. 比较器输出状态变化。
7. 电平变化中断。
8. 来自 **INT** 引脚的外部中断。
9. **EUSART** 间隔检测，**I²C** 从动。

由于在休眠期间没有片上时钟处于工作状态，因此其他外设不能产生中断。

当执行 **SLEEP** 指令时，下一条指令（**PC + 1**）将预先取出。如果希望通过中断事件唤醒器件，则必须将相应的中断允许位置 1（使能）。唤醒与 **GIE** 位的状态无关。如果 **GIE** 位被清零（禁止），器件将继续执行 **SLEEP** 指令之后的指令。如果 **GIE** 位被置 1（使能），器件执行 **SLEEP** 指令之后的指令，然后跳转到中断地址（**0004h**）处执行代码。如果不希望执行 **SLEEP** 指令之后的指令，用户应该在 **SLEEP** 指令后面放置一条 **NOP** 指令。

注： 如果禁止了全局中断（**GIE** 被清零），但有任何一中断源将其中断允许位以及相应的中断标志位置 1，器件将立即从休眠状态唤醒。**SLEEP** 指令执行完成。

器件从休眠状态唤醒时，**WDT** 都将被清零，而与唤醒原因无关。

14.6.2 使用中断唤醒

当禁止全局中断（**GIE** 被清零）时，并且有任何一中断源将其中断允许位和中断标志位置 1，将会发生下列事件之一：

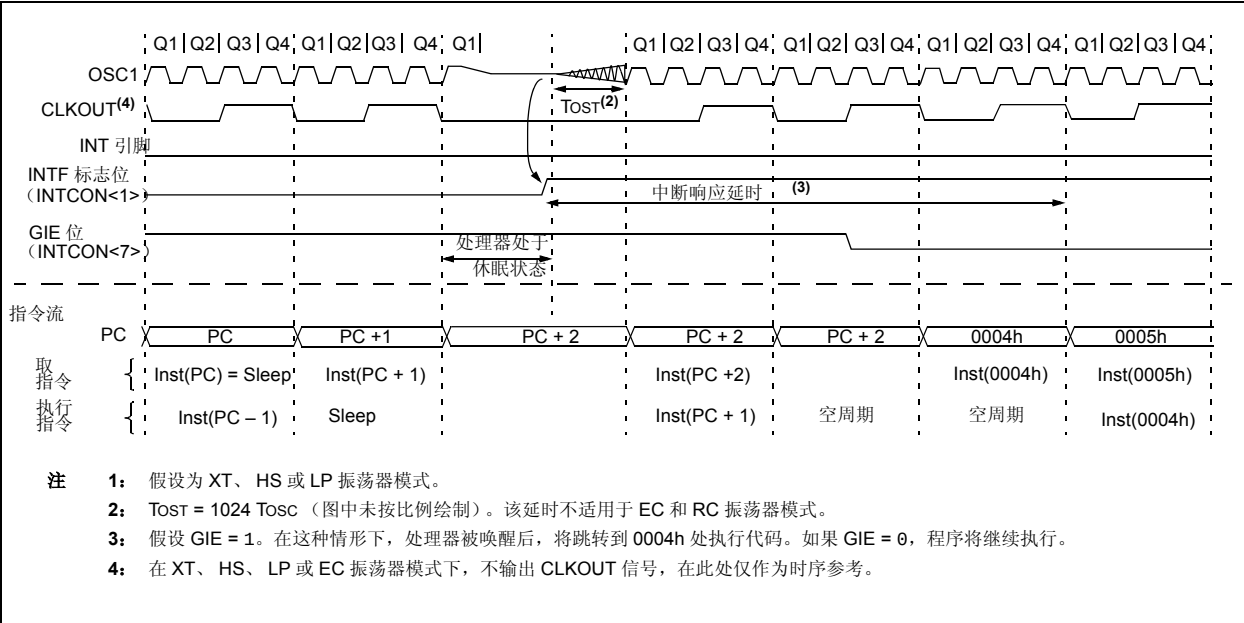
- 如果在执行 **SLEEP** 之前产生了中断，那么 **SLEEP** 指令将被作为一条 **NOP** 指令执行。因此，**WDT** 及其预分频器和后分频器（如果使能）将不会被清零，并且 **TO** 位将不会被置 1，同时 **PD** 位也不会被清零。
- 如果在执行 **SLEEP** 指令期间或之后产生了中断，那么器件将被立即从休眠状态唤醒。**SLEEP** 指令将在唤醒之前执行完毕。因此，**WDT** 及其预分频器和后分频器（如果使能）将被清零，并且 **TO** 位将被置 1，同时 **PD** 位也将被清零。

即使在执行 **SLEEP** 指令之前，检查到标志位为 0，它也可能在 **SLEEP** 指令执行完毕之前被置 1。要确定是否执行了 **SLEEP** 指令，可测试 **PD** 位。如果 **PD** 位置 1，则说明 **SLEEP** 指令被当作一条 **NOP** 指令执行了。

在执行 **SLEEP** 指令之前，必须先执行一条 **CLRWDI** 指令，来确保将 **WDT** 清零。

PIC16F685/687/689/690

图 14-9： 通过中断将器件从休眠状态唤醒



14.7 代码保护

如果代码保护位未编程, 验证时可以通过使用 ICSP™ 将片上程序存储器读出。

注: 当关闭代码保护功能时, 将擦除整个数据 EEPROM 和闪存程序存储器的内容。更多信息, 请参见 “PIC12F6XX/16F6XX Memory Programming Specification” (DS41204)。

14.8 ID 地址单元

有 4 个存储器单元 (2000h - 2003h) 被指定为 ID 地址单元, 供用户存储校验和或其他代码标识号。在正常执行过程中不能访问这些单元, 但可在编程 / 校验模式下对它们进行读写。只可使用了 ID 地址单元的低 7 位。

14.9 在线串行编程

可在最终应用电路中对 PIC16F685/687/689/690 单片机进行串行编程。编程可以简单地通过一根时钟线、一根数据线和另外三根线 (如下) 完成:

- 电源线
- 接地线
- 编程电压线

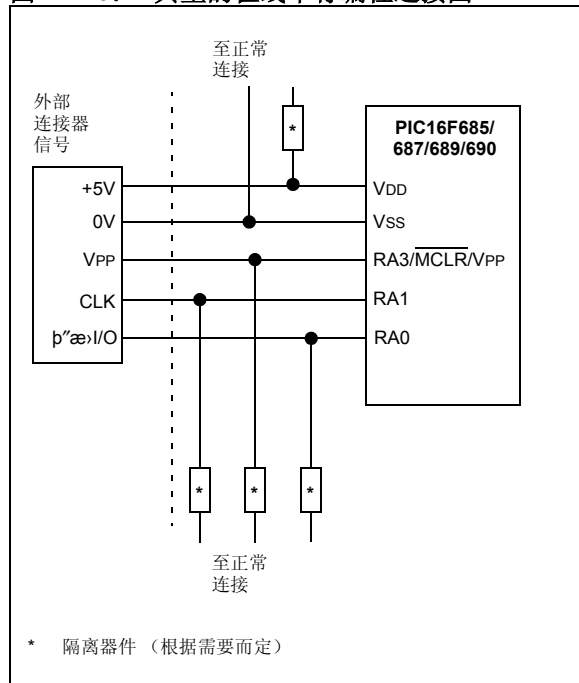
这允许用户使用未编程器件制造电路板, 而仅在产品交付前才对单片机进行编程。这样还使最新固件或定制固件得以编程到器件中。

通过将 RA0/AN0/C1IN+/ICSPDAT/ULPWU 和 RA1/AN1/C12IN-/VREF/ICSPCLK 引脚保持为低电平, 并同时 MCLR (VPP) 引脚电平从 V_{IL} 升到 V_{IH} , 可将器件置于编程 / 校验模式。更多信息, 请参见 “PIC12F6XX/16F6XX Memory Programming Specification” (DS41204)。RA0 变成编程数据引脚, 而 RA1 变成编程时钟引脚。在此模式下, RA0 和 RA1 均为施密特触发器输入引脚。

复位后, 为将器件置于编程 / 校验模式, 程序计数器 (PC) 指向地址单元 00h。然后向器件发送一条 6 位命令。根据具体命令是执行装载还是读取操作, 可向器件提供一个 14 位的程序数据或是从器件取一个 14 位的程序数据。关于串行编程的完整细节, 请参见 “PIC12F6XX/16F6XX Memory Programming Specification” (DS41204)。

图 14-10 给出了典型的在线串行编程连接图。

图 14-10: 典型的在线串行编程连接图



PIC16F685/687/689/690

注:

15.0 指令集汇总

PIC16F685/687/689/690 指令集具有高度正交性，由以下三种基本类型的指令组成：

- 字节操作类指令
- 位操作类指令
- 立即数和控制操作类指令

每一条 PIC16 指令字长是 14 位，由说明指令类型的操作码和进一步说明指令具体操作的一个或多个操作数组成。图 15-1 给出了上述各种类型的指令格式，表 15-1 给出了不同操作码字段的说明。

表 15-2 列出了 MPASM™ 汇编器可识别的指令。

对于字节操作类指令，“f”表示文件寄存器标识符，“d”表示目标寄存器标识符。文件寄存器标识符指定了指令使用的文件寄存器。

目标标识符指定了操作结果的存放位置。如果“d”为 0，操作结果存入 W 寄存器。如果“d”为 1，操作结果存入指令指定的文件寄存器。

对于位操作类指令，“b”表示位段标识符，它可选择受到操作影响的位，而“f”表示该位所处的文件寄存器地址。

对于立即数和控制操作类指令，“k”表示一个 8 位或 11 位的常数或立即数。

每个指令周期由 4 个振荡器周期组成；因此，对于频率为 4 MHz 的振荡器，正常的指令执行时间为 1 μs。除非条件测试为真或指令的结果改变了程序计数器的值，所有的指令在一个指令周期内执行完成。如果条件测试为真或指令的结果改变了程序计数器的值，指令执行需要两个指令周期，在第二个周期内执行一条 NOP 指令。

注： 为了与未来产品向上兼容，请不要使用 OPTION 和 TRIS 指令。

所有指令示例均使用“0xhh”来表示一个十六进制数，其中“h”表示一个十六进制数。

15.1 读—修改—写操作

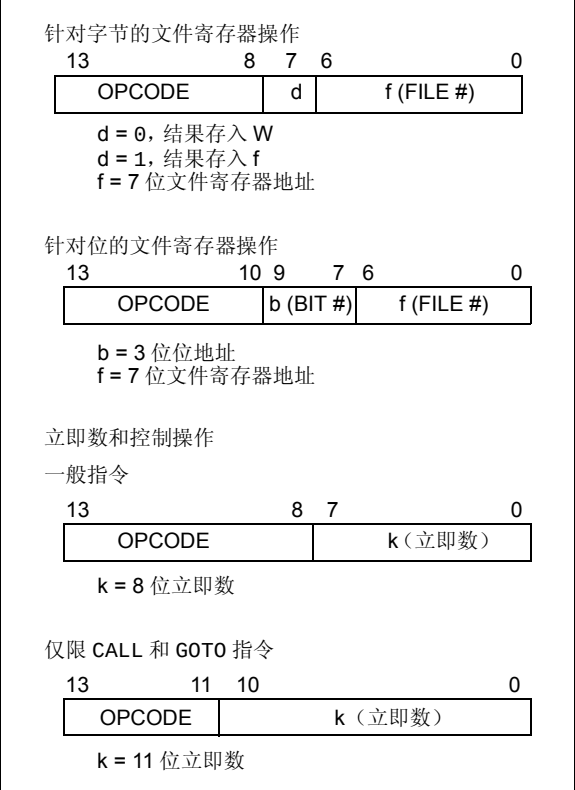
任何一个将文件寄存器指定为指令的一部分的指令都进行读—修改—写（RMW）操作。读寄存器、修改数据并根据指令或目标标识符“d”存储结果。即使指令写入该寄存器，还是会发生对寄存器的读操作。

例如，CLRF PORTA 指令将读取 PORTA，清除所有数据位，然后把结果写回到 PORTA。这个示例中会得到一个意外结果，即清除将 RABIF 标志位置 1 的条件。

表 15-1: 操作码字段说明

字段	说明
f	寄存器文件地址（0x00 至 0x7F）
w	工作寄存器（累加器）
b	8 位文件寄存器内的位地址
k	立即数、常数或标号
x	无关位（=0 或 1）。 汇编器将在 x = 0 时生成代码。建议使用这种形式，以便与所有 Microchip 软件工具兼容。
d	目标寄存器选择；d = 0：结果存入 W， d = 1：结果存入文件寄存器 f。 缺省值 d = 1。
PC	程序计数器
TO	超时标志位
PD	掉电标志位

图 15-1: 指令的一般格式



PIC16F685/687/689/690

表 15-2: PIC16F685/687/689/690 指令集

助记符, 操作数	说明	周期	14 位操作码				影响的 状态位	注释
			MSb		LSb			
针对字节的文件寄存器操作								
ADDWF	f, d	W 与 f 相加	1	00	0111	dfff ffff	C, DC, Z	1, 2
ANDWF	f, d	W 与 f 相与	1	00	0101	dfff ffff	Z	1, 2
CLRF	f	将 f 清零	1	00	0001	lfff ffff	Z	2
CLRW	—	将 W 清零	1	00	0001	0xxx xxxx	Z	
COMF	f, d	求 f 的补码	1	00	1001	dfff ffff	Z	1, 2
DECF	f, d	f 减 1 操作	1	00	0011	dfff ffff	Z	1, 2
DECFSZ	f, d	f 减 1 操作, 若为 0 则跳过	1(2)	00	1011	dfff ffff		1, 2, 3
INCF	f, d	f 加 1 操作	1	00	1010	dfff ffff	Z	1, 2
INCFSZ	f, d	f 加 1 操作, 若为 0 则跳过	1(2)	00	1111	dfff ffff		1, 2, 3
IORWF	f, d	W 与 f 同或	1	00	0100	dfff ffff	Z	1, 2
MOVF	f, d	传送 f	1	00	1000	dfff ffff	Z	1, 2
MOVWF	f	将 W 送至 f	1	00	0000	lfff ffff		
NOP	—	空操作	1	00	0000	0xx0 0000		
RLF	f, d	f 寄存器带进位位左循环	1	00	1101	dfff ffff	C	1, 2
RRF	f, d	f 寄存器带进位位右循环	1	00	1100	dfff ffff	C	1, 2
SUBWF	f, d	f 减 W	1	00	0010	dfff ffff	C, DC, Z	1, 2
SWAPF	f, d	f 半字节交换	1	00	1110	dfff ffff		1, 2
XORWF	f, d	W 与 f 异或	1	00	0110	dfff ffff	Z	1, 2
针对位的文件寄存器操作								
BCF	f, b	将 f 位清零	1	01	00bb	bfff ffff		1, 2
BSF	f, b	将 f 位置 1	1	01	01bb	bfff ffff		1, 2
BTFSZ	f, b	测试 f 位, 若为 0 则跳过	1 (2)	01	10bb	bfff ffff		3
BTFSZ	f, b	测试 f 位, 若为 1 则跳过	1 (2)	01	11bb	bfff ffff		3
立即数和控制操作								
ADDLW	k	立即数与 W 相加	1	11	111x	kkkk kkkk	C, DC, Z	
ANDLW	k	立即数与 W 相与	1	11	1001	kkkk kkkk	Z	
CALL	k	调用子程序	2	10	0kkk	kkkk kkkk		
CLRWDT	—	清零看门狗定时器	1	00	0000	0110 0100	$\overline{TO}, \overline{PD}$	
GOTO	k	转移	2	10	1kkk	kkkk kkkk		
IORLW	k	立即数与 W 同或	1	11	1000	kkkk kkkk	Z	
MOVLW	k	立即数移至 W	1	11	00xx	kkkk kkkk		
RETFIE	—	中断返回	2	00	0000	0000 1001		
RETLW	k	立即数送到 W 中返回	2	11	01xx	kkkk kkkk		
RETURN	—	从子程序返回	2	00	0000	0000 1000		
SLEEP	—	进入待机模式	1	00	0000	0110 0011	$\overline{TO}, \overline{PD}$	
SUBLW	k	立即数减 W	1	11	110x	kkkk kkkk	C, DC, Z	
XORLW	k	立即数与 W 异或	1	11	1010	kkkk kkkk	Z	

- 注 1: 当 I/O 寄存器作为其自身的函数被修改时 (例如, MOVF PORTA, 1), 所使用的值是引脚的当前值。例如, 如果在配置为输入的引脚上, 数据锁存值为 1, 并被外部器件驱动为低电平, 那么被写回的数据值将为 0。
- 2: 如果指令在 TMR0 寄存器上执行 (且适当时 d = 1), 分配给 Timer0 模块的预分频器将被清零。
- 3: 如果程序计数器 (PC) 被修改或条件测试为真, 则指令的执行需要两个周期。第二个周期执行一条 NOP 指令。

15.2 指令说明

ADDLW 立即数与 W 相加

语法: [标号] ADDLW k
 操作数: $0 \leq k \leq 255$
 操作: $(W) + k \rightarrow (W)$
 影响的状态位: C, DC, Z
 说明: 将 W 寄存器的内容与 8 位立即数 k 相加, 结果存入 W 寄存器。

ADDWF W 与 f 相加

语法: [标号] ADDWF f,d
 操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
 操作: $(W) + (f) \rightarrow (\text{目标寄存器})$
 影响的状态位: C, DC, Z
 说明: 将 W 寄存器与 f 寄存器的内容相加。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

ANDLW 立即数与 W 相与

语法: [标号] ANDLW k
 操作数: $0 \leq k \leq 255$
 操作: $((W) .AND. (k) \rightarrow (W))$
 影响的状态位: Z
 说明: 将 W 寄存器的内容与 8 位立即数 k 相与。结果存入 W 寄存器。

ANDWF W 与 f 相与

语法: [标号] ANDWF f,d
 操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
 操作: $(W) .AND. (f) \rightarrow (\text{目标寄存器})$
 影响的状态位: Z
 说明: 将 W 寄存器与 f 寄存器的内容相与。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

BCF 将 f 位清零

语法: [标号] BCF f,b
 操作数: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 操作: $0 \rightarrow (f)$
 影响的状态位: 无
 说明: f 寄存器的第 b 位被清零。

BSF 将 f 位置 1

语法: [标号] BSF f,b
 操作数: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 操作: $1 \rightarrow (f)$
 影响的状态位: 无
 说明: f 寄存器的第 b 位被置 1。

BTFSC 测试 f 位, 若为 0 则跳过

语法: [标号] BTFSC f,b
 操作数: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 操作: 如果 $(f) = 0$, 则跳过
 影响的状态位: 无
 说明: 如果 f 寄存器的第 b 位为 1, 则执行下一条指令。
 如果 f 寄存器的第 b 位为 0, 则放弃下一条指令, 代之执行一条 NOP 指令, 使之成为一条双周期指令。

PIC16F685/687/689/690

BTFSS	测试 f 位，若为 1 则跳过	CLRWDT	清零看门狗定时器
语法:	[标号] BTFSS f,b	语法:	[标号] CLRWDT
操作数:	$0 \leq f \leq 127$ $0 \leq b < 7$	操作数:	无
操作:	如果 $(f < b) = 1$ ，则跳过	操作:	00h $\rightarrow$ WDT $0 \rightarrow \overline{\text{WDT}}$ 预分频器， $1 \rightarrow \overline{\text{TO}}$ $1 \rightarrow \overline{\text{PD}}$
影响的状态位:	无	影响的状态位:	$\overline{\text{TO}}$ ， $\overline{\text{PD}}$
说明:	如果 f 寄存器的第 b 位为 0，则执行下一条指令。 如果 f 寄存器的第 b 位为 1，则放弃下一条指令，代之执行一条 NOP 指令，使之成为一条双周期指令。	说明:	CLRWDT 指令将看门狗定时器复位，同时将 WDT 的预分频器复位。 状态位 $\overline{\text{TO}}$ 和 $\overline{\text{PD}}$ 都被置 1。
CALL	调用子程序	COMF	求 f 的补码
语法:	[标号] CALL k	语法:	[标号] COMF f,d
操作数:	$0 \leq k \leq 2047$	操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	$(\text{PC}) + 1 \rightarrow \text{TOS}$ ， $k \rightarrow \text{PC} < 10:0 >$ ， $(\text{PCLATH} < 4:3 >) \rightarrow \text{PC} < 12:11 >$	操作:	$(\bar{f}) \rightarrow (\text{目标寄存器})$
影响的状态位:	无	影响的状态位:	Z
说明:	调用子程序。首先，返回的地址值 $(\text{PC} + 1)$ 被压入堆栈。11 位直接寻址值被载入 PC 的 $<10:0 >$ 位。PC 的高位值从 PCLATH 载入。CALL 是一条双周期指令。	说明:	对 f 寄存器的内容求补。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。
CLRF	将 f 清零	DECF	f 减 1 操作
语法:	[标号] CLRF f	语法:	[标号] DECF f,d
操作数:	$0 \leq f \leq 127$	操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	00h $\rightarrow (f)$ $1 \rightarrow Z$	操作:	$(f) - 1 \rightarrow (\text{目标寄存器})$
影响的状态位:	Z	影响的状态位:	Z
说明:	f 寄存器的内容被清零，并且 Z 位被置 1。	说明:	对 f 寄存器的内容进行减 1 操作。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。
CLRW	将 W 清零		
语法:	[标号] CLRW		
操作数:	无		
操作:	00h $\rightarrow (W)$ $1 \rightarrow Z$		
影响的状态位:	Z		
说明:	W 寄存器清零。零标志位 (Z) 被置 1。		

DECFSZ	f 减 1 操作, 若为 0 则跳过
语法:	[标号] DECFSZ f,d
操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	$(f) - 1 \rightarrow (\text{目标寄存器})$ 如果结果 = 0 则跳过
影响的状态位:	无
说明:	对 f 寄存器的内容进行减 1 操作。 如果 d 为 0, 结果存入 W 寄存器。 如果 d 为 1, 结果存回 f 寄存器。 如果结果为 1, 执行下一条指令。 如果结果为 0, 代之执行一条 NOP 指令, 使之成为一条双周期指令。

INCFSZ	f 加 1 操作, 若为 0 则跳过
语法:	[标号] INCFSZ f,d
操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	$(f) + 1 \rightarrow (\text{目标寄存器})$, 如果结果 = 0 则跳过
影响的状态位:	无
说明:	对 f 寄存器的内容进行加 1 操作。 如果 d 为 0, 结果存入 W 寄存器。 如果 d 为 1, 结果存回 f 寄存器。 如果结果为 1, 执行下一条指令。 如果结果为 0, 代之执行一条 NOP 指令, 使之成为一条双周期指令。

GOTO	无条件转移
语法:	[标号] GOTO k
操作数:	$0 \leq k \leq 2047$
操作:	$k \rightarrow PC<10:0>$ $PCLATH<4:3> \rightarrow PC<12:11>$
影响的状态位:	无
说明:	GOTO 是一条无条件转移指令。11 位立即值被载入 PC 的 <10:0> 位。PC 的高位从 PCLATH<4:3> 载入。GOTO 是一条双周期指令。

IORLW	立即数与 W 同或
语法:	[标号] IORLW k
操作数:	$0 \leq k \leq 255$
操作:	$(W) .OR. k \rightarrow (W)$
影响的状态位:	Z
说明:	W 寄存器的内容与 8 位立即数 k 进行同或运算。结果存入 W 寄存器。

INCF	f 加 1 操作
语法:	[标号] INCF f,d
操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	$(f) + 1 \rightarrow (\text{目标寄存器})$
影响的状态位:	Z
说明:	对 f 寄存器的内容进行加 1 操作。 如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

IORWF	W 与 f 同或
语法:	[标号] IORWF f,d
操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	$(W) .OR. (f) \rightarrow (\text{目标寄存器})$
影响的状态位:	Z
说明:	W 寄存器与 f 寄存器的内容进行同或运算。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

PIC16F685/687/689/690

MOVF	传送 f
语法:	[标号] MOVF f,d
操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	(f) → (目标寄存器)
影响的状态位:	Z
说明:	根据 d 的状态, f 寄存器的内容被传送到目标寄存器。如果 d = 0, 目标寄存器为 W 寄存器。如果 d = 1, 目标寄存器为文件寄存器 f 本身。由于状态标志位 Z 要受影响, 可用 d = 1 对文件寄存器进行检测。
字:	1
周期:	1
示例	<pre>MOVF FSR, 0</pre> 指令执行后 W = FSR 寄存器的 值 Z = 1

MOVLW	立即数移至 W
语法:	[标号] MOVLW k
操作数:	$0 \leq k \leq 255$
操作:	k → (W)
影响的状态位:	无
说明:	将 8 位立即数 k 载入 W 寄存器。其余无关位均为 0。
字:	1
周期:	1
示例	<pre>MOVLW 0x5A</pre> 指令执行后 W = 0x5A

MOVWF	将 W 送至 f
语法:	[标号] MOVWF f
操作数:	$0 \leq f \leq 127$
操作:	(W) → (f)
影响的状态位:	无
说明:	将 W 寄存器的数据送入 f 寄存器。
字:	1
周期:	1
示例	<pre>MOVWF OPTION F</pre> 指令执行前 OPTION = 0xFF W = 0x4F 指令执行后 OPTION = 0x4F W = 0x4F

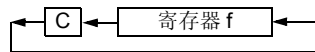
NOP	空操作
语法:	[标号] NOP
操作数:	无
操作:	空操作
影响的状态位:	无
说明:	空操作。
字:	1
周期:	1
示例	<pre>NOP</pre>

RETFIE	中断返回	RETLW	立即数送到 W 中返回
语法:	[标号] RETFIE	语法:	[标号] RETLW k
操作数:	无	操作数:	0 ≤ k ≤ 255
操作:	TOS → PC, 1 → GIE	操作:	k → (W); TOS → PC
影响的状态位:	无	影响的状态位:	无
说明:	从中断返回。进行出栈操作, 栈顶 (TOS) 载入 PC。通过设置全局中断允许位 GIE (INTCON<7>), 允许中断。这是一条双周期指令。	说明:	W 寄存器装入 8 位立即数 k。堆栈的栈顶地址 (返回地址) 载入程序计数器。这是一条双周期指令。
字:	1	字:	1
周期:	2	周期:	2
示例	RETFIE 中断后 PC = TOS GIE = 1	示例	CALL TABLE ;W contains ;table TABLE ;offset value • ;W now has table value • • ADDWF PC ;W = offset RETLW k1 ;Begin table RETLW k2 ; • • • RETLW kn ; End of table 指令执行前 W = 0x07 指令执行后 W = k8 的值
		RETURN	从子程序返回
		语法:	[标号] RETURN
		操作数:	无
		操作:	TOS → PC
		影响的状态位:	无
		说明:	从子程序返回。进行出栈操作, 栈顶 (TOS) 载入程序计数器。这是一条双周期指令。

PIC16F685/687/689/690

RLF **f** 寄存器带进位位左循环

语法: [标号] RLF f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: 参见如下说明
影响的状态位: C
说明: f 寄存器的内容带进位标志位向左循环一位。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。



字: 1

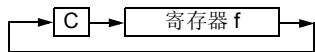
周期: 1

示例 RLF REG1,0

指令执行前
REG1 = 1110 0110
C = 0
指令执行后
REG1 = 1110 0110
W = 1100 1100
C = 1

RRF **f** 寄存器带进位位右循环

语法: [标号] RRF f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: 参见如下说明
影响的状态位: C
说明: f 寄存器的内容带进位标志位向右循环一位。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。



SLEEP 进入休眠模式

语法: [标号] SLEEP
操作数: 无
操作: 00h → WDT,
0 → WDT 预分频器,
1 → $\overline{TQ}$,
0 → PD
影响的状态位: $\overline{TO}$, $\overline{PD}$
说明: 掉电状态位 $\overline{PD}$ 被清零。超时状态位 $\overline{TO}$ 被置 1。看门狗定时器及其预分频器被清零。振荡器停止工作, 处理器进入休眠模式。

SUBLW 立即数减 W

语法: [标号] SUBLW k
操作数: $0 \leq k \leq 255$
操作: $k - (W) \rightarrow (W)$
影响的状态位: C, DC, Z
说明: 8 位立即数 k 减去 W 寄存器的内容 (2 的补码)。结果存入 W 寄存器。

SUBWF **f** 减 W

语法: [标号] SUBWF f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: $(f) - (W) \rightarrow (\text{目标寄存器})$
影响的状态位: C, DC, Z
说明: f 寄存器内容减去 W 寄存器 (2 的补码)。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

SWAPF **f 半字节交换**

语法: [标号] SWAPF f,d

操作数: $0 \leq f \leq 127$
 $d \in [0,1]$

操作: $(f<3:0>) \rightarrow (\text{目标寄存器 } <7:4>)$
 $(f<7:4>) \rightarrow (\text{目标寄存器 } <3:0>)$

影响的状态位: 无

说明: f 寄存器的高半字节和低半字节相互交换。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

XORLW **立即数与 W 异或**

语法: [标号] XORLW k

操作数: $0 \leq k \leq 255$

操作: $(W) .XOR. k \rightarrow (W)$

影响的状态位: Z

说明: W 寄存器的内容与 8 位立即数 k 进行异或运算。结果存入 W 寄存器。

XORWF **W 与 f 异或**

语法: [标号] XORWF f,d

操作数: $0 \leq f \leq 127$
 $d \in [0,1]$

操作: $(W) .XOR. (f) \rightarrow (\text{目标寄存器})$

影响的状态位: Z

说明: W 寄存器与 f 寄存器的内容进行异或运算。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

PIC16F685/687/689/690

注:

16.0 开发支持

一系列硬件及软件开发工具对 PICmicro® 单片机提供支持：

- 集成开发环境
 - MPLAB® IDE 软件
- 汇编器 / 编译器 / 链接器
 - MPASM™ 汇编器
 - MPLAB C18 和 MPLAB C30 C 编译器
 - MPLINK™ 目标链接器 / MPLIB™ 目标库管理器
 - MPLAB ASM30 汇编器 / 链接器 / 库
- 模拟器
 - MPLAB SIM 软件模拟器
- 仿真器
 - MPLAB ICE 2000 在线仿真器
 - MPLAB ICE 4000 在线仿真器
- 在线调试器
 - MPLAB ICD 2
- 器件编程器
 - PICSTART® Plus 开发编程器
 - MPLAB PM3 器件编程器
 - PICKit™ 2 开发编程器
- 低成本演示和开发板及评估工具包

16.1 MPLAB 集成开发环境软件

MPLAB IDE 软件为 8/16 位单片机市场提供了前所未有的易于使用的软件开发平台。MPLAB IDE 是基于 Windows® 操作系统的应用软件，包括：

- 一个包含所有调试工具的图形界面
 - 模拟器
 - 编程器（单独销售）
 - 仿真器（单独销售）
 - 在线调试器（单独销售）
- 具有彩色上下文代码显示的全功能编辑器
- 多项目管理器
- 内容可直接编辑的可定制式数据窗口
- 高级源代码调试
- 可视化器件初始化程序，便于进行寄存器的初始化
- 鼠标停留在变量上进行查看的功能
- 通过拖放把变量从源代码窗口拉到观察窗口
- 丰富的在线帮助
- 集成了可选的第三方工具，如 HI-TECH 软件 C 编译器和 IAR C 编译器

MPLAB IDE 可以让您：

- 编辑源文件（汇编语言或 C 语言）
- 点击一次即可完成汇编（或编译）并将代码下载到 PICmicro MCU 仿真器和模拟器工具中（自动更新所有项目信息）
- 可使用如下各项进行调试：
 - 源文件（汇编语言或 C 语言）
 - 混合汇编语言和 C 语言
 - 机器码

MPLAB IDE 在单个开发范例中支持使用多种调试工具，包括从成本效益高的模拟器到低成本的在线调试器，再到全功能的仿真器。这样缩短了用户升级到更加灵活而功能更强大的工具时的学习时间。

PIC16F685/687/689/690

16.2 MPASM 汇编器

MPASM 汇编器是全能通用宏汇编器，适用于所有的 PICmicro MCU。

MPASM 汇编器可生成用于 MPLINK 目标链接器的可重定位目标文件、Intel® 标准 HEX 文件、详细描述存储器使用状况和符号参考的 MAP 文件、包含源代码行及生成机器码的绝对 LST 文件以及用于调试的 COFF 文件。

MPASM 汇编器具有如下特征：

- 集成在 MPLAB IDE 项目中
- 用户定义的宏可简化汇编代码
- 对多用途源文件进行条件汇编
- 允许完全控制汇编过程的指令

16.3 MPLAB C18 和 MPLAB C30 C 编译器

MPLAB C18 和 MPLAB C30 代码开发系统是完全的 ANSI C 编译器，分别适用于 Microchip 的 PIC18 系列单片机及 dsPIC30F、dsPIC33 和 PIC24 系列数字信号控制器。这些编译器可提供其他编译器并不具备的强大的集成功能和出众的代码优化能力，且使用方便。

为便于源代码调试，编译器提供了针对 MPLAB IDE 调试器的优化符号信息。

16.4 MPLINK 目标链接器 / MPLIB 目标库管理器

MPLINK 目标链接器包含了由 MPASM 汇编器、MPLAB C18 C 编译器产生的可重定位目标。通过使用链接器脚本中的指令，它还可链接预编译库中的可重定位目标。

MPLIB 目标库管理器管理预编译代码库文件的创建和修改。当从源文件调用库中的一段子程序时，只有包含此子程序的模块被链接到应用中。这样可使大型库在许多不同应用中被高效地利用。

目标链接器 / 库管理器具有如下特征：

- 高效地连接单个的库而不是许多小文件
- 通过将相关的模块组合在一起增强代码的可维护性
- 只要列出、替换、删除和抽取模块，便可灵活地创建库

16.5 MPLAB ASM30 汇编器、链接器和库管理器

MPLAB ASM30 汇编器为 dsPIC30F 器件提供转换自符号汇编语言的可重定位机器码。MPLAB C30 C 编译器使用该汇编器生成目标文件。汇编器产生可重定位目标文件之后，可将这些目标文件存档，或与其他可重定位目标文件和存档链接以生成可执行文件。该汇编器有如下显著特征：

- 支持整个 dsPIC30F 指令集
- 支持定点数据和浮点数据
- 命令行界面
- 丰富的指令集
- 灵活的宏语言
- MPLAB IDE 兼容性

16.6 MPLAB SIM 软件模拟器

MPLAB SIM 软件模拟器在指令级对 PICmicro MCU 和 dsPIC® DSC 进行模拟，使得用户可以在 PC 主机的环境下进行代码开发。对于任何给定的指令，用户均可对数据区进行检查或修改，并通过各种触发机制来产生激励。可以将各寄存器的情况记录在文件中，以便进行进一步地运行时分析。跟踪缓冲器和逻辑分析器的显示使模拟器还能记录和跟踪程序的执行、I/O 的动作、大部分的外设及内部寄存器的状况。

MPLAB SIM 软件模拟器完全支持使用 MPLAB C18 和 MPLAB C30 C 编译器以及 MPASM 和 MPLAB ASM30 汇编器的符号调试。该软件模拟器可用于在硬件实验室环境外灵活地开发和调试代码，是一款完美且经济的软件开发工具。

16.7 MPLAB ICE 2000 高性能在线仿真器

MPLAB ICE 2000 在线仿真器旨在为产品开发工程师提供一整套用于 PICmicro 单片机的设计工具。MPLAB ICE 2000 在线仿真器的软件控制由 MPLAB 集成开发环境平台提供，它允许在单一环境下进行编辑、编译、下载以及源代码调试。

MPLAB ICE 2000 是全功能仿真器系统，它具有增强的跟踪、触发和数据监控功能。处理器模块可插拔，使系统可轻松进行重新配置以适应各种不同处理器的仿真需要。MPLAB ICE 2000 在线仿真器的架构允许对其进行扩展以支持新的 PICmicro 单片机。

MPLAB ICE 2000 在线仿真器系统设计为一款实时仿真系统，该仿真系统具备通常只有昂贵的开发工具中才有的高级功能。选择 PC 平台和 Microsoft® Windows® 32 位操作系统可使这些功能在一个简单而统一的应用中得到很好的利用。

16.8 MPLAB ICE 4000 高性能在线仿真器

MPLAB ICE 4000 在线仿真器旨在为产品开发工程师提供一整套用于高端 PICmicro MCU 和 dsPIC DSC 的设计工具。MPLAB ICE 4000 在线仿真器的软件控制由 MPLAB 集成开发环境平台提供，它允许在单一环境下进行编辑、编译、下载以及源代码调试。

MPLAB ICE 4000 是高级的仿真系统，除具备 MPLAB ICE 2000 的所有功能外，它还增加了适用于 dsPIC30F 和 PIC18XXXX 器件的仿真存储容量以及高速性能。该仿真器的先进特性包括复杂触发和定时功能及高达 2 Mb 的仿真存储容量。

MPLAB ICE 4000 在线仿真系统设计为一款实时仿真系统，该仿真系统具备通常只有在更加昂贵的开发工具中才有的高级功能。选择 PC 平台和 Microsoft Windows 32 位操作系统可使这些功能在一个简单而统一的应用程序中得以很好的利用。

16.9 MPLAB ICD 2 在线调试器

Microchip 的在线调试器 MPLAB ICD 2 是一款功能强大而成本低廉的运行开发工具，通过 RS-232 或高速 USB 接口与 PC 主机相连。该工具基于闪存 PICmicro MCU，可用于开发本系列及其他 PICmicro MCU 和 dsPIC DSC。MPLAB ICD 2 使用了闪存器件中内建的在线调试功能。该功能结合 Microchip 的在线串行编程（In-Circuit Serial Programming™, ICSP™）协议，可在 MPLAB 集成开发环境的图形用户界面上提供成本效益很高的在线闪存调试。这使设计人员可通过设置断点、单步运行以及对变量、CPU 状态以及外设寄存器进行监视的方法实现源代码的开发和调试。其全速运行特性可对硬件和应用进行实时测试。MPLAB ICD 2 还可用作某些 PICmicro 器件的开发编程器。

16.10 MPLAB PM3 器件编程器

MPLAB PM3 器件编程器是一款通用的、符合 CE 规范的器件编程器，其可编程电压设置在 VDDMIN 和 VDDMAX 之间时可靠性最高。它有一个用来显示菜单和错误信息的大 LCD 显示器（128 x 64），以及一个支持各种封装类型的可拆卸模块化插槽装置。编程器标准配置中带有一根 ICSP™ 电缆。在单机模式下，MPLAB PM3 器件编程器不必与 PC 相连即可对 PICmicro 器件进行读取、验证和编程。在该模式下它还可设置代码保护。MPLAB PM3 通过 RS-232 或 USB 电缆连接到 PC 主机上。MPLAB PM3 具备高速通信能力以及优化算法，可对存储器很大的器件进行快速编程，它还采用 SD/MMC 卡用作文件存储及数据安全应用。

PIC16F685/687/689/690

16.11 PICSTART Plus 开发编程器

PICSTART Plus 开发编程器是一款易于使用而成本低廉的原型编程器。它通过 COM (RS-232) 端口与 PC 相连。MPLAB 集成开发环境软件使得该编程器的使用简便、高效。PICSTART Plus 开发编程器支持采用 DIP 封装的大部分 PICmicro 器件，其引脚数最多可达 40 个。引脚数更多的器件，如 PIC16C92X 和 PIC17C76X，可通过连接一个转接插槽来获得支持。PICSTART Plus 开发编程器符合 CE 规范。

16.12 PICKit 2 开发编程器

PICKit™ 2 开发编程器是一个低成本编程器，通过其易于使用的接口可对众多 Microchip 的低档、中档和 PIC18F 系列闪存单片机进行编程。PICKit 2 入门工具包中包含一个有实验布线区的开发板、十二堂系列课程、软件和 HI-TECH 的 PICC Lite C 编译器，有助于用户快速掌握 PIC® 单片机的使用。这一工具包为使用 Microchip 功能强大的中档闪存系列单片机进行编程、评估和应用开发，提供了所需的一切。

16.13 演示、开发和评估板

有许多演示、开发和评估板可用于各种 PICmicro MCU 和 dsPIC DSC，实现对全功能系统的快速应用开发。大多数的演示、开发和评估板都有实验布线区，供用户添加定制电路；还有应用固件和源代码，用于测试和修改。

这些板支持多种功能部件，包括 LED、温度传感器、开关、扬声器、RS-232 接口、LCD 显示器、电位计和附加 EEPROM 存储器。

演示和开发板可用于教学环境，在实验布线区设计定制电路，从而掌握各种单片机应用。

除了 PICDEM™ 和 dsPICDEM™ 演示 / 开发板系列电路外，Microchip 还有一系列评估工具包和演示软件，适用于模拟滤波器设计、KEELOQ® 数据安全产品 IC、CAN、IrDA®、PowerSmart® 电池管理、SEEVAL® 评估系统、 Σ - Δ ADC、流速传感器，等等。

有关演示、开发和评估工具包的完整列表，请查阅 Microchip 公司网页 (www.microchip.com) 以及最新的 “*Product Selector Guide* (产品选型指南)” (DS00148)。

PIC16F685/687/689/690

注:

PIC16F685/687/689/690

注:

17.0 电气特性

绝对极限参数值 (†)

偏置电压下的环境温度	-40°C 至 +125°C
储存温度	-65°C 至 +150°C
VDD 引脚相对于 VSS 的电压	-0.3V 至 +6.5V
MCLR 引脚相对于 VSS 的电压	-0.3V 至 +13.5V
所有其他引脚相对于 VSS 的电压	-0.3V 至 (VDD + 0.3V)
总功耗 ⁽¹⁾	800 mW
流出 VSS 引脚的最大电流	300 mA
流入 VDD 引脚的最大电流	250 mA
输入钳位电流, I _{IK} (V _I < 0 或 V _I > VDD)	± 20 mA
输出钳位电流, I _{OK} (V _O < 0 或 V _O > VDD)	± 20 mA
任一 I/O 引脚的最大输出灌电流	25 mA
任一 I/O 引脚的最大输出拉电流	25 mA
PORTA、PORTB 和 PORTC (联合) 最大灌电流	200 mA
PORTA、PORTB 和 PORTC (联合) 最大拉电流	200 mA

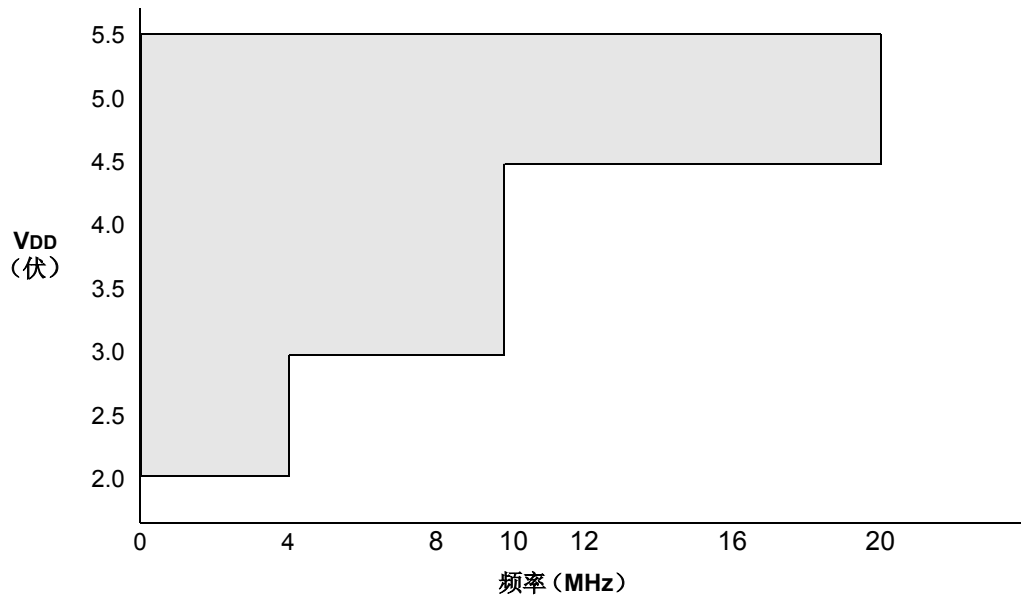
注 1: 功耗计算公式为: P_{DIS} = VDD x {IDD - ∑ IOH} + ∑ {(VDD - VOH) x IOH} + ∑ (VOL x IOL)

† 注: 如果运行条件超过了上述 “绝对极限参数值”, 即可能对器件造成永久性损坏。上述值仅为运行条件的极大值, 我们不建议器件运行在该规范范围以外。器件长时间工作在绝对极限参数条件下, 其稳定性可能受到影响。

注: MCLR 引脚上若出现低于 VSS 的尖峰电压, 感应电流超过 80 mA, 可能导致闭锁。因此, 在 MCLR 引脚上施加低电平时, 应使用一个 50-100Ω 的串联电阻, 而不是将该引脚直接与 VSS 连接。

PIC16F685/687/689/690

图 17-1: PIC16F685/687/689/690 电压-频率图, $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$



注 1: 阴影区域表示允许的电压频率组合。

17.1 直流特性: PIC16F685/687/689/690-I (工业级) PIC16F685/687/689/690-E (扩展级)

直流特性			标准运行条件 (除非另外说明)				
			工作温度		工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$		
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
D001 D001C D001D	VDD	供电电压	2.0 3.0 4.5	— — —	5.5 5.5 5.5	V V V	FOSC ≤ 4 MHz FOSC ≤ 10 MHz FOSC ≤ 20 MHz
D002	VDR	RAM 数据保持电压 ⁽¹⁾	1.5*	—	—	V	器件处于休眠模式
D003	VPOR	确保内部上电复位信号的 VDD 启动电压	—	VSS	—	V	详见第 14.2.1 节 “上电复位 (POR)”。
D004	SVDD	确保内部上电复位信号的 VDD 上升率	0.05*	—	—	V/ms	详见第 14.2.1 节 “上电复位 (POR)”。
D005	VBOR	启动欠压复位所需的 VDD 电压	2.025	—	2.175	V	

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则 “典型值” 一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

注 1: 这是在不丢失 RAM 数据的前提下, 休眠模式中 VDD 所能降到的最小电压值。

PIC16F685/687/689/690

17.2 直流特性：PIC16F685/687/689/690-I（工业级）

直流特性		标准运行条件（除非另外说明） 工作温度 工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$					
参数 编号	器件特性	最小值	典型值 †	最大值	单位	条件	
						VDD	注释
D010	供电电流 (IDD) (1, 2)	—	9	TBD	μA	2.0	Fosc = 32 kHz
		—	18	TBD	μA	3.0	LP 振荡模式
		—	35	TBD	μA	5.0	
D011		—	110	TBD	μA	2.0	Fosc = 1 MHz
		—	190	TBD	μA	3.0	XT 振荡模式
		—	330	TBD	μA	5.0	
D012		—	220	TBD	μA	2.0	Fosc = 4 MHz
		—	370	TBD	μA	3.0	XT 振荡模式
		—	0.6	TBD	mA	5.0	
D013		—	70	TBD	μA	2.0	Fosc = 1 MHz
		—	140	TBD	μA	3.0	EC 振荡模式
		—	260	TBD	μA	5.0	
D014		—	180	TBD	μA	2.0	Fosc = 4 MHz
		—	320	TBD	μA	3.0	EC 振荡模式
		—	580	TBD	μA	5.0	
D015		—	TBD	TBD	μA	2.0	Fosc = 31 kHz
		—	TBD	TBD	μA	3.0	INTOSC 模式
		—	TBD	TBD	mA	5.0	
D016		—	340	TBD	μA	2.0	Fosc = 8 MHz
		—	500	TBD	μA	3.0	INTOSC 模式
		—	0.8	TBD	mA	5.0	
D017		—	180	TBD	μA	2.0	Fosc = 4 MHz
		—	320	TBD	μA	3.0	EXTRC 模式
		—	580	TBD	μA	5.0	
D018		—	2.1	TBD	mA	4.5	Fosc = 20 MHz
		—	2.4	TBD	mA	5.0	HS 振荡模式

图注： TBD = 待定

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

- 注 1： 上电工作模式下，所有 IDD 测量值的测试条件为：OSC1 = 外部方波，轨到轨摆幅；所有 I/O 引脚为三态引脚，上拉至 VDD；MCLR = VDD；WDT 禁止。
- 2： 供电电流主要受工作电压和频率的影响。其他因素，如 I/O 引脚负载和开关速率、振荡器类型、内部代码执行模式以及温度等，也会对电流消耗产生影响。
- 3： 外设电流为基本 IDD 或 IPD 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 IDD 或 IPD，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。
- 4： 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

PIC16F685/687/689/690

17.2 直流特性：PIC16F685/687/689/690-I（工业级）（续）

直流特性		标准运行条件（除非另外说明） 工作温度 工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$					
参数编号	器件特性	最小值	典型值 †	最大值	单位	条件	
						VDD	注释
D020	掉电电流 (IPD) (4)	—	0.1	TBD	μA	2.0	WDT、BOR、比较器、VREF 和 T1OSC 都被禁止
		—	0.4	TBD	μA	3.0	
		—	0.8	TBD	μA	5.0	
D021		—	0.3	TBD	μA	2.0	WDT 电流
		—	1.8	TBD	μA	3.0	
		—	8.4	TBD	μA	5.0	
D022		—	58	TBD	μA	3.0	BOR 电流
		—	109	TBD	μA	5.0	
D023		—	3.3	TBD	μA	2.0	比较器电流 (3)
		—	6.1	TBD	μA	3.0	
		—	11.5	TBD	μA	5.0	
D024		—	58	TBD	μA	2.0	CVREF 电流
		—	85	TBD	μA	3.0	
		—	138	TBD	μA	5.0	
D025		—	4.0	TBD	μA	2.0	T1OSC 电流
		—	4.6	TBD	μA	3.0	
		—	6.0	TBD	μA	5.0	
D026		—	1.2	TBD	nA	3.0	A/D 电流
		—	2.2	TBD	nA	5.0	
D027		—	TBD	TBD	μA	3.0	VP6 电流
		—	TBD	TBD	μA	5.0	

图注： TBD = 待定

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

- 注 1: 上电工作模式下，所有 I_{DD} 测量值的测试条件为：OSC1 = 外部方波，轨到轨摆幅；所有 I/O 引脚为三态引脚，上拉至 VDD；MCLR = VDD；WDT 禁止。
- 2: 供电电流主要受工作电压和频率的影响。其他因素，如 I/O 引脚负载和开关速率、振荡器类型、内部代码执行模式以及温度等，也会对电流消耗产生影响。
- 3: 外设电流为基本 I_{DD} 或 I_{PD} 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 I_{DD} 或 I_{PD} ，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。
- 4: 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

PIC16F685/687/689/690

17.3 直流特性：PIC16F685/687/689/690-E（扩展级）

直流特性		标准运行条件（除非另外说明） 工作温度 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					
参数 编号	器件特性	最小值	典型值†	最大值	单位	条件	
						VDD	注释
D010E	供电电流（IDD）	—	9	TBD	μA	2.0	Fosc = 32 kHz
		—	18	TBD	μA	3.0	LP 振荡模式
		—	35	TBD	μA	5.0	
D011E		—	110	TBD	μA	2.0	Fosc = 1 MHz
		—	190	TBD	μA	3.0	XT 振荡模式
		—	330	TBD	μA	5.0	
D012E		—	220	TBD	μA	2.0	Fosc = 4 MHz
		—	370	TBD	μA	3.0	XT 振荡模式
		—	0.6	TBD	mA	5.0	
D013E		—	70	TBD	μA	2.0	Fosc = 1 MHz
		—	140	TBD	μA	3.0	EC 振荡模式
		—	260	TBD	μA	5.0	
D014E		—	180	TBD	μA	2.0	Fosc = 4 MHz
		—	320	TBD	μA	3.0	EC 振荡模式
		—	580	TBD	μA	5.0	
D015E		—	TBD	TBD	μA	2.0	Fosc = 31 kHz
		—	TBD	TBD	μA	3.0	INTOSC 振荡模式
		—	TBD	TBD	mA	5.0	
D016E		—	340	TBD	μA	2.0	Fosc = 8 MHz
		—	500	TBD	μA	3.0	INTOSC 振荡模式
		—	0.8	TBD	mA	5.0	
D017E		—	180	TBD	μA	2.0	Fosc = 4 MHz
		—	320	TBD	μA	3.0	EXTRC 振荡模式
		—	580	TBD	μA	5.0	
D018E		—	2.1	TBD	mA	4.5	Fosc = 20 MHz
		—	2.4	TBD	mA	5.0	HS 振荡模式

图注： TBD = 待定

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

- 注 1: 上电工作模式下，所有 IDD 测量值的测试条件为：OSC1 = 外部方波，轨到轨摆幅；所有 I/O 引脚为三态引脚，上拉至 VDD；MCLR = VDD；WDT 禁止。
- 2: 供电电流主要受工作电压和频率的影响。其他因素，如 I/O 引脚负载和开关速率、振荡器类型、内部代码执行模式以及温度等，也会对电流消耗产生影响。
- 3: 外设电流为基本 IDD 或 IPD 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 IDD 或 IPD，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。
- 4: 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

17.3 直流特性：PIC16F685/687/689/690-E（扩展级）（续）

直流特性		标准运行条件（除非另外说明） 工作温度 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					
参数编号	器件特性	最小值	典型值†	最大值	单位	条件	
						VDD	注释
D020E	掉电电流 (IPD) (4)	—	0.1	TBD	μA	2.0	WDT、BOR、比较器、VREF 和 T1OSC 都被禁止
		—	0.4	TBD	μA	3.0	
		—	0.8	TBD	μA	5.0	
D021E		—	0.3	TBD	μA	2.0	WDT 电流
		—	1.8	TBD	μA	3.0	
		—	8.4	TBD	μA	5.0	
D022E		—	58	TBD	μA	3.0	BOR 电流
		—	109	TBD	μA	5.0	
D023E		—	3.3	TBD	μA	2.0	比较器电流 (3)
		—	6.1	TBD	μA	3.0	
		—	11.5	TBD	μA	5.0	
D024E		—	58	TBD	μA	2.0	CVREF 电流
		—	85	TBD	μA	3.0	
		—	138	TBD	μA	5.0	
D025E		—	4.0	TBD	μA	2.0	T1OSC 电流
		—	4.6	TBD	μA	3.0	
		—	6.0	TBD	μA	5.0	
D026E		—	1.2	TBD	nA	3.0	A/D 电流 (3)
		—	2.2	TBD	nA	5.0	
D027E		—	TBD	TBD	μA	3.0	VP6 电流
		—	TBD	TBD	μA	5.0	

图注： TBD = 待定

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

- 注 1: 上电工作模式下，所有 I_{DD} 测量值的测试条件为：OSC1 = 外部方波，轨到轨摆幅；所有 I/O 引脚为三态引脚，上拉至 VDD；MCLR = VDD；WDT 禁止。
- 2: 供电电流主要受工作电压和频率的影响。其他因素，如 I/O 引脚负载和开关速率、振荡器类型、内部代码执行模式以及温度等，也会对电流消耗产生影响。
- 3: 外设电流为基本 I_{DD} 或 I_{PD} 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 I_{DD} 或 I_{PD} ，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。
- 4: 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

PIC16F685/687/689/690

17.4 直流特性: PIC16F685/687/689/690-I (工业级) PIC16F685/687/689/690-E (扩展级)

直流特性			标准运行条件 (除非另外说明)				
			工作温度		工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$		
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
D030 D030A D031 D032 D033 D033A D0033B	V_{IL}	输入低电压 I/O 端口: 带 TTL 缓冲 带施密特触发器缓冲 MCLR 和 OSC1 (RC 模式) OSC1 (XT 和 HS 模式) (1) OSC1 (LP 模式) (1) OCS1 (ER 模式) (1)	V_{SS} V_{SS} V_{SS} V_{SS} V_{SS} V_{SS} V_{SS}	— — — — — — —	0.8 $0.15 V_{DD}$ $0.2 V_{DD}$ $0.2 V_{DD}$ $0.3 V_{DD}$ $0.6 V_{DD} - 1.0$ $0.1 V_{DD}$	V V V V V V V	$4.5V \leq V_{DD} \leq 5.5V$ 其他 整个量程
D040 D040A D041 D042 D043 D043A	V_{IH}	输入高电压 I/O 端口: 带 TTL 缓冲 带施密特触发器缓冲 MCLR, PORTA OSC1 (XT, HS 和 LP 模式) OSC1 (ER 模式)	2.0 ($0.25 V_{DD} + 0.8$) $0.8 V_{DD}$ $0.8 V_{DD}$ $0.7 V_{DD}$ $0.9 V_{DD}$	— — — — — —	V_{DD} V_{DD} V_{DD} V_{DD} V_{DD} V_{DD}	V V V V V V	$4.5V \leq V_{DD} \leq 5.5V$ 其他 整个量程 (注 1) (注 1)
D070	IPUR	PORTA 弱上拉电流 PORTB 弱上拉电流	50* 50*	250 250	400* 400*	μA μA	$V_{DD} = 5.0V$, $V_{PIN} = V_{SS}$
D060 D061 D063	I_{IL}	输入泄漏电流 (2) I/O 端口 MCLR (3) OSC1	— — — —	— — — —	± 1 ± 5 ± 5	μA μA μA	$V_{SS} \leq V_{PIN} \leq V_{DD}$, 引脚处于高阻状态 $V_{SS} \leq V_{PIN} \leq V_{DD}$ $V_{SS} \leq V_{PIN} \leq V_{DD}$, XT, HS 和 LP 振荡器配置
D080 D083	V_{OL}	输出低电压 I/O 端口 OSC2/CLKOUT	— —	— —	0.6 0.6	V V	$I_{OL} = 8.5 \text{ mA}$, $V_{DD} = 4.5V$ $I_{OL} = 1.6 \text{ mA}$, $V_{DD} = 4.5V$

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

- 注 1: 在 RC 振荡器配置中, OSC1/CLKIN 引脚是施密特触发器输入。不推荐在 RC 模式下使用外部时钟。
- 2: 负电流定义引脚拉电流。
- 3: MCLR 引脚上泄漏电流主要取决于所施加电平。规定的电压等级表示正常的运行条件。在不同的输入电压条件下, 可能会测得更大的泄漏电流。
- 4: 更多信息, 请参见第 10.0 节“数据 EEPROM 和闪存程序存储器控制”。

PIC16F685/687/689/690

17.4 直流特性: PIC16F685/687/689/690-I (工业级) PIC16F685/687/689/690-E (扩展级) (续)

直流特性			标准运行条件 (除非另外说明)				
			工作温度 工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
D090	VOH	输出高电压	$V_{DD} - 0.7$	—	—	V	IOH = -3.0 mA, $V_{DD} = 4.5\text{V}$
D092		I/O 端口	$V_{DD} - 0.7$	—	—	V	
D100	IULP	超低功耗唤醒电流	—	200	—	nA	在 XT、HS 和 LP 模式下, 当外部时钟用来驱动 OSC1 时
D100	COS C2	输出引脚上容性负载规范 OSC2 引脚	—	—	15*	pF	
D101	CIO	所有 I/O 引脚	—	—	50*	pF	
D120	Ed	数据 EEPROM 存储器 字节擦写次数	100K	1M	—	E/W	-40°C ≤ TA ≤ +85°C +85°C ≤ TA ≤ +125°C 用 EECON1 来读 / 写 VMIN = 最小工作电压
D120A	Ed	字节擦写次数	10K	100K	—	E/W	
D121	VDRW	用于读 / 写的 VDD	VMIN	—	5.5	V	
D122	TDEW	擦除 / 写周期时间	—	5	6	ms	
D123	TRETD	特性保存期	40	—	—	年	不违反其他规范的前提下 -40°C ≤ TA ≤ +85°C
D124	TREF	刷新前的总擦除 / 写周期数 (4)	1M	10M	—	E/W	
D130	EP	程序闪存 单元擦写次数	10K	100K	—	E/W	-40°C ≤ TA ≤ +85°C +85°C ≤ TA ≤ +125°C VMIN = 最小工作电压
D130A	Ed	单元擦写次数	1K	10K	—	E/W	
D131	VPR	用于读取的 VDD	VMIN	—	5.5	V	
D132	VPEW	用于擦除 / 写的 VDD	4.5	—	5.5	V	
D133	TPEW	擦除 / 写周期时间	—	2	2.5	ms	
D134	TRETD	特性保存期	40	—	—	年	

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

- 注 1: 在 RC 振荡器配置中, OSC1/CLKIN 引脚是施密特触发器输入。不推荐在 RC 模式下使用外部时钟。
- 2: 负电流定义引脚拉电流。
- 3: MCLR 引脚上泄漏电流主要取决于所施加电平。规定的电压等级表示正常的运行条件。在不同的输入电压条件下, 可能会测得更大的泄漏电流。
- 4: 更多信息, 请参见第 10.0 节“数据 EEPROM 和闪存程序存储器控制”。

PIC16F685/687/689/690

17.5 时序参数符号体系

时序参数符号采用以下格式之一进行创建：

1. TppS2ppS
2. TppS

T		
F	频率	T 时间

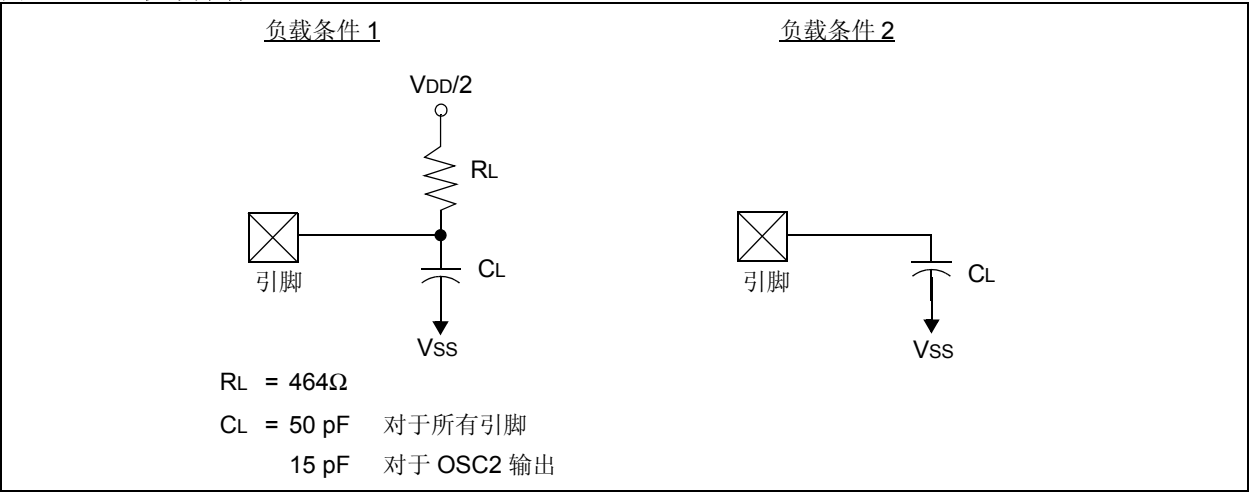
小写字母（pp）及其含义：

pp		
cc	RC	osc OSC1
ck	CLKOUT	rd $\overline{RD}$
cs	$\overline{CS}$	rw $\overline{RD}$ 或 $\overline{WR}$
di	SDI	sc SCK
do	SDO	ss $\overline{SS}$
dt	数据输入	t0 T0CKI
io	I/O 端口	t1 T1CKI
mc	$\overline{MCLR}$	wr $\overline{WR}$

大写字母及其含义：

S		
F	下降	P 周期
H	高	R 上升
I	无效（高阻）	V 有效
L	低	Z 高阻

图 17-2： 负载条件



17.6 交流特性：PIC16F685/687/689/690（工业级，扩展级）

图 17-3： 外部时钟时序

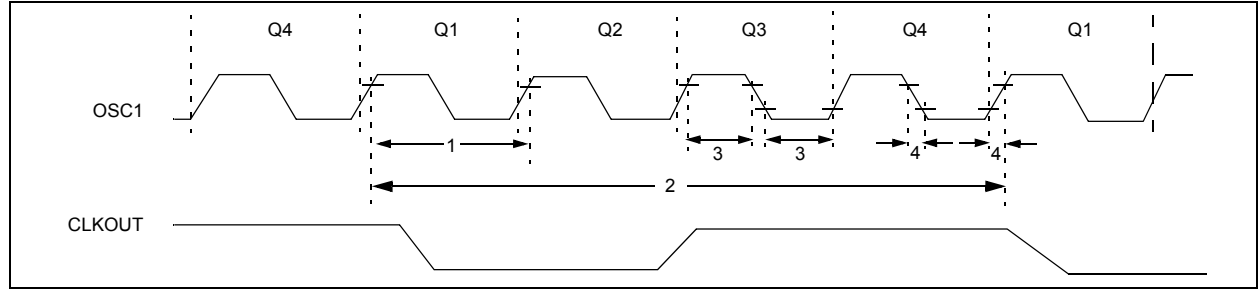


表 17-1： 外部时钟时序要求

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
	FOSC	外部 CLKIN 频率 (1)	DC	—	37	kHz	LP 振荡模式
			DC	—	4	MHz	XT 振荡模式
			DC	—	20	MHz	HS 振荡模式
			DC	—	20	MHz	EC 振荡模式
		振荡器频率 (1)	—	8	—	MHz	INTOSC 振荡模式
			TBD	—	4	MHz	RC 振荡模式
			—	32	—	kHz	LP 振荡模式
			0.1	—	4	MHz	XT 振荡模式
			1	—	20	MHz	HS 振荡模式
			—	—	—	—	—
1	TOSC	外部 CLKIN 周期 (1)	27	—	∞	μs	LP 振荡模式
			50	—	∞	ns	HS 振荡模式
			50	—	∞	ns	EC 振荡模式
			250	—	∞	ns	XT 振荡模式
		振荡器周期 (1)	—	31	—	μs	LP 振荡模式
			—	125	—	ns	INTOSC 振荡模式
			250	—	TBD	ns	RC 振荡模式
			250	—	10,000	ns	XT 振荡模式
			50	—	1,000	ns	HS 振荡模式
			—	—	—	—	—
2	Tcy	指令周期时间 (1)	200	Tcy	∞	ns	$T_{cy} = 4/F_{OSC}$
3	TosL, TosH	外部 CLKIN (OSC1) 高	2*	—	—	μs	LP 振荡器, Tosc L/H 占空比
		外部 CLKIN 低	20*	—	—	ns	HS 振荡器, Tosc L/H 占空比
			100 *	—	—	ns	XT 振荡器, Tosc L/H 占空比
4	TosR, TosF	外部 CLKIN 上升时间	—	—	50*	ns	LP 振荡器
		外部 CLKIN 下降时间	—	—	25*	ns	XT 振荡器
			—	—	15*	ns	HS 振荡器

图注： TBD = 待定

* 这些参数为特性值，未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 指令循环周期（Tcy）等于输入振荡器时基周期的四倍。所有规定值都是基于特定振荡器类型的特性数据，并在特定振荡器处于标准运行条件下且器件在代码执行阶段。超出这些规定的限定值，可能导致振荡器运行不稳定和 / 或导致电流消耗超出预期值。所有器件的测试都是在“最小”值条件下进行的，且外部时钟加载在 OSC1 引脚。对于所有器件，当采用外部时钟输入时，“最大”周期时间极限为“DC”（无时钟）。

PIC16F685/687/689/690

表 17-2: 高精度内部振荡器参数

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$								
参数 编号	符号	特性	频率 容差	最小值	典型值†	最大值	单位	条件
F10	FOSC	内部已校准 INTOSC 频率 ⁽¹⁾	±1%	—	8.00	TBD	MHz	V _{DD} 和温度（TBD）
			±2%	—	8.00	TBD	MHz	$2.5\text{V} \leq V_{DD} \leq 5.5\text{V}$
			±5%	—	8.00	TBD	MHz	$0^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$
								$2.0\text{V} \leq V_{DD} \leq 5.5\text{V}$
F14	TOSCST	振荡器从休眠模式唤醒的启动时间 *	—	—	TBD	TBD	μs	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ （工业级）
			—	—	TBD	TBD	μs	$-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级）
			—	—	TBD	TBD	μs	$V_{DD} = 2.0\text{V}$, -40°C 至 $+85^{\circ}\text{C}$

图注: TBD = 待定

* 这些参数为特性值，未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1: 为了确保振荡器频率容差，V_{DD} 和 V_{SS} 必须进行电容去耦，应尽可能靠近器件。建议并联 0.1 μF 和 0.01 μF 的电容。

图 17-4: CLKOUT 和 I/O 时序

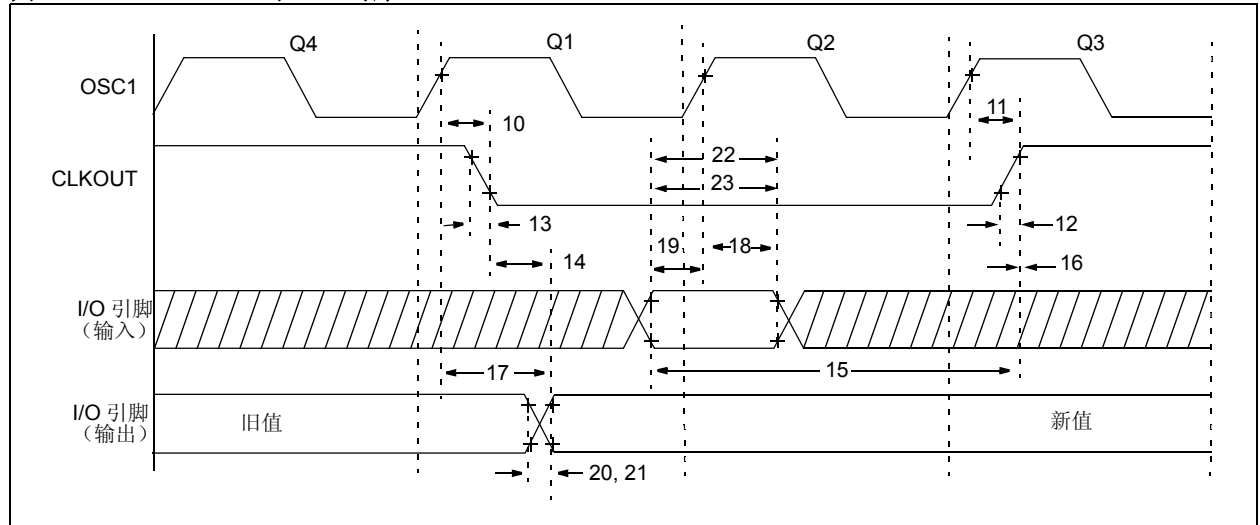


表 17-3: CLKOUT 和 I/O 时序要求

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
10	TosH2ckL	OSC1↑ 到 COUT↓	—	75	200	ns	(注 1)
11	TosH2ckH	OSC1↑ 到 COUT↑	—	75	200	ns	(注 1)
12	TckR	CLKOUT 上升时间	—	35	100	ns	(注 1)
13	TckF	CLKOUT 下降时间	—	35	100	ns	(注 1)
14	TckL2ioV	CLKOUT↓ 到端口输出有效	—	—	20	ns	(注 1)
15	TioV2ckH	CLKOUT↑ 之前端口输入有效	Tosc + 200	—	—	ns	(注 1)
16	TckH2ioI	CLKOUT↑ 之后端口输入保持	0	—	—	ns	(注 1)
17	TosH2ioV	OSC1↑ (Q1 周期) 到端口输出有效	—	50	150*	ns	
			—	—	300	ns	
18	TosH2ioI	OSC1↑ (Q2 周期) 到端口输入无效 (I/O 输入保持时间)	100	—	—	ns	
19	TioV2osH	端口输入有效到 OSC1↑ (I/O 输入建立时间)	0	—	—	ns	
20	TioR	端口输出上升时间	—	10	40	ns	
21	TioF	端口输出下降时间	—	10	40	ns	
22	TINP	INT 引脚高电平或低电平时间	25	—	—	ns	
23	TRBP	PORTA 电平变化中断高或低时间	Tcy	—	—	ns	

* 这些参数为特性值，未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

注 1: 测量在 RC 模式下进行，CLKOUT 输出为 4 x TOSC。

PIC16F685/687/689/690

图 17-5: 复位、看门狗定时器、振荡器起振定时器和上电延时定时器时序

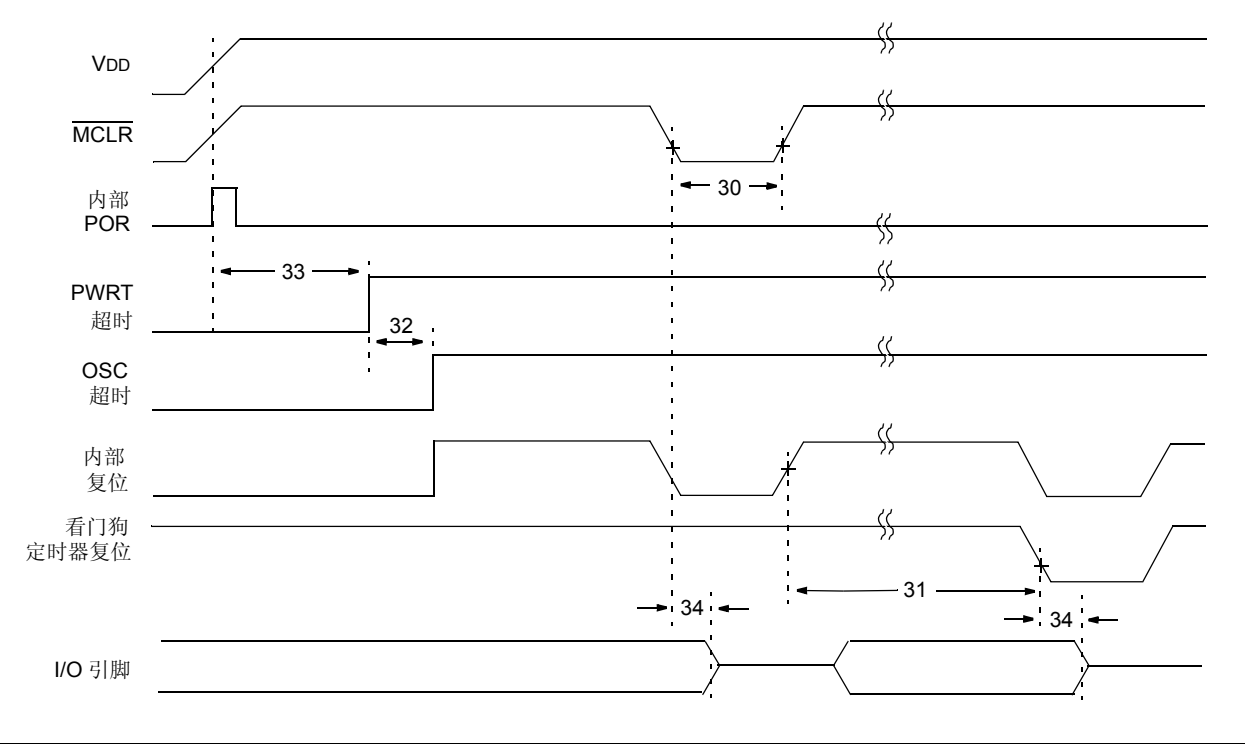


图 17-6: 欠压复位时序和特性

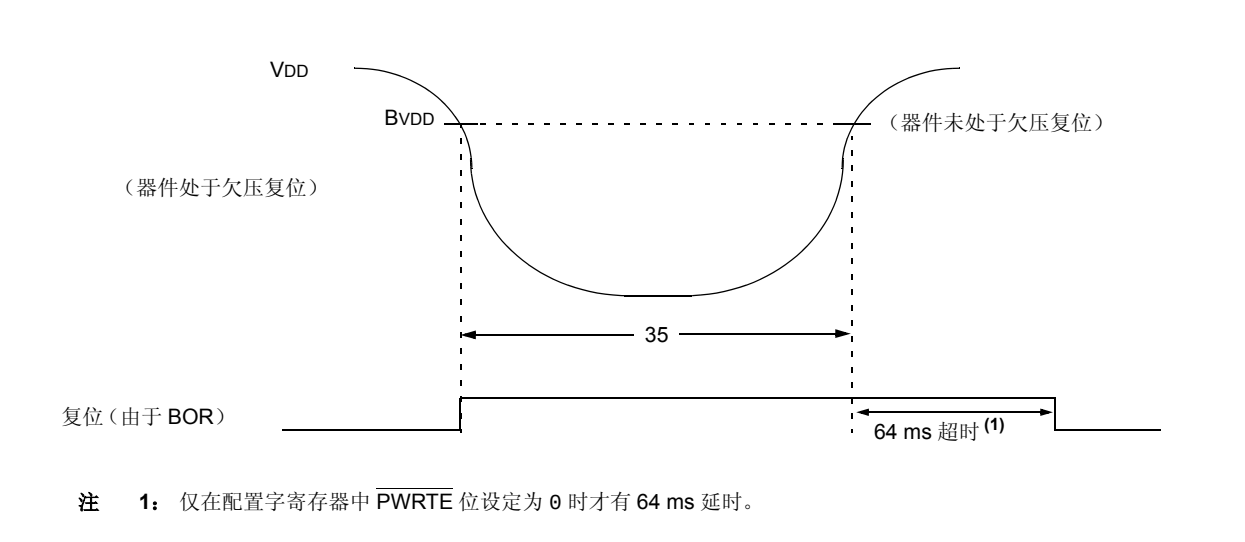


表 17-4: 复位、看门狗定时器、振荡器起振定时器、上电延时定时器和欠压复位要求

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值 †	最大值	单位	条件
30	TMCL	$\overline{\text{MCLR}}$ 脉冲宽度（低）	2 11	— 18	— 24	μs ms	$V_{DD} = 5\text{V}$, -40°C 至 $+85^{\circ}\text{C}$ 扩展温度范围
31	TWDT	看门狗定时器超时周期 （无预分频器）	7 10	18 17	33 30	ms ms	$V_{DD} = 5\text{V}$, -40°C 至 $+85^{\circ}\text{C}$ 扩展温度范围
32	TOST	振荡器起振定时器周期	—	$1024T_{\text{OSC}}$	—	—	$T_{\text{OSC}} = \text{OSC1 周期}$
33*	TPWRT	上电延时定时器周期	28* TBD	64 TBD	132* TBD	ms ms	$V_{DD} = 5\text{V}$, -40°C 至 $+85^{\circ}\text{C}$ 扩展温度范围
34	TIOZ	$\overline{\text{MCLR}}$ 低电平或看门狗定时器 复位时, I/O 处于高阻状态的时 间	—	—	2.0	μs	
	BVHY	欠压复位滞后	—	25	—	mV	
	BVDD	欠压复位电压	2.025	—	2.175	V	
35	TBOR	欠压复位脉冲宽度	100*	—	—	μs	$V_{DD} \leq B_{VDD}$ (D005)

图注: TBD = 待定

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

PIC16F685/687/689/690

图 17-7: TIMER0 和 TIMER1 外部时钟时序

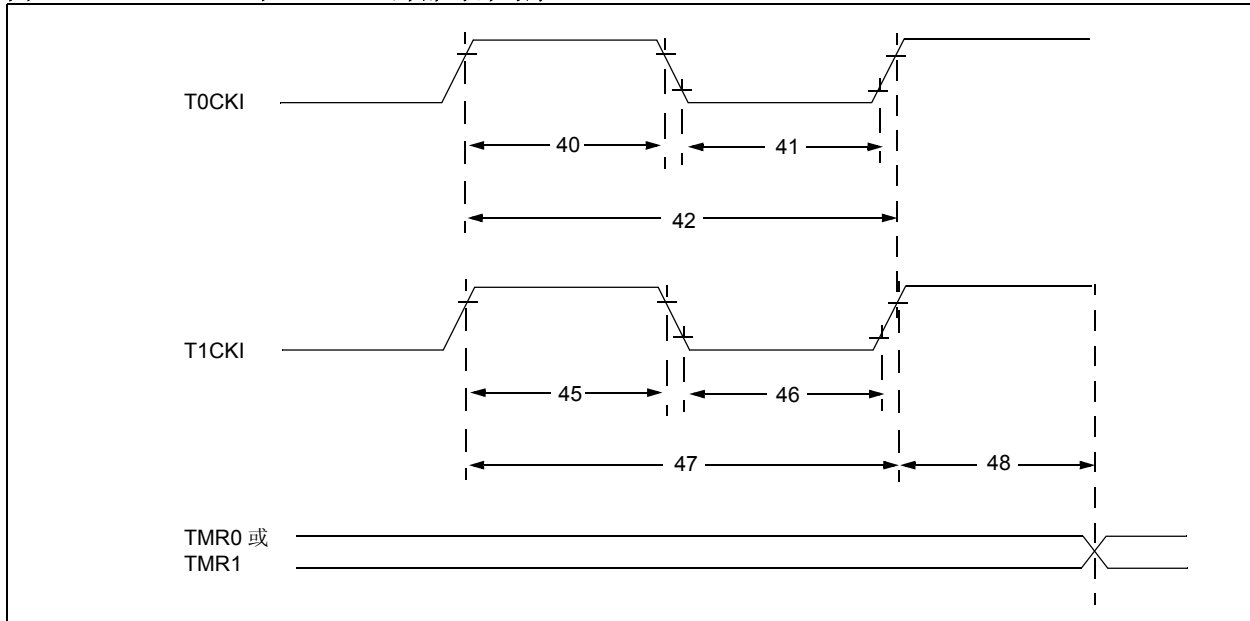


表 17-5: TIMER0 和 TIMER1 外部时钟要求

参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
40*	Tt0H	T0CKI 高脉冲宽度	无预分频器 带预分频器	0.5 Tcy + 20 10	— —	ns ns	
41*	Tt0L	T0CKI 低脉冲宽度	无预分频器 带预分频器	0.5 Tcy + 20 10	— —	ns ns	
42*	Tt0P	T0CKI 周期	取较大值: 20 或 $Tcy + 40$ N	—	—	ns	N = 预分频值 (2, 4, ..., 256)
45*	Tt1H	T1CKI 高电平时间	同步, 无预分频器 同步, 带预分频器 异步	0.5 Tcy + 20 15 30	— — —	ns ns ns	
46*	Tt1L	T1CKI 低电平时间	同步, 无预分频器 同步, 带预分频器 异步	0.5 Tcy + 20 15 30	— — —	ns ns ns	
47*	Tt1P	T1CKI 输入周期	同步 异步	取较大值: 30 或 $Tcy + 40$ N 60	— — —	ns ns	N = 预分频值 (1, 2, 4, 8)
	Ft1	Timer1 振荡器输入频率范围 (通过将 T1OSCEN 位置 1, 使能振荡器)	DC	—	200*	kHz	
48	TCKEZTMR1	从外部时钟边沿到定时器递增的延时	2 Tosc*	—	7 Tosc*	—	

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

图 17-8: 捕捉 / 比较 / PWM+ 时序 (ECCP+)

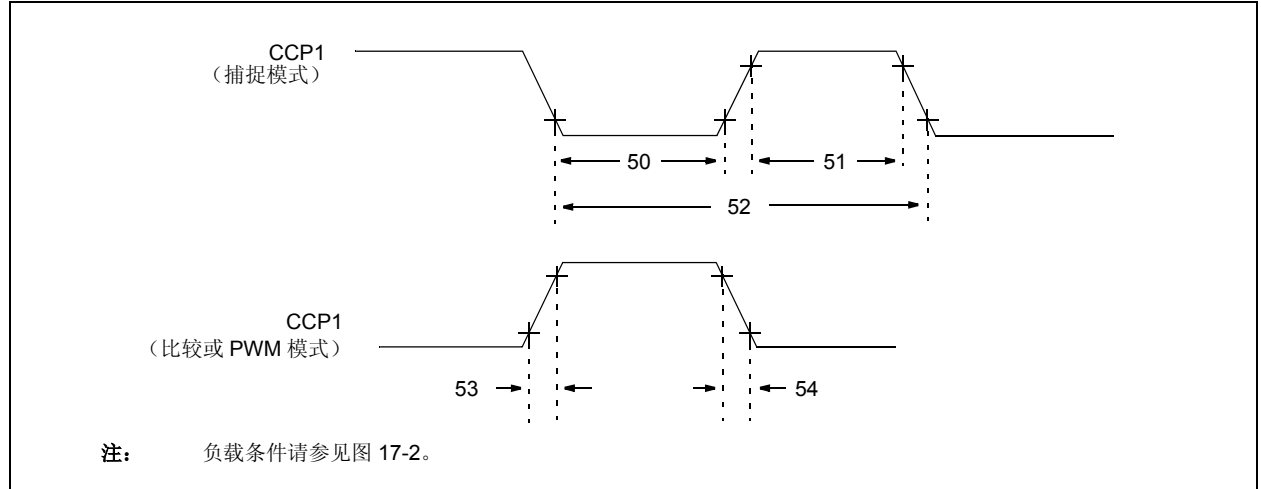


表 17-6: 捕捉 / 比较 / PWM+ 要求 (ECCP+)

标准运行条件 (除非另外说明)								
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$								
参数编号	符号	特性		最小值	典型值†	最大值	单位	条件
50*	TccL	CCP1 输入低电平时间	无预分频器	$0.5T_{CY} + 20$	—	—	ns	
			带预分频器	20	—	—	ns	
51*	TccH	CCP1 输入高电平时间	无预分频器	$0.5T_{CY} + 20$	—	—	ns	
			带预分频器	20	—	—	ns	
52*	TccP	CCP1 输入周期		$\frac{3T_{CY} + 40}{N}$	—	—	ns	N = 预分频值 (1、4 或 16)
53*	TccR	CCP1 输出上升时间		—	10	25	ns	
54*	TccF	CCP1 输出下降时间		—	10	25	ns	

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

PIC16F685/687/689/690

表 17-7: 比较器规范

比较器规范			标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
参数编号	符号	特性	最小值	典型值	最大值	单位	说明
C01	V _{OS}	输入失调电压	—	± 5.0	± 10	mV	
C02	V _{CM}	输入共模电压	0	—	V _{DD} - 1.5	V	
C03	CMRR	共模抑制比	+55*	—	—	db	
C04	T _{RT}	响应时间 ⁽¹⁾	—	150	400*	ns	
C05	T _{MC2COV}	比较器模式变为输出有效	—	—	10*	μs	

* 这些参数为特性值，未经测试。

注 1: 响应时间是在比较器有一个输入端为 (V_{DD} - 1.5)/2，同时另一个输入端电平从 V_{SS} 变化到 V_{DD} - 1.5V 时测量的。

表 17-8: 比较器参考电压（CVREF）规范

比较器参考电压规范			标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
参数编号	符号	特性	最小值	典型值	最大值	单位	说明
CV01	CVRES	分辨率	V _{DD} /24*	—	V _{DD} /32*	LSb	
CV02		绝对精度	—	—	$\pm 1/4^*$ $\pm 1/2^*$	LSb LSb	低量程 (VRR = 1) 高量程 (VRR = 0)
CV03		单位电阻值 (R)	—	2K*	—	Ω	
CV04		R 梯形稳定时间 ⁽¹⁾	—	—	10*	μs	
CV05		VP6 稳定时间	TBD	TBD	TBD		

图注: TBD = 待定

* 这些参数为特性值，未经测试。

注 1: 稳定时间是在 VRR = 1 且 VR<3:0> 的状态从 0000 跃变至 1111 时测量的。

表 17-9: 参考电压（VR）规范

VR 参考电压规范			标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
参数编号	符号	特性	最小值	典型值	最大值	单位	说明
VR01	VR _{OUT}	VR 电压输出	TBD	0.6	TBD	V	
VR02	TCV _{OUT}	电压漂移温度系数	—	150	TBD	ppm/°C	
VR03	ΔV _{ROUT} / ΔV _{DD}	相对于 V _{DD} 稳定度的电压漂移	—	200	—	μV/V	
VR04	T _{STABLE}	稳定时间	—	10	100*	μs	

图注: TBD = 待定

* 这些参数为特性值，未经测试。

图 17-9: EUSART 同步发送（主控 / 从动）时序

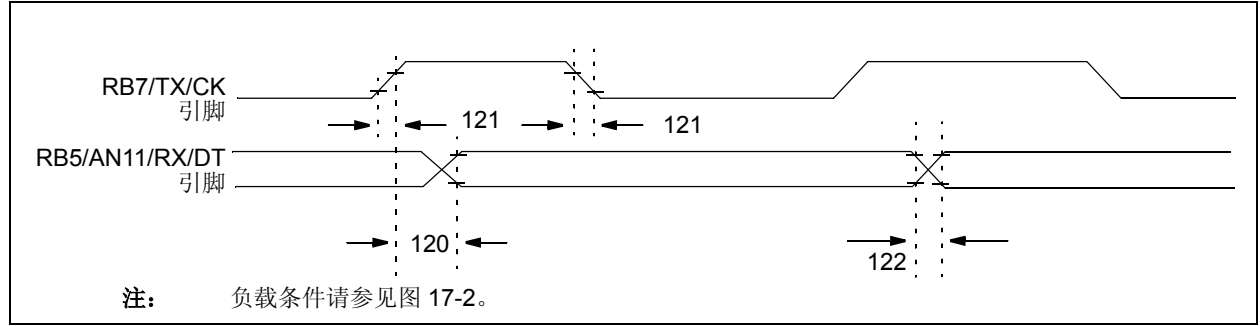


表 17-10: EUSART 同步发送要求

标准运行条件（除非另外说明）						
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$						
参数编号	符号	特性	最小值	最大值	单位	条件
120	TckH2DtV	SYNC XMIT（主控和从动） 从时钟高电平至数据输出有效	—	40	ns	
121	TckRF	时钟输出信号的上升时间和下降时间（主控模式）	—	20	ns	
122	TdTRF	数据输出信号的上升时间和下降时间	—	20	ns	

图 17-10: EUSART 同步接收（主控 / 从动）时序

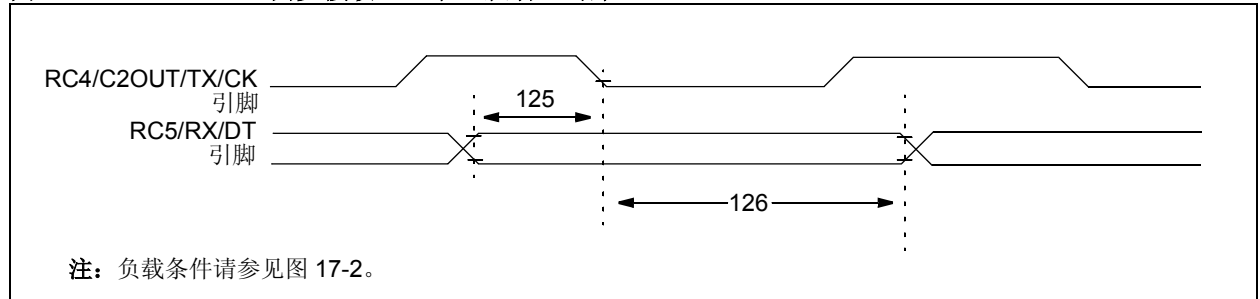


表 17-11: EUSART 同步接收要求

标准运行条件（除非另外说明）						
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$						
参数编号	符号	特性	最小值	最大值	单位	条件
125	TdTV2CKL	SYNC RCV（主控和从动） 在 CK ↓ 前的数据保持时间（DT 保持时间）	10	—	ns	
126	TckL2DTL	在 CK ↓ 后的数据保持时间（DT 保持时间）	15	—	ns	

PIC16F685/687/689/690

图 17-11: SPI 主控模式时序 (CKE = 0, SMP = 0)

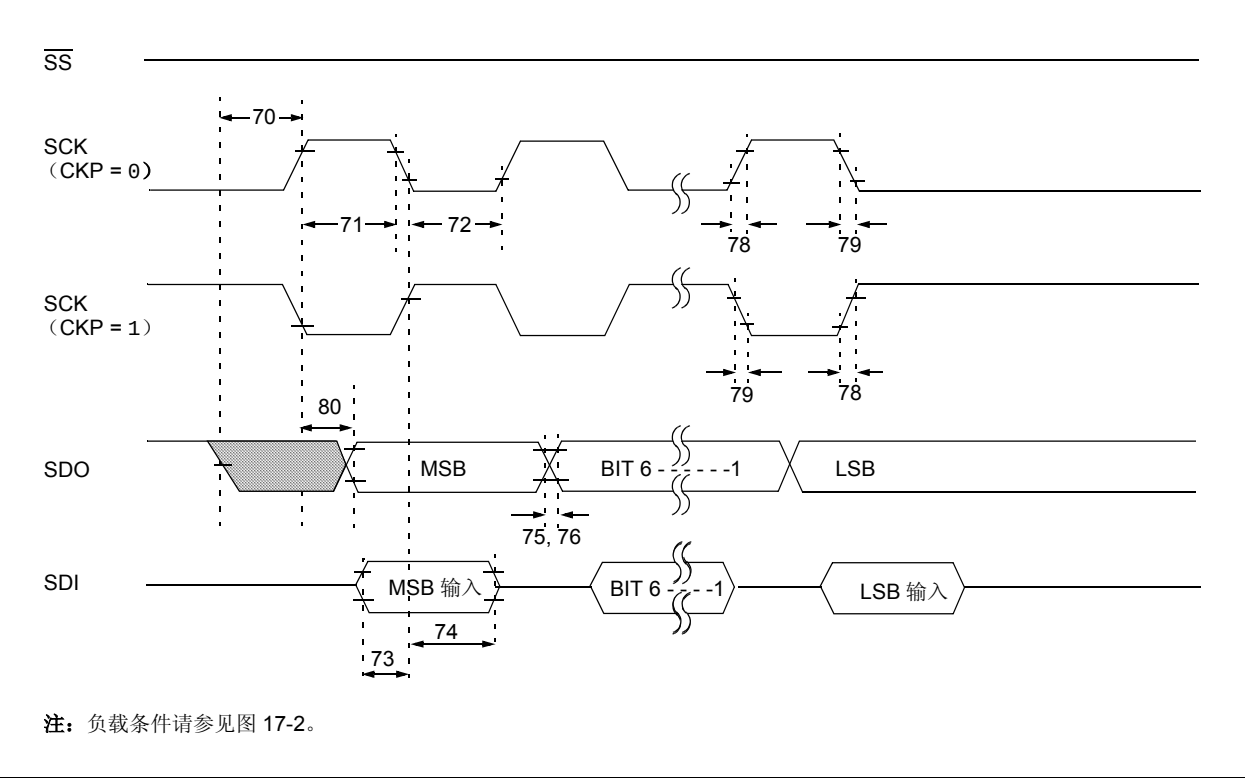


图 17-12: SPI 主控模式时序 (CKE = 1, SMP = 1)

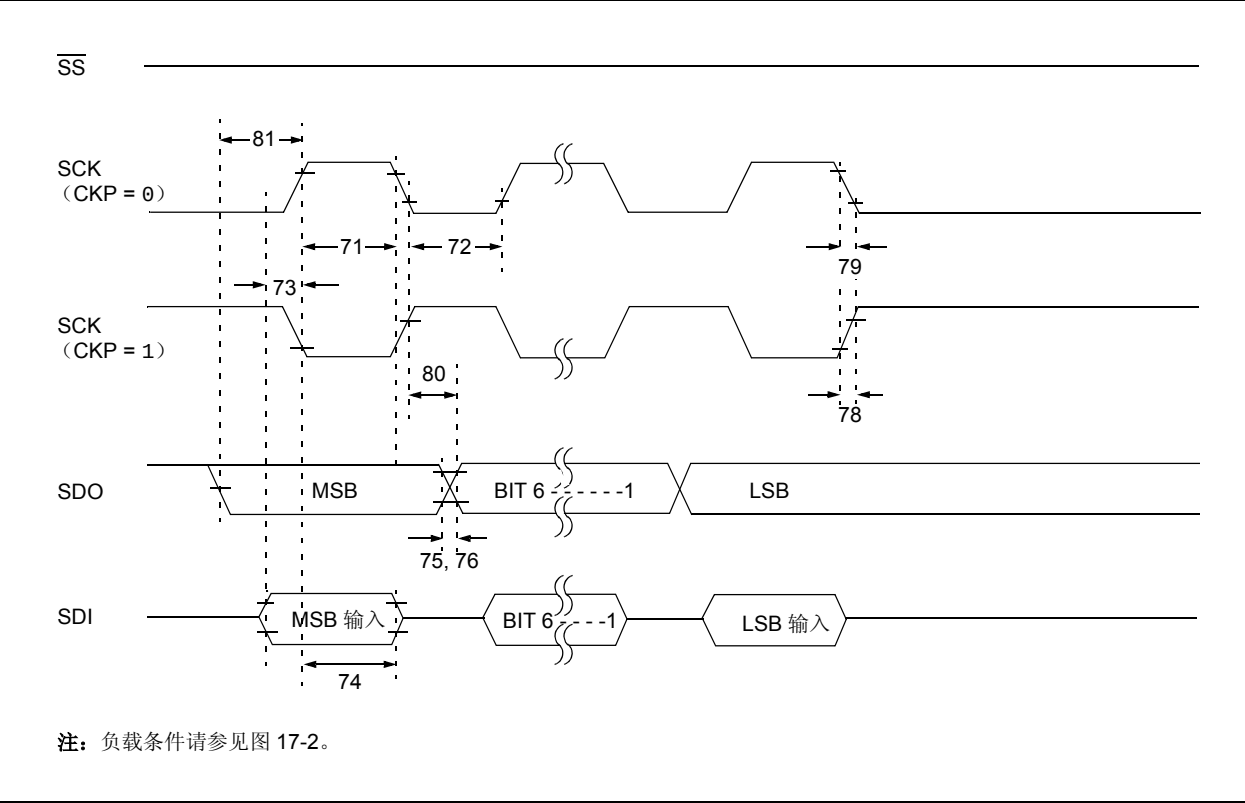


图 17-13: SPI 从动模式时序 (CKE = 0)

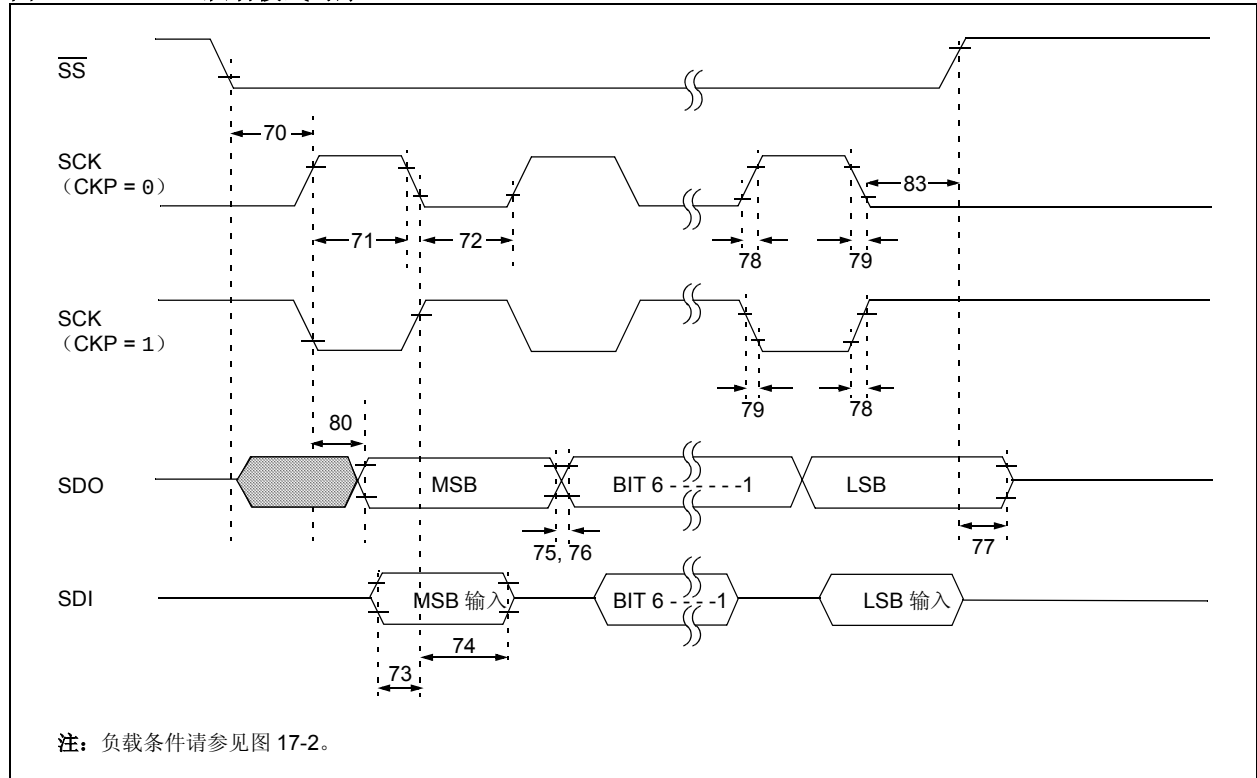
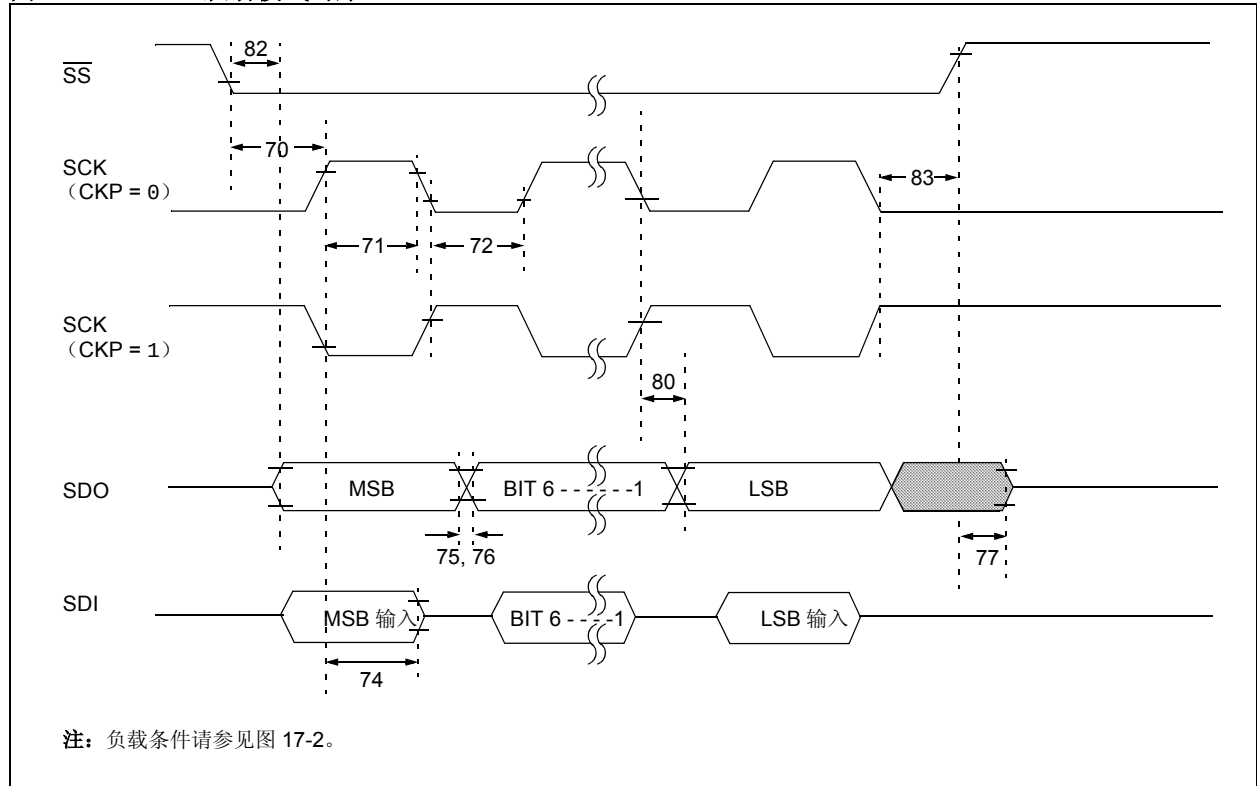


图 17-14: SPI 从动模式时序 (CKE = 1)



PIC16F685/687/689/690

表 17-12: SPI 模式要求

参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
70*	TssL2scH, TssL2scL	$\overline{SS}\downarrow$ 到 SCK $\downarrow$ 或 SCK $\uparrow$ 输入	Tcy	—	—	ns	
71*	Tsch	SCK 输入高电平时间 (从动模式)	Tcy + 20	—	—	ns	
72*	TscL	SCK 输入低电平时间 (从动模式)	Tcy + 20	—	—	ns	
73*	TdIV2scH, TdIV2scL	SDI 数据输入到 SCK 边沿的建立时间	100	—	—	ns	
74*	Tsch2diL, TscL2diL	SDI 数据输入到 SCK 边沿的保持时间	100	—	—	ns	
75*	TdoR	SDO 数据输出上升时间	3.0-5.5V	—	10	25	ns
			2.0-5.5V	—	25	50	ns
76*	TdoF	SDO 数据输出下降时间	—	10	25	ns	
77*	TssH2doZ	$\overline{SS}\uparrow$ 到 SDO 输出高阻抗	10	—	50	ns	
78*	TscR	SCK 输出上升时间 (主控模式)	3.0-5.5V	—	10	25	ns
			2.0-5.5V	—	25	50	ns
79*	TscF	SCK 输出下降时间 (主控模式)	—	10	25	ns	
80*	Tsch2doV, TscL2doV	SCK 边沿后 SDO 数据输出有效	3.0-5.5V	—	—	50	ns
			2.0-5.5V	—	—	145	ns
81*	TdoV2scH, TdoV2scL	SDO 数据输出到 SCK 边沿的建立时间	Tcy	—	—	ns	
82*	TssL2doV	$\overline{SS}\downarrow$ 边沿后 SDO 数据输出有效	—	—	50	ns	
83*	Tsch2ssH, TscL2ssH	SCK 边沿后出现 $\overline{SS}\uparrow$	1.5Tcy + 40	—	—	ns	

* 这些参数为特性值，未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

图 17-15: I²C™ 总线启动 / 停止位时序

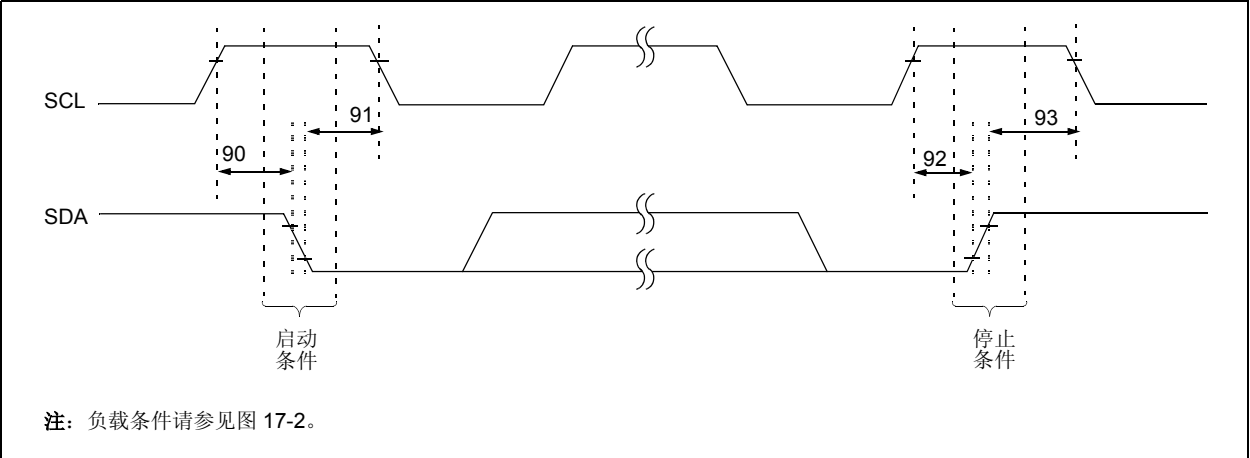
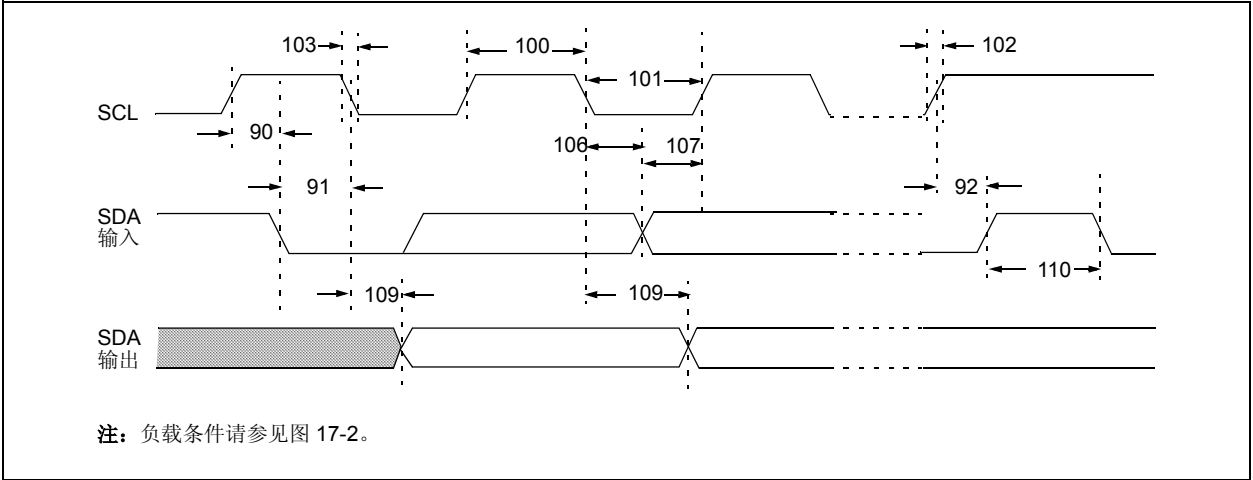


表 17-13: I²C™ 总线启动 / 停止位要求

参数编号	符号	特性	最小值	典型值	最大值	单位	条件
90*	TSU:STA	启动条件建立时间	100 kHz 模式	4700	—	ns	仅与重复起始条件相关
			400 kHz 模式	600	—		
91*	THD:STA	启动条件保持时间	100 kHz 模式	4000	—	ns	此周期后产生第一个时钟脉冲
			400 kHz 模式	600	—		
92*	TSU:STO	停止条件建立时间	100 kHz 模式	4700	—	ns	
			400 kHz 模式	600	—		
93	THD:STO	停止条件保持时间	100 kHz 模式	4000	—	ns	
			400 kHz 模式	600	—		

* 这些参数为特性值，未经测试。

图 17-16: I²C™ 总线数据时序



PIC16F685/687/689/690

表 17-14: I²C™ 总线数据要求

参数编号	符号	特性		最小值	最大值	单位	条件
100*	THIGH	时钟高电平时间	100 kHz 模式	4.0	—	μs	器件工作频率不得低于 1.5 MHz
			400 kHz 模式	0.6	—	μs	器件工作频率不得低于 10 MHz
			SSP 模块	1.5Tcy	—		
101*	TLOW	时钟低电平时间	100 kHz 模式	4.7	—	μs	器件工作频率不得低于 1.5 MHz
			400 kHz 模式	1.3	—	μs	器件工作频率不得低于 10 MHz
			SSP 模块	1.5Tcy	—		
102*	TR	SDA 和 SCL 上升时间	100 kHz 模式	—	1000	ns	
			400 kHz 模式	20 + 0.1CB	300	ns	CB 值的范围在 10-400 pF 之间
103*	TF	SDA 和 SCL 下降时间	100 kHz 模式	—	300	ns	
			400 kHz 模式	20 + 0.1CB	300	ns	CB 值的范围在 10-400 pF 之间
90*	TSU:STA	启动条件建立时间	100 kHz 模式	4.7	—	μs	仅与重复起始条件相关
			400 kHz 模式	0.6	—	μs	
91*	THD:STA	启动条件保持时间	100 kHz 模式	4.0	—	μs	此周期后产生首个时钟脉冲
			400 kHz 模式	0.6	—	μs	
106*	THD:DAT	数据输入保持时间	100 kHz 模式	0	—	μs	
			400 kHz 模式	0	0.9	μs	
107*	TSU:DAT	数据输入建立时间	100 kHz 模式	250	—	ns	(注 2)
			400 kHz 模式	100	—	ns	
92*	TSU:STO	停止条件建立时间	100 kHz 模式	4.7	—	μs	
			400 kHz 模式	0.6	—	μs	
109*	TAA	时钟输出有效时间	100 kHz 模式	—	3500	ns	(注 1)
			400 kHz 模式	—	—	ns	
110*	TBUF	总线空闲时间	100 kHz 模式	4.7	—	μs	在启动一个新的传输前总线保持空闲的时间
			400 kHz 模式	1.3	—	μs	
	CB	总线容性负载		—	400	pF	

* 这些参数为特性值，未经测试。

- 注 1: 为避免产生意外的启动或停止条件，作为发送器的器件必须提供这个内部最小延时以覆盖 SCL 下降沿的未定义区域（最小值 300 ns）。
- 2: 快速模式（400 kHz）的 I²C 总线器件也可在标准模式（100 kHz）的 I²C 总线系统上使用，但必须满足 TSU:DAT ≥ 250 ns 的要求。如果快速模式器件没有延长 SCL 信号的低电平周期，则必然满足此条件。如果该器件延长了 SCL 信号的低电平周期，其下一个数据位必须输出到 SDA 线。SCL 线被释放前，根据标准模式 I²C 总线规范，Tr max. + TSU:DAT = 1000 + 250 = 1250 ns。

表 17-15: PIC16F685/687/689/690 A/D 转换器特性

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值 †	最大值	单位	条件
A01	NR	分辨率	—	—	10 位	位	
A03	EIL	积分线性错误	—	—	± 1	LSb	$V_{\text{REF}} = 5.0\text{V}$
A04	EDL	微分线性错误	—	—	± 1	LSb	10 位不会丢失代码 $V_{\text{REF}} = 5.0\text{V}$
A05	EFS	满量程	2.2*	—	5.5*	V	
A06	EOFF	偏移错误	—	—	± 1	LSb	$V_{\text{REF}} = 5.0\text{V}$
A07	EGN	增益错误	—	—	± 1	LSb	$V_{\text{REF}} = 5.0\text{V}$
A10		单调性	—	保证 (1)	—	—	$V_{\text{SS}} \leq V_{\text{AIN}} \leq V_{\text{REF}+}$
A20	VREF	参考电压	2.0	—	$V_{\text{DD}} + 0.3$	V	
A25	VAIN	模拟输入电压	V_{SS}	—	V_{REF}	V	
A30	ZAIN	模拟电压源的建议阻抗	—	—	10	k Ω	
A50	IREF	V_{REF} 输入电流 *(2)	—	—	± 5	μA	在采集 V_{AIN} 期间。
			—	—	± 150	μA	在 A/D 转换周期期间。

* 这些参数为特性值，未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1: A/D 转换结果不会因输入电压的增加而减小，并且不会丢失代码。

2: V_{REF} 电流均源自于外部 V_{REF} 引脚或 V_{DD} 引脚，取决于选择了哪个引脚作为参考输入引脚。

3: 当 A/D 关断时，它除了消耗很少的泄漏电流外，不消耗任何其他电流。掉电电流参数中包括源自 A/D 模块的任何泄漏电流。

PIC16F685/687/689/690

图 17-17: PIC16F685/687/689/690 A/D 转换时序（正常模式）

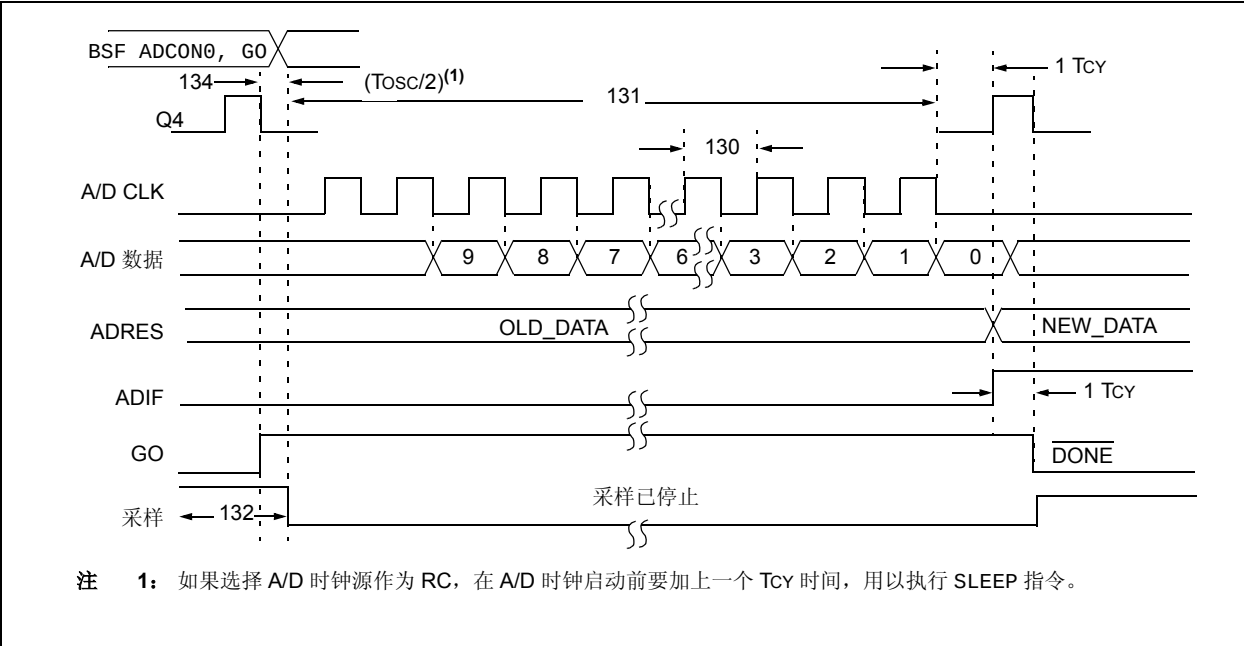


表 17-16: PIC16F685/687/689/690 A/D 转换要求

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值 †	最大值	单位	条件
130	TAD	A/D 时钟周期	1.5	—	—	μs	基于 TOSC, VREF ≥ 2.5V
130	TAD	A/D 内部 RC 振荡器周期	3.0*	—	—	μs	基于 TOSC, VREF 满量程
			3.0*	6.0	9.0*	μs	ADCS<1:0> = 11 (RC 模式)
			2.0*	4.0	6.0*	μs	VDD = 2.5V
131	TCNV	转换时间 (不包括采集时间) (1)	—	11	—	TAD	VDD = 5.0V
132	TACQ	采集时间	5*	11.5	—	μs	将 GO 位设定为 A/D 结果寄存器中的新数据
						μs	最小时间值是放大器的稳定时间。如果“新的”输入电压相对于上一采样电压（保存在 CHOLD 中）的变化不超过 1 LSB（即 4.096V 时为 4.1 mV），便可采用此时间。
134	TGO	Q4 到 A/D 时钟启动	—	TOSC/2	—	—	如果选择 A/D 时钟源作为 RC, 在 A/D 时钟启动前要加上一个 Tcy 时间, 用以执行 SLEEP 指令。

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

注 1: 可在后续 Tcy 周期内读 ADRESH 和 ADRESL 寄存器。

2: 最小条件请参见表 9-1。

图 17-18: PIC16F685/687/689/690 A/D 转换时序（休眠模式）

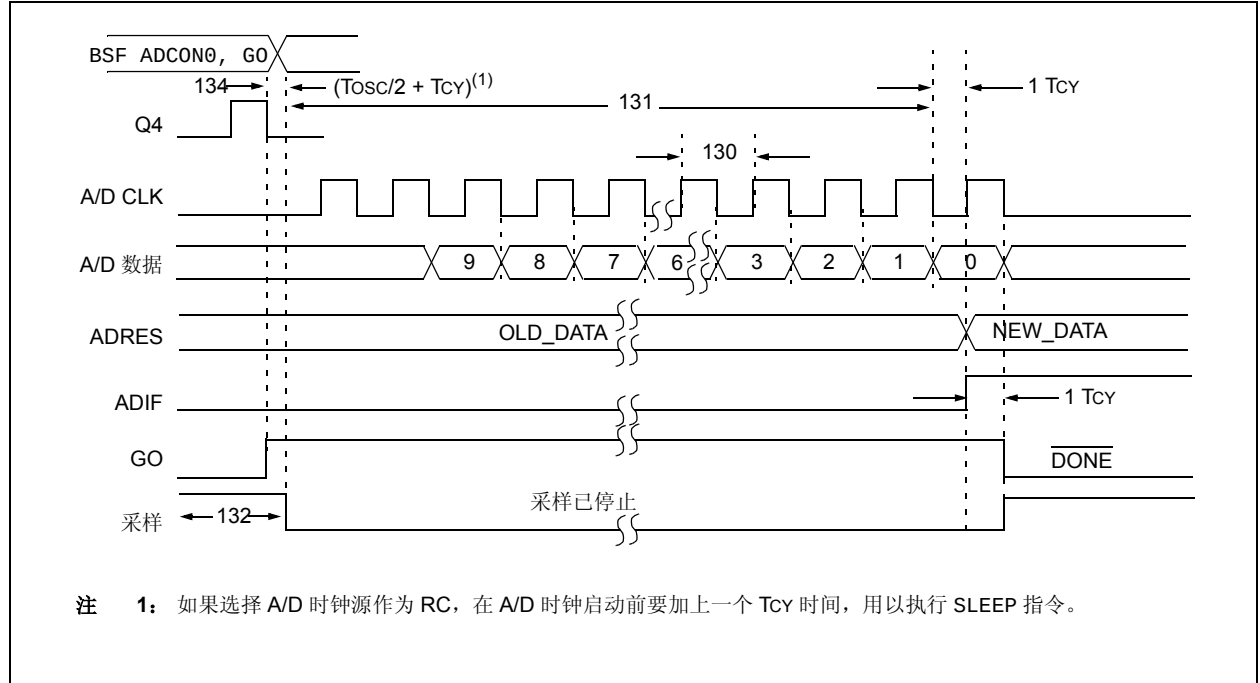


表 17-17: PIC16F685/687/689/690 A/D 转换要求（休眠模式）

标准运行条件（除非另外说明）							
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
130	TAD	A/D 内部 RC 振荡器周期	3.0*	6.0	9.0*	μs	ADCS<1:0> = 11 (RC 模式) $V_{DD} = 2.5\text{V}$
			2.0*	4.0	6.0*	μs	$V_{DD} = 5.0\text{V}$
131	TCNV	转换时间（不包括采集时间）(1)	—	11	—	TAD	
132	TACQ	采集时间	(2)	11.5	—	μs	最小时间值是放大器的稳定时间。
			5*	—	—	μs	如果“新的”输入电压相对于上一采样电压（保存在 CHOLD 中）的变化不超过 1 LSb（即 4.096V 时为 4.1 mV），便可采用此时间。
134	TGO	Q4 到 A/D 时钟启动	—	$T_{\text{osc}}/2 + T_{\text{cy}}$	—	—	如果选择 A/D 时钟源作为 RC, 在 A/D 时钟启动前要加上一个 Tcy 时间, 用以执行 SLEEP 指令。

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

注 1: 可在后续 Tcy 周期内读 ADRES 寄存器。

2: 最小条件请参见表 9-1。

PIC16F685/687/689/690

注:

18.0 直流和交流特性图表

目前没有图表。

PIC16F685/687/689/690

注:

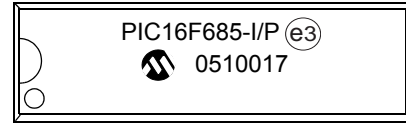
19.0 封装信息

19.1 封装标识信息

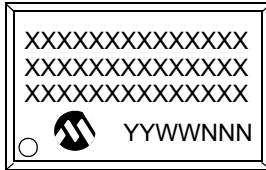
20 引脚 PDIP



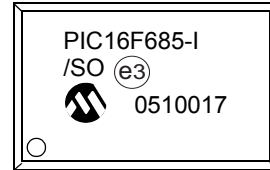
示例



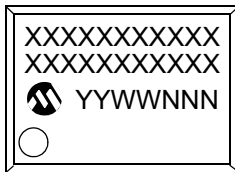
20 引脚 SOIC (0.300 英寸)



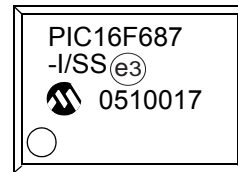
示例



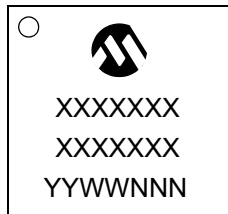
20 引脚 SSOP



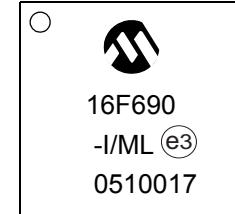
示例



20 引脚 QFN



示例



图注:

XX...X	客户指定信息
Y	年代码 (公历年份的最后位)
YY	年代码 (公历年份的最后两位)
WW	星期代码 (1 月 1 日的星期代码为 “01”)
NNN	字母数字的追踪代码
(e3)	雾锡 (Matte Tin, Sn) 的无铅 JEDEC 标志。
*	本封装为无铅封装。无铅 JEDEC 标志 ((e3)) 标志于此种封装的外包装上。

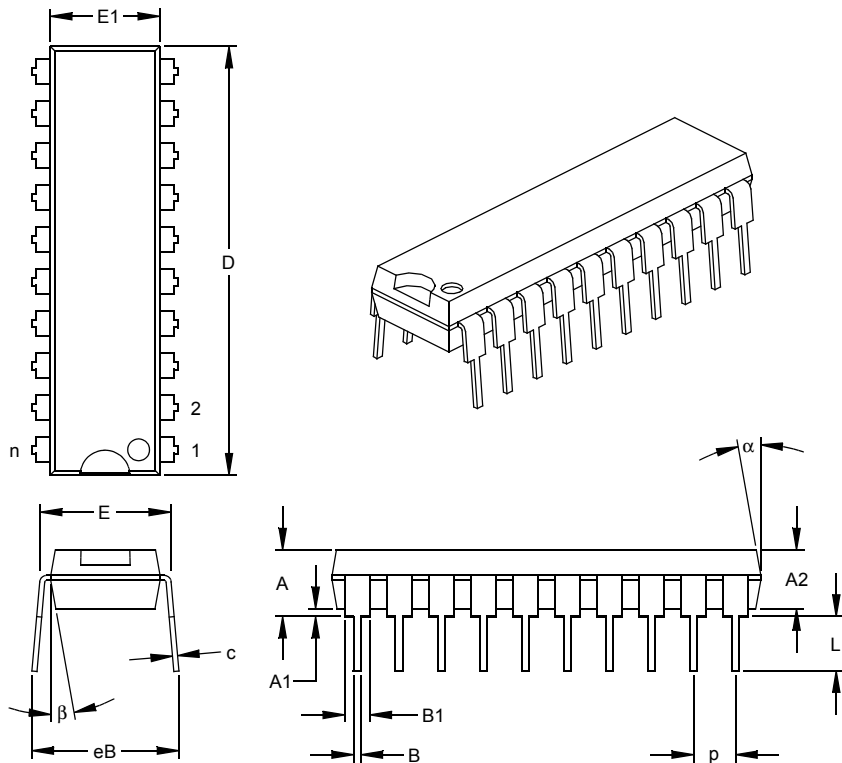
注: 如果 Microchip 部件编号不能在一行中完全标出, 它将换行继续标出。因此限制了用户指定信息的可用字符数。

PIC16F685/687/689/690

19.2 详细封装信息

以下部分将介绍各种封装的技术细节。

20 引脚塑封双列直插式（P）——300 mil 主体（PDIP）



单位	尺寸范围	英寸*			毫米		
		最小	正常	最大	最小	正常	最大
引脚数	n	20			20		
引脚间距	p		.100			2.54	
顶端到底座平面距离	A	.140	.155	.170	3.56	3.94	4.32
塑模封装厚度	A2	.115	.130	.145	2.92	3.30	3.68
基座到底座平面距离	A1	.015			0.38		
肩角与肩角之间的宽度	E	.295	.310	.325	7.49	7.87	8.26
塑模封装宽度	E1	.240	.250	.260	6.10	6.35	6.60
总长度	D	1.025	1.033	1.040	26.04	26.24	26.42
端头到底座平面距离	L	.120	.130	.140	3.05	3.30	3.56
引脚厚度	c	.008	.012	.015	0.20	0.29	0.38
引脚上部宽度	B1	.055	.060	.065	1.40	1.52	1.65
引脚下部宽度	B	.014	.018	.022	0.36	0.46	0.56
总的行间距 §	eB	.310	.370	.430	7.87	9.40	10.92
塑模顶部锥度	a	5	10	15	5	10	15
塑模底部锥度	b	5	10	15	5	10	15

* 控制参数

§ 重要特性

注

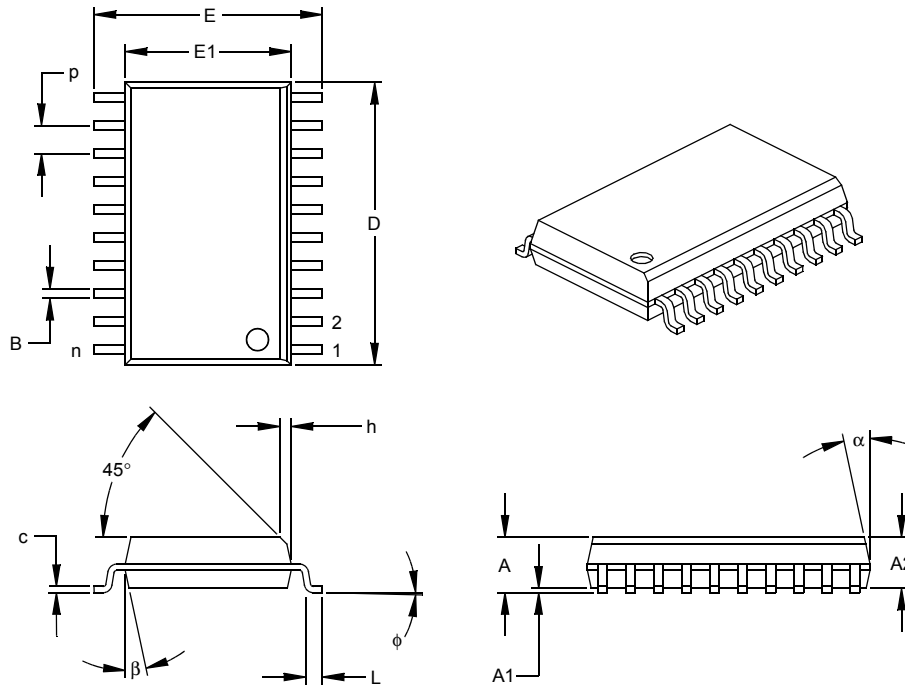
尺寸 D 和 E1 不包括塑模毛边或突起。塑模每侧的毛边或突起不得超过 0.010 英寸（0.254 毫米）。

等同于 JEDEC 号：MS-001

图号 C04-019

PIC16F685/687/689/690

20 引脚塑封小外形（SO）——宽条，300 mil 主体（SOIC）



单位		英寸*			毫米		
尺寸范围		最小	正常	最大	最小	正常	最大
引脚数	n	20			20		
引脚间距	p		.050			1.27	
总高度	A	.093	.099	.104	2.36	2.50	2.64
塑模封装厚度	A2	.088	.091	.094	2.24	2.31	2.39
悬空间隙 §	A1	.004	.008	.012	0.10	0.20	0.30
总宽度	E	.394	.407	.420	10.01	10.34	10.67
塑模封装宽度	E1	.291	.295	.299	7.39	7.49	7.59
总长度	D	.496	.504	.512	12.60	12.80	13.00
斜面距离	h	.010	.020	.029	0.25	0.50	0.74
底脚长度	L	.016	.033	.050	0.41	0.84	1.27
底脚倾斜角	f	0	4	8	0	4	8
引脚厚度	c	.009	.011	.013	0.23	0.28	0.33
引脚宽度	B	.014	.017	.020	0.36	0.42	0.51
塑模顶部锥度	a	0	12	15	0	12	15
塑模底部锥度	b	0	12	15	0	12	15

* 控制参数

§ 重要特性

注

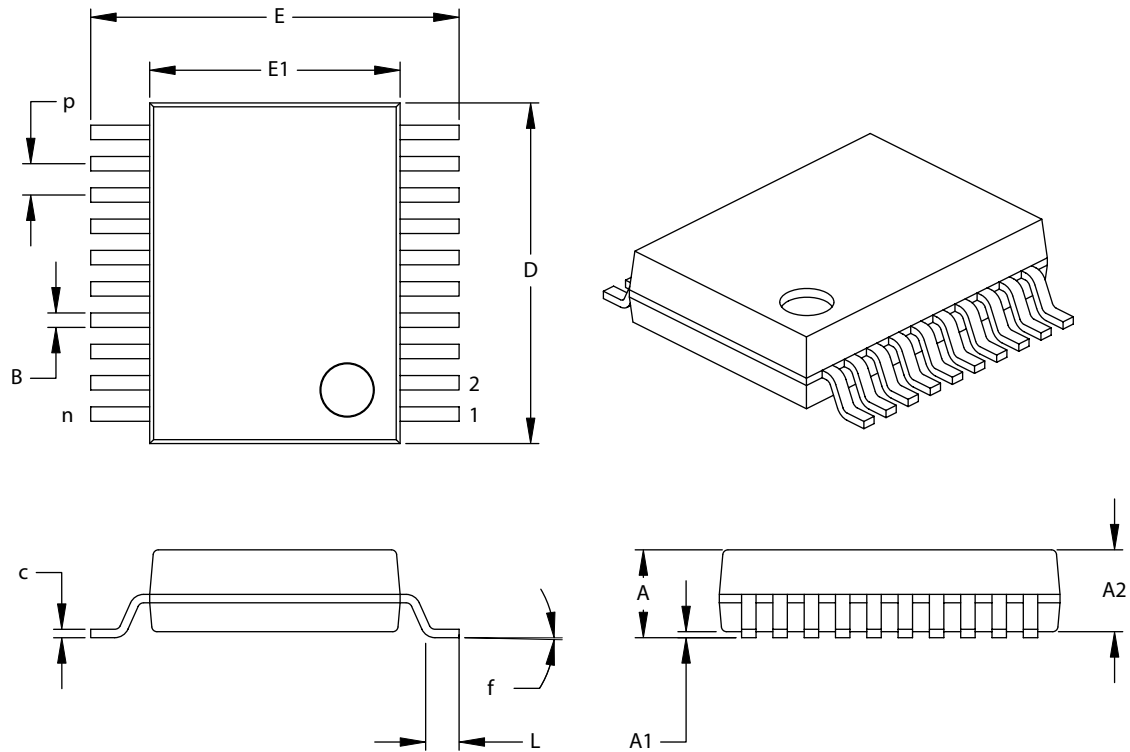
尺寸 D 和 E1 不包括塑模毛边或突起。塑模每侧的毛边或突起不得超过 0.010 英寸（0.254 毫米）。

等同于 JEDEC 号: MS-013

图号 C04-094

PIC16F685/687/689/690

20 引脚塑封缩小型小外形（SS）——209 mil 主体， 5.30 mm（SSOP）



单位		英寸			毫米*		
尺寸范围		最小	正常	最大	最小	正常	最大
引脚数	n	20			20		
引脚间距	p		.026			0.65	
总高度	A	-	-	.079	-	-	2.00
塑模封装厚度	A2	.065	.069	.073	1.65	1.75	1.85
悬空间隙	A1	.002	-	-	0.05	-	-
总宽度	E	.291	.307	.323	7.40	7.80	8.20
塑模封装宽度	E1	.197	.209	.220	5.00	5.30	5.60
总长度	D	.272	.283	.289	.295	7.20	7.50
底脚长度	L	.022	.030	.037	0.55	0.75	0.95
引脚厚度	c	.004	-	.010	0.09	-	0.25
底脚倾斜角	f	0°	4°	8°	0°	4°	8°
引脚宽度	B	.009	-	.015	0.22	-	0.38

*控制参数

注：

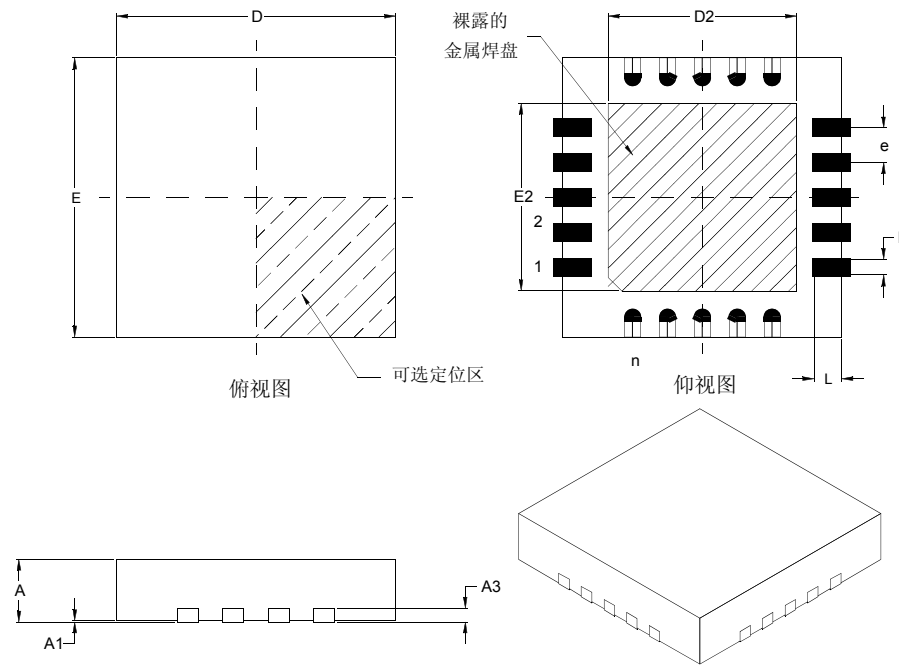
尺寸D和E1不包括塑模毛边或突起。塑模每测的毛边或突起不得超过 0.010 英寸（0.254 毫米）。

等同于JEDEC号：MO-150

图号 C04-072

修订于11/03/03

20 引脚塑封正方扁平无引脚封装（ML） 4x4x0.9 mm 主体（QFN）——Saw Singulated



尺寸范围	单位	英寸			毫米 *		
		最小	正常	最大	最小	正常	最大
引脚数	n	20			20		
引脚间距	e	.020 BSC			0.50 BSC		
总高度	A	.031	.035	.039	0.80	0.90	1.00
悬空间隙	A1	.000	.001	.002	0.00	0.02	0.05
触点厚度	A3	.008 REF			0.20 REF		
总宽度	E	.152	.157	.163	3.85	4.00	4.15
裸露的焊盘宽度	E2	.090	.104	.106	2.29	2.64	2.69
总长度	D	.152	.157	.163	3.85	4.00	4.15
裸露的焊盘长度	D2	.090	.104	.106	2.29	2.64	2.69
触点宽度	b	.007	.010	.012	0.18	0.25	0.30
触点长度	L	.012	.016	.020	0.30	0.40	0.50

* 控制参数

注

1. BSC: 基本尺寸。理论上显示的是没有公差精确值。

参见 ASME Y14.5M

2. REF: 参考尺寸，通常无公差，仅供参考。

参见 ASME Y14.5M

裸露的焊盘尺寸随管芯叶片大小而变化。

等同于 JEDEC 号: 未注册

图号 C04-126, 修订于 05-05-05

PIC16F685/687/689/690

注:

PIC16F685/687/689/690

附录 A：数据手册版本历史

版本 A

这是新的数据手册。

附录 B：从其他 PICmicro® 器件移植

本节讨论从其他 PICmicro 器件移植到 PIC16F6XX 系列器件的某些问题。

B.1 PIC16F676 到 PIC16F685

表 B-1：功能比较

功能	PIC16F676	PIC16F685
最大工作速度	20 MHz	20 MHz
最大程序存储器（字）	1024	4096
SRAM（字节）	64	128
A/D 精度	10 位	10 位
数据 EEPROM（字节）	128	256
定时器（8/16 位）	1/1	2/1
振荡器模式	8	8
欠压复位	Y	Y
内部上拉	RA0/1/2/4/5	RA0/1/2/4/5, MCLR
电平变化中断	RA0/1/2/3/4/5	RA0/1/2/3/4/5
比较器	1	2
ECCP+	N	Y
超低功耗唤醒	N	Y
扩展 WDT	N	Y
WDT/BOR 的软件控制选项	N	Y
INTOSC 频率	4 MHz	31 kHz-8 MHz
时钟切换	N	Y

注：该器件设计为按照数据手册上的参数来工作。它已通过电气规范测试，该规范用于确定器件是否符合这些参数。由于存在器件生产工艺上的差异，其工作特性可能与其早期版本的产品有所不同。这些不同可能导致该器件与其早期版本在应用中的性能差异。

PIC16F685/687/689/690

注:

索引

A

A/D	93
CCP 触发器的使用	103
采集要求	100
参考电压 (VREF)	94
复位的影响	103
规范	233, 234, 235
计算采集时间	100
框图	93
模拟端口引脚	94
内部采样开关 (Rss) 阻抗	100
配置	99
配置和操作	94
配置中断	99
启动转换	95
输出格式	95
特殊事件触发器	103
通道选择	94
相关的寄存器	103
休眠状态下的操作	102
源阻抗	100
转换时钟	94
ACK 脉冲	164
ADCON0 寄存器	97
ADCON1 寄存器	98
ANSELH 寄存器	96
ANSEL 寄存器	96

B

BAUDCTL 寄存器	134
BF 位	156
版本历史	245
保险丝。请参见配置位	
比较模块。请参见增强型捕捉 / 比较 /PWM+ (ECCP+)	
比较器	
C2OUT 作为 T1 门控	74
复位的影响	91
规范	226
相关的寄存器	91
响应时间	91
休眠模式下的工作原理	91
比较器参考电压 (CVREF)	88
复位的影响	91
规范	226
精度 / 误差	88
配置	88
相关的寄存器	91
响应时间	91
比较器模块	79
C1 输出状态与输入条件	79
C2 输出状态与输入条件	82
编程, 器件指令	193
变更通知客户服务	253
捕捉模块。请参见增强型捕捉 / 比较 /PWM+ (ECCP+)	

C

C 编译器	
MPLAB C17	204
MPLAB C18	204
MPLAB C30	204
CCP1CON 寄存器	113
CCPR1H 寄存器	113
CCPR1L 寄存器	113

CKE 位	156
CKP 位	157
CM1CON0	81
CM2CON0 寄存器	83
CM2CON1 寄存器	84
CONFIG 寄存器	174
CPU 功能	173
参考电压	
VP6 稳定	88
参考电压。请参见比较器参考电压 (CVREF)	
参考电压 (VR)	
规范	226
操作码字段说明	193
超低功耗唤醒	8, 10, 12, 47, 50
程序存储器	15
映射图和堆栈	15
冲击电流	126
从动选择同步	161
从其他 PICmicro 器件移植	245
存储器构成	15
程序	15
数据	16

D

D/A 位	156
代码保护	190
代码示例	
超低功耗唤醒初始化	50
初始化 A/D	99
初始化 PORTA	47
初始化 PORTB	56
初始化 PORTC	64
间接寻址	32
将预分频器分配给 Timer0	71
将预分频器分配给 WDT	71
将状态和 W 寄存器保存在 RAM 中	186
写校验	111
在捕捉预分频比间切换	114
装入 SSPBUF (SSPSR) 寄存器	158
电气特性	209
掉电模式 (休眠)	189
读—写—修改操作	193
读者反馈表	254

E

ECCP+。请参见增强型捕捉 / 比较 /PWM+ (ECCP+)	
ECCPAS 寄存器	127
EEADRH 寄存器	105, 106
EEADR 寄存器	105, 106
EECON1 寄存器	105, 107
EECON2 寄存器	105
EEDATH 寄存器	106
EEDAT 寄存器	106
EEPROM 数据存储器	
防止误写	111
写校验	111
EUSART	
波特率发生器 (BRG)	
波特率, 异步模式	137
波特率误差, 计算	135
采样	135
高波特率选择 (BRGH 位)	135
公式	135
自动波特率检测	139
串行口使能 (SPEN 位)	131

PIC16F685/687/689/690

同步从动模式	152	ANSELH (模拟选择高位)	96
发送	152	BAUDCTL (波特率控制)	134
接收	153	CCP1CON (增强型 CCP 操作)	113
相关的寄存器, 发送	152	CCPR1H	113
相关的寄存器, 接收	153	CCPR1L	113
同步主控模式	148	CM1CON0 (C1 控制)	81
发送	148	CM2CON0 (C2 控制)	83
接收	150	CM2CON1 (C2 控制)	84
时序图, 同步发送	227	CONFIG (配置字)	174
时序图, 同步接收	227	ECCPAS (增强型 CCP 自动关闭控制)	127
相关的寄存器, 发送	149	EEADR (EEPROM 地址)	106
相关的寄存器, 接收	151	EEADRH (EEPROM 地址)	106
要求, 同步发送	227	EECON1 (EEPROM 控制 1)	107
要求, 同步接收	227	EEDAT (EEPROM 数据)	106
异步模式	141	EEDATH (EEPROM 数据)	106
12 位间隔发送和接收	147	INTCON (中断控制)	26
建立带地址检测的 9 位模式	144	IOCA (电平变化中断 PORTA)	49
接收器	144	IOCB (电平变化中断 PORTB)	58
相关的寄存器, 发送	143	OPTION_REG	25, 70
相关的寄存器, 接收	145	OSCCON (振荡器控制)	45
在下降沿自动唤醒	146	PCON (电源控制)	178
F		PIE2 (外设中断允许寄存器 2)	28
封装	239	PIR1 (外设中断请求寄存器 1)	29
PDIP 详细信息	240	PIR2 (外设中断请求寄存器 2)	30
标识	239	PORTA	47
复位	175	PORTB	57
负载条件	218	PORTC	64
G		PSTRCON (脉冲转向控制)	123
高精度内部振荡器参数	220	PWM1CON (增强型 PWM 配置)	126
更新地址位, UA	156	RCREG 寄存器	139
固件指令	193	RCSTA (接收状态和控制)	133
故障保护时钟监控器	43	SRCON (SR 锁存器控制)	86
复位或从休眠中唤醒	43	SSPCON (同步串行口控制) 寄存器	157
故障保护操作	43	SSPMASK (SSP 屏蔽)	167
故障保护检测	43	SSPSTAT (同步串行口状态) 寄存器	156
故障保护条件清除	43	T1CON (Timer1 控制)	75
H		T2CON (Timer2 控制)	77
汇编器		TRISA (三态 PORTA)	48
MPASM 汇编器	203	TRISB (三态 PORTB)	57
I		TRISC (三态 PORTC)	64
I ² C 模式		TXSTA (发送状态和控制)	132
从动模式		VRCON (参考电压控制)	89
SCL 和 SDA 引脚	164	WDTCON (看门狗定时器控制)	188
多主模式	171	WPUA (弱上拉 PORTA)	48
发送	169	WPUB (弱上拉 PORTB)	57
工作原理	164	复位值	180
接收	166	复位值 (特殊寄存器)	182
模式选择	164	特殊功能寄存器	16
相关的寄存器	172	特殊功能寄存器汇总	
寻址	165	Bank 0	20
主控模式	171	Bank 1	21
ID 地址单元	190	Bank 2	22
INTCON 寄存器	26	Bank 3	23
INTOSC 规范	220	特殊功能寄存器映射图	
IOCA 寄存器	49	PIC16F685	17
IOCB 寄存器	58	PIC16F687/689	18
J		PIC16F690	19
寄存器		状态	24
ADCON0 (A/D 控制 0)	97	间隔字符 (12 位) 发送和接收	147
ADCON1 (A/D 控制 1)	98	间接寻址、INDF 和 FSR 寄存器	32
ANSEL (模拟选择)	96	交流特性	
		负载条件	218
		工业级和扩展级	219
		接收溢出指示位 (SSPOV)	157
		绝对极限参数值	209

K

开发支持	203
看门狗定时器 (WDT)	187
规范	223
相关的寄存器	188
勘误表	4
客户通知服务	253
客户支持	253
框图	
A/D	93
EUSART 发送	142
EUSART 接收	144
PIC16F685	5
PIC16F687/689	6
PIC16F690	7
PWM (增强型)	116
RA0 引脚	51
RA1 引脚	52
RA2 引脚	52
RA3 引脚	53
RA4 引脚	53
RA5 引脚	54
RB4 引脚	59
RB5 引脚	60
RB6 引脚	61
RB7 引脚	62
RC0 和 RC1 引脚	65
RC2 和 RC3 引脚	65
RC4 引脚	66
RC5 引脚	66
RC6 引脚	67
RC7 引脚	67
SSP (I ² C 模式)	164
SSP (SPI 模式)	155
Timer1	73
Timer2	78
TMR0/WDT 预分频器	69
比较模式工作原理	114
比较器 1	80
比较器 2	82
捕捉模式工作原理	114
故障保护时钟监控器 (FSCM)	43
看门狗定时器 (WDT)	187
模拟输入模型	101
片上复位电路	175
谐振器工作	37
在线串行编程连接	191
中断逻辑	184

M

MCLR	176
内部	176
Microchip 因特网网站	253
MPLAB ASM30 汇编器、链接器和库管理器	204
MPLAB ICD 2 在线调试器	205
MPLAB ICE 2000 高性能通用在线仿真器	205
MPLAB ICE 4000 高性能通用在线仿真器	205
MPLAB PM3 器件编程器	205
MPLAB 集成开发环境软件	203
MPLINK 目标链接器 /MPLIB 目标库管理器	204
脉冲转向	123
模数转换器。请参见 A/D	

N

内部采样开关 (R _{ss}) 阻抗	100
内部集成电路 (I ² C)。请参见 I ² C 模式	

内部振荡器模块

INTOSC

规范	220
----------	-----

O

OSCCON 寄存器	45
------------------	----

P

P (停止) 位	156
P1A/P1B/P1C/P1D。请参见增强型捕捉 / 比较 / PWM (ECCP)	116
PCL 和 PCLATH	32
堆栈	32
计算 GOTO 指令	32
PCON 寄存器	178
PICKIT 1 闪存入门工具包	207
PICSTART Plus 开发编程器	206
PIE2 寄存器	28
PIR1 寄存器	29
PIR2 寄存器	30
PORTA	
RA0	51
RA1	52
RA2	52
RA3	53
RA4	53
RA5	54
规范	221
寄存器	47
相关的寄存器	55
引脚的其他功能	47
超低功耗唤醒	47, 50
电平变化中断	49
弱上拉	47
引脚说明和引脚图	51
PORTA 寄存器	47
PORTB	
RB4	59
RB5	60
RB6	61
RB7	62
电平变化中断	56
寄存器	56
相关的寄存器	63
引脚的其他功能	56
弱上拉	56
引脚说明和引脚图	59
PORTB 寄存器	57
PORTC	64
P1A/P1B/P1C/P1D。请参见增强型捕捉 / 比较 / PWM+ (ECCP+)	64
RC0	65
RC1	65
RC2	65
RC3	65
RC4	66
RC5	66
RC6	67
RC7	67
规范	221
寄存器	64
相关的寄存器	45, 68
PORTC 寄存器	64
PRO MATE II 通用器件编程器	205
PSTRCON 寄存器	123
PWM (ECCP+ 模块)	

PIC16F685/687/689/690

PWM 转向操作表	124
脉冲转向	123
转向同步	125
PWM1CON 寄存器	126
PWM 模式。请参考增强型捕捉 / 比较 / PWM。	
PWM 转向	124
配置位	174
评估和编程工具	207
Q	
器件概述	5
欠压复位 (BOR)	177
规范	223
时序和特性	222
相关的寄存器	178
切换预分频器的分配	71
R	
R/W 位	156
RCREG	144
RCSTA 寄存器	133
SPEN 位	131
软件模拟器 (MPLAB SIM)	204
软件模拟器 (MPLAB SIM30)	204
S	
S (起始) 位	156
SMP 位	156
SPBRG	135
SPBRGH	135
SPI 模式	155, 161
SPI 时钟	160
从动选择	155
从动选择同步	161
串行时钟 (SCK 引脚)	155
串行数据输出 (SDO 引脚)	155
串行数据输入 (SDI 引脚)	155
典型连接	159
复位的影响	163
使能 SPI I/O	159
相关的寄存器	163
休眠模式下的操作	163
主控 / 从动连接	159
主控模式	160
总线模式兼容性	163
SRCON 寄存器	86
SSP I ² C 工作原理	164
从动模式	164
SSPCON 寄存器	157
SSPEN 位	157
SSP 概述	
SPI 主控 / 从动连接	159
SSP 模块	
SPI 从动模式	161
SPI 主控模式	160
SSPBUF	160
SSPSR	160
时钟同步与 CKP 位	171
SSPM 位	157
SSPMASK 寄存器	167
SSPOV 位	157
SSPSTAT 寄存器	156
闪存程序存储器	105
上电复位 (POR)	176
上电延时定时器 (PWRT)	176
规范	223

时序参数符号体系	218
时序图	
A/D 转换	234
A/D 转换 (休眠模式)	235
CLKOUT 和 I/O	221
EUSART 同步发送 (主控 / 从动)	227
EUSART 同步接收 (主控 / 从动)	227
I ² C 从动模式 (发送, 10 位地址)	170
I ² C 从动模式且 SEN = 0 (接收, 10 位地址)	168
I ² C 发送 (7 位地址)	169
I ² C 接收 (7 位地址)	166
I ² C 总线启动 / 停止位	230
I ² C 总线数据	231
INT 引脚中断	185
PWM 方向改变	122
PWM 输出 (低电平有效)	118
PWM 输出 (高电平有效)	118
PWM 自动关闭	
禁止自动重新启动	128
使能自动重新启动	128
SPI 从动模式 (CKE = 0)	229
SPI 从动模式 (CKE = 1)	229
SPI 模式 (从动模式且 CKE = 0)	162
SPI 模式 (从动模式且 CKE = 1)	162
SPI 模式 (主控模式)	160
SPI 主控模式 (CKE = 1, SMP = 1)	228
Timer0 和 Timer1 外部时钟	224
Timer1 递增边沿	74
半桥 PWM 输出	119
从动同步	161
从中断唤醒	190
发送间隔字符序列	147
复位、WDT、OST 和上电延时定时器	222
故障保护时钟监控器 (FSCM)	44
欠压复位 (BOR)	222
欠压复位情形	177
全桥 PWM 输出	120
时钟同步	172
双速启动	42
同步发送	148
同步发送 (通过 TXEN)	149
同步接收 (主控模式, SREN)	150
外部时钟	219
休眠模式下的自动唤醒位 (WUE)	146
延时时序	
情形 1	179
情形 2	179
情形 3	179
异步发送	142
异步发送 (背靠背)	142
异步接收	145
在占空比接近 100% 时改变 PWM 方向	122
增强型捕捉 / 比较 / PWM (ECCP)	225
正常工作模式下的自动唤醒位 (WUE)	146
自动波特率计算器	140
时序要求	
I ² C 总线启动 / 停止位	231
I ² C 总线数据	232
SPI 模式	230
使用中断唤醒	189
数据 / 地址位 (D/A)	156
数据 EEPROM 存储器	105
代码保护	111
读	108
相关的寄存器	112

写	108
数据存储寄存器	16
双速时钟启动模式	41
T	
T1CON 寄存器	75
Timer0	69
T0CKI	70
工作原理	69
外部时钟	70
外部时钟要求	224
相关的寄存器	71
中断	69
Timer1	73
Timer1 门控	
反转门控	74
选择源	74
TMR1H 寄存器	73
TMR1L 寄存器	73
工作模式	74
外部时钟要求	224
相关的寄存器	76
异步计数器模式	76
读写	76
预分频器	74
在休眠模式下的工作原理	76
振荡器	76
中断	74
Timer2	77
PR2 寄存器	77
TMR2 到 PR2 匹配中断	77, 78
TMR2 寄存器	77
工作原理	77
后分频器	77
相关的寄存器	78
预分频器	77
TRISA	
寄存器	47
TRISA 寄存器	48
TRISB	
寄存器	56
TRISB 寄存器	57
TRISC	
寄存器	64
TRISC 寄存器	64
TXREG	141
TXSTA 寄存器	132
BRGH 位	135
特殊功能寄存器	16
特殊事件触发器	103
通用寄存器文件	16
同步串行口。请参见 SSP	
同步串行口模式选择位 (SSPM)	157
同步串行口使能位 (SSPEN)	157
U	
UA	156
V	
VRCON 寄存器	89
VREF。请参见 A/D 参考电压	
W	
WCOL 位	157
WDTCON 寄存器	188
WPUA 寄存器	48
WPUB 寄存器	57

WWW，在线支持	4
WWW 地址	253
X	
写冲突检测位 (WCOL)	157
选项寄存器	25, 70
Y	
延时时序	178
演示板	
PICDEM 1	206
PICDEM 17	207
PICDEM 18R	207
PICDEM 2 Plus	206
PICDEM 3	206
PICDEM 4	206
PICDEM LIN	207
PICDEM USB	207
PICDEM.net 因特网 / 以太网	206
异步操作的时钟精确性	131
因特网地址	253
引脚示意图	2, 3
预分频器	
共用的 WDT/Timer0	71
Z	
在 RX 引脚下降沿自动唤醒	146
在线串行编程 (ICSP)	190
增强型捕捉 / 比较 / PWM+ (ECCP+)	113
CCP1 引脚配置	114
比较模式	114
CCP1 引脚配置	115
Timer1 模式选择	115
软件中断模式	115
特殊事件触发和 A/D 转换	115
捕捉模式	114
预分频器	114
定时器资源	113
规范	225
相关的寄存器	130
与捕捉 / 比较 / TIMER1 相关的寄存器	115
增强型 PWM 模式	116
PWM 频率和分辨率示例	117
TMR2 到 PR2 匹配	77
半桥模式	119
半桥输出应用示例	119
复位的影响	129
功耗管理模式下的操作	129
可编程死区延时	126
启动注意事项	128
全桥模式	120
全桥输出模式中的方向改变	121
全桥应用示例	121
设置操作	129
使用故障保护时钟监控器操作	129
输出关系 (高电平有效和低电平有效)	118
输出关系图	118
输出配置	116
占空比	117
直通电流	126
周期	117
自动重新启动	128
自动关闭	127, 128
增强型通用同步 / 异步收发器 (EUSART)	131
振荡器	
相关的寄存器	45
振荡器规范	219

PIC16F685/687/689/690

振荡器配置	35
振荡器起振定时器 (OST)	
规范	223
振荡器切换	
故障保护时钟监控器	43
双速时钟启动	41
直流特性	
工业级	212
工业级和扩展级	211, 216
扩展级	214
指令格式	193
指令集	193
ADDLW	195
ADDWF	195
ANDLW	195
ANDWF	195
BCF	195
BSF	195
BTFSC	195
BTFSS	196
CALL	196
CLRF	196
CLRWF	196
CLRWDW	196
COMF	196
DECF	196
DECFSZ	197
GOTO	197
INCF	197
INCFSZ	197
IORLW	197
IORWF	197
MOVF	198
MOVLW	198
MOVWF	198
NOP	198
RETFIE	199
RETLW	199
RETURN	199
RLF	200
RRF	200
SLEEP	200
SUBLW	200
SUBWF	200
SWAPF	201
XORLW	201
XORWF	201
中断	183
A/D	99
PORTA/PORTB 电平变化中断	184
RA2/INT	183
TMR0	183
TMR1	74
TMR2 到 PR2 匹配	78
TMR2 到 PR2 匹配 (PWM)	77
比较	114
捕捉	114
电平变化中断	49, 56
现场保护	186
相关的寄存器	185
状态寄存器	24

MICROCHIP 网站

Microchip 网站 (www.microchip.com) 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的因特网浏览器即可访问。网站提供以下信息:

- **产品支持**——数据手册和勘误表、应用笔记和样本程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及存档软件
- **一般技术支持**——常见问题 (FAQ)、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的客户通知服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时, 收到电子邮件通知。

欲注册, 请登录 Microchip 网站 www.microchip.com, 点击“变更通知客户 (Customer Change Notification)”服务并按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助:

- 代理商或代表
- 当地销售办事处
- 应用工程师 (FAE)
- 技术支持

客户应联系其代理商、代表或应用工程师 (FAE) 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过<http://support.microchip.com>获得网上技术支持。

PIC16F685/687/689/690

读者反馈表

我们努力为您提供最佳文档，以确保您能够成功使用 Microchip 产品。如果您对文档的组织、条理性、主题及其他有助于提高文档质量的方面有任何意见或建议，请填写本反馈表并传真给我公司 TRC 经理，传真号码为 86-21-5407-5066。

请填写以下信息，并从下面各方面提出您对本文档的意见。

致: TRC 经理
关于: 读者反馈
总页数 _____
发件: 姓名 _____
公司 _____
地址 _____
国家 / 省份 / 城市 / 邮编 _____
电话 (_____) _____ - _____ 传真 (_____) _____ - _____

应用 (选填):

您希望收到回复吗? 是 ____ 否 ____

器件: PIC16F685/687/689/690 文献编号: DS41262A_CN

问题

1. 本文档中哪些部分最有特色?

2. 本文档是否满足了您的软硬件开发要求? 如何满足的?

3. 您认为本文档的组织结构便于理解吗? 如果不便于理解, 那么问题何在?

4. 您认为本文档应该添加哪些内容以改善其结构和主题?

5. 您认为本文档中可以删减哪些内容, 而又不会影响整体使用效果?

6. 本文档中是否存在错误或误导信息? 如果存在, 请指出是什么信息及其具体页数。

7. 您认为本文档还有哪些方面有待改进?

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

器件编号	X	XX	XXX
器件	温度范围	封装	模式
器件： PIC16F685 ⁽¹⁾ , PIC16F687 ⁽¹⁾ , PIC16F689 ⁽¹⁾ , PIC16F690 ⁽¹⁾ VDD 范围为 4.2V 至 5.5V	温度范围： I = -40°C 至 +85°C (工业级) E = -40°C 至 +125°C (扩展级)	封装： ML = QFN (正方扁平，无引脚) P = PDIP SO = SOIC SS = SSOP	模式： QTP、SQTP、代码或特殊要求 (其他情况空白)

示例：

a) PIC16F685 - I/ML 301 = 工业级温度，QFN 封装，QTP 模式 #301。

b) PIC16F689 - I/SO = 工业级温度，SOIC 封装。

c) PIC16F690T - T/E/SS = 扩展级温度，SSOP 封装。

注 1: T = 卷带式，仅限 SSOP、SOIC 和 QFN 封装。

全球销售及服务中心

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://support.microchip.com>
网址: www.microchip.com

亚太总部 Asia Pacific Office

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

亚特兰大 Atlanta
Alpharetta, GA
Tel: 1-770-640-0034
Fax: 1-770-640-0307

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Farmington Hills, MI
Tel: 1-248-538-2250
Fax: 1-248-538-2260

科科莫 Kokomo
Kokomo, IN
Tel: 1-765-864-8360
Fax: 1-765-864-8387

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

圣何塞 San Jose
Mountain View, CA
Tel: 1-650-215-1444
Fax: 1-650-961-0286

加拿大多伦多 Toronto
Mississauga, Ontario,
Canada
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

中国 - 北京
Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8676-6200
Fax: 86-28-8676-6599

中国 - 福州
Tel: 86-591-8750-3506
Fax: 86-591-8750-3521

中国 - 香港特别行政区
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 顺德
Tel: 86-757-2839-5507
Fax: 86-757-2839-5571

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7250
Fax: 86-29-8833-7256

台湾地区 - 高雄
Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾地区 - 台北
Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-572-9526
Fax: 886-3-572-6459

亚太地区

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-4182-8400
Fax: 91-80-4182-8422

印度 India - New Delhi
Tel: 91-11-5160-8631
Fax: 91-11-5160-8632

印度 India - Pune
Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 Japan - Yokohama
Tel: 81-45-471- 6166
Fax: 81-45-471-6122

韩国 Korea - Gumi
Tel: 82-54-473-4301
Fax: 82-54-473-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Penang
Tel: 60-4-646-8870
Fax: 60-4-646-5086

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-3910
Fax: 43-7242-2244-393

丹麦 Denmark-Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 UK - Wokingham
Tel: 44-118-921-5869
Fax: 44-118-921-5820