

本章介绍 Arria® II 器件的所支持的配置方案，执行所需要的配置方案的指示，以及必要的选项管脚设置。本章也介绍了在 Arria II 器件中的配置器件的不同方式、介绍该器件的设计安全和远程系统更新功能。

Arria II 器件使用 SRAM 单元储存配置数据。SRAM 储存器是易失的，您必须在每次器件上电时把配置数据下载到 Arria II 器件。所有的配置方案都使用外部控制器（例如，MAX® II 器件或者微处理器）、配置器件或者下载电缆。

本章包含以下部分：

- 第 9-2 页 “配置功能”
- 第 9-4 页 “上电复位电路和配置管脚电源”
- 第 9-7 页 “配置过程”
- 第 9-9 页 “配置方案”
- 第 9-11 页 “FPP 配置”
- 第 9-19 页 “AS 和快速 AS 配置（串行配置器件）”
- 第 9-26 页 “PS 配置”
- 第 9-33 页 “JTAG 配置”
- 第 9-39 页 “器件配置管脚”
- 第 9-45 页 “配置数据解压缩”
- 第 9-47 页 “远程系统更新”
- 第 9-51 页 “远程系统更新模式”
- 第 9-54 页 “专用的远程系统更新电路”
- 第 9-58 页 “Quartus II 软件支持”
- 第 9-59 页 “设计安全”

配置器件

对于 Arria II 器件，Altera® 串行配置器件支持单个 – 和多个器件配置解决方案。Arria II GX 器件使用主动串行 (AS) 配置方案，而 Arria II GZ 器件使用快速 AS 配置方案。串行配置器件提供一个低成本，低管脚量的配置解决方案。

 要了解关于串行配置器件更多信息，请参考 *配置手册* 第二卷的 *Serial Configuration Devices (EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128) Datasheet*。

 本章陈述的所有最小的时序信息涵盖整个 Arria II 器件系列。由于工艺变化的原因，一些器件的运行时序可能小于本章所陈述的最小时序。

配置功能

Arria II 器件提供解压缩，设计安全，以及远程系统更新功能。Arria II 器件可以收到压缩配置比特流和实时解压缩该数据，减少存储要求以及配置时间。请使用配置比特流加密的设计安全保护您的设计。您可以用远程系统更新功能从 Arria II 设计的远程位置做实时系统更新。

表 9-1 列出了在 Arria II GX 器件的每个配置方案中可以使用的配置功能。

表 9-1. Arria II GX 器件的配置功能

配置方案	配置方法	解压缩	设计安全	远程系统更新
FPP	MAX II 器件或者带有闪存的微处理器	✓ (注释 1)	✓ (注释 1)	—
AS	串行配置器件	✓	✓	✓ (注释 2)
PS	MAX II 器件或者带有闪存的微处理器	✓	✓	—
	下载电缆	✓	✓	—
JTAG	MAX II 器件或者带有闪存的微处理器	—	—	—
	下载电缆	—	—	—

表 9-1 注释：

- (1) 在这些模式下，主系统必须发送一个 x4 数据速率的 DCLK。
- (2) 远程系统更新仅可用于 AS 配置方案。本地更新模式在 AS 配置方案中不被支持。

表 9-2 列出了 Arria II GZ 器件的每个配置方案中可以使用的配置功能。

表 9-2. Arria II GZ 器件的配置功能

配置方案	配置方法	解压缩	设计安全	远程系统升级
FPP	MAX II 器件或者一个带有闪存的微处理器	✓ (注释 1)	✓ (注释 1)	—
Fast AS	串行配置器件	✓	✓	✓ (注释 2)
PS	MAX II 器件或者一个带有闪存的微处理器	✓	✓	—
	下载电缆	✓	✓	—
JTAG	MAX II 器件或者带有闪存的微处理器	—	—	—
	下载电缆	—	—	—

表 9-2 注释：

- (1) 在这些模式下，主系统必须发送一个 x4 数据速率的 DCLK。
- (2) 远程系统更新仅用于快速 AS 配置方案。本地更新模式在快速 AS 配置方案中不被支持。

参考以下在 Arria II 器件中所支持的配置功能：

- 要了解关于配置数据解压缩功能更多信息，请参考第9-45页 “配置数据解压缩”。
- 要了解关于远程系统更新功能的更多信息，请参考第 9-47 页 “远程系统更新”。
- 要了解关于设计安全功能的更多信息，请参考第 9-59 页 “设计安全”。
- 要了解关于并行闪存加载器 (PFL) 的更多信息，请参考 *Parallel Flash Loader Megafunction User Guide*。

如果您的系统已经包含了一个公共闪存接口 (CFI) 的闪存存储器器件，那么也可以把它用于 Arria II 器件配置存储器。MAX II 器件中的 PFL 功能通过 JTAG 接口提供一个有效的方法来编程 CFI 闪存器件以及从闪存器件到 Arria II 器件提供逻辑控制配置。通过使用 PFL 功能，可以支持被动串行 (PS) 以及快速被动并行 (FPP) 配置模式。

要了解关于编程 Altera 串行配置器件更多信息，请参考第 9-23 页 “编程串行配置器件”。

上电复位电路和配置管脚电源

以下部分描述上电复位 (POR) 电路以及配置管脚的电源。

上电复位电路

POR 电路保持整个系统在复位模式直到电源电平在上电时已经稳定。上电之后，器件不会释放 nSTATUS 直到电压电平高于器件的 POR 跳变点。表 9-3 列出了 Arria II 器件中上电所需的电压。

表 9-3. Arria II 器件所需的电压

器件	电压
Arria II GX	I/O bank 3C 或 8C 的 V_{CCCB} 、 V_{CCA_PLL} 、 V_{CC} 、 V_{CCPD} 和 V_{CCIO}
Arria II GZ	V_{CC} 、 V_{CCAUX} 、 V_{CCCB} 、 V_{CCPGM} 和 V_{CCPD}

关于 Arria II GX 器件的断电，如果 V_{CC} 降到 POR 跳变点之下，并且任何的 I/O bank 3C 或者 8C 的 V_{CC} 、 V_{CCPD} 或 V_{CCIO} 电压降到阈值以下，掉电情况发生。关于 Arria II GZ 器件的断电，如果 V_{CC} 、 V_{CCAUX} 、 V_{CCCB} 、 V_{CCPGM} 或者 V_{CCPD} 电压降到阈值电压以下，掉电情况发生。

在 Arria II 器件中，您可以在快速 POR 时间和标准 POR 时间之间进行选择。对于 Arria II GX 器件，根据 MSEL 管脚设置做出选择。对于 Arria II GZ 器件，根据 PORSEL 输入管脚做出选择。PORSEL = L 被设置为标准 POR 时间。PORSEL = H 被设置为快速 POR 时间。快速配置时间的快速 POR 时间是 $4\text{ ms} < T_{POR} < 12\text{ ms}$ 。低上电速率的标准 POR 时间是 $100\text{ ms} < T_{POR} < 300\text{ ms}$ 。

配置管脚电源

表 9-4 列出了 Arria II 器件的配置管脚。

表 9-4. Arria II 器件的配置管脚

器件	配置管脚
Arria II GX	所有的专用配置管脚都由它们所位于的 bank 3C 和 8C 的 V _{CCIO} 提供。所支持的配置电压是 1.8、2.5、3.0 和 3.3 V。对于 I/O bank 3C 和 8C，使用 V _{CCIO} 管脚来为用于配置的所有的专用配置输入、专用配置输出、以及专用配置双向管脚充电。在 I/O bank 3C 和 8C 上使用 V _{CCIO} ，配置输入缓冲器不用与普通 I/O 缓冲器共享电源线。 您必须用里面有配置管脚的 V _{CCIO} 电源为用于配置的双功能配置管脚充电。 要了解关于应用于 V _{CCIO} 电源的配置电压标准的更多信息，请参考第 1-9 页表 9-6。
Arria II GZ	所有的专用配置管脚和双功能管脚都是由 V _{CCPGM} 提供的。所支持的配置电压是 1.8、2.5 和 3.0 V。使用 V _{CCPGM} 管脚为用于配置的所有的专用配置输入、专用配置输出、以及专用配置双向管脚充电。使用 V _{CCPGM} ，配置输入缓冲器不用与普通 I/O 缓冲器共享电源线。

Arria II 器件不支持 1.5-V 配置。在配置期间，配置输入管脚的操作电压与 I/O bank 电源 V_{CCIO} 无关。因此，对于 Arria II 器件，您不用要求在 V_{CCIO} 上配置电压约束。

- 要了解更多信息，请参考 *Power Management in Arria II Devices* 章节。
- 要了解关于配置管脚连接建议的更多信息，请参考 *Arria II Device Family Pin Connection Guidelines*。

V_{CCPD} 管脚

Arria II 器件有一个专用编程电源，V_{CCPD} 管脚。表 9-5 列出了 Arria II 器件的电源。

表 9-5. Arria II 器件的电源

器件	编程电源
Arria II GX	V_{CCPD} 必须连接到 3.3、3.0 或者 2.5 V 为 I/O 预驱动器、HSTL/SSTL 输入缓冲器，和 MSEL[3..0] 管脚充电。 I/O bank 3C 和 8C 的 V_{CCPD} 和 V_{CCIO} 必须当 PORSEL 是低电平时，在 100 ms 以内从 0 V 上电到所需的电压电平，或当 PORSEL 是高电平时，在 4 ms 以内从 0 V 上电到所需的电压电平。如果这些电源在指定的时间内没有被上电，您的 Arria II GX 器件不会配置成功。如果系统不能够使电源在 100 ms 或 4 ms 之内上电，你必须保持 nCONFIG 低电平直到所有的电源稳定。 您必须根据用于相同 bank 的 I/O 标准连接 V_{CCPD}： ■ 对于 3.3-V I/O 标准，把 V_{CCPD} 连接到 3.3 V。 ■ 对于 3.0-V I/O 标准，把 V_{CCPD} 连接到 3.0 V。 ■ 对于 2.5-V 和低于 I/O 的标准，把 V_{CCPD} 连接到 2.5 V。
Arria II GZ	V_{CCPD} 必须连接到 3.0 或者 2.5 V 上，以为 I/O 预驱动器和 JTAG I/O 管脚 (TCK、TMS、TDI、TDO 和 TRST) 充电。 V_{CCPD} 和 V_{CCPGM} 必须当 PORSEL 是低电平时，在 100 ms 内，从 0 V 上电到所需的电压电平，或当 PORSEL 是高电平时，在 4 ms 内从 0 V 上电到所需的电压电平。如果这些电源没有在这个指定的时间被上电，您的 Arria II GZ 器件不会配置成功。如果系统不能在 100 ms 或 4 ms 之内对电源上电，那么必须保持 nCONFIG 低电平直到所有的电源稳定。 V_{CCPD} 必须大于或者等于相同 bank 的 V_{CCIO}： ■ 如果 bank 的 V_{CCIO} 被上电到 3.0 V，V_{CCPD} 必须被上电到 3.0 V。 ■ 如果 bank 的 V_{CCIO} 被上电到 2.5 V 或者更低，V_{CCPD} 必须被上电到 2.5 V。

要了解关于配置管脚电源更多信息，请参考第 9-39 页 “器件配置管脚”。

配置过程

以下部分描述 FPP、标准 AS、快速 AS 和 PS 方案的一般的配置过程。

上电

要开始配置过程，您必须把相关的电压电源充分上电到合适的电平。



对于 Arria II GX 器件中的一个 FPP 配置，DATA[7..1] 管脚由 I/O bank 6A 的 V_{CCIO} 充电。使用 FPP 配置时，必须将这个 bank 上电。对于 Arria II GZ 器件，DATA[7..1] 管脚在配置期间由 V_{CCPGM} 上电或者如果在用户模式作为常规 I/O 由 V_{CCIO} 上电。

复位

在上电之后，Arria II 器件经过一个 POR 过程。POR 延迟取决于 MSEL 管脚设置。在 POR 期间，器件复位，保持 nSTATUS 低电平，清除配置 RAM 位，以及三态所有的用户 I/O 管脚。在器件成功退出 POR 后，所有的用户 I/O 管脚继续处于三态。当 nCONFIG 为低电平时，器件处于复位状态。当器件从复位退出时，nCONFIG 必须处于逻辑 - 高的电平，以便使器件释放开漏 nSTATUS 管脚。在 nSTATUS 被释放之后，它被一个上拉电阻拉高，并且器件开始接收配置数据。

在配置之前和配置期间，所有的用户 I/O 管脚处于三态。如果 nIO_pullup 在上电和配置期间被驱动为低电平，I/O 管脚和两用 I/O 管脚使能弱的上拉电阻，这个电阻在配置之前和配置期间都处于开启状态（在 POR 之后）。如果 nIO_pullup 处于高电平状态，弱的上拉电阻被禁用。

配置

为了让配置阶段开始，nCONFIG 和 nSTATUS 必须处于一个逻辑高电平状态。器件在它的 DATA 管脚上接收配置数据（对于同步配置方案）以及在 DCLK 管脚上接收时钟源。配置数据被锁存到 FPGA 中，使用 DCLK 的上升沿触发。在 FPGA 成功的接收到所有的配置数据之后，它就释放 CONF_DONE 管脚，之后由外部上拉电阻拉高。在 CONF_DONE 上的一个由低到高的跳变表明配置已经完成并且可以开始器件的初使化。

为了确保 DCLK 和 DATA0 在配置结束的时候不处于悬空状态，它们必须被驱动为高电平或低电平，只要适合您的板级。PS 和 AS 配置模式使用专用的 DATA[0] 管脚。在配置之后，不能作为用户 I/O 管脚使用。

对于 FPP 和 PS 配置方案，配置时钟（DCLK）速度必须在指定的频率之下，以确保正确的配置。无上限 DCLK 周期的存在，意味着您可以通过停止 DCLK 无限期地暂停配置。

在配置、配置错误，初始化或用户模式期间，通过使用一个最低为 t_{CFG} 的低脉冲宽度从高到低，然后再回到高的触发 nCONFIG 管脚，一个重配置开始。当 nCONFIG 电平被拉低时，nSTATUS 和 CONF_DONE 也被拉低，并且所有的 I/O 管脚都处于三态。在 nCONFIG 和 nSTATUS 回到一个逻辑 - 高电平之后，配置开始。

当外部主机（一个 Max[®] II CPLD 或微控制器）不驱动线路的时候，一个上拉或者下拉电阻帮助保持 nCONFIG 线路在已知状态。例如，在外部主机重编程或上电期间，I/O 驱动 nCONFIG 在其中可能处于三态）。如果一个上拉电阻被加到 nCONFIG 线路，在外部主机正在被重新编程的情况下，那么 FPGA 保持用户模式。如果一个下拉电阻被加到 nCONFIG 线路，在外部主机正在被编程的情况下，那么 FPGA 进入复位模式。只要 nCONFIG 线路变高，确保第一个 DCLK 和 DATA 不会被意外地驱动。



Altera 建议如果外部主机或者 FPGA 没有为配置做好准备，保持 nCONFIG 线路低电平。

配置错误

如果在配置期间出现错误，Arria II 器件把 nSTATUS 信号置低，表示一个数据帧错误；CONF_DONE 信号保持在低电平。如果您打开 **Auto-restart configuration after error** 选项（在 Quartus II 软件的 **Device and Pin Options** 对话框的 **General** 标签上），Arria II 器件复位配置器件以及重试配置。如果您关闭这个选项，系统必须监控 nSTATUS 的错误，然后脉冲 nCONFIG 为低电平以便重新启动配置。

初始化

Arria II 器件，初始化时钟源为内部振荡器或可选的 CLKUSR 管脚。默认情况下，内部振荡器为初始化的时钟源。如果您使用内部振荡器，该器件本身为适当的初始化提供足够的时钟周期。因此，如果内部的振荡器是初始化时钟源，那么把整个配置文件发送到器件对配置和初始化器件是足够的。在配置完成后把 DCLK 驱动到器件上不影响器件操作。

您也可以利用 CLKUSR 选项，灵活的对多个器件进行同步初始化或延迟初始化。您可以在 Quartus II 软件中的 **Device and Pin Options** 对话框的 **General** 标签中打开 **Enable user-supplied start-up clock (CLKUSR)** 选项。如果您在 CLKUSR 上提供一个时钟，它不会影响配置过程。在所有的配置数据被接受和 CONF_DONE 电平上升之后，在时间指定为 t_{CD2CU} 之后，CLKUSR 被启用。在这个时间过去之后，Arria II 器件需要一个最低数量的时钟周期来合理的初始化，以及进入在 t_{CD2UMC} 参数中被指定的用户模式。



在 CONF_DONE 升高之后，需要两个 DCLK 下降沿，以便为 FPP 或者 PS 配置模式下的未压缩的和压缩的比特流开始器件的初始化。

用户模式

一个可选的 INIT_DONE 管脚是可用的，一个由低至高的跳变表明了初始化的结束和用户模式的开始。Enable INIT_DONE Output 选项可用于 Quartus II 软件中，在 **Device and Pin Options** 对话框的 **General** 标签。如果您使用 INIT_DONE 管脚，那么在 nCONFIG 为低电平和配置初始阶段，此管脚会由一个外部 10-k Ω 上拉电阻而变高。在选项目使能 INIT_DONE 被编程进入器件之后（在配置数据的第一个帧期间），INIT_DONE 管脚的电平水平变低。当初始化完成时，INIT_DONE 管脚被释放并拉高。当初始化完成时，器件进入用户模式。在用户模式，用户 I/O 管脚不再有弱上拉电阻并且表现为您设计中的功能。

配置方案

以下部分描述 Arria II 器件的配置方案：

MSEL 管脚设置

通过将 Arria II 器件的 MSEL 管脚驱动为高电平或低电平选择配置方案，如表 9-6 和表 9-7 中所列。在 Arria II GX 和 GZ 器件中，MSEL 输入缓冲器分别由 V_{CCPD} 和 V_{CCPGM} 电源供电。Altera 建议硬线连接 MSEL[] 管脚到 V_{CCPD}/V_{CCPGM} 或者 GND。MSEL[3..0] 管脚含有始终有效的 5-k Ω 内部下拉电阻。在 POR 和在重配置期间，MSEL 管脚必须处于 LVTTTL V_{IL} 和 V_{IH} 电平，以便被分别考虑为逻辑低电平和逻辑高电平。



为了避免检测一个错误配置方案的问题，硬线连接 MSEL[] 管脚到 V_{CCPD}/V_{CCPGM} 或者 GND 而无需上拉电阻和下拉电阻。请不要通过一个微处理器或者另一个器件驱动 MSEL[] 管脚。

对于第 1-12 页图 9-1 到第 1-64 页图 9-30, MSEL[n..0] 代表 Arria II GX 器件中的 MSEL[3..0] 和 Arria II GZ 器件中的 MSEL[2..0]，分别如表 9-6 和表 9-7 所示。

表 9-6. Arria II GX 器件的配置方案 (1/2)

配置方案	MSEL3	MSEL2	MSEL1	MSEL0	POR 延时	配置电压标准 (V) (注释 1)
FPP	0	0	0	0	快速	3.3, 3.0, 2.5
	0	1	1	1	快速	1.8
带有设计安全功能，解压缩，或者两者的 FPP (注释 2)	0	0	0	1	快速	3.3, 3.0, 2.5
	1	0	0	0	快速	1.8
PS	0	0	1	0	快速	3.3, 3.0, 2.5
	1	0	0	1	快速	1.8
	1	0	1	0	标准	3.3, 3.0, 2.5
	1	0	1	1	标准	1.8
带有或不带有远程系统更新的 AS	0	0	1	1	快速	3.3
	1	1	0	1	快速	3.0, 2.5
	1	1	1	0	标准	3.3
	1	1	1	1	标准	3.0, 2.5

表 9-6. Arria II GX 器件的配置方案 (2/2)

配置方案	MSEL3	MSEL2	MSEL1	MSEL0	POR 延时	配置电压标准 (V) (注释 1)
基于 JTAG 的配置 (注释 3)	(注释 4)	(注释 4)	(注释 4)	(注释 4)	—	—

表 9-6 注释：

- (1) 配置电压标准适用于配置管脚所在的 V_{CCIO} 电源。
- (2) 当为了配置使用一个 MAX II 器件或者一个带有闪存微处理器时，这些模式才被支持。在这些模式下，主系统必须输出一个 x4 的数据速率的 DCLK。
- (3) 基于 JTAG 的配置优先于其它配置方案，这意味着 MSEL 管脚设置被忽略。基于 JTAG 的配置不支持设计安全或者解压缩功能。
- (4) 不要使 MSEL 管脚悬空。把它们连接到 V_{CCPD} 或者 GND。这些管脚支持用于产品中的非 JTAG 配置方案。如果您仅使用 JTAG 配置，Altera 建议把 MSEL 管脚连接到 GND。

表 9-7 列出了 Arria II GZ 器件的配置方案。

表 9-7. Arria II GZ 器件的配置方案

配置方案	MSEL2	MSEL1	MSEL0	POR 延时	配置电压标准 (V)
FPP	0	0	0	快速 / 标准	3.0, 2.5, 1.8
PS	0	1	0	快速 / 标准	3.0, 2.5, 1.8
快速 AS (40 MHz) (注释 1)	0	1	1	快速 / 标准	3.0, 2.5, 1.8
远程系统更新快速 AS (40 MHz) (注释 1)	0	1	1	快速 / 标准	3.0, 2.5, 1.8
具有设计安全功能的 FPP 和 / 或解压缩使能 (注释 2)	0	0	1	快速 / 标准	3.0, 2.5, 1.8
基于 JTAG 的配置 (注释 3)	(注释 4)	(注释 4)	(注释 4)	—	—

表 9-7:

- (1) Arria II GZ 器件仅支持快速 AS 配置。您必须使用 EPCS64 或者 EPCS128 器件在快速 AS 模式中配置一个 Arria II GZ 器件。
- (2) 当使用为了进行配置的一个 MAX II 器件或者带有闪存的微处理器时，这些模式才会被支持。在这些模式下，主系统必须输出一个 x4 数据速率的 DCLK。
- (3) 基于 JTAG 的配置优先于其它的配置方案，这意味着 MSEL 管脚设置被忽略。基于 JTAG 的配置不支持设计安全或者解压缩功能。
- (4) 不要使 MSEL 管脚悬空，把它们连接到 V_{CCPGM} 或 GND。这些管脚支持产品中的非 JTAG 配置方案。如果您仅使用 JTAG 配置，Altera 建议把 MSEL 管脚连接到 GND。

原始二进制文件大小

表 9-8 列出了 Arria II 器件的未压缩的原始二进制文件 (.rbf) 的配置文件大小。

表 9-8. Arria II 器件的未压缩的 .rbf 大小

器件	数据大小（位）
EP2AGX45	29,599,704
EP2AGX65	29,599,704
EP2AGX95	50,376,968
EP2AGX125	50,376,968
EP2AGX190	86,866,440
EP2AGX260	86,866,440
EP2AGZ225	94,557,472
EP2AGZ300	128,395,584
EP2AGZ350	128,395,584

使用表 9-8 中的数据在设计编译之前来估计文件尺寸。不同的配置文件格式，例如一个十六进制 (.hex) 或者表格的文本文件 (.tbf) 格式，有不同的文件尺寸。对于不同类型的配置文件和文件大小，请参考 Quartus II 软件。然而，对于任何特定版本的 Quartus II 软件，任何针对相同器件的设计都有相同的未压缩配置文件尺寸。如果您正在使用压缩功能，那么文件大小在每个编译之后都不同，因为压缩率取决于您的设计。

 要了解关于设置器件配置选项或者创建配置文件更多信息，请参考配置手册的第二卷的 *Device Configuration Options* 和 *Configuration File Formats* 章节。

FPP 配置

Arria II 器件中的 FPP 配置是为了满足快速配置时间连续增长的需要而设计的。Arria II 器件与每个时钟周期接收字宽的配置数据的能力一起设计。

您可以通过使用一个智能主机，例如一个 MAX II 器件或者微处理器来执行 Arria II 器件的 FPP 配置。

使用一个 MAX II 器件作为一个外部主机的 FPP 配置

FPP 配置使用压缩和外部主机提供最快的方法来配置 Arria II 器件。在这个配置方案中，您可以使用一个 MAX II 器件或者微处理器作为一个智能主机，控制从一个存储器件（例如闪存）到目标 Arria II 器件的配置数据的传输。您可以用 .rbf、.hex 或 .tbf 的格式存储配置数据。当使用 MAX II 器件或者微处理器作为一个智能主机时，控制配置过程的一个设计，例如从闪存中得到数据以及把它发送到器件，必须存储在 MAX II 器件或者微处理器中。

 如果您使用 Arria II 解压缩和/或者设计安全功能，那么外部主机必须发送一个 x4 数据速率的 DCLK 频率。

x4 的 DCLK 信号不需要一个额外的管脚，它在 DCLK 管脚上被发送。最大的 DCLK 频率是 125 MHz，这导致一个最大值为 250 Mbps 的数据速率。对于 Arria II GX 器件，如果您没有使用解压缩或者设计安全功能，数据速率是 x1 的 DCLK 频率。对于 Arria II GZ 器件，如果您没有使用解压缩或者设计安全功能，数据速率是 x8 的 DCLK 频率。

图 9-1 显示了单器件配置的在一个 Arria II 器件和一个 MAX II 器件之间的配置接口连接。

图 9-1. 使用一个外部主机的单器件 FPP 配置

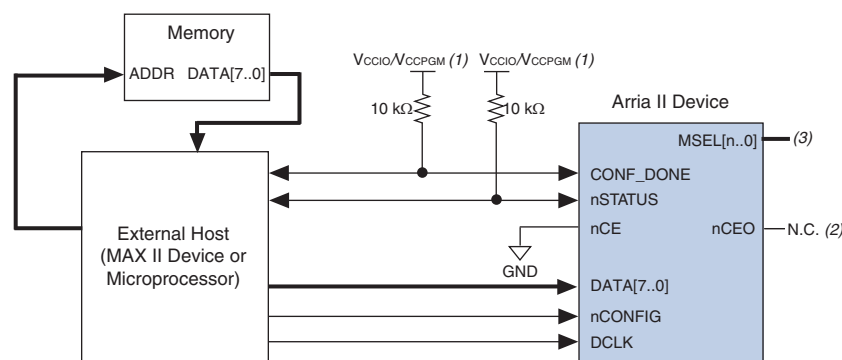


图 9-1 注释：

- (1) 把上拉电阻连接到一个对 Arria II 器件提供可接受输入信号的电源上。对于 Arria II GX 器件，使用 V_{CCIO} 管脚。对于 Arria II GZ 器件，使用 V_{CCPGM} 管脚。 V_{CCIO}/V_{CCPGM} 必须有充足的电平来满足器件和外部主机上的 I/O_{TH} 规格。Altera 建议用 V_{CCIO}/V_{CCPGM} 对配置系统 I/O 上电。
- (2) 您可以悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。
- (3) MSEL 管脚设置针对不同的配置电压标准和 POR 延时而有所不同。要对一个 Arria II GX 器件连接 MSEL[3..0]，请参考第 1-9 页表 9-6。要对一个 Arria II GZ 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。



Arria II 器件在 DATA[7..0] 管脚上接收配置数据并且时钟在 DCLK 管脚上被收到。数据被锁存进了器件的 DCLK 的上升沿。如果您正在使用 Arria II 解压缩、设计安全或者同时两个功能，那么使用 4 个 DCLK 周期中的每一个 DCLK 的上升沿锁存配置数据。Altera 建议当数据正在被处理时，为下一次的三个时钟周期保持 DATA[7..0] 上的数据稳定。在最后数据被锁存之后，您才可以停止 DCLK 三个时钟周期。

在 Arria II 器件中，初始化时钟源是内部的振荡器或者是可选的 CLKUSR 管脚。在默认情况下，内部振荡器为初始化时钟源。如果您使用内部的振荡器，那么 Arria II 器本身为适当的初始化提供足够的时钟周期。因此，如果内部的振荡器是初始化时钟源，那么把整个的配置文件发送到器件对于配置和初始化器件是足够的。在配置完成后继续保持 DCLK 的驱动不影响器件操作。

您可以灵活的使用 **CLKUSR** 选项来使多个器件同步初始化或者延迟初始化。您可以从 **Device and Pin Options** 对话框的 **General** 标签打开 Quartus II 软件的 **Enable user-supplied start-up clock (CLKUSR)** 选项。如果您在 CLKUSR 上提供一个时钟，它不会影响配置过程。Arria II 器件支持最大 125 MHz 的 f_{MAX} 。

图 9-2 显示了怎样使用一个 MAX II 器件配置多个 Arria II 器件。这个电路与单器件的 FPP 配置电路相似，除了 Arria II 器件为了多个器件配置级联。

图 9-2. 使用外部主机的多器件 FPP 配置

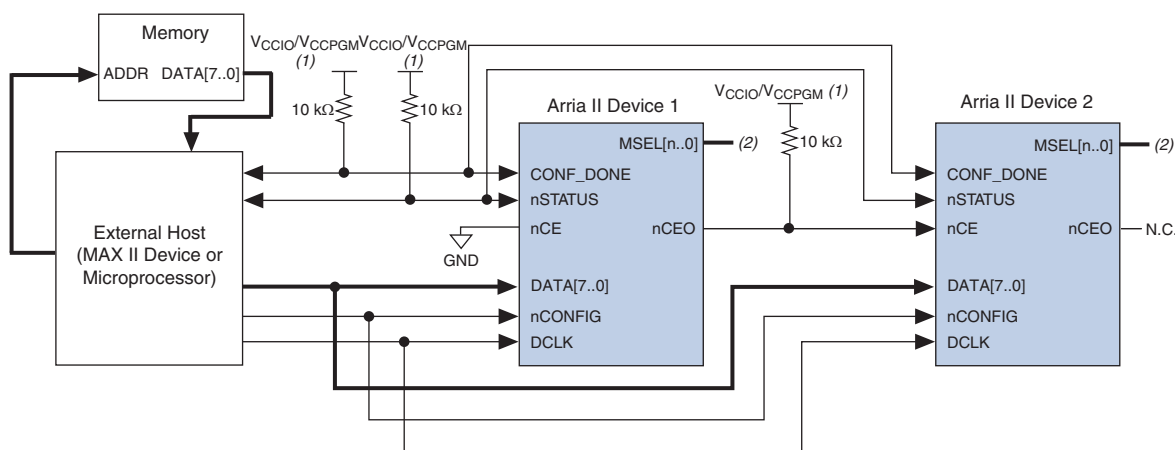


图 9-2 注释：

- (1) 把上拉电阻连接到一个为 Arria II 器件提供一个可接受输入信号的电源上。对于 Arria II GX 器件，使用 V_{CCIO} 管脚。对于 Arria II GZ 器件，使用 V_{CCPGM} 管脚。 V_{CCIO}/V_{CCPGM} 必须是充足的高电平来满足在器件和外部主机上的 I/O 的 V_{IH} 规格。Altera 建议用 V_{CCIO}/V_{CCPGM} 上电配置系统 I/O。
- (2) MSEL 管脚设置针对不同的配置电压标准和 POR 延时而有所不同。要为一个 Arria II GX 器件连接 MSEL[3..0]，请参考第 1-9 页表 9-6。要为一个 Arria II 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。

第一个器件在多器件配置链中完成配置之后，它的 nCEO 管脚驱动为低电平以激活第二个器件的 nCE 管脚，从而提示第二个器件来开始配置。链中的第二个器件在一个时钟周期内开始配置；因此，对于 MAX II 器件或者微处理器，传输的数据目的地是透明的。所有其它的配置管脚（nCONFIG、nSTATUS、DCLK、DATA[7..0] 和 CONF_DONE）与链中的每个器件相连接。配置信号或许需要缓冲以确保信号完整性和防止时钟偏移问题。确保为了每第四个器件，DCLK 和 DATA 线路被缓冲。因为所有的器件 CONF_DONE 管脚被连接在一起，所以所有的器件在同时初始化和进入用户模式。

所有的 nSTATUS 和 CONF_DONE 管脚被连接在一起，如果任何器件检测到一个错误，整条链的配置停止，那么您必须重配置整个链。例如，如果第一个器件在 nSTATUS 上标记一个错误，那么它通过拉低其 nSTATUS 管脚使链复位。这种行为与一个单器件检测错误相似。

如果一个系统有包含相同配置数据的多个器件，那么把所有的器件 nCE 输出连接到 GND 上，以及使 nCEO 管脚悬空。所有其它配置管脚 (nCONFIG、nSTATUS、DCLK、DATA[7..0] 和 CONF_DONE) 被连接到链中的每个器件上。配置信号或许需要缓冲，以确保信号完整性和防止时钟偏移问题。确保每第四个器件，DCLK 和 DATA 线路被缓冲。器件必须是相同的密度和封装。所有的器件同时开始和完成配置。

图 9-3 显示了当两个 Arria II 器件接收相同的配置数据时的多器件 FPP 配置。

图 9-3. 当两个器件接收相同数据时，使用外部主机的多器件 FPP 配置

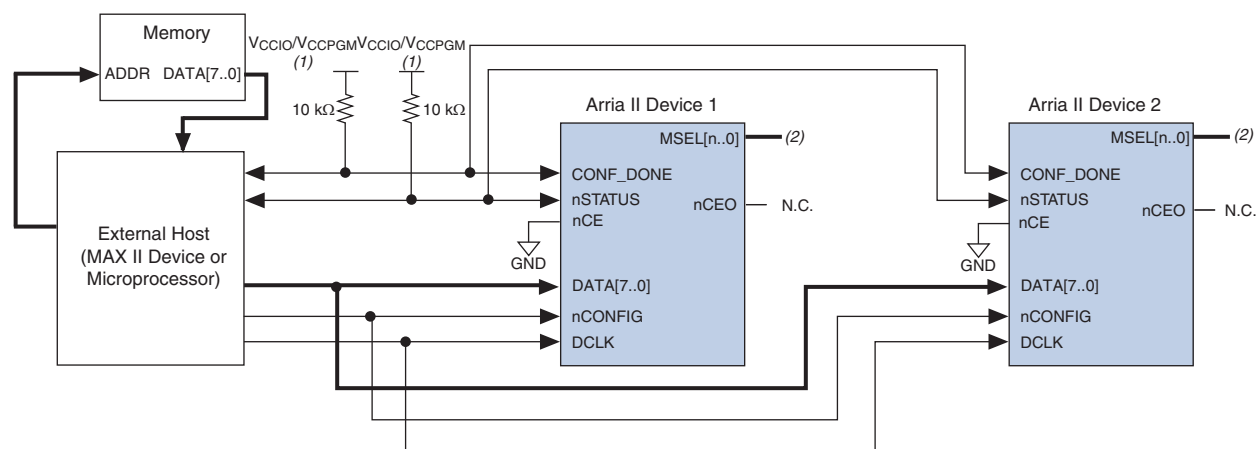


图 9-3 注释：

- (1) 把上拉电阻连接到一个为 Arria II 器件提供一个可接收的输入信号的电源上。对于 Arria II GX 器件，使用 V_{CCIO} 管脚。对于 Arria II GZ 器件，使用 V_{CCPGM} 管脚。 V_{CCIO}/V_{CCPGM} 必须是充足的高电平来满足在器件和外部主机上的 I/O 的 V_{IH} 规格。Altera 建议用 V_{CCIO}/V_{CCPGM} 为配置系统 I/O 上电。
- (2) 对于不同的配置电压标准和 POR 延时，MSEL 管脚设置不同。要为一个器件连接 MSEL[3..0]，请参考第 1-9 页表 9-6。要为一个 Arria II GZ 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。

您可以使用一个单配置链来配置 Arria II 器件以及其它的支持 FPP 配置的 Altera 器件。为了确保在链中的所有的器件在同时完成配置，或者为了确保由一个器件标记的错误在所有器件中开始重配置，就把所有的器件 CONF_DONE 和 nSTATUS 的管脚连接在一起。

要了解关于在相同的配置链中配置多个 Altera 器件的更多信息，请参考配置手册第二卷的 *Configuring Mixed Altera FPGA Chains* 章节。

FPP 配置时序

图 9-4 显示了当使用一个 MAX II 器件作为外部主机的时候，FPP 配置的时序波形。这个波形显示了当解压缩和设计安全未被使能时的时序。

图 9-4. 解压缩和设计安全未被使能时的 FPP 配置时序波形 (1), (注释 2)

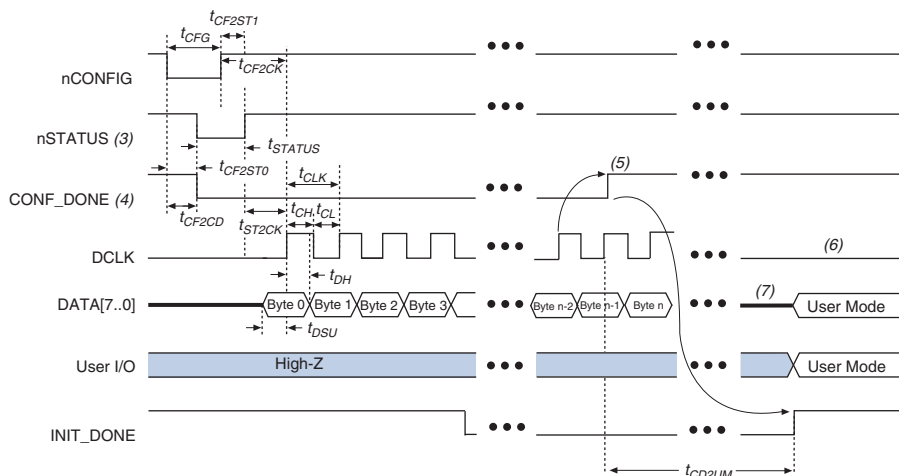


图 9-4 注释：

- 当您没有使用解压缩和设计安全功能时，使用这个时序波形。
- 这个波形的开始显示了在用户模式时的器件。在用户模式时，nCONFIG、nSTATUS 和 CONF_DONE 处于逻辑高电平。当 nCONFIG 被拉低，一个重配置周期开始。
- 在上电之后，Arria II 器件为 POR 延时的时间保持 nSTATUS 低电平。
- 在上电之后，在配置之前和配置期间，CONF_DONE 为低电平。
- 在 CONF_DONE 变高后，需要两个 DCLK 下降沿以开始初始化器件。
- 配置完成后，不要使 DCLK 悬空。您可以根据需要把它驱动为高电平或者低电平。
- 在配置结束后，DATA[7..1] 作为用户 I/O 管脚使用。这些管脚的状态取决于两用的管脚设置。对于 Arria II GX 器件，DATA[0] 是用于 PS 和 AS 配置模式的专用管脚，在配置之后不作为用户 I/O 管脚使用。对于 Arria II GZ 器件，在配置之后，DATA[0] 作为用户 I/O 管脚使用。

表 9-9 列出了未使能解压缩和设计安全功能时的 Arria II 器件的一个 FPP 配置的时序参数。

表 9-9. 未使能解压缩和设计安全时的 Arria II 器件的 FPP 时序参数

(1)

符号	参数	最小值	最大值	单元
t_{CF2CD}	nCONFIG 低电平到 CONF_DONE 低电平	—	800	ns
t_{CF2ST0}	nCONFIG 低电平到 nSTATUS 低电平	—	800	ns
t_{CFG}	nCONFIG 低脉冲宽度	2	—	μ s
t_{STATUS}	nSTATUS 低脉冲宽度	10	500 (注释 3)	μ s
t_{CF2ST1} (注释 2)	nCONFIG 高电平到 nSTATUS 高电平	—	500 (注释 3)	μ s
t_{CF2CK}	nCONFIG 高电平到 DCLK 上的第一个上升沿	500	—	μ s
t_{ST2CK}	nSTATUS 高电平到 DCLK 的第一个上升沿	2	—	μ s
t_{DSU}	在 DCLK 上的上升沿之前的数据建立时间	4	—	ns
t_{DH}	在 DCLK 上的上升沿之后的数据保持时间	0 (注释 4)	—	ns
t_{CH}	DCLK 高时间	3.2 (注释 4)	—	ns
t_{CL}	DCLK 低时间	3.2 (注释 4)	—	ns
t_{CLK}	DCLK 周期	8	—	ns
f_{MAX}	DCLK 频率	—	125	MHz
t_R	输入上升时间	—	40	ns
t	输入下降时间	—	40	ns
t_{CD2UM}	CONF_DONE 高电平到用户模式 (注释 5)	55	150	μ s
t_{CD2CU}	CONF_DONE 高电平到 CLKUSR 使能	4x 最大 DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE 高电平到 CLKUSR 选项打开的用户模式	$t_{CD2CU} + (8532 \times \text{CLKUSR 周期})$	—	—

表 9-9 注释：

- (1) 当您未使能解压缩和设计安全功能时，使用这些时序参数。
- (2) 如果您没有通过从外部保持 nSTATUS 低电平推迟延时配置，这个值是适用的。
- (3) 如果您没有通过延长 nCONFIG 或者 nSTATUS 低脉冲宽度延迟配置，您可以得到这个值。
- (4) 为 t_{DH} 、 t_{CH} 和 t_{CL} 列的值仅适用于 Arria II GX 器件。对于 Arria II GZ 器件，分别为 $t_{DH} = 1$ ns、 $t_{CH} = 3.6$ ns 和 $t_{CL} = 3.6$ ns。
- (5) 最低和最高的数量，仅在您选择内部振荡器作为初始化器件的时钟源时适用。

图 9-5 显示当使用一个 MAX II 器件或者微处理器作为外部主机时的 FPP 配置的时序波形。这个波形显示了使能解压缩，设计安全功能，或者两者的时候的时序。

图 9-5. 使能解压缩或者设计安全时的 FPP 配置时序波形 (1), (注释 2)

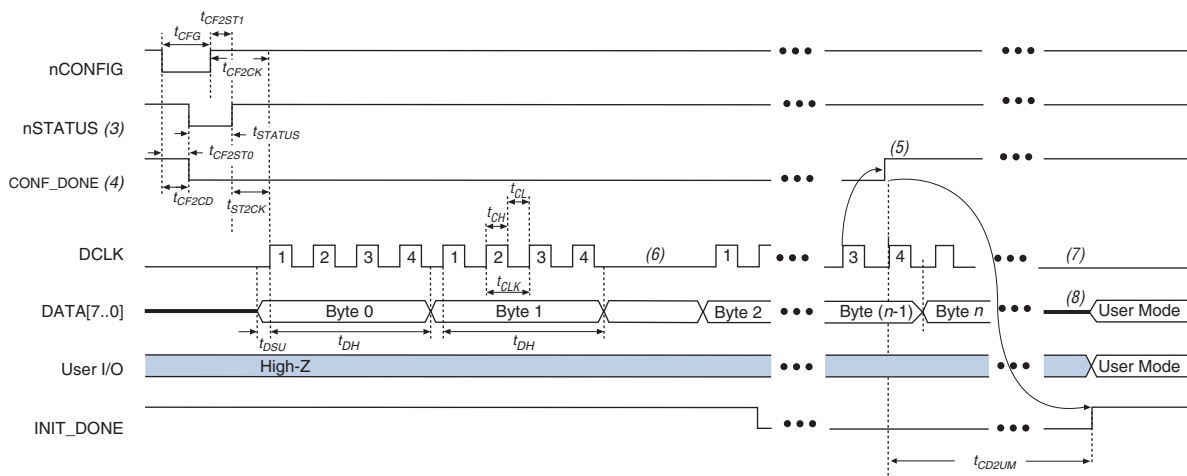


图 9-5 注释：

- (1) 当您使用解压缩和 / 或者设计安全功能时，使用这个时序波形。
- (2) 这个波形的开始显示了在用户模式时的器件。在用户模式下，nCONFIG、nSTATUS 和 CONF_DONE 处于逻辑高电平。当 nCONFIG 被拉低，一个重配置周期开始。
- (3) 在上电之后，Arria II GX 器件为 POR 拖延的时间保持 nSTATUS 低电平。
- (4) 在上电之后，在配置之前或者配置期间，CONF_DONE 处于低电平。
- (5) 在 CONF_DONE 变高后，需要两个 DCLK 下降沿以开始初始化器件。
- (6) 如果需要，您可以通过保持 DCLK 低电平暂停它。当 DCLK 重新启动时，外部主机必须在发送第一个 DCLK 上升沿之前提供给 DATA[7..0] 管脚数据。
- (7) 配置，不要使 DCLK 悬空。您可以根据需要，驱动它为高电平或者低电平。
- (8) 在配置之后，DATA[7..1] 可以作为用户 I/O 管脚使用。这些管脚的状态取决于两用的管脚设置。对于 Arria II GX 器件，DATA[0] 是用于 PS 和 AS 配置模式的一个专用管脚，在配置之后不可以作为一个用户 I/O 管脚使用。对于 Arria II GZ 器件，在配置之后，DATA[0] 可以作为用户 I/O 管脚使用。

表 9-10 列出了当您使能解压缩，设计安全功能，或者两者时的 Arria II 器件的一个 FPP 配置的时序参数。

表 9-10. 未使能解压缩或者设计安全功能时的 Arria II GX 器件的 FPP 时序参数 (1)

符号	参数	最小值	最大值	单元
t_{CF2CD}	nCONFIG 低电平到 CONF_DONE 低电平	—	800	ns
t_{CF2ST0}	nCONFIG 低电平到 nSTATUS 低电平	—	800	ns
t_{CFG}	nCONFIG	2	—	μ s
t_{STATUS}	nSTATUS 低脉冲宽度	10	500 (注释 3)	μ s
t_{CF2ST1} (注释 2)	nCONFIG 高电平到 nSTATUS 高电平	—	500 (注释 3)	μ s
t_{CF2CK}	nCONFIG 高电平到第一个 DCLK 上的上升沿	500	—	μ s
t_{ST2CK}	nSTATUS 高电平到 DCLK 的第一个上升沿	2	—	μ s
t_{DSU}	在 DCLK 上的上升沿之前的数据建立时间	4	—	ns
t_{DH}	在 DCLK 上的上升沿之后的数据保持时间	24 (注释 4)	—	ns
t_{CH}	DCLK 高时间	3.2 (注释 4)	—	ns
t_{CL}	DCLK 低时间	3.2 (注释 4)	—	ns
t_{CLK}	DCLK 周期	8	—	ns
f_{MAX}	DCLK 频率	—	125	MHz
t_{DATA}	数据速率	—	250	Mbps
t_R	输入上升时间	—	40	ns
t_F	输入下降时间	—	40	ns
t_{CD2UM}	CONF_DONE 高电平到用户模式 (注释 5)	55	150	μ s
t_{CD2CU}	CONF_DONE 高电平到 CLKUSR 使能	4x 最大值 DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE 高电平到 CLKUSR 选项打开的用户模式	$t_{CD2CU} + (8532 \times \text{CLKUSR 周期})$	—	—

表 9-10 注释：

- (1) 当您使能解压缩和设计安全功能时，使用这些时序参数。
- (2) 如果您没有通过从外部保持 nSTATUS 低电平延迟配置，这个值是可用的。
- (3) 如果您没有通过延长 nCONFIG 或者 nSTATUS 低脉冲宽度延迟配置，您可以得到这个值。
- (4) 为 t_{DH} 、 t_{CH} 和 t_{CL} 列出的值仅适用于 Arria II GX 器件。对于 Arria II GZ 器件，分别为 $t_{DH} = 3/(\text{DCLK frequency}) + 1$ 、 $t_{CH} = 3.6 \text{ ns}$ 和 $t_{CL} = 3.6 \text{ ns}$ 。
- (5) 最低和最高的数量，仅在您选择内部振荡器作为初始化器件的时钟源时适用。



要了解关于设置器件配置选项或者创建配置文件更多信息，请参考配置手册第二卷的 *Device Configuration Options* 和 *Configuration File Formats* 章节。

AS 和快速 AS 配置（串行配置器件）

通过使用 AS 配置方案和快速 AS 配置方案中的一个串行配置器件，Arria II GX 和 GZ 器件进行配置。这些配置器件是带有非易失性的储存器的低成本器件，具有简化四管脚接口和小形化封装。这些特性使串行配置器件成为一个理想的低成本的配置解决方案。

要了解关于串行配置器件更多信息，请参考配置手册第二卷的 *Serial Configuration Devices (EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128) Data Sheet* 章节。

串行配置器件提供一个串行接口来访问配置数据。在器件配置期间，Arria II 器件使用串行接口读取配置数据，必要时解压缩数据并配置它们的 SRAM 单元。这个方案被称为 AS 配置方案，因为 Arria II 器件控制配置接口。这个方案与配置器件控制接口的 PS 配置方案形成对比。

当使用 AS 模式配置 Arria II GX 器件以及使用快速 AS 模式配置 Arria II GZ 器件时，Arria II 解压缩和设计安全功能可用。

串行配置器件有一个四管脚接口 — 串行时钟输入 (DCLK)、串行数据输出 (DATA)、AS 数据输入 (ASDI) 和一个低电平有效片选 (nCS)。这个四管脚接口与 Arria II 器件管脚相连接，如图 9-6 所示。

图 9-6. 单器件 AS 配置

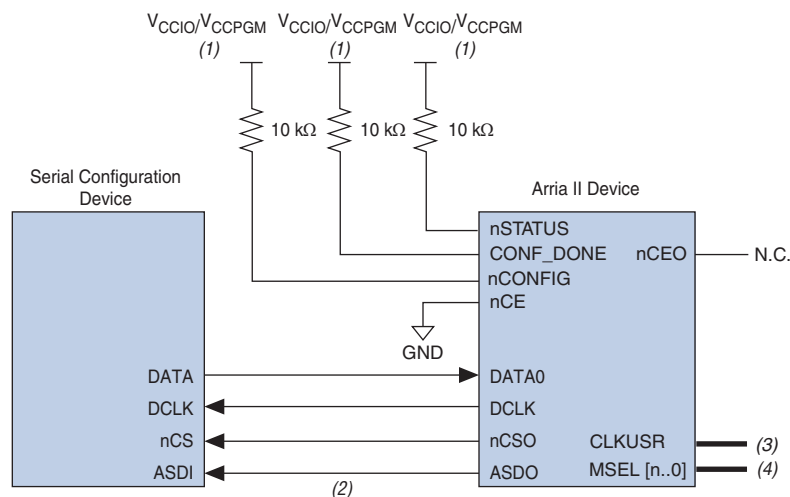


图 9-6 注释：

- (1) 对于 Arria II GX 器件，把上拉电阻连接到 I/O bank 3C 的 V_{CCIO} 电源上，以及对于 Arria II GZ 器件连接到电源为 3.0-V 的 V_{CCPGM} 上。
- (2) Arria II 器件使用 ASDO-to-ASDI 路径控制配置器件。
- (3) Arria II 器件有一个选项，选择 **CLKUSR**（最高为 40 MHz）作为 DCLK 的外部时钟源。
- (4) MSEL 管脚设置针对不同的配置电压标准和 POR 延时有所不同。要为一个 Arria II GX 器件连接 MSEL[3..0]，请参考第 1-9 页表 9-6。要为一个 Arria II GZ 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。

由 Arria II 器件生成的串行时钟 (DCLK) 控制整个配置周期并为串行接口提供时序。在配置期间，Arria II 器件使用一个内部振荡器或者一个外部时钟源生成 DCLK。在配置周期的开始阶段，Arria II 器件从内部的振荡器中产生一个默认的 DCLK（最高为 40 MHz）读取存储在 EPCS 内的编程数据的头信息。在头信息从 EPCS 被读取之后，取决于被选择的时钟源，通过来自内部振荡器的一个慢时钟（最高为 20 MHz）或者一个快时钟（最高为 40 MHz）或者通过来自 **CLKUSR**（最高为 40 MHz）的一个外部时钟，配置周期继续进行。您可以从 **Device and Pin Options** 对话框的 **Configuration** 标签更改 Quartus II 软件中时钟源的选项。



Arria II GZ 器件仅支持快速 AS 配置（最高为 40 MHz），不支持一个慢速时钟。

在 AS 和快速 AS 配置方案里，Arria II 器件在 DCLK 的下降沿上驱动控制信号。串行配置器件通过驱动在 DCLK 下降沿上的配置数据对指令做出响应。然后数据被锁存进了 Arria II 器件的 DCLK 接下来的下降沿。

在配置模式下，Arria II 器件通过驱动 nCS0 输出管脚为低电平使能串行配置器件，该管脚与配置器件的片选 (nCS) 管脚相连接。Arria II 器件使用串行时钟 (DCLK) 和串行数据输出 (ASDO) 管脚发送操作命令、读取地址信号或者两者到串行配置器件。配置器件提供串行数据输出 (DATA) 管脚上的数据，该管脚与 Arria II 器件中的 DATA0 相连接。

您可以使用一个单串行配置器件配置多个 Arria II 器件。使用 chip-enable (nCE) 和 chip-enable-out (nCEO) 管脚串联多个 Arria II 器件。链中的第一个器件必须把它的 nCE 管脚连接到 GND。您必须把它的 nCEO 管脚连接到链中下一个器件的 nCE 管脚。当第一个器件从比特流中采集了它的所有配置数据时，它驱动 nCEO 管脚为低电平，使能链中的下一个器件。您必须中断最后一个器件的 nCEO 管脚的连接。链中每个器件的 nCONFIG、nSTATUS、CONF_DONE、DCLK 和 DATA0 管脚被连接（请参考图 9-7）。

链中的第一个 Arria II 器件是配置主器件，控制整个链中的配置。您必须连接它的 MSEL 管脚来选择 AS 配置方案。剩下的 Arria II 器件是配置从器件。您必须连接它们的 MSEL 管脚来选择 PS 配置方案。其它任何支持 PS 配置的 Altera 器件也可以作为链中配置的一部分。

图 9-7 显示了多器件 AS 配置的管脚连接。

图 9-7. 多器件 AS 配置

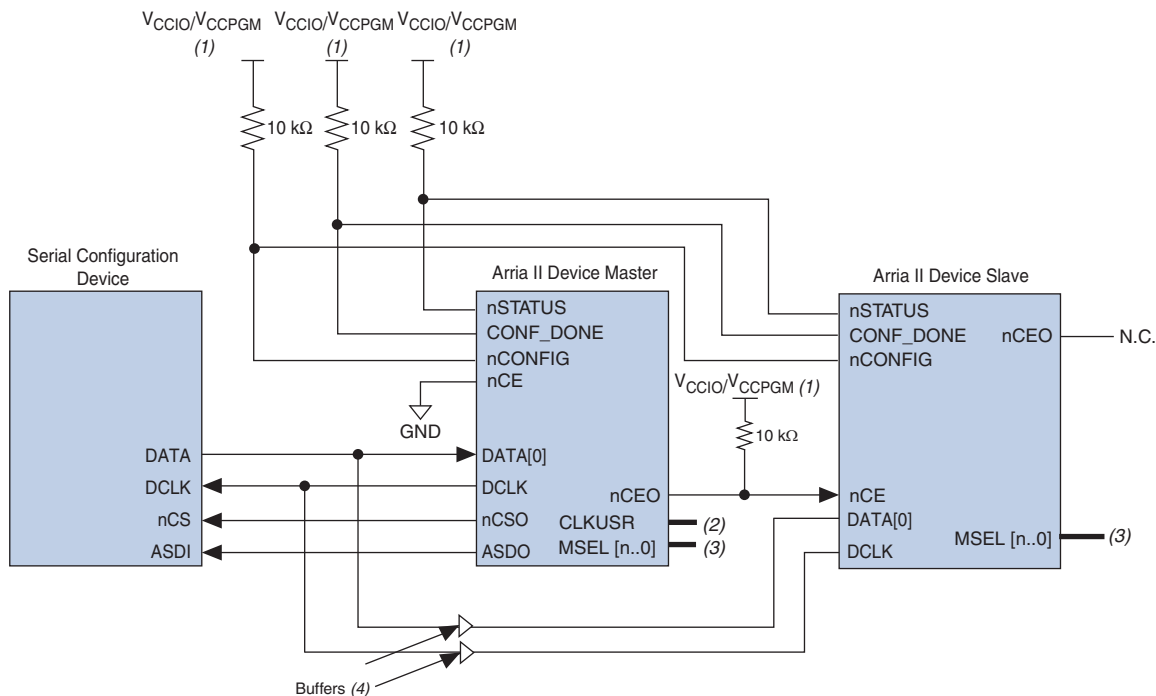


图 9-7 注释：

- (1) 对于 Arria II GX 器件，把上拉电阻器连接到 I/O bank 3C 的 V_{CCIO} 电源上，以及对于 Arria II GZ 器件连接到电源为 3.0-V 的 V_{CCPGM} 上。
- (2) Arria II 器件有一个选项，选择 CLKUSR（最高为 40 MHz）作为 DCLK 的外部时钟源。
- (3) MSEL 管脚设置针对不同的配置电压标准和 POR 延时有不同。要为一个 Arria II GX 器件连接 MSEL[3..0]，请参考第 1-9 页表 9-6。要为一个 Arria II GZ 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。
- (4) 为 DATA[0] 和 DCLK，在 Arria II 主器件和从器件之间连接中继缓冲器。这是为了防止任何的潜在的信号完整性和时钟偏移问题。

AS 模式的时序参数没有在这列出， t_{CF2CD} 、 t_{CF2ST0} 、 t_{CFG} 、 t_{STATUS} 、 t_{CF2ST1} 和 t_{CD2UM} 时序参数与第 1-29 页表 9-12 中所列的 PS 模式的时序参数相同。

如图 9-7 所示，在所有目标器件上的 nSTATUS 和 CONF_DONE 管脚都与外部上拉电阻相连接。这些管脚是器件上的开漏双向管脚。当第一个器件置位 nCEO 时（在收到了它所有的配置数据之后），它释放其 CONF_DONE 管脚。但是链中随后的器件保持这个共享的 CONF_DONE 线低电平直到它们已经收到了本身的配置数据。当链中的所有目标器件已经收到了它们的配置数据和已经释放了 CONF_DONE 时，上拉电阻在这条线上驱动一个高电平，所有的器件同时进入初始化模式。



您可以串联 Arria II 器件，但不能串联或者用链把串行配置器件连接到一起。

通过 AS 接口将串行配置器件连接到 Arria II 器件指南

对于单个和多个器件 AS 配置，在所支持的串行配置器件和 Arria II 器件之间的电路板走线长度和加载必须按照如表 9-11 中所列的建议。

表 9-11. Arria II 器件中的 AS 配置的最大走线长度和负载

Arria II 器件 AS 管脚	从 Arria II 器件到串行配置器件的最大电路板走线长度（英寸）	最大电路板加载（pF）
DCLK	10	15
DATA[0]	10	30
nCSO	10	30
ASDO	10	30

AS 配置时间的估算

AS 配置时间是由它从串行配置器件传输数据到 Arria II 器件的占用的时间所决定的。该串行接口由 Arria II DCLK 输出提供时钟（由一个内部振荡器或一个选择 CLKUSR 作为外部时钟源的选项生成）。Arria II 器件支持 DCLK 高达 40 MHz (25 ns)。

因此，您可以根据以下估计最小配置时间：

RBF 大小 x （最小 DCLK 周期 / 1 位每 DCLK 周期）= 被估计的最小配置时间。

启用压缩功能可以减少发送到 Arria II 器件的配置数据量，也节省了配置时间。通常情况下，压缩减少配置时间，取决于您的设计。

编程串行配置器件

串行配置器件是非易失，基于闪存的器件。您可以使用一个 USB-Blaster™、EthernetBlaster、EthernetBlaster II 或 ByteBlaster™ II 下载电缆在系统编程这些器件。或者，您可以用带有 SRunner 软件驱动器的一个微处理器编程它们。



要获得串行配置器件管脚的控制，保持 nCONFIG 管脚低电平以及拉高 nCE 管脚。这使得器件复位以及三态 AS 配置管脚。

您可以使用普通的 AS 编程接口或者 JTAG 接口解决方案执行串行配置器件的系统编程。

因为串行配置器件不支持 JTAG 接口，编程它们的普通方法是使用 AS 编程接口。用于编程串行配置器件的配置数据通过使用编程硬件被下载。

在系统编程期间，下载电缆通过驱动 nCE 管脚高电平禁止器件访问 AS 接口。Arria II 器件通过 nCONFIG 上的一个低电平也被保持在复位模式。在编程完成之后，下载电缆释放 nCE 和 nCONFIG，允许下拉和上拉电阻器驱动 GND 和逻辑高电平。

Altera 已经开发了串行闪存加载器 (SFL)；它是使用 JTAG 接口的串行配置器件的一个系统编程解决方案。该解决方案要求 Arria II 器件成为 JTAG 接口和串行配置器件之间的一个桥梁。

 要了解关于 SFL 的详细信息，请参考 *AN 370: Using the Serial FlashLoader with Quartus II Software*。

 要了解更多信息，请参考以下：

- *ByteBlaster II Download Cable User Guide*
- *EthernetBlaster Communications Cable User Guide*
- *EthernetBlaster II Communications Cable User Guide*
- *USB-Blaster Download Cable User Guide*

图 9-9 显示了下载电缆与串行配置器件的连接。

图 9-9. 串行配置器件的在系统编程

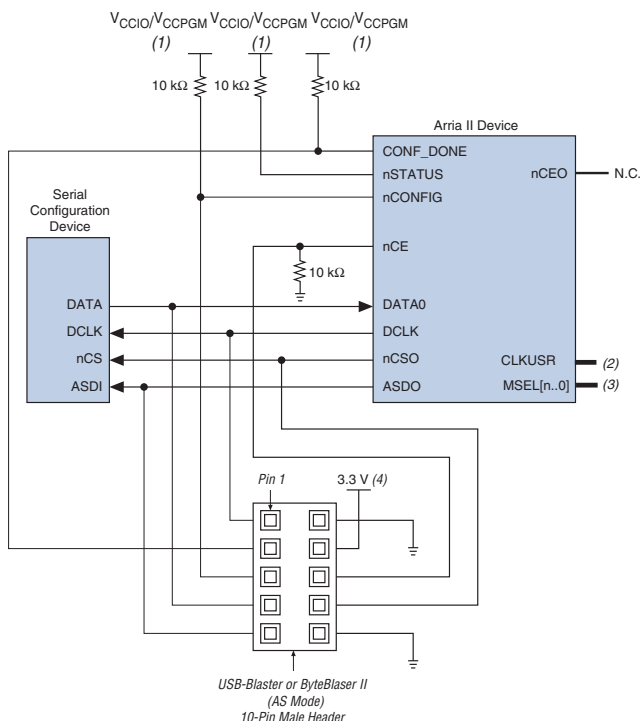


图 9-9 注释：

- (1) 对于 Arria II GX 器件，把上拉电阻连接到 I/O bank 3C 的 V_{CCIO} 电源上，以及对于 Arria II GZ 器件连接到电源为 3.0-V 的 V_{CCPGM} 上。
- (2) Arria II 器件有一个选项，选择 **CLKUSR**（最高为 40 MHz）作为 DCLK 的外部时钟源。
- (3) MSEL 管脚设置针对不同的配置电压标准和 POR 延时而有所不同。要为一个 Arria II GX 器件连接 MSEL[3..0]，请参考 第 1-9 页表 9-6。要为一个 Arria II GZ 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。
- (4) 上电 USB-ByteBlaster、ByteBlaster II、EthernetBlaster 或 EthernetBlaster II 电缆的 $V_{CC(Trgt)}$ ，对于 Arria II GX 器件使用 V_{CCIO} 3.3 V，以及对于 Arria II GZ 器件使用 V_{CCPGM} 3.0 V。

使用 Altera 编程硬件和合适的配置器件编程适配器，可以编程带有 Quartus II 软件的串行配置器件。

在生产环境里，您可以使用多种方法编程串行配置器件。您可以使用 Altera 编程硬件或者其它的第三方编程硬件在编程空白串行配置器件被安装到 PCBs 之前编程它们。或者，您可以使用一个板内微处理器来编程使用由 Altera 提供的 C-based SRunner 软件驱动器的系统串行配置器件。

您可以通过使用 SRunner 的外部处理器编程一个系统串行配置器件。SRunner 是一个软件驱动，专为嵌入式串行配置器件编程而开发，它易于定制以符合不同的嵌入式系统。SRunner 能够读取一个原始编程数据文件（.rpd），然后写进串行配置器件。使用 SRunner，对串行配置器件编程时间可比得上 Quartus II 软件的编程时间。

Arria II 器件接收 DATA0 管脚上的配置数据, 时钟在 DCLK 管脚上被接收。数据使用 DCLK 的上升沿锁存。如果您以 **.rbf**、**.hex** 或者 **.ttf** 的格式使用配置数据, 必须先发送每个数据字节的 LSB。例如, 如果 **.rbf** 包含字节序列

02 1B EE 01 FA, 那么必须发送到器件的串行比特流是

0100-0000 1101-1000 0111-0111 1000-0000 0101-1111。

图 9-11 显示了怎样使用一个外部主机配置多器件。该电路与一个单器件的 PS 配置电路相似，除了对于多器件配置，Arria II 器件是串联的。

图 9-11. 使用外部主机的多器件 PS 配置

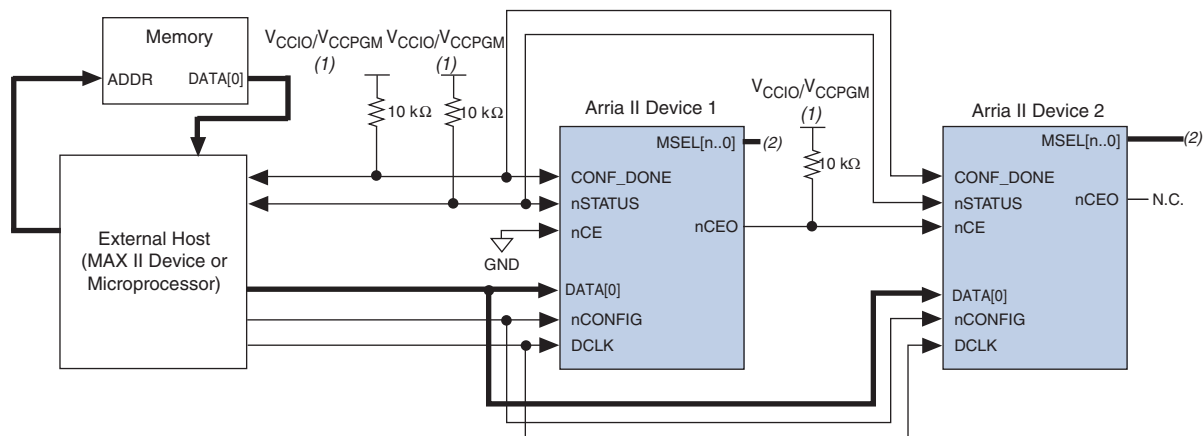


图 9-11 注释：

- (1) 对于 Arria II 器件, 把上拉电阻连接到一个提供可接受的输入信号的电源上。对于 Arria II GX 器件, 使用 V_{CCIO} 管脚。对于 Arria II GZ 器件, 使用 V_{CCPGM} 管脚。 V_{CCIO}/V_{CCPGM} 必须是充足的高电平来满足器件和外部主机上的 I/O 的 V_{IH} 规格。Altera 建议使用 V_{CCIO}/V_{CCPGM} 为配置系统 I/O 充电。
- (2) MSEL 管脚设置针对不同的配置电压标准和 POR 延时而有所不同。要为一个 Arria II GX 器件连接 MSEL[3..0], 请参考第 1-9 页表 9-6。要为一个 Arria II GZ 器件连接 MSEL[2..0], 请参考第 1-10 页表 9-7。

在 Arria II 器件中，初始化时钟源是内部振荡器或者是选择的 CLKUSR 管脚。在默认情况下，内部振荡器为初始化时钟源。如果您使用内部振荡器，为了正确的初始化，Arria II 器件为本身提供充足的时钟周期。因此，如果内部振荡器是初始化时钟源，那么发送整个配置文件到器件足够配置和初始化器件。在配置完成之后，继续驱动 DCLK 对器件工作没有影响。

您也可以灵活的使用 **CLKUSR** 选项使多个器件同步初始化或者延时初始化。您可以从 **Device and Pin Options** 对话框的 **General** 标签打开 Quartus II 软件的 **Enable user-supplied start-up clock (CLKUSR)** 选项。如果您在 **CLKUSR** 上提供一个时钟，它不会影响配置过程。Arria II 器件支持 125 MHz 的 f_{MAX} 。

第一个器件在一个多器件配置链中完成配置之后，它的 nCEO 管脚驱动为低电平来激活第二个器件的 nCE 管脚，这将提示第二个器件开始配置。链中的第二个器件在一个时钟周期之内开始配置。因此，到 MAX II 器件或者微处理器的数据目的传输是透明的。所有其它配置管脚 (nCONFIG、nSTATUS、DCLK、DATA0 和 CONF_DONE) 被连接到链中的每个器件上。配置信号可以要求缓冲来确保信号完整性和防止时钟偏移问题。确保 DCLK 和 DATA 线在每第四个器件上被缓冲。因为所有的器件 CONF_DONE 管脚被连接在一起，所有的器件在同时初始化和进入用户模式。

因为所有的 nSTATUS 和 CONF_DONE 管脚被连接在一起，如果任何的器件检测一个错误，整条链的配置停止，那么必须重配置整条链。例如，如果第一个器件在 nSTATUS 上标记一个错误，通过拉低 nSTATUS 管脚，重设整条链。该行为与检测一个错误的单器件相似。

在您的系统里，可以有包含相同配置数据的多个器件。为了支持该配置方案，所有器件 nCE 输入被连接到 GND 上，而 nCEO 管脚被悬空。所有其它的配置管脚 (nCONFIG、nSTATUS、DCLK、DATA0 和 CONF_DONE) 被连接到链中的每个器件上。配置信号可以要求缓冲来确保信号完整性和防止时钟偏移问题。确保 DCLK 和 DATA 线在每第四个器件上被缓冲。器件必须是相同的密度和封装。所有的器件同时开始和完成配置。

图 9-12 显示了当两个 Arria II 器件同时接收相同配置数据时的多器件 PS 配置。

图 9-12. 当两个器件同时接收相同数据时的多个器件 PS 配置

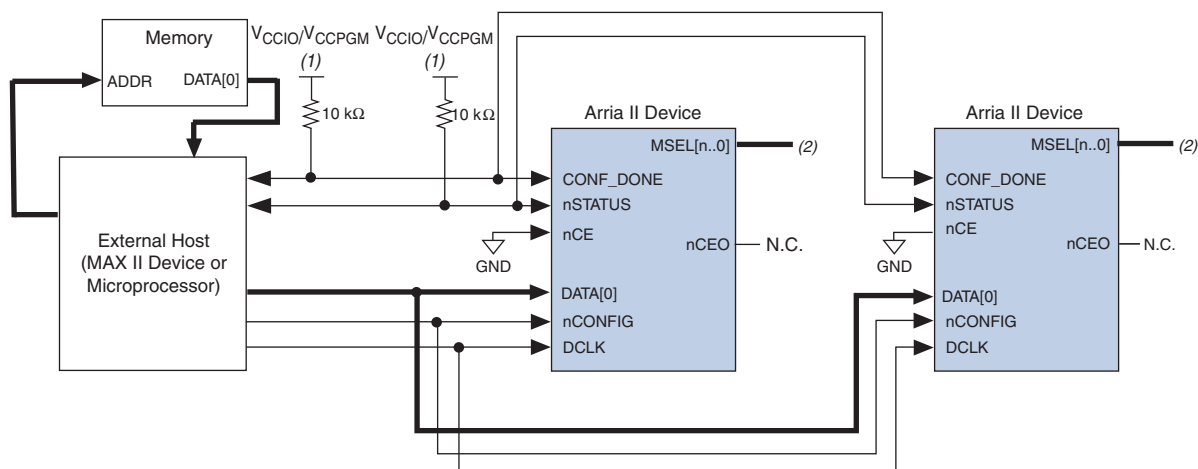


图 9-12 注释：

- (1) 对于 Arria II 器件，把上拉电阻器连接到一个提供可接受的输入信号的电源上。对于 Arria II GX 器件，使用 V_{CCIO} 管脚。对于 Arria II GZ 器件，使用 V_{CCPGM} 管脚。 V_{CCIO}/V_{CCPGM} 必须是充足的高电平来满足器件和外部主机上的 I/O 的 V_{IH} 规格。Altera 建议用 V_{CCIO}/V_{CCPGM} 为配置系统 I/O 充电。
- (2) MSEL 管脚设置针对不同的配置电压标准和 POR 延时而有所不同。要为一个 Arria II GX 器件连接 MSEL[3..0]，请参考第 1-9 页表 9-6。要为一个 Arria II GZ 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。

PS 配置时序

图 9-13 显示了当使用一个 MAX II 器件或者微处理器作为一个外部主机时的一个 PS 配置的时序波形。

图 9-13. PS 配置时序波形 (1)

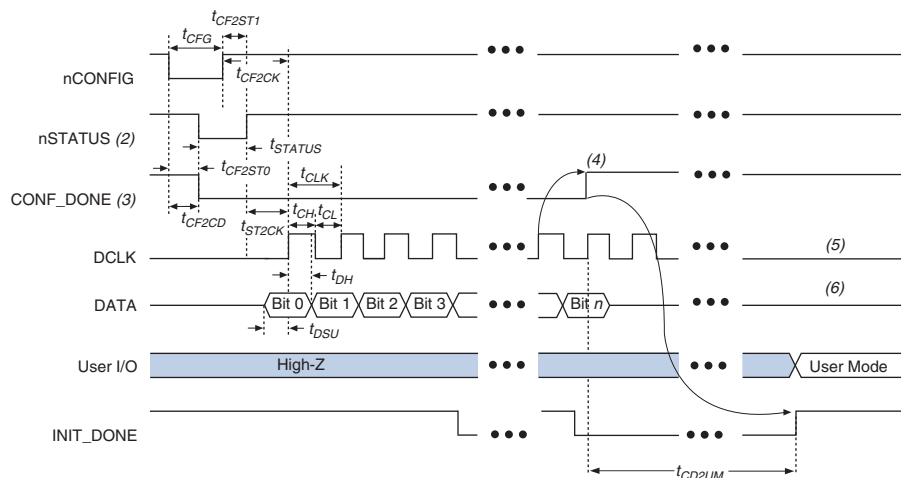


图 9-13 注释：

- (1) 该波形的开始显示了在用户模式下的器件。在用户模式下，nCONFIG、nSTATUS 和 CONF_DONE 处于逻辑高电平。当 nCONFIG 被拉低，一个重配置周期开始。
- (2) 在上电之后，Arria II 器件在 POR 延迟的时间保持 nSTATUS 为低电平。
- (3) 在上电之后，在配置之前和配置期间，CONF_DONE 处于低电平。
- (4) 在 CONF_DONE 变高后，需要两个 DCLK 下降沿，以开始器件的初始化。
- (5) 配置完成后，不要使 DCLK 悬空。您可以根据需要把它驱动高电平或低电平。
- (6) 对于 Arria II GX 器件，DATA[0] 是一个用于 PS 和 AS 配置模式的专用管脚，在配置之后也不可以作为一个用户 I/O 管脚。对于 Arria II GZ 器件，在配置之后，DATA[0] 是可以作为一个用户 I/O 管脚。

表 9-12 列出了 Arria II 器件的 PS 配置的时序参数。

表 9-12. Arria II 器件的 PS 时序参数 (1/2)

符号	参数	最小值	最大值	单元
t_{CF2CD}	nCONFIG 低电平到 CONF_DONE 低电平	—	800	ns
t_{CF2ST0}	nCONFIG 低电平到 nSTATUS 低电平	—	800 (注释 2)	ns
t_{CFG}	nCONFIG 低脉冲宽度	2	—	μs
t_{STATUS}	nSTATUS 低脉冲宽度	10	500 (注释 2)	μs
t_{CF2ST1} (注释 1)	nCONFIG 高电平到 nSTATUS 高电平	—	500 (注释 2)	μs
t_{CF2CK}	nCONFIG 高电平到 DCLK 上的第一个上升沿	500	—	μs
t_{ST2CK}	nSTATUS 高电平到 DCLK 的第一个上升沿	2	—	μs
t_{DSU}	在 DCLK 的上升沿之前的数据建立时间	4	—	ns
t_{DH}	在 DCLK 的上升沿之后的数据保持时间	0	—	ns
t_{CH}	DCLK 高时间	3.2	—	ns
t_{CL}	DCLK 低时间	3.2	—	ns
t_{CLK}	DCLK 周期	8	—	ns

表 9-12. Arria II 器件的 PS 时序参数 (2/2)

符号	参数	最小值	最大值	单元
f _{MAX}	DCLK 频率	—	125	MHz
t _R	输入上升时间	—	40	ns
t	输入下降时间	—	40	ns
t _{CD2UM}	CONF_DONE 高电平到用户模式 (注释 3)	55	150	μs
t _{CD2CU}	CONF_DONE 高电平到 CLKUSR 使能	4x 最大值 DCLK 周期	—	—
t _{CD2UMC}	CONF_DONE 高电平到 CLKUSR 选项打开的用户模式	t _{CD2CU} + (8532 CLKUSR 周期)	—	—

- 表 9-12 注释：**
- (1) 如果您没有通过从外部保持 nSTATUS 低电平延迟配置，该值是适用的。
 - (2) 如果您没有通过延长 nCONFIG 或者 nSTATUS 低脉冲宽度延迟配置，该值是可用的。
 - (3) 最低和最高的数量，仅在您选择内部振荡器作为启动器件的时钟源时适用。

 要了解关于配置器件选项和怎样创建配置器件的更多信息，请参考 *配置手册* 第二卷的 *Device Configuration Options* 和 *Configuration File Formats* 章节。

使用下载电缆的 PS 配置

 在该部分里，通用术语“下载电缆”包括 Altera USB-Blaster USB 端口下载电缆、ByteBlaster II 并行端口下载电缆、EthernetBlaster 下载电缆和 EthernetBlaster II 下载电缆。

在使用下载电缆的 PS 配置里，一台智能主机（例如一台 PC）通过使用下载电缆从储存器件传输数据到 Arria II 器件中。

在配置期间，编程硬件或者下载电缆在器件的 DATA0 管脚上放置一次一位的配置数据。配置数据与目标器件同步直到 CONF_DONE 变为高电平。

当使用下载电缆时，设置 **Auto-restart configuration after error** 选项不影响配置周期，因为当一个错误发生时您必须在 Quartus II 软件中手工重启配置。除此之外，**Enable user-supplied start-up clock (CLKUSR)** 选项对器件初始化没有影响，因为当使用 Quartus II 编程器和下载电缆编程器件时，该选项在 .sof 里被禁用。因此，如果您打开 **CLKUSR 选项**，当使用 Quartus II 编程器，下载电缆正在配置器件的时候，不需要在 CLKUSR 管脚上提供时钟。

图 9-14 显示了使用 USB-Blaster、EthernetBlaster、EthernetBlaster II 或者 ByteBlaster II 电缆的 Arria II 器件的 PS 配置。

图 9-14. 使用 USB-Blaster、EthernetBlaster、EthernetBlaster II 或者 ByteBlaster II 电缆的 PS 配置

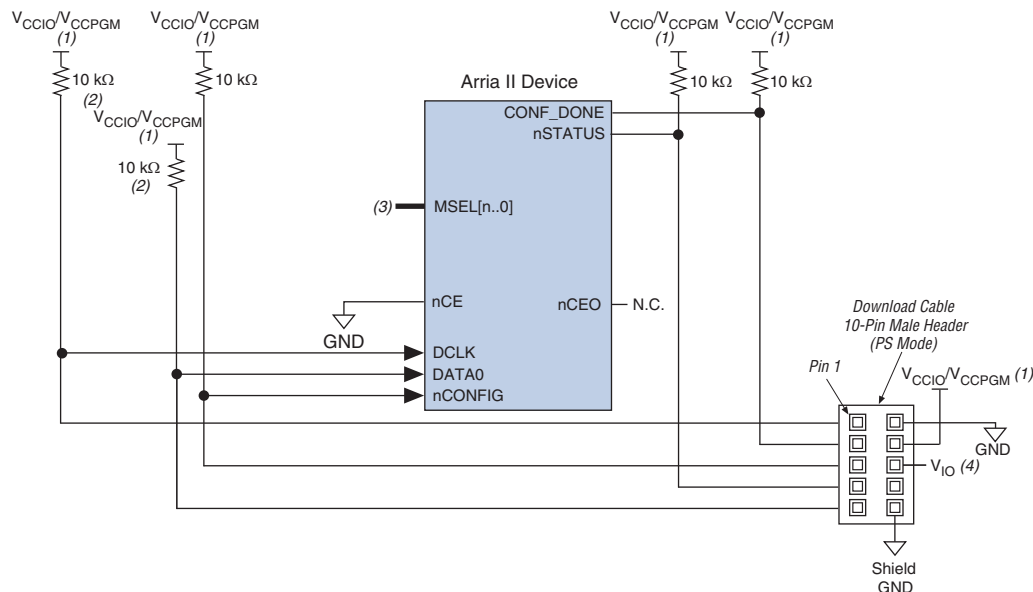


图 9-14 注释：

- (1) 把上拉电阻连接到相同的电源电压上，为 Arria II GX 器件选择 V_{CCIO} 或者为 Arria II GZ 器件选择 V_{CCPGM} 作为 USB-Blaster、EthernetBlaster、EthernetBlaster II 或 ByteBlaster II 电缆。
- (2) 如果下载电缆是用于电路板的唯一的配置方案，那么仅在 DATA0 和 DCLK 上需要上拉电阻。这就确保了 DATA0 和 DCLK 在配置之后没有被悬空。例如，如果您也正在使用一个配置器件，那么在 DATA0 和 DCLK 上不需要上拉电阻。
- (3) MSEL 管脚配置针对不同的配置电压标准和 POR 延迟而有所不同。要为 Arria II GX 器件连接 MSEL[3..0]，请参考第 1-9 页表 9-6。要为 Arria II GZ 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。
- (4) 在 USB-Blaster 和 ByteBlaster II 电缆中，当被用于 AS 编程时，该管脚连接到 nCE 上；否则，它是一个无连接。

通过把每个器件的 nCEO 管脚与后续器件的 nCE 管脚相连接，您可以使用一个下载电缆配置多个 Arria II 器件。第一个器件的 nCE 管脚被连接到 GND 上，而它的 nCEO 管脚被连接到了链中的下一个器件的 nCE 上。最后器件的 nCE 输入来自上一个器件，而它的 nCEO 管脚被悬空。所有其它的配置管脚 (nCONFIG、nSTATUS、DCLK、DATA0 和 CONF_DONE) 被连接到链中的每个器件上。因为所有的 CONF_DONE 管脚被连接在一起，在链中的所有器件同时初始化和进入用户模式。

除此之外，因为 nSTATUS 管脚被连接在一起，如果任何器件检测一个错误，整个链停止配置。**Auto-restart configuration after error** 选项不影响配置周期，因为当一个错误发生时，您必须在 Quartus II 软件中手动重启配置。

图 9-15 显示了怎样用一个下载电缆配置多个 Arria II 器件。

图 9-15. 使用 USB-Blaster、EthernetBlaster、EthernetBlaster II 或者 ByteBlaster II 电缆的多器件 PS 装配

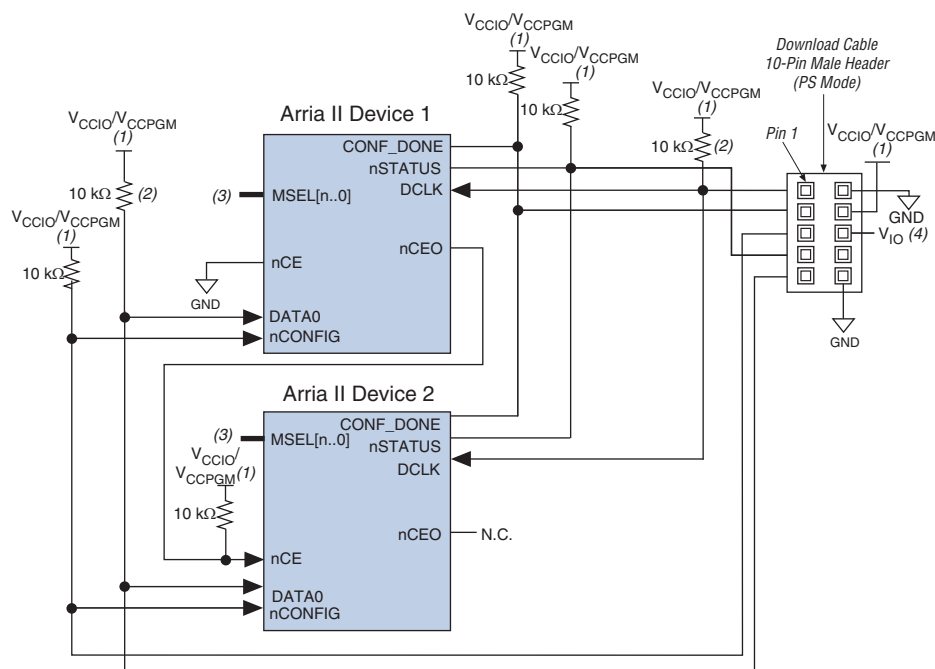


图 9-15 注释：

- (1) 把上拉电阻连接到相同的电源电压上，对于 Arria II GX 器件连接 V_{CCIO} ，或者对于 Arria II GZ 器件连接 V_{CCPGM} 作为 USB-Blaster、EthernetBlaster、EthernetBlaster II 或者 ByteBlaster II 电缆。
- (2) 如果下载电缆是用于电路板的仅有的配置方案，那么您仅在 DATA0 和 DCLK 上需要上拉电阻。这就确保了 DATA0 和 DCLK 在配置后没有被悬空。例如，如果您也正在使用一个配置器件，那么在 DATA0 和 DCLK 上你不需要上拉电阻。
- (3) 对于不同的配置电压标准和 POR 延迟，MSEL 管脚设置不同。要为一个 Arria II GX 器件连接 MSEL[3..0]，请参考第 1-9 页表 9-6。要为一个 Arria II GZ 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。
- (4) 在 USB-Blaster 和 ByteBlaster II 电缆中，当它被用于 AS 编程时该管脚被连接到 nCE 上；否则，它是一个无连接。



要了解关于怎样去使用 USB-Blaster、ByteBlaster II、EthernetBlaster 或者 EthernetBlaster II 电缆的更多信息，请参考以下用户指南：

- [ByteBlaster II Download Cable User Guide](#)
- [EthernetBlaster Communications Cable User Guide](#)
- [EthernetBlaster II Communications Cable User Guide](#)
- [USB-Blaster Download Cable User Guide](#)

JTAG 配置

JTAG 已经为边界扫描测试 (BST) 开发了一种规范。该边界扫描测试 (BST) 体系结构所提供的性能，有效的测试了 PCB 上组件的引线间距的严密性。BST 体系机构可以测试管脚连接而无需使用物理测试探测，并且可以当一个器件正在进行正常操作的时候采集功能数据。您也可以使用 JTAG 电路将配置数据移位到器件中。Quartus II 软件自动生成 .sof，您可以在 Quartus II 软件编程器中通过下载电缆在 JTAG 配置中使用它。

要了解关于 JTAG 边界扫描测试和使用 Arria II 器件的可用指令的更多信息，请参考以下文件：

- *JTAG Boundary-Scan Testing in Arria II Devices* 章节
- *Programming Support for Jam STAPL Language*

Arria II 器件所设计的 JTAG 指令优先于任何器件配置模式。因此，JTAG 配置可以进行而无需等待其它配置模式完成。例如，如果您在 PS 配置期间尝试 Arria II 器件的 JTAG 配置，PS 配置被终止，JTAG 配置开始。

如果您正在使用基于 JTAG 的配置对 Arria II 器件进行配置，那么不可以使用 Arria II 解压缩或者设计安全功能。

在 JTAG 模式下操作的一个器件使用四个需要的管脚，TDI、TDO、TMS 和 TCK 和一个可选择管脚，TRST。TCK 管脚含有一个内在的弱下拉电阻，而 TDI、TMS 和 TRST 管脚含有内部弱上拉电阻（通常是 25 k Ω ）。Arria II GX 器件的所有 JTAG 管脚由 I/O bank 8C 的 V_{CCIO} 的电源供电，所有的 Arria II GZ 器件的 JTAG 管脚由 2.5-V/3.0-V V_{CCPD} 电源供电。所有的 JTAG 管脚仅支持 LVTTL I/O 标准。

所有的用户 I/O 管脚在 JTAG 配置期间处于三态。表 9-13 列出了每个 JTAG 管脚的功能。

要了解关于在链中的整个器件中怎样把一个 JTAG 链与多个电压相连接的更多信息，请参考 *JTAG Boundary-Scan Testing in Arria II Devices* 章节。

表 9-13. JTAG 管脚信号 (1/2)

管脚名称	管脚类型	说明
TDI	测试管脚输入	串行输入管脚的说明以及测试和编程数据。数据移入到 TCK 的上升沿。如果在电路板上不需要 JTAG 接口，可以通过连接该管脚到逻辑高电平禁用 JTAG 电路。
TDO	测试数据输出	串行数据输出管脚的说明以及测试和编程数据。数据在 TCK 的下降沿上被移出去。如果数据没有被移出器件，管脚是三态。如果您的电路板上不需要 JTAG 接口，那么可以通过悬空此管脚禁用 JTAG 电路。
TMS	测试模式选择	输入管脚提供控制信号来决定 TAP 控制器状态机的跳变。TMS 在 TCK 的上升沿上被评估。因此必须在 TCK 的上升沿之前建立 TMS。状态机内的跳变，在信号被应用到 TMS 之后，发生在 TCK 的下降沿上。如果在您的电路板上不需要 JTAG 接口，那么可以通过连接该管脚到逻辑高电平禁用 JTAG 电路。
TCK	测试时钟输入	时钟输入到 BST 电路。一些操作发生在上升沿，而其它的操作发生在下降沿。如果 JTAG 接口在您的电路板上不被需求，那么可以通过连接 TCK 到 GND 禁用 JTAG 电路。

表 9-13. JTAG 管脚信号 (2/2)

管脚名称	管脚类型	说明
TRST (注释 1)	测试复位输入 (可选择)	低电平有效输入异步复位边界扫描电路。根据 IEEE Std. 1149.1 标准，TRST 管脚是可选择的。如果 JTAG 接口在您的电路板上不需要，那么可以通过连接 TRST 管脚到 GND 上禁用 JTAG 电路。如果您不使用 TRST 管脚，那么连接一个 kΩ 上拉电阻到 V _{CCPD} 上。

表 9-13 注释：

(1) TRST 管脚仅对于 Arria II GZ 器件可用。

在 JTAG 配置期间，您可以通过 USB-Blaster、ByteBlaster II、EthernetBlaster 或者 EthernetBlaster II 下载电缆下载数据到器件的 PCB 上。

图 9-16 显示了单 Arria II 器件的 JTAG 配置。

图 9-16. 使用下载电缆的单器件的 JTAG 配置

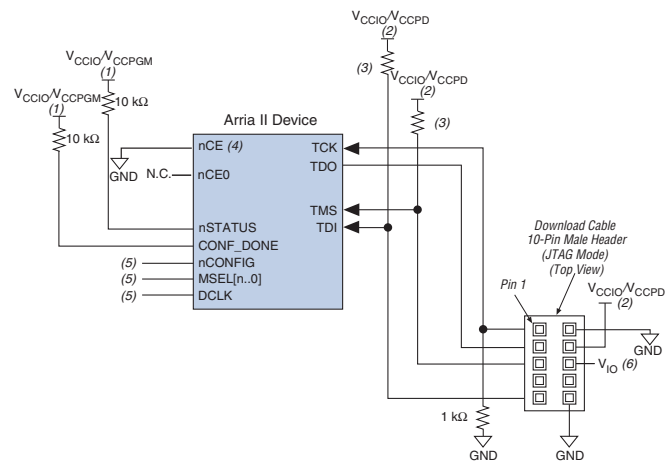


图 9-16 注释：

- (1) 对于 Arria II GX 器件把上拉电阻连接到 I/O bank 3C 的 V_{CCIO} 的电源，对于 Arria II GZ 器件连接到 V_{CCPGM} (1.8-V, 2.5-V 或 3.0-V) 电源。
- (2) 把上拉电阻连接到相同的电源电压，V_{CCIO} 用于 Arria II GX 器件或者 V_{CCPD} 用于 Arria II GZ 器件作为 USB-Blaster、ByteBlaster II、EthernetBlaster 或者 EthernetBlaster II 电缆。
- (3) 电阻值的范围是从 1 kΩ 到 10 kΩ。
- (4) 您必须把 nCE 连接到 GND 或者把它驱动为低电平，以便成功的配置 JTAG。
- (5) 连接 nCONFIG 和 MSEL 管脚以支持一个非 JTAG 配置方案。如果您仅使用 JTAG 配置，那么对于 Arria II GX 器件连接 nCONFIG 到 V_{CCIO}，对于 Arria II GZ 器件连接 nCONFIG 到 V_{CCPGM}，连接 MSEL 到 GND。把 DCLK 拉高或拉低，只要适合您的板级。
- (6) 在 USB-Blaster 和 ByteBlaster II 电缆中，该管脚是一个无连接。

要在一个 JTAG 链中配置一个单器件，编程软件在旁路模式时布局所有其它的器件。在旁路模式中，器件通过一个单旁路寄存器从 TDI 管脚到 TDO 管脚传送编程数据，而数据在内部没有被影响。该方案使能编程软件对目标器件进行编程或者验证。被驱动到器件的配置数据在一个时钟周期之后出现在 TDO 管脚上。

Quartus II 软件在完成后验证成功的 JTAG 配置。在配置结束时，软件通过 JTAG 端口检查 CONF_DONE 的状态。当 Quartus II 软件为一个多器件链生成了一个 Jam™ 文件 (.jam) 时，它包含指令以至于所有的链中的器件同时被初始化。如果 CONF_DONE 不是高电平，那么 Quartus II 软件表明配置已经失败。如果 CONF_DONE 是高电平，软件表明配置成功。在配置比特流使用 JTAG TDI 端口被串行的发送之后，TCK 端口需要同步一个额外的 1094 周期来执行器件初始化。

Arria II 器件的专用 JTAG 管脚始终作为 JTAG 管脚使用。您不仅可以在配置之前和配置之后执行 Arria II 器件的 JTAG 测试，而且在配置期间也可以。相当于其它的器件系列在配置期间不支持 JTAG 测试时，Arria II 器件在配置期间支持旁路、ID 码和样本指令，而无需中断配置。所有其它的 JTAG 指令或许通过使用 CONFIG_IO 指令，仅由第一个中断配置和再编程 I/O 管脚发出。

CONFIG_IO 指令允许使用 JTAG 端口配置 I/O 缓冲器，当被发出的时候，中断配置。该指令允许您在配置 Arria II 器件或等待一个配置器件完成配置之前执行板极测试。在配置被中断和 JTAG 测试完成之后，您必须使用 JTAG (PULSE_CONFIG 指令) 或者通过脉冲 nCONFIG 为低电平重配置这部分。

Arria II 器件上的芯片全复位 (DEV_CLRn) 和芯片全输出使能 (DEV_OE) 管脚不影响 JTAG 边界扫描或者编程操作。触发这些管脚不会影响 JTAG 操作 (除了普通的边界扫描操作)。

为 Arria II 器件的 JTAG 配置设计一个电路板时，要考虑专用配置管脚。表 9-14 列出了在 JTAG 配置期间，这些管脚是怎样被连接的。

表 9-14. 在 JTAG 配置期间的专用配置管脚连接

信号	说明
nCE	在链中所有的 Arria II 器件上，通过把 nCE 连接到 GND 接地，使用一个电阻把它拉低，或者用一些控制电路驱动它，必须使 nCE 被驱动为低电平。对于也在多器件 FPP、AS 或者 PS 配置链中的器件，在 JTAG 配置期间，nCE 管脚必须被连接到 GND 或者 JTAG 必须以配置链中的相同的顺序被配置。
nCEO	在链中所有的 Arria II 器件上，您可以使 nCEO 悬空或者把它连接到下一个器件的 nCE 上。
MSEL	不可悬空这些管脚。这些管脚支持在生产中使用的任何一个非-JTAG 配置。如果您仅使用 JTAG 配置，把这些管脚连接到 GND 上。
nCONFIG	通过连接到 V _{CCIO} 或者 V _{CCPGM} ，使用一个电阻上拉，驱动为高电平，或者通过一些控制电路驱动为高电平。
nSTATUS	使用一个 10-kΩ 电阻上拉到 V _{CCIO} 或者 V _{CCPGM} 上。当在相同的 JTAG 链中配置多个器件时，每个 nSTATUS 管脚必须被单独上拉到 V _{CCIO} 或 V _{CCPGM} 上。
CONF_DONE	使用一个 10-kΩ 电阻上拉到 V _{CCIO} 或 V _{CCPGM} 上。当在相同的 JTAG 链中配置多个器件时，每个 CONF_DONE 管脚必须被单独的上拉到 V _{CCIO} 和 V _{CCPGM} 上。在 JTAG 配置结束时，CONF_DONE 上升为高电平表示配置成功。
DCLK	不可悬空 DCLK。根据您的电路板的需要，驱动为低电平或者高电平。

当编程一个 JTAG 器件链时，一个可兼容的 JTAG 插头被连接到多个器件上。JTAG 链中的器件的数量受下载电缆的驱动能力所限制。当四个或者更多的器件在 JTAG 链中被连接时，Altera 建议使用板上缓冲器缓冲 TCK、TDI 和 TMS 管脚。

当系统包含多个器件或者使用 JTAG BST 电路测试您的系统时，JTAG-链器件编程是很理想的。

图 9-17 显示了当使用下载电缆时的多器件 JTAG 配置。

图 9-17. 使用一个下载电缆的多器件的 JTAG 配置

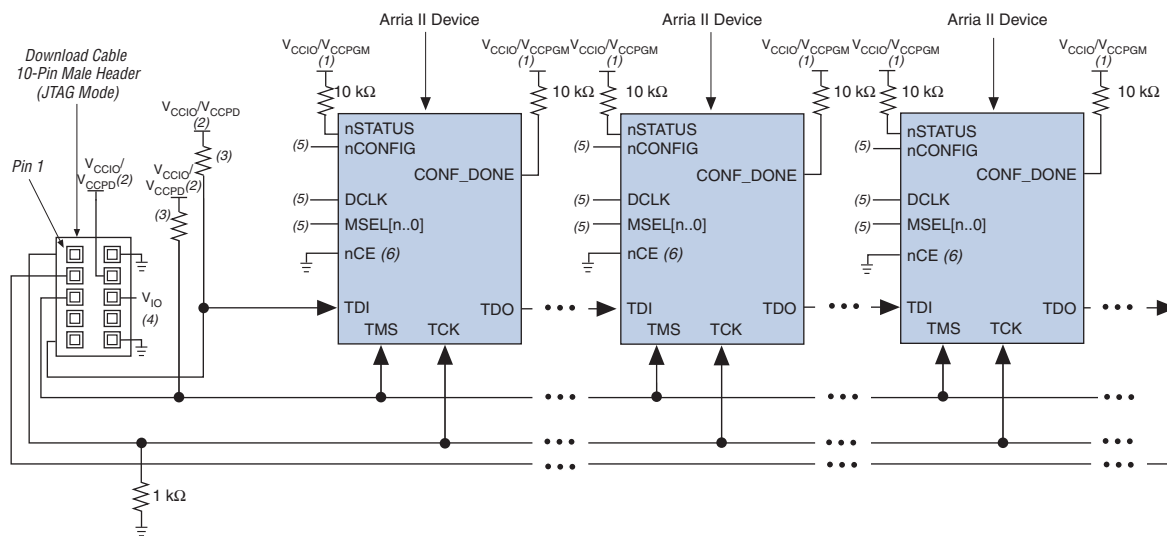


图 9-17 注释：

- (1) 对于 Arria II GX 器件，把上拉电阻连接到 I/O bank 3C 的 V_{CCIO} 电源上，以及对于 Arria II GZ 器件，把它连接到 V_{CCPGM} (1.8-V, 2.5-V 或 3.0-V) 电源上。
- (2) 您必须把上拉电阻连接到相同的电源电压上，连接 V_{CCIO} 到 Arria II GX 器件或者连接 V_{CCPD} 到 Arria II GZ 器件作为 USB-Blaster、ByteBlaster II、EthernetBlaster 或者 EthernetBlaster II 电缆。
- (3) 电阻的范围从 $1k\Omega$ 到 $10k\Omega$ 。
- (4) 在 USB-Blaster 和 ByteBlaster II 电缆中，管脚 6 是一个未连接。
- (5) 您必须连接 nCONFIG 和 MSEL 管脚来支持一个非-JTAG 管脚方案。如果您仅用 JTAG 配置，那么对于 Arria II GX 器件连接 nCONFIG 到 V_{CCIO} ，对于 Arria II GZ 器件，连接 nCONFIG 到 V_{CCPGM} ，以及连接 MSEL 到 GND。根据板级的需要，把 DCLK 拉高或者拉低。
- (6) 您必须把 nCE 连接到 GND 或者把它驱动为低电平，以便成功配置 JTAG。

在 JTAG 配置期间，您必需把 nCE 管脚连接到 GND 上或者把它驱动为低电平。在多器件 FPP、AS 和 PS 配置链中，第一个器件的 nCE 管脚被连接到 GND 上，而它的 nCEO 管脚被连接到链中的下一个器件的 nCE 上。最后器件的 nCE 输入来自前一个器件，而它的 nCEO 管脚被悬空。除此之外，CONF_DONE 和 nSTATUS 信号在多器件 FPP、AS 或者 PS 配置链中被共享，所以器件可以在配置完成之后同时进入用户模式。当 CONF_DONE 和 nSTATUS 信号在所有的器件中被共享时，当 JTAG 配置被执行时，您必须配置每个器件。



如果您仅使用 JTAG 配置，Altera 建议如 图 9-17 所示连接电路，在这里为了使能每个器件单独的进入用户模式，CONF_DONE 和 nSTATUS 信号被隔离。

第一个器件在一个多器件配置链中完成配置之后，它的 nCEO 管脚驱动为低电平来激活第二个器件的 nCE 管脚，此行为提示第二个器件开始配置。因此，如果这些器件也在一个 JTAG 链中，那么确保 nCE 管脚在 JTAG 配置期间被连接到 GND 上或者器件中的 JTAG 配置和配置链中的配置顺序相同。只要器件的 JTAG 配置和多器件配置链中的配置顺序相同，当它已经成功的被 JTAG 配置时，前一个器件的 nCEO 驱动下一个器件的 nCE 为低电平。

为了进行器件的编程和配置，您可以在相同的 JTAG 链中放置有 JTAG 支持的其它 Altera 器件。



JTAG 配置支持被增强，并最多级联 17 个的 Arria II 器件在一个 JTAG 链中。



要了解关于在相同的配置链中配置多个 Altera 器件的更多信息，请参考 *配置手册* 第二卷的 *Configuring Mixed Altera Device Chains* 章节。

您可以在同一个电路板上使用多个配置方案配置 Arria II 器件。在您的电路板上将 JTAG 配置和一个 PS 或者 AS 配置相结合在原型开发环境中是有用的，因为它允许多个方法配置您的 FPGA。



要了解关于将 JTAG 配置与其它的配置方案相结合的更多信息，请参考 *配置手册* 第二卷的 *Combining Different Configuration Schemes* 章节。

图 9-18 显示了使用一台微处理器的 Arria II 器件的 JTAG 配置。

图 9-18. 使用微处理器的单器件 JTAG 配置

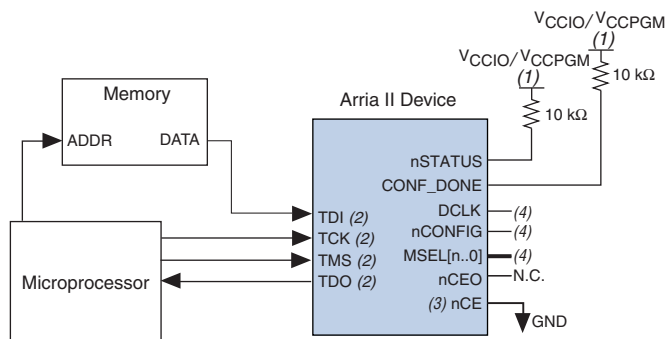


图 9-18 注释：

- (1) 在链中的所有 Arria II 器件中，把上拉电阻器连接到一个提供可接收的输入信号的电源上。Arria II GX 器件的 V_{CCIO} 电源或者 Arria II GZ 器件的 V_{CCPGM} 电源必须足够高来满足器件上的 I/O 的 V_{IH} 规格。
- (2) 要驱动 JTAG 管脚，对于 Arria II GX 器件微处理器必须使用和 V_{CCIO} 相同的 I/O 标准，或者对于 Arria II GZ 器件要使用 V_{CCPD} 相同的 I/O 标准。
- (3) 要成功配置 JTAG，您必须把 nCE 连接到 GND 上或者把它驱动为低电平。
- (4) 连接 nCONFIG 和 MSEL 管脚来支持一个非-JTAG 配置方案。如果您仅使用 JTAG 配置，对于 Arria II GX 器件把 nCONFIG 连接到 V_{CCIO} ，对于 Arria II GZ 器件连接到 V_{CCPGM} 上，以及连接 MSEL 到 GND 上。根据电路板的需要，把 DCLK 拉高或者拉低。Arria II GX 器件使用 MSEL[3..0] 管脚，而 Arria II GZ 器件使用 MSEL[2..0] 管脚。

Jam STAPL

Jam 标准测试和编程语言 (STAPL)，JEDEC 标准 JESD-71，是对于系统编程 (ISP) 目的的一个标准文件格式。Jam STAPL 使用 IEEE 1149.1 JTAG 接口支持编程或者可编程器件配置和电子系统检测。Jam STAPL 是一种免费授权的开放标准。

Jam player 对于操作 IEEE Std. 1149.1 JTAG TAP 状态机提供一个接口。

要了解关于嵌入式环境中的 JTAG 和 Jam STAPL 更多信息，请参考 [使用命令行 Jam STAPL 解决方案实现器件编程](#)。要下载 Jam player，请访问 [Altera website](#)。

器件配置管脚

从表 9-15 到表 9-18 列出了 Arria II 器件上的所有有关管脚配置的连接和功能。

表 9-15 列出了 Arria II 配置管脚和它们的电源。

表 9-15. Arria II 器件的配置管脚总结

说明	输入 / 输出	专用	供电来源 (注释 1)	配置模式
TDI	输入	是	V_{CCPD}/V_{CCIO}	JTAG
TMS	输入	是	V_{CCPD}/V_{CCIO}	JTAG
TCK	输入	是	V_{CCPD}/V_{CCIO}	JTAG
TRST	输入	是	V_{CCPD}/V_{CCIO}	JTAG
TDO	输出	是	V_{CCPD}/V_{CCIO}	JTAG
CRC_ERROR	输出	—	上拉	可选择，所有模式
DATA0	输入	—	V_{CCPGM}/V_{CCIO} (注释 2)	除了 JTAG 的所有模式
DATA[7..1]	输入	—	V_{CCPGM}/V_{CCIO} (注释 2)	FPP
INIT_DONE	输出	—	上拉	可选择，所有模式
CLKUSR	输入	—	V_{CCPGM}/V_{CCIO} (注释 2)	可选择
nSTATUS	双向	是	$V_{CCPGM}/$ 上拉	所有模式
nCE	输入	是	V_{CCPGM}/V_{CCIO}	所有模式
CONF_DONE	双向	是	$V_{CCPGM}/$ 上拉	所有模式
nCONFIG	输入	是	V_{CCPGM}/V_{CCIO}	所有模式
ASDO	输出	是	V_{CCPGM}/V_{CCIO}	AS
nCSO	输出	是	V_{CCPGM}/V_{CCIO}	AS
DCLK	输入	是	V_{CCPGM}/V_{CCIO}	PS, FPP
	输出	是	V_{CCPGM}/V_{CCIO}	AS
nIO_PULLUP	输入	是	V_{CC} (注释 3)	所有模式
nCEO	输出	—	$V_{CCPGM}/$ 上拉	所有模式
MSEL[2..0] (注释 4)	输入	是	V_{CCIO} (注释 6)	所有模式
MSEL[3..0] (注释 5)	输入	是	V_{CCPD}	所有模式

表 9-15 注释：

- (1) Arria II GX 器件使用 V_{CCIO} ，而 Arria II GZ 器件使用 V_{CCPD} 。
- (2) 对于 Arria II GZ 器件，在配置期间，这些管脚由 V_{CCPGM} 上电，如果它们在用户模式时被用于一个普通 I/O，那么这些管脚由 V_{CCIO} 上电。
- (3) 虽然 nIO_PULLUP 由 V_{CC} 上电，对于 Arria II GZ 器件，Altera 建议把该管脚连接到 V_{CCPGM} 上，对于 Arria II GX 器件把该管脚连接到 V_{CCIO} 上，或者直接把该管脚连接到 GND 上而无需使用一个上拉或下拉电阻。
- (4) Arria II GZ 器件使用一个 MSEL[2..0] 配置方案。
- (5) Arria II GX 器件使用一个 MSEL[3..0] 配置方案。
- (6) 虽然 MSEL[2..0]、PORSEL 和 nIO_PULLUP 由 V_{CC} 充电，Altera 建议把这些管脚连接到 V_{CCPGM} 上或者直接连接到 GND 上而无需使用一个上拉或者下拉电阻。

表 9-16 列出了专用配置管脚。您必须在电路板上正确地连接这些管脚，以便成功配置。在您的配置方案中，有一些管脚可能不需要。

表 9-16. Arria II 器件上的专用配置管脚 (1/3)

管脚名称	用户模式	配置方案	管脚类型	说明
VCCPD	N/A	所有	电源 (注释 1)	专用电源管脚。用该管脚为 I/O 预驱动器、HSTL/SSTL 输入缓冲器和 MSEL[3..0] 管脚充电。 您必须根据用于同一个插槽的 I/O 标准连接 V_{CCPD}： ■ 对于 3.3-V I/O 标准，把 V_{CCPD} 连接到 3.3 V ■ 对于 3.0-V I/O 标准，把 V_{CCPD} 连接到 3.0 V ■ 对于 2.5-V 和 I/O 标准以下，连接 V_{CCPD} 到 2.5 V 在 100 ms（对于标准 POR）或者 4 ms（对于快速 POR）时间内，V_{CCPD} 必须从 0 V 上电到 2.5、3.0 或者 3.3 V。如果在该规定时间里，V_{CCPD} 没有被上电，那么您的 Arria II 器件不会被成功配置。
nIO_PULLUP	N/A	所有	输入	专用输入选择用户 I/O 管脚和两用 I/O 管脚上的内部上拉电阻 (DATA[7..0]、CLKUSR、INIT_DONE、DEV_OE 和 DEV_CLRN) 在配置之前和配置期间是开还是关。一个逻辑高电平关闭弱内部上拉电阻；一个逻辑低电平把它们打开。 nIO-PULLUP 输入缓冲器由 V_{CC} 充电，以及有一个始终有效的内部 5-kΩ 下拉电阻。对于 Arria II GZ 器件，您可以把 nIO-PULLUP 直接连接到 V_{CCPGM} 电源上，对于 Arria II GX 器件连接到 V_{CCI0} 电源上，或者连接到 GND 上。
MSEL[2..0]	N/A	所有	输入	三位配置输入设置 Arria II GZ 器件配置方案。要了解关于合适的连接的更多信息，请参考第 1-10 页表 9-7。 您必须硬线连接这些管脚到 V_{CCPGM} 或者 GND 上。 MSEL[2..0] 管脚含有始终有效的内部 5-kΩ 下拉电阻。
MSEL[3..0]	N/A	所有	输入	四位配置输入设置 Arria II GX 器件配置方案。要了解关于合适连接的更多信息，请参考第 1-9 页表 9-6。 您必须硬线连接这些管脚到 V_{CCPD} 上或 GND 上。 MSEL[3..0] 管脚含有始终有效的内部 5-kΩ 下拉电阻。
nCONFIG	N/A	所有	输入	配置控制输入。在用户模式期间把该管脚拉低引起器件丢失它的配置数据，进入一个复位状态，并且三态所有 I/O 管脚。使该管脚回到一个逻辑高电平开始重配置。 只有当该管脚是高电平时，配置才有可能，除了在 JTAG 编程模式下，当 nCONFIG 被忽略时。

表 9-16. Arria II 器件上的专用配置管脚 (2/3)

管脚名称	用户模式	配置方案	管脚类型	说明
nSTATUS	N/A	所有	双向开漏	器件在上电后立即驱动 nSTATUS 至低电平并且在 POR 时间后释放它。 在用户模式和普通配置期间，该管脚被一个外部的 10-kΩ 电阻拉高。 该管脚，当被 Arria II 器件驱动为低电平时，表示在配置期间器件已经遇到了一个错误。 ■ 状态输出 — 如果在配置期间出现错误，目标器件将拉低 nSTATUS。 ■ 状态输入 — 如果一个外部源在配置或初始化期间驱动 nSTATUS 管脚为电平，目标器件进入一个错误状态。 在配置和初始化之后驱动 nSTATUS 为低电平不影响配置的器件。如果您使用一个配置器件，把 nSTATUS 驱动为低电平导致配置器件试图对器件进行配置，但是因为器件忽略了用户模式时 nSTATUS 上的跳变，器件没有重配置。要开始一个重配置，nCONFIG 必须被拉低。 如果 Arria II GX 器件的 V_{CCIO} 或者 Arria II GZ 器件的 V_{CCPGM} 没有被完全上电，下列情况可以发生： ■ V_{CCIO}/V_{CCPGM} 被充足够高的电以便使 nSTATUS 缓冲器功能正常，同时 nSTATUS 被驱动为低电平。当 V_{CCIO}/V_{CCPGM} 被上电时，在 POR 终止之后，POR 跳变和 nSTATUS 被释放。 ■ V_{CCIO}/V_{CCPGM} 没有被充足够高的电使 nSTATUS 缓冲器功能正常。在这种情况下，nSTATUS 或许表现为逻辑高电平，触发一个失败的配置尝试，因为 POR 还没有跳变。当 V_{CCPD} 上电时，nSTATUS 被拉低，因为 POR 还没有跳变。当 POR 在 V_{CCIO}/V_{CCPGM} 被上电之后跳变时，nSTATUS 被释放并且被拉高。在那时，重配置被触发以及器件被配置。
CONF_DONE	N/A	所有	双向开漏	状态输出。目标器件在配置之前和期间驱动 CONF_DONE 管脚低电平。在准确无误的接收所有的配置数据后，初始化周期开始，目标器件释放 CONF_DONE。 状态输入。在所有的数据被收到和 CONF_DONE 变高之后，目标器件进行初始化和进入用户模式。CONF_DONE 管脚必须有一个外部 10-kΩ 上拉电阻，以便初始化器件。 在配置和初始化之后驱动 CONF_DONE 为低电平不影响配置的器件。
nCE	N/A	所有	输入	低电平有效芯片使能。nCE 管脚使用一个低信号激活器件来允许配置。nCE 管脚在配置，初始化和用户模式期间必须保持低电平。在单器件配置中，它必须保持低电平。在多器件配置中，第一个器件的 nCE 保持低电平，而它的 nCEO 管脚被连接到链中的下一个器件的 nCE 上。 为了成功的器件的 JTAG 编程，nCE 管脚必须也保持低电平。

表 9-16. Arria II 器件上的专用配置引脚 (3/3)

引脚名称	用户模式	配置方案	引脚类型	说明
nCEO	I/O	所有	输出开漏	当器件配置完成的时候，输出驱动为低电平。在一个单器件配置中，该引脚是悬空的。在一个多器件配置中，该引脚驱动下一个器件的 nCE 引脚，同时它被一个外部 10-k Ω 电阻器拉高。链中的上一个器件的 nCEO 被悬空。 对于 Arria II GX 器件，nCEO 引脚由 V_{CCIO} 充电，对于 Arria II GZ 器件，nCEO 引脚由 V_{CCPGM} 充电。 在配置结束后，nCEO 可以用作用户 I/O 引脚。nCEO 引脚的状态取决于 Dual-Purpose Pin 设置。
ASDO (注释 2)	N/A	AS	输出	控制从 Arria II 器件至 AS 模式中的串行配置器件的信号用于读取配置数据。 在 AS 模式时，ASDO 有一个始终有效的内部上拉电阻。
nCSO (注释 2)	N/A	AS	输出	控制从 Arria II 器件至 AS 模式中的串行配置器件的信号用于读取配置数据。 在 AS 模式时，nCSO 有一个始终有效的内部上拉电阻。
DCLK (注释 2)	N/A	同步配置方案 (PS, FPP, AS)	输入 (PS, FPP) 输出 (AS)	在 PS 和 FPP 配置里，DCLK 是时钟输入，用于从一个外部源提供时钟数据到目标器件。数据被锁存进了器件的 DCLK 的上升沿上。 在 AS 模式时，DCLK 是来自 Arria II 器件的一个输出，它为配置接口提供时序。在 AS 模式时，DCLK 有一个始终有效的内部上拉电阻（通常是 25 k Ω ）。 在配置之后，该引脚默认为被驱动进入一个无效状态。在使用一个控制主机的方案中，根据需要，DCLK 必须被驱动为高电平或低电平。在配置后，触发该引脚不影响配置的器件。
DATA0 (注释 2)	N/A	PS, FPP, AS	输入	数据输入。在串行配置模式时，位节配置数据被介绍到目标器件的 DATA0 引脚上。 在 AS 模式时，DATA0 有一个始终有效的内部上拉电阻。 对于 Arria II GX 器件，DATA0 是一个专用引脚，用于 PS 和 AS 配置模式，在配置后不可以用作一个用户 I/O 引脚。 对于 Arria II GZ 器件，在 PS 或 FPP 配置后，DATA0 可以用作一个用户 I/O 引脚。该引脚状态取决于 Dual-Purpose Pin 引脚。
DATA[7..1]	I/O	并行配置方案 (FPP)	输入	数据输入。位节配置数据被介绍到目标器件上的 DATA[7..0] 上。 在串行配置方案中，在配置期间它们发挥一个用户 I/O 引脚的作用，这意味着它们是三态。 在 FPP 配置后，DATA[7..1] 可以用作用户 I/O 引脚。这些引脚的状态取决于 Dual-Purpose Pin 设置。

表 9-16 注释：

- (1) Arria II GZ 器件不支持 3.3-V I/O 标准。
- (2) 要在用户模式下三态 AS 配置引脚，从 **Configuration** 标签里的 **Device and Pin Options** 对话框里，打开 **Enable input tri-state on active configuration pins in user mode** 选项。此操作三态 DCLK、DATA0、nCSO 和 ASDO 引脚。

表 9-17 列出了可选的配置管脚。如果这些可选的配置管脚在 Quartus II 软件中不能被使能，它们可以作为通用用户 I/O 管脚。因此，在配置期间，这些管脚作为用户 I/O 管脚，并且利用弱上拉电阻三态。

表 9-17. 可选择的配置管脚

管脚名称	用户模式	管脚类型	说明
CLKUSR	N/A（如果选项打开时）。I/O（如果选项关闭时）。	输入	可选的 user-supplied 时钟输出同步一个或者多个器件的初始化。通过打开 Quartus II 软件的 Enable user-supplied start-up clock (CLKUSR) 选项。
INIT_DONE	N/A（如果选项打开时）。I/O（如果选项关闭时）。	输出开漏	当器件已经被初始化和处于用户模式时，被用作一个状态管脚去指示。当 nCONFIG 是低电平时和在配置刚开始期间，INIT_DONE 由于一个外部 10-k Ω 上拉电阻管脚被三态和上拉。在使能 INIT_DONE 的选项位被编程进入器件之后，（在配置数据的第一个帧期间），INIT_DONE 管脚变为低电平。当初始化完成的时候，INIT_DONE 管脚被释放、被拉高，器件进入用户模式。因此，监测电路必须能够发现一个从低到高的跳变。通过在 Quartus II 软件中打开 Enable INIT_DONE output 选项，使能该管脚。
DEV_OE	N/A（如果选项打开时）。I/O（如果选项关闭时）。	输入	可选管脚允许您控制器件上的三态管脚。当该管脚被驱动为低电平时，所有的 I/O 管脚都是三态。当该管脚被驱动为高电平时，所有 I/O 管脚表现为已编程。通过在 Quartus II 软件中打开 Enable device-wide output enable (DEV_OE) 选项，使能该管脚。
DEV_CLRn	N/A（如果选项打开时）。I/O（如果选项关闭时）。	输入	可选管脚使您能够重写所有寄存器上的所有清除信号。当该管脚被驱动为低电平时，所有的寄存器被清零。当该管脚被驱动为高电平时，所有寄存器表现为被编程。通过在 Quartus II 软件中打开 Enable device-wide reset (DEV_CLRn) 选项，使能该管脚。

表 9-18 列出了专用 JTAG 管脚。JTAG 管脚必须在配置之前和配置期间保持稳定，以防止 JTAG 指令的意外负载。TDI、TMS 和 TRST 管脚有弱内部上拉电阻；TCK 管脚有一个弱内部下拉电阻（通常是 25 k Ω ）。如果计划使用 SignalTap™ 嵌入式逻辑阵列分析仪，必须把 Arria II 器件的 JTAG 管脚连接到电路板的一个 JTAG 接头上。

表 9-18. 专用 JTAG 管脚

管脚名称	用户模式	管脚类型	说明
TDI	N/A	测试数据输入	串行输入管脚用于指令、测试和编程数据。数据被移到 TCK 的上升沿上。对于 Arria II GX 器件，TDI 管脚由 V _{CCIO} 电源充电，对于 Arria II GZ 器件，TDI 管脚由 V _{CCPD} 电源充电。 如果在您的电路板上不需要 JTAG 接口，那么可以通过连接该管脚到逻辑高电平上，禁用 JTAG 电路。
TDO	N/A	测试数据输出	串行数据输出管脚用作指令、测试和编程数据。数据在 TCK 的下降沿上被移出。如果数据没有被移出器件，管脚被三态。TDO 管脚由 V _{CCPD} /V _{CCIO} 电源上电。要了解关于在链中的器件上将一个 JTAG 链与多个电压相连的更多信息，请参考 JTAG Boundary-Scan Testing in Arria II Devices 章节。 如果在您的电路板上不需要 JTAG 接口，那么可以通过使该管脚断接禁用 JTAG 电路。
TMS	N/A	测试模式选择	输入管脚提供控制信号来决定 TAP 控制器状态机的跳变。TMS 在 TCK 的上升沿上被采集。因此，您必须在 TCK 的上升沿之前设置 TMS。在信号被应用到 TMS 之后，在状态机上的跳变发生在 TCK 的下降沿上。TMS 管脚由 V _{CCPD} /V _{CCIO} 电源充电。 如果在您的电路板上不需要 JTAG 接口，通过连接该管脚到逻辑高电平，您可以禁用 JTAG 电路。
TCK	N/A	测试时钟输入	到 BST 电路的时钟输入。一些操作发生在上升沿上，而其它的发生在下降沿上。TCK 管脚由 V _{CCPD} /V _{CCIO} 电源充电。 时钟输入波形被需要有一个额定 50% 占空比。 如果在您的电路板上不需要 JTAG 接口，通过连接 TCK 到 GND 上，可以禁用 JTAG 电路。
TRST (注释 1)	N/A	测试复位输入 (可选的)	对边界扫描电路进行异步复位的有效低电平输入。根据 IEEE Std. 1149.1 标准，TRST 管脚是可选的。对于 Arria II GZ 器件，TRST 管脚由 V _{CCPD} 电源上电。 当 TRST 从 0 变到 1 时，保持 TMS 在 1 或者保持 TCK 静态。 如果在您的电路板上不需要 JTAG 接口，通过连接 TRST 管脚到 GND 上，可以禁用 JTAG 电路。如果您不使用 TRST 管脚，需要一个作用于 V _{CCPD} 上的 1k Ω 上拉电阻。

表 9-18 注释：

(1) TRST 管脚仅可用于 Arria II GZ 器件。

配置数据解压缩

Arria II 器件支持配置数据解压缩，这样节省配置存储空间和时间。该功能使您存储被压缩的配置数据到配置器件或者到其它的存储器，以及发送该压缩的比特流到 Arria II 器件中。在配置期间，Arria II 器件实时解压缩比特流和编程它的 SRAM 单元。



数据表明解压缩通常减少配置比特流的大小，根据使用的设计，配置比特流的大小通常减少 35 到 55%。

Arria II 器件支持 FPP(当使用 MAX II 器件或者微处理器 + 闪存时)、AS 或者快速 AS 和 PS 配置方案中的解压缩。Arria II 器件解压缩功能在 JTAG 配置方案中不可以用。



当使用 FPP 模式时，智能主机必须提供一个 DCLK，它是 x4 的数据速率。因此，在四个 DCLK 周期里，配置数据必须有效。

在 PS 模式，使用 Arria II 解压缩功能，因为发送压缩的配置数据减少配置时间。

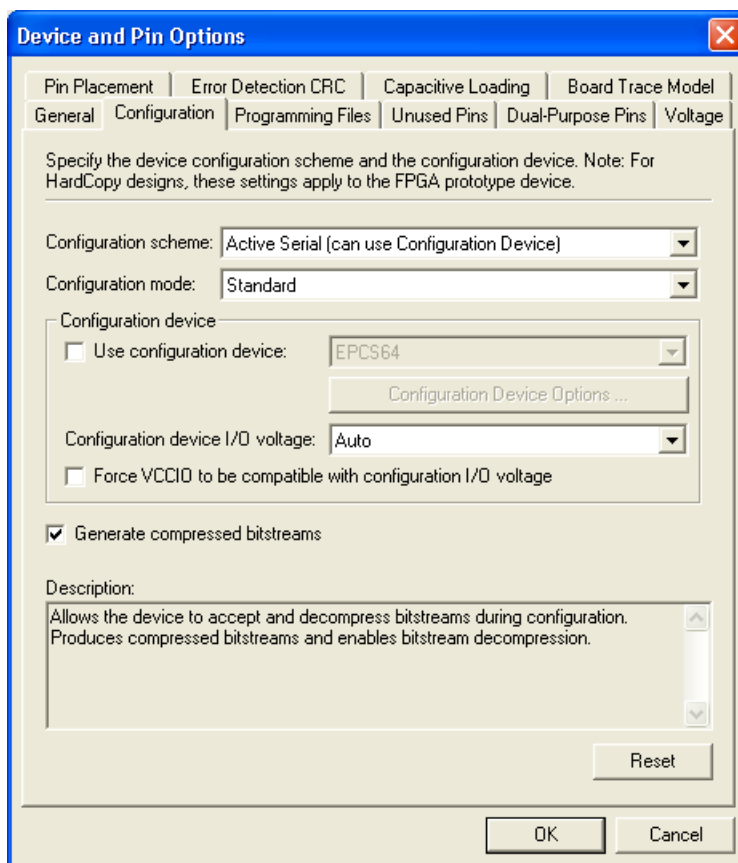
当您使能压缩时，Quartus II 软件生成具有压缩配置数据的配置文件。该压缩文件减少配置器件或者闪存的存储要求，并减少了发送比特流到 Arria II 器件的所需时间。一个 Arria II 器件解压缩一个配置文件所需的时间少于发送配置数据到器件所需的时间。

有两种方式为 Arria II 比特流使能压缩 — 在设计编译前（在编译器设置菜单中）以及在设计编译之后（在 **Convert Programming Files** 窗口）。

要在工程的编译器设置菜单里使能压缩，依照以下这些步骤：

1. 在 assignment 菜单里，点 **Device. Settings** 对话框出现。
2. 在选择了 Arria II 器件之后，打开 **Device and Pin Options** 窗口。
3. 在 **Configuration** 设置标签中，打开 **Generate compressed bitstreams**（如图 9-19 所示）。

图 9-19. 在编译器设置里为 Arria II 比特流使能压缩



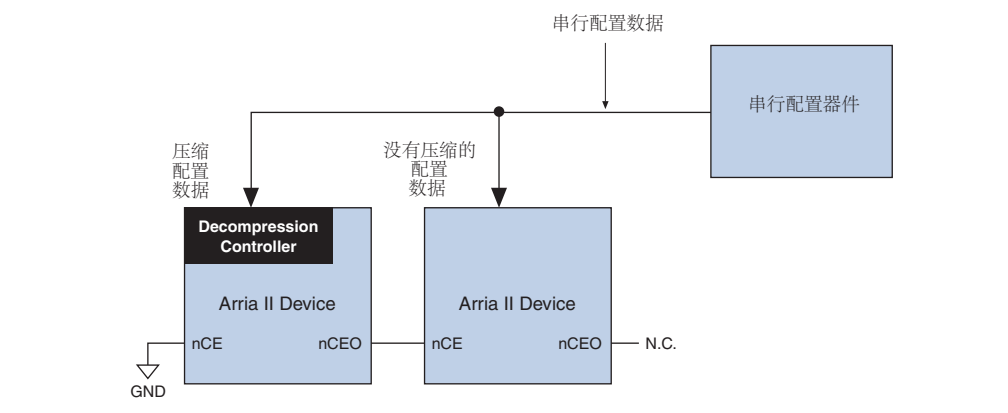
您也可以在 **Convert Programming Files** 窗口创建编程文件时使能压缩。要进行此操作，根据以下步骤：

1. 在文件菜单上，点 **Convert Programming Files**。
2. 选择编程文件类型（.pof、.sram、.hex、.rbf 或 .ttf）。
3. 对于 .pof 输出文件，选择一个配置器件。
4. 在 **Input files to convert** 框里，选择 **SOF Data**。
5. 选择 **Add File** 和添加一个 Arria II 器件 .sof。
6. 选择您添加到 **SOF Data** 区域的文件名，然后点 **Properties**。
7. 检查 **Compression** 复选框。

当多个 Arria II 器件被级联时，如果您正在使用一个串行配置方案，那么可以有选择的为链中的每个器件使能压缩功能。图 9-20 显示了两个 Arria II 器件的一个链。第一个 Arria II 器件有使能压缩选项；因此，从配置器件中收到一个压缩比特流。第二个 Arria II 器件禁用压缩功能，收到没有被压缩的数据。

在一个多器件 FPP 配置链中（带有 MAX II 器件或者微处理器 + 闪存），所有的链中的 Arria II 器件必须同时使能或者禁用解压缩功能。因为 DATA 和 DCLK 的关系，您不能有的使能链中的每个器件的压缩功能。

图 9-20. 在相同配置文件里的压缩和未压缩的串行配置数据



通过点击 Quartus II 软件里的文件菜单上的 **Convert Programming Files**，您可以为该建立生成编程文件。

远程系统更新

该部分描述了专用远程系统更新电路的功能和实现。它也定义了几个关于远程系统更新的概念，包括出厂配置、应用配置、远程更新模式和用户监视计时器。除此之外，该部分还使用被支持的配置方案为实现远程系统更新提供了设计指南。

系统设计者有时面对，例如缩短的设计周期、标准的不断发展和远程位置的系统部署方面的挑战。通过使用它们固有的重新可编程能力和专用电路来执行远程系统更新，Arria II 器件帮助克服这些挑战。远程系统更新有助于在无需高成本召回的情况下实现性能的增强以及漏洞的修复，同时缩短了产品面市时间，延长产品使用寿命，并有助于避免系统故障。

Arria II 器件具有专用远程系统更新电路的特性。在 Arria II 器件中实现的软核逻辑 (Nios® II 嵌入式处理器或者是用户逻辑) 能够从远程位置下载新的配置镜像文件，并保存在配置存储器中，然后命令专用的远程系统更新电路来开始重配置周期。专用电路在配置过程期间和配置过程之后执行错误检测，通过退回一个安全配置镜像从一些错误条件恢复，以及提供错误状态信息。

在 Arria II GX 器件的 AS 配置方案和 Arria II GZ 器件的快速 AS 配置方案中支持远程系统更新。通过使用高级加密标准，您可以实现远程系统更新，同时实现高级 Arria II 功能，例如实时配置数据解压缩和设计安全，以便达到安全和有效的现场更新。最大的串行配置器件目前支持 128 megabits(Mb) 的配置比特流。



Arria II 器件仅在单器件的快速 AS 配置方案中支持远程系统更新。因为最大的串行配置器件目前支持 128 Mb 的配置比特流，所以远程系统更新功能在 EP2AGZ300、EP2AGZ350 和更大器件中不被支持。



远程系统更新功能在多器件链中不被支持。

功能描述

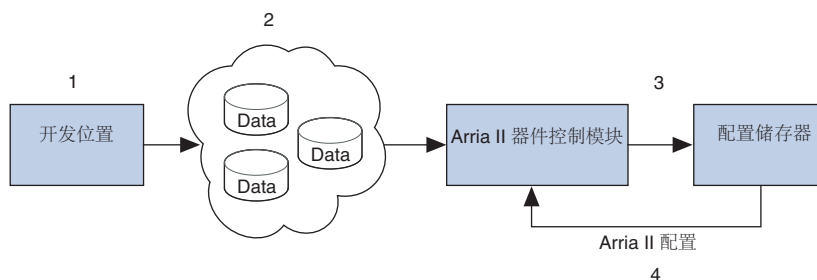
Arria II 器件中的专用远程系统更新电路管理远程配置以及提供错误检测、恢复和状态信息。在 Arria II 器件逻辑阵列中实现的用户逻辑或者 Nios II 处理器提供 远程配置数据源的访问，以及提供一个到系统的配置储存器的接口的访问。

Arria II 器件具有远程系统更新过程，它涉及以下步骤：

1. 在 Arria II 器件逻辑阵列中实现的一个 Nios II 处理器 (或者用户逻辑) 通过通信协议 (例如 TCP/IP、PCI、用户数据报协议 (UDP)、UART 或者一个专有的接口) 从一个远程位置中接收新配置数据到远程源。
2. Nios II 处理器 (或者用户逻辑) 在非易失的配置储存器中存储新的配置数据。
3. Nios II 处理器 (或者用户逻辑) 使用新的或者更新的配置数据开始一个重新配置周期。
4. 专用远程系统更新电路从任何可能在重新配置周期期间和之后发生的错误中检测和恢复，并且向用户设计提供错误状态信息。

图 9-21 显示了执行远程配置更新所需要的步骤。（图 9-21 的数字与刚才提到的步骤吻合。）

图 9-21. Arria II 远程系统更新的功能结构图



 Arria II 器件仅支持在单器件 AS 配置方案的远程系统更新。

图 9-22 显示了使用 Arria II 配置方案的实现远程系统更新的一个结构框图。

图 9-22. Arria II 配置方案的远程系统更新结构框图 (1)

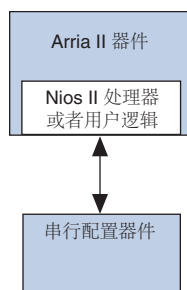


图 9-22 注释：

(1) Arria II GX 器件使用 AS 配置方案，而 Arria II GZ 器件使用快速 AS 配置方案。

要在 Arria II GX 器件中使用远程系统更新功能，您必须设定模式，选择 MSEL[3..0] 管脚并把它设置为 **AS 模式**，要在 Arria II GZ 器件中使用远程系统更新功能，要选择 MSEL[2..0] 管脚并且把它设置为 **快速 AS 模式**。

 MSEL 管脚设置针对不同的配置电压标准和 POR 延迟而有所不同。要为一个 Arria II GX 器件连接 MSEL[3..0]，请参考第 1-9 页表 9-6。要为一个 Arria II GZ 器件连接 MSEL[2..0]，请参考第 1-10 页表 9-7。

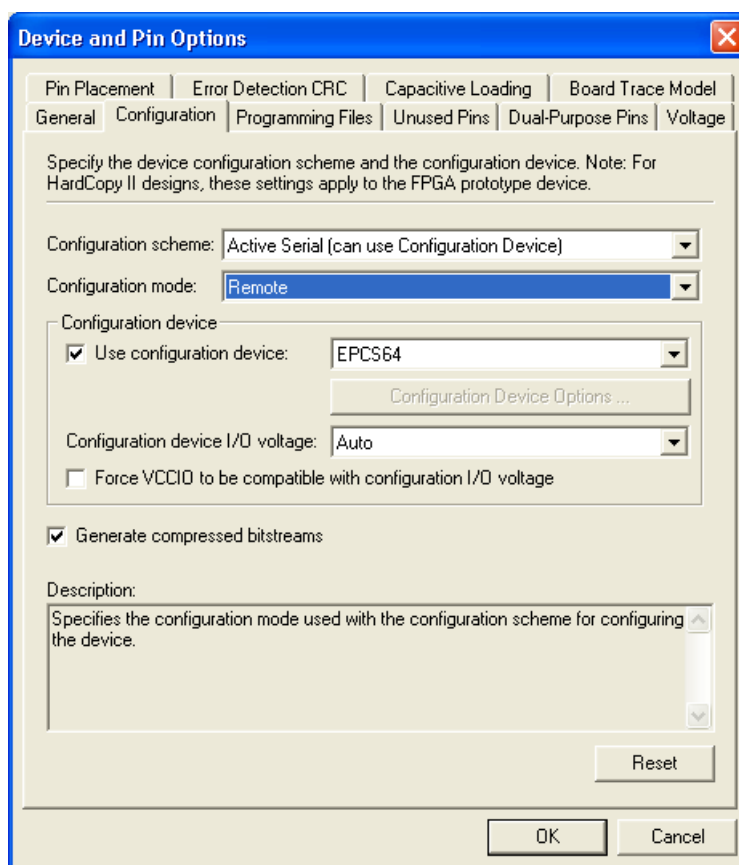
 当使用 AS 模式时，您必须在 Quartus II 软件中选择 **远程更新模式** 并且插入 ALTREMOTE_UPDATE 功能模块去访问电路。要了解更多信息，请参考 “ALTREMOTE_UPDATE 宏功能”。

使能远程更新

在设计编译之前，您可以在 Quartus II 软件中为 Arria II 器件使能远程更新（在编译器设置菜单里）。在远程更新模式里，**auto-restart configuration after error** 选项始终被使能。要在工程的编译器设置里使能远程更新，请按照以下步骤：

1. 在 assignment 菜单里，点击 **Device. Settings** 对话框出现。
2. 点击 **Device and Pin Options**。Device and Pin Options 对话框出现。
3. 点击 **Configuration** 标签。
4. 从 **Configuration scheme** 列表中，选择 **Active Serial**（你也可以使用 **Configuration Device**）（图 9-23）。
5. 从 **Configuration Mode** 列表中，选择 **Remote**（图 9-23）。
6. 点击 **OK**。
7. 在 **Settings** 对话框中，点击 **OK**。

图 9-23. 在编译器设置菜单中为 Arria II 器件使能远程更新



配置镜像类型

当执行远程系统更新时，Arria II 器件配置比特流归类为出厂配置镜像或者应用配置镜像。镜像，也被称为一个配置，是一个被加载到 Arria II 器件的一个设计，执行特定的用户定义的功能。

在您的体系里，每个 Arria II 器件需要一个出厂镜像或者需要一个或另外一个或多个应用镜像。出厂镜像是一个用户定义的候补控制，或者是安全配置，以及在负责管理专用电路的同时负责管理远程更新。应用镜像在目标 Arria II 器件中执行用户定义的功能。您可以在出厂镜像中包含默认应用镜像功能。

一个远程系统更新包括：通过使用远程通信接口，存储一个新的应用配置镜像或者更新一个现有的应用配置镜像。一个应用配置镜像被远程存储或更新后，在 Arria II 器件里的用户设计使用新的镜像开始一个重配置周期。专用远程系统更新电路检测在该周期期间和之后的任何错误，这些错误导致器件自动的回到出厂镜像。然后，出厂镜像执行错误处理和恢复。出厂配置仅一次被系统生产商写进串行配置器件，并且它不能够被远程更新。另一方面，应用配置可能在系统里被远程更新。两个镜像都可以开始系统重配置。

远程系统更新模式

远程系统升级仅有一种操作模式 — 远程更新模式。远程更新模式让您在上电之后决定系统的功能，以及提供几个其它功能。

远程更新模式

在远程更新模式中，Arria II 器件在上电之后加载出厂配置镜像。用户定义的出厂配置决定加载哪一个应用配置以及触发一个重配置周期。出厂配置也可以包括应用逻辑。

当和串行配置器件一起使用时，远程更新模式让一个应用配置在任何闪存分区边界开始。例如，在 EPCS64 器件中，该行为转换成最大值为 128 的分区，在 EPCS16 器件中，改行为转换成最大值为 32 的分区。Altera 建议，对于这两个镜像，在串行配置器件中不要使用相同的页。除此之外，远程更新模式具有一个用户监视计时器的特性，决定一个应用配置的有效性。

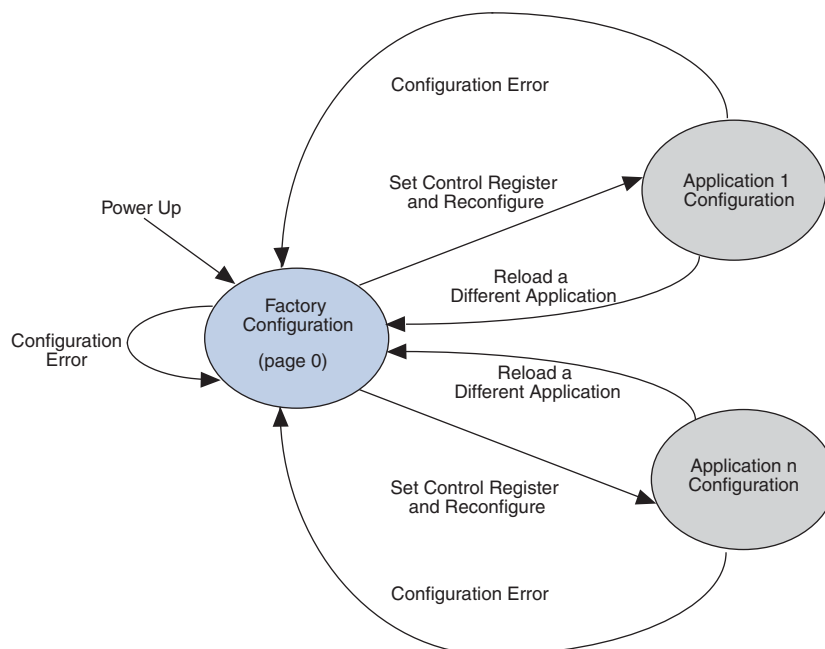
当一个 Arria II 器件在远程更新模式中第一次被上电时，它加载位于零页面的出厂配置（页面寄存器 PGM[23..0] = 24'b0）。通常在零页面地址存储出厂配置镜像。这样与在串行配置器件中的起始地址位置 0x000000 相一致。

出厂镜像为用户设计的，包括软逻辑实现以下几步操作：

- 处理基于专用的远程系统更新电路的状态信息的任何错误
- 与远程主机通信，和接收新应用配置，并将新配置数据存储在位于非易失性的存储器件中
- 决定要把哪一个应用配置加载到 Arria II 器件中
- 使能或者禁用用户监视器时序，并且加载它的超时值（可选的）
- 指示专用远程系统更新电路开始一个重配置周期

图 9-24 显示了在远程更新模式下，在出厂和应用配置之间的跳变。

图 9-24. 在远程更新模式下的配置之间的跳变



在上电或者一个配置出错之后，出厂配置逻辑自动被加载。出厂配置也指定是否为应用配置去使用户监视计时器，如果使能的话，就要包括计时器设置信息在里面。

用户监视计时器确保应用配置有效和正常运行。在一个应用配置的用户模式操作期间，在一个特定时间内，计时器必须被连续复位。只有有效的应用配置包含在用户模式下复位时序的逻辑。该计时器复位逻辑必须是一个用户设计的硬件和 / 或软件健康监控信号的一部分，该健康监控信号指示无错误系统操作。如果计时器在特定的时间内没有被复位；例如，用户应用配置发现一个功能错误或者如果系统挂死，那么专用电路更新远程系统更新状态寄存器，触发出厂配置的加载。



为了出厂配置，用户检测器计时器被自动的禁用。要了解关于用户监测计时器的更多信息，请参考第 9-58 页 “用户监视计时器”。

当加载应用配置时，如果有一个错误出现，那么重新配置的过程被专用电路写入远程系统升级状态寄存器中。引起远程系统升级状态寄存器被写入的操作如下：

- nSTATUS 从外部被驱动为低电平
- 内部的 CRC 错误
- 用户监视计时器超时
- 配置复位（逻辑阵列 nCONFIG 信号或者外部的 nCONFIG 管脚置位至低电平）。

Arria II 器件自动加载位于零页面地址上的出厂配置。该用户设计的出厂配置能读取远程系统更新状态寄存器，以便决定重新配置的原因。然后，出厂配置采取适当的错误恢复步骤，写入远程系统更新控制寄存器，以便决定下一个应用配置被加载。

当 Arria II 器件成功的加载应用配置时，它们进入用户模式。在用户模式下，软逻辑（一个 Nios II 处理器或者状态机和远程通信接口）辅助 Arria II 器件决定什么时候一个远程系统更新会到达。当远程系统更新到达的时候，软逻辑收到输入数据，把它写入配置存储器件中，并且触发器件去加载出厂配置。出厂配置读取远程系统更新状态寄存器和控制寄存器，决定有效的应用配置进行加载，相应的写入远程系统更新控制寄存器，以及初始化系统重配置。

专用的远程系统更新电路

该部分描述 Arria II 远程系统更新专用电路的实现。

专用的远程系统更新电路在硬逻辑中实现。该专用电路和在 Arria II 器件逻辑阵列中实现的用户定义的出厂和应用配置连接，以便提供完整的远程配置解决方案。远程系统更新电路包含远程系统更新电阻，一个监视计时器，和一个控制那些组件的状态机。

图 9-25 显示了远程系统更新模块的数据路径。

图 9-25. 远程系统更新电路数据路径 (1)

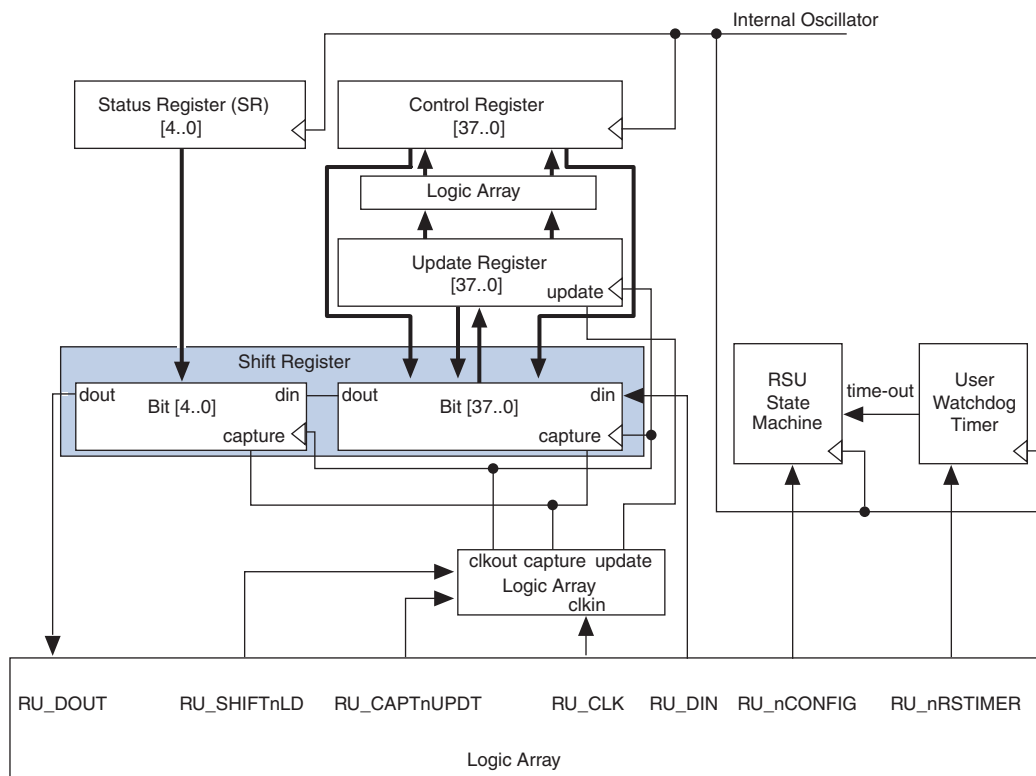


图 9-25 注释：

- (1) RU_DOUT、RU_SHIFTnLD、RU_CAPTnUPDT、RU_CLK、RU_DIN、RU_nCONFIG 和 RU_nRSTIMER 信号从内部被 ALTREMOTE_UPDATE 功能模块控制。

远程系统更新寄存器

远程系统更新模块包括一系列的寄存器，可以存储页面地址、监视计时器设置和状态信息。表 9-19 列出了这些寄存器。

表 9-19. 远程系统更新寄存器

寄存器	说明
移位	该寄存器可以通过逻辑阵列存取，也可以通过用户逻辑对更新寄存器、状态寄存器和控制寄存器进行写入和采样。
控制	该寄存器包含目前的页面地址，用户监视计时器设置，和一个位，可以指定是否目前的配置是一个出厂配置或者是一个应用配置。在应用配置的读取操作期间，该寄存器由移位寄存器读取。当一个重配置周期被初始化时，更新寄存器的内容被写入控制寄存器。
更新	该寄存器包含的数据与控制寄存器中的相似。然而，通过移位数据到移位寄存器和发起一个更新操作，它仅可以被出厂配置更新。当出厂配置触发一个重配置周期时，控制寄存器与更新寄存器的内容一起更新。在一个出厂配置中的一个采集期间，该寄存器被读入移位寄存器。
状态	在每个重配置上，该寄存器由远程系统更新电路写入，以便记录重配置的过程。该信息用于出厂配置，以便决定和重配置一致的适合的操作。在一个采集周期期间，该寄存器被读入移位寄存器。

远程系统更新控制和状态寄存器由 10-MHz 内部振荡器提供时钟（控制用户监视计时器的相同的振荡器）。然而，远程系统更新移位和更新寄存器由用户时钟输入（RU_CLK）提供时钟。

远程系统更新控制寄存器

远程系统更新控制寄存器存储应用配置页面地址和用户监视计时器设置。控制寄存器功能取决于远程系统更新模式的选择。在远程更新模式下，为了加载出厂配置，上电时，控制寄存器页面地址位全部被设为零（24'b0 = 0x000000）。在远程更新模式下的一个出厂配置已经对该寄存器进行了写访问。

控制寄存器位的位置在图 9-26 被显示和在表 9-20 中被列出。在图中，数字显示了寄存器里的一个设置的位的位置。例如，位数量 25 是监视计时器的使能位。

图 9-26. 远程系统升级控制寄存器

37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	..	3	2	1	0
Wd_timer[11..0]												Wd_en	PGM[23..0]						AnF	

非工业应用 (AnF) 位表示是否目前的在 Arria II 器件中加载的配置是出厂配置或者是一个应用配置。当一个错误情况引起一个候补控制到出厂配置时，该位被远程系统升级电路设置为低电平。当 AnF 位是高电平时，控制寄存器访问只能读取操作。当 AnF 位是低电平时，寄存器允许写操作，同时禁用监视计时器。

在远程更新模式下，当使用应用页面地址和监视计时器设置将更新寄存器的内容更新时，出厂配置设计把该位设置为高电平 (1'b1)。

表 9-20 列出了远程系统更新控制寄存器内容。

表 9-20. 远程系统更新控制寄存器内容

控制寄存器位	远程系统更新模式	值 (注释 1)	说明
AnF (注释 2)	远程更新	1'b0	非工业应用
PGM[23..0]	远程更新	24'b0x000000	AS 配置起始地址 (StAdd[23..0])
Wd_en	远程更新	1'b0	用户监视计时器使能位
Wd_ 时序 [11..0]	远程更新	12'b000000000000	用户监视器超时值 (29- 位计数值的最高 12 位： {Wd_ 时序 [11..0] , 17'b0})

表 9-20 注释：

- (1) 这是控制寄存器位的默认值。
- (2) 在远程更新模式下，远程配置模块不自动更新 AnF 位（您可以手动更新）。

远程系统更新状态寄存器

远程系统更新状态寄存器指定重配置触发情况。各种触发和错误情况包括：

- 在应用配置中的循环冗余校验 (CRC) 错误
- 一个错误引起的一个外部器件进行的 nSTATUS 置位
- Arria II 器件逻辑阵列触发了一个重配置周期，很可能发生在下载了一个新的应用配置镜像之后
- 外部配置复位 (nCONFIG) 置位
- 用户监视计时器超时

状态寄存器的内容被显示在图 9-27 中和被列在表 9-21 中。表中的数字显示了在 5 位寄存器中的位的位置。

图 9-27. 远程系统更新状态寄存器

4	3	2	1	0
Wd	nCONFIG	Core_nCONFIG	nSTATUS	CRC

表 9-21 为远程系统更新列出了状态寄存器内容。

表 9-21. 远程系统更新状态寄存器内容

状态寄存器位	说明	POR 复位值
CRC (在配置中)	CRC 错误导致了重配置	1 位 '0'
nSTATUS	nSTATUS 导致了重配置	1 位 '0'
CORE_nCONFIG (注释 1)	器件逻辑阵列导致了重配置	1 位 '0'
nCONFIG	nCONFIG 导致了重配置	1 位 '0'
Wd	监视计时器导致了重配置	1 位 '0'

表 9-21 注释：

(1) 逻辑阵列重新配置强制系统加载应用配置数据到 Arria II 器件中。通过将更新寄存器更新而使出厂配置指定合适的应用配置页面地址之后，该行为才发生。

远程系统更新状态机

远程系统更新控制和更新寄存器有相同的位定义，但是有不同的用途（请参考第 1-55 页图 9-26）当器件加载一个出厂配置镜像时，两个寄存器才能被更新，这时，更新寄存器写操作由用户逻辑控制；控制寄存器写操作由远程系统更新状态机控制。

在出厂配置中，为了下一个应用配置位，用户逻辑发送 AnF 位（设置为高电平）、页面地址和监视计时器设置到更新寄存器。当逻辑阵列配置复位 (RU_nCONFIG) 为低电平时，远程系统更新状态机使用更新寄存器的内容更新控制寄存器，并且从新的应用页面中开始系统重配置。

 为了确保在页面间的成功的重配置，把 RU_nCONFIG 信号置位成 250 ns 最小值。这等于选通 ALTREMOTE_UPDATE 宏功能的 reconfig 输入为高电平，使它达到 250 ns 的最小值。

在一个错误或者重配置触发情况事件中，通过设置相应的控制寄存器，远程系统升级状态机指示系统加载一个出厂或者应用配置（基于模式和错误情况，页面为 0 或者页面为 1）。这样的 一个事件出现在所有可能出现的错误或者触发情况发生之后，表 9-22 列出了控制寄存器的内容。

在一个错误情况之后，但在出厂配置被加载之前，远程系统更新状态寄存器由专用错误监测电路更新。

表 9-22. 在一个错误或者重配置触发情况之后的控制寄存器内容

重配置错去 / 触发	控制寄存器设置远程更新
nCONFIG 复位	所有的位都是 0
nSTATUS 错误	所有的位都是 0
CORE 触发的重配置	更新寄存器
CRC 错误	所有的位都是 0
Wd 超时	所有的位都是 0

在出厂配置访问更新寄存器的内容期间采集操作。用户逻辑使用该功能来验证页面地址和监视计时器设置被正确的写入。在应用配置中的读操作访问控制寄存器的内容。在应用配置中，该信息由用户逻辑使用。

用户监视计时器

用户监视计时器防止由于意外停止器件而出现的有错误的应用配置。在应用配置被成功的加载到 Arria II 器件之后，系统使用计时器检测功能的错误。

 要让远程系统更新专用电路复位监视计时器，您必须置位 RU_nRSTIMER 信号有效，使其达到 250 ns 的最小值。这等于选通 ALTREMOTE_UPDATE 宏功能的 reset_timer 输入为至少 250 ns 的高电平。

用户监视计时器是一个计数器，通过出厂配置对远程系统更新控制寄存器载入的初始值计数。计数器是 29 位宽，有一个最高计数值为 2^{29} 。当指定用户监视计时器值时，仅需指定最高的 12 位。计时器设置的粒度是 2^{17} 周期。周期时间基于 10-MHz 内部振荡器的频率。表 9-23 列出了 10-MHz 内部振荡器的操作范围。

表 9-23. 10-MHz 内部振荡器的标准

最小值	典型值	最大值	单位
4.3	5.3	10	MHz

在应用配置进入器件用户模式之后，用户监视计时器开始计数。此计时在它终止使 RU_nRSTIMER 信号有效之前，必须周期重新加载或由应用配置复位。如果应用配置在计数超时之前不重新加载用户监视计时器，那么远程系统更新专用电路会生成一个超时信号。超时信号告诉远程系统更新电路在远程系统更新状态寄存器中设置用户监视计时器状态位 (wd)，并且通过加载出厂配置重配置器件。

在器件的配置周期期间，用户监视计时器没有被使能。CRC 引擎检测在配置期间的错误。还有，出厂配置的计时器被禁用。运行的错误在出厂配置中不应该出现，因为在生产期间，它已经被存储和验证，并且它从来没有被远程更新过。

 在出厂配置和应用配置的配置周期期间，用户监视计时器被禁用。在应用配置进入用户模式之后，它被启用。

Quartus II 软件支持

Quartus II 软件具有灵活性，它可以在 Arria II 器件逻辑阵列和专用电路之间包括远程系统更新接口，为生产生成配置文件，以及可以使系统配置存储器进行远程编程。

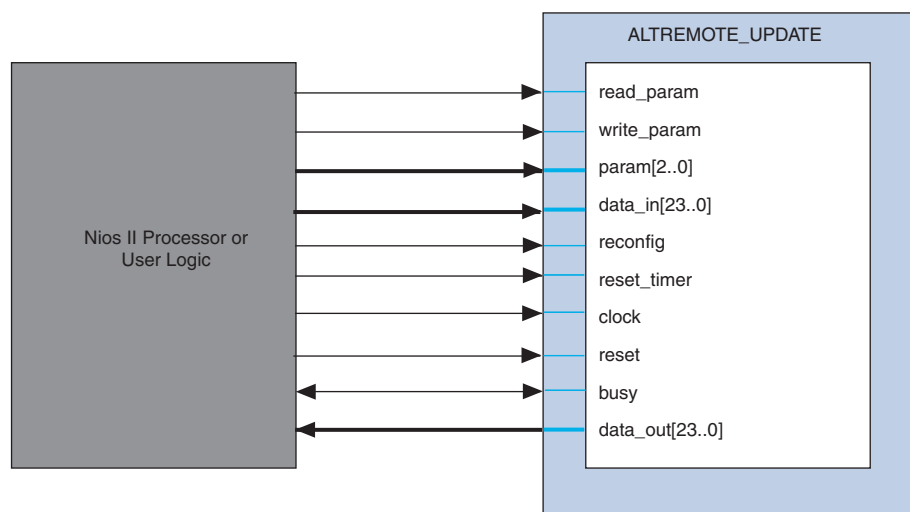
Quartus II 软件中，使用 ALTREMOTE_UPDATE 宏功能选项作为在远程系统更新电路和器件逻辑阵列接口之间的接口。使用宏功能模块，而不是创建自己的逻辑设计，这样可以节省设计时间，提供更多有效的逻辑综合和器件实现。

ALTREMOTE_UPDATE 宏功能

ALTREMOTE_UPDATE 宏功能提供一个像存储器一样的接口到远程系统更新电路，并且处理 Arria II 器件逻辑中的移位寄存器读和写协议。该实现适合设计，能够通过使用一个器件中的 Nios II 处理器或用户逻辑，实现出厂配置功能。

图 9-28 显示了在 ALTREMOTE_UPDATE 宏功能和 Nios II 处理器或者用户逻辑之间的接口信号

图 9-28. 在 ALTREMOTE_UPDATE 宏功能和 Nios II 处理器之间的接口信号



要了解关于如图 9-28 所示的 ALTREMOTE_UPDATE 宏功能和端口描述的更多信息，请参考 *Remote Update Circuitry (ALTREMOTE_UPDATE) Megafunction User Guide*。

设计安全

该部分概述设计安全功能以及它们通过使用 AES 在 Arria II 器件上的实现。也涵盖了在 Arria II 器件中的新的安全模式。

既然在商业和军事环境的竞争中，Arria II 器件继续在更大和更关键的设计中扮演角色，那么保护您的设计不被复制、逆向工程和篡改变得更重要。

Arria II 器件使用易失和非易失的安全功能支持来解决这些问题。通过使用 AES 算法，一个 FIPS-197 认证的工业标准的加密算法，Arria II 器件能够对配置比特流进行解密。Arria II 器件有一个采用 256- 位的安全密钥的设计安全特性。

在器件操作期间，Arria II 器件在 SRAM 配置单元中，存储配置数据。因为 SRAM 存储器是易失的，每次器件上电时，都必须将配置数据加载到 SRAM 单元中。当配置数据从存储器资源（闪存或者一个配置器件）被发送到器件时，截取配置数据是可能的。被截取的配置数据可能随后被用于配置另一个器件。

当使用 Arria II 设计安全功能时，安全密钥被存储在 Arria II 器件中。取决于安全模式，通过使用一个配置文件来配置 Arria II 器件。该配置文件用相同的密钥加密，或者用于板级测试，并且具有一个正常配置文件的配置。

当通过使用 FPP 配置模式以及外部主机（例如 MAX II 器件或者微处理器），或者当使用 AS、快速 AS 或者 PS 配置方案配置 Arria II 器件时，器件安全功能是可行的。设计安全特性在具有 AS 和快速 AS 配置模式的远程更新模式中是可用的。

当正在使用基于 JTAG 的配置对您的 Arria II 器件进行配置时，设计安全功能不可用。要了解更多的信息，请参考“被支持的配置方案”。



当使用一个串行配置方案例如 AS、快速 AS 或者 PS 时，无论您是否使能设计安全功能，配置时间都是相同的。如果在设计安全或者解压缩功能时使用 FPP 方案，需要一个 x4 DCLK。与一个既没有设计安全功能使能也没有解压缩功能使能的 Arria II 器件的配置时间相比，这种情况导致更慢配置时间。

Arria II 安全保护

Arria II 器件受到保护，通过使用配置比特流加密，它不会被复制，逆向工程以及篡改。

反复制的安全保护

安全密钥被安全的存储在 Arria II 器件中，并且它不会通过任何接口被读出。除此之外，因为配置文件读回在 Arria II 器件中不被支持，您的设计信息不能够被复制。

反逆向工程的安全保护

对一个加密的配置文件逆向工程是很难的并且很花时间，因为 Arria II 配置文件格式是专有的，并且文件包含需要特定解密的百万的位。对 Arria II 器件进行逆向工程也同样很难，因为器件是用最先进的 40-nm 工艺技术生产的出来的。

反篡改安全保护

在篡改保护位被设置在 Quartus II 软件生产出来的加密密钥编程文件里之后，只能用被加密了相同的密钥的配置文件配置 Arria II 器件。使用易失的和非易失的密钥，篡改被阻止。

AES 解密模块

AES 解密模块的主要目的是，在进入数据解压缩和配置之前，解密配置比特流。

在收到解密数据之前，您必须在器件中进入和存储 256 位。您可以使用备用电池在一个非易失性和一个易失性安全密钥之间做出选择。

在被存储到密钥存储器之前，安全密钥进行了加扰，以便使任何人难以使用器件的解封装去读取储存的密钥。

灵活的安全密钥存储器

Arria II 器件支持两种安全密钥编程 – 易失和非易失密钥。表 9-24 列出了易失密钥和非易失密钥的区别。

表 9-24. 安全密钥选项

选项	易失密钥	非易失密钥
密钥编程	可编程的和可擦除的	一次性可编程的
外部电池	需要	不需要
密钥编程方法 (注释 1)	板上	板上和板外
设计保护	反复制和逆向工程的安全保护。 如果易失的篡改保护位被设置，那么篡改是可抵制的。(注释 2)	反复制和逆向工程的安全保护。 如果篡改保护位被设置，那么篡改是可以抵制的。

表 9-24 注释：

(1) 密钥编程使用 JTAG 接口执行。

(2) Arria II GZ 器件不支持该功能。

您可以编程非易失的密钥到 Arria II 器件中而无需外部电池。还有，对于任何的 Arria II 电源输入没有额外的要求。

V_{CCBAT} 是易失密钥存储器的专用电源，不与其它的片内电源，（如 V_{CCIO} 或 V_{CC}）共享。不管片内的电源条件如何，V_{CCBAT} 连续为易失寄存器供电。

- 对于 Arria II GX 器件，在上电之后，在开始密钥编程之前，等待 100 ms（标准 POR 延时）或者 4 ms（快速 POR 延时），以确保 V_{CCBAT} 在全轨。对于 Arria II GZ 器件，在上电之后，在开始密钥编程之前，等待 300 ms（PORSEL = 0）或 12 ms（PORSEL = 1），以确保 V_{CCBAT} 在全轨。
- 要了解关于怎样计算用于易失密钥存储器的电池的密钥保留时间的更多信息，请参考 *Arria II GX PowerPlay Early Power Estimator*。
- 要了解关于电池规范的更多信息，请参考 *Device Datasheet for Arria II Devices* 章节。
- 要了解关于 VCCBAT 管脚连接建议的更多信息，请参考 *Arria II Device Family Pin Connection Guidelines*。

Arria II 设计安全解决方案

Arria II 器件是基于 SRAM 的器件。为了提供设计安全，Arria II 器件需要一个 256- 位的安全密钥进行配置比特流加密。

要进行安全配置，按照以下步骤（请参考图 9-29）：

1. 把安全密钥编程到 Arria II 器件中。

通过 JTAG 接口，编程用户 - 定义的 256- 位 AES 密钥到 Arria II 器件中。

2. 加密配置文件，并把它存储到外部存储器中。

使用编程 Arria II 器件的 256- 位密钥加密配置文件。对配置文件的加密是使用 Quartus II 软件完成的。被加密的配置文件随后被加载到外部存储器，例如一个配置或者闪存器件。

3. 配置 Arria II 器件。

在系统上电时，外部的存储器器件发送加密的配置文件到 Arria II 器件中。

图 9-29. 设计安全 (1)

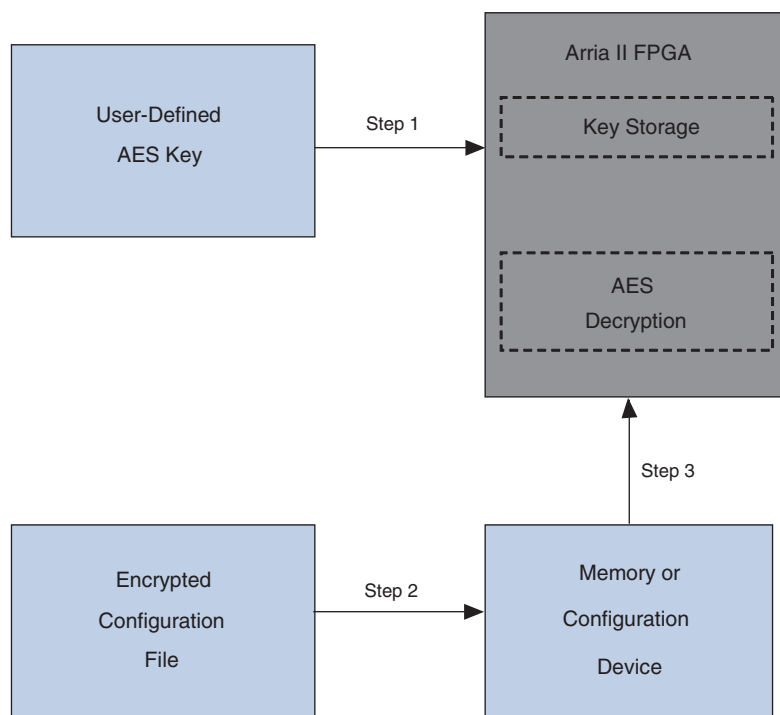


图 9-29 注释：

(1) 步骤 1、步骤 2 和步骤 3 “设计安全”中所描述的步骤相一致。

可用安全模式

在 Arria II 器件中，以下安全模式是可用的：

易失性密钥

带有易失密钥编程的和所需的外部电源的安全操作

– 该模式接受加密和不加密的配置比特流。仅为板级测试，使用不加密的配置比特流支持。

非易失性密钥

具有一次性可编程的 (OTP) 安全密钥编程的安全操作

– 该模式接受加密和不加密的配置比特流。仅为板级测试，使用不加密的配置比特流支持。

带有篡改保护位设置的易失性密钥



Arria II GZ 器件不支持该功能。

带有易失安全密钥编程的在抵制篡改模式时的安全操作

– 只有加密配置比特流可以配置器件。篡改保护禁用带有不加密配置比特流的 JTAG 配置。



使能篡改保护位禁用 Arria II 器件中的测试模式。这个过程是不可逆的，它阻止 Altera 进行故障分析。请与 Altera 技术支持联系以使能篡改保护位。

带有篡改保护位设置的非易失性密钥

带有 OTP 安全密钥编程的在抵制篡改模式时的安全操作

– 只有加密配置比特流可以配置器件。篡改保护禁用带有不加密配置比特流的 JTAG 配置。



使能篡改保护位禁用 Arria II 器件中的测试模式。这个过程是不可逆的，它阻止 Altera 进行故障分析。请与 Altera 技术支持联系，以使能篡改保护位。

无密钥操作

只有不加密的配置比特流才可以配置器件。

表 9-25 列出了不同的安全模式以及在每个模式下所支持的配置比特流。

表 9-25. 安全模式所支持的

模式 (注释 1)	功能	配置文件
易失性密钥	安全	加密的
	板极测试	不加密的
非易失性密钥	安全	加密的
	板极测试	不加密的
带有篡改保护位设置的易失性密钥 (注释 2)	安全 (可抵制篡改的) (注释 3)	加密的
带有篡改保护位设置的非易失性密钥	安全 (可抵制篡改的) (注释 3)	加密的

表 9-25 注释：

- (1) 在无密钥操作中，只有不加密的配置文件才被支持。
- (2) Arria II GZ 器件不支持该功能。
- (3) 篡改保护位设置不阻止器件被重配置。

被支持的配置方案

Arria II 器件仅支持被选的配置方案，这要取决于您加密 Arria II 器件时所选的安全模式。

图 9-30 显示了当加密 Arria II 器件时的每个安全模式的限制。

图 9-30. Arria II 安全模式 — 序列和限制

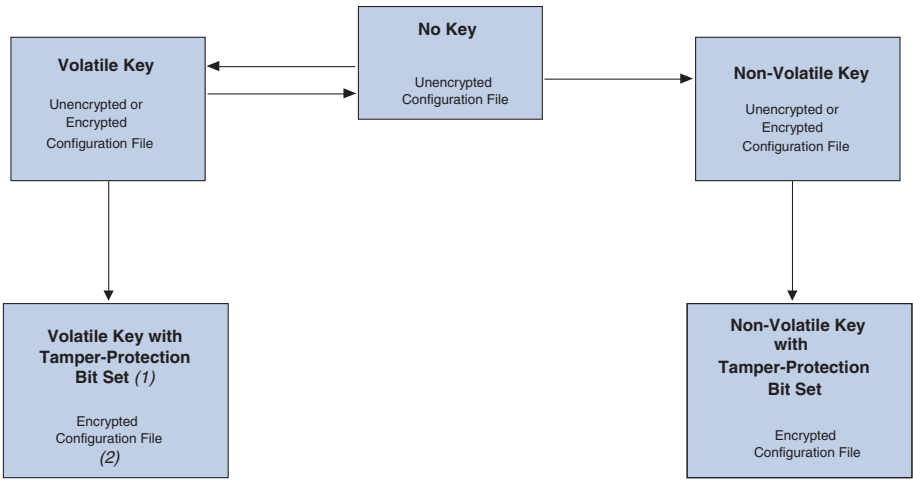


图 9-30 注释：

- (1) Arria II GZ 器件不支持该功能。
- (2) 如果易失性密钥被擦除，Arria II 器件不接受加密配置文件。如果易失性密钥被擦除，必须使用没有篡改保护位设置的易失性密钥去重新编程密钥。

表 9-26 列出了每个安全模式下所允许的配置模式。

表 9-26. 在不同的安全模式下所允许的配置模式 (1)

安全模式	配置文件	所允许的配置模式
无密钥	没有加密的	没有采用设计安全功能的所有配置模式。
带有易失性密钥的保护	加密的	■ PS 和 AES 一起使用（和 / 或者带有解压缩） ■ FPP 和 AES 一起使用（和 / 或者带有解压缩） ■ 远程更新 AS 或快速 AS 和 AES 一起使用（和 / 或者带有解压缩） ■ AS 或者快速 AS（和 / 或者带有解压缩）
带有易失性密钥的板极测试	没有加密的	没有采用设计安全功能的所有配置模式。
带有非易失性密钥的保护	加密的	■ PS 和 AES 一起使用（和 / 或者带有解压缩） ■ FPP 和 AES 一起使用（和 / 或者带有解压缩） ■ 远程更新 AS 或者快速 AS 和 AES 一起使用（和 / 或者带有解压缩） ■ AS 或者快速 AS（和或者带有解压缩）
带有非易失性密钥的板极测试	没有加密的	没有采用设计安全功能的所有配置模式。
在抵制篡改模式下，使用易失或非易失密钥以及篡改保护设置的保护	加密的	■ PS 和 AES 一起使用（和 / 或者带有解压缩） ■ FPP 和 AES 一起使用（和 / 或者带有解压缩） ■ 远程更新 AS 或者快速 AS 和 AES 一起使用（和 / 或者带有解压缩） ■ AS 或者快速 AS（和 / 或者带有解压缩）

表 9-26 注释：

- (1) 当与不加密的配置模式相比较时，对所需的配置时间没有影响，除了在使用 FPP 和 AES 在一起时（和 / 或者带有解压缩），需要数据速率为 x4 的 DCLK。

 除了在 JTAG 中，设计安全功能在所有的配置方法中都可用。因此，可以在 FPP 模式（当使用一个外部控制器，例如一个 MAX II 器件或一个微处理器和闪存时）下或者在 AS、快速 AS 和 PS 配置方案中使用设计安全功能。

表 9-27 列出了支持设计安全功能的配置方案，包括易失性密钥和非易失性密钥编程。

表 9-27. 设计安全配置方案可用性

配置方案	配置方法	设计安全性
FPP	MAX II 器件或微处理器和闪存	✓ (注释 1)
AS	串行配置器件	✓
Fast AS	串行配置器件	✓
PS	MAX II 器件和微处理器和闪存	✓
	下载电缆	✓
JTAG (注释 2)	MAX II 器件或微处理器和闪存	—
	下载电缆	—

表 9-27 注释：

- (1) 在该模式下，主机必须发送一个数据速率为 x4 的 DCLK。
- (2) JTAG 配置仅支持不加密的配置文件。

其它的配置功能也可以和设计安全功能在一起使用，例如压缩和远程系统更新功能。当将压缩功能和设计安全功能在一起使用时，通过使用 Quartus II 软件，配置文件先被压缩，然后被加密。在配置期间，Arria II 器件先解密，然后解压缩配置文件。

文档修订历史

表 9-28 列出了本章的修订历史。

表 9-28. 文档修订历史

日期	版本	修订内容
2011 年 12 月	4.2	■ 更新了表 9-8、表 9-9、表 9-10 和表 9-12。 ■ 更新了图 9-16 和图 9-17。 ■ 更新了“配置”和“使用一个MAX II 器件作为一个外部主机的FPP配置”部分。 ■ 少量的文本编辑。
2011 年 6 月	4.1	■ 更新了表 9-9、表 9-10、表 9-12、表 9-18 和表 9-23。 ■ 更新了“编程串行配置器件”和“配置数据解压缩”部分。 ■ 把参考移到“ByteBlaster MV”和“MasterBlaster”电缆当中，因为他们是不连续的。 ■ 少量的文本编辑。
2010 年 12 月	4.0	■ 针对 Quartus II 软件 10.1 的发布进行的更新。 ■ 添加 Arria II GZ 器件信息。 ■ 少量的文本编辑。
2010 年 7 月	3.0	针对 Arria II GX 10.0 的发布进行的更新： ■ 更新了表 9-9 和表 9-17。 ■ 更新了图表 9-4、图表 9-5、图表 9-13、图表 9-16、图表 9-17、图表 9-21 和图表 9-30。 ■ 更新了“AS 和快速AS配置（串行配置器件）”和“灵活的安全密钥储存”部分。 ■ 添加“通过有效串行接口将串行配置器件连接到 Arria II 器件的指南”部分。 ■ 少量的文本编辑。
2009 年 11 月	2.0	针对 Arria II GX 版本 9.1 的发布进行的更新： ■ 更新了表 9-3、表 9-10、表 9-11 和表 9-13。 ■ 更新了图表 9-2、图表 9-3 和图表 9-6。 ■ 更新了“VCCPD管脚”、“JTAG配置”、“远程系统升级模式”、“远程系统升级状态机”、“用户监视计时器”部分。 ■ 少量文本编辑。
2009 年 6 月	1.1	■ 更新了表 9-2、表 9-3、表 9-9、表 9-10、表 9-19 和表 9-21。 ■ 更新了图表 9-6、图表 9-11 和图表 9-16。 ■ 更新了“I/O Bank 3C和8C的VCCIO管脚”、“使用外部主机的FPP配置”和“编程串行配置器件”部分。 ■ 删除“带有 JTAG 反-篡改保护位设置的易失性和非易失性密钥”部分。
2009 年 2 月	1.0	首次发布。

