eGaN® FET和集成电路的组装

当客户要求功率半导体（晶体管、二极管或集成电路）使用更好的封装时，他们的要求可分为六类[1]:

1. 封装可以小一点吗?
2. 封装电感可以降低吗?
3. 产品的导电损耗可以降低吗?
4. 封装的散热效率可以更高吗?
5. 产品价格会更低吗?
6. 封装可以更可靠吗?

EPC的eGaN® FET和集成电路已经采取了非常不同的方法来封装其功率半导体——我们完全放弃了封装，从而同时改善了上述全部各方面的要求。EPC的创新晶圆级、栅格阵列（LGA）和球栅阵列（BGA）封装实现了更高的功率密度[2]。图1展示出EPC2001C的安装面，焊盘间距为0.4毫米，而EPC2045的球距为0.5毫米。

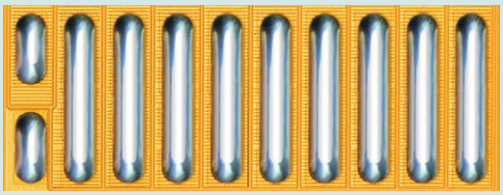

图1（a）：EPC2001C的安装面[2]。

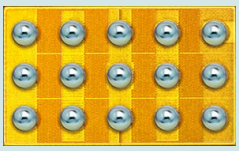

图1（b）：EPC2045的安装面。

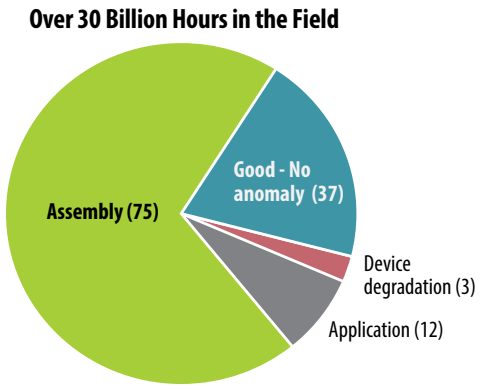

图2：在实际应用超过300亿小时后，eGaN器件仅出现了三个与器件相关的故障。现场故障的最大原因是组装不良。

广泛的测试已经证明，当应用电路设计正确时，eGaN FET和IC是可靠的[3]。事实上，在2010年到2017年间，在总共300亿个小时以上的现场实际使用中，只有127个器件发生故障。其中75个故障是由不良组装技术或不良印刷电路板（PCB）设计所造成的[3]。图2的图表显示了127个故障的情况。

要确保高可靠性，并发挥eGaN器件的最大性能，最重要的是遵循一些简单的PCB设计和组装准则 – 我们在这篇应用笔记中阐述这些准则并给出了如果没有遵循这些准则可能会出错的例子。

注意事项：如果您的设计跟这里所推荐的模版厚度/焊锡不一样，请通过电子邮件（info@epc-co.com）与我们联系。

概述

要实现可靠、高良率的组装，采用LGA或BGA封装的eGaN器件必须：

1. 每个焊点都有正确的PCB阻焊层定义的（SMD）占位面积，以确保在干净的PCB表面正确控制焊锡。
2. 采用正确的焊锡量和回流焊工艺，以提供足够的高度清洗焊盘之间的所有助焊剂，但不能有过多的焊锡，否则接点会在回流焊期间变得不稳定、倾斜或塌陷。
3. 清洗焊盘之间的所有助焊剂，然后在接通电源之前必需完全干透。
4. 如果器件在潮湿环境下进行组装，需使用底部填充物。

图3显示了一个正确安装的器件的侧面视图。

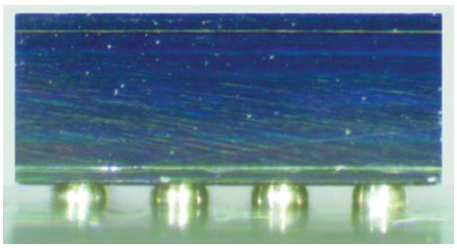

图3：正确安装的eGaN器件（侧面视图）。

eGaN FET和IC的印刷电路板设计考虑因素

电源设计人员可能不像数字电路设计师那样熟悉具有精细间距的器件。本节将涵盖设计人员在设计eGaN器件的占位面积时所需要考虑的许多设计因素。

连接eGaN器件与PCB的焊点质量对于可靠的电、散热和机械连接至关重要。定义焊点质量的因素包括对称性、体积、高度和光洁度。这些因素可能会被一个主要关注布局的设计人员所忽视，因此，器件制造商必须在产品数据表中提供清晰和简单的准则。这些准则包括推荐的占板面积（铜尺寸和阻焊开窗）和焊膏模板设计。

1. 阻焊定义的焊盘

对于eGaN器件，针对LGA和BGA推荐的阻焊层定义的（SMD）占板面积如图4（右侧）所示。图4（左侧）展示了一个通常用于PCB设计的非阻焊层定义的（NSMD）占板面积焊盘。在我们对客户的组装设备中调查器件故障时，我们发现PCB制造商修改了Gerber文件，以适应其内部制造更大封装的设计准则的实例，因此改变了我们推荐的设计。

如果在推出最后完成的电路板之前进行设计审查，就可以在报废或重做组装费用之前，已经可以注意到这个问题。图5显示了SMD焊盘如何通过确保焊接后的对称焊点来减少机械应力。相反，使用NSMD占板面积会导致不对称的焊点，因为铜和阻焊层之间100%完美对准是不可能的。而SMD占位面积在PCB的制造公差内可确保抗扰性。

2. 阻焊层质量

并不是所有的阻焊层都是相同的，重要的是要知道在确定阻焊层时要什么，以获得一个高质量的PCB，其厚度和稳定性是最重要的。如果阻焊层太厚，很难适当地滴涂焊膏，因为压入焊膏需要的距离变大了。

如果阻焊层不均，则可能使焊球阻碍模版被正确地放置在板上。阻焊层缺陷或过多的阻焊层开窗会导致焊球高度降低，在极端情况下会引致开裂和/或芯片倾斜，甚至开路。由此产生的变形焊点将随着机械应力的增加而冷却，这可能加速热量所引起的器件故障。

适用于采用eGaN器件的PCB阻焊层属于IPC-SM-840 class T，例如Taiyu 4000HFX L.P.I、PSR-2000/LF02/CA-25或类似的阻焊层。重要的是，在PCB制造文档中说明，PCB制造商不可以增大或修改阻焊层。

激光直接成像（LDI）应该用于将阻焊层与公差对准，如原图中所规定或相对于铜层的2密耳。最后，不应该裁剪阻焊层。如果裁剪，设计师务必要确保布局软件的设计规则正确，且正确地设计了占板面积。

3. 焊点体积

板与器件之间的焊点高度对机械应力也很重要。确定焊点的高度可影响可靠性、电气和散热性能之间的平衡。如果焊点高度太低，器件将受到由高温引起的机械应力影响，这将导致焊球或焊点之下的金属疲劳。器件就位太高会出现更高的电气和热应力（这是由于来自PCB的热萃取效应降低了）[3]。

每个器件的最佳高度是不同的。对于LGA和BGA器件，额外的选项如各种焊锡类型必须是决定设计的部分考虑因素。图6显示了不同焊锡类型可能得出不同的模版设计。应该注意的是，如果客户希望Type 3和Type 4焊锡使用相同阻焊层，EPC可以为客户提供可使用这两种焊锡类型的阻焊层。这些建议也将显示在数据表中。

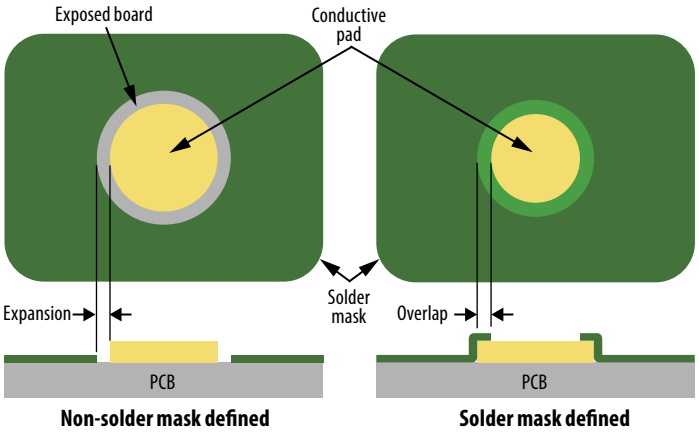

图4：阻焊层定义与非阻焊层定义的焊盘。

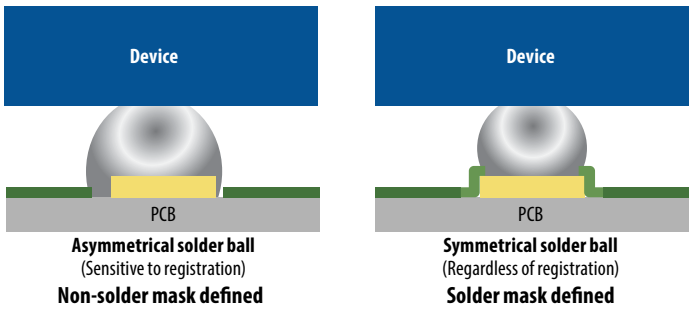

图5：铜对阻焊层对准，对焊球对称性的影响。

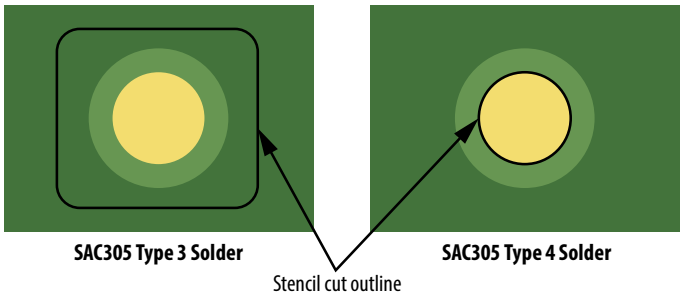

图6：焊锡类型对模版设计的影响。

4. 焊盘光洁度

许多设计人员选择在PCB板使用热风整平焊锡光洁度（HASL），在焊盘上沉积焊锡。这些焊锡沉积物在焊盘上产生少量焊锡，增加了通过模版滴涂的焊锡量。增加的焊锡将增加焊点焊锡量，最后增加焊点体积及其质量。

此外，HASL过程是不精确的，通常会在不同数量的焊盘上产生不均匀的焊锡，我们可以在图7（右侧）看到。这可能导致芯片倾斜或焊点开裂。建议使用化学镍金（ENIG）焊盘光洁度，它可以产生非常均匀、平坦的焊盘，如图7（左侧）所示。

对于ENIG光洁度，推荐符合IPC-4552的150微英寸的典型镍（Ni）厚度和3 - 5微英寸的金（Au）厚度。

5. 丝网

虽然丝网传统上在PCB中的作用不那么重要，但它可能是可靠性函数的一部分，因为它不是没有厚度，因此，可能妨碍回流焊过程中的助焊剂的流动。

如果回流焊过程中助焊剂流动受阻，它可能导致芯片倾斜和助焊剂残留。在组装过程中，丝网也可用于正确对准芯片，而许多设计人员往往会设计一个包含器件的完全密封的丝网图案，如图8（右侧）所示。这可能导致回流焊过程中当助焊剂不能从芯片下面流出时形成阻塞，较厚的丝网问题尤其严重，它会在所有或大部分芯片周围四处延伸。助焊剂阻塞可能导致芯片之下积存未固化的助焊剂，并可导致热和电枝晶形成（参看下面如何解决故障的部分）。

在丝网不同位置开窗可以防止阻塞，如图8（左侧）所示。丝网也可能是焊盘受到污染的源头，应该小心留意以避免这种情况发生。丝网也应该保持尽可能的薄，供应商可以做到远远低于1密耳（可能在0.7密耳范围）。

6. 通孔

由于其体积小和电气性能要求，通孔形成了eGaN器件PCB设计的一部分[4]。通孔尺寸由设计人员决定，他们需要了解一些限制，这取决于 通孔的用处。

基本通孔是PCB层之间的垂直连接，由一个铜环组成。制造限制通孔的尺寸在至少6密耳范围内，而最小铜环的尺寸为5密耳。设计人员可能发现这已经超过了一些eGaN器件焊点间距的尺寸，而可能会作出相同的妥协。靠近芯片的通孔应该包裹好（被阻焊层覆盖），以防止焊锡在回流焊过程中进入孔内，并防止由于芯片附近暴露的铜而导致电压间隙问题。

在某些情况下，可能需要将通孔置于器件焊盘下。如果需要这样，通孔必须进行填充并封盖（capped），以防止在回流焊过程中最佳焊点高度所需的焊锡流入孔内。封盖是为了防止焊点下的填料出气。此通孔应在布局设计软件中包裹好，以便焊盘阻焊层开窗，如果与通孔重叠，确定覆盖或暴露通孔的哪个部分。完成的通孔必须与焊盘其余部分的高度相同。这将确保适当的焊膏滴涂。

有些设计可能需要许多通孔用来分配电流，并增加转移到另一层的总电流。尽管通孔连接到相同的电节点，制造限制要求通孔至少具有10密耳的壁到壁间距，以防止电路板发生问题，并确保统一的板厚度光洁度。器件附近或器件内包裹好的通孔可能导致引起模版就位较高的高点，可能会导致生产过程中焊锡过度沉积。当使用器件附近或器件内的通孔时，要确保PCB制造商知道您对模版就位的关注。

有些设计可能有最小通孔的大小限制，这意味着在器件的焊盘下放置通孔是不可能的，必须放在器件的旁边，例如图9（顶部）显示的设计范例。图9（底部）显示了一个焊盘限制中没有通孔的设计，其照片清楚地表明，FET焊盘已被镀覆，通孔已经看不见了。

7. 层对准

组成PCB的许多层需要对齐（对准）。这可确保电路板操作正常，并规定一个对准公差。同一个类型的层跟不同类型的层，有不同的规定。这些通常已彼此对准的层都是铜对铜、铜对阻焊层、铜对孔和铜对丝网（通常不规定，但对放置芯片会有所帮助）。

大多数层可以用相对于铜层2密耳的对准公差来规定，除了孔，至少要用3密耳。

8. 层堆叠

堆叠定义了构成PCB的每个层的厚度。eGaN FET和IC的PCB通常使用的铜厚度在1和2盎司之间（35和70微米），取决于设计和所需的电流密度。绝缘层通常使用诸如FR4或FR370-HR的材料制成。推荐使用具有较高玻璃转换率（Tg至少180°C）的基板以取得较高的可靠性。

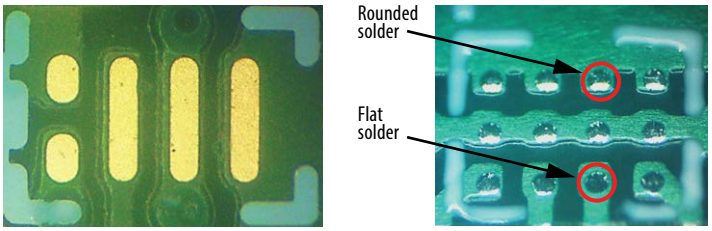

图7：ENIG光洁度与HASL光洁度显示了不均匀的焊锡高度。

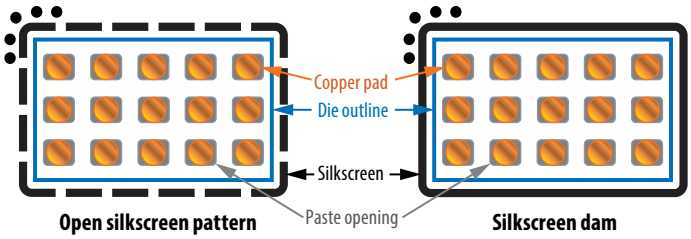

图8：器件的焊盘，左图是open device outline丝网，右图是dammed-closed device outline丝网。

可制造性和电气性能之间的平衡决定绝缘层的厚度。100 V器件的最佳布局在层1（如顶部）和层2之间规定了5密耳芯材厚度。由于对称性的要求，随着预浸层的调整，这也将迫使层3和层4达到5密耳厚，以满足最终电路板的厚度（通常1.5毫米或62密耳）。对于较高电压器件，同时要确保正确的 “爬电” 要求，建议最低芯材厚度为12密耳。预浸层将调整到大约25密耳。图10显示了一个典型的PCB堆叠。

9. 板材平整度

一个较少为人所知的PCB技术规格是电路板的平整度。它仍然是一个重要的规定，因为过度弯曲的板可能妨碍模版正确地在板上就位，从而可能导致无法正确地对焊盘滴涂焊膏。一个最大水平或垂直尺寸为200毫米（8000密耳）的阵列的平整度，应规定为每米40毫米（7.5密耳/英寸）。

10. 基准点

在组件的放置过程中，基准点用于对准元件。由于eGaN器件的精细间距，通常需要将基准点添加到PCB上。有两种类型的基准点，全局和本地。全局基准点用于对齐PCB阵列，而本地基准点用于单板。大多数设计将需要本地基准点以采用eGaN器件。

一个典型板应该至少有三个基准点，至少有两个垂直对齐和两个水平对齐。基准点应靠近板边缘位置，并尽可能互相远离。这种放置方法改善了更远距离的对准。如果各个eGaN器件位于板的一侧，那么基准点应彼此接近。大多数组装人员接受一个直径为40密耳的基准点。

11. 电路板或阵列尺寸限制

基于eGaN器件的PCB和PCB阵列的尺寸必需较细小。因为较大的电路板更难对准具有细小外形尺寸的eGaN器件而较难实现精确组装。电路板和阵列应该每边限制在200毫米。对于阵列，建议将电路板旋转，以尽可能地将所有板的eGaN器件尽可能靠近。这允许使用更大的板，使得对准位置仍然可以尽可能地靠近eGaN器件。

eGaN器件的组装工艺

到目前为止的讨论，都集中在PCB设计及其可制造性。在以下这一部分中，我们将讨论组装工艺。

12. 选择焊膏

EPC公司目前使用Kester NXG1 Type 3 SAC305和Kester NP505-HR SAC305 Type 4焊膏来焊接eGaN器件。两种焊膏都具有88.5%金属的免清洗助焊剂。

为了防止热气和电气枝晶的形成，建议即使使用免清洗助焊剂，也要从板上清洗掉助焊剂。EPC在Technical Devices Company制造的Nu/Clean AquaBatch XL标准系统中使用Kyzen Aquanox® A4625化学品来消除免清洗助焊剂。

如果使用免清洗助焊剂而没有把它冲洗掉，建议在回流后以150°C烘烤至少60分钟。这确保了免清洗助焊剂的固化，有助于防止枝晶形成。

如果使用水冲洗助焊剂，eGaN器件需要在所有四面进行冲洗，以确保完全清除助焊剂。倾斜的器件会阻碍冲洗，并导致助焊剂滞留在芯片下。因此，建议使用低离子含量的免清洗助焊剂，然后清洗它。

13. 模版设计

推荐使用100微米厚度的激光切割不锈钢模版。光滑壁激光切割模版很可能会释放所需的滴涂量。Type 3焊膏比Type 4焊膏需要更大的开窗，我们提供针对两者的建议，可供参考[15]，并针对每个芯片配置。如果必须使用压印模版，可能需要略微放大开窗，以释放合适的焊锡量。

14. 回流焊曲线

图11显示了根据焊膏制造商对焊膏的建议，针对eGaN器件推荐的回流焊曲线。使用焊锡膏时，应该常常遵循供应商推荐的回流焊曲线。

解决关于PCB设计和组装的问题

如果没有遵从正确的PCB设计规则，可能会出现许多问题。不良组装技术都可能加剧这些问题。这一节介绍了我们曾经遇到的问题，并解释原因。

15. 电枝晶

电枝晶的形成被认为是当助焊剂暴露在电压时，发生离子污染而形成导电枝晶[5]。电压越高，形成枝晶的速度越快。电枝晶可能很快导致故障，因为在它形成的过程中，除了发生短路，它们还能产生大量的热量。图12显示了在一个eGaN FET的焊锡条周围，枝晶形成的例子。

16. 热枝晶

热枝晶是一个相对较新的发现，不要与电枝晶混淆，尽管它们看起来可能类似。它们是在熔炉冷却过程中，由助焊剂裂缝引起的。没有冷却的焊锡可能扩散进入助焊剂裂缝。这些焊锡丝可以显著降低焊点之间的电气距离，并可能在操作过程中出现故障。即使使用免清洗助焊剂，在组装后，助焊剂裂缝仍然可以存在。图13显示了在没有芯片的PCB上的一条助焊剂裂纹。

热枝晶与金属熔化中看到的传统热枝晶略有不同，后者的成核源（nucleation source）导致在超冷液体的粒子中生长出“手臂”[6,7,8]，从而形成枝晶。通过清洗免清洗助焊剂，可以避免或消除这种枝晶的形成。

图14也显示了热枝晶的例子。

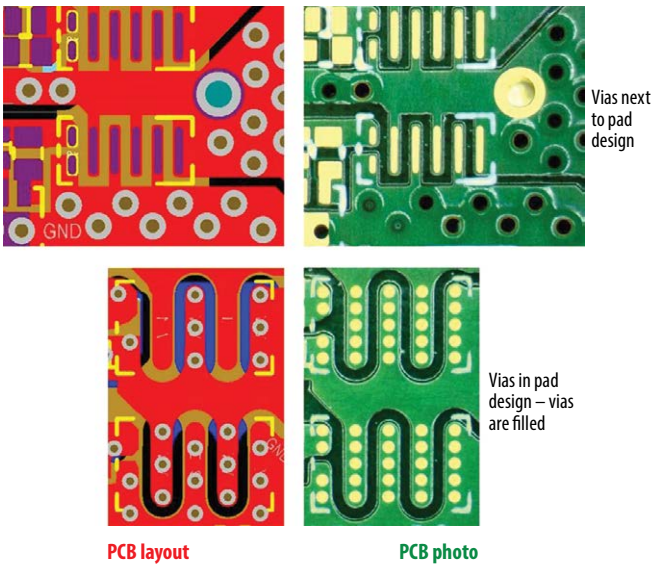

图9：与FET相邻通孔（顶部）和通孔在FET焊盘内（底部）的布局设计。

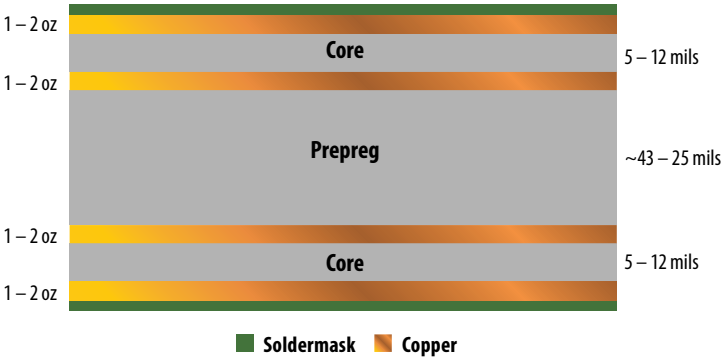

图10：适合eGaN器件的典型PCB堆叠。

17. 不良焊锡附着力

受污染的焊盘会导致不良焊锡附着力、空洞和大部分区域的焊锡未溶化。大多数污染来自不良PCB制造过程，其阻焊层残留物留在焊盘上，例如来自受污染的清洗液体。阻焊层焊剂流至焊盘和丝印残渣也是焊盘污染的常见来源。

图15显示了干净的焊盘光洁度（左侧）与极度污染的焊盘光洁度（右侧）的例子。不良焊锡附着力可能导致开路，而在高电流器件中，因为电流被迫进入未知方向，将导致电流密度过高，最终会引起器件故障。图16显示了焊料熔化问题的一个例子。

18. 焊点开裂

焊点裂纹主要是由热引致的机械应力所形成的。如果在组装过程中焊锡在应力条件下固化，就可能导致加速故障，因为固化应力加至由热膨胀和收缩引起的应力。

一个众所周知的热循环期间焊点应力的行业分析模型[9]是:

$$\varepsilon = \frac{(\Delta\alpha \cdot \Delta T \cdot DNP)}{h} \quad (1)$$

其中:

ε = 焊点应力

Δα = 芯片和PCB之间的热膨胀系数的差异 [°C^{-1}]

ΔT = 循环温度摆动 [°C]

DNP = 中性点距离 (基于芯片尺寸和焊点/焊条位置的应力质心) [m]

h = 焊点间隙 (standoff) 高度 [m]

方程式1推荐了一个非常高的焊点高度，将热诱导应力减少至接近零，但这并不总是切实可行的。热诱导应力与可靠性之间的平衡通常由器件制造商来决定，并在产品数据表中给出。在eGaN器件的情况下，阻焊层定义的焊盘进一步减少了回流焊过程中引起的应力。

图17显示焊点开裂的一个例子。

19. 焊锡空洞

焊锡空洞是焊锡内的空间，如图18所显示。焊锡空洞可能有各种各样的起因，包括对焊盘的不良焊锡附着力、回流焊期间来自污染焊盘的出气、不足的器件间隙高度[10]和不正确焊锡曲线。

空洞可减少器件和PCB焊盘的接触面积，并导致焊点内不均匀的机械和热诱导应力。久而久之，这些空洞可能增加，并导致器件发生故障。

20. 芯片倾斜

芯片倾斜可能由多种原因引起，如不良焊锡附着力、焊膏滴涂不均匀、回流焊期间过度振动、非优化温度曲线，以及过大的阻焊层或过大的焊锡模版孔径。芯片倾斜影响器件可靠性，因为它会导致芯片不均匀的热机械应力。它也可能是焊点短路或开路的一个迹象。图19显示了一个倾斜的eGaN器件的示例。

21. 底部填充物

底部填充物适用于暴露于潮湿环境的电路板的应用。潮湿环境和其他污染物可能使枝晶生长。对于可在150°C工作的EPC器件，底部填充物包括Hysol FP4531和AI Technology MC7685-UFS。

22. 设计示例

图20是一个采用LGA格式的EPC2001C的剖面图(它也适用于BGA占位面积)，用NC257-2 SAC305 [13] 无铅、免清洗焊膏安装在两盎司铜顶层的金属层PCB上。横截面积将代表焊锡量。根据数据表，焊点半径为100微米，给出的横截面积为15.7平方纳米。使用NC257-2 SAC305无铅、免清洗3型焊膏，其金属负载为88.5%，模版厚度100微米，阻焊层宽度约180微米。

23. 检查

eGaN器件具有机械坚固特性，在批量组装中，良率很高。不过，如果不采取几项标准预防措施，保证充分的焊锡回流，减少芯片过度倾斜和避免残留的未固化助焊剂，器件仍然可能损坏。

尽管eGaN器件的设计使回流的焊锡肉眼可见，但确定器件是否正确回流的最佳方法是生成X射线图像。图21和22显示了用焊锡模版工艺组装的EPC2019的X射线图像。图21显示了有空洞和不均匀形状接点的图像，表示潜在的焊锡量或回流焊问题。在图22中可以看到，最小空洞和一致性接点代表高可靠性和优良的热和电特性。

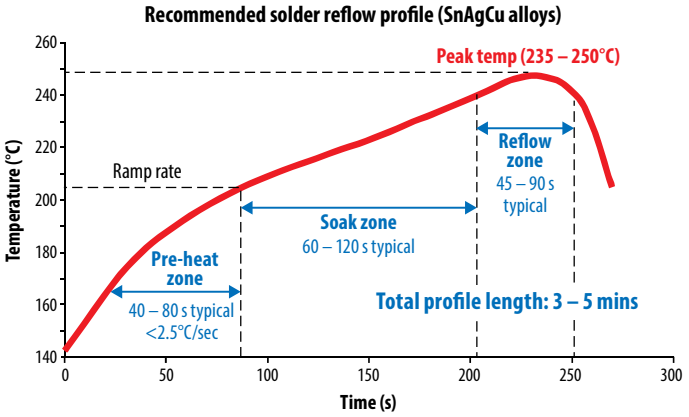

图11:推荐的焊锡回流焊曲线。

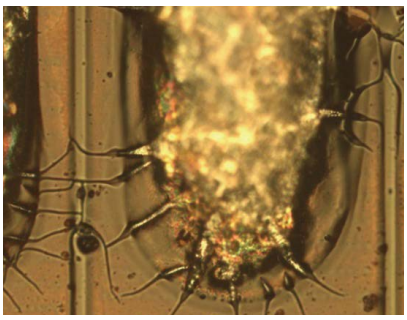

图12: eGaN FET的焊锡条周围，在暴露于残留助焊剂后所形成的电枝晶。

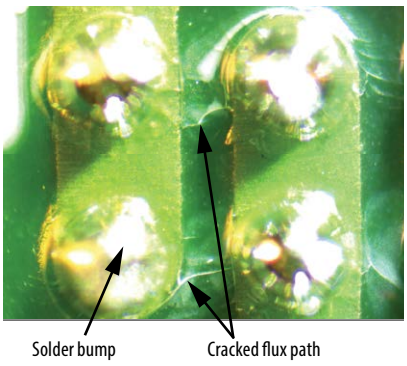

图13:没有芯片时，在开裂的残留助焊剂中，热枝晶形成的例子。

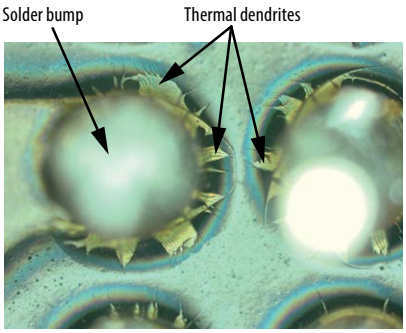

图14:eGaN IC显示了在开裂的残留助焊剂中所形成的热枝晶。

24. 清洗

如果组装时所用的焊锡使用了需要清洗的助焊剂，芯片倾斜可能会阻碍冲洗并导致助焊剂残留在芯片下面。这种残留助焊剂会导致枝晶（见图12）快速形成，并进一步将导致早期器件故障。因此，建议使用低离子含量的免清洗助焊剂，然后冲洗免清洗助焊剂。有些EPC器件需要用特定的方式清洗，从而把芯片下方清洗干净。请注意，必需适当地把器件清洗干净，以去除助焊剂。图23中显示了EPC2001C芯片，它需要至少从三面清洗干净，才可以去除所有助焊剂。

关于LGA 和 BGA封装

器件是无铅和无卤素。符合RoHS的LGA和BGA封装采用锡/银/铜焊锡，其构成为95.5%锡、4%银、0.5%铜；或锡/银焊锡，其构成为97.5%锡、2.5%银。所有无铅产品的潮湿敏感度为1级（MSL1 260°C），即最高商用半导体级别。

于工程实验室组装器件的速查指南

工程师可以直接安装EPC的eGaN器件在PCB板上，无需采用粘合助焊剂以添加焊锡，以在回流焊锡的同时，固定器件的位置。一个可接受无铅（PbF）工艺示例使用了Kester TSF6502免清洗助焊剂。关于芯片的贴装与移除的速查指南及相关的视频，都可以在EPC的网站中找到，网址是http://epc-co.com/epc/DesignSupportbr/Applications/AssemblyBasics.aspx。

总结

基板栅格阵列（LGA）和球栅阵列（BGA）封装为工程师提供低电感、小尺寸和优越的散热性能，从而充分发挥eGaN技术的性能。通过合适的制造技术，组装eGaN器件将可实现具有高良率、长寿及高可靠性的器件。

采用LGA和BGA封装的器件的占板面积必须是阻焊层定义的。阻焊层设计应采用数据表上所推荐的焊盘。

正确的焊锡量和回流曲线将有助于确保所安装的芯片都是水平的，并有足够的间隙，以进行适当的冲洗。必需从四面八方进行清洗和确保器件完全干透，从而去除所有残留物，否则将形成枝晶。

调整回流焊温度曲线，以确保完全回流并避免芯片倾斜。



图19：焊接后出现严重芯片倾斜的eGaN器件的侧面视图。

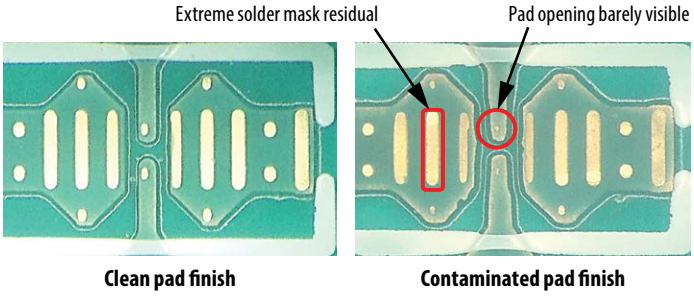

图15：污染焊盘与干净焊盘的例子。

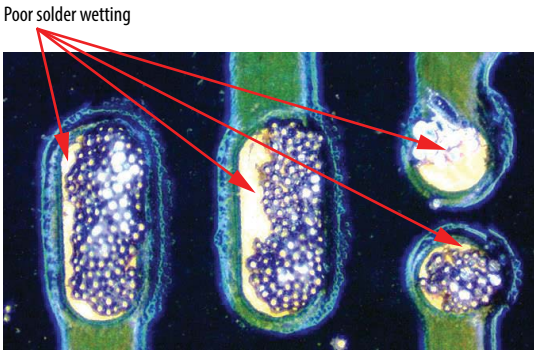

图16：不良焊锡熔化的例子。

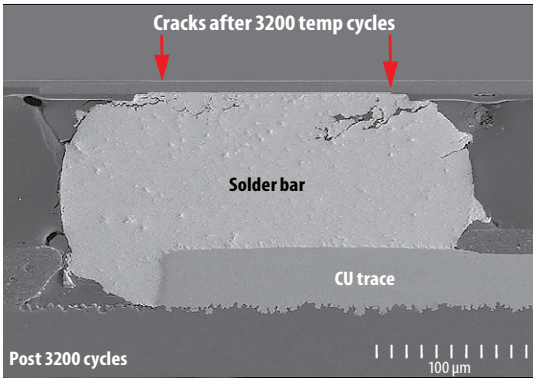

图17：eGaN IC焊点X射线的横截面，显示了焊点开裂。

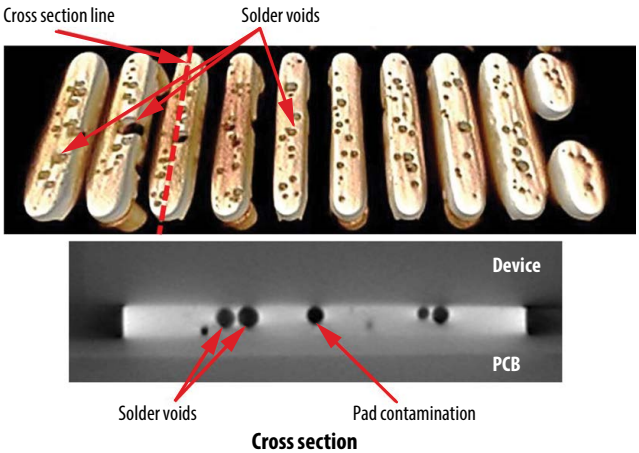

图18：eGaN FET的3D X射线显示了过多的焊点空洞（顶部），焊盘对焊锡界面的污染物导致空洞形成（底部）。

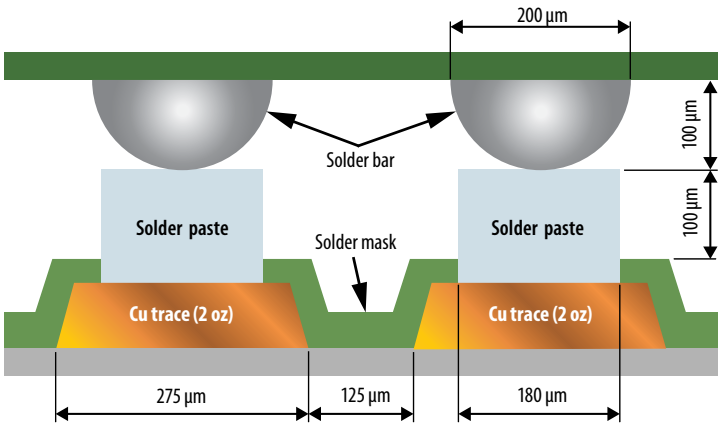

图20：采用EPC2001C（回流焊之前）的PCB横截面。

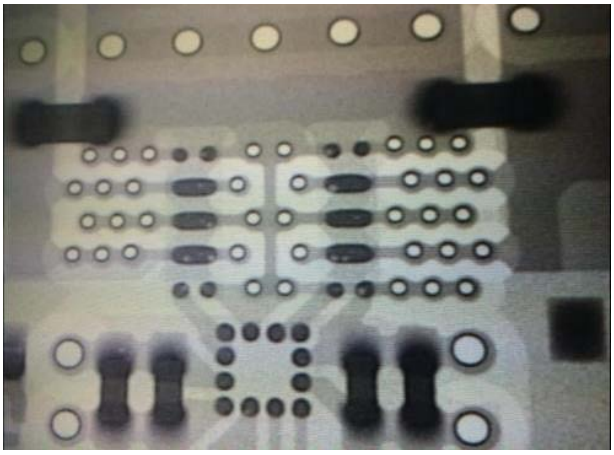

图21：显示EPC2019和LM5113驱动器的X射线板。这图像显示了EPC器件和驱动器，焊锡条中的空洞和不均匀外观的接点。这显示可能是焊膏量或回流焊问题。

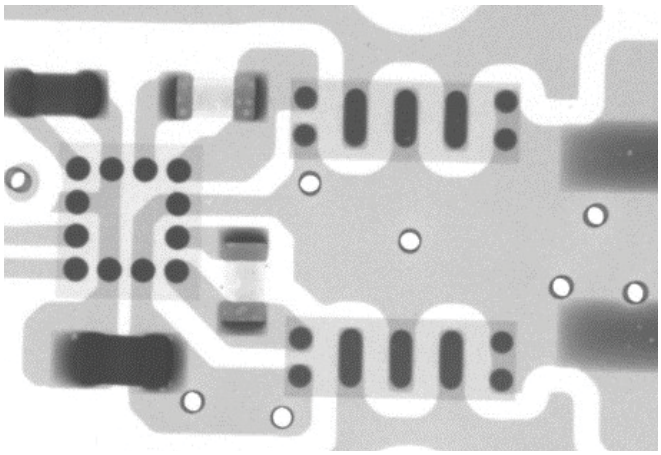

图22：使用了回流焊的EPC2019和LM5113驱动器的X射线。在EPC器件或驱动器中没有明显空洞。接点是实心的暗色，接点形状大小非常一致，看起来很平坦。

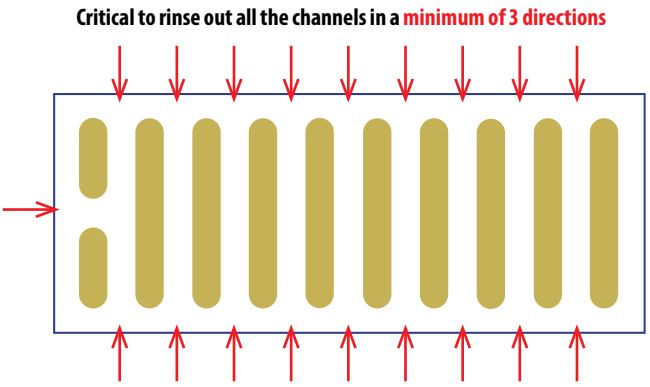

图23：EPC2001C芯片和最少从三方面清洗助焊剂的例子。

参考资料

1. A. Lidow, "Six Reasons to Rethink Power Semiconductor Packaging," https://www.linkedin.com/pulse/six-reasons-rethink-power-semiconductor-packaging-alex-lidow
2. A. Lidow, J. Strydom, M. de Rooij, D. Reusch, *GaN Transistors for Efficient Power Conversion. Second Edition*, Wiley, ISBN 978-1-118-84476-2.
3. C. Jakubiec, R. Strittmatter, C. Zhou, "EPC eGaN® FETs Reliability Testing: Phase 8," 2016, [Online] Available: https://epc-co.com/epc/DesignSupport/eGaNFETReliability/ReliabilityReportPhase8.aspx
4. D. Reusch, J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High Frequency Gallium Nitride Based Point of Load Converter," Applied Power Electronics Conference, APEC 2013, pp. 649–655, 16-21 March 2013.
5. R. Ambat, M. S. Jellesen, D. Minzari, U. Rathinavelu, M. A. K. Johnsen, P. Westermann, P. Møller, "Solder Flux Residues and Electrochemical Migration Failures of Electronic Devices," Proceedings of the Eurocorr 2009, Paper No. 8141, 6-10 September 2009.
6. "Development of Thermal Dendrites," 366-2012-Lecture7, Course: MATE 366, School: Drexel University.
7. V. Pines, A. Chait, M Zlatkowski, "Thermal diffusion dominated dendritic growth – an analysis of the wall proximity effect," Journal of Crystal Growth 167 (1996) 383–386
8. R.F. Sekerka, S.R. Coriell, G.B. McFadden, "The effect of container size on dendritic growth in microgravity," Journal of Crystal Growth 171 (1997) 303–306
9. Denis Barbini, Ph.D. & Michael Meilunas, "Reliability of Lead-Free LGAs and BGAs: Effects of Solder Joint Size, Cyclic Strain and Microstructure," IPC APEX EXPO Conference Proceedings.
10. Muffadal Mukadam, Michael Meilunas, Peter Borgesen, Ph.D., K. Srihari, Ph.D., "Assembly and Reliability Issues Associated With Leadless Chip Scale Packages," October 2, 2006.
11. http://www.mv-group.biz/images/loctite.pdf?nconline=208d580d695356b06651cd3ccceaabfc
12. http://www.shinetsu.co.jp/encap-mat/e/product/k_s/smc/index.html
13. NC257-2 SAC305 Datasheet - http://www.aimsolder.com/sites/default/files/nc257_sac305_solder_paste_tds.pdf
14. M. de Rooij, A. Nakata, "Designing Manufacturable and Reliable Printed Circuit Boards Employing Chip Scale eGaN® FETs," International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), May 2017, pp 1399–1406.
15. A. Lidow, J. Strydom, M. de Rooij, Y. Ma, *GaN Transistors for Efficient Power Conversion. First Edition*, Chapter 10, Power Conversion Publications, ISBN 978-0-615-56925-3.

信息如有更改，
恕不另行通知。
2018年9月修订版