

AD5428/AD5440/AD5447

特性

乘法带宽: 10 MHz
 积分非线性(INL): ± 0.25 LSB(8位)
 20引脚和24引脚TSSOP封装
 2.5 V至5.5 V电源供电
 ± 10 V基准电压输入
 更新速率: 21.3 MSPS
 扩展温度范围: -40°C 至 $+125^{\circ}\text{C}$
 四象限乘法
 上电复位
 功耗: 0.5 μA (典型值)
 保证单调性
 回读功能
 AD7528升级产品(AD5428)
 AD7547升级产品(AD5447)

应用

便携式电池供电应用
 波形发生器
 模拟处理
 仪器仪表应用
 可编程放大器和衰减器
 数字控制校准
 可编程滤波器和振荡器
 复合视频
 超声
 增益、失调和电压调整

概述

AD5428/AD5440/AD5447¹分别是CMOS、8/10/12位、双通道、电流输出数模转换器(DAC)。这些器件均采用2.5 V至5.5 V电源供电, 因此适合电池供电应用及许多其它应用。

上述器件采用CMOS亚微米工艺制造, 能够提供出色的四象限乘法特性, 大信号乘法带宽最高可达10 MHz。

利用DAC的数据回读功能, 用户可以通过DB引脚读取DAC寄存器的内容。上电时, 内部寄存器和锁存以0填充, DAC输出处于零电平。

满量程输出电流由所施加的外部基准输入电压(V_{REF})决定。与外部电流至电压精密放大器配合使用时, 集成的反馈电阻(R_{FB})可提供温度跟踪和满量程电压输出。

AD5428采用20引脚小型TSSOP封装, AD5440/AD5447 DAC则采用24引脚小型TSSOP封装。

¹ 美国专利第5,689,257号

功能框图

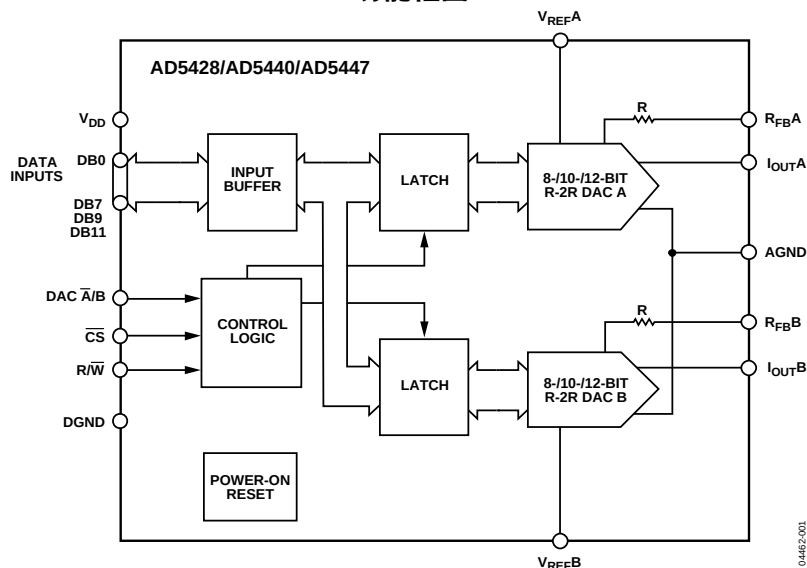


图 1. AD5428/AD5440/AD5447

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113 ©2004–2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

技术规格	3	分压器或可编程增益元件	20
时序特性	5	基准电压源选择	20
绝对最大额定值	6	放大器选择	20
ESD警告	6	并行接口	22
引脚配置和功能描述	7	微处理器接口	22
典型性能参数	10	PCB布局和电源去耦	23
术语	15	AD5447评估板	23
概述	16	评估板电源	23
DAC部分	16	物料清单	27
电路工作原理	16	AD54xx器件概览	28
单电源应用	19	外形尺寸	29
加法增益	19	订购指南	29

修订历史

2011年8月—修订版B至修订版C

更改CS引脚描述(表6)	9
--------------------	---

2011年3月—修订版A至修订版B

更改“AD5447评估板”部分	23
更改图47的标题	24
更改图49	25
更改表12中的U1描述	27
更改订购指南	29

2005年7月—修订版0至修订版A

引脚DAC A/B更改为DAC A/B	通篇
更改特性列表	1
更改技术规格	3
更改时序特性	5
更改图2	5
更改绝对最大额定值部分	6
更改图13、图14和图18	11
更改图32至和图34	14

更改概述部分	16
更改图37	16
更改单电源应用部分	19
更改图40至和图42	19
更改“分压器或可编程增益元件”部分	20
更改图43	20
更改表9至表11	21
更改微处理器接口部分	22
增加图44至图46	22
增加“8xC51与AD5428/AD5440/AD5447接口” 部分	22
增加“ADSP-BF5xx与AD5428/AD5440/AD5447接口” 部分	22
更改“评估板电源”部分	23
更改表13	28
更新外形尺寸	29
更改订购指南	29

2004年7月—修订版0：初始版

技术规格¹

$V_{DD} = 2.5\text{ V}$ 至 5.5 V , $V_{REF} = 10\text{ V}$, $I_{OUT2} = 0\text{ V}$; Y级温度范围: -40°C 至 $+125^{\circ}\text{C}$ 。所有规格均相对于 T_{MIN} 至 T_{MAX} 而言, 除非另有说明。直流性能利用OP177测量, 交流性能利用AD8038测量, 除非另有说明。

表1.

参数	最小值	典型值	最大值	单位	条件
静态性能					
AD5428					
分辨率			8	位	保证单调性
相对精度			± 0.25	LSB	
差分非线性			± 1	LSB	
AD5440					
分辨率			10	位	保证单调性
相对精度			± 0.5	LSB	
差分非线性			± 1	LSB	
AD5447					
分辨率			12	位	保证单调性
相对精度			± 1	LSB	
差分非线性			$-1/+2$	LSB	
增益误差			± 25	mV	数据 = 0x0000, $T_A = 25^{\circ}\text{C}$
增益误差温度系数		± 5		ppm FSR/ $^{\circ}\text{C}$	
输出漏电流			± 5	nA	
			± 15	nA	数据 = 0x0000
基准输入					
基准输入范围		± 10		V	输入电阻TC = $-50\text{ ppm}/^{\circ}\text{C}$ 典型值 = 25°C , 最大值 = 125°C
V_{REFA} 、 V_{REFB} 输入电阻	8	10	13	k Ω	
V_{REFA} 至 V_{REFB} 输入电阻不匹配		1.6	2.5	%	
输入电容					
代码0		3.5		pF	
代码4095		3.5		pF	
数字输入/输出					
输入高电压 V_{IH}	1.7			V	$V_{DD} = 3.6\text{ V}$ 至 5.5 V
	1.7			V	$V_{DD} = 2.5\text{ V}$ 至 3.6 V
输入低电压 V_{IL}			0.8	V	$V_{DD} = 2.7\text{ V}$ 至 5.5 V
			0.7	V	$V_{DD} = 2.5\text{ V}$ 至 2.7 V
输出高电压 V_{OH}	$V_{DD} - 1$			V	$V_{DD} = 4.5\text{ V}$ 至 5.5 V , $I_{SOURCE} = 200\text{ }\mu\text{A}$
	$V_{DD} - 0.5$			V	$V_{DD} = 2.5\text{ V}$ 至 3.6 V , $I_{SOURCE} = 200\text{ }\mu\text{A}$
输出低电压 V_{OL}			0.4	V	$V_{DD} = 4.5\text{ V}$ 至 5.5 V , $I_{SINK} = 200\text{ }\mu\text{A}$
			0.4	V	$V_{DD} = 2.5\text{ V}$ 至 3.6 V , $I_{SINK} = 200\text{ }\mu\text{A}$
输入漏电流 I_{IL}			1	μA	
输入电容		4	10	pF	
动态性能					
基准乘法带宽		10		MHz	$V_{REF} = \pm 3.5\text{ V p-p}$, DAC加载全1
输出电压建立时间					$R_{LOAD} = 100\text{ }\Omega$, $C_{LOAD} = 15\text{ pF}$, $V_{REF} = 10\text{ V}$ DAC锁存交替加载0和1
FS测量精度为 $\pm 1\text{ mV}$		80	120	ns	接口延迟时间 上升和下降时间, $V_{REF} = 10\text{ V}$, $R_{LOAD} = 100\text{ }\Omega$ 主进位跃迁1 LSB变化, $V_{REF} = 0\text{ V}$
FS测量精度为 $\pm 4\text{ mV}$		35	70	ns	
FS测量精度为 $\pm 16\text{ mV}$		30	60	ns	
数字延迟		20	40	ns	
10%至90%建立时间		15	30	ns	
数模转换毛刺脉冲		3		nV-sec	

AD5428/AD5440/AD5447

参数	最小值	典型值	最大值	单位	条件
乘法馈通误差			70	dB	DAC锁存加载全0, $V_{REF} = \pm 3.5\text{ V}$ 1 MHz
			48	dB	10 MHz
输出电容	12	17		pF	DAC锁存加载全0
	25	30		pF	DAC锁存加载全1
数字馈通	1			nV-sec	馈通至DAC输出($\overline{CS}$ 高电平, 交替加载全0和全1)
输出噪声频谱密度	25			nV/ $\sqrt{\text{Hz}}$	在1 kHz条件下
模拟THD	81			dB	$V_{REF} = 3.5\text{ V p-p}$, 加载全1, $f = 100\text{ kHz}$
数字THD					时钟 = 10 MHz, $V_{REF} = 3.5\text{ V}$
100 kHz f_{OUT}	61			dB	
50 kHz f_{OUT}	66			dB	
SFDR性能(宽带)					AD5447, 65k码, $V_{REF} = 3.5\text{ V}$
时钟 = 10 MHz					
500 kHz f_{OUT}	55			dB	
100 kHz f_{OUT}	63			dB	
50 kHz f_{OUT}	65			dB	
时钟 = 25 MHz					
500 kHz f_{OUT}	50			dB	
100 kHz f_{OUT}	60			dB	
50 kHz f_{OUT}	62			dB	
SFDR性能(窄带)					AD5447, 65k码, $V_{REF} = 3.5\text{ V}$
时钟 = 10 MHz					
500 kHz f_{OUT}	73			dB	
100 kHz f_{OUT}	80			dB	
50k Hz f_{OUT}	87			dB	
时钟 = 25 MHz					
500 kHz f_{OUT}	70			dB	
100 kHz f_{OUT}	75			dB	
50 kHz f_{OUT}	80			dB	
交调失真(IMD)					AD5447, 65k码, $V_{REF} = 3.5\text{ V}$
$f_1 = 40\text{ kHz}$, $f_2 = 50\text{ kHz}$	72			dB	时钟 = 10 MHz
$f_1 = 40\text{ kHz}$, $f_2 = 50\text{ kHz}$	65			dB	时钟 = 25 MHz
电源要求					
电源电压范围	2.5		5.5	V	
I_{DD}		0.7		μA	$T_A = 25^\circ\text{C}$, 逻辑输入 = 0 V或 V_{DD}
		0.5	10	μA	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, 逻辑输入 = 0 V或 V_{DD}
电源灵敏度			0.001	%/%	$\Delta V_{DD} = \pm 5\%$

¹ 通过设计保证, 但未经生产测试。

时序特性

所有输入信号均指定 $t_r = t_f = 1\text{ ns}$ (10%至90%的 V_{DD})，并从 $(V_{IL} + V_{IH})/2$ 电平开始。 $V_{DD} = 2.5\text{ V}$ 至 5.5 V ， $V_{REF} = 10\text{ V}$ ， $I_{OUT2} = 0\text{ V}$ ；Y级温度范围： -40°C 至 $+125^{\circ}\text{C}$ 。所有规格均相对于 T_{MIN} 至 T_{MAX} 而言，除非另有说明。

表2.

参数 ¹	在 T_{MIN} 、 T_{MAX} 的限值	单位	条件/注释
写入模式			
t_1	0	ns(最小值)	$\overline{R/\overline{W}}$ 至 $\overline{CS}$ 建立时间
t_2	0	ns(最小值)	$\overline{R/\overline{W}}$ 至 $\overline{CS}$ 保持时间
t_3	10	ns(最小值)	$\overline{CS}$ 低电平时间
t_4	10	ns(最小值)	地址建立时间
t_5	0	ns(最小值)	地址保持时间
t_6	6	ns(最小值)	数据建立时间
t_7	0	ns(最小值)	数据保持时间
t_8	5	ns(最小值)	$\overline{R/\overline{W}}$ 高电平至 $\overline{CS}$ 低电平
t_9	7	ns(最小值)	$\overline{CS}$ 最小高电平时间
数据回读模式			
t_{10}	0	ns(典型值)	地址建立时间
t_{11}	0	ns(典型值)	地址保持时间
t_{12}	5	ns(典型值)	数据访问时间
	25	ns(最大值)	
t_{13}	5	ns(典型值)	总线释放时间
	10	ns(最大值)	
更新速率	21.3	MSPS	包括 $\overline{CS}$ 最小高电平时间、 $\overline{CS}$ 低电平时间和输出电压建立时间

¹ 通过设计和特性保证，但未经生产测试。

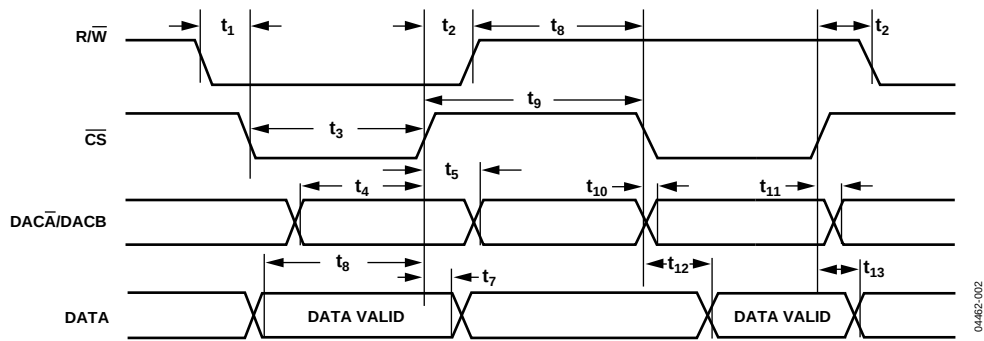


图2. 时序图

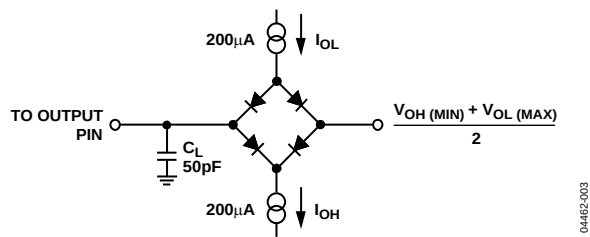


图3. 数据输出时序规格的负载电路

绝对最大额定值

100 mA以下的瞬态电流不会造成SCR闩锁。
除非另有说明，T_A = 25°C。

表3.

参数	额定值
V _{DD} 至GND	−0.3 V至+7 V
V _{REF} A, V _{REF} B, R _{FB} A, R _{FB} B至DGND	−12 V至+12 V
I _{OUT} 1, I _{OUT} 2至DGND	−0.3 V至+7 V
逻辑输入和输出 ¹	−0.3 V至V _{DD} + 0.3 V
工作温度范围	
汽车应用(Y级)	−40°C至+125°C
存储温度范围	−65°C至+150°C
结温	150°C
20引脚 TSSOP θ _{JA} 热阻	143°C/W
24引脚 TSSOP θ _{JA} 热阻	128°C/W
引脚温度, 焊接(10秒)	300°C
IR回流焊峰值温度(低于20秒)	235°C

¹ DBx、CS和R/W上的过压由内部二极管箝位。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。任何时候只能使用一个绝对最大额定值。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

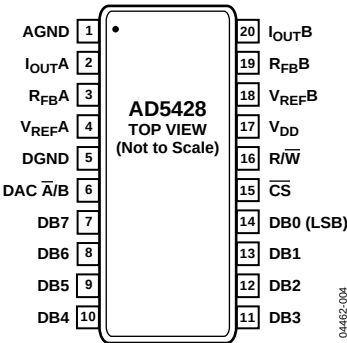


图4. 引脚配置(20引脚TSSOP，RU-20)

表4. AD5428引脚功能描述

引脚编号	引脚名称	描述
1	AGND	DAC接地引脚。此引脚通常应连接到系统的模拟地，但可以偏置以实现单电源供电。
2, 20	IOUTA, IOUTB	DAC电流输出。
3, 19	RFB A, RFB B	DAC反馈电阻引脚。这些引脚通过连接到外部放大器输出，建立DAC的电压输出。
4, 18	VREF A, VREF B	DAC基准电压输入引脚。
5	DGND	数字地引脚。
6	DAC A/B	选择DAC A或DAC B。低电平选择DAC A，高电平选择DAC B。
7至14	DB7至DB0	并行数据位7至0。
15	CS	片选输入引脚。低电平有效。与R/W一起使用，将并行数据加载到输入锁存器或从DAC寄存器读取数据。
16	R/W	读/写。低电平时，与CS一起使用来加载并行数据。高电平时，与CS一起使用来回读DAC寄存器的内容。
17	VDD	正电源输入。该器件可采用2.5 V至5.5 V电源供电。

AD5428/AD5440/AD5447

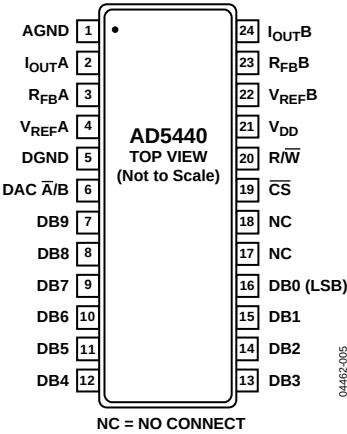


图5. 引脚配置(24引脚TSSOP, RU-24)

表5. AD5440引脚功能描述

引脚编号	引脚名称	功能
1	AGND	DAC接地引脚。此引脚通常应连接到系统的模拟地，但可以偏置以实现单电源供电。
2, 24	IOUTA, IOUTB	DAC电流输出。
3, 23	RFB A, RFB B	DAC反馈电阻引脚。通过连接到外部放大器输出，建立DAC的电压输出。
4, 22	VREF A, VREF B	DAC基准电压输入引脚。
5	DGND	数字地引脚。
6	DAC A/B	选择DAC A或DAC B。低电平选择DAC A，高电平选择DAC B。
7至16	DB9至DB0	并行数据位9至0。
19	CS	片选输入引脚。低电平有效。与R/W一起使用，将并行数据加载到输入锁存器或从DAC寄存器读取数据。
20	R/W	读/写。低电平时，与CS一起使用来加载并行数据。高电平时，与CS一起使用来回读DAC寄存器的内容。
21	VDD	正电源输入。该器件可采用2.5 V至5.5 V电源供电。

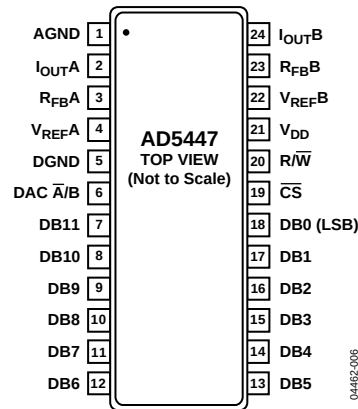


图6. 引脚配置(24引脚TSSOP, RU-24)

表6. AD5447引脚功能描述

引脚编号	引脚名称	描述
1	AGND	DAC接地引脚。此引脚通常应连接到系统的模拟地，但可以偏置以实现单电源供电。
2, 24	IOUTA, IOUTB	DAC电流输出。
3, 23	RFB A, RFB B	DAC反馈电阻引脚。通过连接到外部放大器输出，建立DAC的电压输出。
4, 22	VREF A, VREF B	DAC基准电压输入引脚。
5	DGND	数字地引脚。
6	DAC A/B	选择DAC A或DAC B。低电平选择DAC A，高电平选择DAC B。
7至18	DB11至DB0	并行数据位11至0。
19	$\overline{CS}$	片选输入引脚。低电平有效。与 $\overline{R/W}$ 一起使用，将并行数据加载到输入锁存器或从DAC寄存器读取数据。
20	$\overline{R/W}$	读/写。低电平时，与 $\overline{CS}$ 一起使用来加载并行数据。高电平时，与 $\overline{CS}$ 一起使用来回读DAC寄存器的内容。 $\overline{CS}$ 和 $\overline{R/W}$ 保持低电平时，锁存器透明。数据线的任何变化都会反映在相关DAC输出中。
21	VDD	正电源输入。该器件可采用2.5 V至5.5 V电源供电。

典型工作特性

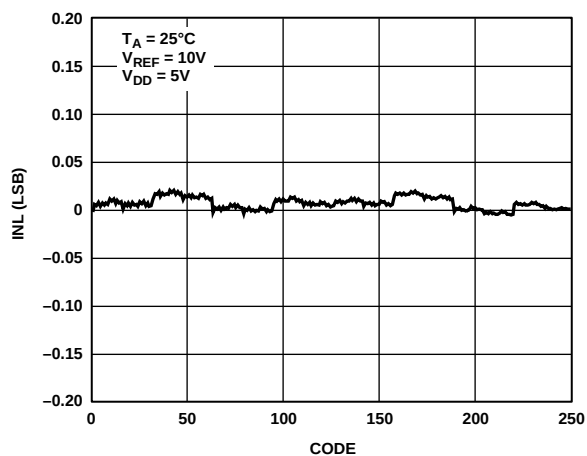


图7. INL与代码的关系(8位DAC)

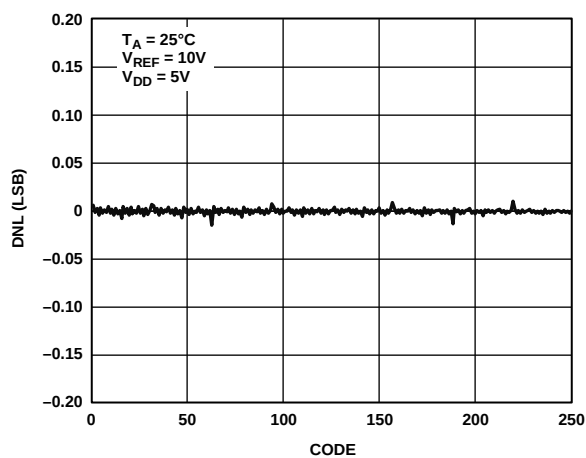


图10. DNL与代码的关系(8位DAC)

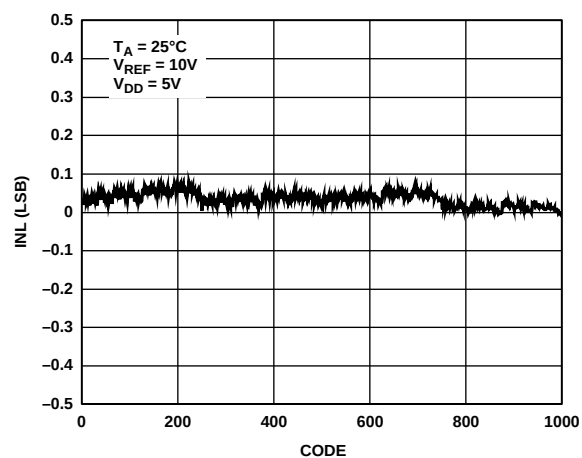


图8. INL与代码的关系(10位DAC)

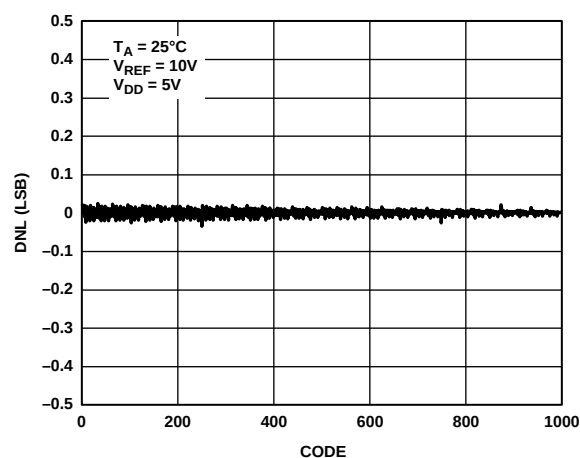


图11. DNL与代码的关系(10位DAC)

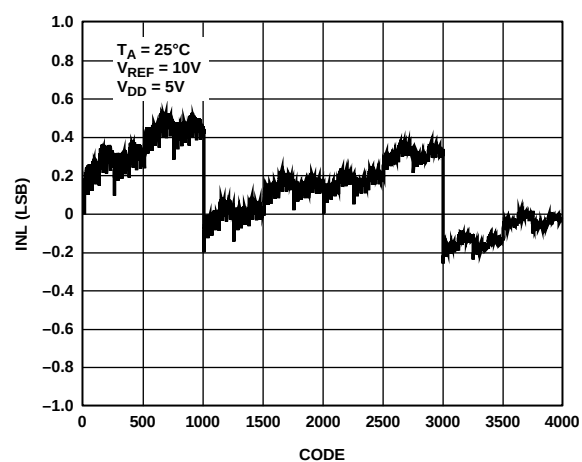


图9. INL与代码的关系(12位DAC)

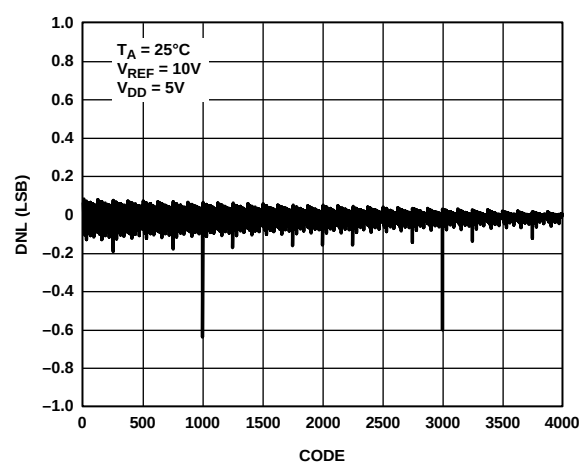


图12. DNL与代码的关系(12位DAC)

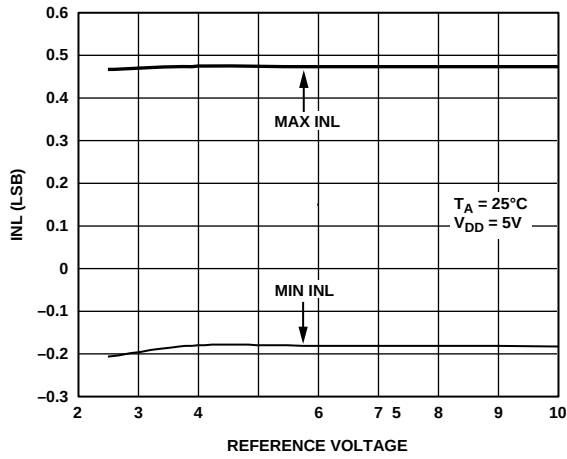


图13. INL与基准电压的关系

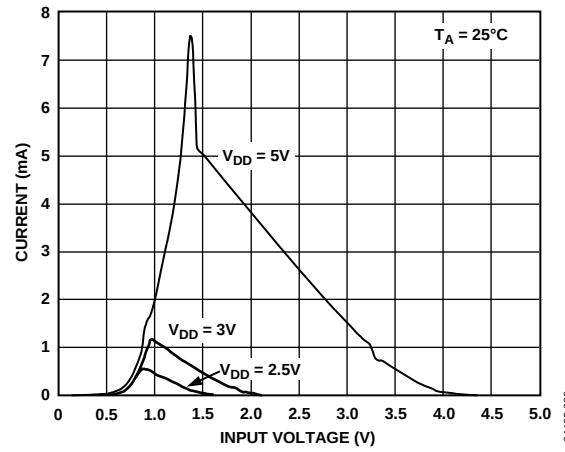


图16. 电源电流与逻辑输入电压的关系

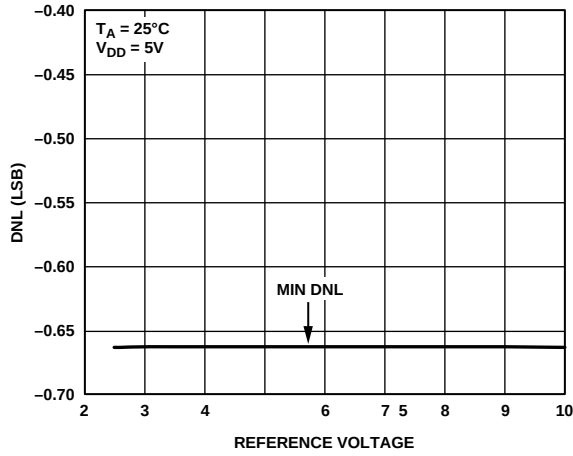


图14. DNL与基准电压的关系

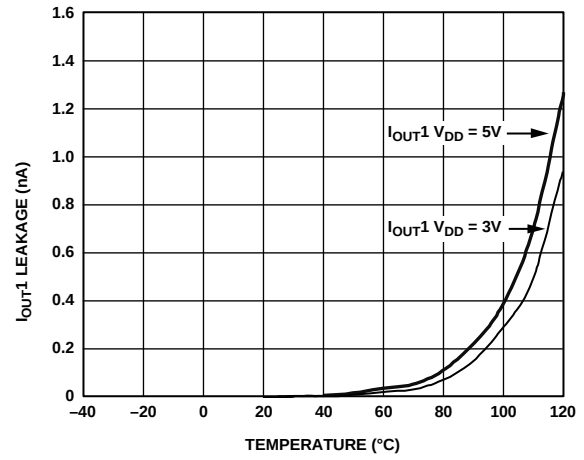


图17. I_{OUT1} 漏电流与温度的关系

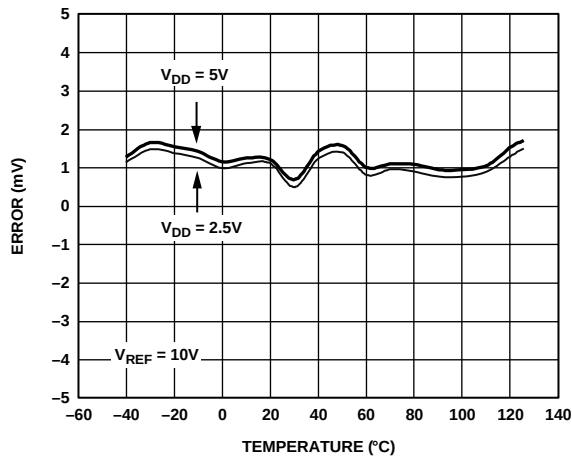


图15. 增益误差与温度的关系

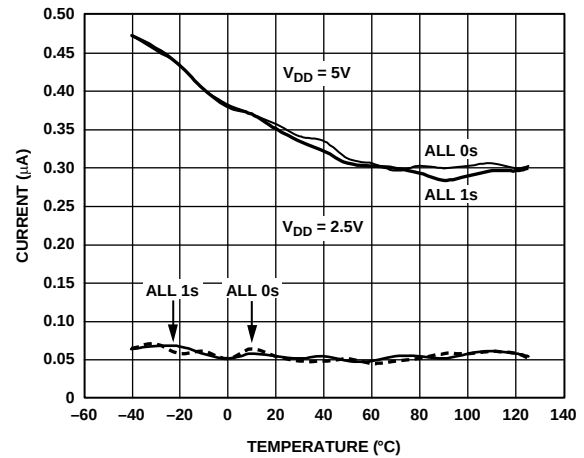


图18. 电源电流与温度的关系

AD5428/AD5440/AD5447

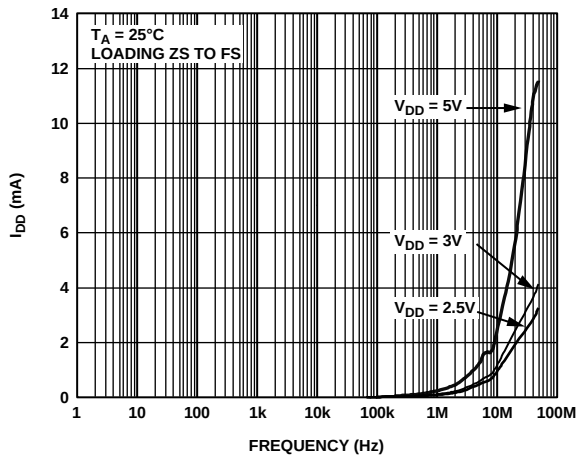


图19. 电源电流与更新速率的关系

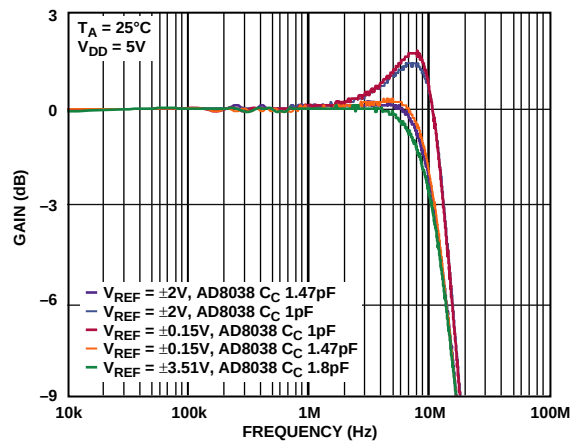


图22. 基准乘法带宽与频率和补偿电容的关系

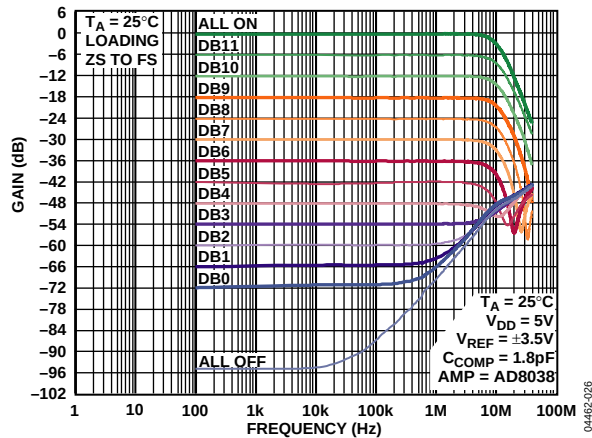


图20. 基准乘法带宽与频率和代码的关系

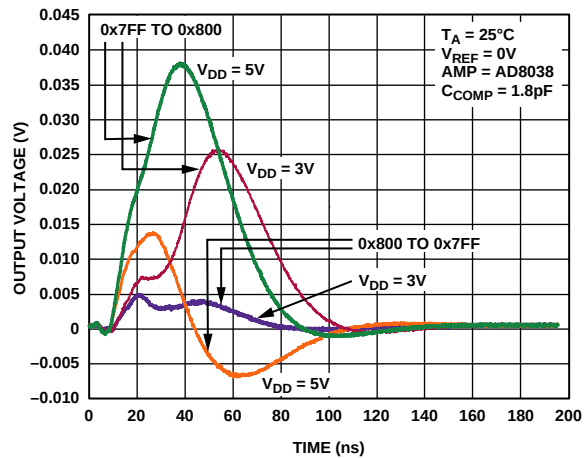


图23. 半量程转换, $V_{REF} = 0V$

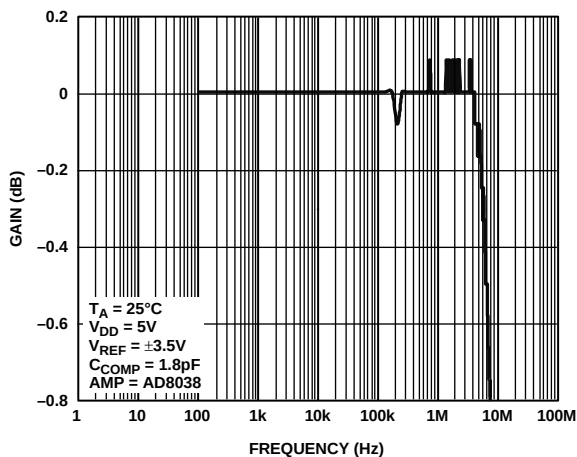


图21. 基准乘法带宽—加负载全1

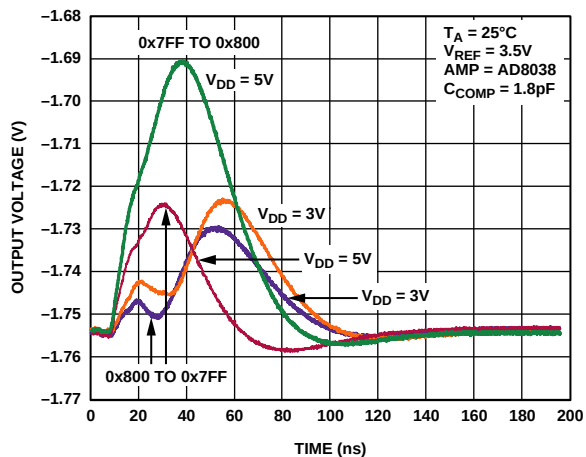


图24. 半量程转换, $V_{REF} = 3.5V$

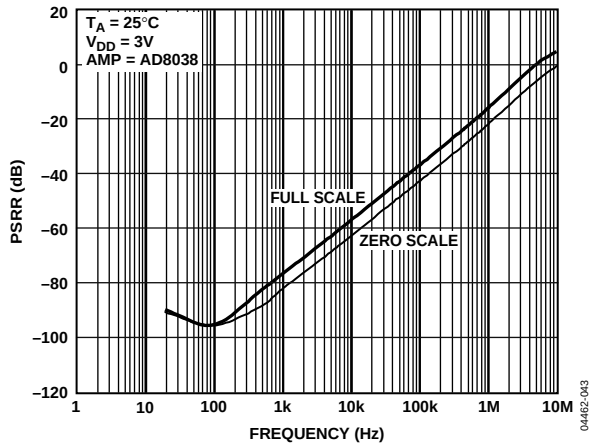


图25. 电源抑制比与频率的关系

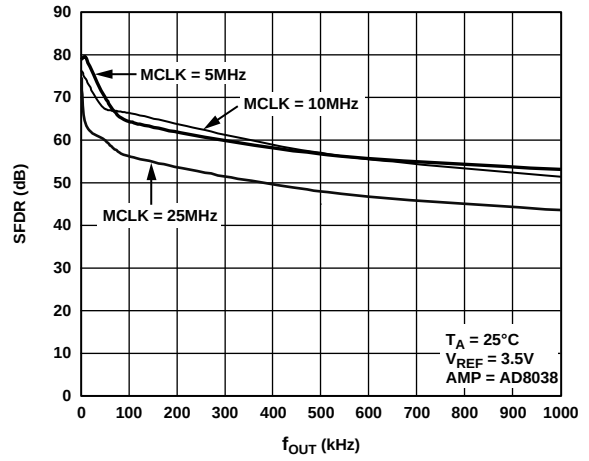


图28. 宽带SFDR与 f_{OUT} 频率的关系

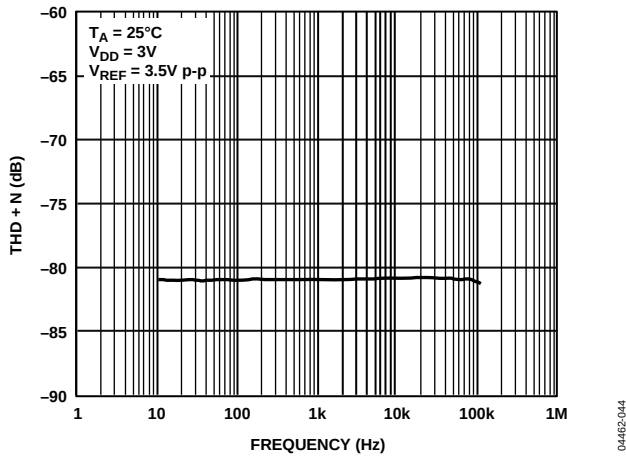


图26. THD + N与频率的关系

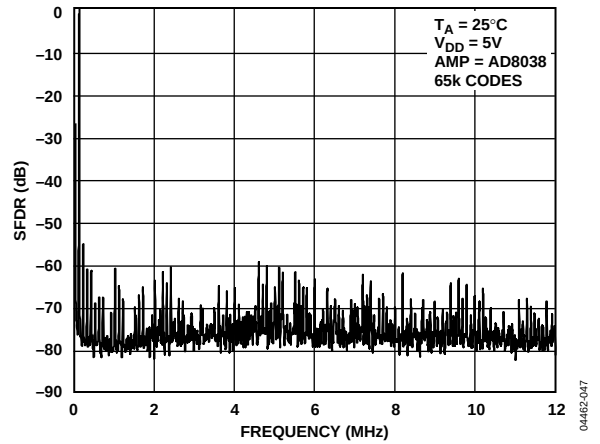


图29. 宽带SFDR, $f_{OUT} = 100$ kHz, 时钟 = 25 MHz

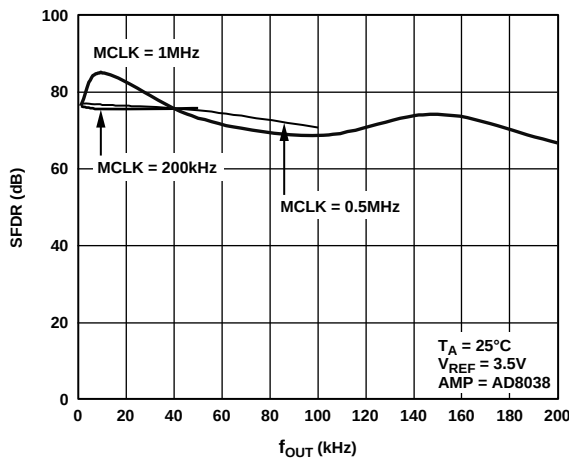


图27. 宽带SFDR与 f_{OUT} 频率的关系

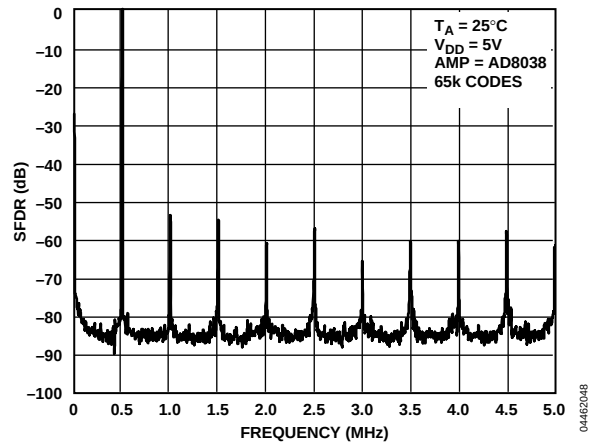


图30. 宽带SFDR, $f_{OUT} = 500$ kHz, 时钟 = 10 MHz

AD5428/AD5440/AD5447

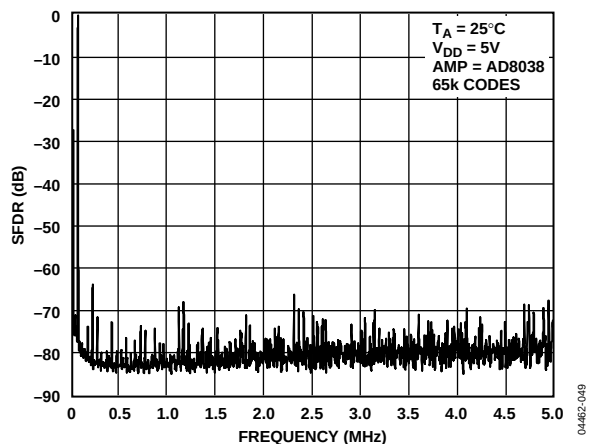


图31. 宽带SFDR, $f_{OUT} = 50$ kHz, 时钟 = 10 MHz

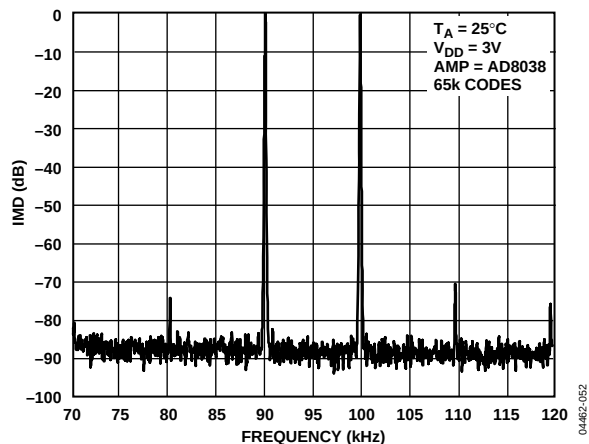


图34. 窄带IMD, $f_{OUT} = 90$ kHz、100 kHz, 时钟 = 10 MHz

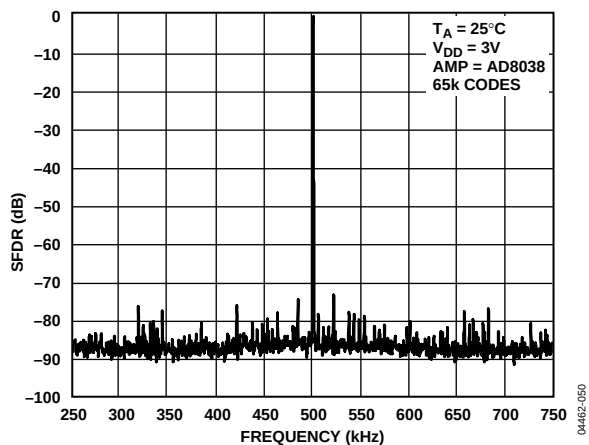


图32. 窄带SFDR, $f_{OUT} = 500$ kHz, 时钟 = 25 MHz

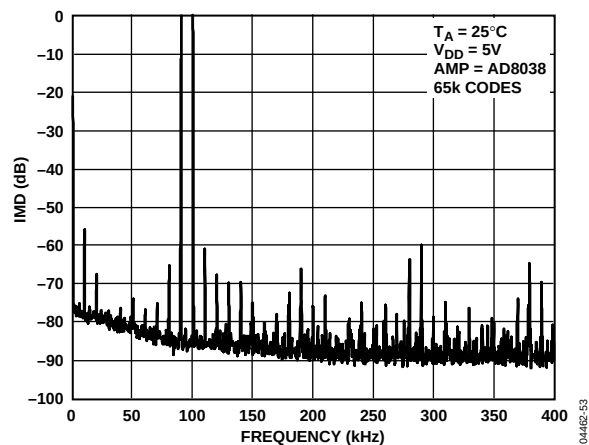


图35. 宽带IMD, $f_{OUT} = 90$ kHz、100 kHz, 时钟 = 25 MHz

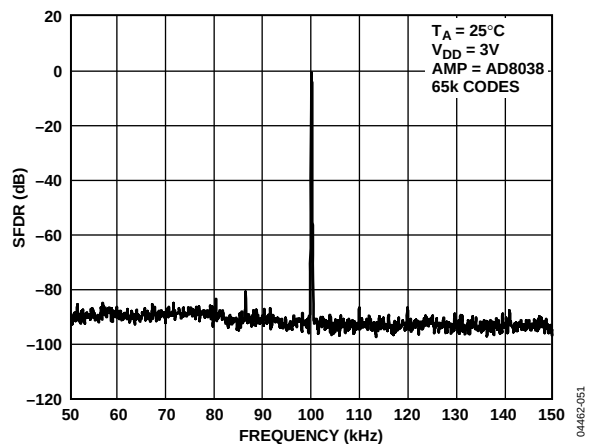


图33. 窄带SFDR, $f_{OUT} = 100$ kHz, 时钟 = 25 MHz

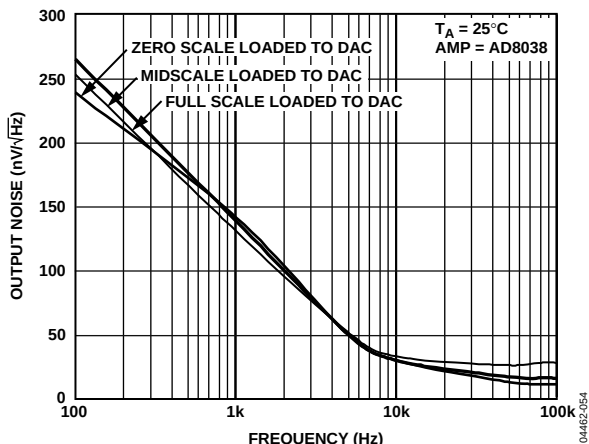


图36. 输出噪声频谱密度

术语

相对精度(端点非线性度)

衡量DAC传递函数与一条通过DAC传递函数端点的直线的最大偏差。它是在调整零值和满量程后进行测量，通常用LSB或满量程读数的百分比表示。

差分非线性

任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。工作温度范围内最大-1 LSB的额定差分非线性可确保单调性。

增益误差(满量程误差)

衡量理想DAC和实际器件之间的输出误差。对于这些DAC而言，理想的最大输出是 $V_{REF} - 1 \text{ LSB}$ 。这些DAC的增益误差可通过外部电阻调整为零。

输出漏电流

DAC梯形开关断开时流入其中的电流。对于 I_{OUT1} 引脚而言，可通过DAC加载全0然后测量 I_{OUT1} 的电流，测得输出漏电流值。当DAC加载全1时，流过 I_{OUT2} 的电流最小。

输出电容

I_{OUT1} 或 I_{OUT2} 至AGND的电容。

输出电流建立时间

指对于满量程输入变化，输出稳定在指定电平所需的时间。对于这些器件而言，它利用100 Ω 接地电阻测量。

数模转换毛刺脉冲

表示当输入改变状态时，电荷从数字输入注入到模拟输出的量。数模转换毛刺脉冲通常规定为毛刺的面积，用pA-s或nV-s表示，具体取决于毛刺是作为电流信号还是作为电压信号来测量的。

数字馈通

当器件未被选中时，器件数字输入端上的高频逻辑活动通过器件进行容性耦合，在 I_{OUT} 引脚产生噪声并进入后续电路。这种噪声就是数字馈通。

乘法馈通误差

表示DAC载入全0时，由DAC基准电压输入至DAC I_{OUT1} 引脚的容性馈通所致的误差。

总谐波失真(THD)

DAC由交流基准源驱动。THD表示DAC输出的谐波均方根和与基波的比值。通常仅包括低阶谐波，如二阶至五阶谐波。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}$$

数字交调失真

二阶交调失真(IMD)衡量DAC以数字方式产生的fa和fb音，以及2fa - fb与2fb - fa的二阶积。

无杂散动态范围(SFDR)

SFDR指DAC的可用动态范围，超出此范围，杂散噪声就会干扰基波信号或使其失真。它用基波与DC至全奈奎斯特带宽(DAC采样速率的一半或fs/2)范围内的最大谐波或非谐波杂散的幅值之差来衡量。窄带SFDR衡量任意窗口范围内的SFDR，本例中为基波的50%。数字SFDR衡量信号为数字生成的正弦波时，DAC的可用动态范围。

概述

DAC部分

AD5428/AD5440/AD5447是CMOS 8/10/12位、双通道电流输出型DAC，由标准反相R-2R梯形配置组成。图37所示为8位AD5428的单个通道的简化图。反馈电阻 R_{FB} A的值为R。R的典型值为10 kΩ(最小值8 kΩ，最大值12 kΩ)。若 I_{OUT1} 和AGND保持相同的电位，则无论数字输入代码是多少，每个梯形引脚上均有持续电流流过，从而 V_{REF} A上的输入电阻始终具有恒定的额定值R。DAC输出(I_{OUT})取决于代码，产生不同的电阻值和电容值。选择外部放大器时，需考虑DAC在放大器反相输入节点上产生的阻抗变化。

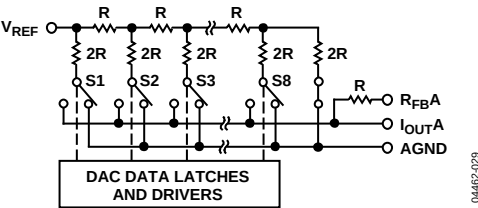


图37. 简化梯形图

可访问DAC A和DAC B的 V_{REF} 、 R_{FB} 、 I_{OUT} 引脚，使器件功能特别丰富，并允许配置为多种不同的工作模式，如单极性输出模式、四象限乘法双极性模式或单电源模式等。请注意，匹配的开关与内部 R_{FB} A反馈电阻串联。如果用户尝试测量 R_{FB} A，必须为 V_{DD} 供电，确保连续性。

电路工作原理

单极性模式

只需一个运算放大器，即可轻松配置这些器件来提供二象限乘法操作或单极性输出电压摆幅，如图38所示。当输出放大器以单极性模式连接时，输出电压可由下式得出：

$$V_{OUT} = -V_{REF} \times D/2^n$$

其中：

D为载入DAC数字字的依位数表示。

- D = 0至255 (8位AD5428)
- = 0至1023 (10位AD5440)
- = 0至4095 (12位AD5447)

n是DAC的分辨率。

请注意，输出电压极性与直流基准电压的 V_{REF} 极性相反。这些DAC设计为在正/负基准电压下工作。 V_{DD} 电源引脚仅供内部数字逻辑用于驱动DAC开关的通断状态。

这些DAC还设计用于接受交流基准输入信号，范围为-10 V至+10 V。

使用固定10 V基准电压源时，图38所示电路具有单极性0 V至-10 V输出电压摆幅。当 V_{IN} 为交流信号时，电路执行二象限乘法。

表7列出单极性工作模式下的数字代码和期望输出电压之间的关系(8位AD5428)。

表7. 单极性代码

数字输入	模拟输出(V)
1111 1111	-VREF (255/256)
1000 0000	-VREF(128/256) = -VREF/2
0000 0001	-VREF (1/256)
0000 0000	-VREF (0/256) = 0

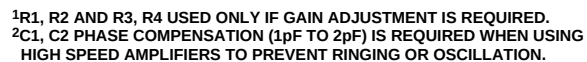


图38. 单极性工作原理

AD5428/AD5440/AD5447

双极性操作

在某些应用中，可能需要产生全四象限乘法功能，或双极性输出摆幅。通过使用另一个外部放大器和一些外部电阻便可轻松实现，如图39所示。在该电路中，第二个放大器A2提供的增益为2。利用基准电压提供的偏置电压使外部放大器偏置，便可实现全四象限乘法操作。此电路的传递函数显示，当输入数据D从代码0 ($V_{OUT} = -V_{REF}$) 递增至中量程 ($V_{OUT} = 0\text{ V}$)、满量程 ($V_{OUT} = +V_{REF}$) 时，正负输出电压均会产生。连接为双极性模式时，输出电压可通过以下公式计算：

$$V_{OUT} = (V_{REF} \times D / 2^{n-1}) - V_{REF}$$

其中：
D为载入DAC数字字的依位数表示。

- D = 0至255 (AD5428)
- = 0 至1023 (AD5440)
- = 0至4095 (AD5447)

n为位数。

当V_{IN}为交流信号时，电路执行四象限乘法。表8列出双极性工作模式下的数字代码和期望输出电压之间的关系(8位AD5428)。

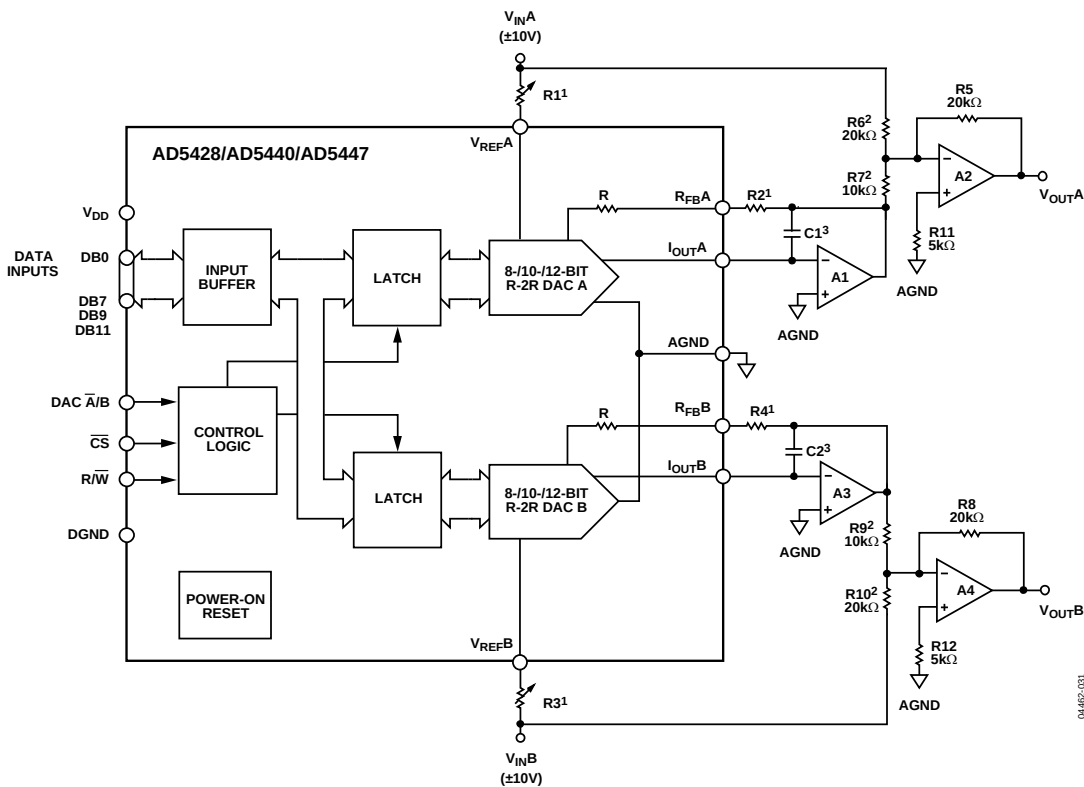
表8. 双极性代码

数字输入	模拟输出(V)
1111 1111	+V _{REF} (127/128)
1000 0000	0
0000 0001	-V _{REF} (127/128)
0000 0000	-V _{REF} (128/128)

稳定性

对于电流转电压配置，DAC的I_{OUT}和运算放大器的反相节点必须尽可能彼此靠近连接，且必须采用合适的PCB布局技术。因为每个代码变化对应于一个阶跃函数，所以如果运算放大器的增益带宽积(GBP)有限且反相节点处存在过大的寄生电容，则会出现增益峰值。该寄生电容在开环响应中引入一个极点，它可能会在闭环应用电路中引起响铃振荡或不稳定。

可选的补偿电容C1能够与R_{FB}A并联增加稳定性，如图38和图39所示。C1值过小可能会在输出端产生响铃振动，而过大会对建立时间带来不利影响。必须凭经验选择C1，但通常1 pF至2 pF就足以补偿。



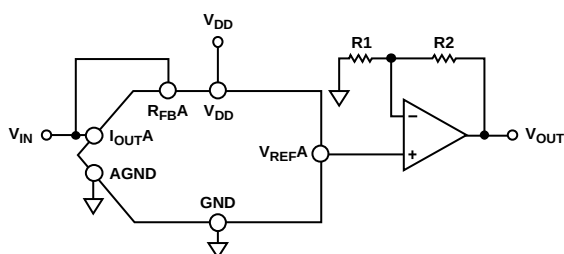
¹R1, R2 AND R3, R4 USED ONLY IF GAIN ADJUSTMENT IS REQUIRED. ADJUST R1 FOR V_{OUTA} = 0V WITH CODE 10000000 IN DAC A LATCH. ADJUST R3 FOR V_{OUTB} = 0V WITH CODE 10000000 IN DAC B LATCH.
²MATCHING AND TRACKING IS ESSENTIAL FOR RESISTOR PAIRS R6, R7 AND R9, R10.
³C1, C2 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1/A3 IS A HIGH SPEED AMPLIFIER.

图39. 双极性运算(四象限)

单电源应用 电压开关模式

图40表示这些DAC在电压开关模式下的工作原理。基准电压 V_{IN} 施加于 I_{OUTA} 引脚， V_{REFA} 引脚提供输出电压。在该配置中，正基准电压产生正输出电压，使单电源工作成为可能。DAC输出电压具有恒定阻抗(DAC梯形电阻)，因此需要使用运算放大器缓冲输出电压。基准输入不再具有恒定输入阻抗，而是随代码而变化。因此，应当采用低阻抗源驱动电压输入。

注意，由于DAC梯形开关不再具有相同的源极至漏极驱动电压，因此 V_{IN} 只能接受低电压。这就导致各开关的导通电阻不同，从而降低DAC的积分线性。此外， V_{IN} 不能超过负电压以下0.3 V，否则内部二极管将导通，导致器件超过最大额定值。在这类应用中，DAC将失去全部范围的乘法功能。



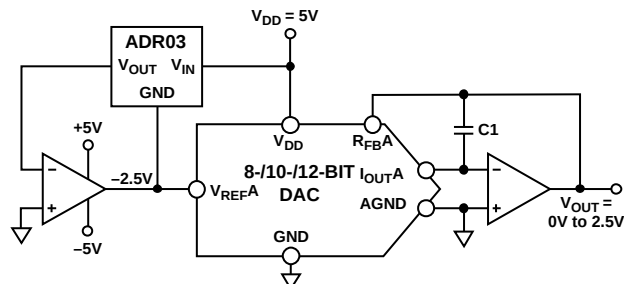
NOTES
1. ADDITIONAL PINS OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

04462-033

图40. 单电源电压切换模式

正输出电压

输出电压极性与直流基准电压的 V_{REF} 极性相反。为了获得正电压输出，由于存在电阻容差误差，与通过反相放大器的输出反转相比，向DAC输入施加负基准电压的方式更好。为了生成负基准电压，运算放大器可以对基准电压进行电平转换，使基准的 V_{OUT} 引脚虚拟接地，且基准的GND引脚为-2.5 V，如图41所示。



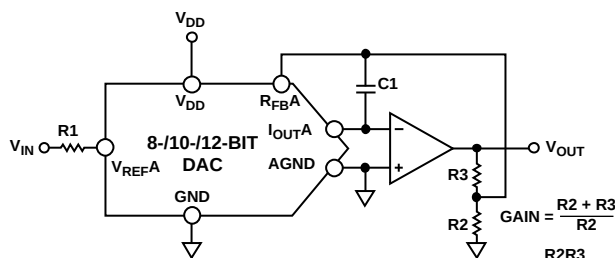
NOTES
1. ADDITIONAL PINS OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

04462-034

图41. 以最少数器件数实现正电压输出

提高增益

在要求输出电压大于 V_{IN} 的应用中，可使用一个额外的外部放大器来提高增益，也可通过单级配置实现。应考虑DAC薄膜电阻温度系数的影响。仅将一个电阻与 R_{FB} 电阻串联会导致温度系数失配，造成更大的增益温度系数误差。图42中的电路是增加电路增益所推荐的方法。 $R1$ 、 $R2$ 和 $R3$ 应具有相似的温度系数，但无需与DAC的温度系数相匹配。在要求增益大于1的电路中，推荐使用这种方法。



NOTES
1. ADDITIONAL PINS OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

04462-035

图42. 提高电流输出DAC的增益

表9. 适用的ADI精密基准电压源

产品型号	输出电压(V)	初始容差(%)	温度漂移(ppm/°C)	I _{SS} (mA)	输出噪声(μV p-p)	封装
ADR01	10	0.05	3	1	20	SOIC-8
ADR01	10	0.05	9	1	20	TSOT-23, SC70
ADR02	5	0.06	3	1	10	SOIC-8
ADR02	5	0.06	9	1	10	TSOT-23, SC70
ADR03	2.5	0.10	3	1	6	SOIC-8
ADR03	2.5	0.10	9	1	6	TSOT-23, SC70
ADR06	3	0.10	3	1	10	SOIC-8
ADR06	3	0.10	9	1	10	TSOT-23, SC70
ADR431	2.5	0.04	3	0.8	3.5	SOIC-8
ADR435	5	0.04	3	0.8	8	SOIC-8
ADR391	2.5	0.16	9	0.12	5	TSOT-23
ADR395	5	0.10	9	0.12	8	TSOT-23

表10. 适用的ADI精密运算放大器

产品型号	电源电压(V)	V _{os} (最大值) (μV)	I _b 最大值(nA)	0.1 Hz至10 Hz 噪声(μV p-p)	电源电流(μA)	封装
OP97	±2至±20	25	0.1	0.5	600	SOIC-8
OP1177	±2.5至±15	60	2	0.4	500	MSOP, SOIC-8
AD8551	2.7至5	5	0.05	1	975	MSOP, SOIC-8
AD8603	1.8至6	50	0.001	2.3	50	TSOT
AD8628	2.7至6	5	0.1	0.5	850	TSOT, SOIC-8

表11. 适用的ADI高速运算放大器

产品型号	电源电压(V)	BW @ ACL (MHz)	压摆率(V/μs)	VOS(最大值)(μV)	I _b 最大值(nA)	封装
AD8065	5至24	145	180	1,500	6,000	SOIC-8, SOT-23, MSOP
AD8021	±2.5至±12	490	120	1,000	10,500	SOIC-8, MSOP
AD8038	3至12	350	425	3,000	750	SOIC-8, SC70-5
AD9631	±3至±6	320	1,300	10,000	7,000	SOIC-8

AD5428/AD5440/AD5447

并行接口

数据以8/10/12位并行字格式载入AD5428/AD5440/AD5447。利用控制线 $\overline{CS}$ 和 $R/\overline{W}$ ，可以写入或读取DAC寄存器。拉低 $\overline{CS}$ 和 $R/\overline{W}$ 时，发生写事件，数据线上的数据填入移位寄存器， $\overline{CS}$ 上升沿锁存数据，并将锁存的数据字传输到DAC寄存器。DAC锁存器不是透明的，因此写序列必须包含 $\overline{CS}$ 的下降沿和上升沿，确保数据载入DAC寄存器，且其模拟等效内容反映在DAC输出端。

$R/\overline{W}$ 为高电平而 $\overline{CS}$ 为低电平时，发生读事件。数据从DAC寄存器加载，返回输入寄存器，输出到数据线上，控制器可回读以用于验证或诊断目的。这些器件的输入和DAC寄存器不是透明的，因此，加载各数据字需要 $\overline{CS}$ 的下降沿和上升沿。

微处理器接口

ADSP-21xx与AD5428/AD5440/AD5447接口

图44显示AD5428/AD5440/AD5447与用作存储器映射器件的ADSP-21xx系列DSP接口。根据DSP的时钟速度，AD5428/AD5440/AD5447与ADSP-21xx的接口可能需要一个等待状态。该等待状态可通过ADSP-21xx的数据存储器等待状态控制寄存器设置(详情参见ADSP-21xx系列的用户手册)。

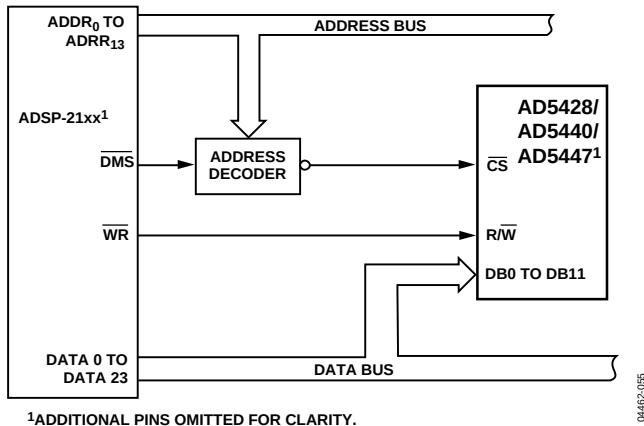


图44. ADSP-21xx与AD5428/AD5440/AD5447接口

8xC51与AD5428/AD5440/AD5447接口

图45显示AD5428/AD5440/AD5447与8xC51系列DSP的接口。为了便于外部数据存储器访问，应使能地址锁存器使能(ALE)模式。在访问外部存储器期间，地址的低位字节通过此输出脉冲锁存。AD0至AD7是复用低阶地址和数据总线，发出1时需要很强的内部上拉电阻。在访问外部存储器期间，A8至A15是高阶地址字节。这些端口是开漏型，因而发出1时也需要很强的内部上拉电阻。

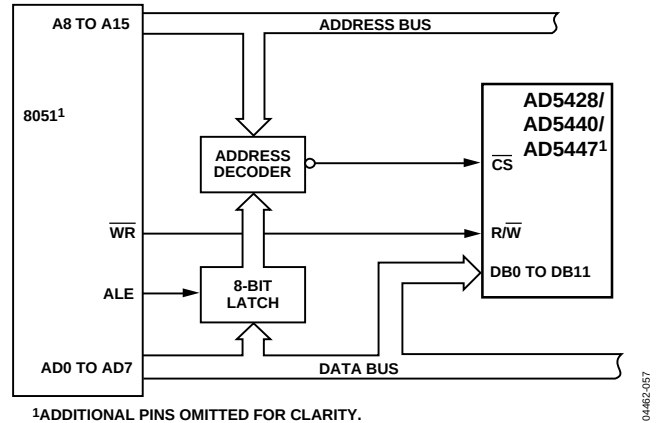


图45. 8xC51与AD5428/AD5440/AD5447接口

ADSP-BF5xx与AD5428/AD5440/AD5447接口

图46显示AD5428/AD5440/AD5447与ADSP-BF5xx系列DSP的典型接口。处理器的异步存储器写周期驱动DAC的数字输入。 $\overline{AMSx}$ 线实际上是四条存储器选择线。内部ADDR线解码为 $\overline{AMS}_{3-0}$ ，然后这些线路作为片选插入。接口的其余部分是标准的握手操作。

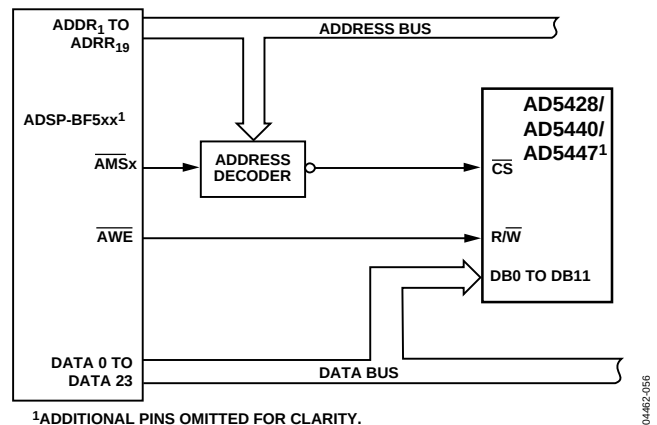


图46. ADSP-BF5xx与AD5428/AD5440/AD5447接口

PCB布局和电源去耦

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。AD5428/AD5440/AD5447所在的印刷电路板在设计时应将模拟部分与数字部分分离，并限制在电路板的特定区域内。如果DAC所在系统中有多器件要求AGND至DGND连接，则只能在一个点上连接。星形接地点应尽可能靠近器件。

这些DAC应具有足够大的电源旁路电容 $10\ \mu\text{F}$ ，与电源上的 $0.1\ \mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着器件。 $0.1\ \mu\text{F}$ 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESL)，与高频时提供低阻抗接地路径的普通陶瓷型电容一样，能够处理内部逻辑开关所引起的瞬态电流。电源处也应当运用低ESR $1\ \mu\text{F}$ 至 $10\ \mu\text{F}$ 钽电容或电解电容，以便尽可能减少瞬态干扰，并滤除低频纹波。

时钟等产生快速开关信号的器件应利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近基准输入。

避免数字信号与模拟信号交叠。电路板相对两侧上的走线应当彼此垂直，这样有助于减小电路板上的馈通效应。微带线技术在目前看来是最佳方法，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

采用紧凑、最小引线长度的PCB布局设计是很好的做法。输入的引线应尽可能短，以将IR压降和杂散电感降至最小。

V_{REF} 与 R_{FB} 之间的PCB金属走线也应当匹配，使增益误差达到最小。为了最大程度优化高频性能，电流至电压放大器应尽可能靠近器件。

AD5447评估板

评估板由AD5447 DAC和电流电压放大器AD8065组成。评估板上含有一个 $10\ \text{V}$ 基准电压源ADR01。也可以将一个外部基准电压通过SMB输入施加。

评估套件包含一张CD光盘，其中的自安装PC软件可用来控制DAC。该软件允许用户将代码写入器件。

评估板电源

评估板采用 $\pm 12\ \text{V}$ 和 $+5\ \text{V}$ 电源电压。 $+12\ \text{V}\ V_{\text{DD}}$ 和 $-12\ \text{V}\ V_{\text{SS}}$ 用于为输出放大器供电，而 $+5\ \text{V}$ 用于为DAC (V_{DD1})和收发器 (V_{CC})供电。

两个电源均通过 $10\ \mu\text{F}$ 钽电容和 $0.1\ \mu\text{F}$ 陶瓷电容去耦至相应的地层。

AD5428/AD5440/AD5447

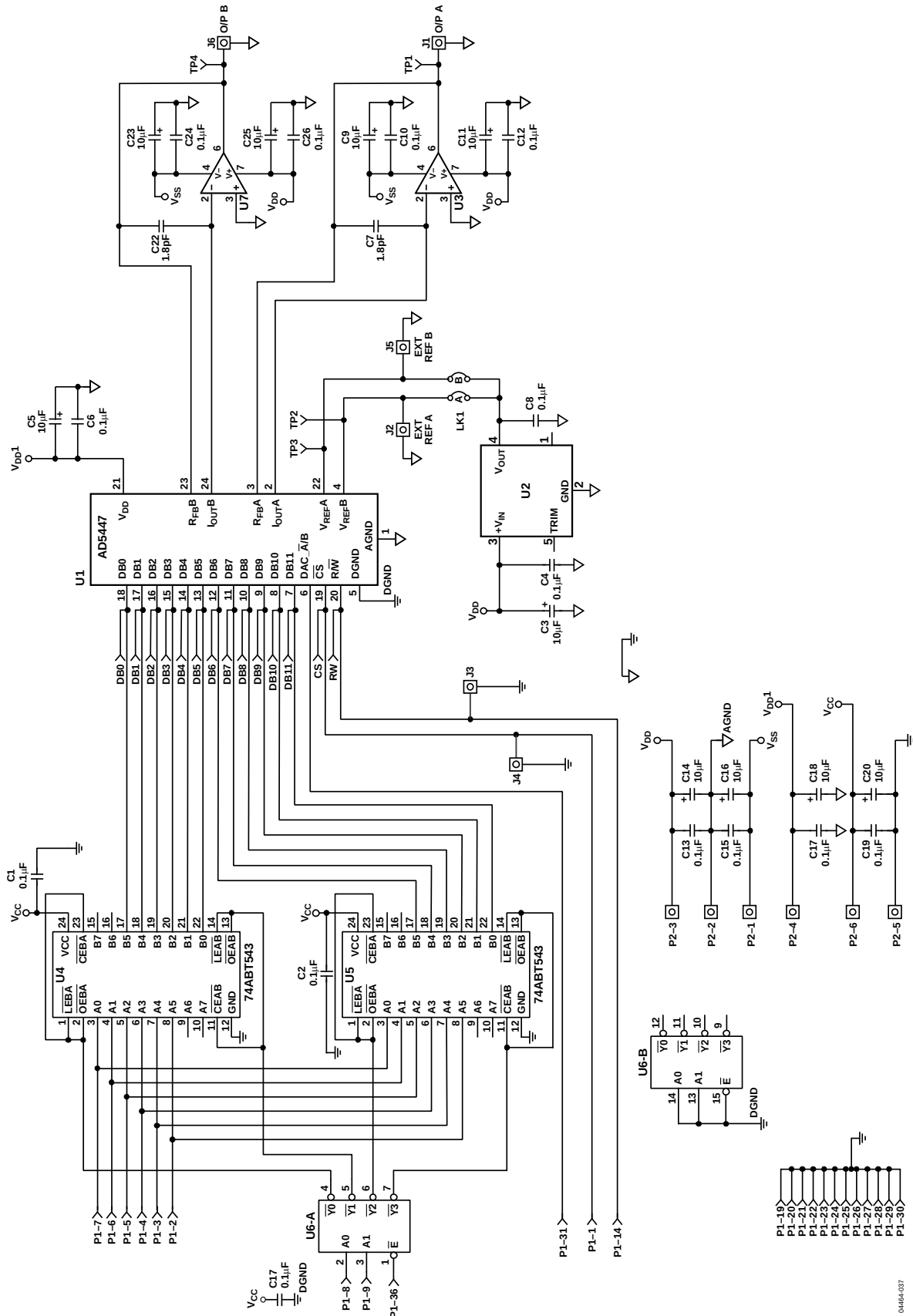
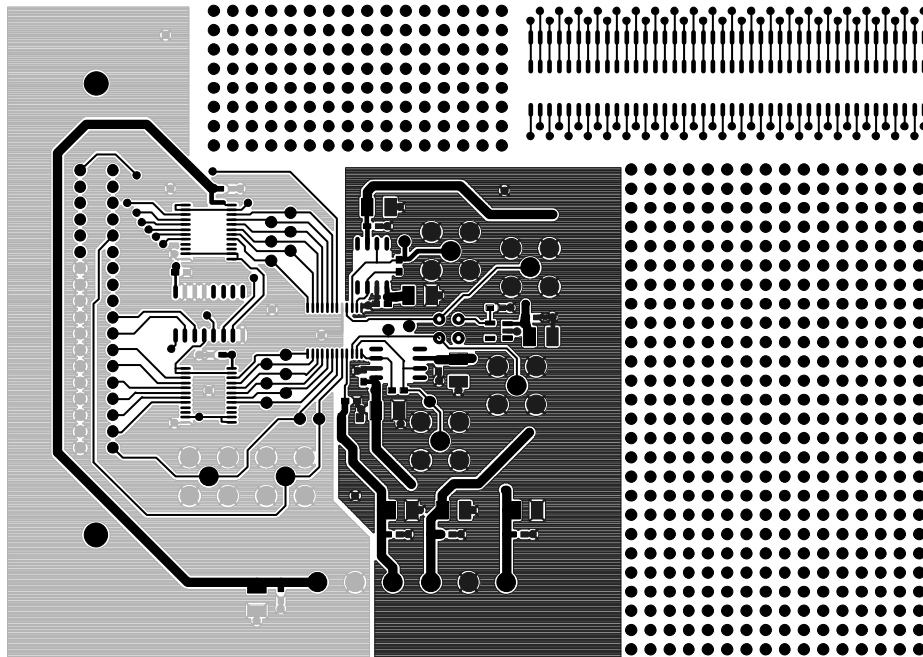
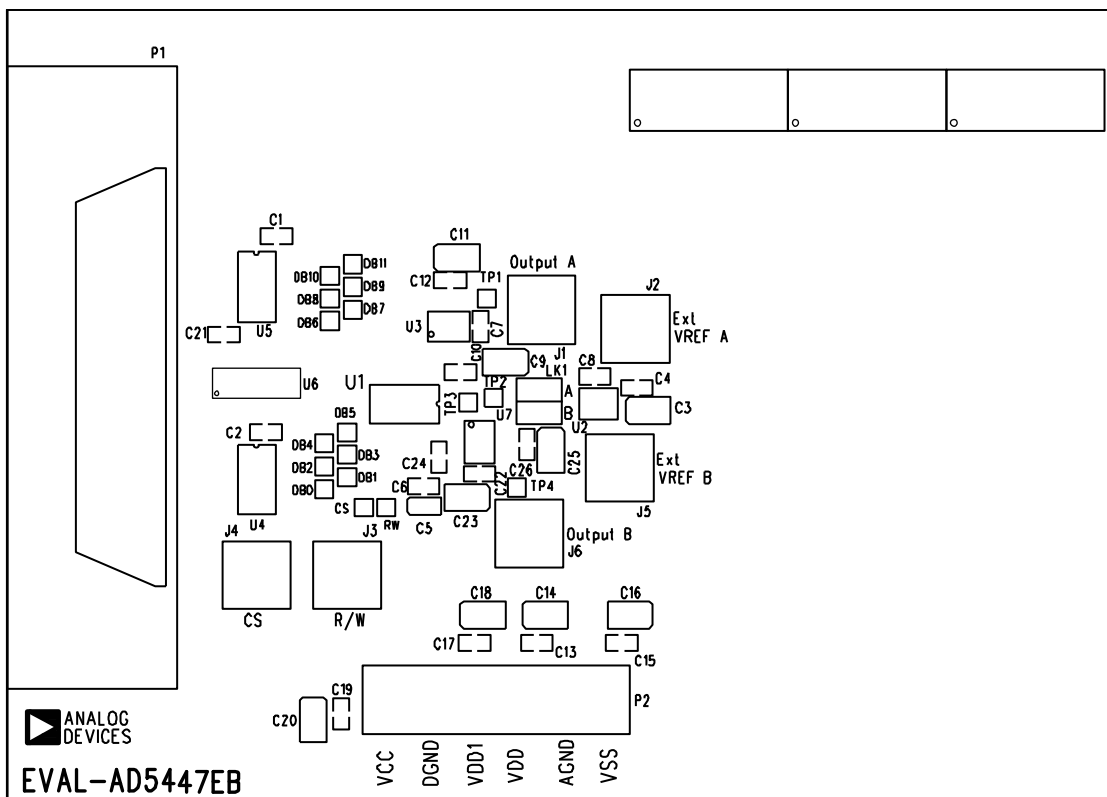


图47. AD5447评估板原理图



04462-036

图48. 元件侧布局图



04462-038

图49. 丝网图—元件侧视图(顶层)

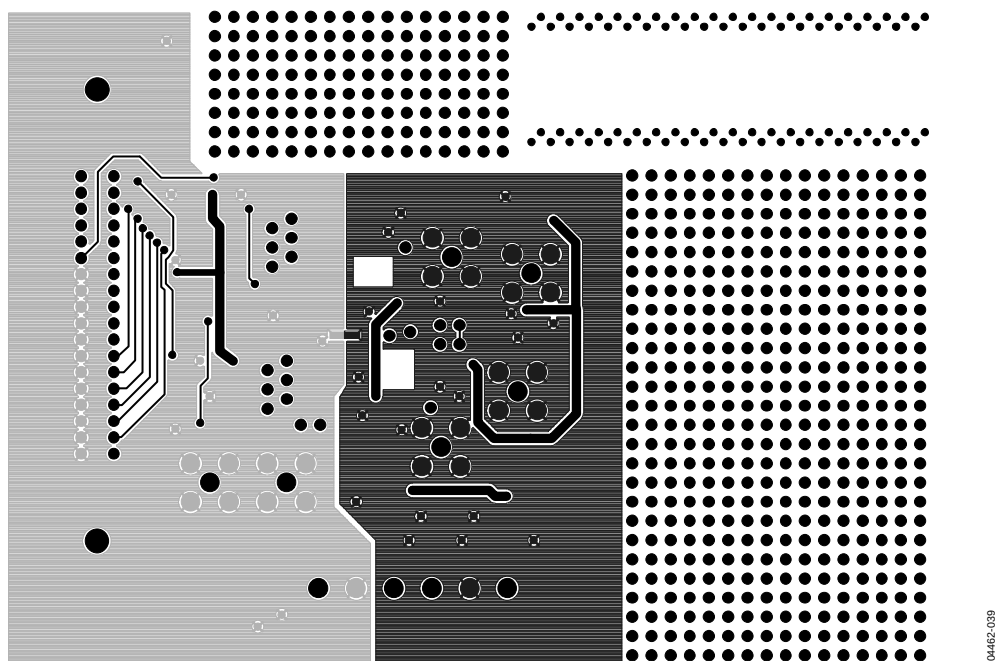


图50.. 焊接侧布局图

物料清单

表12.

名称/位置	器件描述	值	容差(%)	库存代码
C1	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C2	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C3	钽电容—Taj系列	10 μ F 20 V	10	FEC 197-427
C4	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C5	钽电容—Taj系列	10 μ F 10 V	10	FEC 197-130
C6	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C7	NPO陶瓷电容	1.8 pF	10	FEC 721-876
C8	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C9	钽电容—Taj系列	10 μ F 20 V	10	FEC 197-427
C10	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C11	钽电容—Taj系列	10 μ F 20 V	10	FEC 197-427
C12	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C13	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C14	钽电容—Taj系列	10 μ F 20 V	10	FEC 197-427
C15	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C16	钽电容—Taj系列	10 μ F 20 V	10	FEC 197-427
C17	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C18	钽电容—Taj系列	10 μ F 20 V	10	FEC 197-427
C19	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C20	钽电容—Taj系列	10 μ F 20 V	10	FEC 197-427
C21	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C22	NPO陶瓷电容	1.8 pF	10	FEC 721-876
C23	钽电容—Taj系列	10 μ F 20 V	10	FEC 197-427
C24	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
C25	钽电容—Taj系列	10 μ F 20 V	10	FEC 197-427
C26	X7R陶瓷电容	0.1 μ F	10	FEC 499-675
CS, DB0至DB11	红色测试点			FEC 240-345(封装)
J1至J6	SMB插口			FEC 310-682
J2	SMB插口			FEC 310-682
J3	SMB插口			FEC 310-682
J4	SMB插口			FEC 310-682
J5	SMB插口			FEC 310-682
J6	SMB插口			FEC 310-682
LK1	3引脚接头(2 $\times$ 2)			FEC 511-791和FEC 528-456
P1	36引脚Centronics连接器			FEC 147-753
P2	6引脚端子板			FEC 151-792
RW	红色测试点			FEC 240-345(封装)
TP1至TP4	红色测试点			FEC 240-345(封装)
U1	AD5447			AD5447YRU
U2	ADR01			ADR01AR
U3	AD8065			AD8065AR
U4, U5	74ABT543			Fairchild 74ABT543CMTC
U6	74139			CD74HCT139M
U7	AD8065			AD8065AR
每个拐角	橡胶粘脚			FEC 148-922

AD5428/AD5440/AD5447

AD54xx器件概览

表13.

产品型号	分辨率	DAC编号	INL (LSB)	接口	封装 ¹	DAC编号
AD5424	8	1	±0.25	并行	RU-16、CP-20	10 MHz带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5426	8	1	±0.25	串行	RM-10	10 MHz带宽, 50 MHz串行
AD5428	8	2	±0.25	并行	RU-20	10 MHz带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5429	8	2	±0.25	串行	RU-10	10 MHz带宽, 50 MHz串行
AD5450	8	1	±0.25	串行	UJ-8	10 MHz带宽, 50 MHz串行
AD5432	10	1	±0.5	串行	RM-10	10 MHz带宽, 50 MHz串行
AD5433	10	1	±0.5	并行	RU-20、CP-20	10 MHz带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5439	10	2	±0.5	串行	RU-16	10 MHz带宽, 50 MHz串行
AD5440	10	2	±0.5	并行	RU-24	10 MHz带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5451	10	1	±0.25	串行	UJ-8	10 MHz带宽, 50 MHz串行
AD5443	12	1	±1	串行	RM-10	10 MHz带宽, 50 MHz串行
AD5444	12	1	±0.5	串行	RM-8	10 MHz带宽, 50 MHz串行
AD5415	12	2	±1	串行	RU-24	10 MHz带宽, 50 MHz串行
AD5405	12	2	±1	并行	CP-40	10 MHz带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5445	12	2	±1	并行	RU-20、CP-20	10 MHz带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5447	12	2	±1	并行	RU-24	10 MHz带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5449	12	2	±1	串行	RU-16	10 MHz带宽, 50 MHz串行
AD5452	12	1	±0.5	串行	UJ-8、RM-8	10 MHz带宽, 50 MHz串行
AD5446	14	1	±1	串行	RM-8	10 MHz带宽, 50 MHz串行
AD5453	14	1	±2	串行	UJ-8、RM-8	10 MHz带宽, 50 MHz串行
AD5553	14	1	±1	串行	RM-8	4 MHz带宽, 50 MHz串行时钟
AD5556	14	1	±1	并行	RU-28	4 MHz带宽, 20 ns $\overline{WR}$ 脉冲宽度
AD5555	14	2	±1	串行	RM-8	4 MHz带宽, 50 MHz串行时钟
AD5557	14	2	±1	并行	RU-38	4 MHz带宽, 20 ns $\overline{WR}$ 脉冲宽度
AD5543	16	1	±2	串行	RM-8	4 MHz带宽, 50 MHz串行时钟
AD5546	16	1	±2	并行	RU-28	4 MHz带宽, 20 ns $\overline{WR}$ 脉冲宽度
AD5545	16	2	±2	串行	RU-16	4 MHz带宽, 50 MHz串行时钟
AD5547	16	2	±2	并行	RU-38	4 MHz带宽, 20 ns $\overline{WR}$ 脉冲宽度

¹ RU = TSSOP, CP = LFCSP, RM = MSOP, UJ = TSOT.

外形尺寸

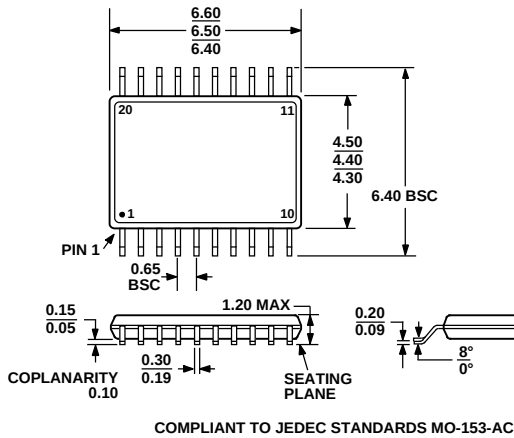


图51. 20引脚超薄紧缩小型封装[TSSOP]
(RU-20)
图示尺寸单位: mm

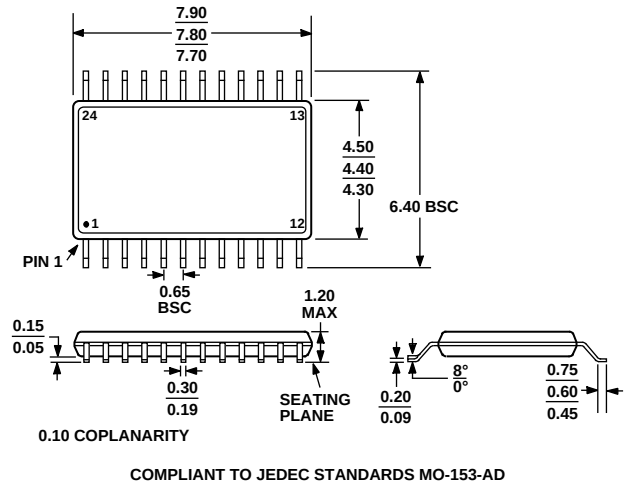


图52. 24引脚超薄紧缩小型封装[TSSOP]
(RU-24)
图示尺寸单位: mm

订购指南

型号 ¹	分辨率	INL (LSB)	温度范围	温度范围	封装选项
AD5428YRU	8	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5428YRU-REEL	8	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5428YRU-REEL7	8	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5428YRUZ	8	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5428YRUZ-REEL	8	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5428YRUZ-REEL7	8	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5440YRU	10	±0.5	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5440YRU-REEL	10	±0.5	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5440YRU-REEL7	10	±0.5	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5440YRUZ	10	±0.5	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5440YRUZ-REEL	12	±1	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5440YRUZ-REEL7	12	±1	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5447YRU	12	±1	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5447YRU-REEL	12	±1	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5447YRUZ	12	±1	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5447YRUZ-REEL	12	±1	-40°C至+125°C	24引脚 TSSOP	RU-24
AD5447YRUZ-REEL7	12	±1	-40°C至+125°C	24引脚 TSSOP	RU-24
EVAL-AD5447EBZ				评估套件	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释