PSoC® 5LP：CY8C54LP 系列数据手册

可编程片上系统 （PSoC®）

概述

PSoC® 5LP 是真正的可编程嵌入式片上系统，它在单芯片中集成了可配置的模拟和数字外设、存储器以及微控制器。PSoC 5LP 架构的性能通过以下特性得到质的提升：

- 带有工作频率高达 80 MHz 的 DMA 控制器以及 32 位 ARM Cortex-M3 内核
- 超低功耗，拥有业界最宽的工作电压范围
- 可编程数字和模拟外设支持自定义功能
- 所有模拟或数字外设功能均可灵活路由至任意引脚

PSoC 器件为嵌入式控制系统设计提供了高度可配置的片上系统架构。它们集成了由片上微控制器控制的可配置模拟和数字电路。单芯片 PSoC 可以实现上百种数字和模拟外设功能。因此不仅能够缩短设计周期、减少电路板尺寸、降低功耗、降低系统成本，还可以提高系统性能。

特性

- 工作特性
  - 电压范围：1.71 至 5.5 V，多达六个电压域
  - （环境）温度范围：–40 至 85 °C[1]
  - 工作频率范围：DC 至 80 MHz
  - 功耗模式
    - 在活动模式下，频率 = 6 MHz 时电流为 3.1 mA；频率 = 48 MHz 时电流为 15.4 mA
    - 在睡眠模式下，电流为 2 µA
    - 在休眠模式下，电流为 300 nA，支持 RAM 数据保持
  - 升压调节器：最小输入电压为 0.5 V，最大输出电压为 5 V
- 性能
  - 32 位 ARM Cortex-M3 CPU， 32 个中断输入
  - 24 通道的直接存储器访问 （DMA）控制器
- 存储器
  - 拥有缓存和安全特性的高达 256 KB 的编程闪存
  - 高达 32 KB 的用于存储纠错码 （ECC）的闪存空间
  - 高达 64 KB 的 RAM
  - 2 KB 的 EEPROM
- 数字外设
  - 4 个 16 位定时器、计数器和 PWM 模块 （TCPWM）
  - I^2C 模块，总线速度为 1 Mbps
  - 已认证的全速 （FS） USB 2.0， 12Mbps 外设接口（TID#10840032）（采用内部振荡器）[2]
  - 20 至 24 个通用数字模块（UDB），通过配置 UDB 模块，可以实现以下多种功能：
    - 8、 16、 24 和 32 位定时器、计数器和 PWM
    - I^2C、 UART、 SPI、 I2S、 LIN 2.0 接口
    - 循环冗余校验 （CRC）
    - 伪随机序列 （PRS）发生器
    - 正交解码器
    - 门限逻辑功能
- 可编程时钟
  - 3 到 74 MHz 内部振荡器， 3 MHz 输出的精确度为 2%
  - 4 到 25 MHz 外部晶振
  - 内部 PLL 能够生成高达 80 MHz 的时钟
  - 低功耗内部振荡器支持 1 kHz、 33 kHz 和 100 kHz 的频率
  - 支持 32.768 kHz 外部时钟晶振
  - 12 个时钟分频器可路由到任何外设或 I/O
- 模拟外设
  - 8 至 12 位可配置 Delta-Sigma ADC
  - 12 位 SAR ADC
  - 两个 8 位 DAC
  - 四个比较器
  - 两个运算放大器
  - 两个可编程模拟模块，用于实现：
    - 可编程增益放大器 （PGA）
    - 互阻放大器 （TIA）
    - 混频器
    - 采样和保持电路
  - 支持 CapSense®，最多支持 62 个传感器
  - 1.024 V ±1% 内部参考电压
- 多功能 I/O 系统
  - 46 到 72 个 I/O 引脚 — 多达 62 个通用 I/O （GPIO）
  - 多达 8 个特殊功能 I/O （SIO）引脚
    - 25 mA 灌电流
    - 可编程的输入阈值和输出高电平电压
    - 可作为通用电压比较器使用
    - 支持热插拔功能和过压容限
  - 两个 USBIO 引脚可作为 GPIO 使用
  - 任意数字或模拟外设信号可以路由至任意 GPIO
  - 所有GPIO均支持段式LCD驱动，最多支持46 COM x 16 SEG
  - 所有 GPIO 均支持 CapSense 功能
  - 接口电压范围为 1.2 V 至 5.5 V，最多支持 4 个电压域
- 编程、调试和跟踪
  - 支持4线JTAG、双线SWD、单线SWV以及5线Traceport接口
  - 支持 CPU 内核中的嵌入式 ARM 调试和跟踪模块
  - 支持通过 I^2C、 SPI、 UART、 USB 以及其它接口进行 Bootloader 编程
- 封装选择：68-QFN、 100-TQFP 以及 99-ball WLCSP
- 支持使用免费的 PSoC Creator™ 工具进行开发
  - 支持原理图和固件设计
  - 提供了上百个 PSoC Component™（PSoC 组件），将诸多专有 IC 和系统接口集成在单一 PSoC 上。每个组件都是免费的嵌入式 IC，并使用图标表示。将该组件图标拖放到 PSoC Creator 的设计系统内。
  - 包含免费的 GCC 编译器并支持 Keil/ARM MDK 编译器
  - 支持器件的编程和调试功能

注释：
1. 最高存放温度是 150°C，符合 JEDEC 标准 JESD22-A103 — 高温度存放使用寿命。
2. 只有特定器件具有该特性。更多详细信息，请参考第 116 页上的订购信息。

更多有关的信息

在赛普拉斯的 www.cypress.com 网站上 提供了大量资料，有助于选择符合您设计的 PSoC 器件，并能够快速有效地将该器件集成到您的设计中。有关使用资源的完整列表，请参考知识库文章 KBA86521 — 如何使用 PSoC 3、PSoC 4 和 PSoC 5LP 进行设计。下面是 PSoC 5LP 的简要列表：

- 概况：PSoC 产品系列、 PSoC 蓝图
- 产品选型器：PSoC 1、 PSoC 3、 PSoC 4、 PSoC 5LP。此外， PSoC Creator 还包含一个器件选择工具。
- 应用笔记：赛普拉斯提供了大量的 PSoC 应用笔记和代码示例，包括从基础到高级的广泛主题。下面列出了 PSoC 5LP 入门的建议应用手册：
  - AN77759：PSoC 5LP 入门
  - AN77835：PSoC 3 至 PSoC 5LP 的移植指南
  - AN61290：硬件设计的注意事项
  - AN57821：混合信号电路板布局
  - AN58304：模拟设计的引脚选择
  - AN81623：数字设计的最佳实践
  - AN73854：Bootloader 简介
- 开发套件：
  - CY8CKIT-001 为 PSoC 1、PSoC 3、PSoC 4 或 PSoC 5LP 器件系列提供一个通用的开发平台。
  - CY8CKIT-050 是专门为模拟性能而设计的。通过该套件，您可以评估、开发各种基于 PSoC 5LP 的高精度模拟、低功耗以及低电压的应用。

这两种套件都支持 PSoC 扩展板生态系统套件。扩展套件可用于 CapSense、高精度温度测量和电源监控等多种应用。

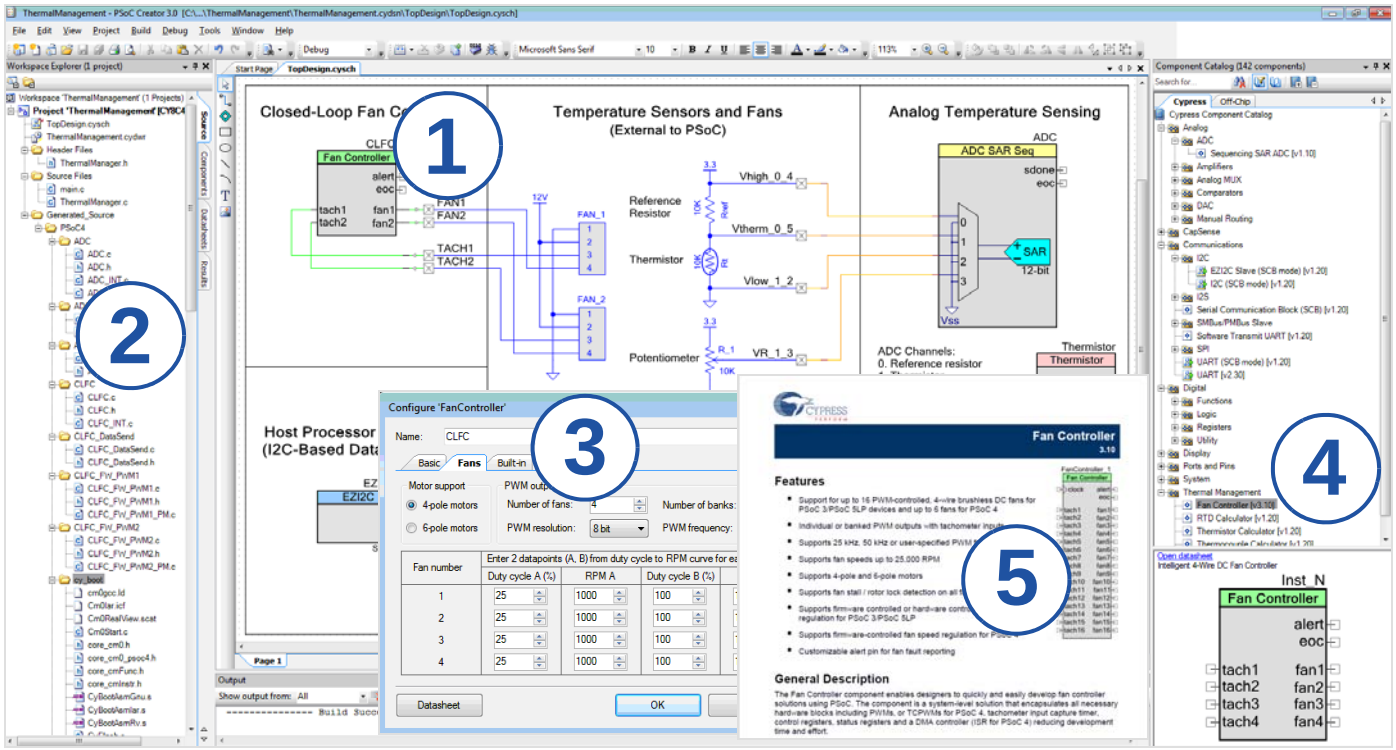
MiniProg3 器件可用于编程和调试闪存。

PSoC Creator

PSoC Creator 是基于 Windows 的免费集成开发环境（IDE）。通过它可以同时在 PSoC 3、PSoC 4 和 PSoC 5LP 的系统中设计硬件和固件。 PSoC Creator 通过基于原理图的经典方法进行系统架构设计，该方法适用于上百个预验证并准备好量产的 PSoC 组件。更多信息请参考组件数据手册列表。使用 PSoC Creator，可以执行以下操作：

1. 将组件图标施放到主要设计工作区中，以进行您的硬件系统设计
2. 使用 PSoC Creator 集成开发环境 C 语言编译器协同设计您的应用固件和 PSoC 硬件
3. 使用配置工具配置各组件
4. 包含 100 多个组件的库
5. 查看组件数据手册

图 1. PSoC Creator 中多传感器的示例项目



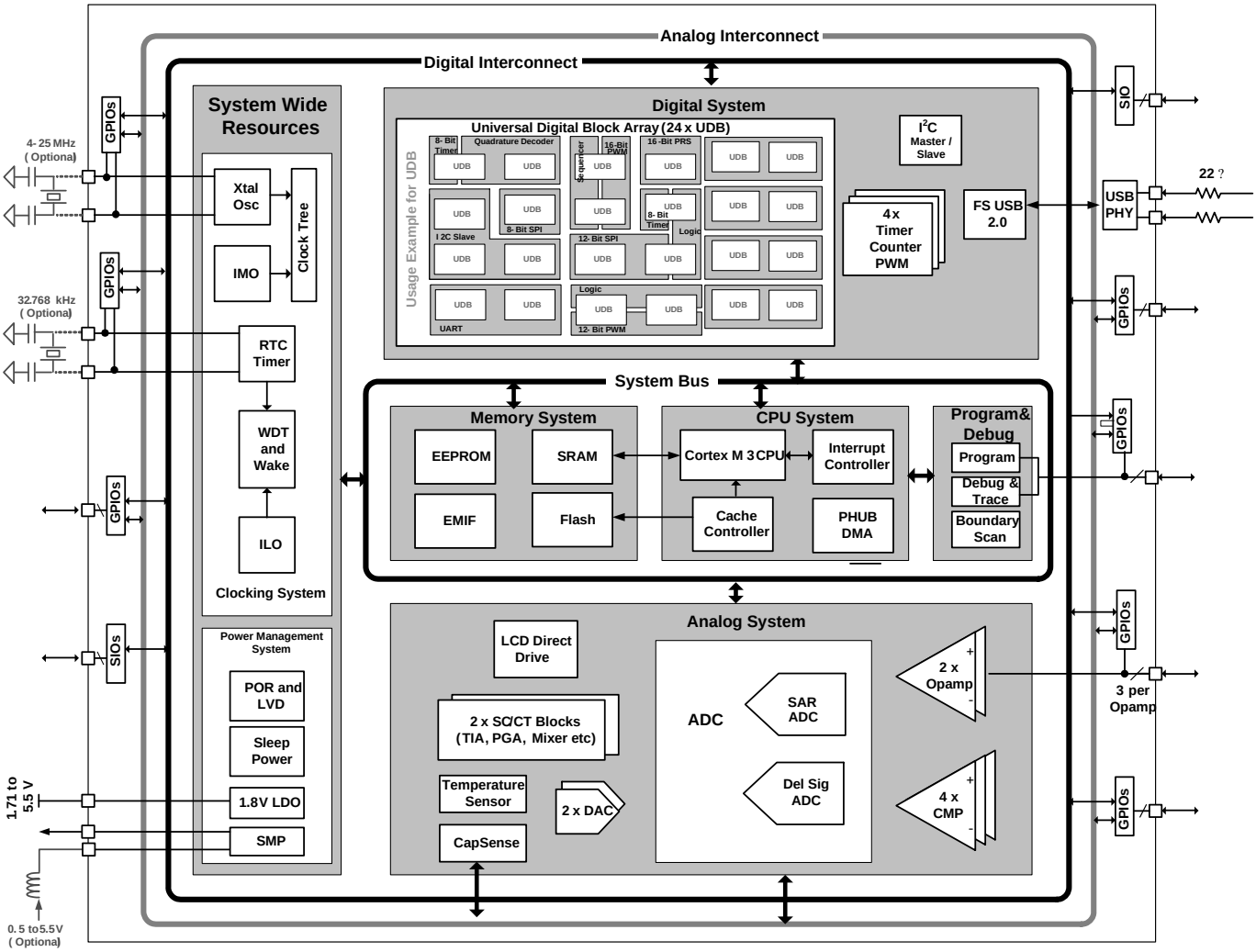
目录

1. 架构概述 4
2. 引脚分配 6
3. 引脚说明 11
4. CPU 12
4.1 ARM Cortex-M3 CPU 12
4.2 存控制器 15
4.3 DMA 与 PHUB 15
4.4 中断控制器 16
5. 存储器 19
5.1 静态 RAM 19
5.2 闪存程序存储器 19
5.3 闪存安全性 19
5.4 EEPROM 19
5.5 非易失性锁存器（NVL） 20
5.6 外部存储器接口 21
5.7 存储器映射情况 22
6. 系统集成 23
6.1 时钟系统 23
6.2 供电系统 27
6.3 复位 31
6.4 I/O 系统与路由 33
7. 数字子系统 40
7.1 外设示例 40
7.2 通用数字模块 42
7.3 UDB 阵列描述 45
7.4 DSI 路由接口说明 45
7.5 USB 47
7.6 定时器、计数器和 PWM 47
7.7 I^2C 48
8. 模拟子系统 50
8.1 模拟路由 51
8.2 Delta-sigma ADC 53
8.3 逐次逼近 ADC 54
8.4 比较器 54
8.5 运算放大器 56
8.6 可编程 SC/CT 模块 56
8.7 LCD 直接驱动器 57
8.8 CapSense 58
8.9 温度传感器 58
8.10 DAC 58
8.11 上变频 / 下变频混频器 59
8.12 采样和保持 60
9. 编程、调试接口与资源 60
9.1 JTAG 接口 61
9.2 SWD 接口 62
9.3 调试特性 63
9.4 跟踪功能 63
9.5 SWV 和 RACEPORT 接口 63
9.6 编程功能 63
9.7 器件安全性 63
9.8 CSP 封装 Bootloader 64
10. 开发支持 64
10.1 文档 64
10.2 在线资源 64
10.3 工具 64
11. 电气规范 65
11.1 最大绝对额定值 65
11.2 器件级规范 66
11.3 电源调节器 69
11.4 输入和输出 73
11.5 模拟外设 81
11.6 数字外设 101
11.7 存储器 105
11.8 PSoC 系统资源 109
11.9 时钟 112
12. 订购信息 116
12.1 器件编号约定 117
13. 封装 118
14. 缩略语 121
15. 参考文档 122
16. 文档规范 123
16.1 测量单位 123
文档修订记录页 124
销售、解决方案和法律信息 125
全球销售和设计支持 125
产品 125
PSoC® 解决方案 125
赛普拉斯开发者社区 125
技术支持 125

1. 架构概述

下面介绍的是超低功耗、闪存可编程片上系统（PSoC®）的 CY8C54LP 器件系列。该器件系列作为可扩展的 8 位 PSoC 3 和 32 位 PSoC 5LP 平台的一部分。CY8C54LP 系列提供了围绕着 CPU 子系统的可配置模拟模块、数字模块和互连电路。通过将 CPU 同高度灵活的模拟子系统、数字子系统、布线及 I/O 相结合，可以在众多消费、工业和医疗应用场合实现高度集成。

图 1-1. 简化的框图



第 4 页上的图 1-1 显示了 CY8C54LP 系列的主要组件，它们分别是：

- ARM Cortex-M3 CPU 子系统
- 非易失性子系统
- 编程、调试和测试子系统
- 输入和输出
- 时钟
- 功耗
- 数字子系统
- 模拟子系统

PSoC 具有独特的可配置性，其中有一半是由其数字子系统提供的。数字子系统不仅能够通过数字系统互连（DSI）将来自任意外设的数字信号连接至任意引脚，而且还能够通过小而快的低功耗 UDB 实现功能灵活性。PSoC Creator 提供了一个预建且经过测试的标准数字外设库（如 UART、SPI、LIN、PRS、CRC、定时器、计数器、PWM、AND、OR 等），该外设库被映射到 UDB 阵列内。此外，您还可以通过图形设计输入的方式，使用布尔基元轻松创建数字电路。每个 UDB 均包含可编程阵列逻辑（PAL）/ 可编程逻辑器件（PLD）功能和一个小型状态机引擎，用于支持多种外设。

除了能够提高 UDB 阵列的灵活性之外，PSoC 还提供旨在实现特定功能的可配置数字模块。对于 CY8C54LP 系列，这些模块包括四个 16 位定时器 / 计数器 /PWM 模块、I^2C 从、主和多主接口，以及全速 USB。

有关外设的详细信息，请参见本数据手册的第 40 页上的 “ 外设示例 ” 一节。有关 UDB、DSI 及其它数字模块的信息，请参见本数据手册的第 40 页上的 “ 数字子系统 ” 一节。

PSoC 独特可配置性的另外一半则来自于其模拟子系统。所有模拟性能都基于高度精确的绝对电压参考（在有效工作温度和电压下误差小于 1%）。可配置模拟子系统包括：

- 模拟复用器
- 比较器
- 模拟混频器
- 电压参考
- 模数转换器 （ADC）
- 数模转换器 （DAC）

所有 GPIO 引脚都可以使用内部模拟总线将模拟信号输入和输出器件。因此，器件可以连接多达 62 个不同的模拟信号。

某些 CY8C54LP 器件提供快速、精确，并具有以下特性的可配置 Delta-Sigma ADC：

- 偏移小于 100 µV
- 增益误差为 0.2%
- INL 小于 ±1 LSB
- DNL 小于 ±1 LSB
- SINAD 优于 66 dB

CY8C54LP 系列也提供了 SAR ADC。它可在高达 1M 的每秒采样率下实现 12 位转换，因此还能实现极低的非线性和偏移误差以及优于 70 dB 的 SNR。它非常适合各种高速模拟应用。

两个高速电压或电流 DAC 支持 8 位输出信号，其更新速率最高可达 8 Msps。它们可以连接到任何 GPIO 引脚输入 / 输出。您可以使用 UDB 阵列创建分辨率更高的电压 PWM DAC 输出。利用此方法，可以在高达 48 kHz 的频率下创建高达 10 位的脉冲宽度调制 （PWM） DAC。每个 UDB 中的数字 DAC 都支持 PWM、PRS 或 delta-sigma 算法，并且宽度可编程。

除了 ADC 和 DAC 以外，模拟子系统还提供：

- 比较器
- 多个未赋定运算放大器
- 多个可配置的开关电容 / 连续时间 （SC/CT）模块。这些模块支持：
  - 互阻放大器
  - 可编程增益放大器
  - 混频器
  - 其它类似模拟组件

有关详细信息，请参见本数据手册中的第 50 页上的 “ 模拟子系统 ” 一节。

PSoC 的 CPU 子系统是围绕工作频率高达 80 MHz 的 32 位三段流水线式 ARM Cortex-M3 处理器构建的。 Cortex-M3 包含一个高度集成的嵌套向量中断控制器 （NVIC）以及多个调试和跟踪模块。整个CPU子系统配有一个DMA控制器、闪存缓存和RAM。NVIC 提供了低延迟、嵌套中断、中断的末尾连锁和其它功能，可提高中断处理的效率。 DMA 控制器允许外设能够在没有 CPU 干预的情况下交换数据。这样， CPU 就能够以较慢的速度运行（降低功耗）或使用这些 CPU 周期来提高固件算法的性能。闪存缓存还可以降低闪存访问的频率，从而减少系统的功耗。

PSoC 的非易失性子系统由闪存、按字节写入的 EEPROM 以及非易失性配置选项构成。它能够提供高达 256 KB 的片上闪存。CPU 可以重新编程闪存的各个区块，以便使能 Bootloader。您可以针对可靠性较高的应用使能纠错码 （ECC）。功能强大且非常灵活的保护模型能够保护用户的敏感信息，并能够锁定选定的存储器模块，以便实现读写保护。片上提供了 2 KB 大小的按字节写入的 EEPROM，用于存储应用数据。此外，选定的配置选项（如引导速度和引脚驱动模式）存储在非易失性存储器中。这样可使上电复位 （POR）后，相关设置立即生效。

三种 PSoC I/O 类型都非常灵活。所有 I/O 都支持多种可在上电复位 （POR）时设置的驱动模式。 PSoC 还通过 VDDIO 引脚提供多达四个 I/O 电压域。每个 GPIO 都具有模拟 I/O、LCD 驱动、CapSense、灵活的中断生成、转换速率控制以及数字 I/O 功能。PSoC 上的 SIO 在用作输出时可独立设置 V_{OH} 和 VDDIO。 SIO 在输入模式下处于高阻抗状态。即使器件未被上电或引脚电压高于供电电压，亦是如此。这样 SIO 便非常适用于 I^2C 总线，因为该总线上的其它器件处于上电状态时，PSoC 可能未被上电。SIO 引脚还具有非常高的灌电流能力，适用于 LED 驱动等应用。通过使用 SIO 的可编程输入阈值特性，可以将 SIO 用作通用模拟电压比较器。此外，对于带全速 USB 的器件，还提供了 USB 物理接口 （USBIO）。当不使用 USB 时，这些引脚还可以用于实现有限的数字功能和进行器件编程。本数据手册的第 33 页上的 “I/O 系统与路由 ” 一节对 PSoC I/O 的所有特性进行了详细说明。

PSoC 器件集成了非常灵活的内部时钟生成器，因此能够实现高稳定性和精度。内部主要振荡器 （IMO）是系统的主要时基，在 3 MHz 频率下的精度为 2%。可对 IMO 进行配置，使之在 3 MHz 至 24 MHz 的工作频率范围内运行。为了满足应用的要求，可将主时钟频率分频成多个时钟。器件提供了一个PLL，以便从IMO、外部晶振或外部参考时钟生成高达 80 MHz 的系统时钟频率。器件还包含一个单独的超低功耗内部低速振荡器 （ILO），供睡眠和看门狗定时器使用。此外，在实时时钟 （RTC）应用中，还支持使用 32.768 kHz 的外部时钟晶振。时钟以及可编程时钟分频器具有高度的灵活性，能够满足大多数时序要求。

CY8C54LP 系列能够在 1.71 V 到 5.5 V 的电压范围内工作。可以采用 1.8 V ± 5%、2.5 V ± 10%、3.3 V ± 10% 或 5.0 V ± 10% 等稳压电源，或直接采用多种不同类型的电池。此外，该系列还提供了一个集成的高效同步升压转换器，该转换器能够采用 0.5 V 的供电电压为器件供电。这样可以通过单个电池直接为器件供电。不仅如此，您还可以使用升压转换器来生成器件所需的其它电压，例如，驱动 LCD 显示屏所需的 3.3 V 电压。升压器的输出引脚是 V_{BOOST}，这么便可以从 PSoC 为应用中的其它器件供电。

PSoC 支持多种低功耗模式。其中包括 300 nA 休眠模式（RAM 保持数据）和 2 µA 睡眠模式（RTC 保持运行）。在第二种模式下，可选的 32.768 kHz 时钟晶振会连续运行，以保持准确的 RTC。

固件可以独立控制所有主要功能模块（包括可编程数字和模拟外设）的供电情况。因此，当某些外设未被使用时，可以采用低功耗后台处理模式。这样一来，当 CPU 在 6 MHz 下运行时，器件总电流仅为 3.1 mA。

关于 PSoC 功耗模式的详细信息，请参见本数据手册中第 27 页上的“供电系统”一节。

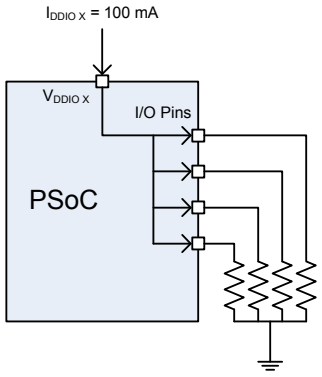
PSoC 采用 4 线 JTAG 或 2 线 SWD 接口进行编程、调试和测试。借助这些标准接口，您能够利用赛普拉斯公司或第三方供货商提供的众多硬件解决方案对 PSoC 进行调试或编程。Cortex-M3 调试和跟踪模块包括：FPB、DWT、ETM 以及 ITM。这些模块具有多项功能，因此有助于解决较难的调试和跟踪问题。有关编程、测试和调试接口的详细信息，请参见本数据手册中的第 60 页上的“编程、调试接口与资源”一节。

2. 引脚分配

每个 VDDIO 引脚为一组特定的 I/O 引脚供电。（USBIO 则由 VDDD 供电。）通过使用 VDDIO 引脚，单个 PSoC 能支持多个接口电压，无需片外电平转换器。图 2-3 和图 2-4 中引脚分配框图内的黑线以及表 2-1 显示的是每个 VDDIO 供电的引脚。

每个 VDDIO 总共可为相应 I/O 引脚提供高达 100 mA 的源电流，如图 2-1 所示。

图 2-1. VDDIO 电流限制



反过来，对于 100 引脚和 68 引脚器件，也可以将 100 mA 的总电流灌入到与任意 VDDIO 相应的引脚组，如图 2-2 所示。

图 2-2. I/O 引脚电流限制

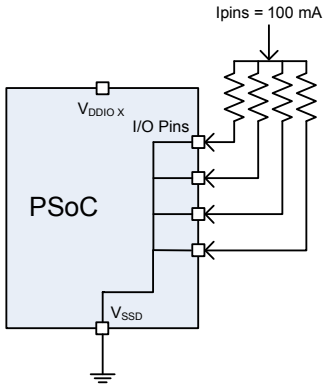
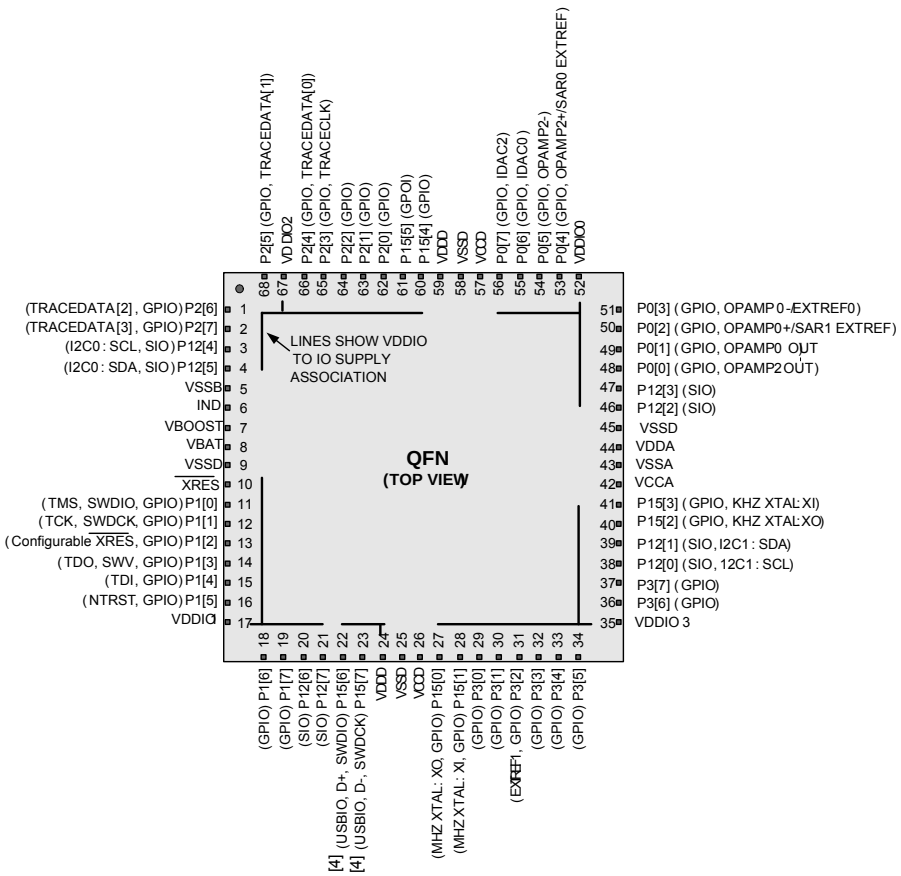


图 2-3. 68-QFN 器件的引脚分配 [3]



注释：

3. QFN 封装上的中心焊盘应连接到数字接地（VSSD），以获得最佳机械、热和电气性能。如果不接地，则该中心焊盘应处于电气悬空状态，不能将其连接到其他任何信号。更多有关信息，请参见 AN72845 — QFN 器件的设计指南。
4. 在不带 USB 的器件上，引脚处于 “ 请勿使用 ”（DNU）状态。必须保持这些引脚为悬空状态。

图 2-4. 100-TQFP 封装的引脚分配

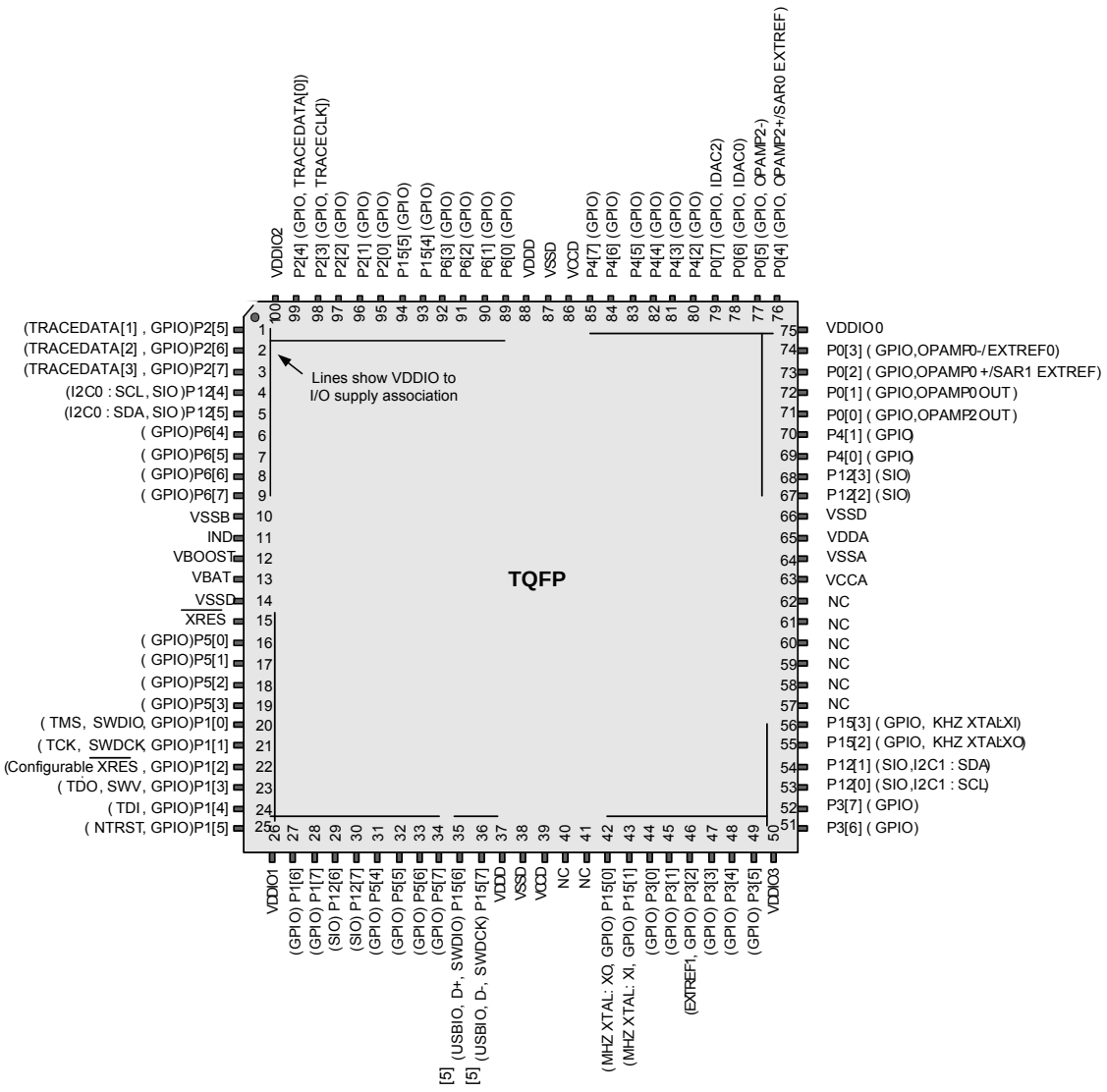


表 2-1. V_{DDIO} 和端口引脚的分配

VDDIO	端口引脚
VDDIO0	P0[7:0]、 P4[7:0]、 P12[3:2]
VDDIO1	P1[7:0]、 P5[7:0]、 P12[7:6]
VDDIO2	P2[7:0]、 P6[7:0]、 P12[5:4]、 P15[5:4]
VDDIO3	P3[7:0]、 P12[1:0]、 P15[3:0]
VDDD	P15[7:6]（USB 的 D+、 D-）

注释：
5. 在不带 USB 的器件上，引脚处于 “ 请勿使用 ” （DNU）状态。这些引脚必须保持悬空状态。

表 2-2 显示了 99-ball WLCSP 封装的引脚分配状况。由于共有 4 个 V_{DDIO} 引脚，因此，与 100 引脚和 68 引脚器件相同，将 100 mA 的总电流灌入到与 V_{DDIO} 相应的 I/O 引脚组。

表 2-2. CSP 引脚分配

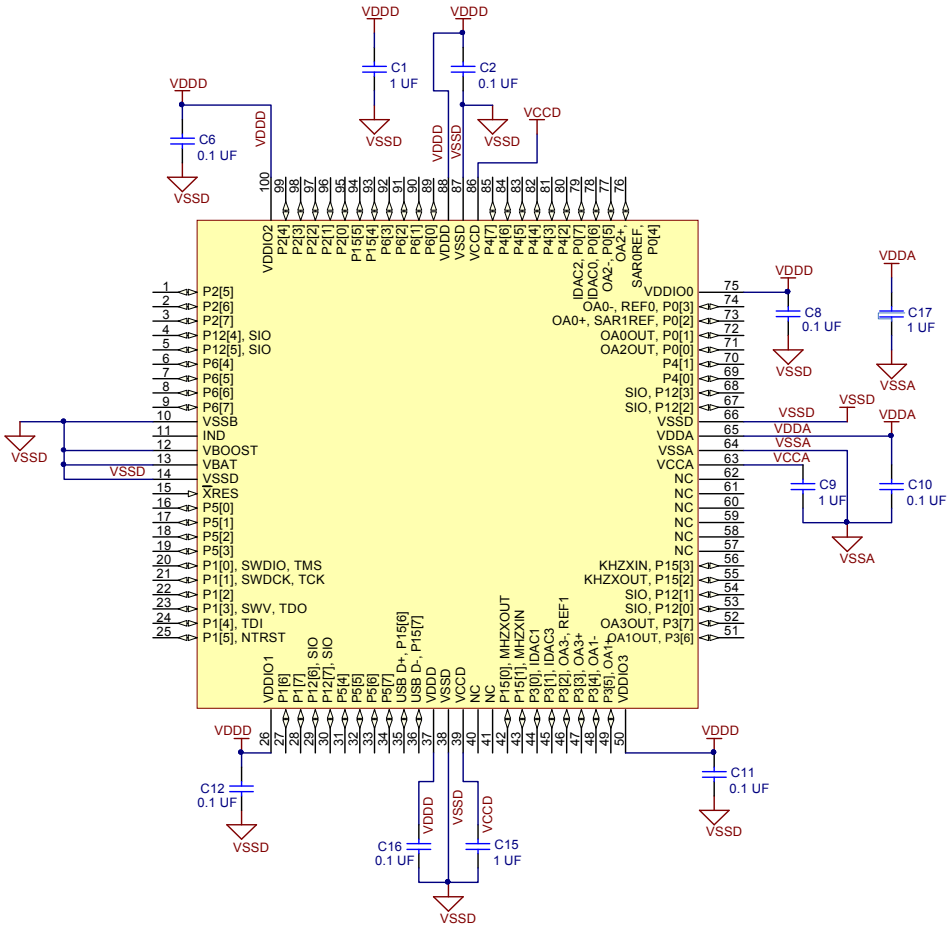
球型焊盘	名称	球型焊盘	名称	球型焊盘	名称	球型焊盘	名称
E5	P2[5]	L2	VIO1	B2	P3[6]	C8	VIO0
G6	P2[6]	K2	P1[6]	B3	P3[7]	D7	P0[4]
G5	P2[7]	C9	P4[2]	C3	P12[0]	E7	P0[5]
H6	P12[4]	E8	P4[3]	C4	P12[1]	B9	P0[6]
K7	P12[5]	K1	P1[7]	E3	P15[2]	D8	P0[7]
L8	P6[4]	H2	P12[6]	E4	P15[3]	D9	P4[4]
J6	P6[5]	F4	P12[7]	A1	NC	F8	P4[5]
H5	P6[6]	J1	P5[4]	A9	NC	F7	P4[6]
J5	P6[7]	H1	P5[5]	L1	NC	E6	P4[7]
L7	VSSB	F3	P5[6]	L9	NC	E9	VCCD
K6	Ind	G1	P5[7]	A3	VCCA	F9	VSSD
L6	VBOOST	G2	P15[6]	A4	VSSA	G9	VDDD
K5	VBAT	F2	P15[7]	B7	VSSA	H9	P6[0]
L5	VSSD	E2	VDDD	B8	VSSA	G8	P6[1]
L4	XRES	F1	VSSD	C7	VSSA	H8	P6[2]
J4	P5[0]	E1	VCCD	A5	VDDA	J9	P6[3]
K4	P5[1]	D1	P15[0]	A6	VSSD	G7	P15[4]
K3	P5[2]	D2	P15[1]	B5	P12[2]	F6	P15[5]
L3	P5[3]	C1	P3[0]	A7	P12[3]	F5	P2[0]
H4	P1[0]	C2	P3[1]	C5	P4[0]	J7	P2[1]
J3	P1[1]	D3	P3[2]	D5	P4[1]	J8	P2[2]
H3	P1[2]	D4	P3[3]	B6	P0[0]	K9	P2[3]
J2	P1[3]	B4	P3[4]	C6	P0[1]	H7	P2[4]
G4	P1[4]	A2	P3[5]	A8	P0[2]	K8	VIO2
G3	P1[5]	B1	VIO3	D6	P0[3]		

图 2-5 所示为 100-TQFP 器件的原理图示例，图 2-6 显示的是该器件在两层电路板上获得最佳模拟性能的 PCB 布局示例。

- 两个标记 VDDD 的引脚必须连接在一起。
- 两个标记 VCCD 的引脚必须连接在一起，并且必须连接电容，如图 2-5 和第 27 页上的供电系统所示。两个 VCCD 引脚之间的走线越短越好。
- 两个标记 VSSD 的引脚必须连接在一起。

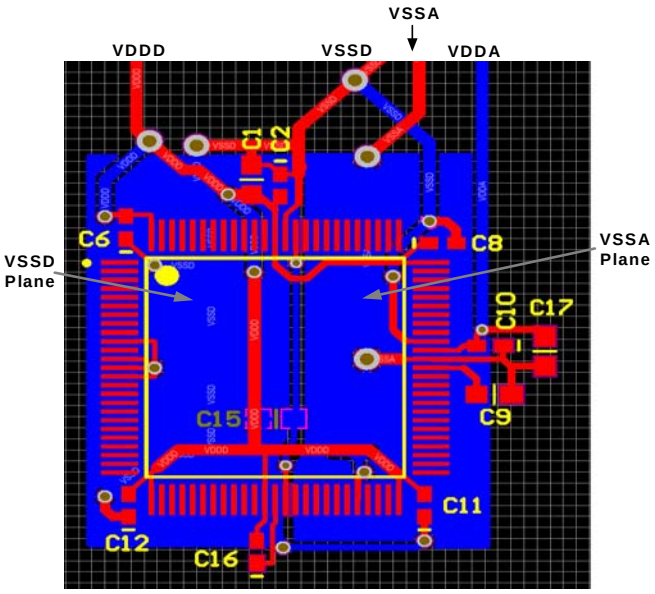
有关混合信号电路板布局问题的详细信息，请参考应用手册 AN57821 - PSoC® 3 与 PSoC 5 混合信号电路板布局注意事项。

图 2-5. 100-TQFP 器件的原理图示例 （包含供电连接）



注意：两个 VCCD 引脚必须连接在一起，并且它们之间的走线越短越好。建议在器件下方连接线路，如图 2-6 所示。

图 2-6. 模拟性能得到优化的 100-TQFP 器件的 PCB 布局示例



3. 引脚说明

IDAC0、 IDAC2. 高电流 DAC （IDAC）的低电阻输出引脚。

Opamp0out、 Opamp2out. 运算放大器的高电流输出引脚 [6]。

Extref0、 Extref1. 模拟系统的外部参考输入引脚。

SAR0 EXTREF、 SAR1 EXTREF。 SAR ADC 的外部参考。

Opamp0-、 Opamp2-. 运算放大器的反相输入引脚。

Opamp0+、 Opamp2+. 运算放大器的同相输入引脚。

GPIO. 通用 I/O 引脚提供了用于连接 CPU、数字外设、模拟外设、中断、 LCD Segment 驱动和 CapSense 的接口 [6]。

I2C0：SCL、 I2C1：SCL. I^2C SCL 信号线提供了在地址匹配时从睡眠模式唤醒器件的功能。如果不需要从睡眠模式唤醒，则任意 I/O 引脚都可用于 I^2C SCL。

I2C0：SDA、 I2C1：SDA. I^2C SDA信号线提供了在地址匹配时从睡眠模式唤醒器件的功能。如果不需要从睡眠模式唤醒，则任意 I/O 引脚都可用于 I^2C SDA。

Ind. 升压器的电感连接引脚。

kHz XTAL：Xo、 kHz XTAL：Xi. 32.768 kHz 晶振引脚。

MHz XTAL：Xo、 MHz XTAL：Xi. 4-25 MHz 晶振引脚。

nTRST. 可选的 JTAG 测试复位编程与调试端口连接引脚，用于复位 JTAG 连接。

SIO 专用 I/O 提供用于连接 CPU、数字外设和中断的接口，并能够提供可编程的高阈值电压、模拟电压比较器和非常高的灌电流，当器件未上电时处于高阻抗状态。

SWDCK. 串行线调试时钟编程与调试端口连接引脚。

SWDIO. 串行线调试输入和输出编程与调试端口连接引脚。

TCK. JTAG 测试时钟编程与调试端口连接引脚。

TDI. JTAG 测试数据输入编程与调试端口连接引脚。

TDO. JTAG 测试数据输出编程与调试端口连接引脚。

TMS. JTAG 测试模式选择编程与调试端口连接引脚。

TRACECLK. Cortex-M3 TRACEPORT 连接，给 TRACEDATA 引脚提供脉冲。

TRACEDATA[3:0]. Cortex-M3 TRACEPORT 连接，输出数据。

SWV。 . 单线浏览器输出引脚。

USBIO、 D+. 提供与 USB 2.0 总线的直接 D+ 连接。可作为一个数字 I/O 引脚使用；由 VDDD 供电，并非由 VDDIO 供电。在不带 USB 的器件上，引脚处于 “ 请勿使用 ” （DNU）状态。

USBIO、 D-. 提供直接与 USB 2.0 总线的 D- 连接。可作为数字 I/O 引脚使用；由 VDDD 供电，并非由 VDDIO 供电。在不带 USB 的器件上，引脚处于 “ 请勿使用 ” （DNU）状态。

VBOOST. 升压器的供电传感连接引脚。

VBAT. 升压器的电池供电引脚。

注释：
6. 建议不将运算放大器的 GPIO 输出用于 CapSense 功能。

VCCA. 模拟系统内核调节器的输出引脚或模拟系统内核的输入引脚。需要将一个 1 µF 的电容连接到 VSSA 上。电压调节器输出不适用于驱动外部电路。**请注意，如果器件使用外部内核电压调节器（外部调节模式），供给该引脚的电压不能超过所允许的范围（1.71 V 至 1.89 V）。**使用内部内核电压调节器（内部调节模式，即默认模式）时，不要给该引脚供电。有关详细信息，请参见第 27 页上的供电系统。

VCCD. 数字系统内核电压调节器的输出引脚，或数字系统内核的输入引脚。必须使用一根尽可能短的导线将两个 VCCD 引脚连接在一起，然后通过 1 µF 的电容连接到 VSSD 上。电压调节器输出不适用于驱动外部电路。**请注意，如果器件使用外部内核电压调节器（外部调节模式），则供给该引脚的电压不能超过允许范围（1.71 V 至 1.89 V）。**使用内部内核调节器（内部调节模式，即默认模式）时，不要给该引脚供电。有关详细信息，请参见第 27 页上的供电系统。

VDDA. 所有模拟外设和模拟内核电压调节器的供电引脚。**VDDA 必须是器件的最高电压。所有其它供电引脚不能大于 VDDA。**

VDDD. 所有数字外设和数字系统内核电压调节器的供电引脚。VDDD 必须小于或等于 VDDA。

VSSA. 所有模拟外设的接地引脚。

VSSB. 升压器的接地引脚。

VSSD. 所有数字逻辑和 I/O 引脚的接地引脚。

VDDIO0、VDDIO1、VDDIO2、VDDIO3. I/O 引脚的供电引脚。每个 VDDIO 都必须连接有效的工作电压（1.71 V 至 5.5 V），并且不得大于 VDDA。

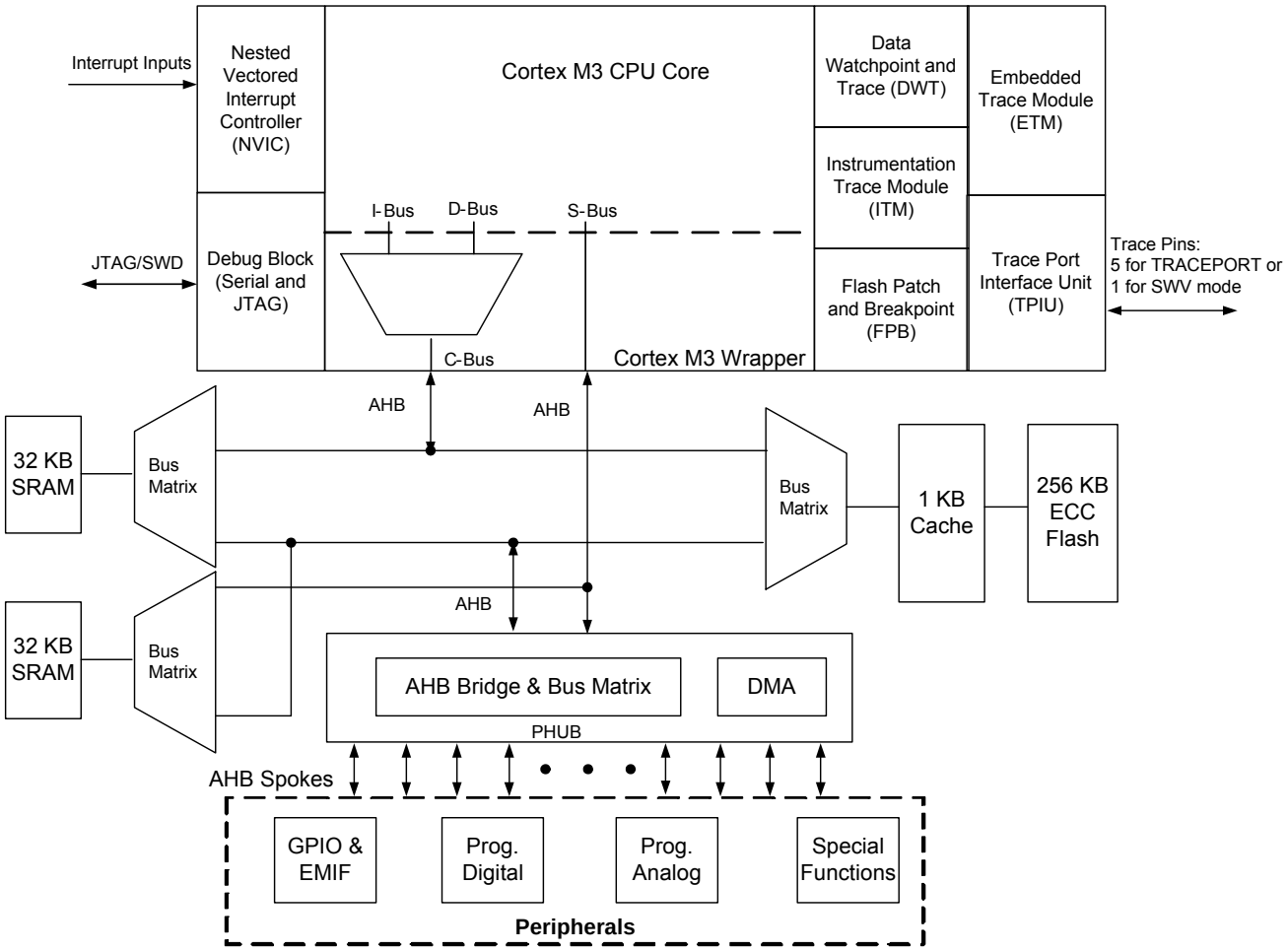
$\overline{\text{XRES}}$. 外部复位引脚。内部上拉引脚为低电平有效。

4. CPU

4.1 ARM Cortex-M3 CPU

CY8C54LP 器件系列拥有 ARM Cortex-M3 CPU 内核。Cortex-M3 是一种低功耗的 32 位三段流水线式 Harvard 架构 CPU，可提供 1.25 DMIPS/MHz。它适用于深度嵌入且需要高速中断处理功能的应用。

图 4-1. ARM Cortex-M3 框图



Cortex-M3 CPU 子系统具有下列特性：

- ARM Cortex-M3 CPU
- 可编程的 NVIC，它与 CPU 内核紧密集成
- 功能齐全的调试模块和跟踪模块，与 CPU 内核紧密集成
- 高达 128 KB 的闪存，2 KB 的 EEPROM，以及 32 KB 的 SRAM
- 缓存控制器
- 外设集线器 （PHUB）
- DMA 控制器
- 外部存储器接口 （EMIF）

4.1.1 Cortex-M3 特性

Cortex-M3 CPU 的特性包括：

- 4 GB 地址空间。为代码、数据和外设预定义的地址范围。多条总线，用于高效、同时访问指令、数据和外设。
- Thumb®-2 指令集，可在 Thumb 级代码密度的条件下实现 ARM 级性能。其中包括 16 位指令和 32 位指令。高级指令包括：
  - 位域控制
  - 硬件乘法和除法
  - 饱和
  - If-Then
  - 等待事件和中断
  - 独占访问和障碍
  - 特殊寄存器访问

  Cortex-M3 不支持 ARM 指令。
- SRAM 区的位绑定支持。用于 SRAM 地址的位读写操作。
- 非对齐的数据存储和访问。连续存储字节长度不同的数据。
- 在两种特权级别（特权级别和用户级别）和两种模式（线程模式和处理程序模式）下运行。有些指令只能在特权级别下执行。有两个堆栈指针，即：主指针（MSP）和进程指针（PSP）。这些特性使多任务操作系统能够运行一个或多个用户级进程。
- 全面的中断和系统异常支持。

4.1.2 Cortex-M3 工作模式

Cortex-M3 可以在特权级别或用户级别运行，也可以运行于线程模式或处理程序模式。由于处理程序模式只能在特权级别下使用，因此实际上有三种状态，如表 4-1 所示。

表 4-1. 运行级别

条件	特权级别	用户级别
运行异常	处理程序模式	未使用
运行主程序	线程模式	线程模式

在用户级别下，禁止使用特定指令、特殊寄存器、配置寄存器和调试组件。尝试访问这些组件会引起故障。在特权级别下，允许访问所有指令和寄存器。

在处理异常时，处理器运行于处理程序模式 （始终在特权级别）；否则，处理器运行于线程模式。

4.1.3 CPU 寄存器

表 4-2 列出了 Cortex-M3 CPU 寄存器。寄存器 R0-R15 的宽度均为 32 位。

表 4-2. Cortex M3 CPU 寄存器

寄存器	描述
R0-R12	通用寄存器 R0-R12 在架构方面尚未定义专门用途。用于配置通用寄存器的大多数指令均可用于 R0-R12。 ■ 低位寄存器：通过用于配置通用寄存器的所有指令，可以访问寄存器 R0-R7。 ■ 高位寄存器：通过用于配置通用寄存器的全部 32 位指令，可以访问寄存器 R8-R12 ；不能通过任何 16 位指令访问这些寄存器。
R13	R13 是堆栈指针寄存器。这是一个编组寄存器，并在主堆栈指针 （MSP）和进程堆栈指针（PSP）的两个 32 位堆栈指针之间进行切换。仅当 CPU 运行于用户级别的线程模式下时，才会使用 PSP。 MSP 可在其它所有权限级别和模式下使用。 SP 的位 [0:1] 被忽略，并被当作 0，因此 SP 始终按字 （4 字节）对齐。
R14	R14 是链接寄存器（LR）。在调用子程序时，LR 用于存储返回地址。
R15	R15 是程序计数器 （PC）。 PC 的位 0 被忽略，并认为是 0，因此指令始终按半字 （2 字节）对齐。
xPSR	程序状态寄存器被分为三个状态寄存器，可以同时或单独访问这三个寄存器： ■ 应用程序状态寄存器（APSR）在 [27:31] 位中保留程序执行状态位，例如：零、进位、负向位。 ■ 中断程序状态寄存器（IPSR）在位 [0:8] 中保留当前异常编号。 ■ 执行程序状态寄存器（EPSR）在 [10:15] 位和 [25:26] 位中保留中断可继续指令和 IF-THEN 指令的控制位。位 24 始终被设为 1，用于指示 Thumb 模式。尝试清除该位会导致故障。
PRIMASK	1 位中断屏蔽寄存器。如果设置了此寄存器，则它仅允许发生不可屏蔽中断 （NMI）和硬故障异常。所有其它异常和中断都被屏蔽。
FAULTMASK	1 位中断屏蔽寄存器。设置后，它仅允许 NMI。所有其它异常和中断都被屏蔽。
BASEPRI	最多包含 9 位的寄存器，用于定义屏蔽优先级别。设置后，它将禁用具有同等的或更高优先级别的中断。如果将其设为 0，则会禁用屏蔽功能。
CONTROL	2 位寄存器，用于控制工作模式。 位 0：0 表示为特权级别，并在线程模式下运行；1 表示为用户级别，并在线程模式下运行。 位 1：0 表示使用默认堆栈 （MSP）；1 表示使用替换堆栈。如果在线程模式下或在用户级别运行，则替换堆栈为 PSP。处理程序模式没有替换堆栈，在处理程序模式下，此位必须为 0。

4.2 存控制器

CY8C58LP 系列带有一个 1 KB 的四路组关联的指令缓存，该缓存位于 CPU 和闪存存储器之间。这可以保证更快的指令执行速度。闪存缓存还可以降低闪存访问的频率，从而减少系统的功耗。

4.3 DMA 与 PHUB

PHUB 和 DMA 控制器负责 CPU 和外设之间的数据传输，以及外设之间的数据传输，此外还在引导期间控制器件配置。PHUB 包括：

- 一个中央集线器，其中包括 DMA 控制器、仲裁器和路由器
- 从集线器向外辐射到大多数外设的多个并行访问路径

有两个 PHUB 主设备：CPU 和 DMA 控制器。这两个主设备都能启动总线上的数据操作。 DMA 通道可以处理外设通信，而无需 CPU 干预。如果有多个请求，中央集线器中的仲裁器将决定哪个 DMA 通道具有最高优先级。

4.3.1 PHUB 特性

- CPU 与 DMA 控制器都是 PHUB 的总线主设备
- 八个多层 AHB 总线并行访问路径 （辐轮），用于外设访问
- 在不同的并行访问路径上的外设同步进行 CPU 和 DMA 访问
- 在不同并行访问路径上同步进行 DMA 源和目的地突发（Burst）数据操作
- 支持 8、 16、 24 和 32 位寻址和数据

表 4-3. PHUB 多层并行访问路径 （Spoke）和外设

PHUB 并行访问路径	外设
0	SRAM
1	IO、 PICU、 EMIF
2	PHUB 局部配置、电源管理器、时钟、 IC、SWV、 EEPROM、闪存编程接口
3	模拟接口与调制，抽取滤波器
4	USB、 I2C、定时器、计数器和 PWM
5	保留
6	UDB 组 1
7	UDB 组 2

4.3.2 DMA 特性

- 24 个 DMA 通道
- 每个通道有一个或多个数据操作描述符 （TD），用于配置通道行为。总共可以定义多达 128 个 TD
- 可动态更新 TD
- 每个通道具有八个优先级别
- 任何数字路由信号、CPU 或其它 DMA 通道均可触发数据操作
- 每个通道在每次传输时最多可以生成两个中断
- 可以停止或取消数据操作
- 支持任意大小 （1 至 64k 字节）的数据操作
- 大型数据操作可能会被分为 1 到 127 字节的小型突发数据操作
- 可以嵌套和 / 或链接 TD，以进行复杂的数据操作

4.3.3 优先级别

当 CPU 访问和 DMA 控制器访问需要相同的总线资源时， CPU 的优先级始终高于 DMA 控制器的。不过，由于所采用的系统架构，CPU 不会阻止 DMA 的操作。具有较高优先级（优先级编号较小）的 DMA 通道可以中断当前的 DMA 传输。在这种情况下，系统会允许当前传输完成其当前数据操作。当同时发生多个DMA 访问请求时，为了确保延迟限制，公平算法会在优先级别 2 至 7 之间进行调度，以确保总线带宽的交错百分比最低。优先级别 0 和 1 不参与公平算法，并且可以使用 100% 的总线带宽。如果同时发生两个优先级相同的 DMA 请求，则会使用简单的轮询调度算法来平等地使用所分配的带宽。可以禁用每个 DMA 通道的轮询分配，从而使相应通道始终位于行的起始位置。满足了 CPU 和 DMA 优先级别分别为 0 和 1 的要求后，系统会保证能为优先级别 2 至 7 分配最低的总线带宽，如表 4-4 所示。

表 4-4. 优先级

优先级	总线带宽 （%）
0	100.0
1	100.0
2	50.0
3	25.0
4	12.5
5	6.2
6	3.1
7	1.5

如果禁用公平算法，则仅根据优先级别为 DMA 访问分配资源；而不会提供任何总线带宽保障。

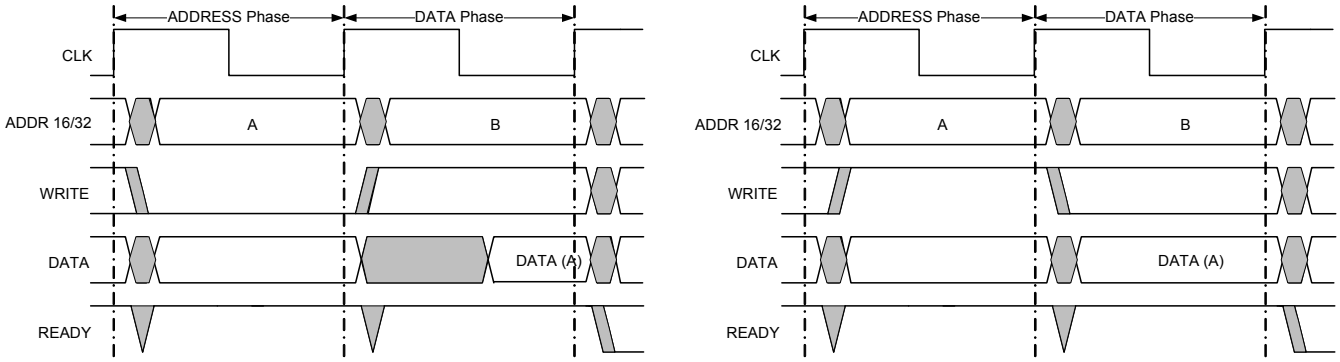
4.3.4 支持的数据操作模式

由于可以灵活地配置每个 DMA 通道并能够链接多个通道，因此既可以创建简单的使用实例，又可以创建复杂的使用实例。一般用例包括 （但不限于）：

4.3.4.1 简单 DMA

在简单的 DMA 中，使用单个 TD 在数据源和数据流 （外设或存储器地址）之间传输数据。DMA 读 / 写周期的基本时序图如图 4-2 所示。有关其它传输模式的更多说明，请参考技术参考手册。

图 4-2. DMA 时序图



4.3.4.2 *自动重复 DMA*

当从系统存储器的固定数据源重复读取数据，并将其写入到外设内时，通常使用自动重复 DMA。重复操作是通过与其自身相链接的单个 TD 来实现的。

4.3.4.3 *交替 DMA*

通过采用双缓冲技术，交替 DMA 允许在一个客户机向一个缓冲区存入数据的同时，另一个客户机使用其他缓冲区中先前收到的数据。在最简单的情况下，这可以通过以下方法来实现：将两个 TD 链接在一起，以便每个 TD 在完成后调用另一个 TD。

4.3.4.4 *循环 DMA*

循环 DMA 与交替 DMA 类似，但它还包含了两个以上的缓冲区。这种用例包含多个TD；最后一个TD完成后会链回到第一个TD。

4.3.4.5 *索引 DMA*

在索引 DMA 情况下，外部主设备需要访问系统总线上的位置，同访问共享存储器中的位置一样。例如，可以将某个外设配置为 SPI 或 I^2C 从设备，且外部主设备将收到其地址。该地址变为内部系统总线存储空间中的索引或偏移。这是通过最初的“地址提取”TD 实现的，该 TD 从外设读取目标地址位置，并将该值写入到链中后续 TD 内。这样可随时修改 TD 链。当“地址提取”TD 完成时，它继续转到下一个 TD，该 TD 嵌入了新的地址信息。随后，该 TD 将数据传输到外部主设备所指定的地址。

4.3.4.6 *分散 / 聚集 DMA*

在分散 / 聚集 DMA 中，需要有多个非连续的来源或目的地，以便有效地执行整个 DMA 数据操作。例如，可能需要将某个数据包发送到器件之外，而该数据包中的各个元素（包括数据包的开头、负载和结尾）位于存储器中不同的非连续位置上。分散 / 聚集 DMA 允许使用链中的多个 TD 将各个 segment 连接在一起。链会聚集多个位置中的数据。类似方法也适用于在器件上接收数据。在收到的数据时，某些部分可能需要分散到存储器中的不同位置，以便软件进行处理。链中的每个 TD 用于指定链中每个离散元素的位置。

4.3.4.7 *数据包排队 DMA*

数据包排队 DMA 与分散 / 聚集 DMA 相似，但明确引用了数据包协议。借助这些协议，发送或接收数据包可以采用单独的配置、数据和状态阶段。

例如，要发送数据包，可以将存储器映射配置寄存器的内容写入到外设中，并指定后续数据阶段的总长度。CPU 可以在系统存储器中的任意位置设置此配置信息，并可通过简单 TD 将其复制到外设内。配置相位后面便是一个或一系列的数据相位 TD（可能会使用分散 / 聚集）。数据相位 TD 完成后，可以调用状态相位 TD，以便从外设读取某些存储器映射的状态信息，并将其复制到 CPU 指定的系统存储器位置上，便于稍后进行检查。可以将多组配置、数据和状态阶段“子链”连成一条更长的链，以便按此方式传送多个数据包。接收数据包采用了类似方法。

4.3.4.8 *嵌套 DMA*

一个 TD 可以修改另一个 TD，因为与其它外设一样，TD 配置空间也已经进行了存储器映射。例如，第一个 TD 加载第二个 TD 的配置，然后调用第二个 TD。第二个 TD 按应用要求传输数据。完成后，第二个 TD 调用第一个 TD，第一个 TD 再次更新第二个 TD 的配置。该过程可以根据需要重复任意数次。

4.4 中断控制器

Cortex-M3 NVIC 支持来自外设的 16 个系统异常和 32 个中断，如表 4-5 所示。

表 4-5. Cortex-M3 异常与中断

异常编号	异常类型	优先级	异常表的地址偏移	功能
			0x00	R13/MSP 的起始值
1	复位	–3（最高级）	0x04	复位
2	NMI	–2	0x08	不可屏蔽的中断
3	硬故障	–1	0x0C	当相应的故障处理程序由于被禁用或被屏蔽而不能激活时产生的故障。
4	存储器管理	可编程	0x10	存储器管理故障，例如，从不可执行的区域读取指令
5	总线故障	可编程	0x14	从总线系统接收到的错误响应；该错误是由指令预读取被中止或数据访问错误导致的
6	使用故障	可编程	0x18	通常由无效指令或尝试切换到 ARM 模式导致
7–10	–	–	0x1C–0x28	保留

表 4-5. Cortex-M3 异常与中断 （续）

异常编号	异常类型	优先级	异常表的地址偏移	功能
11	SVC	可编程	0x2C	通过 SVC 指令的系统服务调用
12	调试监控器	可编程	0x30	调试监控器
13	–	–	0x34	保留
14	PendSV	可编程	0x38	系统服务的延迟请求
15	SYSTICK	可编程	0x3C	系统节拍定时器
16–47	IRQ	可编程	0x40–0x3FC	外设中断请求 #0–#31

每个异常向量的位 0 都指示该异常是使用 ARM 指令执行的还是使用 Thumb 指令执行的。由于 Cortex-M3 仅支持 Thumb 指令，因此该位必须始终为 1。 Cortex-M3 不可屏蔽的中断 （NMI）输入可通过 DSI 路由到任何引脚上，也可以断开与所有引脚的连接。请参见第 45 页上的 “DSI 路由接口说明 ” 一节。

NVIC 处理来自外设的中断，并将中断向量传递到 CPU。它与 CPU 紧密集成，可实现低延迟的中断处理。特性包括：

- 32 个中断。每个中断具有多个源。
- 八个优先级，带有动态优先级控制。
- 优先级分组。这样可以选择优先和非优先的中断级别。
- 支持中断的末尾连锁和迟到机制。这样便可以连续处理中断，即：两次中断之间不需保留和恢复状态。
- 处理器状态在中断进入时会自动保存，并在中断退出时自动恢复，而无需调用任意指令。

如果为两个或多个中断指定了相同的优先级，则首先要执行向量编号较低的中断。每个中断向量有三个中断源可供选择，即：固定功能模块、 DMA 以及 UDB。固定功能模块中断是直接连接到最常见的中断源，这种连接的资源成本最低。如果使用 DMA 中断源，将直接连接到每个 DMA 通道所提供的两个 DMA 中断源。第三个向量中断源来自 UDB 数字路由阵列。这样， UDB 阵列可用的任意数字信号都可用作中断源。通过使用 UDB 中断源连接，可将所有中断源路由到任意中断向量。

表 4-6. 中断向量表

中断编号	Cortex-M3 异常编号	固定功能	DMA	UDB
0	16	低压检测 （LVD）	phub_termout0[0]	udb_intr[0]
1	17	缓存 /ECC	phub_termout0[1]	udb_intr[1]
2	18	保留	phub_termout0[2]	udb_intr[2]
3	19	睡眠 （电源管理）	phub_termout0[3]	udb_intr[3]
4	20	PICU[0]	phub_termout0[4]	udb_intr[4]
5	21	PICU[1]	phub_termout0[5]	udb_intr[5]
6	22	PICU[2]	phub_termout0[6]	udb_intr[6]
7	23	PICU[3]	phub_termout0[7]	udb_intr[7]
8	24	PICU[4]	phub_termout0[8]	udb_intr[8]
9	25	PICU[5]	phub_termout0[9]	udb_intr[9]
10	26	PICU[6]	phub_termout0[10]	udb_intr[10]
11	27	PICU[12]	phub_termout0[11]	udb_intr[11]
12	28	PICU[15]	phub_termout0[12]	udb_intr[12]
13	29	比较器共用	phub_termout0[13]	udb_intr[13]
14	30	开关电容共用	phub_termout0[14]	udb_intr[14]
15	31	I^2C	phub_termout0[15]	udb_intr[15]
16	32	保留	phub_termout1[0]	udb_intr[16]
17	33	定时器 / 计数器 0	phub_termout1[1]	udb_intr[17]
18	34	定时器 / 计数器 1	phub_termout1[2]	udb_intr[18]
19	35	定时器 / 计数器 2	phub_termout1[3]	udb_intr[19]
20	36	定时器 / 计数器 3	phub_termout1[4]	udb_intr[20]
21	37	USB SOF 中断	phub_termout1[5]	udb_intr[21]
22	38	USB 仲裁器中断	phub_termout1[6]	udb_intr[22]
23	39	USB 总线中断	phub_termout1[7]	udb_intr[23]
24	40	USB 端点 [0]	phub_termout1[8]	udb_intr[24]
25	41	USB 端点数据	phub_termout1[9]	udb_intr[25]

表 4-6. 中断向量表（续）

中断编号	Cortex-M3 异常编号	固定功能	DMA	UDB
26	42	保留	phub_termout1[10]	udb_intr[26]
27	43	LCD	phub_termout1[11]	udb_intr[27]
28	44	保留	phub_termout1[12]	udb_intr[28]
29	45	抽取滤波器中断	phub_termout1[13]	udb_intr[29]
30	46	phub_err_int	phub_termout1[14]	udb_intr[30]
31	47	eeprom_fault_int	phub_termout1[15]	udb_intr[31]

5. 存储器

5.1 静态 RAM

CY8C54LP 静态 RAM （SRAM）用于临时存储数据。可以从 SRAM 中的代码空间所在部分全速执行代码。对于地址 0x20000000 以上的 SRAM 空间，代码执行速度会稍慢。该器件最多提供 64 KB 的 SRAM。CPU 或 DMA 控制器可访问所有 SRAM。只要这两个组件访问的不是同一个 32 KB 区块，SRAM 便可以同时被 Cortex-M3 CPU 和 DMA 控制器访问。

5.2 闪存程序存储器

PSoC 器件中的闪存为用户固件、用户配置数据、批量数据存储和可选 ECC 数据提供了非易失性存储空间。主闪存区包含高达 256 KB 的用户程序存储空间。

此外，还有高达 32 KB 的闪存空间用于存储纠错码（ECC）。如果未使用 ECC，则该空间可用于存储器件配置数据和批量用户数据。用户代码可能无法用完 ECC 闪存存储空间。ECC 能够对固件存储器的每 8 个字节纠正一位错误，并检测两位错误；如果检测到错误，则生成中断。闪存输出宽度为 9 个字节，其中有 8 个数据字节，一个 ECC 数据字节。

CPU 或 DMA 控制器均通过缓存控制器读取闪存中的用户代码和批量数据。这样可提高 CPU 的性能。如果启用 ECC，则缓存控制器也会执行错误检查和纠正。

闪存编程通过专用接口执行，在此期间不允许在闪存之内执行代码。编程闪存过程中，可以在 SRAM 外执行代码。

闪存编程接口会执行闪存擦除、编程，并设置代码保护级别。闪存系统内串行编程（ISSP）通常用于生产编程，可通过 SWD 和 JTAG 接口来实现。系统内编程通常用于 Bootloader，也可以通过 I^2C、USB、UART、SPI 等串行接口或任何通信协议来实现。

5.3 闪存安全性

所有 PSoC 器件都有灵活的闪存保护模型，可用于防止访问和查看片上闪存，从而防止对专有代码进行复制或逆向工程设计。闪存划分为若干个模块，其中每个模块都包含 256 个字节的程序或数据以及 32 个字节的 ECC 或配置数据。

器件允许为闪存中每一行指定四个保护级别中的一个。表 5-1 列出了可用的保护模式。要更改闪存保护级别，必须擦除整个闪存。全面保护和现场升级保护设置是为了禁止通过调试工具（如 PSoC Creator）进行外部访问。如果应用需要通过 Bootloader 进行代码更新，请使用现场升级保护设置。只有应用对安全性没有任何要求时，才能使用无保护设置。PSoC 器件还提供了一项名为器件安全性的高级安全性功能，它能够永久性禁用所有测试、编程和调试端口，从而能够避免对应用进行的外部访问（请参见第 63 页上的“器件安全性”一节）。有关如何充分利用 PSoC 安全性功能的详细信息，请参见 PSoC 5 技术参考手册。

表 5-1. 闪存保护

保护设置	支持	不支持
无保护	外部读写操作 + 内部读写操作	–
工厂升级	外部写操作 + 内部读写操作	外部读操作
现场升级	内部读写操作	外部读写操作
全面保护	内部读操作	外部读写操作 + 内部写操作

免责声明

请注意下面同赛普拉斯器件的闪存代码保护功能有关的详细信息。

赛普拉斯产品符合相应的赛普拉斯数据手册中所包含的规范。赛普拉斯坚信，无论如何使用，其产品系列的安全性在目前市场上的同类产品中始终名列前矛。目前可能存在一些赛普拉斯不了解的，能够破坏代码保护功能的方法。据我们所知，任何此类方法都是不正当的，甚至可能是违法的。不只是赛普拉斯，任何其它半导体制造商都无法保证各自代码的安全性。代码保护并非意味着我们保证产品“坚不可摧”。

赛普拉斯非常希望能够与关注其代码完整性的客户通力合作。代码保护技术正在不断发展。持续改进产品的代码保护功能是赛普拉斯的不懈追求。

5.4 EEPROM

PSoC EEPROM 存储器是按字节寻址的非易失性存储器。CY8C54LP 提供了 2 KB 的 EEPROM 存储器来存储用户数据。对 EEPROM 的读访问是按字节进行的随机访问。读访问直接进行；写访问则通过向 EEPROM 编程接口发送写指令来进行。在 EEPROM 写访问期间，可以继续执行闪存中的 CPU 代码。EEPROM 的擦除和写操作是以行为单位进行的。EEPROM 共有 128 行，每行有 16 个字节。所有 EEPROM 字节的出厂默认值均为 0。

因为 EEPROM 被映射到 Cortex-M3 外设区域中，CPU 不能在 EEPROM 空间外执行代码。没有任何 ECC 硬件与 EEPROM 相关联。如果需要 ECC，必须在固件中对其进行处理。

写入 EEPROM 或闪存可能需要 20 毫秒的时间。在这段时间内不能复位器件，否则将导致 EEPROM 或闪存的意外更改。复位源（请参见 *节 6.3.1*）包括 XRES 引脚、软件复位以及看门狗；需要确保这些源不被无意激活。另外，应配置低电压检测电路，使其生成一个中断而不是一个复位。

5.5 非易失性锁存器 （NVL）

PSoC 具有一个 4 字节、用于复位时配置设备的非易失性锁存器 （NVL）阵列。 NVL 寄存器映射如表 5-3 所示。

表 5-2. 器件配置的 NVL 寄存器映射图

寄存器地址	7	6	5	4	3	2	1	0
0x00	PRT3RDM[1:0]		PRT2RDM[1:0]		PRT1RDM[1:0]		PRT0RDM[1:0]	
0x01	PRT12RDM[1:0]		PRT6RDM[1:0]		PRT5RDM[1:0]		PRT4RDM[1:0]	
0x02	XRESMEN	DBGEN					PRT15RDM[1:0]	
0x03	DIG_PHS_DLY[3:0]				ECCEN	DPS[1:0]		CFGSPEED

要想了解各个字段的详细信息及其出厂默认设置，请参考表 5-3:

表 5-3. 字段和出厂默认设置

字段	描述	设置
PRTxRDM[1:0]	用于控制相应 IO 端口的复位驱动模式。请参见第 39 页上的 “ 复位配置 ”。端口的所有引脚都设为相同模式。	00b （默认） — 模拟高阻抗 01b — 数字高阻抗 10b — 电阻上拉 11b — 电阻下拉
XRESMEN	用于控制引脚 P1[2] 作为 GPIO 还是外部复位。P1[2] 通常作为 GPIO，而不用于外部复位。	0 （默认值）— GPIO 1 — 外部复位
DBGEN	调试使能，允许访问调试系统，用于第三方编程器。	0 — 访问被禁止 1 （默认） — 访问被使能
CFGSPEED	在器件启动过程中控制基于 IMO 时钟的速度，以加快启动或实现低功耗运行	0 （默认值）— 12 MHz IMO 1 — 48 MHz IMO
DPS[1:0]	用于控制将各 P1 引脚作为一个调试端口使用。请参见第 60 页上的 “ 编程、调试接口与资源 ”。	00b — 5 线 JTAG 01b （默认值）— 4 线 JTAG 10b — SWD 11b — 调试端口被禁用
ECCEN	用于控制将 ECC 闪存用于存储 ECC 还是存储通用配置和数据。请参见第 19 页上的 “ 闪存程序存储器 ”。	0 — ECC 被禁用 1 （默认） — ECC 被使能
DIG_PHS_DLY[3:0]	用于选择数字时钟相位延迟。	有关详细信息，请参见技术参考手册。

虽然PSoC Creator支持对器件配置NVL进行修改，但是NVL擦除/写入的次数受限 — 请参考第106页上的“非易失性锁存器（NVL）”。

5.6 外部存储器接口

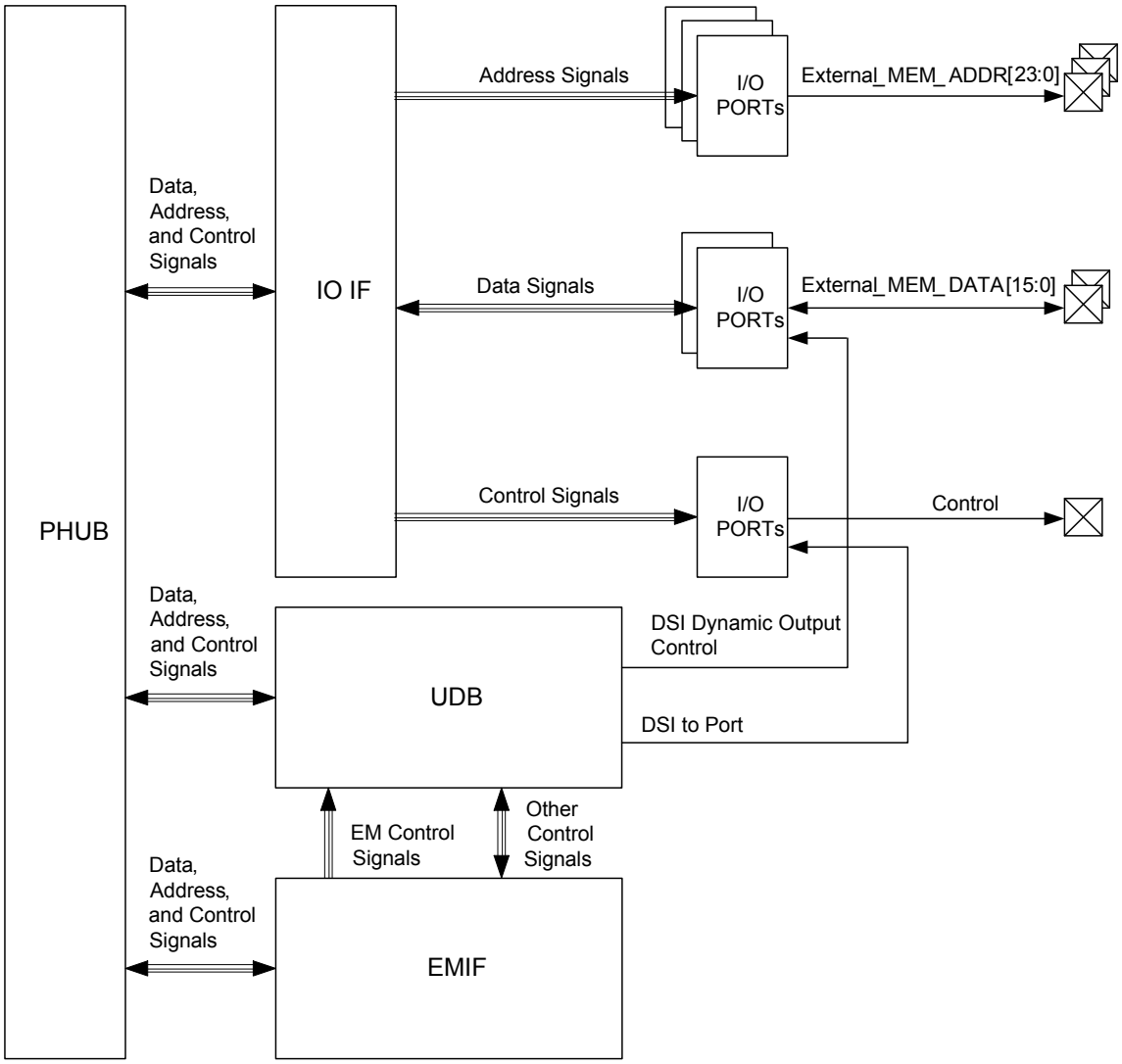
CY8C54LP 提供了一个外部存储器接口 （EMIF），以便连接外部存储器。采用这种连接方式时，可以对外部存储器进行读写访问。 EMIF 与 UDB、 I/O 端口以及其它硬件协同工作，以便生成外部存储器地址和控制信号。在频率为 33 MHz 时，每个存储器访问周期将需要四个总线时钟周期。

图 5-1 是 EMIF 框图。EMIF 支持同步和异步存储器。CY8C54LP 一次仅支持一种类型的外部存储器。

外部存储器位于 Cortex-M3 外部 RAM 空间中；它最多可使用 24 个地址位。请参考第 22 页上的表 5-4 和第 22 页上的存储器映射情况。该存储器的宽度可以是 8 位或 16 位。

可以从 16 位宽的外部存储器获取 Cortex-M3 指令。更多有关其他限制情况的信息，请参考 AN89610 — PSoC® 4 和 PSoC 5LP ARM Cortex 代码优化的应用笔记。外部存储器不包含代码安全性能。如果需要保持代码的安全性，需要将它放置在内部闪存中。请参见第 19 页上的闪存安全性和第 63 页上的器件安全性。

图 5-1. EMIF 框图



5.7 存储器映射情况

Cortex-M3 具有固定的地址映射，因此可通过简单的存储器访问指令来访问外设。

5.7.1 地址映射

4 GB 地址空间被分成 6 个范围，如表 5-4 所示：

表 5-4. 地址映射

地址范围	大小	使用说明
0x00000000–0x1FFFFFFF	0.5 GB	程序代码。包括上电时从地址 0 开始的异常向量表。
0x20000000–0x3FFFFFFF	0.5 GB	静态 RAM。包括从 0x20000000 开始的 1 MB 位带区域和从 0x22000000 开始的 32 MB 位带别名区域。
0x40000000–0x5FFFFFFF	0.5 GB	外设。
0x60000000–0x9FFFFFFF	1 GB	外部 RAM。
0xA0000000–0xDFFFFFFF	1 GB	外部外设。
0xE0000000–0xFFFFFFFF	0.5 GB	内部外设，包括 NVIC 和调试模块以及跟踪模块。

表 5-5. 外设数据地址映射

地址范围	用途
0x00000000–0x0003FFFF	256K 闪存
0x1FFF8000–0x1FFFFFFF	32K SRAM，位于代码区域中
0x20000000–0x20007FFF	32K SRAM，位于 SRAM 区域中
0x40004000–0x400042FF	时钟、 PLL 和振荡器
0x40004300–0x400043FF	电源管理
0x40004500–0x400045FF	端口中断控制
0x40004700–0x400047FF	闪存编程接口
0x40004800–0x400048FF	缓存控制器
0x40004900–0x400049FF	I^2C 控制器
0x40004E00–0x40004EFF	抽取滤波器

表 5-5. 外设数据地址映射 （续）

地址范围	用途
0x40004F00–0x40004FFF	固定定时器 / 计数器 /PWM
0x40005000–0x400051FF	I/O 端口控制
0x40005400–0x400054FF	外部存储器接口 （EMIF）控制寄存器
0x40005800–0x40005FFF	模拟子系统接口
0x40006000–0x400060FF	USB 控制器
0x40006400–0x40006FFF	UDB 工作寄存器
0x40007000–0x40007FFF	PHUB 配置
0x40008000–0x400087FF	EEPROM
0x4000A000–0x4000A400	保留
0x40010000–0x4001FFFF	数字互连配置
0x48000000–0x48007FFF	闪存 ECC 字节
0x60000000–0x60FFFFFF	外部存储器接口 （EMIF）
0xE0000000–0xE00FFFFF	Cortex-M3 PPB 寄存器，包括 NVIC、调试和跟踪

位绑定特性使 SRAM 内的每一位都可以作为原子操作进行读写。这是通过读写位绑定别名区域内的相应字的位 0 来实现的。例如，要设置地址 0x20000000 处的字的位 3，只需向地址 0x2200000C 写入 1。要测试该位的值，请读取地址 0x2200000C，其结果为 0 或 1，具体取决于该位的值。

大多数由 Cortex-M3 执行的存储器访问操作都是对齐的，也就是说，在字 （4 字节）边界地址处执行。也可以在非字边界地址处对字和 16 位半字进行非对齐访问，但是这种访问的效率较低。

5.7.2 地址映射和 Cortex-M3 总线

ICode 和 DCode 总线仅用于访问代码地址范围内部：0–0x1FFFFFFF。

系统总线用于在 0x20000000–0xDFFFFFFF 以及 0xE0100000–0xFFFFFFFF 范围内进行数据访问和调试访问。也可以在 0x20000000–0x3FFFFFFF 范围内执行指令提取，但是这些操作比通过 ICode 总线执行指令提取要慢。

专用外设总线（PPB）在 Cortex-M3 中用于访问系统控制寄存器以及调试和跟踪模块寄存器。

6. 系统集成

6.1 时钟系统

时钟系统负责整个 PSoC 系统内的时钟生成、分频和分配工作。对于大多数系统，均不需要额外的外部晶振。结合使用 IMO 和 PLL，可以生成频率高达 80 MHz 的时钟，且在工作电压和温度下，该时钟的精度为 ±2%。通过使用额外的内部和外部时钟源，可以根据设计需要优化准确度、功耗和成本。通过 16 位时钟分频器和 UDB，所有系统时钟源都可以为用户所需的任何部件（例如 UART 波特率生成器）提供其它时钟频率。

时钟生成和分配是根据整个系统的要求，通过 PSoC Creator IDE 图形界面自动配置的。 它能够明显加快设计进程。利用 PSoC Creator，设计人员只需极少的输入资源即可构建时钟系统。设计人员可以指定所需时钟频率和精度，软件将定位或构建符合要求的时钟。由于可以对 PSoC 进行编程操作，因此完全可以实现该操作。

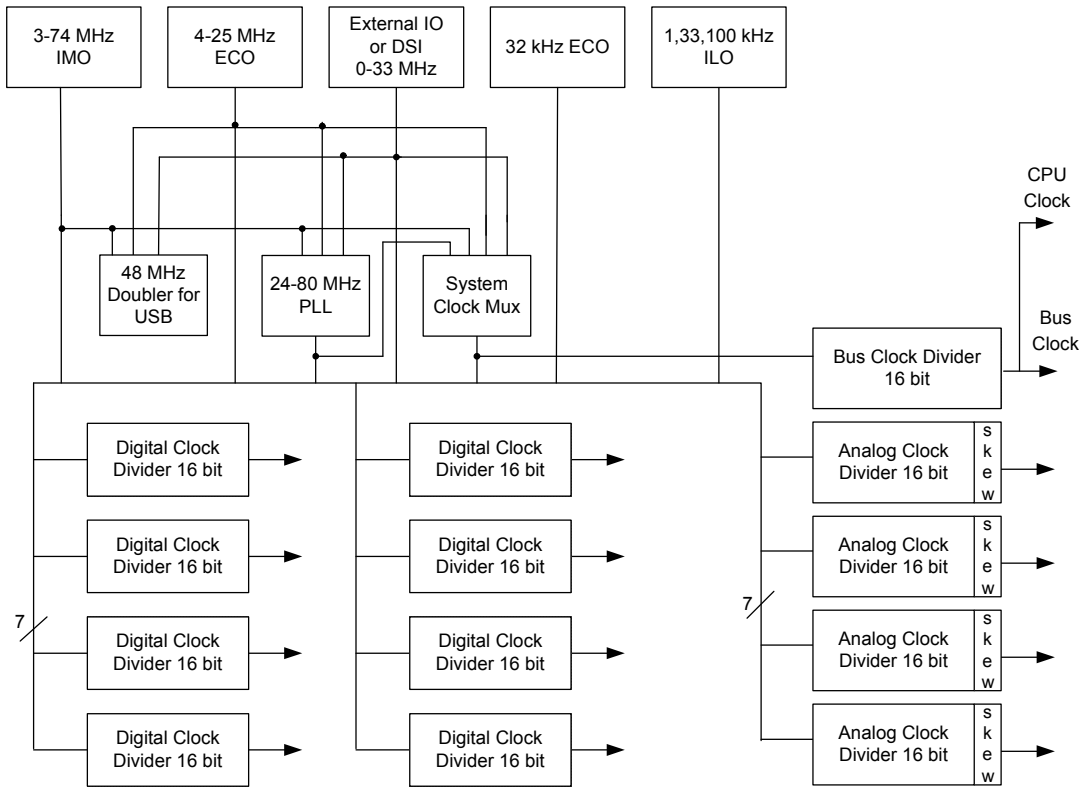
时钟系统的关键特性包括：

- 七个通用时钟源
  - 3 到 74 MHz 的 IMO，频率为 3 MHz 时精度为 ±2%
  - 4 到 25 MHz 的外部晶振 （MHzECO）
  - 时钟倍频器能够为 USB 模块提供双倍时钟频率输出，请参见 第 26 页上的 USB 时钟域
  - 来自外部 I/O 引脚或其它逻辑的 DSI 信号
  - 源自 IMO、MHzECO 或 DSI 的 24 至 80 MHz 小数分频锁相环
  - 用于看门狗定时器（WDT）和睡眠定时器的 1 kHz、33 kHz、100 kHz ILO
  - 用于实时时钟的 32.768 kHz 外部晶体振荡器 （kHzECO）
- IMO 具有 USB 模式，在该模式下，无需对 USB 使用任何外部晶振，即可自动锁定到USB总线时钟。（仅限于配备USB的器件）
- 所有时钟分频器中的时钟源都是独立的
- 用于数字系统的八个 16 位时钟分频器
- 用于模拟系统的四个 16 位时钟分频器
- 用于 CPU 总线和 CPU 时钟的专用 16 位分频器
- 在 PSoC Creator 中自动进行时钟配置

表 6-1. 振荡器汇总

时钟源	最低频率	最低频率容限	最高频率	最高频率容限	启动时间
IMO	3 MHz	在有效的工作电压和温度下，精度为 ±2%	74 MHz	±7%	最大值为 13 µs
MHzECO	4 MHz	取决于晶振	25 MHz	取决于晶振	典型值为 5 ms，最大值取决于晶振
DSI	0 MHz	取决于输入	33 MHz	取决于输入	取决于输入
PLL	24 MHz	取决于输入	80 MHz	取决于输入	最大值为 250 µs
倍频器	48 MHz	取决于输入	48 MHz	取决于输入	最大值为 1 µs
ILO	1 kHz	–50%、 +100%	100 kHz	-55%、 +100%	在最低功耗模式下的最大值为 15 ms
kHzECO	32 kHz	取决于晶振	32 kHz	取决于晶振	典型值为 500 ms，最大值取决于晶振

图 6-1. 时钟子系统



6.1.1 *内部振荡器*

图 6-1 显示了时钟子系统中的两个内部振荡器。它们可以被直接路由或分频。直接对其进行路由可能达不到 50% 的占空比。分频时钟占空比则为 50%。

6.1.1.1 *内部主振荡器*

由于 IMO 的精度可达 ±2%，因此，在大多数设计中，只需要这一个时钟源即可。IMO 工作时不需要任何外部组件，并能够生成稳定的时钟。各频率范围的出厂校准值存储在器件中。使用出厂校准值时，容差介于 ±2%（在 3 MHz 下）到 ±7%（在 74 MHz 下）之间。结合使用 IMO 与 PLL 时，可以生成高达器件最高频率的 CPU 和系统时钟（请参见锁相环）。

IMO 可提供 3、6、12、24、48 和 74 MHz 的时钟输出。

6.1.1.2 *时钟倍频器*

时钟倍频器能够输出频率为输入时钟频率两倍的时钟。倍频器能够处理 24 MHz 的输入频率，从而为 USB 提供 48 MHz 的时钟。可以将它配置为使用来自 IMO、MHzECO 或 DSI（外部引脚）的时钟。

6.1.1.3 *锁相环*

借助 PLL，可将低频率、高精度时钟倍增至频率更高的时钟。时钟频率和精度越高，功耗越大，启动时间也越长。

PLL 模块提供了基于各种输入源生成时钟频率的机制。PLL 输出的时钟频率介于 24 至 80 MHz 之间。其输入和反馈分频器提供了 4032 个离散率，几乎能够生成任何所需的系统时钟频率。PLL 输出的精度取决于 PLL 输入源的精度。最常见的 PLL 用法是在 3 MHz 条件下倍增 IMO 时钟，因为在该频率下生成的 CPU 和系统时钟精度最高，并能够达到器件的最大频率。

PLL 能够在 250 µs 内实现相位锁定（通过位设置进行验证）。可以将它配置为使用来自 IMO、MHzECO 或 DSI（外部引脚）的时钟。在锁定完成并发出锁定位信号之前，可以一直使用 PLL 时钟源。锁定信号可通过 DSI 路由，以生成一个中断。在进入低功耗模式之前请禁用 PLL。

6.1.1.4 *内部低速振荡器*

ILO 能够为在低功耗模式下运行的组件（包括为看门狗定时器和睡眠定时器）提供各种时钟频率。ILO 能够生成三种不同频率的时钟，即：1 kHz、33 kHz 和 100 kHz。

1 kHz 时钟（CLK1K）通常用于后台 “ 心跳式 ” 定时器。该时钟旨在进行低功耗监控操作，例如，采用中央时轮（CTW）的看门狗定时器和长睡眠间隔。

中央时轮是一个以 1 kHz 频率自由运行的 13 位计数器，其时钟由 ILO 提供。除非处于休眠模式或在片上调试模式期间 CPU 处于停止状态，否则中央时轮始终处于使能状态。它可按时序生成定期中断，也可用于从低功耗模式唤醒系统。通过固件可以复位中央时轮。

可对中央时轮进行编程，定期唤醒系统，并且可以选择发出中断。这样可以实现从低功耗模式或粗放的定时应用中灵活地定期唤醒。需要高精确时序的系统应采用实时时钟 RTC 功能，而非中央时轮。

100 kHz 时钟 （CLK100K）可作为低功耗系统时钟来运行 CPU。它也可以生成使用快速时轮的时间间隔。

快速时轮是一个 5 位的计数器，它的时钟源是 100 kHz 的时钟。它的设置是可编程的，当计数结束时将自动复位。每当计数结束时都会生成一个可选中断。从而能够以高于使用中央时轮时所能达到的频率灵活地定期生成 CPU 中断。

33 kHz 时钟 （CLK33K）是对 CLK100K 进行三分频后获得的。该输出可用作低精度版 32.768 kHz ECO 时钟（无需使用晶振）。

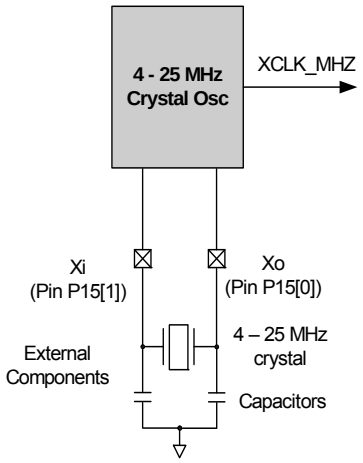
6.1.2 外部振荡器

图 6-1 显示了两个外部振荡器。可以直接对它们进行路由或分频。直接对其进行路由可能达不到 50% 的占空比。分频时钟占空比则为 50%。

6.1.2.1 MHz 外部晶振

通过采用外部晶振，MHzECO 能够提供高频率、高精度时钟（请参见图 6-2）。它支持大量的晶振类型，频率范围介于 4 到 25 MHz 之间。与 PLL 结合使用时，它可以生成达到器件最高频率的 CPU 和系统时钟（请参见第 24 页上的锁相环）。将 GPIO 引脚固定连接到外部晶振和电容上。 MHzECO 的精度取决于所选晶振。

图 6-2. MHzECO 逻辑框图

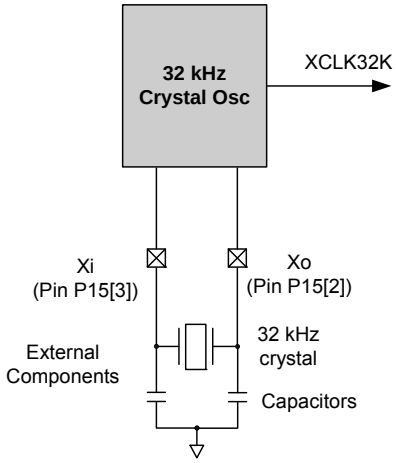


6.1.2.2 32.768 kHz ECO

通过使用外部 32.768 kHz 的时钟晶振， 32.768 kHz 外部晶振（32kHzECO）能够以非常低的功耗提供精确时序 （请参见图 6-3）。 32kHz ECO 还直接连接着睡眠定时器，并为实时时钟（RTC）提供时钟。RTC 通过固件使用 1 秒中断实现 RTC 功能。

该振荡器能够采用两种不同的功耗模式。以便用户在功耗和抗周围电路噪声之间进行权衡。连接到外部晶振和电容的 GPIO 引脚是固定的。

图 6-3. 32kHzECO 逻辑框图



建议将外部 32.768 kHz 时钟晶振的负载电容（CL）设置为 6 pF 或 12.5 pF。请查看晶振制造商数据手册。两个外部电容 CL1 和 CL2 通常具有相同值，其总计电容 CL1CL2/（CL1 + CL2）（包含引脚和走线电容）应等于晶振 CL 的值。更多有关信息，请参见应用笔记 AN54439：PSoC 3 和 PSoC 5 外部振荡器。另请参见第 73 页上的 “GPIO” 一节中的引脚电容规范。

6.1.2.3 数字系统互连

对于来自与 I/O 相连的外部时钟振荡器的时钟， DSI 能够为其提供路由。这些振荡器也可以在数字系统和通用数字模块内生成。

虽然主要 DSI 时钟输入提供对所有时钟资源的访问，但有多达八个其它 DSI 时钟（在内部或外部生成）可直接路由到八个数字时钟分频器。不过，这需要有多个高精度时钟源才能实现。

6.1.3 时钟分配

所有七个时钟源都是中央时钟分配系统的输入。分配系统旨在创建多个高精度时钟。这些时钟是针对设计需求定制的，能够避免在连接到外设的低分辨率预分频器上经常遇到的一些问题。时钟分配系统能够生成多种类型的时钟树。

- 系统时钟用于选择和提供系统中频率最大的时钟，以满足一般系统的时钟要求，并使 PSoC 器件实现时钟同步。
- 总线时钟 16 位分频器采用系统时钟来生成系统的总线时钟，以用于数据传输和 CPU。 CPU 时钟直接从总线时钟派生而来。
- 八个完全可编程的 16 位时钟分频器能够按照设计需求，为数字系统生成通用的数字系统时钟。数字系统时钟可以针对任何用途生成自定义时钟，该时钟由七个时钟源中的任何一个时钟源派生得到。例如用于波特率生成器、精确的 PWM 周期、定时器时钟等。如果需要八个以上的数字时钟分频器， UDB 和固定功能定时器 / 计数器 /PWM 也可以生成时钟。
- 有四个 16 位时钟分频器负责为需要时钟的模拟系统组件 （如 ADC）生成时钟。模拟时钟分频器包括时滞控制功能，用于确保关键模拟事件不会与数字切换事件同时发生。其目的是为了减少模拟系统噪声。

每个时钟分频器均包含一个 8 输入复用器、一个 16 位时钟分频器（二分频或更高分频，能够生成占空比约为 50% 的时钟）、系统时钟重新同步逻辑，以及抗窄脉冲逻辑。可将每个数字时钟树的输出路由至数字系统互连，然后再作为输入返回到时钟系统，从而实现高达 32 位的时钟链。

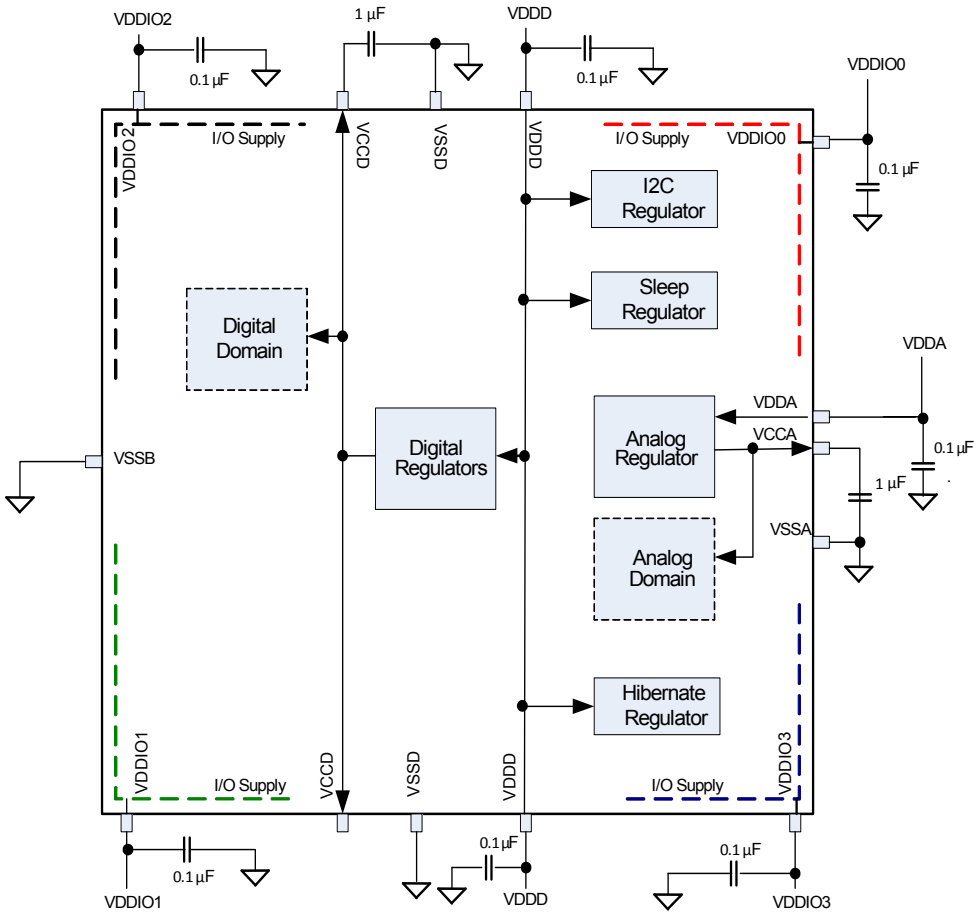
6.1.4 USB 时钟域

USB 时钟域的独特性在于，它在工作时与主时钟网络存在很大程度的异步。USB 逻辑包含连接到芯片的同步总线接口，但会采用异步时钟来运行，以处理 USB 数据。 USB 逻辑需要 48 MHz 的频率。该频率可以使用不同的时钟源生成，其中包括由内部振荡器、 DSI 信号或晶振生成的 48 MHz （或 24 MHz 的双倍值）的 DSI 时钟。

6.2 供电系统

供电系统包含单独的模拟、数字和 I/O 供电引脚，这些引脚分别为 VDDA、VDDD 和 VDDIOX。此外，还包含两个电压为 1.8 V 的内部电压调节器，以便为内部内核逻辑提供数字（V_{CCD}）和模拟（V_{CCA}）电源。电压调节器的输出引脚（VCCD 和 VCCA）和 VDDIO 引脚必须连接电容，如图 6-4 所示。使用一根尽量短的走线将两个 VCCD 引脚连接在一起，然后将其连接到一个大小为 1 µF ±10% 的 X5R 电容上。供电系统还包含睡眠电压调节器、I^2C 电压调节器和休眠电压调节器。

图 6-4. PSoC 供电系统



注释：

- 两个 V_{CCD} 引脚必须连接在一起，并且它们之间的走线越短越好。建议在器件下方连接走线，如图 2-6 所示。
- 您可以在内部调节模式下供电给器件，其中，V_{DDx} 引脚的电压为 5.5 V，并且内部调节器提供了内核电压。**在该模式中，请勿给 V_{CCx} 引脚供电，并且请勿将 V_{DDx} 引脚连接至 V_{CCx} 引脚。**
- 您也可以为 V_{CCD} 和 V_{CCA} 直接提供电压，从而能够在外部调节模式下供电给器件。在该配置中，V_{DDD} 引脚应与 V_{CCD} 引脚短接，则 V_{DDA} 引脚应与 V_{CCA} 引脚短接。该配置中允许的供电电压范围为 1.71 V 至 1.89 V。在该配置中上电后，将默认使能内部调节器，因此需要禁用该调节器来降低功耗。
- 推荐参阅数据手册中的旁路电容值，特别是工作电压和直流偏置规范。对于某些电容，直流偏置电压（图 6-4 中所显示的 V_{DDX} 或 V_{CCX}）占额定工作电压的比例越大，那么实际电容降低的也越多。

6.2.1 功耗模式

PSoC 5LP 器件具有四个不同的功耗模式，如表 6-2 和表 6-3 所示。借助这些功耗模式，设计能够轻松提供所需的功能和处理能力，同时最大限度地减小低功耗便携器件的功耗并提高其电池寿命。

按功耗从大到小的顺序， PSoC 5LP 模式的功耗模式依次为：

- 活动模式
- 备用活动模式
- 睡眠模式
- 休眠模式

活动模式是主要处理模式。其功能是可配置的。通过使用单独的功耗配置样本寄存器，可以使能或禁用每个功耗可控制子系统。在备用活动模式模式下，会使能较少的子系统，从而能够降低功耗。在睡眠模式下，无论采用什么样的样本设置，大多数资源都将处于禁用状态。睡眠模式已经过优化，能够提供定时睡眠间隔和实时时钟功能。休眠模式功耗最低，该模式会保留寄存器和 SRAM 状态，但会关闭时钟，并且只能通过 I/O 引脚唤醒器件。图 6-5 显示了可行的各种功耗模式切换。不应进入睡眠和休眠模式，直到所有 VDDIO 达到有效电压时为止。

表 6-2. 功耗模式

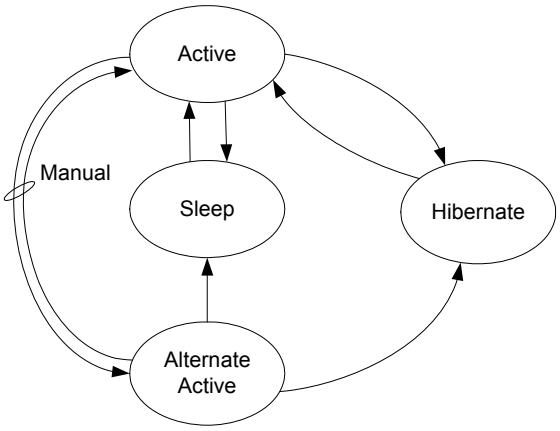
功耗模式	描述	进入条件	唤醒源	活动时钟	电压调节器
活动模式	主要的工作模式，所有外设均可用（可编程）	唤醒、复位、通过寄存器手动进入	任意中断	任意（可编程）	所有电压调节器均可用。如果采用了外部电压调节，则可以禁用数字和模拟电压调节器。
备用活动模式	与活动模式相似，配置为此模式通常是为了让更少的外设处于活动状态，以便降低功耗。可以如下配置：关闭 CPU，并使用 UDB 进行处理	通过寄存器手动进入	任意中断	任意（可编程）	所有电压调节器均可用。如果采用了外部电压调节，则可以禁用数字和模拟电压调节器。
睡眠模式	会自动禁用所有子系统	通过寄存器手动进入	电压比较器、PICU、I^2C、RTC、CTW、LVD	ILO/kHzECO	数字和模拟电压调节器均处于 BUZZ（活动）状态。如果采用了外部电压调节，则可以禁用数字和模拟电压调节器。
休眠模式	自动禁用所有子系统。 最低功耗模式，所有外设和内部电压调节器均处于禁用状态，仅使能休眠电压调节器 保持配置和存储器的数据	通过寄存器手动进入	PICU		只有休眠电压调节器处于活动状态。

表 6-3. 功耗模式唤醒时间和功耗

睡眠模式	唤醒时间	电流（典型值）	代码执行	数字资源	模拟资源	可用时钟源	唤醒源	复位源
活动模式	–	3.1 mA[7]	有	全部	全部	全部	–	全部
备用活动模式	–	–	由用户定义	全部	全部	全部	–	全部
睡眠模式	< 25 µs	2 µA	无	I^2C	电压比较器	ILO/kHzECO	电压比较器、PICU、I^2C、RTC、CTW、LVD	XRES、LVD、WDR
休眠模式	< 200 µs	300 nA	无	无	无	无	PICU	XRES

注释：
7. 总线时钟关闭。从 CPU 指令缓冲区以 6 MHz 的频率执行。请参见第 66 页上的表 11-2。

图 6-5. 功耗模式切换



6.2.1.1 活动模式

活动模式是器件的主要工作模式。当处于活动模式时，活动配置样本位将控制使能或禁用哪些可用资源。当禁用某个资源时，系统会关断数字时钟，禁用模拟偏置电流，并相应地减少漏电流。通过在活动配置样本中设置和清除相应的位，用户固件可以动态控制子系统的功耗。CPU 可以自我禁用，在这种情况下，发生下一个唤醒事件时会自动重新使能 CPU。

在发生唤醒事件时，全局模式始终会返回到活动模式，并且会自动使能 CPU，而不管它采用什么样的样本设置。活动模式是引导时的默认全局功耗模式。

6.2.1.2 备用活动模式

备用活动模式与活动模式非常类似。在备用活动模式下，会使能较少的子系统，以便降低功耗。一种可能的配置是：关闭 CPU 和闪存，并使外设全速运行。

6.2.1.3 睡眠模式

如果可以接受 15 µs 的恢复时间，则可以采用睡眠模式来降低功耗。唤醒时间用于确保电压调节器的输出足够稳定，以便直接进入活动模式。

6.2.1.4 休眠模式

在休眠模式下，几乎所有内部功能都将处于禁用状态。内部电压会降至使关键系统保持活动状态所需的最低水平。在休眠模式下，会保留配置状态和 SRAM 存储器的内容。配置为数字输出的 GPIO 将保留其先前的值，并且外部 GPIO 引脚中断设置也将保留。器件处于休眠模式时，只能通过外部 I/O 中断唤醒。从休眠模式恢复的时间小于 100 µs。

为了实现极低的电流，休眠调节器的性能有所限制。输入引脚上的所有信号频率被限制；在休眠模式下不会以高于 10 kHz 的速度来切换 GPIO。在低功耗模式下，如果需要以高速度进行切换，需要选择睡眠模式。

6.2.1.5 唤醒事件

唤醒事件是可以配置的，并且可以来自中断或器件复位。唤醒事件会将系统恢复到活动模式。固件使能的中断源包括内部生成的中断、功耗监控器、中央时轮和 I/O 中断。内部中断源可以来自各种外设，如模拟电压比较器和 UDB。中央时轮会提供定期中断，以便唤醒系统、轮询外设或执行实时功能。复位事件源包括外部复位引脚 （XRES）、 WDT 和高精度复位 （PRES）。

6.2.2 升压器

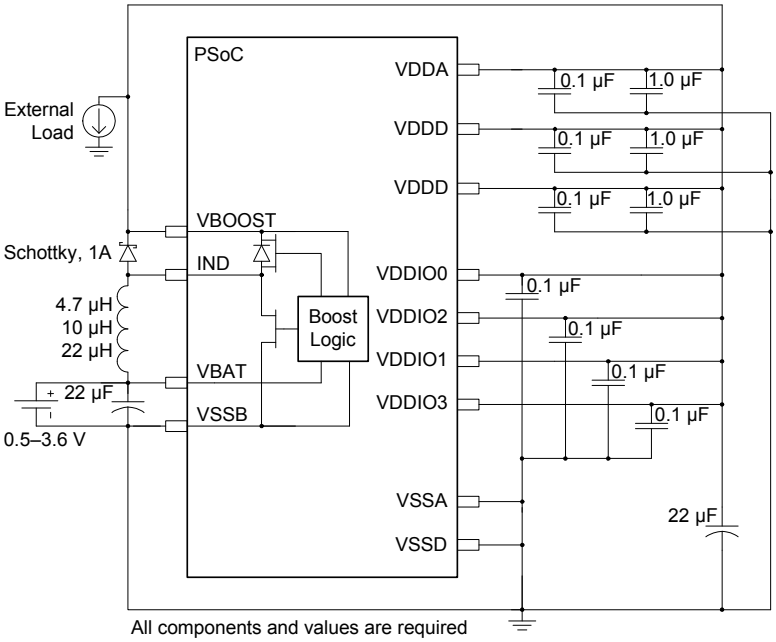
采用小于 1.71 V 供电电压 （例如，由太阳能供电或单个电池供电）的应用可以使用片上升压器，以生成一个最小值为 1.8 V 的供电电压。升压器还可以用于所有所需工作电压高于供电电压的系统，比如在 3.3 V 系统中驱动 5.0 V LCD 显示屏。通过额外的电感、肖特基二极管以及电容，它可以生成一个可选输出电压，以便提供足够大的电流来运行 PSoC 及其它板上组件。

升压器可以接受介于 0.5 V 到 3.6 V 之间的输入电压（V_{BAT}），可使用低至 0.5 V 的 V_{BAT} 进行启动，并能够提供介于 1.8 到 5.0 V 之间、可由用户配置的输出电压 （V_{OUT}），其步长为 100 mV。V_{BAT} 通常小于 V_{OUT}；如果 V_{BAT} 大于或等于 V_{OUT}，那么 V_{OUT} 会略小于 V_{BAT}（由于升压器的电阻损耗造成）。该模块可以提供高达 50 mA（I_{BOOST}）的电流，具体取决于 PSoC 器件和外部组件的配置。设计中所有灌电流 （包括 PSoC 器件、 PSoC I/O 引脚负载电流和外部组件负载电流）的和必须小于被指定的最大电流 I_{BOOST}。

与升压器相关的四个引脚分别为：V_{BAT}、V_{SSB}、V_{BOOST} 和 IND。提升后的输出电压通过 V_{BOOST} 引脚输出，并且必须直接连接到芯片的供电输入端；如果用于为 PSoC 器件供电，那么必须连接至 V_{DDA}, V_{DDD} 和 V_{DDIO}。

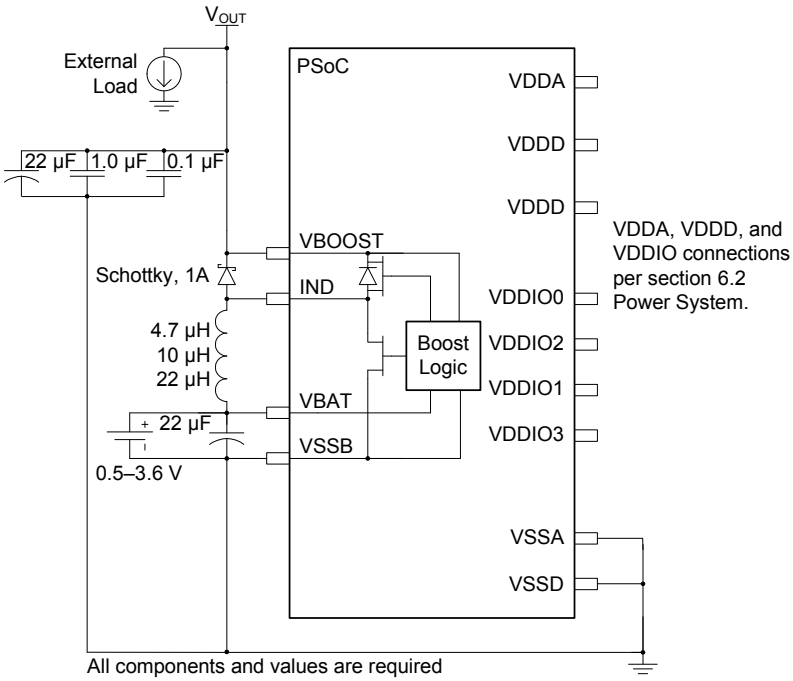
除了非升压设计中所需的组件，升压转换器还需要四个组件，如第 30 页上的图 6-6 中所示。大小为 22 µF 的电容 （C_{BAT}）要安装在靠近 V_{BAT} 引脚的位置，对电池电压起缓冲和滤波稳定作用。电池输出与 V_{BAT} 引脚之间不要添加其它器件，例如反向极性保护二极管，因为二极管正向电压下降会降低 V_{BAT} 电压。在 V_{BAT} 和 IND 引脚间需要连接一个 4.7 µH、10 µH 或 22 µH 的电感。根据输入电压、输出电压、温度和电流，可以优化电感值，以提高升压转换器的效率。按照本节中的设计指南和电气规范决定电感器的尺寸。电感器必须放置在离 V_{BAT} 和 IND 引脚 1 cm 的范围内，其最小饱和电流为 750 mA。在离 IND 和 V_{BOOST} 引脚 1 cm 的范围内连接一个肖特基二极管。该肖特基二极管正向电流最小额定值为 1.0 A，反向电压最小值为 20 V。另外，需要将大小为 22 µF 的大容量电容（C_{BOOST}）连接在靠近 V_{BOOST} 的位置，以提供稳定的输出电压。需要确定 V_{BOOST} 引脚上连接的总电容，并确保该值不能超过最大的 C_{BOOST} 规格。所有电容的最小额定值为 10 V，这样能够尽量减少由电压降低所造成的电容损耗。

图 6-6. 为 PSoC 器件供电的升压转换器应用



升压器也可以用于为其他外部组件供电。下图显示的是将一个 1.8 V 电源上升到 4.0 V 以驱动一个白色 LED 的示例。如果升压器没有为 PSoC 器件 V_{DDA}、V_{DDD} 和 V_{DDIO} 供电，那么它必须符合为 PSoC 器件供电时同一个规则，但对输出端的电容有不同的要求。Vout 电源需要安装 22 µF、1.0 µF 和 0.1 µF 的电容器，这些电容器必须被放置在离 VBOOST 引脚 1 cm 范围内，以确保电压调节器的稳定性。

图 6-7. 未给 PSoC 器件供电的升压器的应用



使用升压器中的振荡器将切换频率设为 400 kHz。升压器可以在两种不同模式下工作：即活动模式和待机模式。活动模式是正常工作模式，在该模式下，升压调节器会主动生成稳压输出电压。在待机模式下，大多数升压功能都将处于禁用状态，以便降低升压电路的功耗。在待机模式下，升压器仅提供最低的输出功耗，通常低于 5 µA。升压器在活动模式下消耗的电流通常为 250 µA，在待机模式下则为 25 µA。升压工作模式必须与芯片功耗模式结合使用，以便最大限度地降低芯片总功耗。表 6-4 列出了在不同芯片功耗模式下可用的升压功耗模式。

表 6-4. 芯片功耗模式与升压功耗模式兼容表

芯片功耗模式	升压功耗模式
芯片活动或备用活动模式	升压器必须在活动模式下运行。
芯片睡眠模式	升压转换器既可以采用活动模式，也可以采用待机模式。在升压器待机模式中，必须定期唤醒芯片，以刷新升压活动模式。
芯片休眠模式	升压器能在活动模式下运行。但由于升压活动模式下消耗的电流较高，所以不建议在芯片休眠模式下使用升压器。

6.2.2.1 升压固件的要求

要想确保启动升压浪涌电流符合规范，在 PSoC Creator IDE 中不要选中 **Enable Fast IMO During Startup（启动期间使能快速 IMO）**值。**Enable Fast IMO During Startup** 选项会显示在 PSoC Creator 的设计范围资源（cydwr）文件 **System**（系统）选项卡中。如果未选中该选项，器件启动时的运行速度会被配置为 12 MHz，而不是默认的 48 MHz。时钟速度越慢，芯片启动时升压电路的电流消耗越少。

6.2.2.2 升压设计流程

要按照特定的规范来选择升压器的外部器件。C_{BAT} 电容、电感、肖特基二极管以及 C_{BOOST} 电容的选择都要遵守电气规范（第 71 页上的表 11-7）中的指定值。L_{BOOST} 是唯一的变量组件，选择合适的升压电感不仅可以改善升压器的运行状态，还可以提高转换效率。此外，V_{OUT}、V_{BAT}、I_{OUT} 和 T_A 之间还存在限制关系。

必须按照以下步骤进行操作，以确保升压器工作参数和 L_{BOOST} 值。

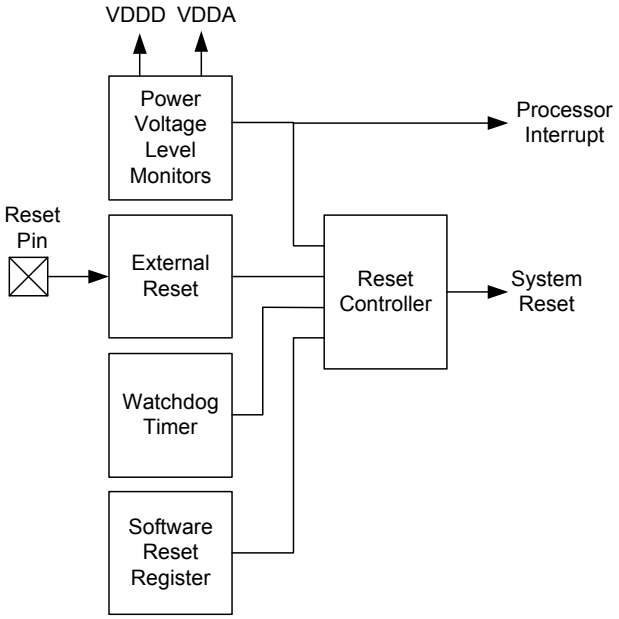
1. 选择应用所需要的 V_{BAT}、V_{OUT}、T_A 以及 I_{OUT} 工作条件范围。
2. 根据 **V_{BAT} 和 V_{OUT}** 相比的 **T_A** 范围图标（第 71 页上的图 11-8），确定 V_{BAT} 和 V_{OUT} 的范围是否符合升压器的工作范围。如果不在工作范围内，则需要修改工作条件或使用一个外部升压调节器。
3. 根据 **V_{BAT} 与 V_{OUT}** 图表中（第 71 页上的图 11-8）的 **T_A** 范围，确定所需环境温度（T_A）范围是否位于环境温度工作范围内。如果不符合温度范围，则更改工作条件，并返回到第二步，或使用一个外部升压调节器。
4. 根据 **V_{BAT} 与 V_{OUT}** 图表（第 71 页上的图 11-9）上的 **I_{OUT}**，确定所需输出电流（I_{OUT}）范围是否位于输出电流工作范围内。如果不在输出电流范围内，需要修改工作条件，然后返回到第二步或使用一个外部升压调节器。
5. 根据 **V_{BAT} 与 V_{OUT}** 图表（第 71 页上的图 11-10）上的 **L_{BOOST}** 值，查找所允许的电感值。
6. 根据所允许的电感值、电感器尺寸、电感器成本、升压效率以及 V_{RIPPLE}，选择系统最佳电感。**效率与 V_{BAT}、V_{RIPPLE} 与 V_{BAT}** 图表（第 72 页上的图 11-11 到第 72 页上的图 11-14）中提供了升压效率和 V_{RIPPLE} 的典型值。通常，如果高效率和低 V_{RIPPLE} 是两个最重要的因素，那么应该使用允许的最大电感值。如果电感成本和尺寸是最重要的因素，则应该使用一个允许的最小电感值如果所允许的电感器效率、V_{RIPPLE}、成本或尺寸不符合应用，那么应该使用一个外部升压调节器。

6.3 复位

CY8C54LP 有多个可用的内部和外部复位源，其中包括：

- 电源监控 — 在上电、活动模式，以及睡眠模式（繁忙）期间，监控多种不同模式下的模拟和数字供电电压 VDDA、VDDD、VCCA 和 VCCD。如有任何电压超出预定范围，则会生成复位。可以对监控器进行编程，以便在达到复位阈值前可在特定条件下生成处理器中断。
- 外部源 — 通过拉低复位引脚（XRES），可以从外部源复位器件。XRES 引脚包含一个被上拉到 VDDIO1 的内部电阻。在器件退出复位状态前，必须给所有的 VDDD、VDDA 和 VDDIO1 通电。
- 看门狗定时器 — 看门狗定时器负责监控处理器执行指令的情况。如果看门狗定时器在特定时间段内未通过固件复位，则会生成一个复位。
- 软件 — 可通过程序控制复位器件。

图 6-8. 复位源



系统复位指的是处理器、模拟和数字外设以及寄存器都被复位。

复位状态寄存器显示了某些复位或供电电压的监控中断。程序可能会检查该寄存器，以检测并报告异常情况。上电复位后，会清空该寄存器。有关详细信息，请参见技术参考手册。

6.3.1 复位源

6.3.1.1 供电电压电平监控器

■ IPOR — 初次上电复位

在初次上电复位时，IPOR 会监控电源电压 V_{DDD}、V_{DDA}、V_{CCD} 和 V_{CCA}。触发电平不是精确电压，它的值约为 1 V（0.75 V ~ 1.45 V）。该值低于所指定的最低工作电压，但足以使内部电路复位并保持复位状态。监控器能够生成宽度至少为 150 ns 的复位脉冲。如果有一个或多个电压缓慢上升，生成的脉冲可能会更宽。

启动后， IPOR 电路被禁用，并且电压监控工作将移交给精密低电压复位 （PRES）电路。

■ PRES — 精密低电压复位

上电后该电路负责监控模拟系统和数字系统内部电压调节器的输出。电压调节器的输出是相对于精确参考电压的电压。对 PRES 触发的响应与对 IPOR 复位的响应相同。

在正常工作模式下，程序无法禁用数字 PRES 电路。可以禁用模拟系统调压器，但这会同时禁用 PRES 的模拟部分。在睡眠和休眠模式下， PRES 电路自动被禁用，但是也有例外，即：在睡眠模式下，会定期激活电压调节器（使其处于活动状态），以便提供监控服务，并缩短唤醒时间。与此同时， PRES 电路也将处于活动状态，以便定期进行电压监控。

■ ALVI、DLVI、AHVI — 模拟 / 数字低电压中断，模拟高电压中断

中断电路可用于检测 VDDA 和 VDDD 超出电压范围的情况。对于 AHVI，VDDA 是相对于某个固定触发电平的电压。对于 ALVI 和 DLVI， VDDA 和 VDDD 是相对于可编程触发电平的电压，如表 6-5 中所列。ALVI 和 DLVI 也可以被配置为生成器件复位，而不是生成中断。

表 6-5. 模拟 / 数字低电平电压中断，模拟高电平电压中断

中断	电源	正常电压范围	可用的触发电压设置
DLVI	VDDD	1.71 V–5.5 V	1.70 V-5.45 V，增量为 250 mV
ALVI	VDDA	1.71 V–5.5 V	1.70 V-5.45 V，增量为 250 mV
AHVI	VDDA	1.71 V–5.5 V	5.75 V

在 IPOR 之前，监控器将一直处于禁用状态。在睡眠模式下，会定期激活这些电路（使其处于繁忙状态）。在繁忙状态期间，如有中断发生，系统会首先进入唤醒过程。然后，系统会识别中断，并可能会处理中断。

Buzz（活动）频率是可调整的，并且需要设置该频率低于任一电压超出允许范围的最短时间。有关如何调整繁忙频率的信息，请参见技术参考手册。

6.3.1.2 其它复位源

■ XRES — 外部复位

PSoC 5LP 有一个专用的 XRES 引脚，该引脚处于低电平有效状态时，可以复位器件。对 XRES 的响应与对 IPOR 复位的响应相同。

外部复位是低电平有效复位。它包含一个内部上拉电阻。在睡眠模式和休眠模式下， XRES 将处于活动状态。

禁用 XRES 时，至少 10 µs 后才可重新启用它。

■ SRES — 软件复位

通过在软件复位寄存器中设置一个位，可以在程序控制下发出复位指令。这可以通过程序直接进行，也可以通过 DMA 访问间接进行。对 SRES 的响应与对 IPOR 复位的响应相同。

此外还有另外一个寄存器位，用于禁用此功能。

■ WRES — 看门狗定时器复位

看门狗复位会检测软件程序不正常执行的情况。为了向看门狗定时器表明程序当前工作正常，它必须定期复位该定时器。如果在经过用户指定的时间后未复位该定时器，则会生成复位。

注意：IPOR 会禁用看门狗功能。程序必须通过设置寄存器位，在代码中的某个适当点使能看门狗功能。设置寄存器位后，将无法再将其清除，除非发生 IPOR 加电复位事件。

6.4 I/O 系统与路由

PSoC I/O 具有高度的灵活性。每个 GPIO 都具有模拟和数字 I/O 功能。所有 I/O 都具有多种可在 POR 时设置的驱动模式。PSoC 还通过 VDDIO 引脚提供多达四个 I/O 电压域。

每个器件上都有两种 I/O 引脚；带 USB 的器件则有三种 I/O 引脚。通用 I/O （GPIO）和特殊功能 I/O （SIO）提供类似的数字功能，主要区别在于模拟能力和驱动强度。带 USB 的器件还提供两个 USBIO 引脚，可支持特定的 USB 功能，以及有限的 GPIO 功能。

所有 I/O 引脚均可作为 CPU 与数字外设的数字输入和输出使用。此外，所有 I/O 引脚均可生成中断。PSoC I/O 具有灵活的高级功能，此外任意信号均可连接至任意引脚，从而大大简化了电路设计和电路板布局。所有 GPIO 引脚均可作为模拟输入、CapSense[8] 以及 LCD segment 驱动，而 SIO 引脚则用于超出 VDDA 的电压和可编程输出电压。

- GPIO 和 SIO 均支持以下特性：
  - 用户可编程端口复位状态
  - 为多达四组 I/O 提供单独的 I/O 供电和电压
  - 数字外设使用 DSI 连接引脚
  - 作为 CPU 和 DMA 的输入和 / 或输出
  - 八种驱动模式
  - 每个引脚都可以是一个被配置为上升沿和 / 或下降沿触发的中断源。如有必要， DSI 可支持电平触发中断
  - 每个端口都有专用的端口中断向量
  - 由数字输出驱动模式控制的转换速率
  - 基于端口或引脚的访问端口控制和配置寄存器
  - 单独的端口读 （PS）和写 （DR）数据寄存器，能够避免发生 “ 读取修改写作 ” 错误
  - 基于各个引脚的特殊功能
- 仅在 GPIO 引脚上提供的其它功能：
  - LCD 器件上的 LCD segment 驱动
  - CapSense[8]
  - 模拟输入和输出功能
  - 连续 100 µA 钳位电流能力
  - 标准驱动强度降至 1.71 V
- 仅在 SIO 引脚上提供的其它功能：
  - 比 GPIO 更高的驱动强度
  - 热插拔功能 （在任意工作电压 VDD 下容限均为 5 V）
  - 可编程高电平输入阈值，输出驱动电平低至 1.2 V
  - 无模拟输入、 CapSense 或 LCD 功能
  - 过压容限高达 5.5 V
  - SIO 可作为通用模拟电压比较器使用
- USBIO 特性：
  - 符合 USB 2.0 标准的全速 I/O
  - 最大的驱动强度设置可用于一般用途
  - 用于 CPU 和 DMA 的输入和 / 或输出
  - 数字外设的输入和 / 或输出
  - 数字输出 （CMOS）驱动模式
  - 每个引脚都可配置为上升沿和 / 或下降沿的中断源

注释：
8. 运算放大器的固定输出引脚不建议用作 CapSense 功能。

图 6-9. GPIO 框图

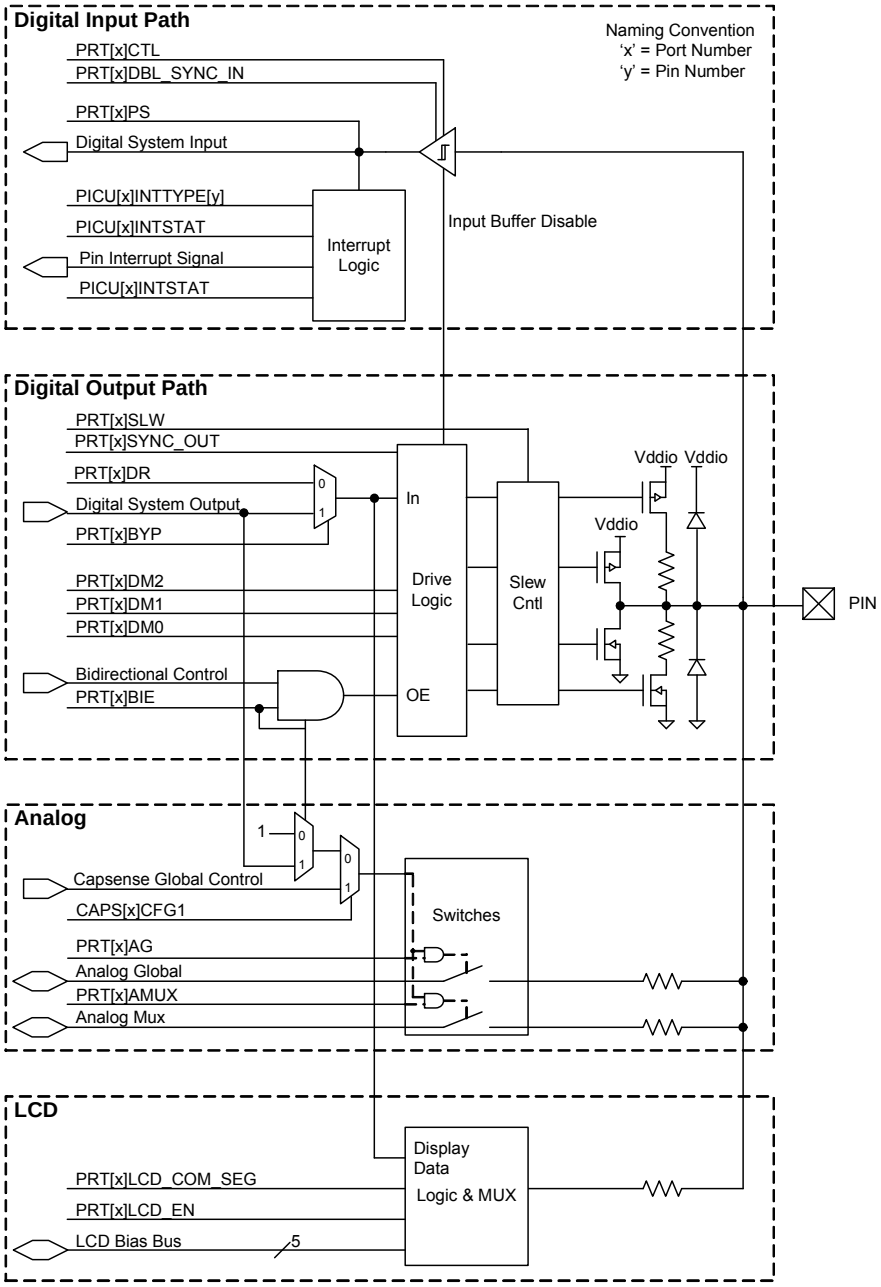

Digital Input Path
Naming Convention
'x' = Port Number
'y' = Pin Number
PRT[x]CTL
PRT[x]DBL_SYNC_IN
PRT[x]PS
Digital System Input
PICU[x]INTTYPE[y]
PICU[x]INTSTAT
Pin Interrupt Signal
PICU[x]INTSTAT
Interrupt Logic
Input Buffer Disable
Digital Output Path
PRT[x]SLW
PRT[x]SYNC_OUT
PRT[x]DR
Digital System Output
PRT[x]BYP
PRT[x]DM2
PRT[x]DM1
PRT[x]DM0
Bidirectional Control
PRT[x]BIE
In
Drive Logic
OE
Slew Cntl
Vddio
Vddio
Vddio
PIN
Analog
Capsense Global Control
CAPS[x]CFG1
PRT[x]AG
Analog Global
PRT[x]AMUX
Analog Mux
Switches
LCD
PRT[x]LCD_COM_SEG
PRT[x]LCD_EN
LCD Bias Bus
5
Display Data
Logic & MUX

图 6-10. SIO 输入 / 输出框图

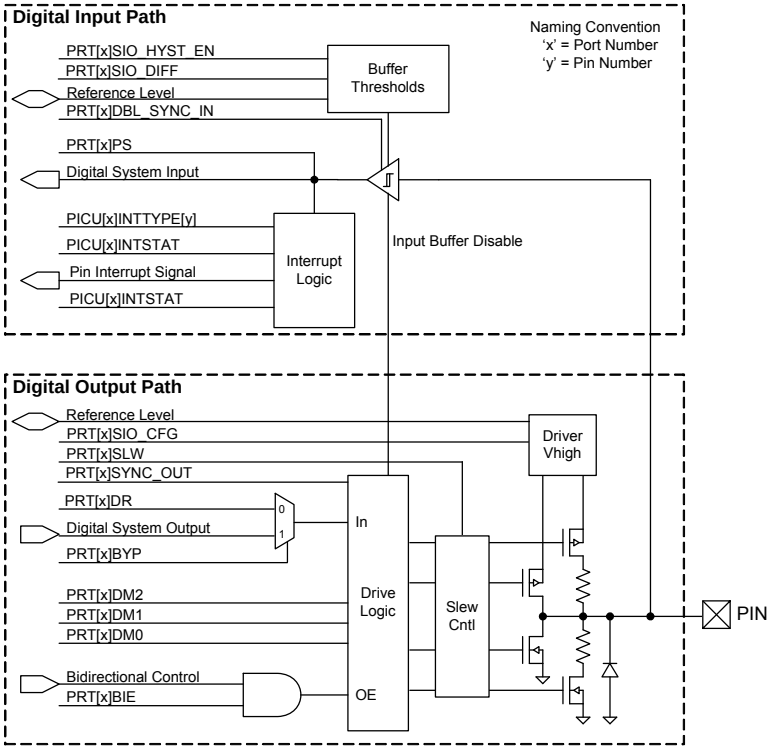
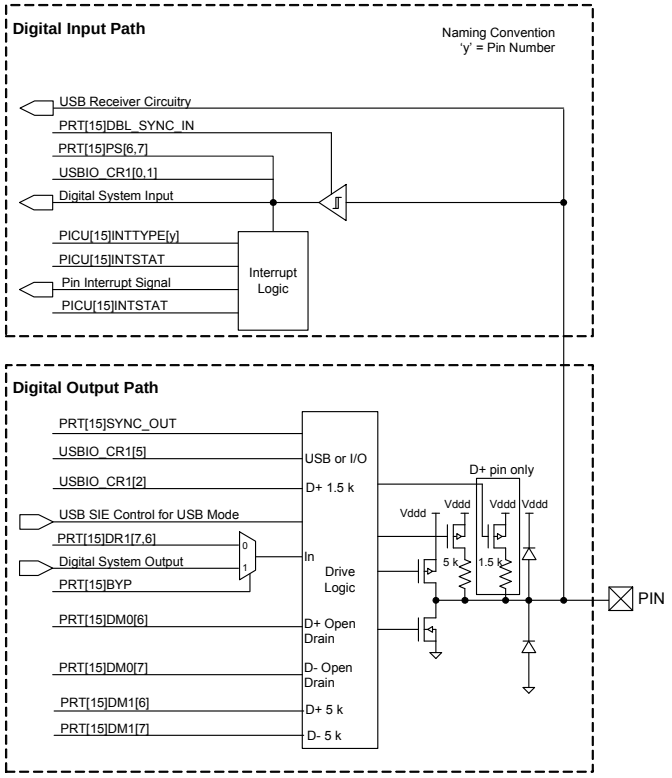


图 6-11. GPIO 框图

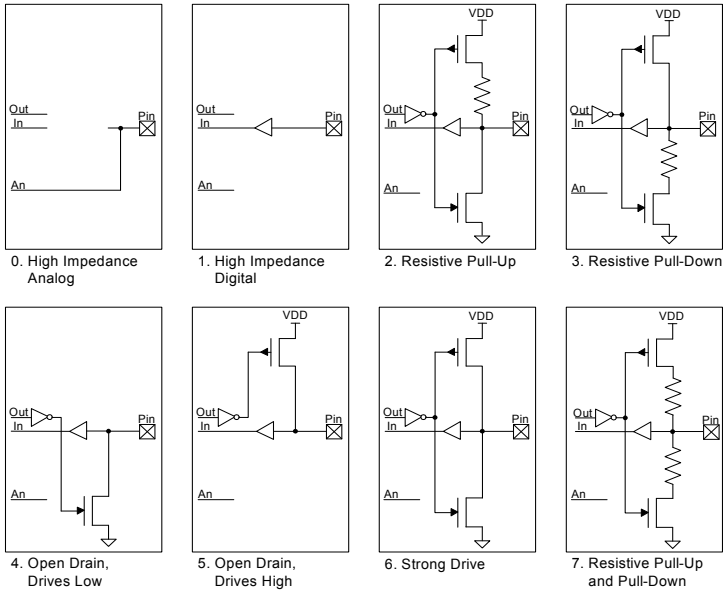


6.4.1 驱动模式

每个 GPIO 和 SIO 引脚都可单独配置成表 6-6 中所列的八种驱动模式中的某一种。三个配置位可用于每个引脚（DM[2:0]），并在 PRTxDM[2:0] 寄存器中设置。图 6-12 显示了基于每种驱动模式（共八种）的引脚简图。表 6-6 显示了端口数据寄存器值或数字阵列信号 （如果选择了旁路模式）对应的 I/O 引脚的驱动状态。

请注意，实际的 I/O 引脚电压是由所选驱动模式和引脚负载共同决定的。例如，如果某个 GPIO 引脚被配置为电阻上拉模式，并在引脚悬空时被驱动为高电平，则在引脚处测得的电压会处于高电平的逻辑状态。如果同一个 GPIO 引脚在外部接地，则引脚未经测定的电压会处于低电平的逻辑状态。

图 6-12. 驱动模式



The 'Out' connection is driven from either the Digital System (when the Digital Output terminal is connected) or the Data Register (when HW connection is disabled).
The 'In' connection drives the Pin State register, and the Digital System if the Digital Input terminal is enabled and connected.
The 'An' connection connects to the Analog System.

表 6-6. 驱动模式

框图	驱动模式	PRTxDM2	PRTxDM1	PRTxDM0	PRTxDR = 1	PRTxDR = 0
0	模拟高阻抗	0	0	0	高阻态	高阻态
1	数字高阻抗	0	0	1	高阻态	高阻态
2	电阻上拉 [9]	0	1	0	电阻上拉 （5K）	强驱动低
3	电阻下拉 [9]	0	1	1	强驱动高	电阻下拉 （5K）
4	开漏，低驱动	1	0	0	高阻态	强驱动低
5	开漏，高驱动	1	0	1	强驱动高	高阻态
6	强驱动	1	1	0	强驱动高	强驱动低
7	电阻上拉 / 下拉 [9]	1	1	1	电阻上拉 （5K）	电阻下拉 （5K）

注释：
9. 不能对稳压输出模式中的 SIO 使用电阻上拉和下拉。

当针对 I/O 模式使能了 USBIO 引脚 （P15[7] 和 P15[6]）时，会限制驱动模式控制。使用 PRT15.DM0[7, 6] 寄存器设置驱动模式。也可针对 USBIO 引脚选择电阻上拉选项，可使用 PRT15.DM1[7, 6] 寄存器使能该选项。在 USB 模式下使能了驱动模式控制后，不会对 USB 引脚的配置产生影响。与 GPIO 和 SIO 配置不同，端口宽配置寄存器不配置 USB 驱动模式位。表 6-7 显示 USBIO 引脚的驱动模式配置。

表 6-7. USBIO 驱动模式 （P15[7] 和 P15[6]）

PRT15.DM1[7， 6] 上拉电阻被使能	PRT15.DM0[7， 6] 驱动模式被使能	PRT15.DR[7， 6] = 1	PRT15.DR[7,6] = 0	描述
0	0	高阻态	强驱动低电平	漏极开路，强驱动低电平
0	1	强驱动高电平	强驱动低电平	强驱动输出
1	0	电阻上拉 （5K）	强驱动低电平	上拉电阻，强驱动低电平
1	1	强驱动高电平	强驱动低电平	强驱动输出

- 模拟高阻抗

  指的是默认的复位状态，输出驱动器和数字输入缓冲区均被关闭。这样可以防止因电压浮动导致任何电流流入到 I/O 的数字输入缓冲区中。对于悬空引脚或支持模拟电压的引脚，建议使用该状态。模拟高阻抗引脚不提供数字输入功能。

  要在睡眠模式下最大限度地降低芯片电流，所有 I/O 都必须被配置为模拟高阻抗模式，或通过 PSoC 器件或外部电路将其引脚驱至供电轨。

- 数字高阻抗

  针对数字信号输入使能输入缓冲区。这是建议用于数字输入的标准高阻抗 （HiZ）状态。

- 电阻上拉或电阻下拉

  电阻上拉或下拉都是在一种数据状态下提供串联电阻，在另一种数据状态下提供强驱动。在这两种模式下，引脚可用于数字输入和输出。这两种模式的一个常见应用是连接机械开关。在稳压输出模式的 SIO 中不能使用电阻上拉和下拉。

- 开漏驱动高和开漏驱动低

  开漏模式是在某种数据状态下提供高阻抗并在另一种数据状态下提供强驱动。在这两种模式下，引脚可用于数字输入和输出。这两种模式的一个常见应用是驱动 I^2C 总线信号线。

- 强驱动

  无论是在高状态还是低状态，均提供强 CMOS 输出驱动。这是引脚的标准输出模式。一般情况下，采用强驱动模式的引脚不能用作输入。这种模式通常用于驱动数字输出信号或外部 FET。

- 电阻上拉和下拉

  与电阻上拉模式和电阻下拉模式类似，只不过引脚始终与电阻串联。高电平数据状态是上拉，而低电平数据状态是下拉。当其它可能导致短路的信号可以驱动总线时，通常会采用这种模式。在稳压输出模式的 SIO 中不能使用电阻上拉和下拉。

6.4.2 引脚寄存器

用于配置引脚并与引脚交互的寄存器有两种形式，并可以互换使用。

所有 I/O 寄存器均可采用标准端口形式，即寄存器的每个位对应于一个端口引脚。这种寄存器形式能够快速有效地同时重新配置多个端口引脚。

I/O 寄存器也可以采用引脚形式，即针对每个引脚，将八个最常用的端口寄存器位合并到单个寄存器中，以便通过单次寄存器写操作来快速更改各个引脚的配置。

6.4.3 双向模式

借助高速双向功能，引脚可以根据辅助控制总线信号的状态，为输入信号提供数字高阻抗驱动模式，并为同一引脚上的输出信号提供用户选择的另一种驱动模式，例如强驱动（使用 PRTxDM[2:0] 寄存器进行设置）。对于需要对输出缓冲区进行动态硬件控制的处理器总线和通信接口，例如 SPI Slave MISO 引脚，双向功能非常有用。

辅助控制总线能够将多达 16 个由 UDB 或数字外设生成的输出使能信号连接至一个或多个引脚。

6.4.4 转换速率受限模式

GPIO 和 SIO 引脚针对强驱动和开漏驱动模式提供了快速输出转换速率和低速输出转换速率选项 （不适用于电阻驱动模式）。由于低速转换速率选项会降低 EMI，因此建议对速度不是很关键（通常小于 1 MHz）的信号使用该选项。快速转换速率适用于频率介于 1 MHz 到 33 MHz 之间的信号。转换速率可以针对每个引脚单独配置，并通过 PRTxSLW 寄存器进行设置。

6.4.5 引脚中断

所有 GPIO 和 SIO 引脚都能生成系统中断。每个端口接口上的所有八个引脚均连接到其各自的端口中断控制单元 （PICU）及关联的中断向量。端口的每个引脚都可单独配置，以检测上升沿和 / 或下降沿中断，或不生成中断。

根据为每个引脚配置的模式，每次引脚上发生中断事件时，中断状态寄存器中对应的状态位都会被设为 “1”，并且系统会向中断控制器发送中断请求。每个 PICU 在中断控制器和引脚状态寄存器中都有各自的中断向量，以便轻松确定中断源、引脚电平等。

在所有睡眠模式下，端口引脚中断均保持活动状态，以便通过由外部生成的中断唤醒 PSoC 器件。

尽管不直接支持电平触发型中断，但在需要时，可以通过通用数字模块 （UDB）为系统提供该功能。

6.4.6 输入缓冲区模式

可以针对默认的 CMOS 输入阈值或可选的 LVTTL 输入阈值在端口级别配置 GPIO 和 SIO 输入缓冲区。所有输入缓冲区都能够与施密特触发器一起实现输入迟滞。此外，在任何驱动模式下，均可禁用各个引脚输入缓冲区。

6.4.7 I/O 供电电源

可以提供多达四个 I/O 引脚供电电源，具体取决于器件和封装。每个 I/O 供电电源必须小于或等于芯片模拟 （VDDA）引脚的电压。该功能允许用户为器件上的各个引脚提供不同的 I/O 电压。要确定给定端口和引脚的 VDDIO 功能，请参见具体的器件封装引脚分布图。

SIO 端口引脚支持其它 “ 稳压高输出 ” 功能，如可调输出电平中所述。

6.4.8 模拟连接

这些连接仅适用于 GPIO 引脚。所有 GPIO 引脚都可以作为模拟输入或输出使用。引脚上的模拟电压不能超过 GPIO 对应的 VDDIO 供电电压。每个 GPIO 都可连接到其中一条模拟全局总线或模拟复用器总线，以便将任意引脚连接到任意内部模拟资源，例如 ADC 或电压比较器。此外，某些引脚能够直接连接到特定的模拟功能，例如高电流 DAC 或运算放大器。

6.4.9 CapSense

本部分内容仅适用于 GPIO 引脚。所有 GPIO 引脚都可用于 CapSense 按键和滑条 [6]。有关详细信息，请参考第 58 页上的 “CapSense” 一节中介绍的内容。

6.4.10 LCD segment 驱动

本部分内容仅适用于 GPIO 引脚。所有 GPIO 引脚均可用于生成 segment 驱动和 common 驱动信号，以便直接驱动 LCD 显示屏。有关详细信息，请参考第 57 页上的 “LCD 直接驱动器 ” 一节中介绍的内容。

6.4.11 可调输出电平

本部分内容仅适用于 SIO 引脚。 SIO 端口引脚支持为电压低于 SIO 对应 VDDIO 的外部信号接口提供稳压的高电平输出。根据内部生成的参考电压，各个 SIO 引脚可单独配置为标准 VDDIO 电平输出或稳压输出。通常使用电压 DAC（VDAC）生成参考电压（请参见图 6-13）。第 58 页上的 “DAC” 一节详细介绍了 VDAC 的用法以及如何将参考电压连接至 SIO 引脚。电阻上拉和下拉驱动模式不适用于稳压输出模式下的 SIO。

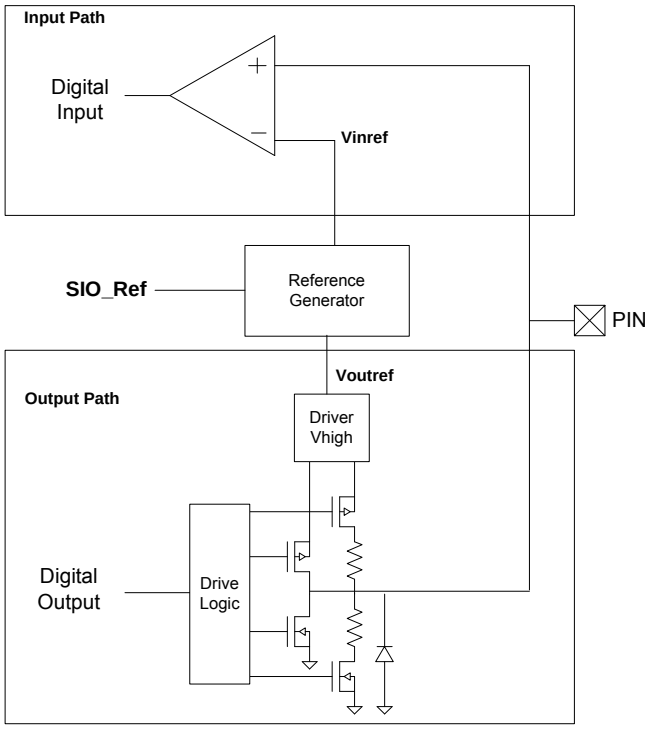
6.4.12 可调输入电平

本部分内容仅适用于 SIO 引脚。默认情况下，SIO 引脚不仅支持标准 CMOS 和 LVTTL 输入电平，而且还支持采用可编程电平的差分模式。 SIO 引脚按对分组。每对引脚共享一个参考电压发生器模块，该模块用于为电压与 VDDIO 不同的外部信号接口设置数字输入缓冲区参考电平。参考电压会用来设置高逻辑电平的引脚电压阈值 （请参见图 6-13）。可用的输入阈值包括：

- 0.5 × VDDIO
- 0.4 × VDDIO
- 0.5 × VREF
- VREF

通常会使用电压 DAC （VDAC）来生成 V_{REF} 参考电压。第 58 页上的 “DAC” 一节详细介绍了 VDAC 的用法以及路由至 SIO 引脚的参考电压。

图 6-13. 输入和输出的 SIO 参考



6.4.13 SIO 作为电压比较器

本部分内容仅适用于 SIO 引脚。如可调输入电平一节所述，可以使用 SIO 的可调输入电平功能来构建电压比较器。电压比较器的阈值由 SIO 的参考电平发生器提供。参考电平发生器包含一个选项，用于将通过模拟全局总线连接的模拟信号设为电压比较器阈值。请注意，一对 SIO 引脚共享同一个阈值。

第 35 页上的图 6-10 中的数字输入路径说明了该功能。在该图中，‘ 参考电平 ’ 是通过模拟全局总线路由过来的模拟信号。还可以为 SIO 的输入缓冲区使能迟滞功能，以便增强电压比较器的抗噪能力。

6.4.14 热插拔

本部分内容仅适用于 SIO 引脚。 SIO 引脚支持 “ 热插拔 ” 功能，无需加载连接到 SIO 引脚的信号即可插入到应用中，即便在 PSoC 器件未通电时亦是如此。这样一来，未通电的 PSoC 就可以保持对外部器件的高阻抗负载，同时防止 PSoC 被通过 SIO 引脚的保护二极管的电流加电。

与正在运行的 I2C 总线相连时，给该器件供电或断电会导致 SIO 引脚上的瞬变状态。 I2C 总线的整体设计应该考虑这一点。

6.4.15 过压容限

所有 I/O 引脚在任意工作 VDD 下都能够提供过压容限功能。

- SIO 引脚没有任何电流限制，因为它们对外部电路存在高阻抗负载。
- 必须使用电流电阻将 GPIO 引脚电流限制为 100 µA。GPIO 引脚会将引脚电压限制约为 VDDIO 加上一个二极管电压的值。
- 如果 GPIO 引脚被配置为模拟输入 / 输出，则引脚上的模拟电压不得超过 GPIO 对应的 VDDIO 供电电压。

该功能的一个常见应用是连接到 I^2C 等总线，其中不同的器件在不同的供电电压下运行。连接到 I^2C 时，会针对 SIO 引脚将 PSoC 芯片配置为开漏驱动低模式。这样就可以通过外部上拉电阻将 I^2C 总线电压拉到一个大于 PSoC 引脚供电电压的值。例如，PSoC 芯片可以在 1.8 V 下运行，外部器件可以在 5 V 电压下运行。请注意，SIO 引脚的 V_{IH} 和 V_{IL} 电平由互相关联的 VDDIO 供电引脚决定。

SIO 引脚必须处于下列任意一种模式：0 （模拟高阻抗）、1（数字高阻抗）或 4 （开漏驱动低电平）。有关详细信息，请参考图 6-12 中介绍的内容。必须针对所有 I/O 引脚监控器件的最大绝对额定值。

6.4.16 复位配置

当复位有效时，所有 I/O 都会复位并保持在模拟高阻抗状态。复位释放之后，可根据各个端口将状态重新编程为下拉或上拉。为了确保正确的复位操作，端口复位配置数据会存储在专用的非易失性寄存器中。发出复位信号后，存储的复位数据会自动传输到端口复位配置寄存器。

6.4.17 低功耗功能

在所有低功耗模式下， I/O 引脚都会保持其状态，直到器件被唤醒并被更改或复位为止。要唤醒器件，请使用引脚中断，因为在所有低功耗模式下，端口中断逻辑会继续发挥作用。

6.4.18 特殊引脚功能

器件上的某些引脚除了具有 GPIO 或 SIO 功能外，还具有其它特殊功能。第 6 页上的 “ 引脚分配 ” 中列出了具体的特殊功能引脚。这些特殊功能包括：

- 数字
  - 频率为 4 至 25 MHz 的晶振
  - 频率为 32.768 kHz 的晶振
  - I^2C 地址匹配时从睡眠模式唤醒。如果不需要从睡眠模式唤醒，则任意引脚都可用于 I^2C。
  - JTAG 接口引脚
  - SWD 接口引脚
  - SWV 接口引脚
  - TRACEPORT 接口引脚
  - 外部复位
- 模拟
  - 运算放大器输入和输出
  - 高电流 IDAC 输出
  - 外部参考输入

6.4.19 JTAG 边界扫描

器件支持所有引脚上的标准 JTAG 边界扫描链，以便进行板级测试。

7. 数字子系统

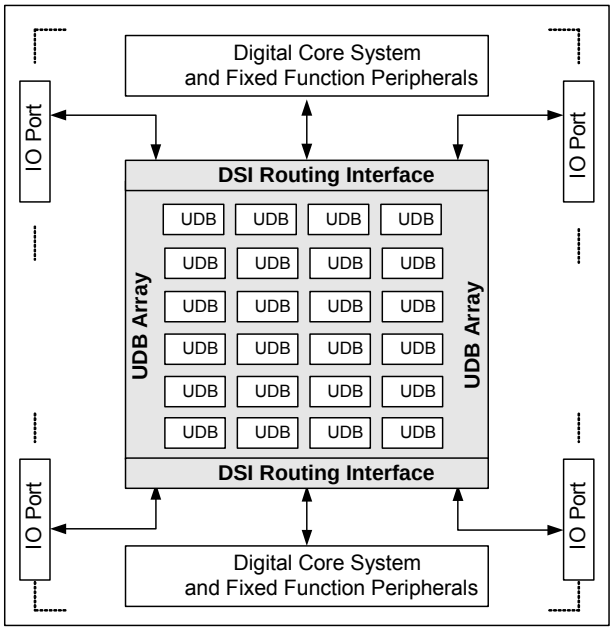
可编程数字系统能够针对具体的应用创建标准数字外设、高级数字外设的组合，并创建定制逻辑功能。然后，这些外设和逻辑将互连，并与器件上的任意引脚相连，从而提供高度的设计灵活性和 IP 安全性。

下面列出了可编程数字系统的功能，以便用户对这些功能和架构有一个大概的了解。设计人员不需要通过硬件和寄存器级别同可编程数字系统直接交互。PSoC Creator 提供了一个与 PLD 类似的高级电路图输入图形界面，以便自动放置和连接资源。

可编程数字系统的主要组件包括：

- 通用数字模块 （UDB） — 这些模块构成了可编程数字系统的核心功能。 UDB 是未赋定逻辑 （PLD）和结构化逻辑 （数据路径）的组合，已经过优化，能够针对应用或设计创建所有常用嵌入式外设和定制功能。
- 通用数字模块阵列 — UDB 模块排列在一个可编程互连矩阵内。UDB 阵列结构具有一致性，有助于将数字功能灵活地映射到阵列上。该阵列支持在UDB 与数字系统互连之间进行广泛而灵活的布线互连。
- 数字系统互连（DSI）— 来自 UDB、固定功能外设、I/O 引脚、中断和 DMA 的数字信号以及其它系统内核信号会被互连到数字系统互连 （DSI），以实现全功能器件的互通。与通用数字模块阵列结合使用时， DSI 允许将任意数字功能路由至任意引脚或其它组件。

图 7-1. CY8C54LP 可编程数字架构



7.1 外设示例

CY8C54LP 系列的 UDB 和模拟模块具有高度的灵活性，可让用户创建众多组件 （外设）。赛普拉斯开发了一些最常用的外设，具体情况请参考 PSoC Creator 组件目录。此外，用户还可以使用 PSoC Creator 创建自定义组件。用户还可以使用 PSoC Creator 来创建自己的组件，以便在其组织内重复使用 （如传感器接口、专有算法和显示界面）。

PSoC Creator提供了大量的组件，我们无法在数据手册中一一列出，而且这些组件的数量还在不断增加。例如， UART 组件可用于 CY8C54LP 系列，但在本数据手册中未被提及。

7.1.1 数字组件示例

以下是 PSoC Creator 中可用于 CY8C54LP 系列的一个数字组件示例。组件使用的硬件资源 （UDB、路由、 RAM、闪存）的确切数量会有所不同，具体取决于在 PSoC Creator 中为组件选择的功能。

- 通信
  - I^2C
  - UART
  - SPI
- 功能
  - EMIF
  - PWM
  - 定时器
  - 计数器
- 逻辑
  - NOT
  - OR
  - XOR
  - AND

7.1.2 模拟组件示例

以下是 PSoC Creator 中可用于 CY8C54LP 系列的一个模拟组件示例。组件使用的硬件资源（SC/CT 模块、路由、RAM、闪存）的确切数量会有所不同，具体取决于在 PSoC Creator 中为组件选择的功能。

- 放大器
  - TIA
  - PGA
  - 运算放大器
- ADC
  - Delta-Sigma
  - 逐次逼近 （SAR）
- DAC
  - 电流
  - 电压
  - PWM
- 电压比较器
- 混频器

7.1.3 系统功能组件示例

以下是 PSoC Creator 中可用于 CY8C54LP 系列的一个系统功能组件示例。组件使用的硬件资源（UDB、SC/CT 模块、路由、RAM、闪存）的确切数量会有所不同，具体取决于在 PSoC Creator 中为组件选择的功能。

- CapSense
- LCD 驱动
- LCD 控制
- 滤波器

7.1.4 使用 PSoC Creator 进行设计

7.1.4.1 优于典型 IDE

一个成功的设计工具应该能够快速进行开发，并能够展开简单和复杂的设计。这样可缩短甚至消除学习过程，并使新设计直接融入到生产流程中。

PSoC Creator 就是这样的设计工具。

PSoC Creator 是一个功能齐全的集成开发环境（IDE），可用于硬件和软件的设计。该工具已针对 PSoC 器件进行优化，并将功能强大的新型软件开发平台与先进的图形化设计工具结合在一起。这种独特的工具组合使得 PSoC Creator 成为目前灵活性最高的嵌入式设计平台。

图形化设计输入有助于简化特定器件的配置。您可以从内容丰富的组件目录中选择所需的功能，并将其放入到自己的设计中。所有组件都实现了参数化，并具有编辑器对话框，您可以根据自己的需求来定制功能。

PSoC Creator 会自动配置时钟，并将 I/O 连接至选定的引脚，随后生成 API，以便应用能够对硬件进行全面控制。要更改 PSoC 器件配置，只需添加一个新组件，设置其参数并重新编译项目即可。

在开发过程的任何阶段，您都可以自由更改硬件配置乃至目标处理器。要将应用（硬件和软件）重新定位到新器件（即使是从 8 位系列到 32 位系列），只需选择新器件并重建即可。

您还可以更改 C 编译器并评估备选方案。组件具有高度的便携性，并针对所有系列的所有器件以及支持的所有工具链进行了验证。要切换编译器，只需编辑项目选项，并使用所生成的 API 或引导代码重新正确编译应用即可。

7.1.4.2 组件目录

组件目录是一个由可重复使用的设计元素组成的资料库，有助于您选择器件功能并自定义 PSoC 器件。组件目录中包含大量实用的内容：从简单的基元（如逻辑门和器件寄存器），到数字定时器、计数器和 PWM，再到模拟组件（如 ADC、DAC 和滤波器）以及通信协议（如 I^2C、USB 和 CAN），应有尽有。有关可用外设的更多详细信息，请参考第 40 页上的“外设示例”一节中介绍的内容。所有内容已被完全特性化，并在数据手册中详细进行了记录，同时还附带了代码示例、交流 / 直流规范以及已编好的用户代码 API。

7.1.4.3 设计重复使用

符号编辑器可让您开发能够重复使用的组件，从而大大缩短日后进行设计所需的时间。您只需绘制符号，并使其与经过验证的设计相关联即可。通过 PSoC Creator，可将新符号与赛普拉斯提供的内容一起。然后放在组件目录中任意位置。然后，您就可以在任意数量的项目中不限次数地重复使用您的内容，而无需重复查看其详细的实现信息。

7.1.4.4 软件开发

该工具拥有时尚且高度可自定义的用户界面。它不仅包括项目管理功能以及适用于 C 语言和汇编语言源代码的集成编辑器，而且还包括设计输入工具。

项目编译控制功能采用了由 ARM® Limited、Keil™ 和 CodeSourcery（GNU）等顶级商业供应商所提供的编译技术。该工具随附提供了适用于 ARM 的免费版 Keil C51 和 GNU C 编译器（GCC），这些编译器对代码规模或最终产品分发没有任何限制。该工具支持专业的 Keil C51 产品和 ARM RealView™ 编译器，能够轻松升级到更多优化编译器。

7.1.4.5 非侵入式调试

由于所有器件均提供了 4 线 JTAG 和 2 线 SWD 调试连接，因此 PSoC Creator 调试器只需很少的干预即可全面控制目标器件。断点和代码执行指令都可通过工具栏按键直接调用，一系列实用的窗口（寄存器、局部、监控、调用堆栈、存储器和外设）有助于实现无与伦比的系统可视性。

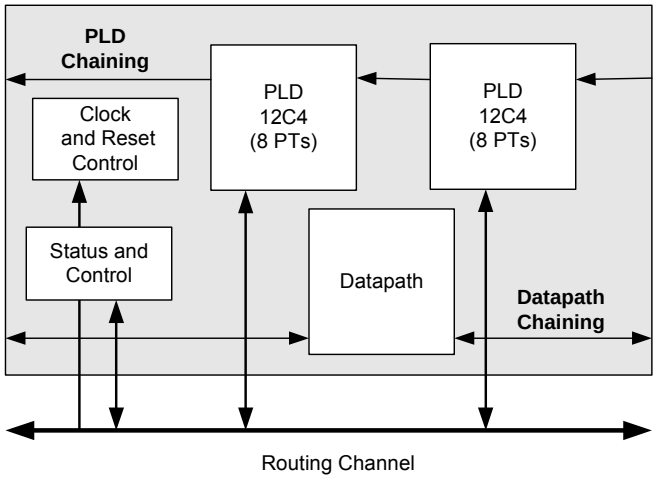
PSoC Creator 包含完成设计，以及日后维护和扩展设计所需的所有工具。设计流程的所有步骤都经过了仔细整合和优化，不仅简单易用，而且能最大限度地提高效率。

7.2 通用数字模块

通用数字模块（UDB）标志着向下一代 PSoC 嵌入式数字外设功能迈出了具有革命意义的一步。第一代 PSoC 数字模块的架构提供了粗糙的可编程性，其中仅包含一些具有少量选项的固定功能。新型 UDB 架构在配置精细程度和高效实现两者之间取得了最佳平衡。这种方法的核心是提供根据应用需求定制器件数字操作的能力。

为了实现这一点，UDB 包含了未赋定逻辑（PLD）、结构化逻辑（数据路径）与灵活路由方案的组合，以便为这些元素、I/O 连接以及其它外设之间提供互连能力。UDB 的功能很丰富，从通过一个 UDB 甚至是 UDB 的一部分 （不使用的资源可供其它功能使用）实现的简单自包含功能，到需要多个 UDB 的更为复杂的功能。基本功能的示例为定时器、计数器、 CRC 发生器、 PWM、死区发生器和通信功能，如 UART、 SPI 和 I^2C。另外， PLD 模块和连接在可用的资源上提供功能齐全的通用可编程逻辑。

图 7-2. UDB 框图



UDB 的主要组件模块包括：

- PLD模块 — 每个UDB有两个小型PLD。这些模块从路由阵列获取输入，并构成寄存或组合 “ 乘积和 ” 逻辑。PLD 用于实现状态机、状态位和组合逻辑方程。PLD 配置是从图元自动生成的。
- 数据路径模块 — 这 8 位宽的数据路径包含结构化逻辑，能够实现可动态配置的 ALU （该 ALU 包含各种比较配置和条件生成）。该模块还包含输入 / 输出 FIFO，这些 FIFO 是 CPU/DMA 系统与 UDB 之间的主要并行数据接口。
- 状态和控制模块 — 该模块的主要作用是为 CPU 固件提供与 UDB 操作进行交互和同步的方式。
- 时钟和复位模块 — 该模块能够提供 UDB 时钟以及复位选择和控制功能。

7.2.1 PLD 模块

PLD 模块的主要用途是实现逻辑表达式、状态机、序列发生器、查询表和解码器。在最简单的使用模型中，可将 PLD 模块视为单独的资源，通用 RTL 会综合并映射到此资源。更为常见且有效的使用模型是通过组合使用 PLD 和数据路径模块创建数字功能。其中，PLD 仅实现功能的随机逻辑和状态部分，而数据路径（ALU）则实现更多结构化元素。

图 7-3. PLD 12C4 结构

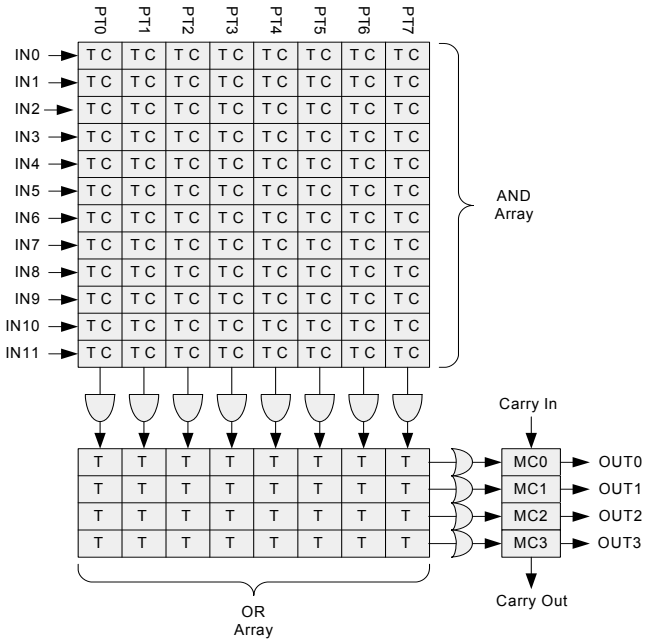
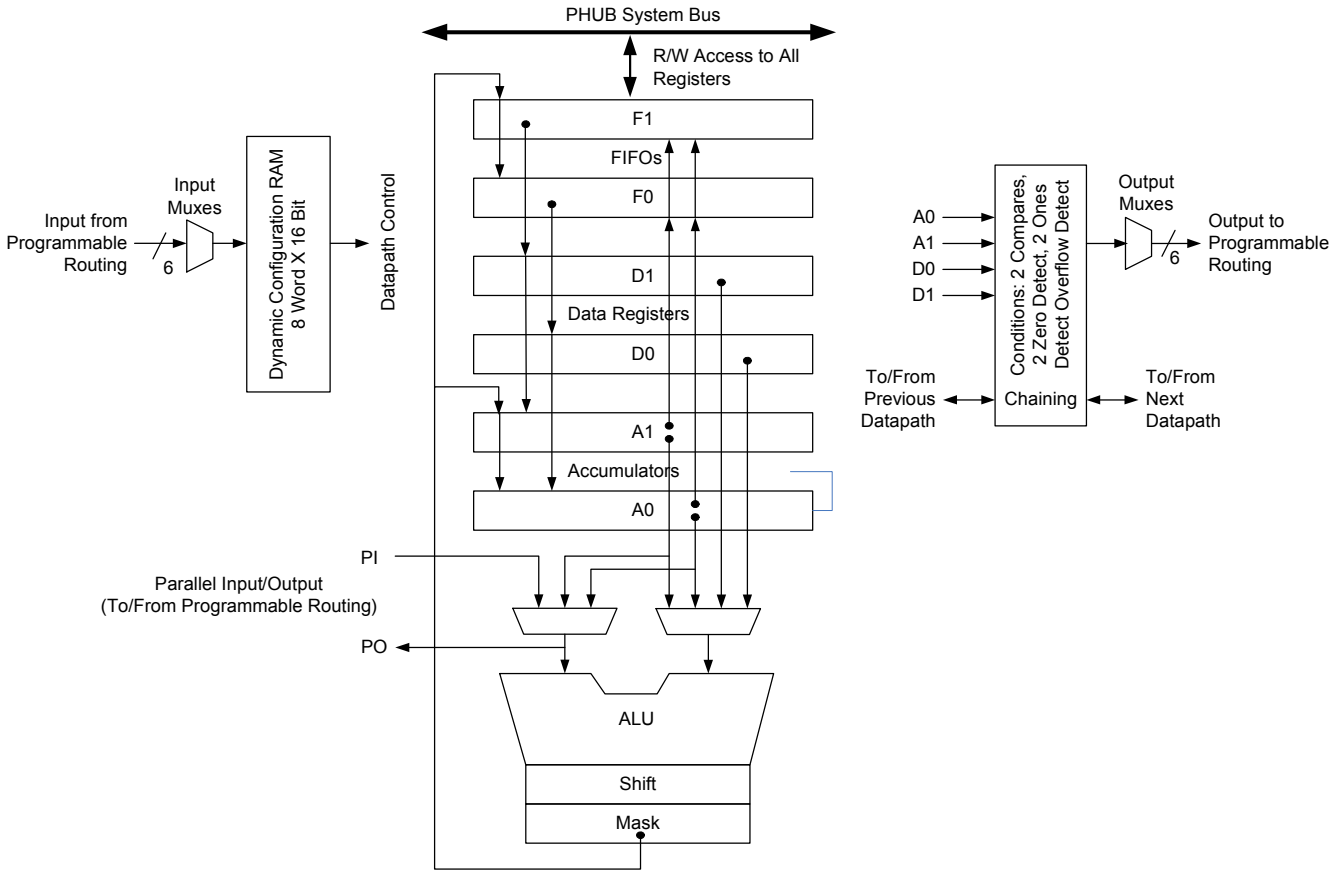


图 7-3 显示的是一个 12C4 PLD 模块。该 PLD 具有 12 个输入，它们能够启动八个乘积项。每个乘积项 （AND 函数）的宽度可以是 1 到 12 个输入，并且在给定的乘积项中，可以选择每个输入的真值 （T）或补码 （C）。对乘积项求和 （OR 功能）即可创建 PLD 输出。总宽度可以是 1 到 8 个乘积项。12C4 中的 “C” 表示 OR 门的宽度 （在本例中为 8）在所有输出中都不变 （而在 22 V 10 器件中是可变的）。这种类似于 PLA 的结构能够实现最大的灵活性，并确保所有输入和输出都是可交换的，以便通过软件工具轻松地进行分配。每个 UDB 中有两个 12C4 PLD。

7.2.2 数据路径模块

数据路径包含一个 8 位的单周期 ALU，该 ALU 具有关联的比较配置和条件生成逻辑。该数据路径模块经过了优化，能够实现嵌入式功能，如定时器、计数器、积分器、 PWM、 PRS、 CRC、移位器、死区生成器等。

图 7-4. 数据路径架构



7.2.2.1 工作寄存器

数据路径包含六个主要工作寄存器，在正常操作的期间可通过 CPU 固件或 DMA 访问这些寄存器。

表 7-1. 工作数据路径寄存器

名称	功能	描述
A0 和 A1	累加器	这些寄存器是 ALU 的源和库，也是比较器的源。
D0 和 D1	数据寄存器	这些寄存器是 ALU 的源，也是比较器的源。
F0 和 F1	FIFO	这些寄存器是系统总线的主要接口。它们可当做数据寄存器和累加器的数据源，或者从累加器或 ALU 捕获数据。每个 FIFO 的深度为四个字节。

7.2.2.2 动态配置 RAM

动态配置指的是在序列发生器的控制下，按周期更改数据路径功能和内部配置的能力。这是使用 8 字 x 16 位配置 RAM 实现的，该 RAM 存储有八个独特的 16 位宽配置。该 RAM 的地址输入用于控制序列，可以来自与 UDB 路由矩阵相连的任何模块 （最典型的是 PLD 逻辑、 I/O 引脚），或来自该数据路径模块或其他数据路径模块的输出。

ALU

ALU 能够执行八种通用功能。其中包括：

- 递增
- 递减
- 加
- 减
- 逻辑 AND
- 逻辑 OR
- 逻辑 XOR
- 传输，用于通过 ALU 将某值传输到移位寄存器、掩码寄存器或其它 UDB 寄存器内

除了 ALU 运算之外，还能够提供以下功能：

- 向左移位
- 向右移位
- 半字节交换
- 按位 OR 屏蔽

7.2.2.3 *条件*

每个数据路径包含两个比较操作，并具有位掩码选项。比较操作数包括由两个累加器和两个数据寄存器组成的各种配置。其它条件包括零检测、全 1 检测和溢出。这些条件是主要的数据路径输出，其中有些可输出到 UDB 路由矩阵中。条件计算可以使用连接到相邻 UDB 的内置链路，以在较宽的数据宽度上进行运算，而无需使用路由资源。

7.2.2.4 *可变 MSB*

算术和移位功能的最高有效位可通过编程方式指定。可变 MSB 支持可变宽度 CRC 和 PRS 功能，而且通过与 ALU 输出掩码相结合，可实现任意宽度的定时器、计数器和移位模块。

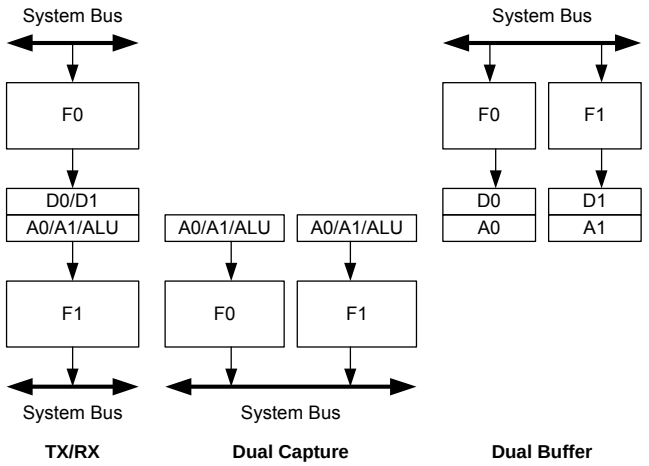
7.2.2.5 *内置 CRC/PRS*

数据路径内置支持以下内容：任意宽度和任意多项式的单周期循环冗余校验 （CRC）计算和伪随机序列 （PRS）生成。长度超过 8 位的 CRC/PRS 功能可通过结合使用 PLD 逻辑来实现，而内置链路可用于将该功能扩展至相邻 UDB。

7.2.2.6 *输入 / 输出 FIFO*

每个数据路径包含两个 4 字节深的 FIFO，这些 FIFO 可单独配置为输入缓冲区（系统总线写入到FIFO，数据路径内部读取FIFO）或输出缓冲区 （数据路径内部写入到 FIFO，系统总线读取 FIFO）。FIFO 能够生成状态，这些状态可被选为数据路径输出，从而可连接至走线，以便与序列发生器、中断或 DMA 进行交互。

图 7-5. FIFO 配置示例



7.2.2.7 *链路*

数据路径可被配置为将条件和信号（例如进位和移位数据）同相邻数据路径进行链接，以便创建精度更高的算术、移位和 CRC/PRS 功能。

7.2.2.8 *时间复用*

在过采样或不需要高时钟频率的应用中，可以与两组寄存器和条件生成器有效地分享数据路径中的单个 ALU 模块。来自 ALU 的进位和移出数据会被寄存起来，并可在后续周期中选作输入。这样一来，便可以在一个 （8 位）数据路径中支持 16 位功能。

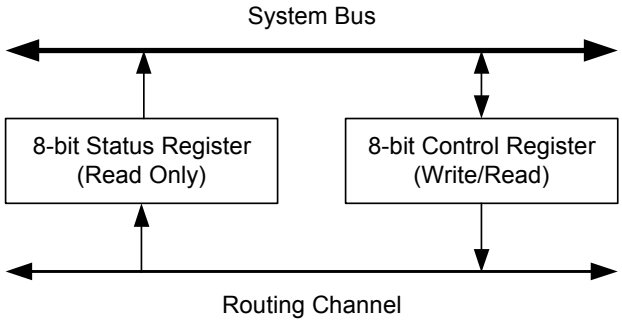
7.2.2.9 *数据路径 I/O*

有六个输入和六个输出用于将数据路径连接到路由矩阵。来自路由矩阵的输入能为每个周期中所执行的数据路径操作提供配置，此外还能够提供串行数据输入。输入可以来自其它 UDB 模块、其它器件外设、器件 I/O 引脚等。走线的输出可从生成的条件和串行数据输出中选择。输出可连接到其它 UDB 模块、器件外设、中断和 DMA 控制器、 I/O 引脚等。

7.2.3 *状态和控制模块*

该模块的主要用途是协调CPU固件与内部UDB操作之间的交互。

图 7-6. 状态和控制寄存器



控制寄存器的位（可由系统总线对其进行写操作）用于驱动到路由矩阵中，从而使固件能够控制 UDB 处理的状态。状态寄存器是只读的，允许通过内部路由直接在系统总线上读取内部UDB状态。因此，固件能够监控 UDB 处理的状态。根据应用要求，通过设置这些寄存器中的每一位，可以建立与路由矩阵的可编程连接。

7.2.3.1 *用法示例*

作为控制输入的示例，可以将控制寄存器的某一位分配为功能使能位。可以通过多种方法使能某项功能。将控制位输出路由到一个或多个 UDB 中的时钟控制模块，并作为所选 UDB 模块的时钟使能位使用是其中一种方法。PLD 或数据路径模块生成了某个条件后的情况便是一个状态示例。例如，由状态寄存器被捕获并锁存，随后由 CPU 固件读取（并清除）“ 比较结果为真 ” 的条件。

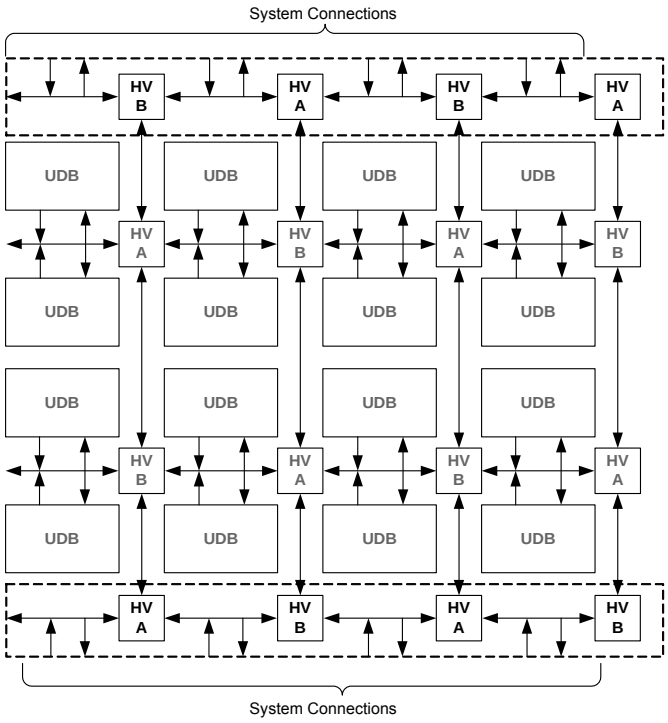
7.2.3.2 时钟生成

UDB 的每个子组件模块（包含两个 PLD、数据路径、以及状态和控制模块）都有一个时钟选择和控制模块。这不仅能够提升为 UDB 组件模块分配时钟资源的精细程度，而且还可将不使用的 UDB 资源用于其它功能，从而尽可能提高系统效率。

7.3 UDB 阵列描述

图 7-7 显示了一个由 16 个 UDB 组成的阵列示例。除了阵列内核之外，在阵列的顶端和底端还有 DSI 路由接口。其它未明确显示出来的接口包括用于总线和时钟分配的系统接口。UDB 阵列包含多个横向和纵向路由通道，每个通道由 96 条线组成。这些通往 UDB 的线连接在横向 / 纵向交叉点和 DSI 接口处具有高度的可交换性，能够在 PSoC Creator 中提供高效的自动布线。此外，这种路由方式还允许通过沿着纵向和横向的线分段连接，因此可以进一步提升路由的灵活性和功能。

图 7-7. 数字系统接口结构

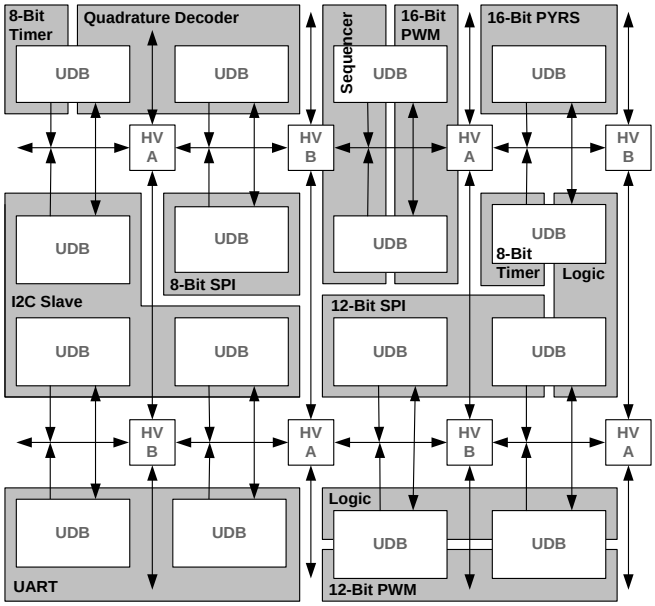


7.3.1 UDB 阵列可编程资源

图 7-8 显示了将功能映射到一组 UDB（16 个 UDB）的示例。UDB 的主要可编程资源包括两个 PLD、一个数据路径和一个状态 / 控制寄存器。这些资源都是独立分配的，因为它们拥有可独立选择的时钟，所以可以给未使用的模块分配其它不相关的功能。

例如阵列左上角的 8 位定时器。该功能仅需要使用 UDB 中的一个数据路径，因此可以将 PLD 资源分配给其它功能。对于正交解码器等功能，一个 UDB 所提供的 PLD 逻辑可能无法满足其需求，在这种情况下，可以利用 8 位定时器 UDB 中未使用的 PLD 模块。UDB 阵列中的可编程资源通常是同质资源，因此功能可映射到阵列中的任意边界。

图 7-8. 一组 UDB 中的功能映射示例



7.4 DSI 路由接口说明

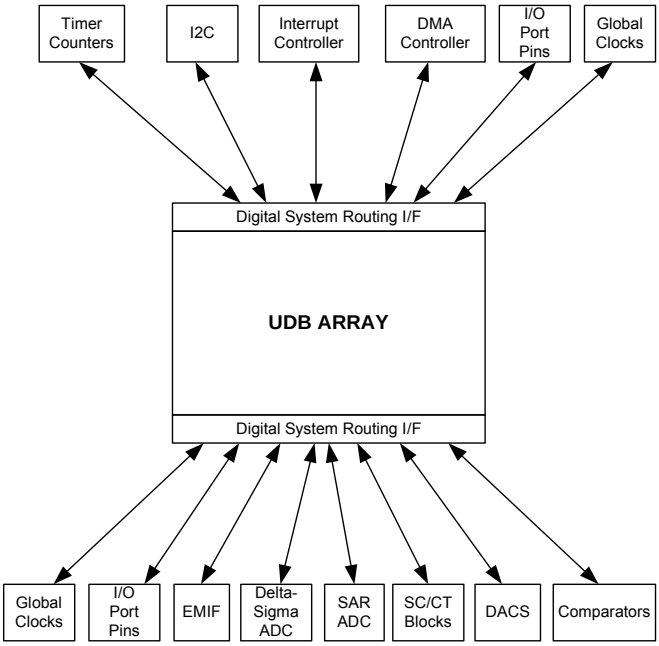
DSI 路由接口是横向和纵向走线通道在 UDB 阵列内核顶端和底端的延伸。它能够在器件外设（包括 UDB、I/O、模拟外设、中断、 DMA 和固定功能外设）之间提供通用的可编程路由。

图 7-9 说明了数字系统互连的概念，数字系统互连能够将 UDB 阵列路由矩阵与其它器件外设相连。任何需要可编程路由的数字系统内核或固定功能外设都被连接到该接口。

属于此类别的信号包括：

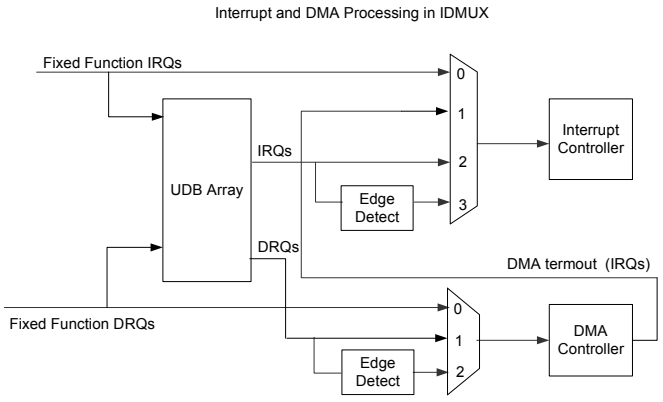
- 来自系统中所有数字外设的中断请求。
- 来自系统中所有数字外设的 DMA 请求。
- 需要灵活路由到 I/O 的数字外设数据信号。
- 需要连接至 UDB 的数字外设数据信号。
- 至中断和 DMA 控制器的连接。
- 至 I/O 引脚的连接。
- 至模拟系统数字信号的连接。

图 7-9. 数字系统互连



在 CY8C54LP 可编程架构中，中断和 DMA 布线非常灵活。除了可以生成中断请求的众多固定功能外设之外，UDB 阵列路由中的任何数据信号也都能用来生成请求。单个外设可以生成多个独立的中断请求，从而可简化系统和固件设计。图7-10 显示了 IDMUX（中断 /DMA 复用器）的结构。

图 7-10. IDMUX 中的中断和 DMA 处理



7.4.1 I/O 端口路由

共有 20 个连接至典型 8 位 I/O 端口的 DSI 路由，其中 16 个用于数据布线， 4 个用于驱动强度控制。

当 I/O 引脚连接至路由中时，会提供两个主要连接，即输入和输出连接。与驱动强度控制相结合可以实现双向 I/O 引脚。数据输出信号具有单同步（流水线式）选项，数据输入信号具有双同步选项。同步时钟是系统时钟（请参见图 6-1）。通常，如果 CPU 同该信号或由 CPU 派生的所有信号进行了交互，那么所有来自引脚的输入都是同步的。很少使用异步输入。例如，通过组合的 PLD 逻辑将信号从输入引脚传输到输出引脚。

图 7-11. I/O 引脚同步路由

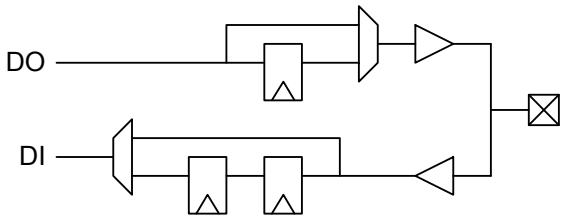
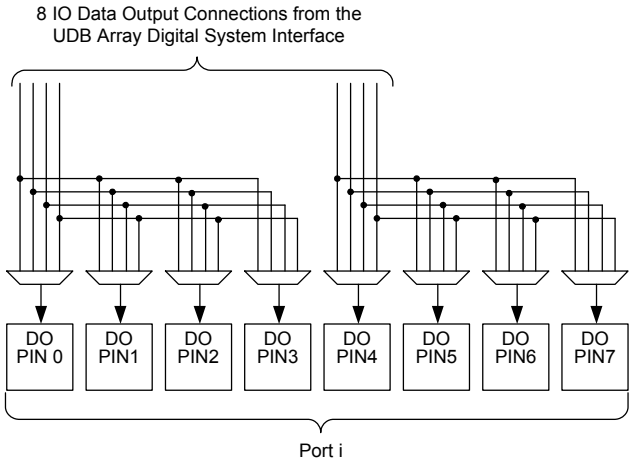
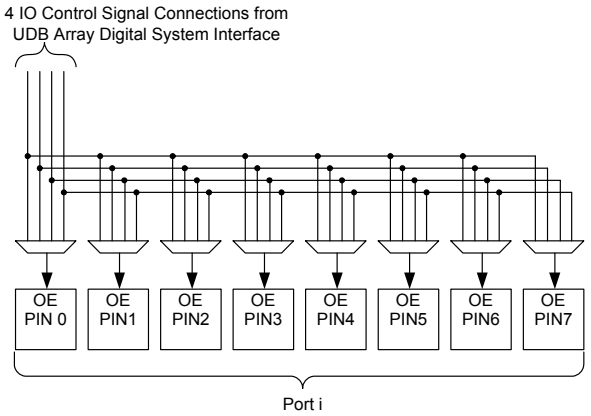


图 7-12. I/O 引脚输出连接



此外，还有 4 个 DSI 路由连接至给定的 I/O 端口，以便实现引脚的动态输出使能控制。这种连接提供了一系列选项，其中包括由一个信号控制且完全组合的 8 位，以及多达四个单独控制的引脚。输出使能信号对创建三态双向引脚和总线非常有用。

图 7-13. I/O 引脚输出使能连接



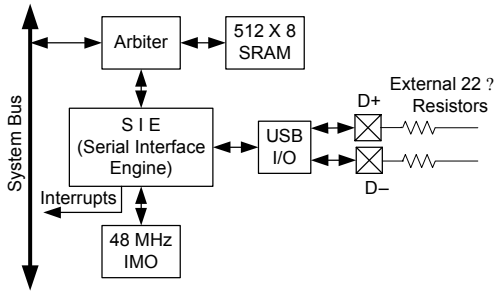
7.5 USB

PSoC 包含专用的全速 （12 Mbps） USB 2.0 收发器，支持所有四种 USB 传输类型：即控制传输、中断传输、批量传输和同步传输。 PSoC Creator 提供全面的配置支持。 USB 通过两个专用的 USBIO 引脚与主机连接。有关详细信息，请参考第 33 页上的 “I/O 系统与路由 ” 一节中介绍的内容。

USB 包含以下特性：

- 八个单向数据端点
- 一个双向控制端点 0 （EP0）
- 由八个数据端点共享的 512 字节缓冲区
- EP0 专用的 8 字节缓冲区
- 三种存储器模式
  - 不带 DMA 访问的手动存储器管理功能
  - 带手动 DMA 访问的手动存储器管理功能
  - 带自动 DMA 访问的自动存储器管理功能
- 用于收发器的内部 3.3 V 电压调节器
- 自动锁定到 USB 总线时钟的内部 48 MHz 振荡器，USB 不需要外部晶振 （仅限配备 USB 的器件）
- 在总线上及每次发生端点事件时生成中断，带器件唤醒
- USB 复位、暂停和恢复操作
- 总线供电和自供电模式

图 7-14. USB



7.6 定时器、计数器和 PWM

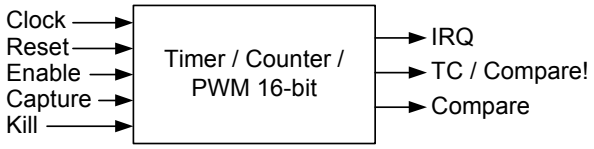
定时器 / 计数器 /PWM 外设是一种 16 位的专用外设，能够提供三种最常用的嵌入式外设功能。几乎所有嵌入式系统都会使用定时器、计数器和 PWM 的某种组合。该 PSoC 器件系列中包含四个定时器、计数器和 PWM 实例，此外，还可以根据需要在通用数字模块 （UDB） 中实例化更多、更高级的定时器、计数器和 PWM。 PSoC Creator 允许设计人员选择他们所需要的定时器、计数器和PWM功能。该工具集能够利用大多数可用的最优资源。

借助通过DSI路由连接的输入和输出信号，定时器/计数器/PWM外设可从多个时钟源中进行选择。借助 DSI 路由，可以通过 DSI 访问至任何器件引脚及任何内部数字信号的输入和输出连接。四个实例中的每一个都具有比较输出、终端计数输出 （可选互补比较输出） 和可编程中断请求线。定时器 / 计数器 /PWM 可配置为自由运行、单触发或受 “ 使能 ” 输入控制。该外设具有定时器复位和捕获输入，以及控制比较器输出的 ‘kill’ 输入。该外设全面支持 16 位捕获。

定时器 / 计数器 /PWM 功能包括：

- 16 位定时器 / 计数器 /PWM （仅限递减计数）
- 可选时钟源
- PWM 比较器 （可针对 LT、LTE、EQ、GTE、GT 进行配置）
- 在启动、复位和到达终端计数时重新加载周期
- 在到达终端计数、比较结果为真或捕获时生成中断
- 动态计数器读操作
- 定时器捕获模式
- “ 确认 Enable 信号时进行计数 ” 模式
- 自由运行模式
- 单触发模式 （在设定的时间长度结束后停止）
- 带死区的互补 PWM 输出
- PWM 输出停止

图 7-15. 定时器 / 计数器 /PWM



7.7 I²C

PSoC 包含一个固定功能 I²C 外设。在 PSoC Creator 中，可以根据需要使用通用数字模块（UDB）来实例化更多 I²C 接口。

I²C 外设提供了一个同步的两线接口，可用于将 PSoC 器件与两线 I²C 串行通信总线连接在一起。它与 NXP I²C 总线规范和用户手册（UM10204）中定义的 I²C 标准模式、快速模式和增强型快速模式的设备兼容 [11]。I²C 总线 I/O 可以由处于开漏模式的 GPIO 或 SIO 实现。

为了消除过多的 CPU 干预和开销，针对状态检测和帧划分位生成提供了 I²C 相关支持。I²C 可以充当一个从设备、主设备或多主设备（从设备和主设备）模式 [11]。在从设备模式下，该单元始终侦听开始发送或接收数据的“开始”条件。主设备模式能够生成“开始”和“停止”条件并启动数据操作。多主设备模式能够提供时钟同步和仲裁功能，允许同一个总线上存在多个主设备。如果主设备模式处于启用状态而从设备模式处于非启用状态，则该模块不会在发生外部生成的“开始”条件时生成中断。I²C 通过 DSI 路由进行连接，并允许直接连接到任何 GPIO 或 SIO 引脚。

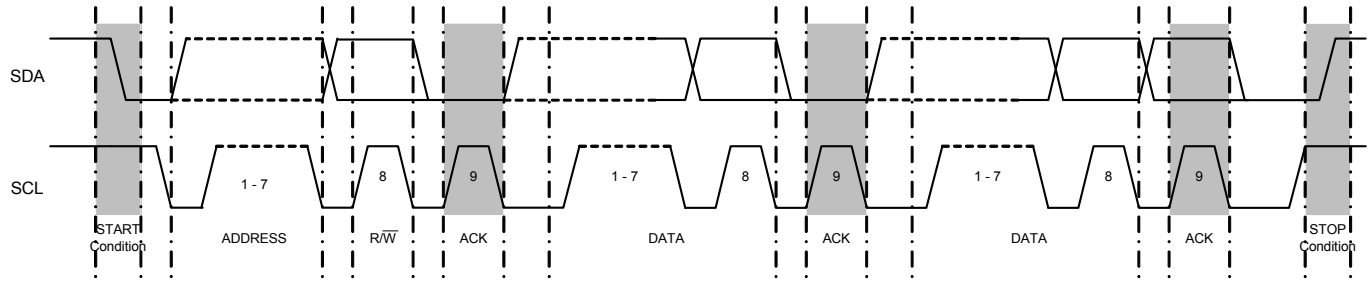
I²C 能够提供 7 位的硬件地址检测，而无需 CPU 干预。此外，器件还可以在 7 位硬件地址匹配时从低功耗模式唤醒。如果需要唤醒功能，I²C 引脚只能连接到两组特殊的 SIO 引脚中的一组。请参考第 11 页上的引脚说明中的 SCL 和 SDA 引脚说明。

I²C 特性包括：

- 从设备与主设备、发射器，以及接收器操作
- 字节处理，只需很少的 CPU 开销
- 中断或轮循 CPU 接口
- 支持高达 1 Mbps 的总线速度
- 7 位或 10 位寻址（10 位寻址需要固件支持）
- SMBus 操作（通过固件支持 — UDB 中的硬件支持 SMBus）
- 7 位硬件地址比较
- 在地址匹配时从低功耗模式唤醒
- 窄脉冲过滤（仅针对活动模式和备用活动模式）

数据传输所遵循的格式如图 7-16所示。发生启动条件（S）后，将发送一个从设备地址。该地址的长度为 7 位，后面跟随的第 8 位为数据方向位（R/W）— ‘0’ 表示传输（写），‘1’ 则表示数据请求（读）。数据传输总是以一个由主设备生成的停止条件作为终止标志。

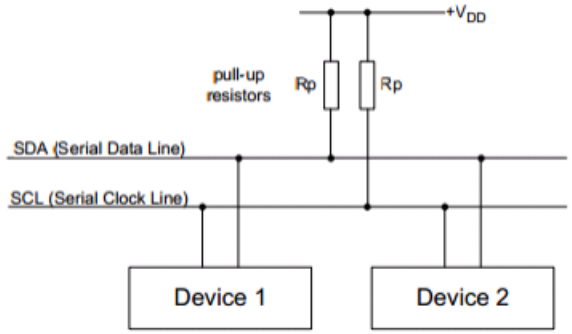
图 7-16. I²C 完整的传输时序



7.7.1 外部电气连接

如图 7-17所示，I²C 总线上要有外部上拉电阻（R_P）。这些电阻主要由供电电压、总线速度和总线电容确定。要想了解如何计算您设计的最佳上拉电阻值，建议您使用 UM10204 I2C 总线规范和用户版本 6 或更新的版本（在 NXP 网址 www.nxp.com 提供）。

图 7-17. 器件与 I²C 总线的连接情况



注释：

10. I²C 外设在以下范围内不符合 NXP I²C 规范：模拟炸脉冲滤波器、I/O V_{OL}/I_{OL}、I/O 迟滞。I²C 模块带有数字窄脉冲滤波器（在睡眠模式下无效）。通过将各个 I/O 设置为慢速模式，可以满足快速模式下的最小下降时间规范。更多详细信息，请参考第 73 页上的“输入和输出”一节节中的 I/O 电气规范。
11. 固定模块 I²C 不支持未定义的总线条件，也不支持从设备模式中的重复启动操作。应避免这些状态，或使用基于 UDB 的 I²C 组件替代。

对于大多数设计，表 7-2 中的默认值将提供最佳的性能，而不需要任何计算。已选的默认值是介于最小值和最大值之间的电阻标准值。表 7-2 中所列出的值适用于以下设计：V_{DD} 为 1.8 V 到 5.0 V 、总线电容（C_B）小于 200 pF、总输入漏电流（I_{IL}）为 25 µA、输出电压电平（V_{OL}）为 0.4 V，以及 V_{IH} 最大值为 0.7 * V_{DD}。标准模式和快速模式可以使用 GPIO 引脚，也可使用 SIO PSoC 引脚。增强型快速模式需要使用 SIO 引脚，这样能够在电流为 20 mA 时满足 V_{OL} 规范。需要计算自定义的上拉电阻值；如果您的设计不符合默认假设，那么需要使用串联电阻（RS）来限制引入的噪声，或最大化电阻值，从而降低功耗。

表 7-2. 推荐的上拉电阻默认值

	R_P	单位
标准模式 — 100 kbps	4.7 k， 5%	Ω
快速模式 — 400 kbps	1.74 k， 1%	Ω
增强型快速模式 — 1 Mbps	620， 5%	Ω

计算上拉电阻的理想值时，需要寻找各限制间的值，通过 NXP I^2C 规范中详细介绍的三个公式可设置这些限制。这些公式分别为：

公式 1：

$$R_{PMIN} = (V_{DD}(max) - V_{OL}(max))/(I_{OL}(min))$$

公式 2：

$$R_{PMAX} = T_R(max)/0.8473 \times C_B(max)$$

公式 3：

$$R_{PMAX} = V_{DD}(min) - V_{IH}(min) + V_{NH}(min)/I_{IH}(max)$$

公式参数：

V_{DD} = I^2C 总线的额定供电电压

V_{OL} = 总线器件的最大输出低电压

I_{OL}= I^2C 规范中的低电平输出电流

T_R = I^2C 规范中的总线上升时间

C_B = 每个总线的电容，包含引脚和 PCB 导线

V_{IH} = 所有总线器件的最小高电平输入电压

V_{NH} = I^2C 规范中所提供的最小高电平输入噪声容限

I_{IH} = 总线上所有器件的总输入漏电流

由于总线器件最大的低输出电压（V_{OL}）规范，供电电压（V_{DD}）将限制最小上拉电阻值。较低的上拉电阻会增大引脚的电流，因此不满足 V_{OH} 的规范。在给定的 V_{DD} 的条件下，公式 1 是使用欧姆定律来确定电流为 3 mA （对于标准和快速模式）和 20 mA （对于增强型快速模式）的条件下满足 V_{OL} 规范的最低电阻。

公式 2 用于确定由总线电容形成的最大上拉电阻。总线的总电容是由总线上的所有引脚、导线和线电容组成的。总线电容越大，所需的上拉电阻值越低，这样才能符合总线速度规定由 RC 延迟导致的上升时间。选择超过规范许可的上拉电阻值可能引起时序要求违规，从而导致通信错误。对于具有五个或更少 I^2C 的器件以及长度达 20 厘米的总线走线设计，总线电容将小于 100 pF。

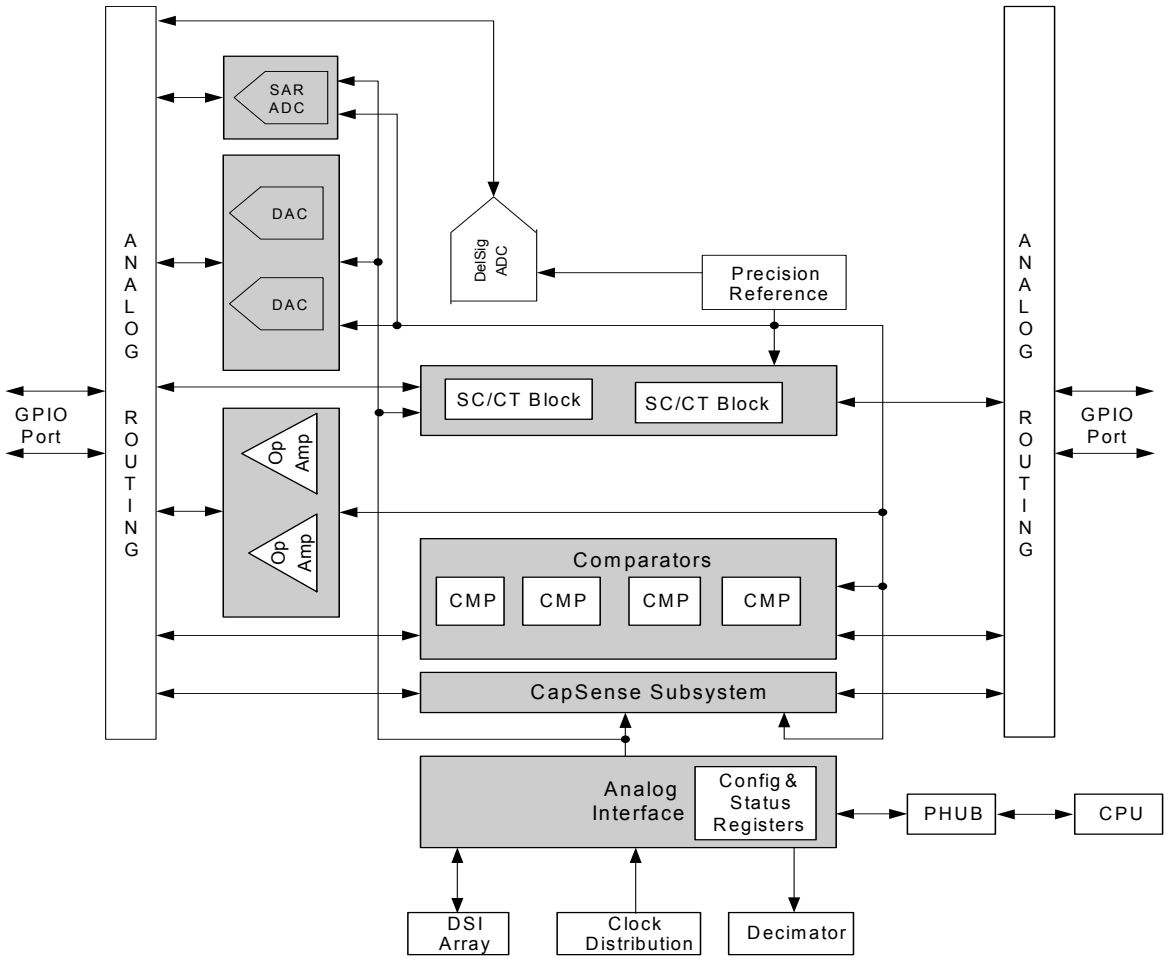
影响到最大上拉电阻值的第二个因素是公式 3 中计算的总线总漏电流。漏电流的主要来源是连接到总线的 I/O 引脚 。如果漏电流过高，上拉电阻将难以保持所允许的 V_{IH} 值，这样会引起通信错误。对于总线上具有五个或更少的 I^2C 器件的设计，总漏电流小于 10 µA。

8. 模拟子系统

可编程模拟系统能够应用于特定应用创建标准和高级模拟信号处理模块的组合。然后，互连这些模块，也可以连接到器件上的任意引脚，从而提供较高的设计灵活性和 IP 安全性。下面列出的是模拟子系统的功能，便于用户了解这些功能和架构。

- 模拟全局总线、模拟复用器总线和模拟局部总线提供灵活、可配置的模拟路由架构
- 高分辨率 Delta-Sigma ADC
- 逐次逼近 （SAR）ADC
- 两个 8 位 DAC，能够提供电压或电流输出
- 四个电压比较器，包含与可配置 LUT 输出连接的选择
- 两个可配置的开关电容 / 连续时间 （SC/CT）模块，能够实现运算放大器、单位增益缓冲区、可编程增益放大器、互阻放大器、混频器等功能
- 两个供内部使用的运算放大器，可连接到可用作高电流输出缓冲区的 GPIO
- CapSense 子系统，用于使能电容式触摸传感
- 高精度电压参考，用于为内部模拟模块生成精确的模拟电压

图 8-1. 模拟子系统框图



PSoC Creator 软件程序提供了一个易于使用的界面，以便配置 GPIO 与各种模拟资源之间的连接以及从一个模拟资源到另一个模拟资源的连接。PSoC Creator 还提供了组件库，使用这些组件库，您可以配置各种模拟模块，以执行特定于应用的功能（PGA、互阻放大器、电压 DAC、电流 DAC 等）。该工具还能够生成 API 接口库，以便对允许在模拟外设与 CPU/ 存储器之间进行通信的固件进行写操作。

8.1 模拟路由

PSoC 5LP 器件系列拥有灵活的模拟路由架构，能够连接 GPIO 和不同的模拟模块，并能够在不同的模拟模块之间路由信号。这种灵活的路由架构拥有很多优势，其中一项是允许将输入和输出连接动态路由给不同的模拟模块。

有关如何为实现最佳模拟路由来选择引脚的相关信息，请参考应用笔记， AN58304 — PSoC® 3 与 PSoC® 5 — 模拟设计中的引脚选择。

8.1.1 特性

- 灵活、可配置的模拟走线架构
- 16 个模拟全局总线 （AG）和两个模拟复用器总线 （AMUXBUS），用于连接 GPIO 和模拟模块
- 每个 GPIO 都连接到一个模拟全局总线和一个模拟复用器总线
- 8 个模拟局部总线 （ABUS）用于在不同的模拟模块之间路由信号
- 复用器和开关，用于选择模拟模块的输入和输出

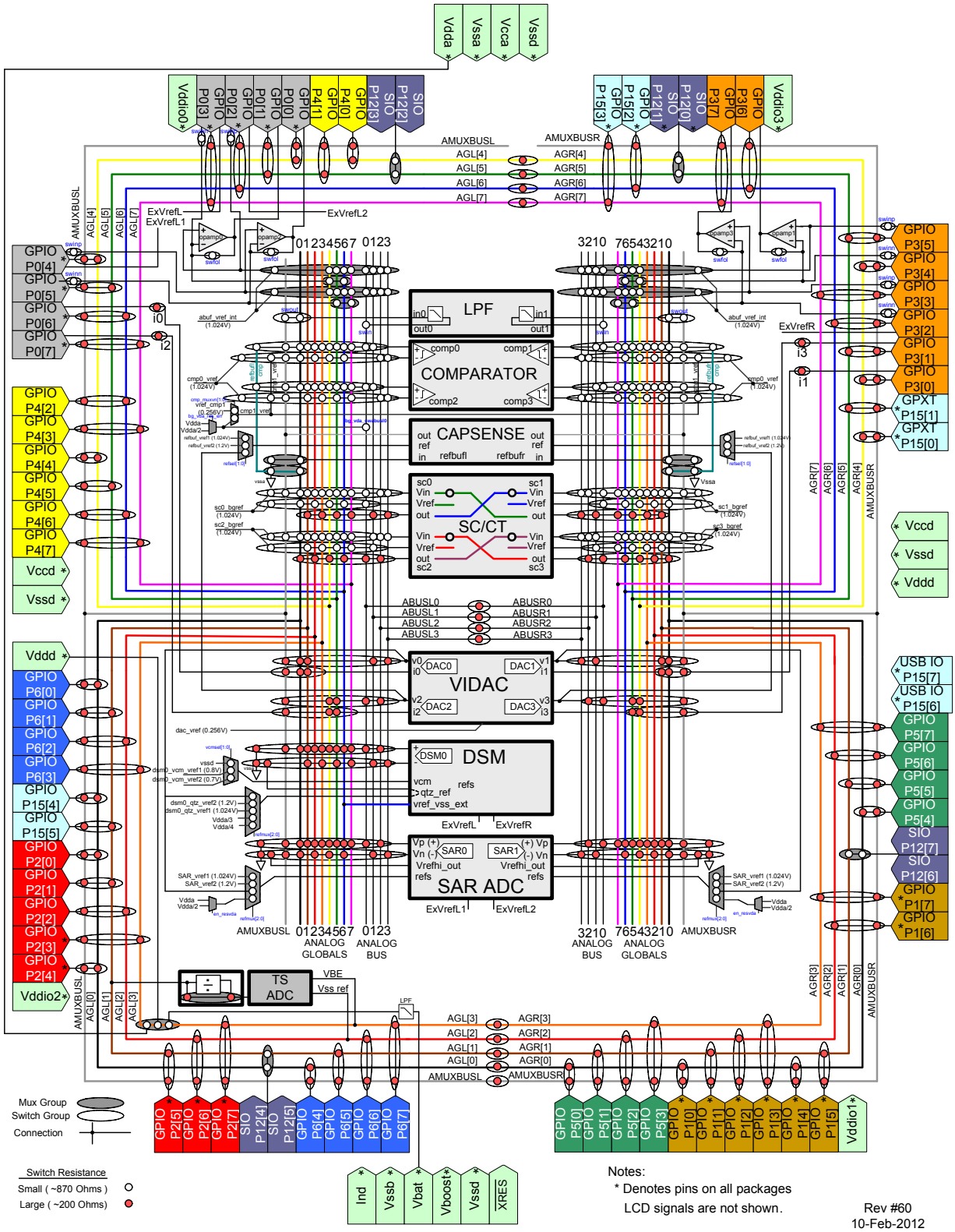
8.1.2 功能描述

模拟全局总线 （AG）和模拟复用器总线 （AMUXBUS）能够提供 GPIO 与各种模拟模块之间的模拟连接。PSoC 5LP 系列中有 16 个 AG。模拟路由架构分为四个象限，如图 8-2 所示。每个象限拥有四个模拟全局总线（AGL[0..3]、AGL[4..7]、AGR[0..3]、AGR[4..7]）。每个 GPIO 都通过模拟开关连接到相应的模拟全局总线。模拟复用器总线是共享的路由资源，通过模拟开关连接到每个 GPIO。PSoC 5LP 中有两个 AMUXBUS 走线，其中一个在左半部分（AMUXBUSL），另一个在右半部分（AMUXBUSR），如图 8-2 所示。

模拟局部总线 （ABUS）是位于模拟子系统中的走线资源，用于在不同的模拟模块之间路由信号。 PSoC 5LP 中有 8 个 ABUS 走线，其中 4 个在左半部分 （abusl [0:3]），另外 4 个在右半部分 （abusr [0:3]），如图 8-2 所示。通过使用 ABUS，在互连模拟模块时可省去模拟全局总线和模拟复用器总线。

复用器和开关位于各种总线上，用于将信号输入和输出模拟模块。复用器在任意时间都只能有一个连接，而开关可以同时有多个连接。在图 8-2 中，复用器用灰色的椭圆形表示，开关用透明的椭圆形表示。

图 8-2. CY8C54LP 模拟互连



为了保留该映像的细节，请使用 PDF 显示程序查看或在尺寸为 11" × 17" 的纸张上打印。

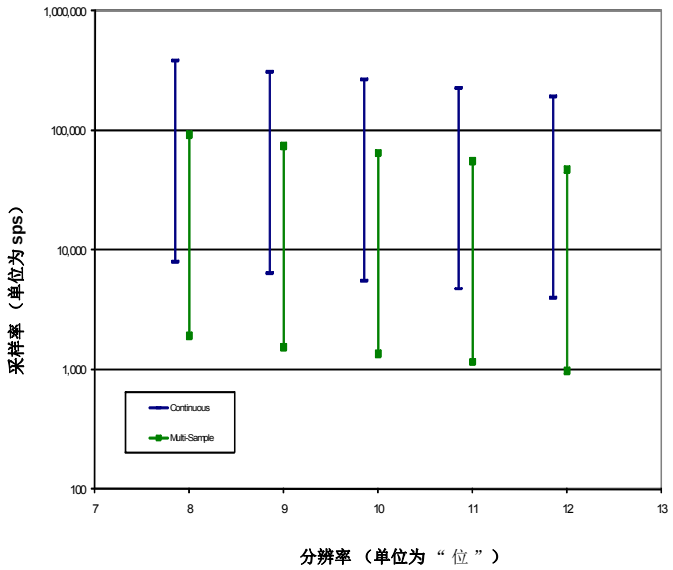
8.2 Delta-sigma ADC

某些 CY8C36 器件包含一个 Delta Sigma ADC。该 ADC 能够提供差分输入、高分辨率和卓越的线性度，是测量应用的绝佳 ADC 选择。可以对转换器进行配置，以便在数据速率高达 192 ksps 时输出 12 位的分辨率。如果时钟频率固定，那么可通过降低分辨率来实现更快的数据速率，如表 8-1 和图 8-3 所示。

表 8-1. Delta-sigma ADC （模数转换器）性能

位数	最大采样率 （sps）	SINAD （dB）
12	192 k	66
8	384 k	43

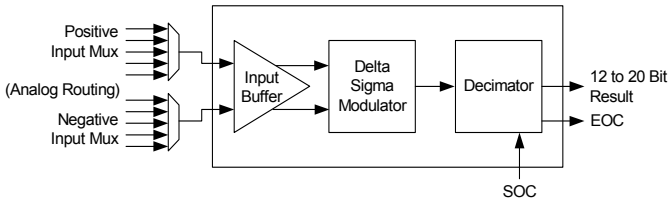
图 8-3. Delta-sigma 模数转换器采样率，范围 = ±1.024 V



8.2.1 功能描述

模数转换器能够连接和配置三个基本组件，即输入缓冲区、Delta-sigma 调制器和抽取滤波器。基本框图如图 8-4 所示。来自输入复用器的信号会直接或通过输入缓冲区传输给 Delta-sigma 调制器。Delta-sigma 调制器用于执行实际的模数转换。调制器会对输入进行过采样，并生成串行数据流输出。如果不经过一定的后期处理，这种高速数据流对大多数应用而言都毫无用处，因此它们会通过模拟接口模块传送到抽取滤波器。抽取滤波器会将高速串行数据流转换成并行 ADC 结果。调制器 / 抽取滤波器频率响应为 $[(\sin x)/x]^4$。

图 8-4. Delta-sigma 模数转换器框图



分辨率和采样率由抽取滤波器控制。数据会传送到抽取滤波器；通过最后四个样本决定输出。切换输入复用器时，所有输出数据都无效，直到完成切换后的第四个样本为止。

8.2.2 工作模式

用户可以将 ADC 配置为下列四种模式之一：单样本采样模式、多样本采样模式、连续采样模式或多样本（加速）采样模式。所有四种模式都通过写入到控制寄存器中的开始位或发出开始转换（SOC）信号启动。转换完成后，会设置状态位，输出信号结束转换（EOC）将置为高电平，并且在该值被 DMA 控制器或 CPU 读取之前将一直保持高电平。

8.2.2.1 单样本采样模式

在单样本采样模式下，ADC 在触发时执行一次样本转换。在这种模式下，ADC 会保持待机状态，以等待发出 SOC 信号。当发出 SoC 信号时， ADC 将执行四次连续转换。前三次转换将启动抽取滤波器。经过第 4 次转换之后，ADC 结果有效且可用，在此期间将生成 EoC 信号。为了检测转换是否结束，系统可能会轮循控制寄存器的状态或配置外部EoC信号，以便生成中断或调用DMA请求。传输完成后，ADC 会重新进入待机状态，并且直到发生下一个 SoC 事件前会一直保持该状态。

8.2.2.2 连续采样模式

连续采样模式用于对单个输入信号实施多次连续采样。不应在这种模式下完成多路输入的复用。在第一个转换结果可用之前，有三个转换时间的延迟。该时间为抽取滤波器启动所需时间。获得第一个转换结果后，便可按照所选采样速率连续进行转换。

8.2.2.3 多样本采样模式

除了需要在各采样之间复位 ADC 外，多样本采样模式与连续采样模式相似。输入在多个信号间切换时，该模式非常有用。在每个样本之间会重启抽取滤波器，因此先前的转换不会影响当前的转换。每次采样完成后，都会自动启动下一个采样。可以使用固件轮询、中断或 DMA 的方式传输结果。

有关输出格式的更多信息，请参考《技术参考手册》中介绍的内容。

8.2.3 开始转换输入

SoC 信号用于启动 ADC 转换。数字时钟或 UDB 输出可用于驱动该输入。在采样周期长于 ADC 转换时间或者 ADC 必须与其它硬件同步的情况中，需要使用该信号。该信号是可选的，如果 ADC 采用连续采样模式，则不需要连接该信号。

8.2.4 转换结束 （EoC）输出

转换结束 （EoC）信号在每次 ADC 转换结束时都会转为高电平。该信号可用于触发中断或 DMA 请求。

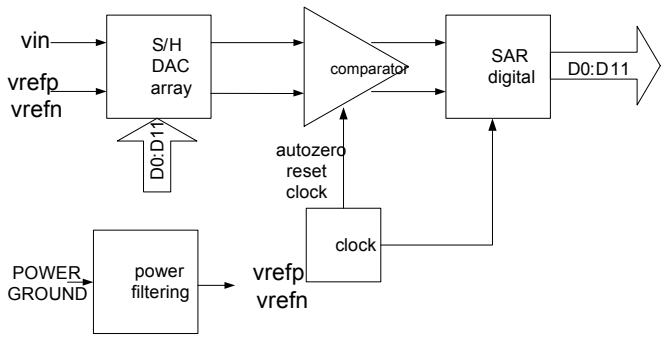
8.3 逐次逼近 ADC

CY8C54LP 系列器件提供了逐次逼近（SAR）ADC。该 ADC 是 12 位分辨率且 1 Msps 采样率的模数转换器，它具有单端或差分输入，因此适用于广泛的采样和控制应用。

8.3.1 功能描述

在 SAR ADC 中，对模拟输入信号进行采样，并将该信号与 DAC 的输出进行比较。DAC 采用二进制搜索算法，该算法用于确定从 MSB 到 LSB 的输出位。图 8-5 显示了 SAR ADC 的框图。

图 8-5. SAR ADC 框图



SAR ADC 的输入被连接到模拟全局总线和复用总线。时钟的频率是采样率的 18 倍；它的取值范围为 1 到 18 MHz。

8.3.2 转换信号

通过对起始位进行写入或置位帧起始（SOF）信号，即可启动转换。SOF 适用于采样周期长于转换时间或者 ADC 需要与其它硬件同步的应用。该信号是可选的，如果 SAR ADC 运行于连续采样模式，则不需要连接该信号。数字时钟或 UDB 输出可用于驱动该输入。当 SAR 首次上电或从任何睡眠模式唤醒时，需要等待 10 µs 才能开始第一次转换。

转换完成后，会设置状态位，帧结束（End of Frame，EOF）输出信号得到确认，并且在该值被 DMA 控制器或 CPU 读取之前一直保持确认状态。 EOF 信号可用于触发中断或 DMA 请求。

8.3.3 工作模式

ONE_SHOT 控制位用于将 SAR ADC 转换模式设置为发出每个 SOF 信号时执行连续转换或单次转换。器件支持通过 DMA 传输连续采样结果，无需 CPU 干预。

8.4 比较器

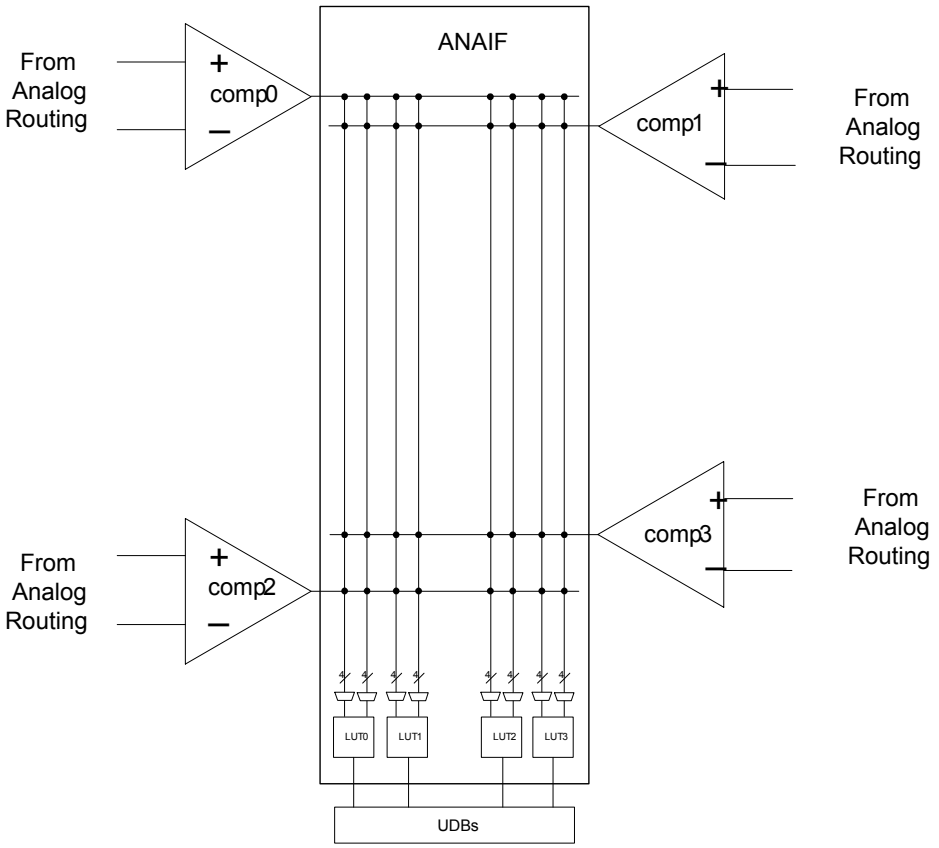
CY8C54LP 系列器件包含四个电压比较器。电压比较器具有以下特性：

- 输入偏移的出厂校准值小于 5 mV
- 轨至轨共模输入范围 （V_{SSA} 到 V_{DDA}）
- 通过使用以下三种模式中的一种，可以在速度和功耗之间取得平衡：快速、慢速或超低功耗
- 比较器输出可以路由到查找表，以便执行简单的逻辑功能，然后还可以连接到数字模块
- 可以选择使比较器的正向输入通过低通滤波器。提供了两个滤波器
- 电压比较器输入可以连接到 GPIO、DAC 输出和 SC 模块输出

8.4.1 输入和输出接口

来自于模拟全局总线、模拟复用器总线、模拟局部总线以及高精度参考电压的信号经过复用器后输入到比较器的正端和负端。每个比较器的输出都可以连接到两个输入 LUT 中的任意一个。该 LUT 的输出会连接到 UDB 数字系统接口。

图 8-6. 模拟电压比较器



8.4.2 LUT

CY8C54LP 系列器件包含四个 LUT。 LUT 是一个双输入、单输出的查找表，它由芯片中任意一个或两个电压比较器驱动。任意 LUT 的输出被连接到 UDB 阵列的数字系统接口。这些信号可以从 UDB 阵列的数字系统接口连接到 UDB、DMA 控制器、I/O 或中断控制器。

写入寄存器的 LUT 控制字能够设置输出上的逻辑功能。可用的 LUT 函数和相关的控制字如表 8-2 所示。

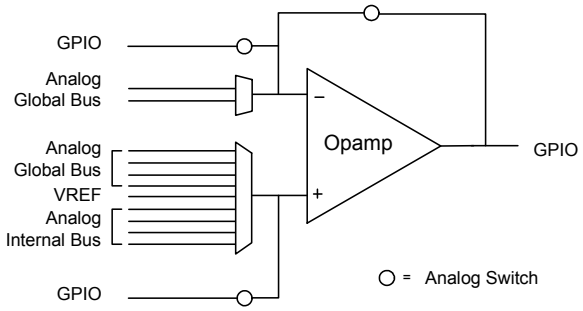
表 8-2. LUT 函数与编程字和输入

控制字	输出 （A 和 B 都是 LUT 输入）
0000b	**FALSE**（‘0’）
0001b	**A** AND **B**
0010b	**A** AND (NOT **B**)
0011b	A
0100b	(NOT **A**) AND **B**
0101b	B
0110b	**A** XOR **B**
0111b	**A** OR **B**
1000b	**A** NOR **B**
1001b	**A** XNOR **B**
1010b	NOT **B**
1011b	**A** OR (NOT **B**)
1100b	NOT **A**
1101b	(NOT **A**) OR **B**
1110b	**A** NAND **B**
1111b	**TRUE**（‘1’）

8.5 运算放大器

CY8C54LP 系列器件包含两个通用运算放大器。

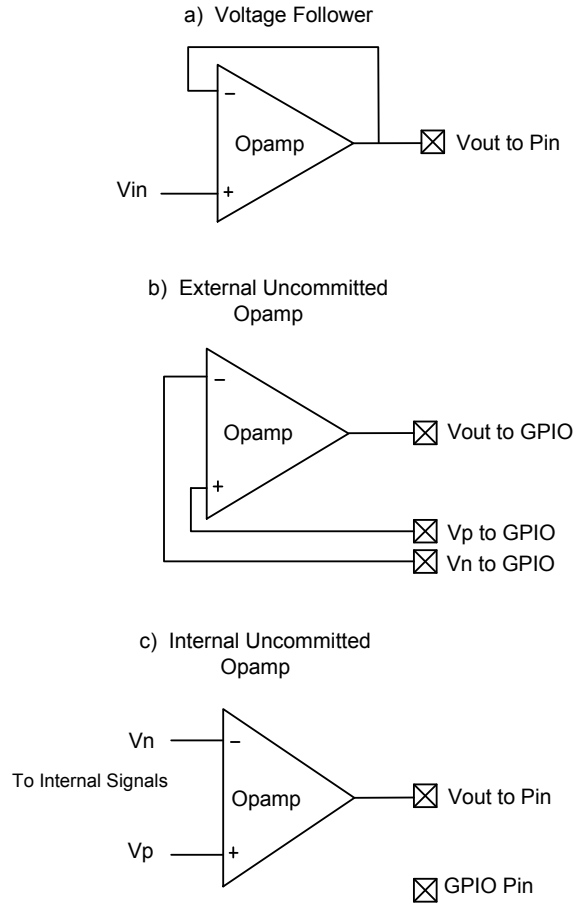
图 8-7. 运算放大器



运算放大器是未赋定运算放大器，可配置为外部或内部信号的增益级或电压跟随器。

请参见图 8-8。在任何配置中，输入和输出信号都可被连接到内部全局信号，并且使用 ADC 或电压比较器进行监控。配置是使用信号和 GPIO 引脚之间的开关实现的。

图 8-8. 运算放大器配置



运算放大器具有三种速度模式：低速、中速和快速。低速模式的静态功耗最低，而快速模式的功耗最高。输入具有轨对轨摆动能力。在低电流输出条件下，输出摆动能够实现轨对轨操作（轨对轨电压各减 / 加 50 mV）。当驱动高电流负载（约为 25 mA）时，轨对轨输出电压只能在轨对轨电压各减 / 加 500 mV 范围内摆动。

8.6 可编程 SC/CT 模块

CY8C54LP 系列中的每个器件都包含两个开关电容 / 连续时间（SC/CT）模块。每个开关电容 / 连续时间模块都是围绕单个轨对轨高带宽运算放大器构建的。

开关电容是一种电路设计技术，它使用电容和开关而非电阻来创建模拟功能。这些电路的工作方式是通过打开和关闭不同的开关来移动电容之间的电荷。相位时钟信号的非交叠部分控制着这些开关，以避免所有开关同时被打开。

PSoC Creator 工具提供了易于使用的界面，这样您可以轻松编程 SC/CT 模块。开关控制和时钟相位控制配置由 PSoC Creator 完成，因此用户只要确定应用所使用的参数即可，例如增益、放大器极性、V_{REF} 连接等。

上述运算放大器和模块接口也可以连接到电阻阵列，从而设置各种连续时间功能。

可对运算放大器和电阻阵列进行编程，以便执行各种模拟功能，包括：

- 裸运算放大器 — 连续模式
- 单位增益缓冲区 — 连续模式
- 可编程增益放大器 （PGA）— 连续模式
- 互阻放大器 （TIA）— 连续模式
- 上变频 / 下变频混频器 — 连续模式
- 采样和保持混频器 （NRZ S/H）— 开关电容模式
- 一阶模数调制器 — 开关电容模式

8.6.1 裸运算放大器

裸运算放大器用于表示连接到内部或外部信号的输入和输出信号。该运算放大器的单位增益带宽高于 6.0 MHz，并且输出驱动电流高达 650 µA。这对于缓冲内部信号（例如 DAC 输出）和驱动高于 7.5 千欧的外部负载来说已经足够了。

8.6.2 单位增益

单位增益缓冲区是一种输出直接被连接到反相输入的裸运算放大器，单位增益为 1.00。并拥有高于 6.0 MHz 的 -3 dB 带宽。

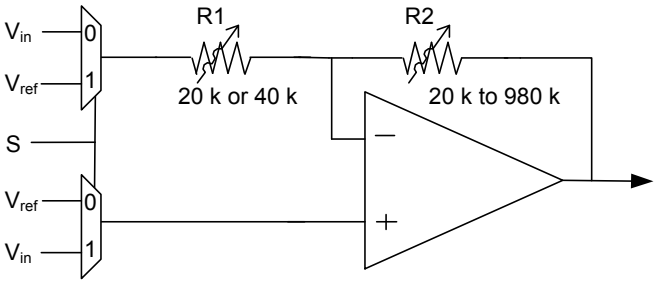
8.6.3 PGA

PGA 用于放大外部或内部信号。 PGA 可以被配置为在反相或同相模式下工作。可分别针对正增益和负增益将 PGA 功能配置为高达 50 和 49。通过更改 R1 和 R2 的值可以调整增益，如图 8-9 所示。图 8-9 中的原理图显示 PGA 的配置和可能的电阻设置。通过更改两个输入复用器的共享选择值，可以在反相和同相之间切换增益。表 8-3 中列出每种增益情况的带宽。

表 8-3. 带宽

增益	带宽
1	6.0 MHz
24	340 kHz
48	220 kHz
50	215 kHz

图 8-9. PGA 电阻设置



在输入信号不够大，无法达到 ADC 所需的分辨率或其他 SC/CT 模块 （例如混频器）的动态范围时，可以使用 PGA。在运行时可以调整增益，包括在每次 ADC 采样之前更改 PGA 的增益。

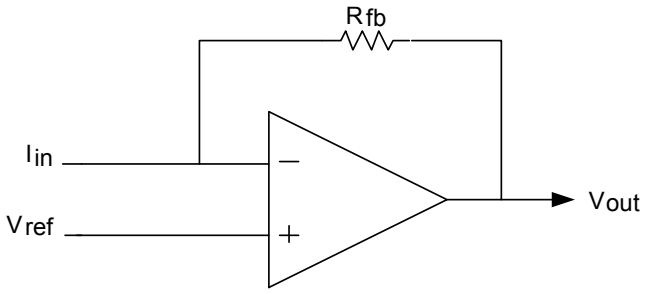
8.6.4 TIA

互阻放大器（TIA）用于将内部或外部电流转换为输出电压。TIA 在连续时间配置中使用内部反馈电阻将输入电流转换为输出电压。对于输入电流 I_{in}，输出电压为 V_{REF} - I_{in} x R_{fb}，其中 V_{REF} 是置于同相输入上的值。可通过配置寄存器将反馈电阻 Rfb 配置在 20 kΩ 到 1 MΩ 之间。表 8-4 显示的是 Rfb 的可能值和相关的配置内容。

表 8-4. 反馈电阻设置

配置字	额定 R_{fb} （KΩ）
000b	20
001b	30
010b	40
011b	60
100b	120
101b	250
110b	500
111b	1000

图 8-10. 连续时间 TIA 原理图



TIA 配置用于以下应用场合：外部传感器的输出是电流，且由温度、光线、磁通量等某些类型的激励因素决定。在通用应用中，可将电压 DAC 输出连接到 V_{REF}TIA 输入端，以便通过调整电压 DAC 输出电压来校准外部传感器的偏置电流。

8.7 LCD 直接驱动器

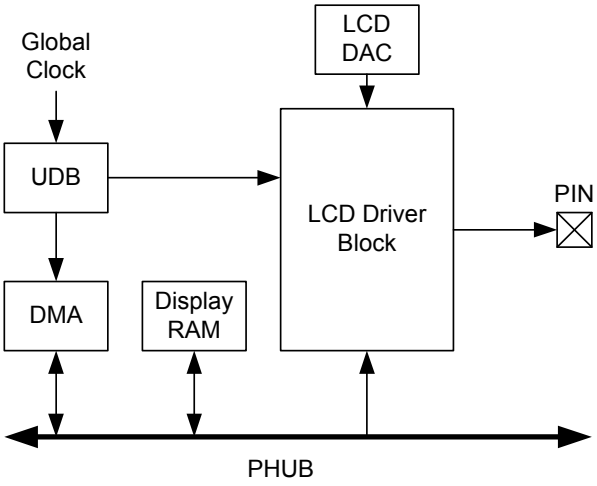
PSoC 液晶显示屏（LCD）驱动器系统是一种可灵活配置的外设，可使 PSoC 直接驱动多种 LCD 显示屏。所有电压都在芯片上生成，从而消除了对外部组件的需求。借助高达 1/16 的复用率，CY8C54LP 系列 LCD 驱动器系统可以驱动多达 736 个 segment。此外，PSoC LCD 驱动器模块在设计时还充分考虑了便携器件的省电要求，能够采用不同的 LCD 驱动模式和断电模式来达到省电的目的。

PSoC Creator 提供了一个 LCD segment 驱动组件。通过使用组件向导，您可以轻松配置 LCD 资源。您可以指定 segment 引脚和 common 引脚以及其他选项。软件能够根据所需规范来配置器件。这得益于 PSoC 器件固有的可编程性。

PSoC LCD segment 系统的关键特性包括：

- LCD 屏幕直接驱动
- 支持 A 型 （标准）和 B 型 （低功耗）波形
- 支持 LCD 屏幕的较宽工作电压范围 （2 V 到 5 V）
- 支持静态、 1/2、 1/3、 1/4、 1/5 偏置电压电平
- 通过内部电阻梯生成内部偏置电压
- 总计多达 62 个 common 和 segment 输出
- 高达 1/16 的复用率，最多能够实现 16 个背板 /common 输出
- 多达 62 个正面板 /segment 输出，能够实现直接驱动
- 总计能够驱动多达 736 个 segment（16 个背板 x 46 个正面板）
- 软件控制的对比度多达 64 级
- 能够通过 DMA 将显示数据从存储器缓冲区移至 LCD 驱动器（无需 CPU 的干预）
- 范围为 10 Hz 到 150 Hz 的可调整 LCD 刷新率
- 能够反转 LCD 显示屏，以显示负像
- 支持三种可优化功耗的 LCD 驱动器驱动模式

图 8-11. LCD 系统



8.7.1 LCD segment 引脚驱动器

每个 GPIO 引脚都包含一个 LCD 驱动器电路。 LCD 驱动器能够缓冲 LCD DAC 的相应输出，以便直接驱动 LCD 的显示屏。寄存器设置决定了引脚是 common 还是 segment。然后，引脚的 LCD 驱动器会根据显示数据，从六种偏置电压中选出一种来驱动 I/O 引脚。

8.7.2 显示数据流

LCD segment 驱动器系统会读取显示数据，并为 LCD 显示屏生成合适的输出电压，以显示所需图像。显示数据会储存在系统 SRAM 的存储器缓冲区中。每次需要更改 common 和 segment 驱动器电压时，下一组像素数据都会通过 DMA 从存储器缓冲区移至端口数据寄存器。

8.7.3 UDB 和 LCD segment 控制

通过配置 UDB，可以生成全局 LCD 控制信号和时钟。这组信号会通过一系列专用的 LCD 全局路由通道路由到每个 LCD 引脚驱动器。除了生成全局 LCD 控制信号以外，UDB 还会生成 DMA 请求，以启动下一 LCD 数据帧的传输。

8.7.4 LCD DAC

LCD DAC 能够为 LCD 系统生成对比度控制和偏置电压，并能够基于所选的偏置率生成多达五个 LCD 驱动电压和接地电压。偏置电压可根据需要被输出到专用 LCD 偏置总线上的 GPIO 引脚。

8.8 CapSense

CapSense 系统为在触摸感应按键、滑条、接近检测等应用中测量电容提供了一种通用且高效的方式。 CapSense 系统使用一组系统资源的配置 （包括一些主要供给 CapSense 的硬件功能）。具体的资源使用情况在 PSoC Creator 中的 CapSense 组件内提供了详细说明。

CapSense 系统采用了一种使用 Delta-Sigma 调制器（CSD）的电容式感测方法，即通过使用开关电容技术和 delta-sigma 调制器来提供电容式感测功能，从而将感应电流转换为数字代码。

8.9 温度传感器

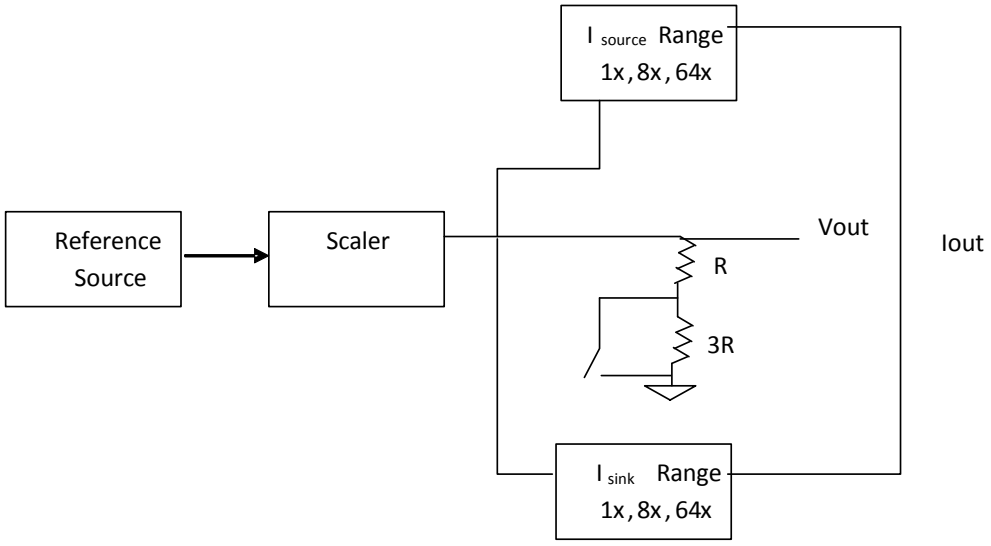
裸片 （Die）温度适合建立对闪存进行写操作所需的编程参数。 Die 温度是使用基于正向偏置晶体管的专用传感器测量得出的。该温度传感器具有自己的辅助模数转换器 （ADC）。

8.10 DAC

CY8C54LP 部件包含两个数模转换器 （DAC）。每个 DAC 都是 8 位的，并且可被配置为电压或电流输出。DAC 支持 CapSense、电源供电调节和波形生成。每个 DAC 都具有以下特性。

- 可在 255 个步长范围内调节的电压或电流输出
- 可编程的步长大小 （范围选择）
- 支持八位校准，能够更正 ±25% 的增益误差
- 针对电流输出的供应和接收器选项
- 电流输出的转换速率为 8 Msps
- 电压输出的转换速率为 1 Msps
- 本质上是单调的
- 数据和探针输入可由 CPU 或 DMA 提供，或直接从 DSI 路由
- 高电流模式的专用低电阻输出引脚

图 8-12. DAC 框图



8.10.1 电流 DAC

电流 DAC（IDAC）可被配置为以下范围：0 到 31.875 µA、0 到 255 µA，以及 0 到 2.04 mA。 IDAC 可配置为源电流或灌电流。

8.10.2 电压 DAC

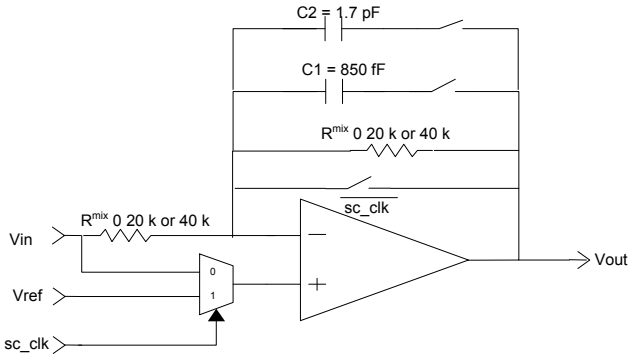
对于电压 DAC （VDAC），可通过电阻路由电流 DAC 输出。VDAC 可以使用两个范围，即 0 到 1.02 V 以及 0 到 4.08 V。在电压模式下，连接到 DAC 输出的任何负载都应该是纯容性负载（VDAC 的输出不被缓冲）。

8.11 上变频 / 下变频混频器

在连续时间模式下，SC/CT 模块组件用于构建上变频或下变频混频器。任何混频应用都会包含输入信号频率和本地振荡器频率。时钟的极性 Fclk 用于在反相或同相增益之间切换放大器。输出由以下因素决定：输入、本地振荡器的开关函数、本地振荡器的频率分量加减信号频率 （Fclk + Fin 和 Fclk - Fin），以及在本地振荡器频率奇数倍时的分频分量。本地振荡器频率由混频器的选定时钟源提供。

连续时间上变频和下变频混频适用于具有输入信号并且本地振荡器频率最高为 1 MHz 的应用场合。

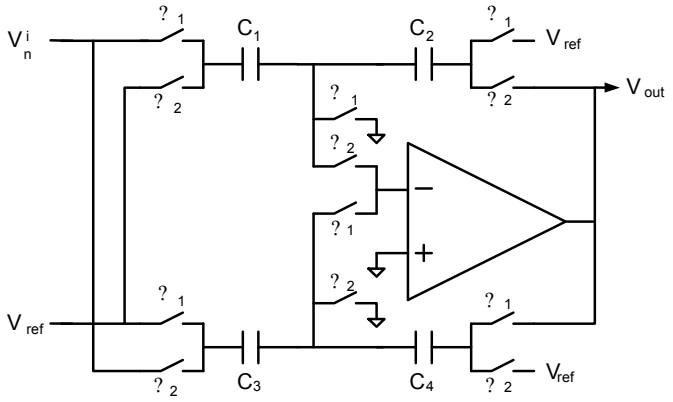
图 8-13. 混频器配置



8.12 采样和保持

采样和保持的主要应用是在ADC执行转换时使某个值保持稳定。有些应用需要同时对多个信号进行采样，例如进行功耗计算时（V 和 I）。 PSoC Creator 提供一个采样和保持组件来支持该功能。

图 8-14. 采样和保持拓扑 （Φ1 和 Φ2 是时钟的两个对立相）



8.12.1 下变频混频器

S+H 可用作混频器，以便对输入信号进行下变频转换。该电路是一种高带宽被动采样网络，可对频率高达 14 MHz 的输入信号进行采样。然后，使用最高时钟频率为 4 MHz 的运算放大器来保持采样值。输出频率为以下两者之差：输入频率与小于输入的本机振荡器频率的最大整数倍数。

8.12.2 一阶调制器 — SC 模式

一阶调制器是通过以下方式构建的：将开关电容模块置为积分器模式并使用电压比较器为输入提供 1 位反馈。根据该位，会从输入信号中减去或添加参考电压。在调制器中，模块输出是电压比较器的输出，而不是积分器的输出。信号会向下变频并缓冲，然后通过抽取滤波器进行处理来构成 delta-sigma 转换器，或者通过计数器处理来构成递增转换器。从一阶调制器采样的数据精度由多种因素决定。

该调制器的主要应用是高精度低频率 ADC。应用包括应变计、热电偶、高精度电压和电流测量。

9. 编程、调试接口与资源

Cortex-M3 具有内部调试组件，这些组件与 CPU 紧密集成，提供了以下特性：

- JTAG 或 SWD 访问
- 闪存修补和断点 （FPB）模块，用于实现断点和代码修补
- 数据观察点和触发器 （DWT）模块，用于实现观察点、触发器资源和系统配置
- 嵌入式跟踪宏单元 （ETM），用于跟踪指令
- 仪器化跟踪宏单元 （ITM），用于支持 printf 式的调试

PSoC 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。它共有四种接口：JTAG、 SWD、 SWV 和 TRACEPORT。JTAG 和 SWD 支持器件的所有编程和调试特性。JTAG 还支持用于板级测试的标准 JTAG 扫描链路，以及将多个 JTAG 器件链接至单个 JTAG 连接。 SWV 和 TRACEPORT 从 DWT、ETM 和 ITM 提供跟踪输出。TRACEPORT 速度较快，但使用的引脚也较多。 SWV 速度较慢，但仅使用了一个引脚。

更多有关 PSoC 5 编程的信息，请参考 PSoC 5 器件编程规范。

通过 Cortex-M3 调试和跟踪功能，可以使用标准生产器件在最终系统中全面进行器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

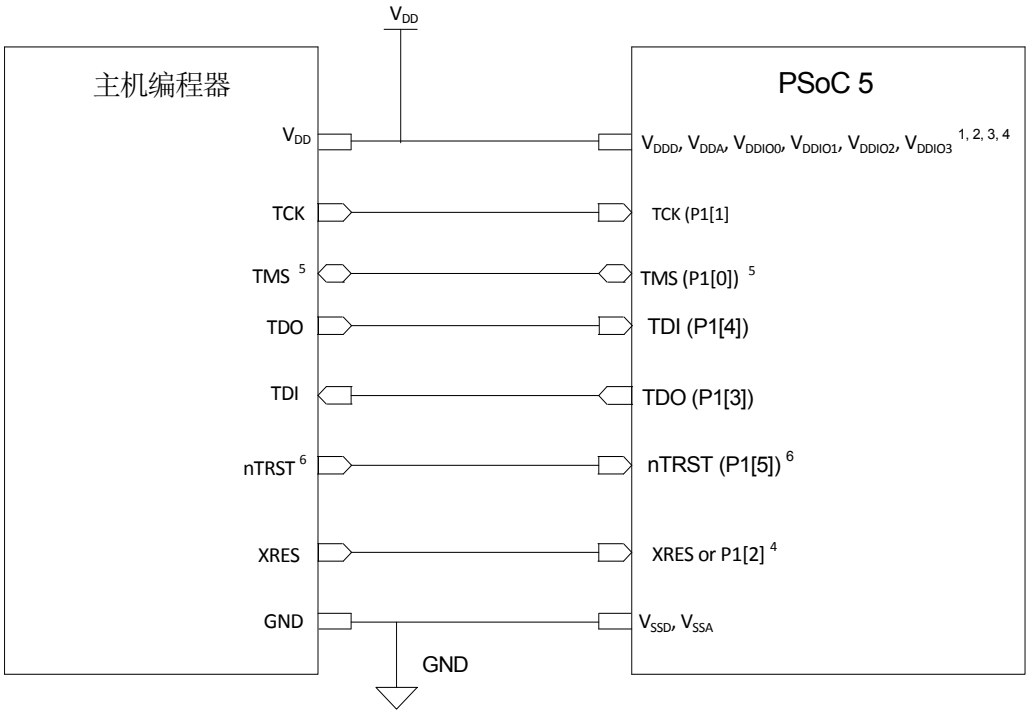
PSoC Creator IDE 软件能够为 PSoC 器件支持全面集成的编程和调试功能。低成本的MiniProg3编程器和调试器是为了与PSoC Creator IDE 结合使用，为 PSoC 器件支持全面的编程和调试功能。 PSoC JTAG、 SWD 和 SWV 接口均与工业标准的第三方工具全面兼容。

在默认情况下，所有 Cortex-M3 调试和跟踪模块均被禁用，并且只能在固件中使能。如果未使能，唯一的重启方法是擦除整个器件，清除闪存保护，然后用对应的新固件对器件进行重新编程。PSoC 器件提供禁用调试和跟踪特性、强大的闪存保护以及隐藏定制模拟和数字功能，因此能实现多芯片应用解决方案不可能达到的安全级别。此外，对于担心恶意重新编程的器件导致欺诈性攻击的应用，可以永久禁用所有器件接口 （器件安全）。在大多数应用中，不建议永久禁用接口，因为这样一来，设计人员将无法对器件进行访问。由于在使能器件安全 （Device Security）之后，会禁用所有编程、调试和测试接口，因此已使能器件安全的 PSoC 将不能退回以进行失效分析。

9.1 JTAG 接口

符合 IEEE 1149.1 标准的 JTAG 接口位于四个或五个引脚上（nTRST 引脚是可选的）。JTAG 时钟频率最高可以达到以下 3 者中较小的那个：12 MHz，或 CPU 时钟频率的 1/3（对于 8 位和 16 位传输），或 CPU 时钟频率的 1/5（对于 32 位传输）。默认情况下，新器件上的 JTAG 引脚处于使能状态，但可以禁用 JTAG 接口，以便将这些引脚作为通用 I/O（GPIO）使用。JTAG 接口用于闪存编程、调试、I/O 扫描链路，以及 JTAG 器件链接。

图 9-1. PSoC 5LP 和编程器之间的 JTAG 接口连接



[1] 主机编程器的电压电平需要位于编程PSoC 5时所涉及到的电压范围内。端口1 JTAG引脚和XRES引脚均由V_{DDIO1}供电。因此，PSoC 5的V_{DDIO1}要等于主机的电压电平V_{DD}。PSoC 5的其他电压范围（V_{DDD}、V_{DDA}、V_{DDIO0}、V_{DDIO2}、V_{DDIO3}）无需等于主机编程器的电压。

[2] Vdda必须不小于PSoC 5中所有其他电源电压（Vddd、Vddio）。

[3] 在电源循环模式下进行编程时，则不需要XRES引脚。但是主机编程器必须能够为PSoC 5切换电源（Vddd、Vdda、所有Vddio的）。通常会需要使用外部接口电路来切换电源，具体情况取决于编程的设置。供电电源可以按照任意序列上电，但稳定后，VDDA必须不小于所有其他电源。

[4] 对于JTAG编程，通过使用PSoC 5的TMS、TCK、TDI、TDO引脚并将其写入到特定的寄存器内，也可以复位器件而不需要连接到XRES引脚或电源周期模式。但是，NVL中的DPS设置不能等于“Debug Ports Disabled”（调试端口禁用）的设置。

[5] 除非用户更改了DPS设置，否则在默认情况下，PSoC 5被配置为4线JTAG模式。因此，TMS引脚是单向的。但如果DPS不被配置为JTAG模式，则JTAG中的TMS引脚是双向的，因为需要使用SWD协议才能得到原始的PSoC 5器件。从SWD模式切换为JTAG模式后，TMS引脚变为单向的。此时，TMS线上不能使用单向缓冲区。

[6] 由于默认设置为4线JTAG（nTRST被禁用），所以首次编程PSoC 5期间，不能使用nTRST JTAG引脚（P1[5]）来复位JTAG TAP控制器。

9.2 SWD 接口

SWD 接口是 JTAG 接口的首选替代接口。该接口只需要两个引脚，而 JTAG 接口需要四个或五个引脚。SWD 能够提供了 JTAG 接口的所有编程和调试特性，并且运行速度相同。但 SWD 没有提供对扫描链或器件链路的访问功能。 SWD 时钟频率最高可以达到 CPU 时钟频率的 1/3。

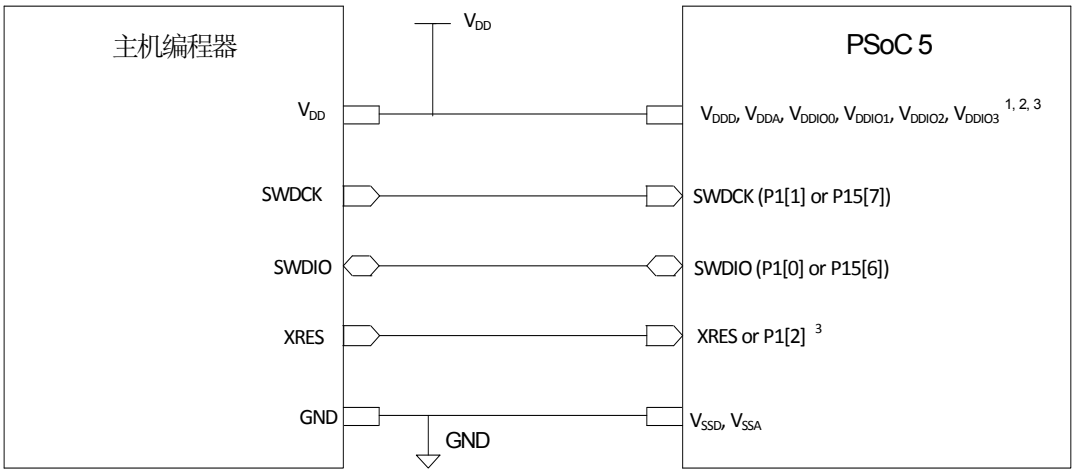
SWD 使用两个引脚，可以是两个 JTAG 引脚 （TMS 和 TCK），也可以是 USBIO D+ 和 D- 引脚。 USBIO 引脚对于 USB 解决方案的系统编程非常有用，如果没有 USBIO 引脚，则需要使用单独的编程连接器。其中一个引脚用于数据时钟，另一个用于数据输入和输出。

每一次只能在一个引脚对上使能 SWD。引脚对（JTAG 或 USB）必须在复位后的 8 µs （“ 关键窗口 ” 时间）内收到一个 1 s 和 0 s 的预定获取序列时，才会使能 SWD。如果 SWD 已经设置好 NVL 锁存器 （请参考 *节 5.5*），那么 JTAG 引脚对将不需实现该秩序。一般情况下，必须将获取序列应用于 USB 引脚对。

SWD 用于调试或编程闪存存储器。

可以通过 JTAG 接口来使能或禁用 SWD 接口，以便将其引脚作为 GPIO 使用。与 JTAG 接口不同，可以在 “ 关键窗口 ” 时间内随时从任意器件上重新获取 SWD 接口。随后，即可用于重新使能 JTAG 接口 （如果需要）。将 SWD 或 JTAG 引脚作为标准 GPIO 使用时，请确保 GPIO 功能和 PCB 电路不会对 SWD 和 JTAG 的使用造成干扰。

图 9-2. PSoC 5LP 和编程器之间的 SWD 接口连接



[1] 主机编程器的电压电平需要位于编程PSoC 5时所涉及到的电压范围内。XRES引脚由V_{DDIO1}供电。USB SWD引脚由V_{DDD}供电。因此，使用USB SWD引脚和XRES引脚进行编程时，PSoC 5的V_{DDD}、V_{DDIO1}要等于主机的电压电平V_{DD}。PSoC 5的其他电压（V_{DDA}、V_{DDIO0}、V_{DDIO2}、V_{DDIO3}）无需等于主机编程器的电压。端口1 SWD引脚都由V_{DDIO1}供电。因此，使用端口1 SWD进行编程时，PSoC 5的V_{DDIO1}需要等于主机的V_{DD}电压。PSoC 5的其他电压（V_{DDD}、V_{DDA}、V_{DDIO0}、V_{DDIO2}、V_{DDIO3}）无需等于主机编程器的电压。

[2] Vdda必需不小于PSoC 5中所有其他电源电压（Vddd、Vddio）。

[3] 如果在电源循环模式下进行编程，则不需要使用XRES引脚。但主机编程器必需能够为PSoC 5切换电源（Vddd、Vdda、所有Vddio的）。通常需要使用外部接口电路来切换电源，具体情况取决于编程的设置。供电电源可以按照任意序列上电，但稳定后，VDDA 必须不小于所有其他电源电压。

9.3 调试特性

CY8C54LP 支持以下调试特性：

- 暂停和单步执行 CPU
- 查看并更改 CPU 和外设寄存器，以及 RAM 地址
- 六个编程地址断点和两个文字访问断点
- 传送到 CPU 的数据观察点事件
- 从闪存到 SRAM 的修补和重新映射指令
- 全速调试 CPU
- 与 PSoC Creator 和 MiniProg3 编程器和调试器相兼容
- 标准的 JTAG 编程和调试接口使得 CY8C54LP 能够与其他流行的第三方工具 （如 ARM/Keil）兼容

9.4 跟踪功能

支持以下的跟踪特性：

- 指令跟踪
- 在访问数据地址、地址范围或数据值时的数据观察点
- 在数据观察点处触发跟踪
- 调试异常触发器
- 代码配置
- 用于测量时钟周期、折叠指令、加载 / 存储操作、睡眠周期、每个指令的周期数、中断开销的计数器
- 中断事件跟踪
- 软件事件监视，“printf” 式的调试

9.5 SWV 和 RACEPORT 接口

SWV 和 TRACEPORT 接口通过赛普拉斯 MiniProg3 向调试主机，或者向外部跟踪端口分析器提供跟踪数据。5 个引脚的 TRACEPORT 用于快速传输大量跟踪数据流。通过单个引脚的 SWV 模式，可以减少跟踪引脚数量。SWV 与 JTAG 共享引脚。如果调试和跟踪操作同时完成，则 SWD 可与 SWV 或 TRACEPORT 结合使用，或者 JTAG 可与 TRACEPORT 结合使用，如表 9-1 所示。

表 9-1. 调试配置

调试与跟踪配置	GPIO 占用数
所有调试和跟踪均被禁用	0
JTAG	4 或 5
SWD	2
SWV	1
TRACEPORT	5
JTAG + TRACEPORT	9 或 10
SWD + SWV	3
SWD + TRACEPORT	7

9.6 编程功能

JTAG 和 SWD 接口支持全面的编程功能。可以对整个器件进行擦除、编程和验证。设计人员可以通过提高闪存保护级别来保护固件 IP。只有在擦除整个器件后，才能重置闪存保护。如果模块的安全设置允许，可以对个别闪存模块进行擦除、编程和验证。

9.7 器件安全性

PSoC 5LP 提供名为器件安全的高级功能。通过该功能可以永久禁用所有测试、编程和调试端口，从而阻止应用程序的外部访问。通过将 32 位密钥 （0x50536F43）编程为一次性写锁存器（WOL），可激活器件的安全性。

一次性写锁存器是一种非易失性锁存器 （NVL）。该单元本身是一个带附加逻辑的 NVL。每个 WOL 器件包含四个字节（32 位）的数据。如果包装器的绝大多数位（32 位中的 28 位）与预定模式 （0x50536F43）匹配，则它会输出 “1” ；如果达不到绝大多数，则会输出 “0” 。输出为 1 时，一次性写非易失性锁存器会锁定未处于调试和测试模式的部件；此外，它还会永久禁用擦除或更改锁存器内容的功能。由于不需要刻意匹配所有位，因此单个或少数位不匹配不会把 WOL 输出置为无效。晶圆处理后的 NVL 位的状态是完全随机的，不会集中趋向 1 或 0。

只有将正确的 32 位密钥 （0x50536F43）加载到 NVL 的易失性存储器中，编程到 NVL 的非易失性单元中，并将部件复位后，WOL 才能锁定部件。WOL 的输出仅在复位时被采样，并用于禁用访问。该预防措施能够防止任何读取、擦除或更改内部存储器的数据。

仅当未设置闪存保护时，用户才可以将密钥写入到 WOL 中，从而禁止外部访问（请参见第 19 页上的 “ 闪存安全性 ” 一节）。不过，在设置 WOL 中的值以后，用户在器件复位前仍可以对其进行访问。因此，用户可以将密钥写入到 WOL 中，编程闪存保护数据，然后对器件进行复位从而锁定它。

如果器件受某种 WOL 设置的保护，赛普拉斯将无法执行失效分析，从而无法接受来自客户的 RMA。可通过串行线调试（SWD）端口来读取 WOL，从而以电气方式识别受保护的部件。仅当未设置闪存保护时，用户才可以将密钥写入到 WOL 中，从而禁止外部访问。更多有关如何充分利用 PSoC 安全性特性的详细信息，请参见 PSoC 5 技术参考手册。

免责声明

请注意下面同赛普拉斯器件的闪存代码保护功能有关的详细信息。

赛普拉斯产品符合相应的赛普拉斯数据手册中所包含的规范。赛普拉斯坚信，无论如何使用，其产品系列的安全性在目前市场上的同类产品中始终名列前矛。目前可能存在一些赛普拉斯不了解的，能够破坏代码保护功能的方法。据我们所知，任何此类方法都是不正当的，甚至可能是违法的。不只是赛普拉斯，任何其他半导体制造商都无法保证各自代码的安全性。代码保护并非意味着我们保证产品 “ 坚不可摧 ”。

赛普拉斯非常希望能够与关注其代码完整性的客户通力合作。代码保护技术正在不断发展。持续改进产品的代码保护功能是赛普拉斯的不懈追求。

9.8 CSP 封装 Bootloader

所有具备 CSP 封装的器件都包含一个在工厂安装的 Bootloader 程序。Bootloader 与 PSoC Creator 3.0 bootloadable 项目文件相兼容，并具有以下特性：

- 基于 I2C
- SCLK 和 SDAT 信号分别位于 P1[6] 和 P1[7] 引脚上
- 需要使用外部上拉电阻
- I2C 从设备、地址 4、数据速率 = 100 kbps
- 单个应用
- 等待 2 秒后才执行引导加载指令
- 其他 bootloader 选项都是 PSoC Creator 3.0 所设置的 Bootloader 组件的默认值
- 占用闪存底部大小的 9 KB

更多有关 bootloader 的信息，请查阅以下各赛普拉斯应用笔记：

- AN73854 — PSoC 3 和 PSoC 5 LP Bootloader 说明
- AN60317 — PSoC 3 和 PSoC 5 LP I2C Bootloader

请注意，一个 PSoC Creator Bootloadable 项目必须与一个 Bootloader 项目的 .hex 和 .elf 文件相联系。其中，该 Bootloader 项目已设定为目标器件。“Bootloader .hex” 和 “.elf” 文件可在 www.cypress.com/go/PSoC5LPdatasheet 网站上找到。

可以使用 JTAG 或 SWD 编程来覆盖工厂安装的 bootloader。

10. 开发支持

CY8C54LP 系列具有一系列丰富的文档、开发工具和在线资源，能够在开发过程中为您提供帮助。更多信息，请访问 psoc.cypress.com/getting-started。

10.1 文档

一套文档，为 CY8C54LP 系列提供支持，确保您可以快速找到问题的答案。本节列出了部分关键文档。

软件用户指南：介绍了有关使用 PSoC Creator 的流程。该指南详细介绍了 PSoC Creator 的构建流程、如何使用 PSoC Creator 的资源控件等信息。

组件数据手册：PSoC 非常灵活，在长期投入生产后依然可以创建新的外设（组件）。组件数据手册提供了选择和使用特定组件所需的全部信息，其中包括功能说明、API 文档、示例代码以及交流 / 直流规范。

应用笔记：PSoC 应用笔记深入讨论了 PSoC 的特定应用，例如无刷直流电机控制和片上滤波。除了应用笔记文档外，应用笔记通常还包括示例项目。

技术参考手册：利用 PSoC Creator，只需将外设拖放到原理图上，就能完成 PSoC 设计。但是，如果需要获得 PSoC 器件的深入细节，请使用技术参考手册（TRM）作为您的指南。

注意：有关 Cortex-M3 CPU 的详细文档，请访问 www.arm.com。

10.2 在线资源

除了印刷文档之外，您还可以随时通过赛普拉斯 PSoC 论坛，与世界各地的 PSoC 用户和专家互相联系。

10.3 工具

CY8C54LP 系列具备行业标准的内核、编程和调试接口，它是开发工具体系的组成部分。有关易于使用的创新型 PSoC Creator IDE、所支持的第三方编译器、编程器、调试器和开发工具包的最新信息，请访问我们的网站 www.cypress.com/go/psoccreator。

11. 电气规范

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C 和 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。PSoC UDB 和模拟模块具有独特的灵活性，这使得许多功能都可以在 PSoC Creator 组件中实现。有关各个功能的完整直流 / 交流规范，请参考组件数据手册。有关 PSoC Creator 组件的进一步说明，请参考第 40 页上的 “ 外设示例 ” 一节中介绍的内容。

11.1 最大绝对额定值

表 11-1. 最大绝对额定值直流规范 [12]

参数	说明	条件	最小值	典型值	最大值	单位
V_{DDA}	相对于 V_{SSA} 的模拟供电电压		–0.5	–	6	V
V_{DDD}	相对于 V_{SSD} 的数字供电电压		–0.5	–	6	V
V_{DDIO}	相对于 V_{SSD} 的 I/O 供电电压		–0.5	–	6	V
V_{CCA}	直接模拟内核电压输入		–0.5	–	1.95	V
V_{CCD}	直接数字内核电压输入		–0.5	–	1.95	V
V_{SSA}	模拟地电压		V_{SSD} – 0.5	–	V_{SSD} + 0.5	V
V_{GPIO} [13]	GPIO 的直流输入电压	包括来自 V_{DDA} 并内部路由到引脚的信号。	V_{SSD} – 0.5	–	V_{DDIO} + 0.5	V
V_{SIO}	SIO 的直流输入电压	输出禁用	V_{SSD} – 0.5	–	7	V
		输出使能	V_{SSD} – 0.5	–	6	V
V_{IND}	升压器输入的电压		0.5	–	5.5	V
V_{BAT}	升压器供电电压		V_{SSD} – 0.5	–	5.5	V
I_{VDDIO}	每个 V_{DDIO} 供电引脚的电流		–	–	100	mA
I_{GPIO}	GPIO 电流		–30	–	41	mA
I_{SIO}	SIO 电流		–49	–	28	mA
I_{USBIO}	USBIO 电流		–56	–	59	mA
LU	闩锁电流 [14]		–140	–	140	mA
ESD_{HBM}	静电放电电压	人体模型	2000	–	–	V
ESD_{CDM}	ESD 电压	充电器件模型	500	–	–	V

注释：
12. 器件在高于表 11-1 中所列出的最大绝对值工作可能会造成永久性的损害。长期在最大绝对值条件下工作可能会影响器件的可靠性。最大存放温度是 150°C，符合 JEDEC JESD22-A103 — 高温度存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值，则器件不能正常工作。
13. V_{DDIO} 供电电压必须大于关联的 GPIO 引脚上的最大电压。 GPIO 引脚上的最大电压 ≤ V_{DDIO} ≤ V_{DDA}。
14. 满足或超过 JEDEC 规范 EIA/JESD78 IC 锁存测试。

11.2 器件级规范

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C 和 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。除非另有说明，否则所有图表中的值均为典型值。

11.2.1 芯片级规范

表 11-2. 直流规范

参数	描述	条件		最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压和模拟内核电压调节器的输入	模拟内核电压调节器被使能		1.8	–	5.5	V
V_{DDA}	模拟供电电压 （旁路模拟电压调节器）	模拟内核电压调节器被禁用		1.71	1.8	1.89	V
V_{DDD}	相对于 V_{SSD} 的数字供电电压	数字内核电压调节器被使能		1.8	–	V_{DDA}[15]	V
				–	–	V_{DDA} + 0.1[17]	
V_{DDD}	数字供电电压 （旁路数字电压调节器）	数字内核电压调节器被禁用		1.71	1.8	1.89	V
V_{DDIO}[16]	相对于 V_{SSIO} 的 I/O 供电电压			1.71	–	V_{DDA}[15]	V
				–	–	V_{DDA} + 0.1[17]	
V_{CCA}	直接模拟内核电压输入 （旁路模拟电压调节器）	模拟内核电压调节器被禁用		1.71	1.8	1.89	V
V_{CCD}	直接数字内核电压输入 （旁路数字电压调节器）	数字内核电压调节器被禁用		1.71	1.8	1.89	V
活动模式							
I_{DD}[18]	数字和模拟电流的总和：IDDD + IDDA。不包含 I/O 的 IDDIOX。使能了 IMO、总线时钟和 CPU 时钟。 CPU 执行闪存中的复杂程序	V_{DDX} = 2.7 V 至 5.5 V；F_{CPU} = 3 MHz[19]	T = –40 °C	–	1.9	3.8	mA
			T = 25 °C	–	1.9	3.8	
			T = 85 °C	–	2	3.8	
		V_{DDX} = 2.7 至 5.5 V；F_{CPU} = 6 MHz	T = –40 °C	–	3.1	5	
			T = 25 °C	–	3.1	5	
			T = 85 °C	–	3.2	5	
		V_{DDX} = 2.7 V 至 5.5 V；F_{CPU} = 12 MHz[19]	T = –40 °C	–	5.4	7	
			T = 25 °C	–	5.4	7	
			T = 85 °C	–	5.6	7	
		V_{DDX} = 2.7 V 至 5.5 V；F_{CPU} = 24 MHz[19]	T = –40 °C	–	8.9	10.5	
			T = 25 °C	–	8.9	10.5	
			T = 85 °C	–	9.1	10.5	
		V_{DDX} = 2.7 V 至 5.5 V；F_{CPU} = 48 MHz[19]	T = –40 °C	–	15.5	17	
			T = 25 °C	–	15.4	17	
			T = 85 °C	–	15.7	17	
		V_{DDX} = 2.7 V 至 5.5 V；F_{CPU} = 62 MHz	T = –40 °C	–	18	19.5	
			T = 25 °C	–	18	19.5	
			T = 85 °C	–	18.5	19.5	
		V_{DDX} = 2.7 V ~ 5.5 V；F_{CPU} = 74 MHz	T = –40 °C	–	26.5	30	
			T = 25 °C	–	26.5	30	
			T = 85 °C	–	27	30	
		V_{DDX} = 2.7 V ~ 5.5 V；F_{CPU} = 80 MHz，IMO = 3 MHz （使用 PLL 时钟源）	T = –40 °C	–	22	25.5	
			T = 25 °C	–	22	25.5	
			T = 85 °C	–	22.5	25.5	

注释：

15. 供电电源可以任意序列上电，但稳定之后， V_{DDA} 必须大于或等于所有其它电源。
16. V_{DDIO} 供电电压必须大于关联的 GPIO 引脚的最大电压。 GPIO 引脚上的最大电压 ≤ V_{DDIO} ≤ V_{DDA}。
17. 由设计保证，未经过生产测试。
18. 对于仅在已编程逻辑模块中实现的附加外设，其电流消耗可以在它们各自的数据手册 （位于集成设计环境 PSoC Creator 中）中查到。可以从器件数据手册和组件数据手册中查找相应频率下的 CPU 电流，然后加上特定系统的外设电流，这样便可以估算出总电流。
19. 基于器件特性 （未经过生产测试）。

表 11-2. 直流规范 （续）

参数	描述	条件		最小值	典型值	最大值	单位
I_{DD}[20]	**睡眠模式**[21]						
	CPU = 关闭 RTC = 开启 （= ECO32K 开启，处于低功耗模式） 睡眠定时器 = 开启 （= ILO 开启，频率为 1 kHz）[22] WDT = 关闭 I^2C 唤醒 = 关闭 比较器 = 关闭 POR = 开启 升压 = 关闭 SIO 引脚处于 “ 单端输入、非稳压输出 ” 模式	$V_{DD} = V_{DDIO}$ = 4.5 – 5.5 V	T = –40 °C	–	1.9	3.1	µA
			T = 25 °C	–	2.4	3.6	
			T = 85°C	–	5	16	
		$V_{DD} = V_{DDIO}$ = 2.7 ~ 3.6 V	T = –40 °C	–	1.7	3.1	
			T = 25 °C	–	2	3.6	
			T = 85°C	–	4.2	16	
		$V_{DD} = V_{DDIO}$ = 1.71 ~ 1.95 V	T = –40 °C	–	1.6	3.1	
			T = 25 °C	–	1.9	3.6	
			T = 85°C	–	4.2	16	
	比较器 = 开启 CPU = 关闭 RTC = 关闭 睡眠定时器 = 关闭 WDT = 关闭 I2C 唤醒 = 关闭 POR = 开启 升压 = 关闭 SIO 引脚处于 “ 单端输入、非稳压输出 ” 模式	$V_{DD} = V_{DDIO}$ = 2.7–3.6 V[23]	T = 25 °C	–	3	4.2	µA
	I2C 唤醒 = 开启 CPU = 关闭 RTC = 关闭 睡眠定时器 = 关闭 WDT = 关闭 比较器 = 关闭 POR = 开启 升压 = 关闭 SIO 引脚处于 “ 单端输入、非稳压输出 ” 模式	$V_{DD} = V_{DDIO}$ = 2.7–3.6 V[23]	T = 25 °C	–	1.7	3.6	µA
	休眠模式						
	休眠模式电流 所有电压调节器和振荡器均被关闭。 SRAM 保持 GPIO 中断处于活动状态 升压 = 关闭 SIO 引脚处于 “ 单端输入、非稳压输出 ” 模式	$V_{DD} = V_{DDIO}$ = 4.5 ~ 5.5 V	T = –40 °C	–	0.2	2	µA
			T = 25 °C	–	0.24	2	
			T = 85 °C	–	2.6	15	
		$V_{DD} = V_{DDIO}$ = 2.7 ~ 3.6 V	T = –40 °C	–	0.11	2	
			T = 25 °C	–	0.3	2	
			T = 85 °C	–	2	15	
		$V_{DD} = V_{DDIO}$ = 1.71 ~ 1.95 V	T = –40 °C	–	0.9	2	
			T = 25 °C	–	0.11	2	
			T = 85 °C	–	1.8	15	
I_{DDAR}[23]	器件复位时的模拟电流消耗	$V_{DDA} \le 3.6$ V		–	0.3	0.6	mA
		$V_{DDA} > 3.6$ V		–	1.4	3.3	mA
I_{DDDR}[23]	器件复位时的数字电流消耗	$V_{DDD} \le 3.6$ V		–	1.1	3.1	mA
		$V_{DDD} > 3.6$ V		–	0.7	3.1	mA
I_{DD_PROG}[23]	器件编程时的电流消耗。数字、模拟以及 I/O 的总电流：$I_{DDD} + I_{DDA} + I_{DDIOX}$			–	15	21	mA

注释：

20. 对于仅在已编程逻辑模块中实现的附加外设，其电流消耗可以在它们各自的数据手册 （位于集成设计环境 PSoC Creator 中）中查到。可以从设备数据手册和组件数据手册中查找相应频率下的 CPU 电流，然后加上特定系统的外设电流，这样便可以估算出总电流。
21. 如果对 V_{CCD} 和 V_{CCA} 进行外部调节，则 V_{CCD} 与 V_{CCA} 之间的电压差必须小于 50 mV。
22. 睡眠定时器会生成定期中断，以便唤醒 CPU。该规范仅针对 CPU 处于关闭状态的时间段。
23. 基于器件特性 （未经过生产测试）。

图 11-1. 活动模式电流与 F_{CPU}， V_{DD} = 3.3 V，温度 = 25 °C

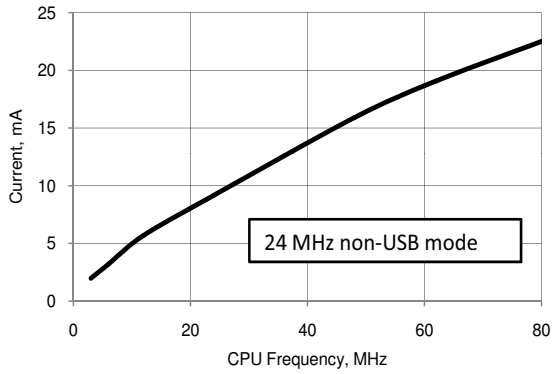


图 11-2. 25 °C 时的 I_{DD} 和频率

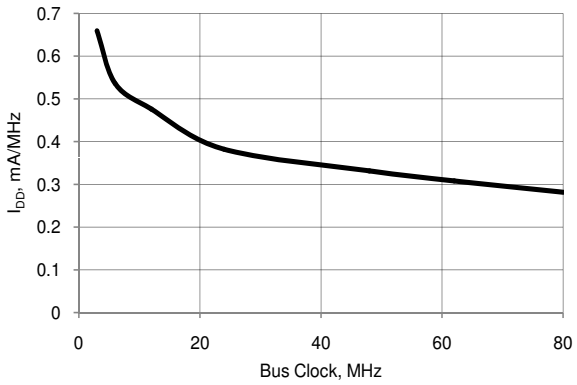


图 11-3. 活动模式电流与温度和 F_{CPU}， V_{DD} = 3.3 V

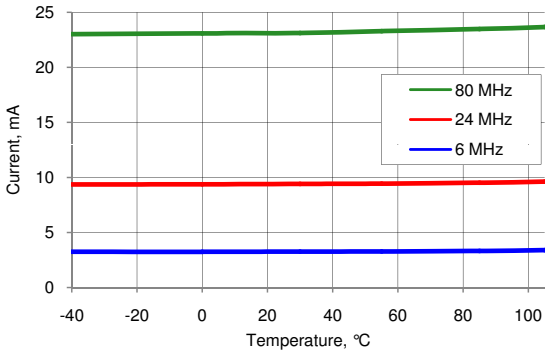


图 11-4. 活动模式电流与 V_{DD} 和温度， F_{CPU} = 24 MHz

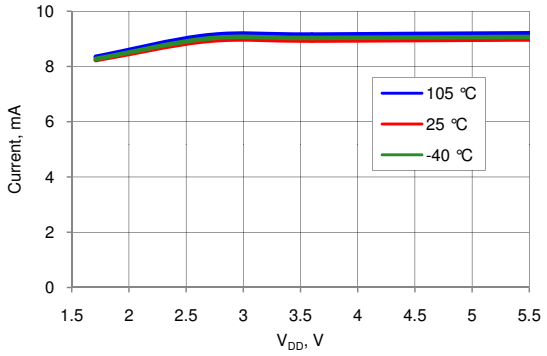


表 11-3. 交流规范

参数	描述	条件	最小值	典型值	最大值	单位
F_{CPU}	CPU 频率	1.71 V ≤ V_{DDD} ≤ 5.5 V	直流	–	80.01	MHz
F_{BUSCLK}	总线频率	1.71 V ≤ V_{DDD} ≤ 5.5 V	直流	–	80.01	MHz
S_{VDD}[24]	V_{DD} 升降速率		–	–	0.066	V/µs
T_{IO_INIT}[24]	从 V_{DDD}/V_{DDA}/V_{CCD}/V_{CCA} ≥ IPOR 到 I/O 端口被设为复位状态的时间		–	–	10	µs
$T_{STARTUP}$[24]	从 V_{DDD}/V_{DDA}/V_{CCD}/V_{CCA} ≥ PRES 到 CPU 执行复位向量处的代码的时间	V_{CCA}/V_{DDA} = V_{DDA}/V_{DDD} 调压后的值，未使用 PLL，高速 IMO 引导模式 （典型值为 48 MHz）	–	–	33	µs
		V_{CCA}/V_{CCD} = V_{DDA}/V_{DDD} 调压后的值，未使用 PLL，慢速 IMO 引导模式 （典型值为 12 MHz）。	–	–	66	µs
T_{SLEEP}[24]	从睡眠模式唤醒 — 发生非 LVD 中断到开始执行下一条 CPU 指令的时间		–	–	25	µs
$T_{HIBERNATE}$[24]	从休眠模式唤醒 — 发生外部中断到开始执行下一条 CPU 指令的时间		–	–	150	µs

注释：
24. 基于器件特性 （未经过生产测试）。

11.3 电源调节器

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C 和 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。

11.3.1 数字系统内核电压调节器

表 11-4. 数字内核电压调节器直流规范

参数	描述	条件	最小值	典型值	最大值	单位
V_{DDD}	输入电压		1.8	–	5.5	V
V_{CCD}	输出电压		–	1.80	–	V
	电压调节器输出电容	±10%， X5R 陶瓷或性能更好的电容。两个 V_{CCD} 引脚必须短接相连，并且它们之间的走线越短越好，请参见第 27 页上的供电系统	0.9	1	1.1	µF

图 11-5. 模拟系统和数字系统电压调节器， V_{CC} 与 V_{DD}，10 mA 负载

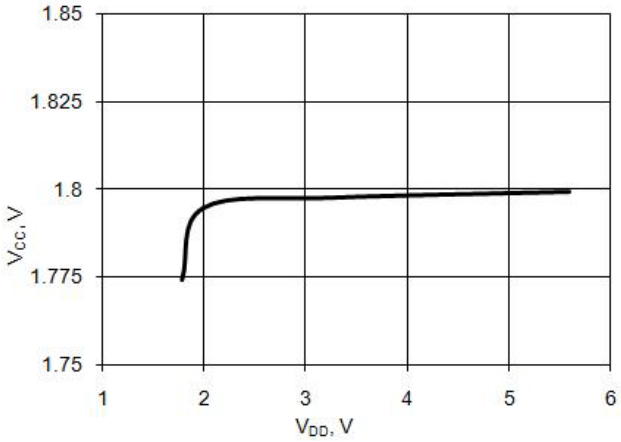
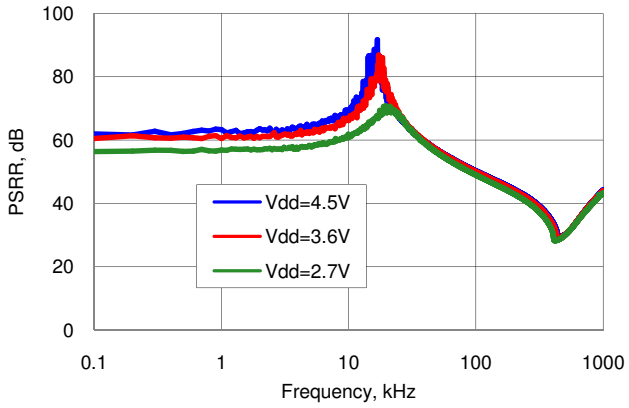


图 11-6. 数字系统电压调节器 PSRR 与频率和 V_{DD}

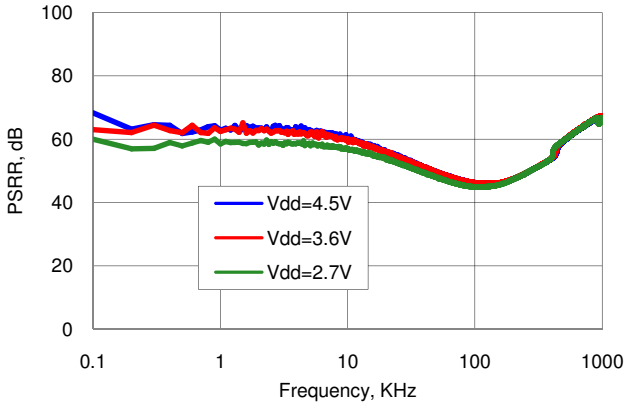


11.3.2 模拟系统内核电压调节器

表 11-5. 模拟内核电压调节器直流规范

参数	描述	条件	最小值	典型值	最大值	单位
V_{DDA}	输入电压		1.8	–	5.5	V
V_{CCA}	输出电压		–	1.80	–	V
	电压调节器输出电容	±10%， X5R 陶瓷或性能更好的电容	0.9	1	1.1	µF

图 11-7. 模拟系统电压调节器 PSRR 与频率和 V_{DD}



11.3.3 感应升压调节器

除非另有说明，否则这些规范的工作条件是：V_{BAT} = 0.5 V ~ 3.6 V， V_{OUT} = 1.8 V ~ 5.0 V， I_{OUT} = 0 mA ~ 50 mA，L_{BOOST} = 4.7 µH ~ 22 µH，C_{BOOST} = 22 µF || 3 × 1.0 µF || 3 × 0.1 µF，C_{BAT} = 22 µF，I_F = 1.0 A（99-ball WLCSP 封装除外）。有关 99-ball WLCSP 封装中采用升压功能的信息，请联系赛普拉斯以得到支持。除非另有说明，否则所有图表中的值均为典型值。

表 11-6. 电感升压调节器直流规范

参数	描述	条件		最小值	典型值	最大值	单位
V_{OUT}	升压器输出电压 [25]	在 BOOST_CR0 寄存器中， vsel = 1.8 V		1.71	1.8	1.89	V
		在 BOOST_CR0 寄存器中， vsel = 1.9 V		1.81	1.90	2.00	V
		在 BOOST_CR0 寄存器中， vsel = 2.0 V		1.90	2.00	2.10	V
		在 BOOST_CR0 寄存器中， vsel = 2.4 V		2.16	2.40	2.64	V
		在 BOOST_CR0 寄存器中， vsel = 2.7 V		2.43	2.70	2.97	V
		在 BOOST_CR0 寄存器中， vsel = 3.0 V		2.70	3.00	3.30	V
		在 BOOST_CR0 寄存器中， vsel = 3.3 V		2.97	3.30	3.63	V
		在 BOOST_CR0 寄存器中， vsel = 3.6 V		3.24	3.60	3.96	V
		在 BOOST_CR0 寄存器中， vsel = 5.0 V		4.50	5.00	5.50	V
V_{BAT}	升压器输入电压 [26]	I_{OUT} = 0 mA–5 mA	vsel = 1.8 V–2.0 V, T_A = 0 °C–70 °C	0.5	–	0.8	V
		I_{OUT} = 0 mA–15 mA	vsel = 1.8 V–5.0 V[27], T_A = –10 °C–85 °C	1.6	–	3.6	V
		I_{OUT} = 0 mA–25 mA	vsel = 1.8 V–2.7 V, T_A = –10 °C–85 °C	0.8	–	1.6	V
		I_{OUT} = 0 mA–50 mA	vsel = 1.8 V–3.3 V[27], T_A = –40 °C–85 °C	1.8	–	2.5	V
			vsel = 1.8 V–3.3 V[27], T_A = –10 °C–85 °C	1.3	–	2.5	V
			vsel = 2.5 V–5.0 V[27], T_A = –10 °C–85 °C	2.5	–	3.6	V
I_{OUT}	输出电流	T_A = 0°C ~ 70°C	V_{BAT} = 0.5 V–0.8 V	0	–	5	mA
		T_A = –10 °C–85 °C	V_{BAT} = 1.6 V–3.6 V	0	–	15	mA
			V_{BAT} = 0.8 V–1.6 V	0	–	25	mA
			V_{BAT} = 1.3 V–2.5 V	0	–	50	mA
			V_{BAT} = 2.5 V–3.6 V	0	–	50	mA
		T_A = –40°C–85°C	V_{BAT} = 1.8 V–2.5 V	0	–	50	mA
I_{LPK}	电感峰值电流			–	–	700	mA
I_Q	静态电流	升压活动模式		–	250	–	µA
		升压睡眠模式， I_{OUT} < 1 µA		–	25	–	µA
Reg_{LOAD}	负载调节			–	–	10	%
Reg_{LINE}	线路调节			–	–	10	%

注释：
25. 列出的 vsel 选项被特性化。其他 vsel 选项均有效，并由设计保证。
26. 在所有有效的 V_{BAT} 条件下（包括 V_{BAT} 下降至 0.5 V），升压器会启动。
27. 如果 V_{BAT} 大于或等于 V_{OUT} 升压设置，那么由于升压电路中的电阻损耗， V_{OUT} 将小于 V_{BAT}。

表 11-7. 升压电路的推荐外部组件

参数	描述	条件	最小值	典型值	最大值	单位
L_{BOOST}	升压电感	额定值为 4.7 µH	3.7	4.7	5.7	µH
		额定值为 10 µH	8.0	10.0	12.0	µH
		额定值为 22 µH	17.0	22.0	27.0	µH
C_{BOOST}	V_{DDD}、V_{DDA}、V_{DDIO} 的电容总和 [28]		17.0	26.0	31.0	µF
C_{BAT}	电池滤波电容		17.0	22.0	27.0	µF
I_F	肖特基（Schottky）二极管的正向电流平均值		1.0	–	–	A
V_R	肖特基反向电压		20.0	–	–	V

图 11-8. 在 V_{BAT} 与 V_{OUT} 范围内的 T_A 值

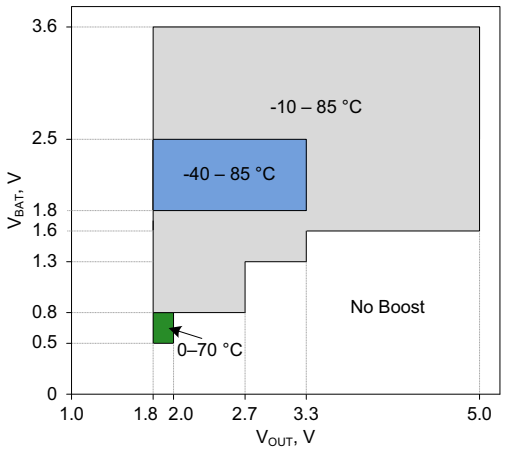


图 11-9. 在 V_{BAT} 与 V_{OUT} 范围内的 I_{OUT} 范围

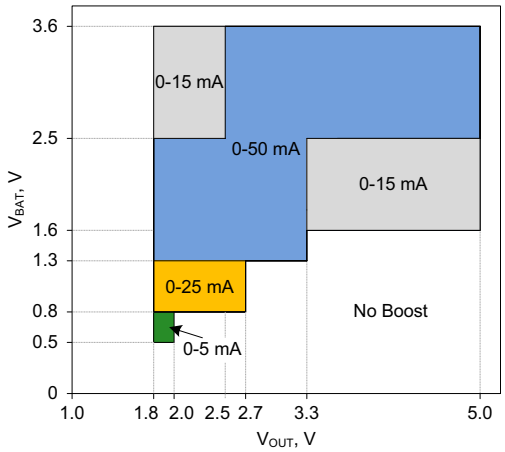
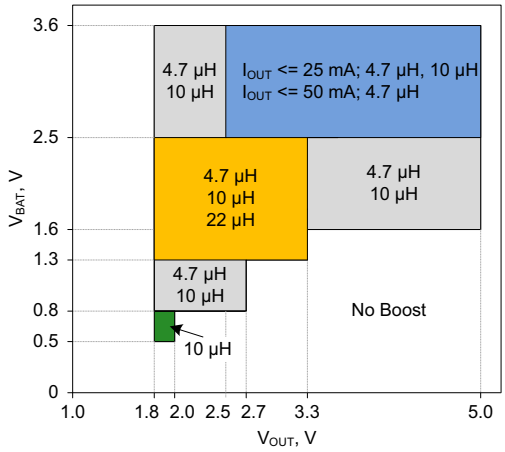


图 11-10. 在 V_{BAT} 与 V_{OUT} 范围内的 L_{BOOST} 值



注释：
28. 基于器件特性 （未经过生产测试）。

图 11-11. 效率与 V_{BAT}， L_{BOOST} = 4.7 µH [29]

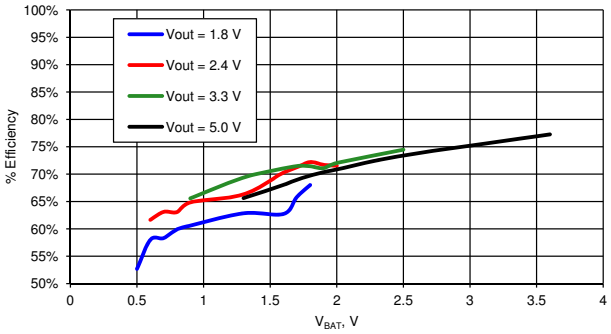


图 11-12. 效率与 V_{BAT}， L_{BOOST} = 10 µH [29]

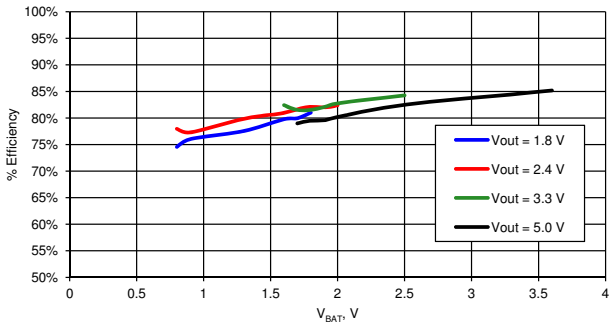


图 11-13. 效率与 V_{BAT}， L_{BOOST} = 22 µH [29]

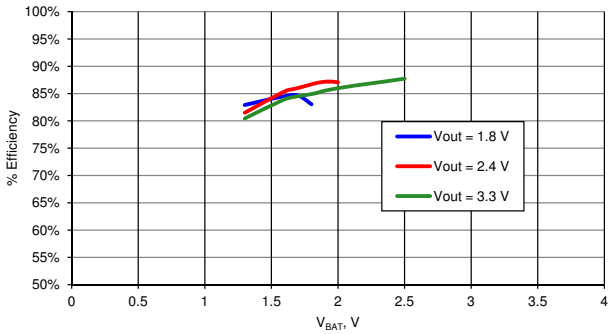
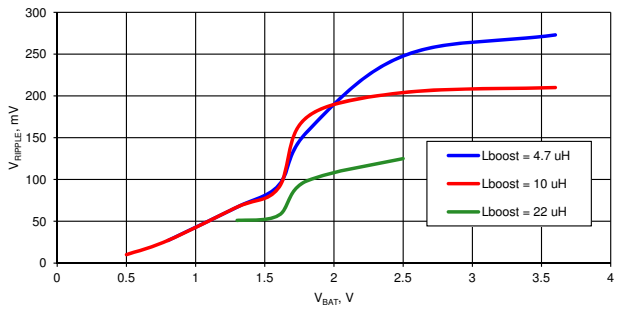


图 11-14. V_{RIPPLE} 与 V_{BAT} [29]



注释：
29. 典型示例。根据外部组件的选择、 PCB 布局以及其它设计参数的不同，实际值也不一样。

11.4 输入和输出

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C 和 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。除非另有说明，否则所有图表中的值均为典型值。

当电源上升时，各个 GPIO 引脚及其 V_{DDIO} 电源之间有低阻抗连接。这导致引脚电压跟踪 V_{DDIO}，直至 V_{DDIO} 和 V_{DDA} 都达到 IPOR 电压，最高可达 1.45 V。当达到 IPOR 电压时，低阻抗连接不再存在，且引脚更改为其正常 NVL 设置。

另外，如果V_{DDA}小于V_{DDIO}，GPIO和V_{DDA}间会存在一个低阻抗路径。因此，GPIO一直跟踪V_{DDA}，直到V_{DDA}大于或等于V_{DDIO}为止。

11.4.1 GPIO

表 11-8. GPIO 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平阈值	CMOS 输入， PRT[x]CTL = 0	0.7 × V_{DDIO}	–	–	V
V_{IL}	输入低电平阀值	CMOS 输入， PRT[x]CTL = 0	–	–	0.3 × V_{DDIO}	V
V_{IH}	输入高电平阀值	LVTTL 输入， PRT[x]CTL = 1，V_{DDIO} < 2.7 V	0.7 × V_{DDIO}	–	–	V
V_{IH}	输入高电平阀值	LVTTL 输入， PRT[x]CTL = 1，V_{DDIO} ≥ 2.7 V	2.0	–	–	V
V_{IL}	输入低电平阀值	LVTTL 输入， PRT[x]CTL = 1，V_{DDIO} < 2.7 V	–	–	0.3 × V_{DDIO}	V
V_{IL}	输入低电平阀值	LVTTL 输入， PRT[x]CTL = 1，V_{DDIO} ≥ 2.7 V	–	–	0.8	V
V_{OH}	输出高电平电压	当 V_{DDIO} = 3.3 V 时， I_{OH} = 4 mA	V_{DDIO} – 0.6	–	–	V
		当 V_{DDIO} = 1.8 V 时， I_{OH} = 1 mA	V_{DDIO} – 0.5	–	–	V
V_{OL}	输出低电平	当 V_{DDIO} = 3.3 V 时， I_{OL} = 8 mA	–	–	0.6	V
		当 V_{DDIO} = 3.3 V 时， I_{OL} = 3 mA	–	–	0.4	V
		当 V_{DDIO} = 1.8 V 时， I_{OL} = 4 mA	–	–	0.6	V
Rpullup	上拉电阻		3.5	5.6	8.5	kΩ
Rpulldown	下拉电阻		3.5	5.6	8.5	kΩ
I_{IL}	输入漏电流 （绝对值） [30]	25 °C， V_{DDIO} = 3.0 V	–	–	2	nA
C_{IN}	输入电容 [30]	P0.0、 P0.1、 P0.2、 P3.6、 P3.7	–	17	20	pF
		P0.3、 P0.4、 P3.0、 P3.1、 P3.2	–	10	15	pF
		P0.6、 P0.7、 P15.0、 P15.6、 P15.7[31]	–	7	12	pF
		所有其它 GPIO	–	5	9	pF
V_H	输入电压迟滞 （施密特触发器） [30]		–	40	–	mV
Idiode	通过保护二极管到达 V_{DDIO} 和 V_{SSIO} 的导通电流		–	–	100	µA
Rglobal	连接到模拟全局总线的电阻引脚	25 °C， V_{DDIO} = 3.0 V	–	320	–	Ω
Rmux	连接到模拟复用总线的电阻引脚	25 °C， V_{DDIO} = 3.0 V	–	220	–	Ω

注释：
30. 基于器件特性 （未经过生产测试）。
31. 有关 PSoC 振荡器的设计信息，请参考应用手册 AN54439 — PSoC® 3 和 PSoC 5 外部振荡器。

图 11-15. GPIO 输出高电平电压和电流

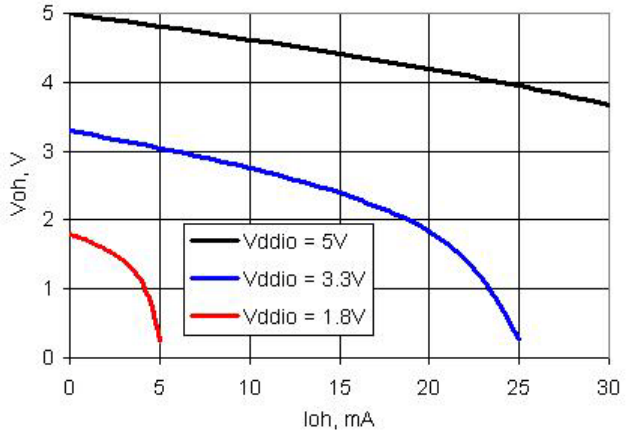


图 11-16. GPIO 输出低电平电压和电流

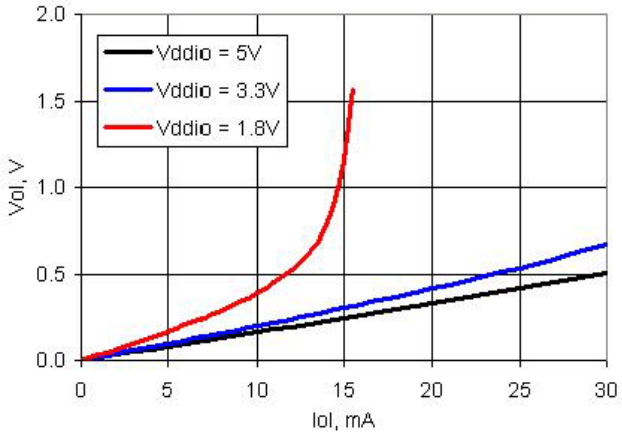


表 11-9. GPIO 交流规范 [32]

参数	描述	条件	最小值	典型值	最大值	单位
TriseF	快速强驱动模式下的上升时间	V_{DDIO} = 3.3 V， Cload = 25 pF	–	–	6	ns
TfallF	快速强驱动模式下的下降时间	V_{DDIO} = 3.3 V， Cload = 25 pF	–	–	6	ns
TriseS	慢速强驱动模式下的上升时间	V_{DDIO} = 3.3 V， Cload = 25 pF	–	–	60	ns
TfallS	慢速强驱动模式下的下降时间	V_{DDIO} = 3.3 V， Cload = 25 pF	–	–	60	ns
Fgpioout	GPIO 输出工作频率					
	2.7 V ≤ V_{DDIO} ≤ 5.5 V，快速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	33	MHz
	1.71 V ≤ V_{DDIO} < 2.7 V，快速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	20	MHz
	3.3 V ≤ V_{DDIO} ≤ 5.5 V，慢速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	7	MHz
	1.71 V ≤ V_{DDIO} < 3.3 V，慢速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	3.5	MHz
Fgpioin	GPIO 输入工作频率	90/10% V_{DDIO}	–	–	33	MHz

注释：
32. 基于器件特性 （未经过生产测试）。

11.4.2 SIO

表 11-10. SIO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
Vinmax	最大输入电压	有关V_{DDIO}和V_{DDD}的所有容许值，请参见 *节 11.1*	–	–	5.5	V
Vinref	输入参考电压 （差分输入模式）		0.5	–	0.52 × V_{DDIO}	V
Voutref	输出参考电压 （稳压输出模式）					
		V_{DDIO} > 3.7	1	–	V_{DDIO} – 1	V
		V_{DDIO} < 3.7	1	–	V_{DDIO} – 0.5	V
V_{IH}	输入高电平阈值					
	GPIO 模式	CMOS 输入	0.7 × V_{DDIO}	–	–	V
	差分输入模式 [33]	禁用迟滞	SIO_ref + 0.2	–	–	V
V_{IL}	输入低电平阈值					
	GPIO 模式	CMOS 输入	–	–	0.3 × V_{DDIO}	V
	差分输入模式 [33]	禁用迟滞	–	–	SIO_ref – 0.2	V
V_{OH}	输出高电平电压					
	非稳压模式	I_{OH} = 4 mA， V_{DDIO} = 3.3 V	V_{DDIO} – 0.4	–	–	V
	稳压模式 [33]	I_{OH} = 1 mA	SIO_ref – 0.65	–	SIO_ref + 0.2	V
		I_{OH} = 0.1 mA	SIO_ref – 0.3	–	SIO_ref + 0.2	V
		无负载， I_{OH} = 0	SIO_ref – 0.1	–	SIO_ref + 0.1	V
V_{OL}	输出低电平	V_{DDIO} = 3.30 V， I_{OL} = 25 mA	–	–	0.8	V
		V_{DDIO} = 3.30 V， I_{OL} = 20 mA	–	–	0.4	V
		V_{DDIO} = 1.80 V， I_{OL} = 4 mA	–	–	0.4	V
Rpullup	上拉电阻		3.5	5.6	8.5	kΩ
Rpulldown	下拉电阻		3.5	5.6	8.5	kΩ
I_{IL}	输入漏电流 （绝对值） [34]					
	$V_{IH} \le V_{DDSIO}$	25 °C，V_{DDSIO} = 3.0 V，V_{IH} = 3.0 V	–	–	14	nA
	$V_{IH} > V_{DDSIO}$	25 °C，V_{DDSIO} = 0 V，V_{IH} = 3.0 V	–	–	10	µA
C_{IN}	输入电容 [34]		–	–	9	pF
V_H	输入电压迟滞 （施密特触发器） [34]	单端模式 （GPIO 模式）	–	115	–	mV
		差分模式	–	50	–	mV
Idiode	通过保护二极管到达 V_{SSIO} 的导通电流		–	–	100	µA

注释：
33. 有关 SIO 参考电压的更多信息，请参见第 35 页上的图 6-10 和第 38 页上的图 6-13。
34. 基于器件特性 （未经过生产测试）。

图 11-17. SIO 输出高电平电压和电流，非稳压模式

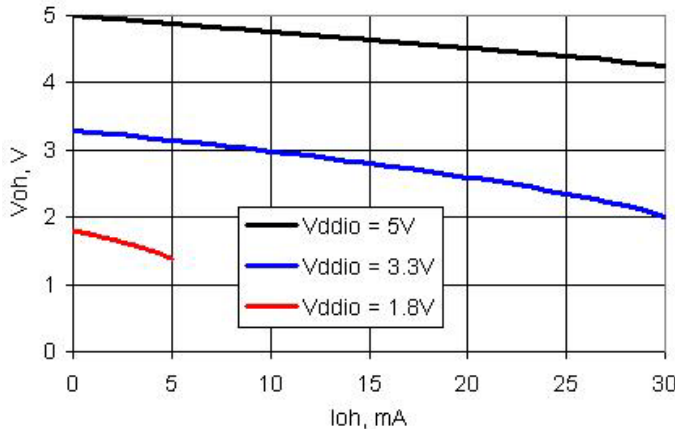


图 11-18. SIO 输出低电平电压和电流，非稳压模式

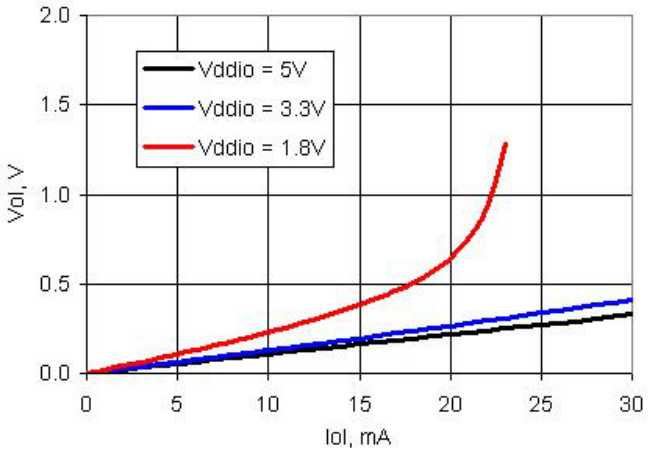


图 11-19. SIO 输出高电平电压和电流，稳压模式

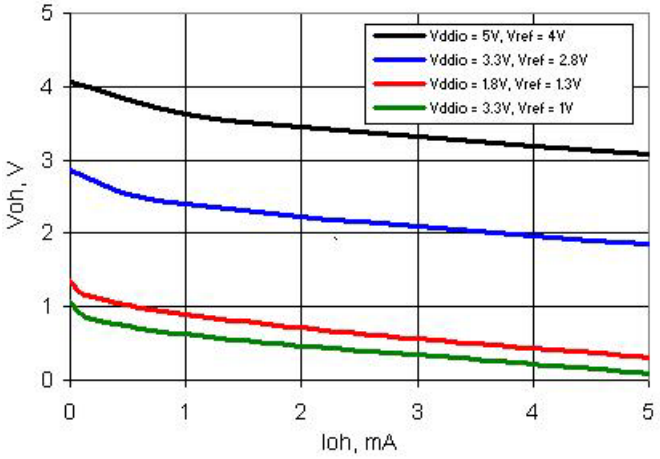


表 11-11. SIO 交流规范 [35]

参数	描述	条件	最小值	典型值	最大值	单位
TriseF	快速强驱动模式下的上升时间（90/10%）	Cload = 25 pF， V_{DDIO} = 3.3 V	–	–	12	ns
TfallF	快速强驱动模式下的下降时间（90/10%）	Cload = 25 pF， V_{DDIO} = 3.3 V	–	–	12	ns
TriseS	慢速强驱动模式下的上升时间（90/10%）	Cload = 25 pF， V_{DDIO} = 3.0 V	–	–	75	ns
TfallS	慢速强驱动模式下的下降时间（90/10%）	Cload = 25 pF， V_{DDIO} = 3.0 V	–	–	60	ns
Fsioout	SIO 输出工作频率					
	2.7 V < V_{DDIO} < 5.5 V，非稳压输出（GPIO）模式，快速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	33	MHz
	1.71 V < V_{DDIO} < 2.7 V，非稳压输出（GPIO）模式，快速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	16	MHz
	3.3 V < V_{DDIO} < 5.5 V，非稳压输出（GPIO）模式，慢速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	5	MHz
	1.71 V < V_{DDIO} < 3.3 V，非稳压输出（GPIO）模式，慢速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	4	MHz
	2.7 V < V_{DDIO} < 5.5 V，稳压输出模式，快速强驱动模式	输出连续切换， Cload = 25 pF	–	–	20	MHz
	1.71 V < V_{DDIO} < 2.7 V，稳压输出模式，快速强驱动模式	输出连续切换， Cload = 25 pF	–	–	10	MHz
	1.71 V < V_{DDIO} < 5.5 V，稳压输出模式，慢速强驱动模式	输出连续切换， Cload = 25 pF	–	–	2.5	MHz
Fsioin	SIO 输入工作频率					
	1.71 V ≤ V_{DDIO} ≤ 5.5 V	90/10% V_{DDIO}	–	–	33	MHz

图 11-20. SIO 输出上升和下降时间，快速强驱动模式，V_{DDIO} = 3.3 V， Cload = 25 pF

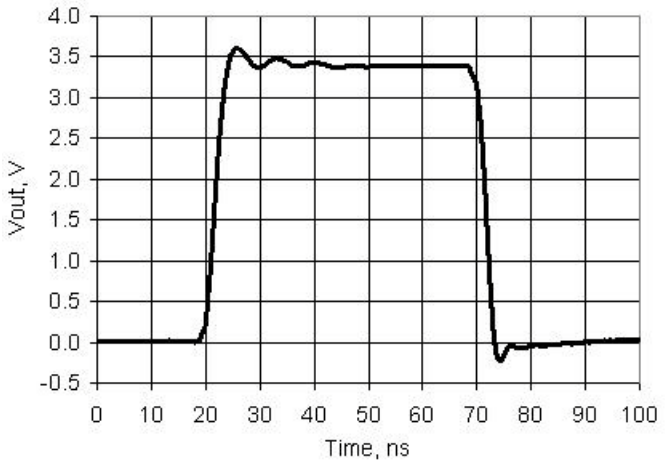
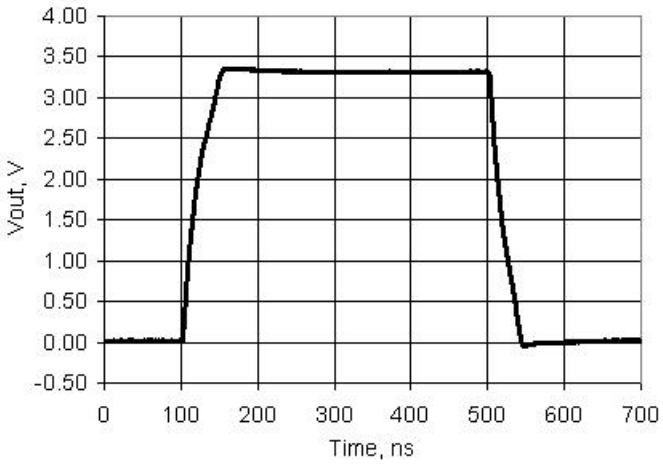


图 11-21. SIO 输出上升和下降时间，低速强驱动模式，V_{DDIO} = 3.3 V， CLoad = 25 pF



注释：
35. 基于器件特性 （未经过生产测试）。

表 11-12. SIO 比较器规范 [36]

参数	描述	条件	最小值	典型值	最大值	单位
Vos	偏移电压	V_{DDIO} = 2 V	–	–	68	mV
		V_{DDIO} = 2.7 V	–	–	72	
		V_{DDIO} = 5.5 V	–	–	82	
TCVos	随着温度变化产生的偏移电压漂移		–	–	250	µV/°C
CMRR	共模抑制比	V_{DDIO} = 2 V	30	–	–	dB
		V_{DDIO} = 2.7 V	35	–	–	
		V_{DDIO} = 5.5 V	40	–	–	
Tresp	响应时间		–	–	30	ns

11.4.3 USBIO

在 GPIO 模式下操作时，使用 V_{DDD} 的标准范围，请参考第 66 页上的芯片级规范。

表 11-13. USBIO 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
Rusbi	USB D+ 上拉电阻 [36]	总线空闲	0.900	–	1.575	kΩ
Rusba	USB D+ 上拉电阻 [36]	接收通信时	1.425	–	3.090	kΩ
Vohusb	静态输出高电平 [36]	将 15 kΩ ±5% 的电阻连接到 VSS 上，内部上拉电阻处于使能状态	2.8	–	3.6	V
Volusb	静态输出低电平 [36]	将 15 kΩ ±5% 的电阻连接到 VSS 上，内部上拉电阻处于使能状态	–	–	0.3	V
Vihgpio	输入高电平电压， GPIO 模式 [36]	V_{DDD} = 1.8 V	1.5	–	–	V
		V_{DDD} = 3.3 V	2	–	–	V
		V_{DDD} = 5.0 V	2	–	–	V
Vilgpio	输入低电平电压， GPIO 模式 [36]	V_{DDD} = 1.8 V	–	–	0.8	V
		V_{DDD} = 3.3 V	–	–	0.8	V
		V_{DDD} = 5.0 V	–	–	0.8	V
Vohgpio	输出高电平电压， GPIO 模式 [36]	I_{OH} = 4 mA， V_{DDD} = 1.8 V	1.6	–	–	V
		I_{OH} = 4 mA， V_{DDD} = 3.3 V	3.1	–	–	V
		I_{OH} = 4 mA， V_{DDD} = 5.0 V	4.2	–	–	V
Volgpio	输出低电平电压， GPIO 模式 [36]	I_{OL} = 4 mA， V_{DDD} = 1.8 V	–	–	0.3	V
		I_{OL} = 4 mA， V_{DDD} = 3.3 V	–	–	0.3	V
		I_{OL} = 4 mA， V_{DDD} = 5.0 V	–	–	0.3	V
Vdi	差分输入灵敏度	|(D+)–(D–)|	–	–	0.2	V
Vcm	差分共模输入范围		0.8	–	2.5	V
Vse	单端接收器阈值		0.8	–	2	V
Rps2	PS/2 上拉电阻 [36]	处于PS/2模式，并且PS/2上拉电阻处于使能状态	3	–	7	kΩ
Rext	外部 USB 串联电阻 [36]	与每个 USB 引脚串联	21.78（–1%）	22	22.22（+1%）	Ω
Zo	USB 驱动器输出阻抗 [36]	包括 Rext	28	–	44	Ω
C_{IN}	USB 收发器输入电容		–	–	20	pF
I_{IL} [36]	输入漏电流 （绝对值） [36]	25 °C， V_{DDD} = 3.0 V	–	–	2	nA

注释：
36. 基于器件特性 （未经过生产测试）。

图 11-22. USBIO 输出高电平电压和电流， GPIO 模式

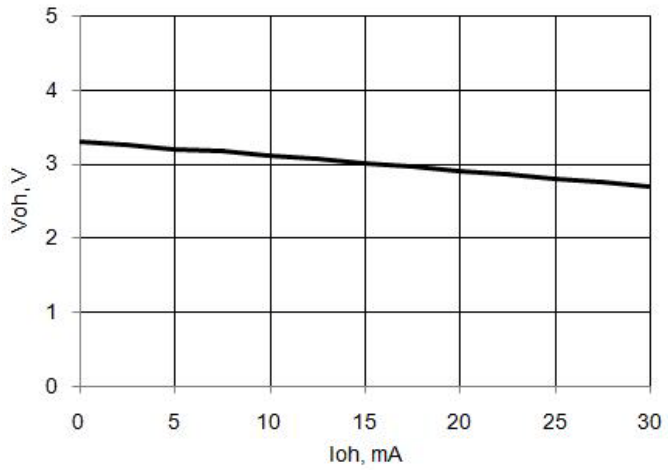


图 11-23. USBIO 输出低电平电压和电流， GPIO 模式

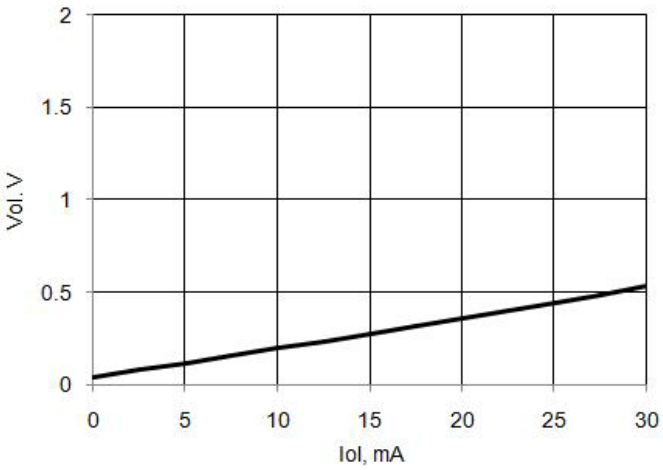


表 11-14. USBIO 交流规范 [37]

参数	描述	条件	最小值	典型值	最大值	单位
Tdrate	全速数据速率平均比特率		12 – 0.25%	12	12 + 0.25%	MHz
Tjr1	到下一次跃变的接收器数据抖动容限		–8	–	8	ns
Tjr2	成对跃变的接收器数据抖动容限		–5	–	5	ns
Tdj1	到下一次跃变的驱动器差分抖动		–3.5	–	3.5	ns
Tdj2	成对跃变的驱动器差分抖动		–4	–	4	ns
Tfdeop	从差分跃变到 SE0 跃变的源抖动		–2	–	5	ns
Tfeopt	EOP 的源 SE0 间隔时间		160	–	175	ns
Tfeopr	EOP 的接收器 SE0 间隔时间		82	–	–	ns
Tfst	差分跃变期间的 SE0 间隔时间		–	–	14	ns
Fgpio_out	GPIO 模式下的输出工作频率	3 V ≤ V_{DDD} ≤ 5.5 V	–	–	20	MHz
		V_{DDD} = 1.71 V	–	–	6	MHz
Tr_gpio	上升时间，GPIO 模式，10%/90% V_{DDD}	V_{DDD} > 3 V，负载 = 25 pF	–	–	12	ns
		V_{DDD} = 1.71 V，负载 = 25 pF	–	–	40	ns
Tf_gpio	下降时间，GPIO 模式，90%/10% V_{DDD}	V_{DDD} > 3 V， Cload = 25 pF	–	–	12	ns
		V_{DDD} = 1.71 V， Cload = 25 pF	–	–	40	ns

注释：
37. 基于器件特性 （未经过生产测试）。

图 11-24. USBIO 输出上升和下降时间， GPIO 模式，
V_{DDD} = 3.3 V， Load = 25 pF

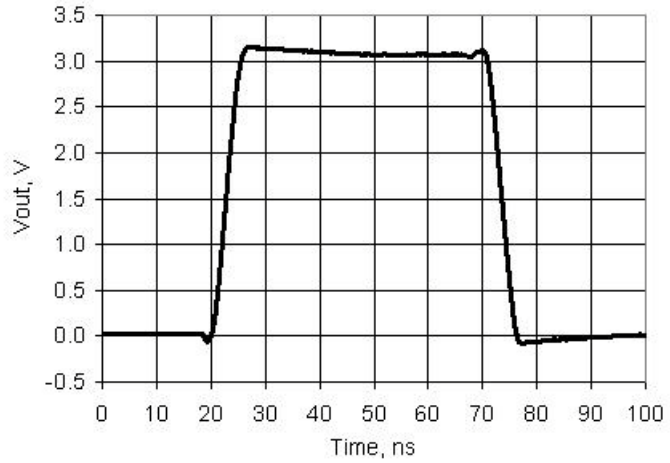


表 11-15. USB 驱动器交流规范 [38]

参数	描述	条件	最小值	典型值	最大值	单位
Tr	跃变上升时间		–	–	20	ns
Tf	跃变下降时间		–	–	20	ns
TR	上升 / 下降时间匹配	V_{USB_5}， $V_{USB_3.3}$，请参见第 103 页上的 USB 直流规范	90%	–	111%	
Vcrs	输出信号交变电压		1.3	–	2	V

11.4.4 XRES

表 11-16. XRES 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平阈值		0.7 × V_{DDIO}	–	–	V
V_{IL}	输入低电平阈值		–	–	0.3 × V_{DDIO}	V
Rpullup	上拉电阻		3.5	5.6	8.5	kΩ
C_{IN}	输入电容 [38]		–	3	–	pF
V_H	输入电压迟滞 （施密特触发器） [38]		–	100	–	mV
Idiode	通过保护二极管到达 V_{DDIO} 和 V_{SSIO} 的导通电流		–	–	100	µA

表 11-17. XRES 交流规范 [38]

参数	描述	条件	最小值	典型值	最大值	单位
T_{RESET}	复位脉冲宽度		1	–	–	µs

注释：
38. 基于器件特性 （未经过生产测试）。

11.5 模拟外设

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C 和 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。

11.5.1 运算放大器

表 11-18. 运算放大器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_I	输入电压范围		V_{SSA}	–	V_{DDA}	mV
Vos	输入偏移电压		–	–	2.5	mV
		工作温度范围为 –40 °C 至 70 °C	–	–	2	mV
TCVos	输入偏移电压温度漂移	功耗模式 = 高	–	–	±30	µV / °C
Ge1	增益误差，单位增益缓冲区模式	Rload = 1 kΩ	–	–	±0.1	%
Cin	输入电容	从引脚路由	–	–	18	pF
Vo	输出电压范围	1 mA，源电流或灌电流，功耗模式 = 高	V_{SSA} + 0.05	–	V_{DDA} – 0.05	V
Iout	输出电流功能，源电流或灌电流	V_{SSA} + 500 mV ≤ V_{OUT} ≤ V_{DDA} –500 mV，V_{DDA} > 2.7 V	25	–	–	mA
		V_{SSA} + 500 mV ≤ V_{OUT} ≤ V_{DDA} –500 mV，1.7 V = V_{DDA} ≤ 2.7 V	16	–	–	mA
Idd	静态电流 [39]	功耗模式 = 最低	–	250	400	uA
		功耗模式 = 低	–	250	400	uA
		功耗模式 = 中等	–	330	950	uA
		功耗模式 = 高	–	1000	2500	uA
CMRR	共模抑制比 [39]		80	–	–	dB
PSRR	电源抑制比 [39]	V_{DDA} ≥ 2.7 V	85	–	–	dB
		V_{DDA} < 2.7 V	70	–	–	dB
I_{IB}	输入偏置电流 [39]	25 °C	–	10	–	pA

图 11-25. 运算放大器 Vos 柱状图， 7020 个样本 /1755 器件，30 °C， VDDA = 3.3 V

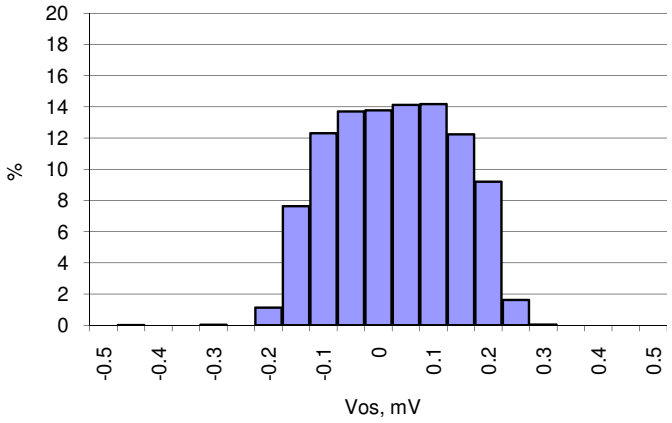
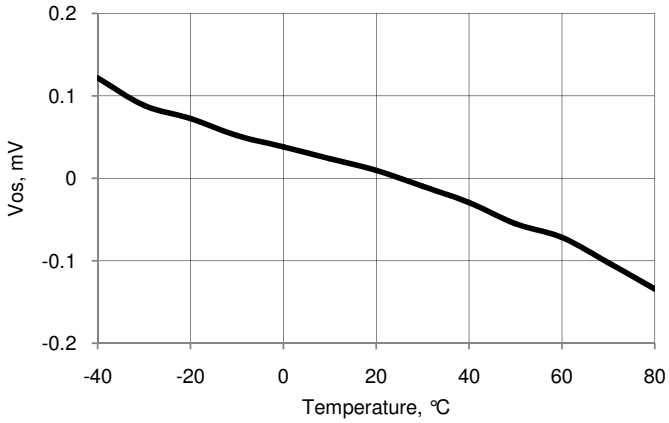


图 11-26. 运算放大器 Vos 与温度， V_{DDA} = 5 V



注释：
39. 基于器件特性 （未经过生产测试）。

图 11-27. 运算放大器 Vos 与 Vcommon 和 V_{DDA}， 25 °C

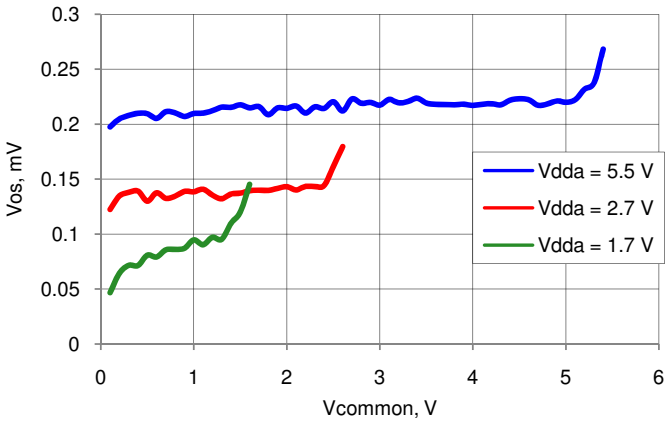


图 11-28. 运算放大器输出电压与负载电流和温度，高功耗模式，25 °C， V_{DDA} = 2.7 V

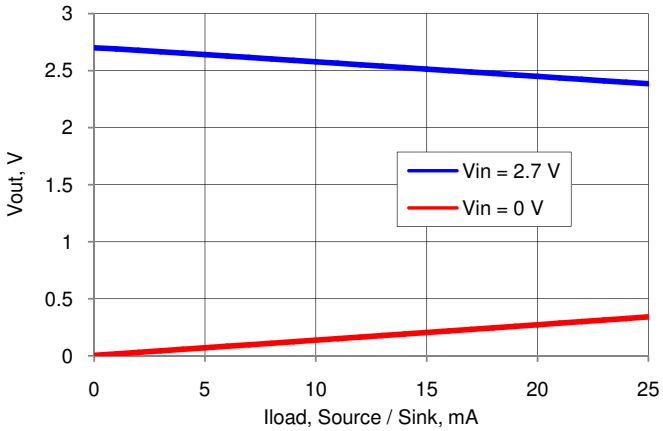


图 11-29. 运算放大器工作电流与 V_{DDA} 和功耗模式

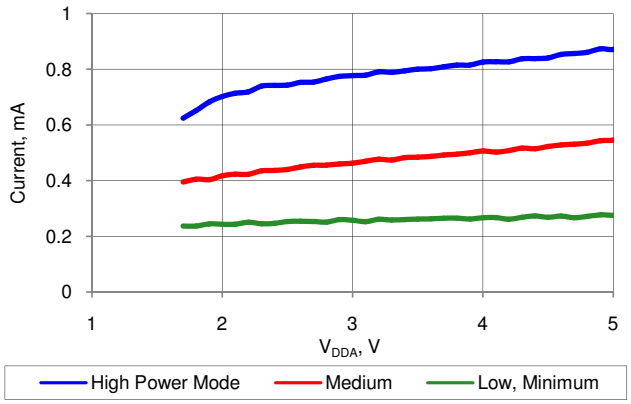


表 11-19. 运算放大器交流规范 [40]

参数	描述	条件	最小值	典型值	最大值	单位
GBW	增益带宽积	功耗模式 = 最低， Cload = 15 pF	1	–	–	MHz
		功耗模式 = 低， Cload = 15 pF	2	–	–	MHz
		功耗模式 = 中， Cload = 200 pF	1	–	–	MHz
		功耗模式 = 高， Cload = 200 pF	3	–	–	MHz
SR	转换速率， 20% - 80%	功耗模式 = 最低， Cload = 15 pF	1.1	–	–	V/µs
		功耗模式 = 低， Cload = 15 pF	1.1	–	–	V/µs
		功耗模式 = 中等， Cload = 200 pF	0.9	–	–	V/µs
		功耗模式 = 高， Cload = 200 pF	3	–	–	V/µs
e_n	输入噪声密度	功耗模式 = 高，V_{DDA} = 5 V，100 kHz	–	45	–	nV/sqrtHz

注释：
40. 基于器件特性 （未经过生产测试）。

图 11-30. 运算放大器噪声与频率，功耗模式 = 高， V_{DDA} = 5 V

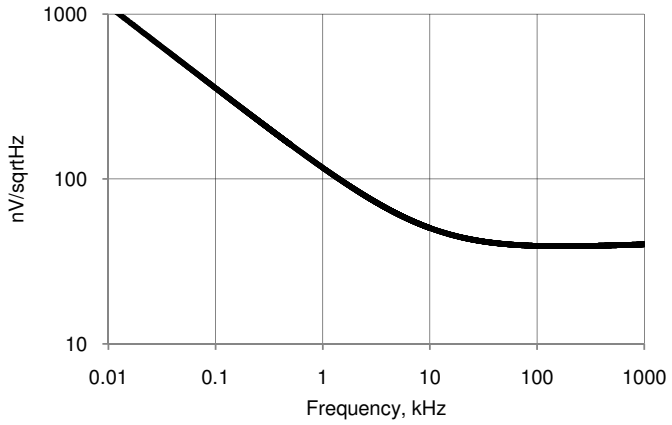


图 11-31. 运算放大器阶跃响应，上升

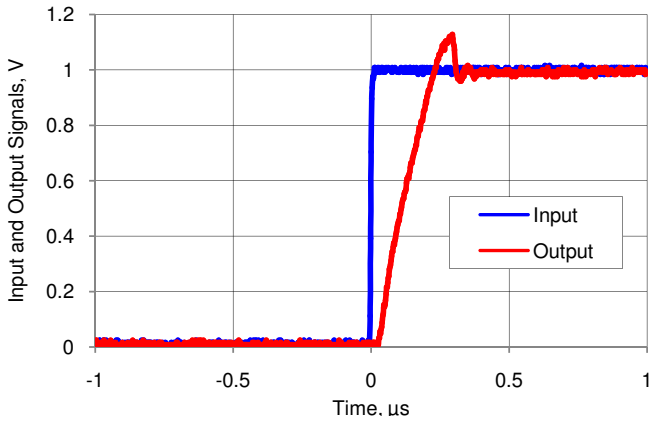
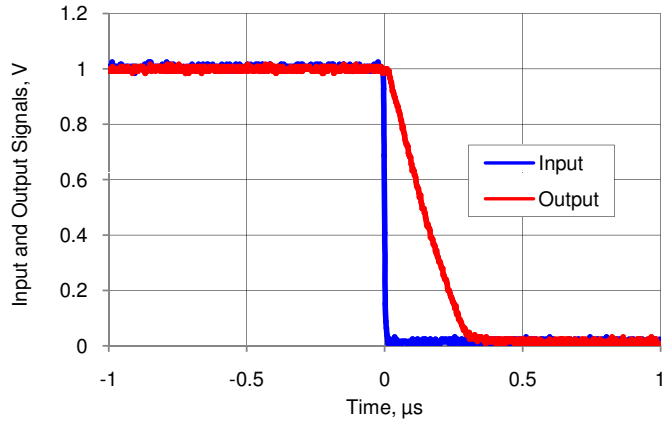


图 11-32. 运算放大器阶跃响应，下降



11.5.2 Delta-Sigma 模数转换器

除非另有指定，否则运行条件均为：

- 在连续采样模式下运行
- fclk = 6.144 MHz
- 参考 = 1.024 V 的内部参考在 P3.2 或 P0.3 上旁路
- 除非另有指定，否则所有图表中的值均为典型值

表 11-20. 12 位 Delta-Sigma ADC 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
	分辨率		8	–	12	位
	单端通道数量		–	–	GPIO 数量	–
	差分通道数量	差分对由一对 GPIO 组成。	–	–	GPIO 数量 /2	–
	单调性	支持	–	–	–	–
Ge	增益误差	已缓冲，缓冲器增益 = 1， 范围 = ±1.024 V， 25 °C	–	–	±0.4	%
Gd	增益漂移	已缓冲，缓冲器增益 = 1， 范围 = ±1.024 V	–	–	50	ppm/°C
Vos	输入偏移电压	已缓冲， 16 位模式，全电压范围	–	–	±0.2	mV
		已缓冲， 16 位模式， V_{DDA} = 1.8 V ±5%， 25 °C	–	–	±0.1	mV
TCVos	温度系数，输入偏移电压	缓冲器增益 = 1， 12 位， 范围 = ±1.024 V	–	–	1	µV/°C
	单端输入电压范围 [41]		V_{SSA}	–	V_{DDA}	V
	未缓冲的差分输入电压范围 [41]		V_{SSA}	–	V_{DDA}	V
	被缓冲的差分输入电压范围 [41]		V_{SSA}	–	V_{DDA} – 1	V
INL12	积分非线性 [41]	范围 = ±1.024 V，未缓冲	–	–	±1	LSB
DNL12	微分非线性 [41]	范围 = ±1.024 V，未缓冲	–	–	±1	LSB
INL8	积分非线性 [41]	范围 = ±1.024 V，未缓冲	–	–	±1	LSB
DNL8	微分非线性 [41]	范围 = ±1.024 V，未缓冲	–	–	±1	LSB
Rin_Buff	ADC 输入电阻	使用输入缓冲器	10	–	–	MΩ
Rin_ADC12	ADC 输入电阻	旁路输入缓冲器， 12 位， 范围 = ±1.024 V	–	148[42]	–	kΩ
Rin_ExtRef	ADC 外部参考输入电阻		–	70[42、43]	–	kΩ
Vextref	ADC 外部参考输入电压，另请参见第 86 页上的参考电压中的内部参考	引脚 P0[3]、 P3[2]	0.9	–	1.3	V
电流消耗						
I_{DD_12}	电流消耗， 12 位 [41]	192 ksps，未缓冲	–	–	1.4	mA
I_{BUFF}	缓冲器电流消耗 [41]		–	–	2.5	mA

注释：

41. 基于器件特性 （未经过生产测试）。
42. 通过在 ADC 输入上使用开关电容，可建立有效的输入电阻。如果增益和位数量保持不变，电阻将与时钟频率成反比。该值是通过计算得出的，而不是测量得出。有关更多信息，请参见 《技术参考手册》。
43. 建议使用带有小于 100 Ω 的输出阻抗的外部参考器件，如 LM185/285/385 系列。建议使用一个 1 µF 的电容。更多有关信息，请参考 AN61290 — PSoC® 3 和 PSoC 5LP 硬件设计注意事项。

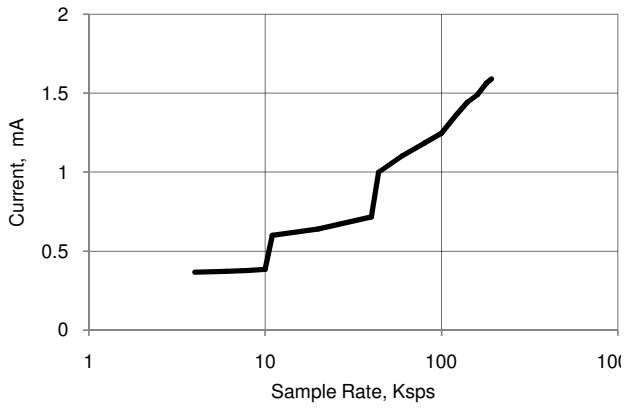
表 11-21. Delta-Sigma ADC 的交流规范

参数	描述	条件	最小值	典型值	最大值	单位
	启动时间		–	–	4	采样
THD	总谐波失真 [44]	缓冲器增益 = 1， 12 位，范围 = ±1.024 V	–	–	0.0032	%
12 位分辨率模式						
SR12	采样率，连续采样，高功耗 [44]	范围 = ±1.024 V，未缓冲	4	–	192	ksps
BW12	最大采样率下的输入带宽 [44]	范围 = ±1.024 V，未缓冲	–	44	–	kHz
SINAD12int	信噪比， 12 位，内部参考电压 [44]	范围 = ±1.024 V，未缓冲	66	–	–	dB
8 位分辨率模式						
SR8	采样率，连续采样，高功耗 [44]	范围 = ±1.024 V，未缓冲	8	–	384	ksps
BW8	最大采样率下的输入带宽 [44]	范围 = ±1.024 V，未缓冲	–	88	–	kHz
SINAD8int	信噪比， 8 位，内部电压参考 [44]	范围 = ±1.024 V，未缓冲	43	–	–	dB

表 11-22. Delta-sigma 模数转换器采样率，范围 = ±1.024 V

分辨率（单位为位）	连续采样		多样本采样	
	最小值	最大值	最小值	最大值
8	8000	384000	1911	91701
9	6400	307200	1543	74024
10	5566	267130	1348	64673
11	4741	227555	1154	55351
12	4000	192000	978	46900

图 11-33. Delta-sigma ADC IDD 与 sps （最大采样率）的相关关系，范围 = ±1.024 V，连续采样模式，旁路输入缓冲区



注释：
44. 基于器件特性 （未经过生产测试）。

11.5.3 参考电压

表 11-23. 参考电压规范

参数	描述	条件	最小值	典型值	最大值	单位
V_{REF}	高精度参考电压	最初校准，在 25 °C 条件下	1.013（–1%）	1.024	1.035（+1%）	V

11.5.3 SAR ADC

表 11-24. SAR ADC 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
	分辨率		–	–	12	位
	单端通道数量		–	–	GPIO 数量	
	差分通道数量	差分对由一对相邻的 GPIO 组成。	–	–	GPIO 数量 /2	
	单调性 [45]		有	–	–	
Ge	增益误差 [46]	外部参考电压	–	–	±0.1	%
V_{OS}	输入偏移电压		–	–	±2	mV
I_{DD}	电流消耗 [45]		–	–	1	mA
	单端输入电压范围 [45]		V_{SSA}	–	V_{DDA}	V
	差分输入电压范围 [45]		V_{SSA}	–	V_{DDA}	V
PSRR	电源抑制比 [45]		70	–	–	dB
CMRR	共模抑制比		70	–	–	dB
INL	积分非线性 [46]	V_{DDA} 的范围为 1.71 至 5.5 V，采样率为 1 Msps， V_{REF} 的范围为 1 至 5.5 V，在 ExtRef 引脚旁路	–	–	+2/–1.5	LSB
		V_{DDA} 的范围为 2.0 至 3.6 V，采样率为 1 Msps， V_{REF} 范围为 2 至 V_{DDA}，在 ExtRef 引脚旁路	–	–	±1.2	LSB
		V_{DDA} 的范围为 1.71 至 5.5 V，采样率为 500 ksps， V_{REF} 的范围为 1 至 5.5 V，在 ExtRef 引脚旁路	–	–	±1.3	LSB
DNL	微分非线性 [46]	V_{DDA} 的范围为 1.71 至 5.5 V，采样率为 1 Msps， V_{REF} 的范围为 1 至 5.5 V，在 ExtRef 引脚旁路	–	–	+2/–1	LSB
		V_{DDA} 的范围为 2.0 至 3.6 V，采样率为 1 Msps， V_{REF} 的范围为 2 至 V_{DDA}，在 ExtRef 引脚旁路 无遗漏代码	–	–	1.7/–0.99	LSB
		V_{DDA} 的范围为 1.71 至 5.5 V，采样率为 500 ksps， V_{REF} 的范围为 1 至 5.5 V，在 ExtRef 引脚旁路 无遗漏代码	–	–	+2/–0.99	LSB
R_{IN}	输入电阻 [46]		–	180	–	kΩ

注释：
45. 基于器件特性 （未经过生产测试）。
46. 在模拟系统总电流 Idd < 5 mA 的情况下，该值取决于所使用的封装。如果模拟系统总电流更高，建议在差分模式中使用 SAR ADC。

图 11-34. SAR ADC DNL 与输出代码，旁路内部参考模式

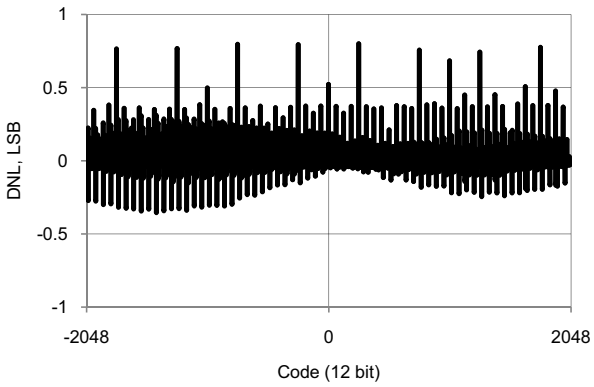


图 11-35. SAR ADC INL 与输出代码，旁路内部参考模式

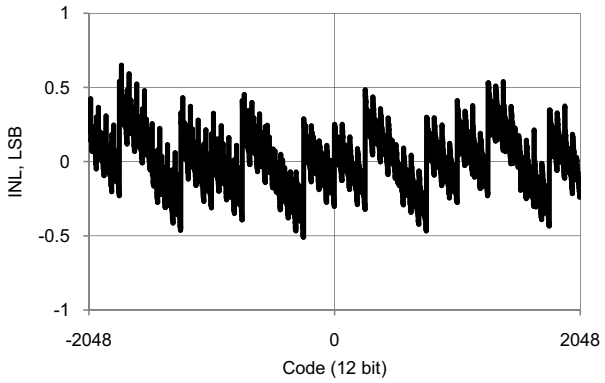


图 11-36. SAR ADC I_{DD} 与 sps， V_{DDA} = 5 V，连续采样模式，外部参考模式

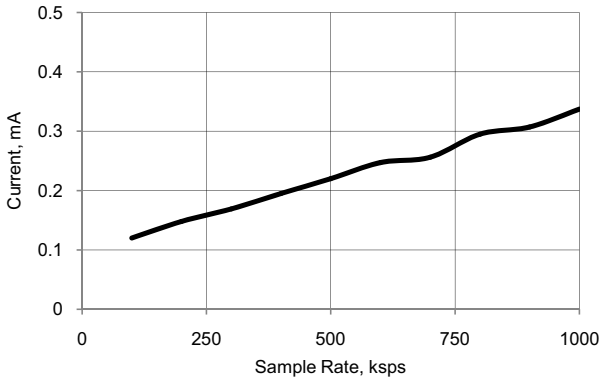


表 11-25. SAR ADC 交流规范 [47]

参数	描述	条件	最小值	典型值	最大值	单位
A_SAMP_1	使用外部参考旁路电容时的采样率		–	–	1	Msps
A_SAMP_2	不使用旁路电容时的采样率。参考电压 = V_{DD}		–	–	500	Ksps
A_SAMP_3	不使用旁路电容时的采样率。内部参考电压		–	–	100	Ksps
	启动时间		–	–	10	µs
SINAD	信噪比		68	–	–	dB
THD	总谐波失真		–	–	0.02	%

注释：
47. 基于器件特性（未经过生产测试）。

图 11-37. SAR ADC 噪声柱状图，速率为 100 ksps，无旁路的内部参考

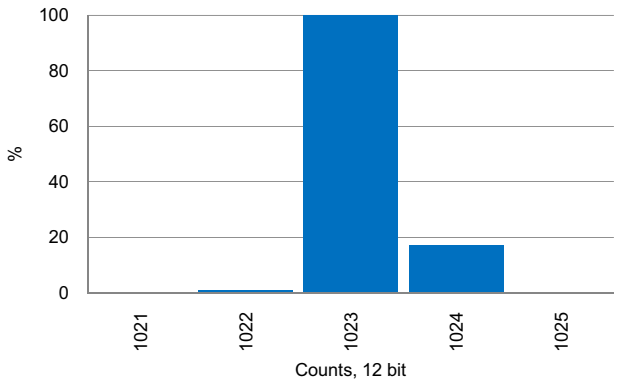


图 11-38. SAR ADC 噪声柱状图，速率为 1 msps，旁路内部参考

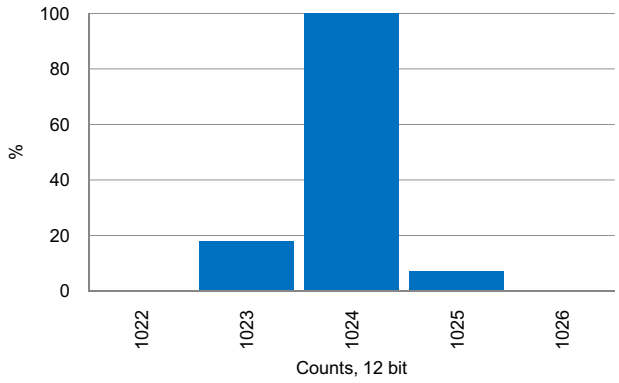
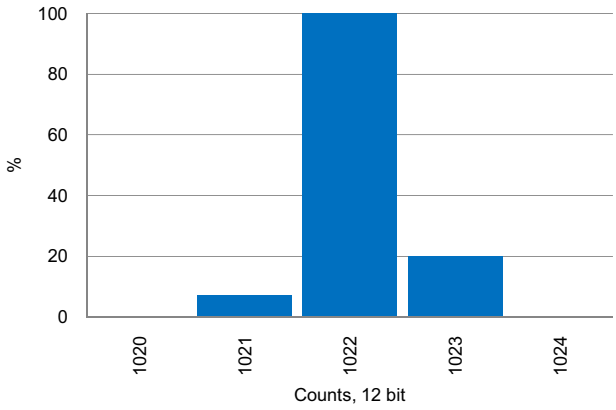


图 11-39. SAR ADC 噪声柱状图，速率为 1 msps，外部参考



11.5.4 模拟全局总线

表 11-26. 模拟全局直流规范

参数	描述	条件	最小值	典型值	最大值	单位
Rppag	P2[4]、AGL0、DSM INP、AGL1、P2[5][48, 49] 的引脚到引脚电阻	V_{DDA} = 3.0 V	–	1500	2200	Ω
		V_{DDA} = 1.71 V	–	1200	1700	Ω
Rppmuxbus	P2[3]、amuxbusL、P2[4][48、49] 间引脚到引脚的电阻	V_{DDA} = 3.0 V	–	700	1100	Ω
		V_{DDA} = 1.71 V	–	600	900	Ω

表 11-27. 模拟全局总线交流规范

参数	描述	条件	最小值	典型值	最大值	单位
	模拟走线工具的对间串扰 [50]		106	–	–	dB
BWag	模拟全局总线的 3 dB 带宽 [50]	V_{DDA} = 3.0 V， 25 °C	–	26	–	MHz

11.5.5 电压比较器

表 11-28. 比较器直流规范 [51]

参数	描述	条件	最小值	典型值	最大值	单位
V_{OS}	快速模式下的输入偏移电压	工厂校准， V_{DDA} > 2.7 V，Vin ≥ 0.5 V	–		10	mV
	慢速模式下的输入偏移电压	工作校准， V_{IN} ≥ 0.5 V	–		9	mV
V_{OS}	快速模式下的输入偏移电压 [48]	自定义校准	–	–	4	mV
	慢速模式下的输入偏移电压 [48]	自定义校准	–	–	4	mV
V_{OS}	超低功耗模式下的输入偏移电压		–	±12	–	mV
TCVos	温度系数，输入偏移电压	V_{CM} = V_{DDA} / 2，快速模式	–	63	85	µV/°C
		V_{CM} = V_{DDA} / 2，慢速模式	–	15	20	
V_{HYST}	迟滞	迟滞使能模式	–	10	32	mV
V_{ICM}	输入共模电压	高电流 / 快速模式	V_{SSA}	–	V_{DDA}	V
		低电流 / 慢速模式	V_{SSA}	–	V_{DDA}	V
		超低功耗模式	V_{SSA}	–	V_{DDA} – 1.15	V
CMRR	共模抑制比		–	50	–	dB
I_{CMP}	高电流模式 / 快速模式 [48]		–	–	400	µA
	低电流模式 / 慢速模式 [48]		–	–	100	µA
	超低功耗模式 [48]		–	6	–	µA

表 11-29. 比较器交流规范 [51]

参数	描述	条件	最小值	典型值	最大值	单位
T_{RESP}	高电流模式下的响应时间 [48]	过阈值为 50 mV，引脚到引脚测量	–	75	110	ns
	低电流模式下的响应时间 [48]	过阈值为 50 mV，引脚到引脚测量	–	155	200	ns
	超低功耗模式下的响应时间 [48]	过阈值为 50 mV，引脚到引脚测量	–	55	–	µs

注释：
48. 基于器件特性 （未经过生产测试）。
49. 如果 V_{DDA} ≤ 2.7 V，且芯片处于睡眠或休眠模式，则模拟全局总线和模拟复用器总线的电阻偏高。建议不要在这些情况下使用模拟全局总线和模拟复用器总线。
50. 引脚 P6[4] 连接到到 Delta-Sigma ADC 输入；该值通过计算得出，并不是测量得出。
51. 技术参考手册建议对片上比较器进行自定义校准。

11.5.6 电流数模转换器 （IDAC）

所有规范都基于低阻抗 IDAC 输出引脚的使用 （参考第 11 页上的引脚说明以了解详细信息）。有关完整的电气规范和 API，请参考 PSoC Creator 中的 IDAC 组件数据手册。

除非另有指定，否则所有图表中的值均为典型值。

表 11-30. IDAC 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
	分辨率		–	–	8	位
I_{OUT}	代码 = 255 时的输出电流	范围 = 2.04 mA，代码 = 255，$V_{DDA} \geq 2.7$ V， Rload = 600 Ω	–	2.04	–	mA
		范围 = 2.04 mA，高电流范围模式，代码 = 255， $V_{DDA} \leq 2.7$ V，Rload = 300 Ω	–	2.04	–	mA
		范围 = 255 µA，代码 = 255，Rload = 600 Ω	–	255	–	µA
		范围 = 31.875 µA，代码 = 255，Rload = 600 Ω	–	31.875	–	µA
	单调性		–	–	有	
Ezs	零量程误差		–	0	±1	LSB
Eg	增益误差	范围 = 2.04 mA	–	–	±2.5	%
		范围 = 255 µA	–	–	±2.5	%
		范围 = 31.875 µA	–	–	±3.5	%
TC_Eg	增益误差的温度系数	范围 = 2.04 mA	–	–	0.045	% / °C
		范围 = 255 µA	–	–	0.045	% / °C
		范围 = 31.875 µA	–	–	0.05	% / °C
INL	积分非线性	灌电流模式，范围 = 255 µA，代码：8–255， Rload = 2.4 kΩ，Cload = 15pF	–	±0.9	±1	LSB
		源电流模式，范围 = 255 µA，代码：8–255， Rload = 2.4 kΩ，Cload = 15 pF	–	±1.2	±1.6	LSB
		源电流模式，范围 = 31.875 µA，代码：8–255， Rload = 20 kΩ，Cload = 15 pF[52]	–	±0.9	±2	LSB
		灌电流模式，范围 = 31.875 µA，代码：8–255， Rload = 20 kΩ，Cload = 15 pF[52]	–	±0.9	±2	LSB
		源电流模式，范围 = 2.04 mA，代码：8–255， Rload = 600 Ω，Cload = 15 pF[52]	–	±0.9	±2	LSB
		灌电流模式，范围 = 2.04 mA，代码：8–255， Rload = 600 Ω，Cload = 15 pF[52]	–	±0.6	±1	LSB

注释：
52. 基于器件特性 （未经过生产测试）。

表 11-30. IDAC 直流规范 （续）

参数	描述	条件	最小值	典型值	最大值	单位
DNL	微分非线性	灌电流，范围 = 255 µA，Rload = 2.4 kΩ， Cload = 15 pF	–	±0.3	±1	LSB
		源电流模式，范围 = 255 µA，Rload = 2.4 kΩ， Cload = 15 pF	–	±0.3	±1	LSB
		源电流模式，范围 = 31.875 µA，Rload = 20 kΩ， Cload = 15 pF[53]	–	±0.2	±1	LSB
		灌电流模式，范围 = 31.875 µA，Rload = 20 kΩ， Cload = 15 pF[53]	–	±0.2	±1	LSB
		源电流模式，范围 = 2.0 4 mA，Rload = 600 Ω， Cload = 15 pF[53]	–	±0.2	±1	LSB
		灌电流模式，范围 = 2.0 4 mA，Rload = 600 Ω， Cload = 15 pF[53]	–	±0.2	±1	LSB
Vcompliance	压差电压、源电流或灌电流模式	电流最大、 Rload 与 V_{DDA} 或 Rload 与 V_{SSA} 相连接时的压差，V_{DIFF} 由 V_{DDA} 供电	1	–	–	V
I_{DD}	工作电流，代码 = 0	慢速模式，源电流模式，范围 = 31.875 µA	–	44	100	µA
		慢速模式，源电流模式，范围 = 255 µA	–	33	100	µA
		慢速模式，源电流模式，范围 = 2.04 mA	–	33	100	µA
		慢速模式，灌电流模式，范围 = 31.875 µA	–	36	100	µA
		慢速模式，灌电流模式，范围 = 255 µA	–	33	100	µA
		慢速模式，灌电流模式，范围 = 2.04 mA	–	33	100	µA
		快速模式，源电流模式，范围 = 31.875 µA	–	310	500	µA
		快速模式，源电流模式，范围 = 255 µA	–	305	500	µA
		快速模式，源电流模式，范围 = 2.04 mA	–	305	500	µA
		快速模式，灌电流模式，范围 = 31.875 µA	–	310	500	µA
		快速模式，灌电流模式，范围 = 255 µA	–	300	500	µA
		快速模式，灌电流模式，范围 = 2.04 mA	–	300	500	µA

注释：
53. 基于器件特性 （未经过生产测试）。

图 11-40. IDAC INL 与输入代码，范围 = 255 µA，源电流模式

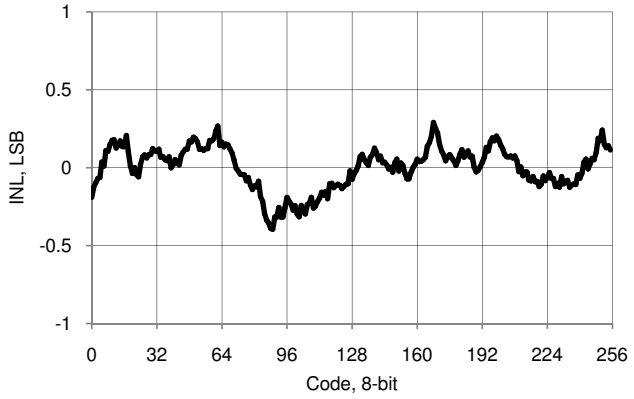


图 11-41. IDAC INL 与输入代码，范围 = 255 µA，灌电流模式

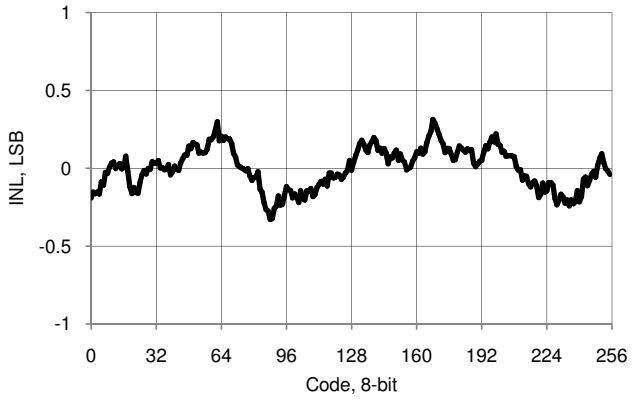


图 11-42. IDAC DNL 与输入代码，范围 = 255 µA，源电流模式

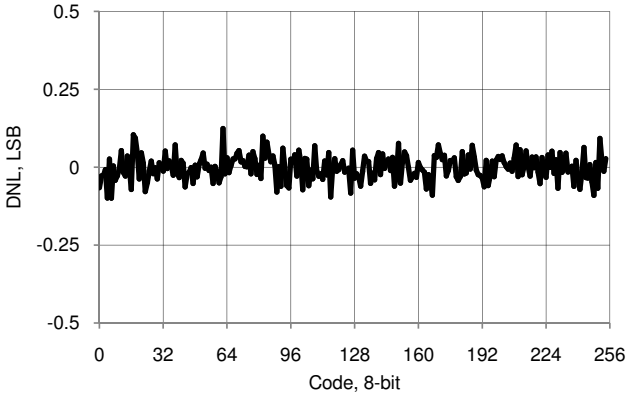


图 11-43. IDAC DNL 与输入代码，范围 = 255 µA，灌电流模式

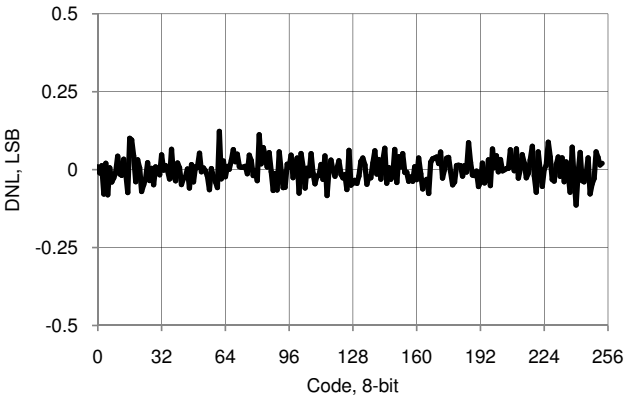


图 11-44. IDAC INL 与温度，范围 = 255 µA，快速模式

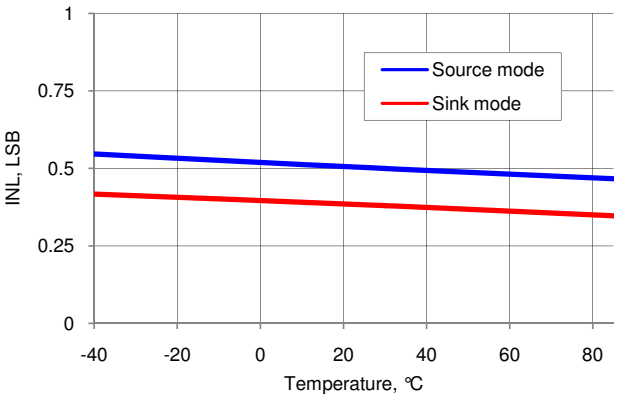


图 11-45. IDAC DNL 与温度，范围 = 255 µA，快速模式

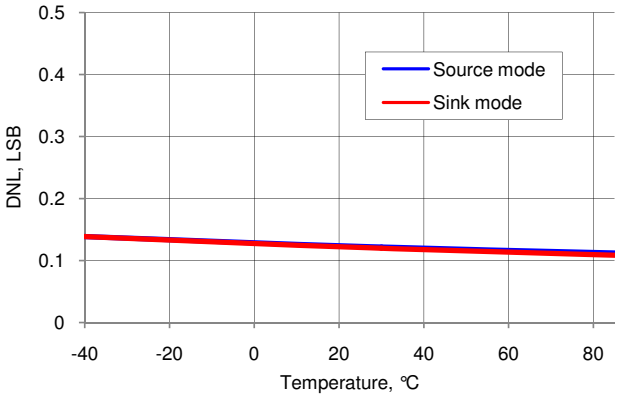


图 11-46. IDAC 全范围误差与温度，范围 = 255 µA，源电流模式

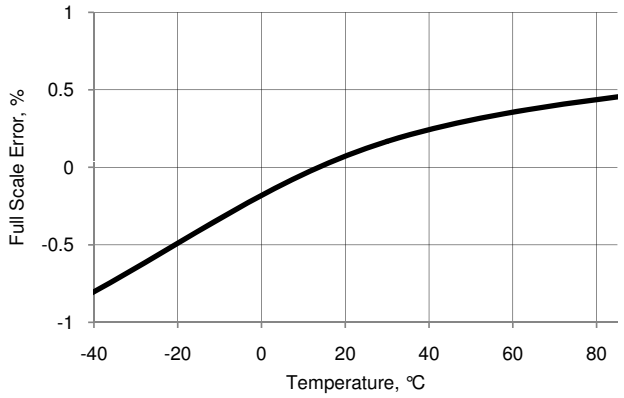


图 11-47. IDAC 全范围误差与温度，范围 = 255 µA，灌电流模式

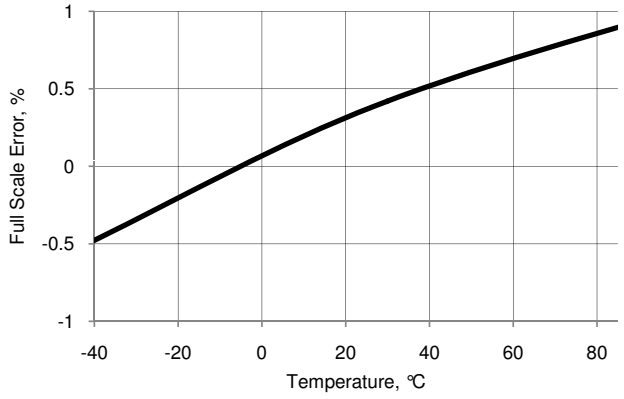


图 11-48. IDAC 工作电流与温度，范围 = 255 µA，代码 = 0，源电流模式

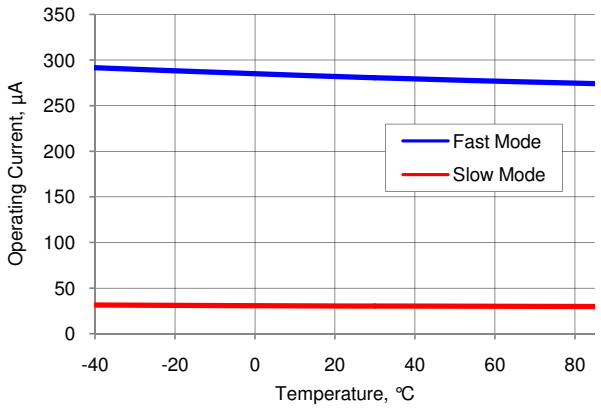


图 11-49. IDAC 工作电流与温度，范围 = 255 µA，代码 = 0，灌电流模式

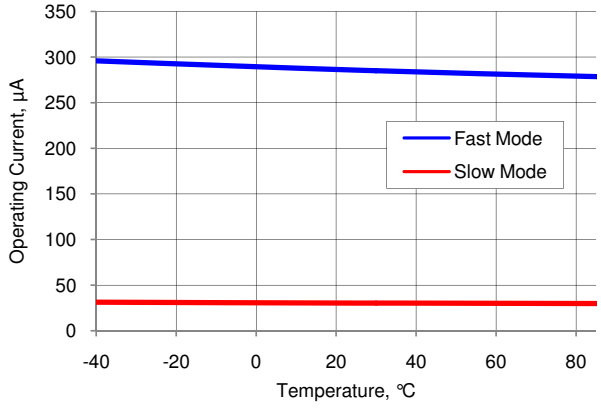


表 11-31. IDAC 交流规范 [54]

参数	描述	条件	最小值	典型值	最大值	单位
F_{DAC}	更新速率		–	–	8	Msps
T_{SETTLE}	达到标准差 （0.5 LSB）所需的建立时间	范围 = 31.875 µA，全量程跃变，快速模式， R(load) = 600 Ω，C(load) = 15 pF	–	–	125	ns
		范围 = 255 µA，全量程跃变，快速模式， R(load) = 600 Ω，C(load) =15 pF	–	–	125	ns
	电流噪声	范围 = 255 µA，源电流模式，快速模式， V_{DDA} = 5 V，频率 = 10 kHz	–	340	–	pA/sqrtHz

注释：
54. 基于器件特性 （未经过生产测试）。

图 11-50. IDAC 阶跃响应，代码 0x40 - 0xC0，255 µA 模式，源电流模式，快速模式， V_{DDA} = 5 V

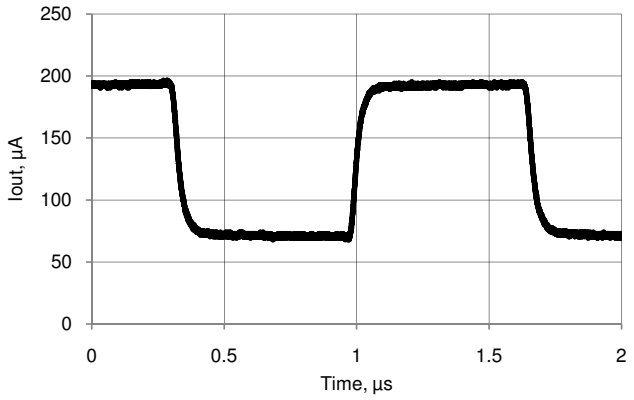


图 11-51. IDAC 短时脉冲响应，代码 0x7F - 0x80，255 µA 模式，源电流模式，快速模式， V_{DDA} = 5 V

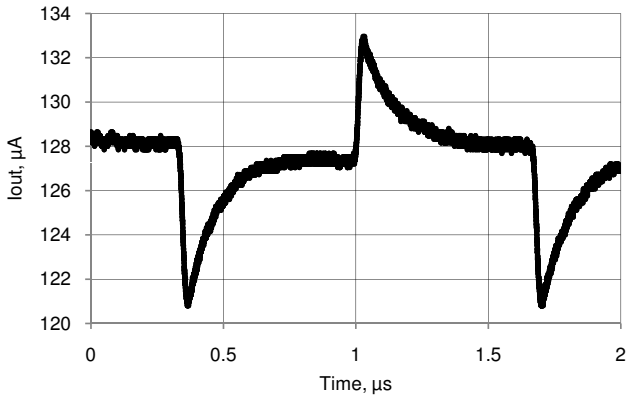


图 11-52. IDAC PSRR 与频率

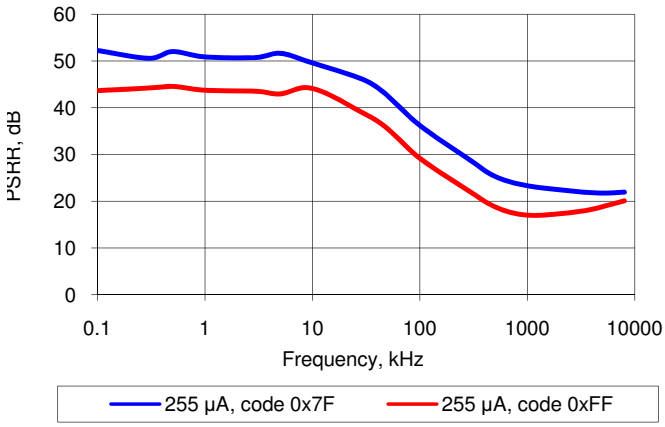
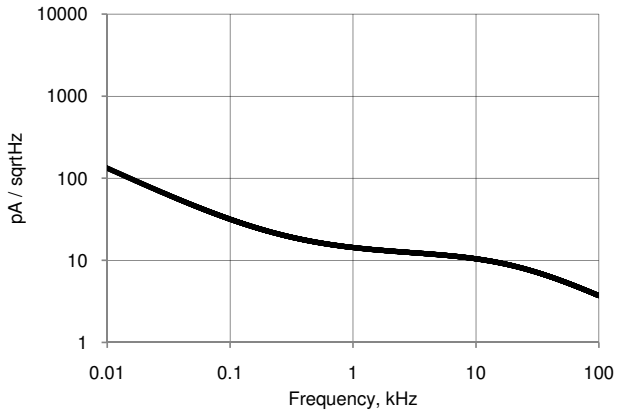


图 11-53. IDAC 电流噪声， 255 µA 模式，源电流模式，快速模式， V_{DDA} = 5 V



11.5.7 电压数模转换器 （VDAC）

有关完整的电气规范和 API，请参考 PSoC Creator 中的 VDAC 组件数据手册。

除非另有说明，否则所有图表中的值均为典型值。

表 11-32. VDAC 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
	分辨率		–	8	–	位
INL1	积分非线性	1 V 输出范围	–	±2.1	±2.5	LSB
INL4	积分非线性 [55]	4 V 输出范围	–	±2.1	±2.5	LSB
DNL1	微分非线性	1 V 输出范围	–	±0.3	±1	LSB
DNL4	微分非线性 [55]	4 V 输出范围	–	±0.3	±1	LSB
Rout	输出电阻	1 V 输出范围	–	4	–	kΩ
		4 V 输出范围	–	16	–	kΩ

注释：
55. 基于器件特性 （未经过生产测试）。

表 11-32. VDAC 直流规范 （续）

参数	描述	条件	最小值	典型值	最大值	单位
V_{OUT}	输出电压范围，代码 = 255	1 V 输出范围	–	1.02	–	V
		4 V 输出范围， V_{DDA} = 5 V	–	4.08	–	V
	单调性		–	–	支持	–
V_{OS}	零量程误差		–	0	±0.9	LSB
Eg	增益误差	1 V 输出范围	–	–	±2.5	%
		4 V 输出范围	–	–	±2.5	%
TC_Eg	温度系数，增益误差	1 V 输出范围	–	–	0.03	%FSR / °C
		4 V 输出范围	–	–	0.03	%FSR / °C
I_{DD}	工作电流 [56]	慢速模式	–	–	100	µA
		快速模式	–	–	500	µA

图 11-54. VDAC INL 与输入代码， 1 V 模式

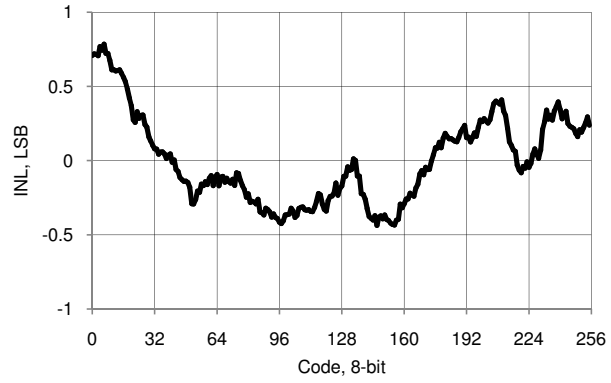


图 11-55. VDAC DNL 与输入代码， 1 V 模式

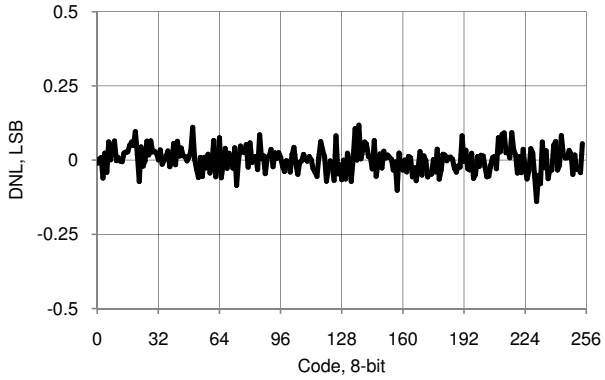


图 11-56. VDAC INL 与温度， 1 V 模式

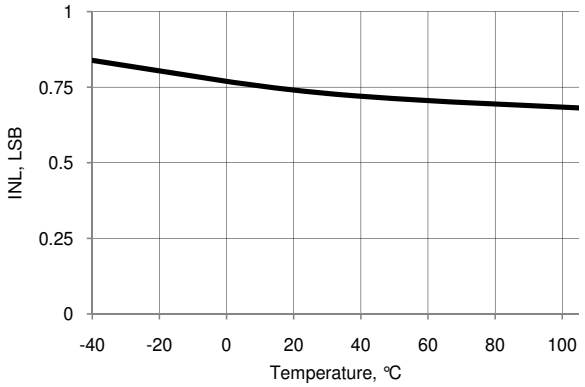
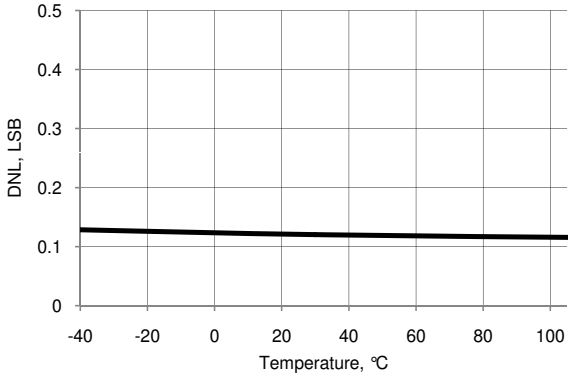


图 11-57. VDAC DNL 与温度， 1 V 模式



注释：
56. 基于器件特性 （未经过生产测试）。

图 11-58. VDAC 全范围误差与温度， 1 V 模式

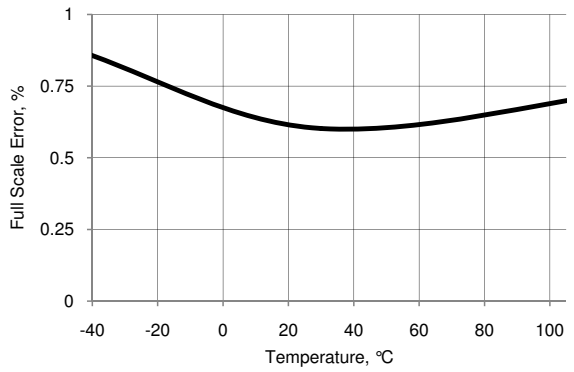


图 11-59. VDAC 全范围误差与温度， 4 V 模式

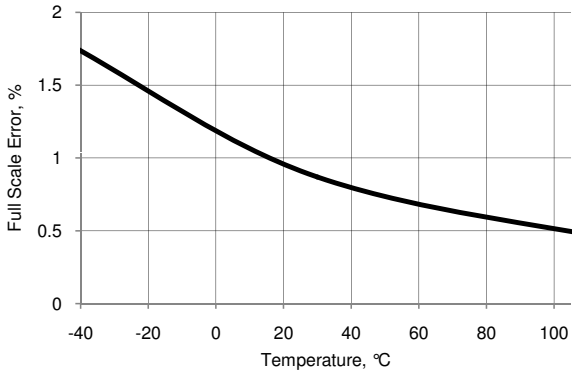


图 11-60. VDAC 工作电流与温度， 1 V 模式，低速模式

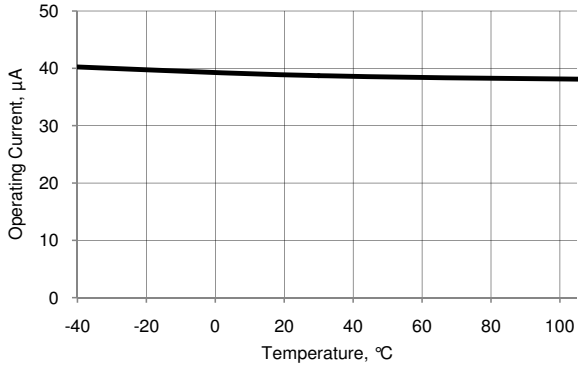


图 11-61. VDAC 工作电流与温度， 1 V 模式，快速模式

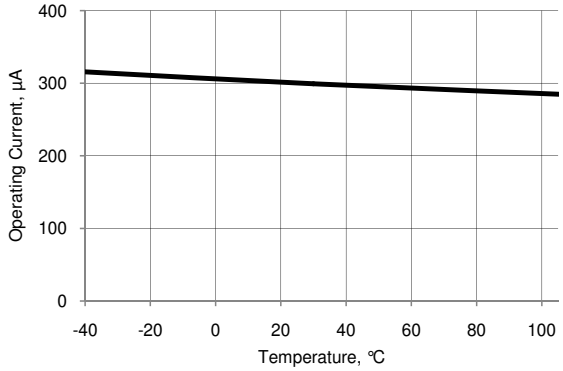


表 11-33. VDAC 交流规范 [57]

参数	描述	条件	最小值	典型值	最大值	单位
F_{DAC}	更新速率	1 V 输出范围	–	–	1000	ksps
		4 V 输出范围	–	–	250	ksps
TsettleP	输出电压的标准差达到 0.1% 所需的建立时间，步长为 25% 到 75%	1 V 输出范围， Cload = 15 pF	–	0.45	1	µs
		4 V 输出范围， Cload = 15 pF	–	0.8	3.2	µs
TsettleN	输出电压的标准差达到 0.1% 所需的建立时间，步长为 75% 到 25%	1 V 输出范围， Cload = 15 pF	–	0.45	1	µs
		4 V 输出范围， Cload = 15 pF	–	0.7	3	µs
	电压噪声	范围 = 1 V，快速模式，V_{DDA} = 5 V，频率 = 10 kHz	–	750	–	nV/sqrtHz

注释：
57. 基于器件特性 （未经过生产测试）。

图 11-62. VDAC 阶跃响应，代码 0x40 - 0xC0， 1 V 模式，快速模式， V_{DDA} = 5 V

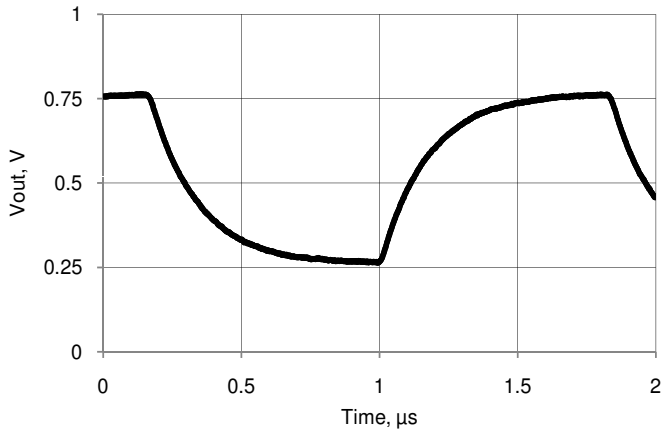


图 11-63. VDAC 短时脉冲响应，代码 0x7F - 0x80， 1 V 模式，快速模式， V_{DDA} = 5 V

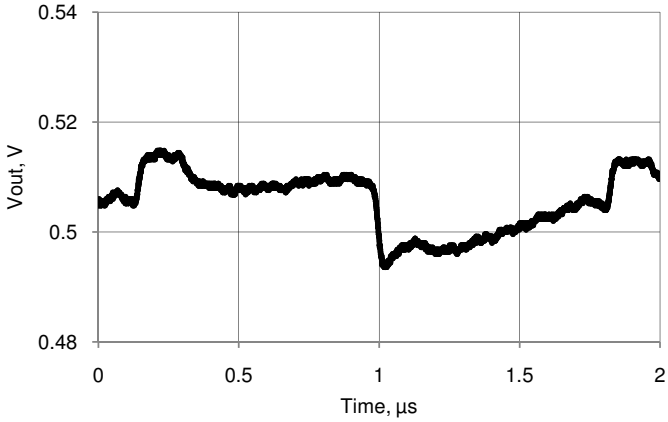


图 11-64. VDAC PSRR 与频率

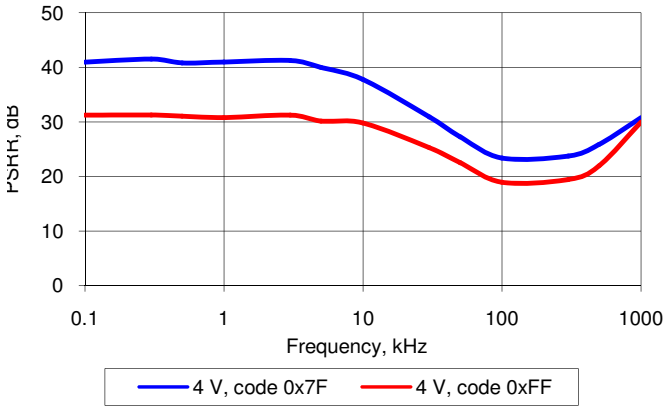
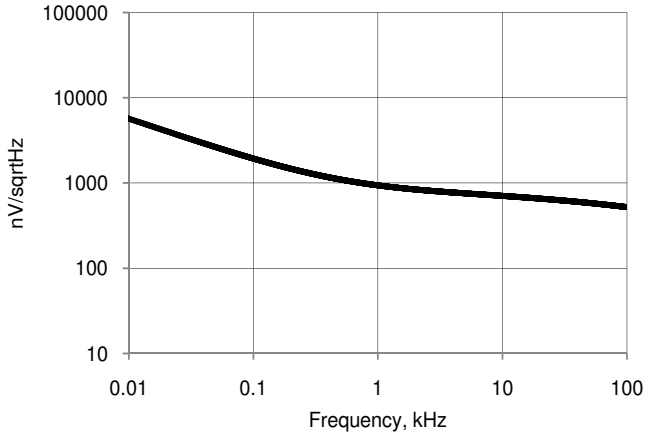


图 11-65. VDAC 电压噪声， 1 V 模式，快速模式， V_{DDA} = 5 V



11.5.8 混频器

混频器是由 SC/CT 模拟模块创建的。有关完整的电气规范和 API，请参考 PSoC Creator 中的混频器组件数据手册。

表 11-34. 混频器直流规范

参数	描述	条件	最小值	典型值	最大值	单位
V_{OS}	输入偏移电压	高功耗模式， V_{IN} = 1.024 V，V_{REF} = 1.024 V	–	–	15	mV
	静态电流		–	0.9	2	mA
G	增益		–	0	–	dB

表 11-35. 混频器交流规范 [58]

参数	描述	条件	最小值	典型值	最大值	单位
f_{LO}	局部振荡器频率	下变频混频器模式	–	–	4	MHz
f_{in}	输入信号频率	下变频混频器模式	–	–	14	MHz
f_{LO}	局部振荡器频率	上变频混频器模式	–	–	1	MHz
f_{in}	输入信号频率	上变频混频器模式	–	–	1	MHz
SR	转换速率		3	–	–	V/µs

11.5.9 互阻放大器

TIA 是由 SC/CT 模拟模块创建的。有关完整的电气规范和 API，请参考 PSoC Creator 中的 TIA 组件数据手册。

表 11-36. 互阻放大器 （TIA）直流规范

参数	描述	条件	最小值	典型值	最大值	单位
V_{IOFF}	输入偏移电压		–	–	10	mV
Rconv	转换电阻 [59]					
	R = 20K	40 pF 负载	–25	–	+35	%
	R = 30K	40 pF 负载	–25	–	+35	%
	R = 40K	40 pF 负载	–25	–	+35	%
	R = 80K	40 pF 负载	–25	–	+35	%
	R = 120K	40 pF 负载	–25	–	+35	%
	R = 250K	40 pF 负载	–25	–	+35	%
	R= 500K	40 pF 负载	–25	–	+35	%
	R = 1M	40 pF 负载	–25	–	+35	%
	静态电流 [58]		–	1.1	2	mA

表 11-37. 互阻放大器 （TIA）交流规范 [58]

参数	描述	条件	最小值	典型值	最大值	单位
BW	输入带宽 （–3 dB）	R = 20K； –40 pF 负载	1200	–	–	kHz
		R = 120K； –40 pF 负载	240	–	–	kHz
		R = 1M； –40 pF 负载	25	–	–	kHz

注释：
58. 基于器件特性 （未经过生产测试）。
59. 转换电阻值未经过校准。有关校准值以及校准操作的详细信息，请参见 PSoC Creator 组件数据手册。也可以使用外部高精度电阻。

11.5.10 可编程增益放大器

PGA 是由 SC/CT 模拟模块创建的。有关完整的电气规范和 API，请参考 PSoC Creator 中的 PGA 组件数据手册。

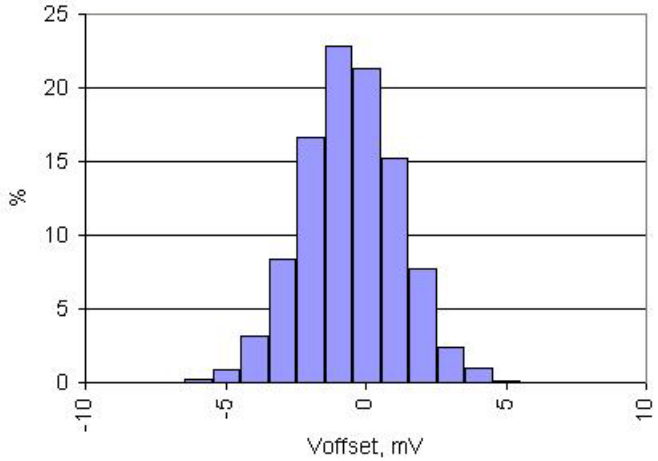
除非另有说明，否则运行条件均为：

- 工作温度 = 25 °C （典型值）
- 除非另有说明，否则所有图表中的值均为典型值

表 11-38. PGA 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
Vin	输入电压范围	功耗模式 = 最低	Vssa	–	V_{DDA}	V
Vos	输入偏移电压	功耗模式 = 高，增益 = 1	–	–	10	mV
TCVos	输入偏移电压随温度变化发生漂移	功耗模式 = 高，增益 = 1	–	–	±30	µV/°C
Ge1	增益误差，增益 = 1		–	–	±0.15	%
Ge16	增益误差，增益 = 16		–	–	±2.5	%
Ge50	增益误差，增益 = 50		–	–	±5	%
Vonl	直流输出非线性	增益 = 1	–	–	±0.01	FSR 的 %
Cin	输入电容		–	–	7	pF
Voh	输出电压摆幅	功耗模式 = 高，增益 = 1，将大小为 100 kΩ 的 Rload 连接到 V_{DDA} / 2 上	V_{DDA} – 0.15	–	–	V
Vol	输出电压摆幅	功耗模式 = 高，增益 = 1，将大小为 100 kΩ 的 Rload 连接到 V_{DDA} / 2 上	–	–	V_{SSA} + 0.15	V
Vsrc	带负载的输出电压	Iload = 250 µA，$V_{DDA} \geq 2.7$ V，功耗模式 = 高	–	–	300	mV
IDD	工作电流 [60]	功耗模式 = 高	–	1.5	1.65	mA
PSRR	电源抑制比		48	–	–	dB

图 11-66. PGA 偏移柱状图， 4096 个采样 /1024 个器件



注释：
60. 基于器件特性 （未经过生产测试）。

表 11-39. PGA 交流规范 [61]

参数	描述	条件	最小值	典型值	最大值	单位
BW1	–3 dB 带宽	功耗模式 = 高， 增益 = 1，峰 - 峰值的输入电压 = 100 mV	6.7	8	–	MHz
SR1	转换速率	功耗模式 = 高， 增益 = 1， 20% 至 80%	3	–	–	V/µs
e_n	输入噪声密度	功耗模式 = 高， V_{DDA} = 5 V，频率为 100 kHz	–	43	–	nV/sqrtHz

图 11-67. 不同增益设置下的带宽与温度；功耗模式 = 高

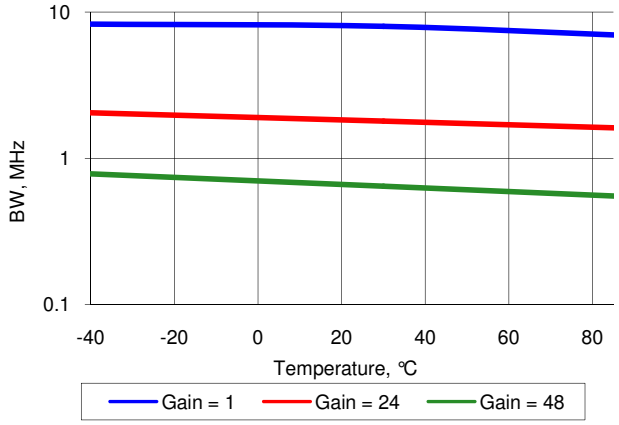
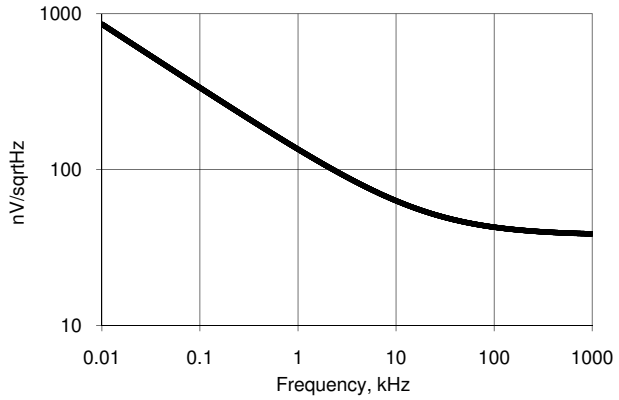


图 11-68. 噪声与频率， Vdda = 5 V，功耗模式 = 高



11.5.11 温度传感器

表 11-40. 温度传感器规范

参数	描述	条件	最小值	典型值	最大值	单位
	温度传感器精度	范围：–40 °C 至 +85 °C	–	±5	–	°C

11.5.12 LCD 直接驱动器

表 11-41. LCD 直接驱动器直流规范 61

参数	描述	条件	最小值	典型值	最大值	单位
I_{CC}	LCD 模块 （无玻璃显示屏）	器件以400 Hz的频率从睡眠模式唤醒，以刷新 LCD，总线时钟 = 3 MHz，Vddio = Vdda = 3 V， 8 个 common，16 个 segment， 1/5 占空比，40 Hz 帧率，无连接玻璃显示屏	–	81	–	mA
I_{CC_SEG}	每个 segment 驱动器的电流	强驱动模式	–	260	–	µA
V_{BIAS}	LCD 偏压范围 （V_{BIAS} 指的是 LCD DAC 的主要输出电压 （V0））	$V_{DDA} \geq 3$ V 和 $V_{DDA} \geq V_{BIAS}$	2	–	5	V
	LCD 偏压步长大小	$V_{DDA} \geq 3$ V 和 $V_{DDA} \geq V_{BIAS}$	–	9.1 × V_{DDA}	–	mV
	每个segment/common驱动器的LCD电容	驱动器可以组合使用	–	500	5000	pF
	最大 segment 直流偏移	Vdda ≥ 3 V 和 Vdda ≥ Vbias	–	–	20	mV
I_{OUT}	每个 segment 驱动器的输出驱动电流	V_{DDIO} = 5.5 V，强驱动模式	355	–	710	µA

表 11-42. LCD 直接驱动器交流规范 [61]

参数	描述	条件	最小值	典型值	最大值	单位
f_{LCD}	LCD 帧率		10	50	150	Hz

注释：
61. 基于器件特性 （未经过生产测试）。

11.6 数字外设

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C 和 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。

11.6.1 定时器

下列规范适用于采用定时器模式的定时器 / 计数器 /PWM 外设。可以通过 UDB 实现定时器。有关更多信息，请参考 PSoC Creator 中的定时器组件数据手册。

表 11-43. 定时器直流规范 [62]

参数	描述	条件	最小值	典型值	最大值	单位
	模块的电流消耗	16 位定时器，在所列的输入时钟频率下	–	–	–	µA
	3 MHz		–	15	–	µA
	12 MHz		–	60	–	µA
	48 MHz		–	260	–	µA
	80 MHz		–	360	–	µA

表 11-44. 定时器交流规范 [62]

参数	描述	条件	最小值	典型值	最大值	单位
	工作频率		DC	–	80.01	MHz
	捕获脉冲宽度 （内部） [63]		15	–	–	ns
	捕获脉冲宽度 （外部时钟）		30	–	–	ns
	定时器分辨率 [63]		15	–	–	ns
	使能脉冲宽度 [63]		15	–	–	ns
	使能脉冲宽度 （外部时钟）		30	–	–	ns
	复位脉冲宽度 [63]		15	–	–	ns
	复位脉冲宽度 （外部时钟）		30	–	–	ns

11.6.2 计数器

下列规范适用于采用计数器模式的定时器 / 计数器 /PWM 外设。可以通过 UDB 实现计数器。有关更多信息，请参考 PSoC Creator 中的计数器组件数据手册。

表 11-45. 计数器直流规范 [62]

参数	描述	条件	最小值	典型值	最大值	单位
	模块的电流消耗	16 位计数器，在所列的输入时钟频率下	–	–	–	µA
	3 MHz		–	15	–	µA
	12 MHz		–	60	–	µA
	48 MHz		–	260	–	µA
	80 MHz		–	360	–	µA

注释：
62. 基于器件特性 （未经过生产测试）。
63. 为了确保正常操作，定时器 / 计数器 /PWM 输入的最小脉冲宽度必须等于总线时钟的周期。

表 11-46. 计数器交流规范 [64]

参数	描述	条件	最小值	典型值	最大值	单位
	工作频率		DC	–	80.01	MHz
	捕获脉冲 [65]		15	–	–	ns
	分辨率 [65]		15	–	–	ns
	脉冲宽度 [65]		15	–	–	ns
	脉冲宽度 （外部时钟）		30	–	–	ns
	使能脉冲宽度 [65]		15	–	–	ns
	使能脉冲宽度 （外部时钟）		30	–	–	ns
	复位脉冲宽度 [65]		15	–	–	ns
	复位脉冲宽度 （外部时钟）		30	–	–	ns

11.6.3 脉冲宽度调制

下列规范适用于采用 PWM 模式的定时器 / 计数器 /PWM 外设。可以通过 UDB 实现 PWM 组件。更多有关信息，请参考 PSoC Creator 中的 PWM 组件数据手册。

表 11-47. PWM 直流规范 [64]

参数	说明	条件	最小值	典型值	最大值	单位
	模块的电流消耗	16 位 PWM，在所列的输入时钟频率下	–	–	–	µA
	3 MHz		–	15	–	µA
	12 MHz		–	60	–	µA
	48 MHz		–	260	–	µA
	80 MHz		–	360	–	µA

表 11-48. PWM 交流规范 [64]

参数	描述	条件	最小值	典型值	最大值	单位
	工作频率		DC	–	80.01	MHz
	脉冲宽度 [65]		15	–	–	ns
	脉冲宽度 （外部时钟）		30	–	–	ns
	停止信号 （kill）脉冲宽度 [65]		15	–	–	ns
	停止（kill）信号脉冲宽度（外部时钟）		30	–	–	ns
	使能脉冲宽度 [65]		15	–	–	ns
	使能脉冲宽度 （外部时钟）		30	–	–	ns
	复位脉冲宽度 [65]		15	–	–	ns
	复位脉冲宽度 （外部时钟）		30	–	–	ns

注释：
64. 基于器件特性 （未经过生产测试）。
65. 为了确保正常操作，定时器 / 计数器 /PWM 输入的最小脉冲宽度要等于总线时钟周期。

11.6.4 I²C

表 11-49. 固定 I²C 直流规范 [66]

参数	描述	条件	最小值	典型值	最大值	单位
	模块的电流消耗	已使能，针对 100 kbps 进行配置	–	–	250	µA
		已使能，针对 400 kbps 进行配置	–	–	260	µA

表 11-50. 固定 I²C 交流规范

参数	描述	条件	最小值	典型值	最大值	单位
	比特率		–	–	1	Mbps

11.6.5 USB

表 11-51. USB 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
V_{USB_5}	USB 操作的器件供电电压 （V_{DDD}）	配置好 USB，使能了 USB 电压调节器	4.35	–	5.25	V
$V_{USB_3.3}$		配置了 USB 并旁路了 USB 电压调节器	3.15	–	3.6	V
V_{USB_3}		配置了USB，并旁路USB电压调节器[67]	2.85	–	3.6	V
$I_{USB_Configured}$	活动模式下的供电电流，总线时钟和 IMO 频率 = 24 MHz	V_{DDD} = 5 V， F_{CPU} = 1.5 MHz	–	10	–	mA
		V_{DDD} = 3.3 V， F_{CPU} = 1.5 MHz	–	8	–	mA
$I_{USB_Suspended}$	在睡眠模式下的器件供电电流	V_{DDD} = 5 V，连接到 USB 主机， PICU 配置为在有 USB 恢复信号时唤醒	–	0.5	–	mA
		V_{DDD} = 5 V，断开与 USB 主机的连接	–	0.3	–	mA
		V_{DDD} = 3.3 V，连接到 USB 主机，PICU 配置为在有 USB 恢复信号时唤醒	–	0.5	–	mA
		V_{DDD} = 3.3 V，断开与 USB 主机的连接	–	0.3	–	mA

注释：
66. 基于器件特性 （未经过生产测试）。
67. 不保证上升 / 下降时间匹配 （TR），请参见第 80 页上的表 11-15。

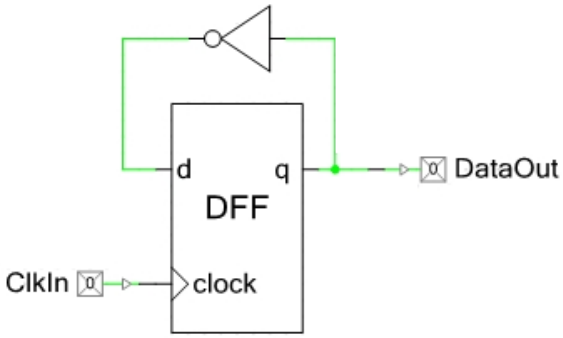
11.6.6 通用数字模块 （UDB）

PSoC Creator 提供了一个映射至 UDB 阵列，并经过预建和测试标准的数字外设库 （如 UART、 SPI、 LIN、 PRS、 CRC、定时器、计数器、 PWM、 AND、 OR 等等）。有关完整的交流 / 直流规范、 API 和示例代码，请参考 PSoC Creator 中的组件数据手册。

表 11-52. UDB 交流规范 [68]

参数	描述	条件	最小值	典型值	最大值	单位
数据路径性能						
F_{MAX_TIMER}	在 UDB 对中 16 位定时器的最高频率		–	–	67.01	MHz
F_{MAX_ADDER}	在 UDB 对中 16 位加法器的最高频率		–	–	67.01	MHz
F_{MAX_CRC}	在 UDB 对中 16 位 CRC/PRS 的最高频率		–	–	67.01	MHz
PLD 性能						
F_{MAX_PLD}	在 UDB 对中双通 PLD 功能的最高频率		–	–	67.01	MHz
时钟输入到数据输出的性能						
t_{CLK_OUT}	从时钟输入到数据输出的传输延迟，请参见图 11-69。	25 °C，$V_{DDD} \geq 2.7$ V	–	20	25	ns
t_{CLK_OUT}	从时钟输入到数据输出的传输延迟，请参见图 11-69。	最差情况下的放置、路由和引脚选择	–	–	55	ns

图 11-69. 时钟输入到数据输出方面的性能



注释：
68. 基于器件特性 （未经过生产测试）。

11.7 存储器

除非另有说明，否则规范的适用温度是–40 °C ≤ T_A ≤ 85 °C 和 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。

11.7.1 闪存

表 11-53. 闪存直流规范

参数	描述	条件	最小值	典型值	最大值	单位
	擦除和编程电压	V_{DDD} 引脚	1.71	–	5.5	V

表 11-54. 闪存交流规范

参数	描述	条件	最小值	典型值	最大值	单位
T_{WRITE}	行编写时间 （擦除 + 编程）		–	15	20	ms
T_{ERASE}	行擦除时间		–	10	13	ms
	行编程时间		–	5	7	ms
T_{BULK}	批量擦除时间 （256 KB）		–	–	140	ms
	扇区擦除时间 （16 KB）		–	–	15	ms
T_{PROG}	器件总编程时间	无开销 [69]	–	5	7.5	秒
	从最后一个擦除周期算起所经历的闪存数据保持时间	平均环境温度。T_A ≤ 55 °C，10 万个擦除 / 编程周期	20	–	–	年
		平均环境温度。T_A ≤ 85 °C，一万个擦除 / 编程周期	10	–	–	

11.7.2 EEPROM

表 11-55. EEPROM 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
	擦除和编程电压		1.71	–	5.5	V

表 11-56. EEPROM 交流规范

参数	描述	条件	最小值	典型值	最大值	单位
T_{WRITE}	单行擦除 / 写入周期时间		–	10	20	ms
	从最后一个擦除周期算起的EEPROM数据保持时间	平均环境温度， T_A ≤ 25 °C，100 万个擦除 / 编程周期	20	–	–	年
		平均环境温度， T_A ≤ 55 °C，10 万个擦除 / 编程周期	20	–	–	
		平均环境温度。 T_A ≤ 85 °C，一万个擦除 / 编程周期	10	–	–	

注释：
69. 有关编程 PSoC 5 闪存低开销方法的更多信息，请参见 PSoC 5 器件编程规范。

11.7.3 非易失性锁存器（NVL）

表 11-57. NVL 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
	擦除和编程电压	V_{DDD} 引脚	1.71	–	5.5	V

表 11-58. NVL 交流规范

参数	描述	条件	最小值	典型值	最大值	单位
	NVL 耐久性	在 25 °C 下编程	1 K	–	–	编程 / 擦除周期次数
		在温度为 0 °C 到 70 °C 条件下编程	100	–	–	编程 / 擦除次数
	NVL 数据保持时间	平均环境温度。 $T_A \le 55$ °C	20	–	–	年
		平均环境温度。 $T_A \le 85$ °C	10	–	–	年

11.7.4 SRAM

表 11-59. SRAM 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
V_{SRAM}	SRAM 保持电压 [70]		1.2	–	–	V

表 11-60. SRAM 交流规范

参数	描述	条件	最小值	典型值	最大值	单位
F_{SRAM}	SRAM 工作频率		直流	–	80.01	MHz

注释：
70. 基于器件特性（未经过生产测试）。

11.7.5 外部存储器接口

图 11-70. 异步写和读周期时序，无等待状态

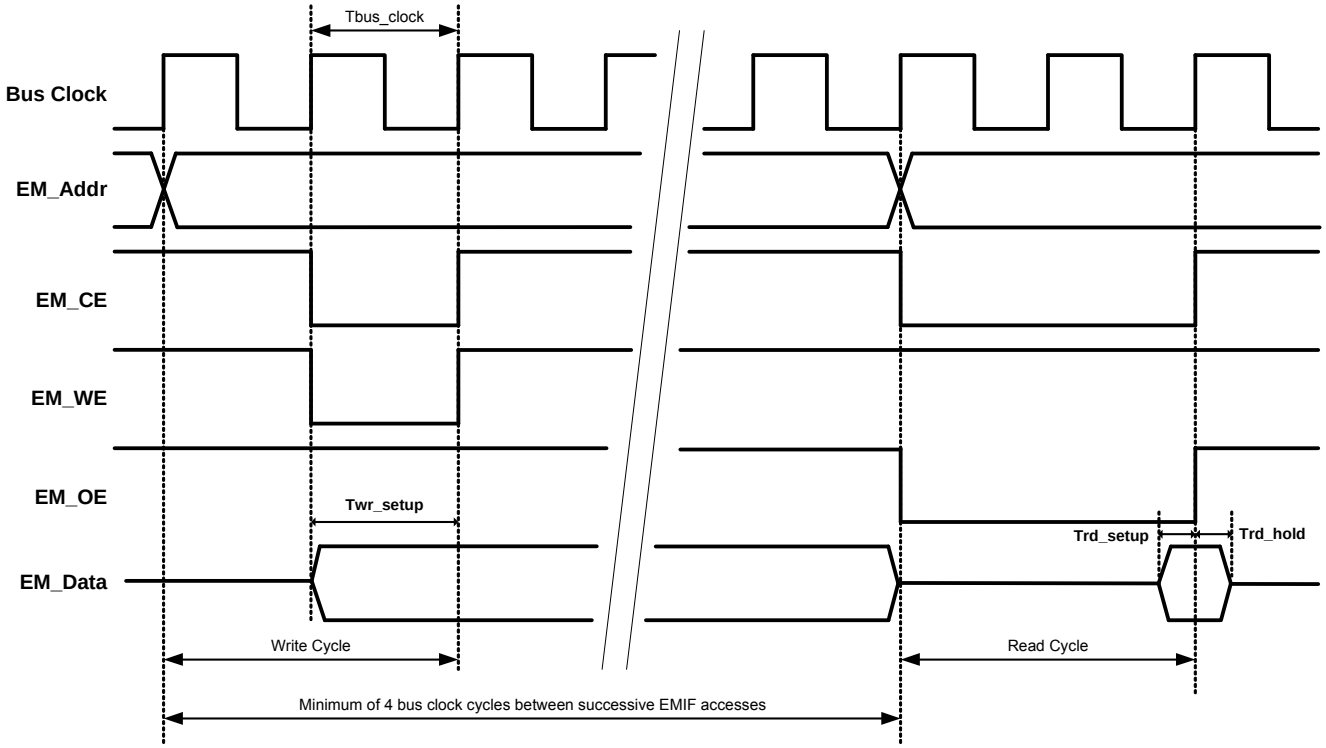


表 11-61. 异步写入和读取时序规范 [71]

参数	描述	条件	最小值	典型值	最大值	单位
Fbus_clock	总线时钟频率 [72]		–	–	33	MHz
Tbus_clock	总线时钟周期 [73]		30.3	–	–	ns
Twr_Setup	从 EM_data 有效到 EM_WE 和 EM_CE 的上升沿到来的时间		Tbus_clock – 10	–	–	ns
Trd_setup	在 EM_OE 的上升沿到来前，EM_data 必须保持有效的时间		5	–	–	ns
Trd_hold	在 EM_OE 的上升沿到来后，EM_data 必须保持有效的时间		5	–	–	ns

注释：
71. 基于器件特性 （未经过生产测试）。
72. EMIF 信号时序受 GPIO 频率的限制。请参见第 73 页上的 “GPIO” 一节。
73. EMIF 输出信号通常与总线时钟同步，因此 EMIF 信号时序取决于总线时钟频率。

图 11-71. 同步写和读周期时序，无等待状态

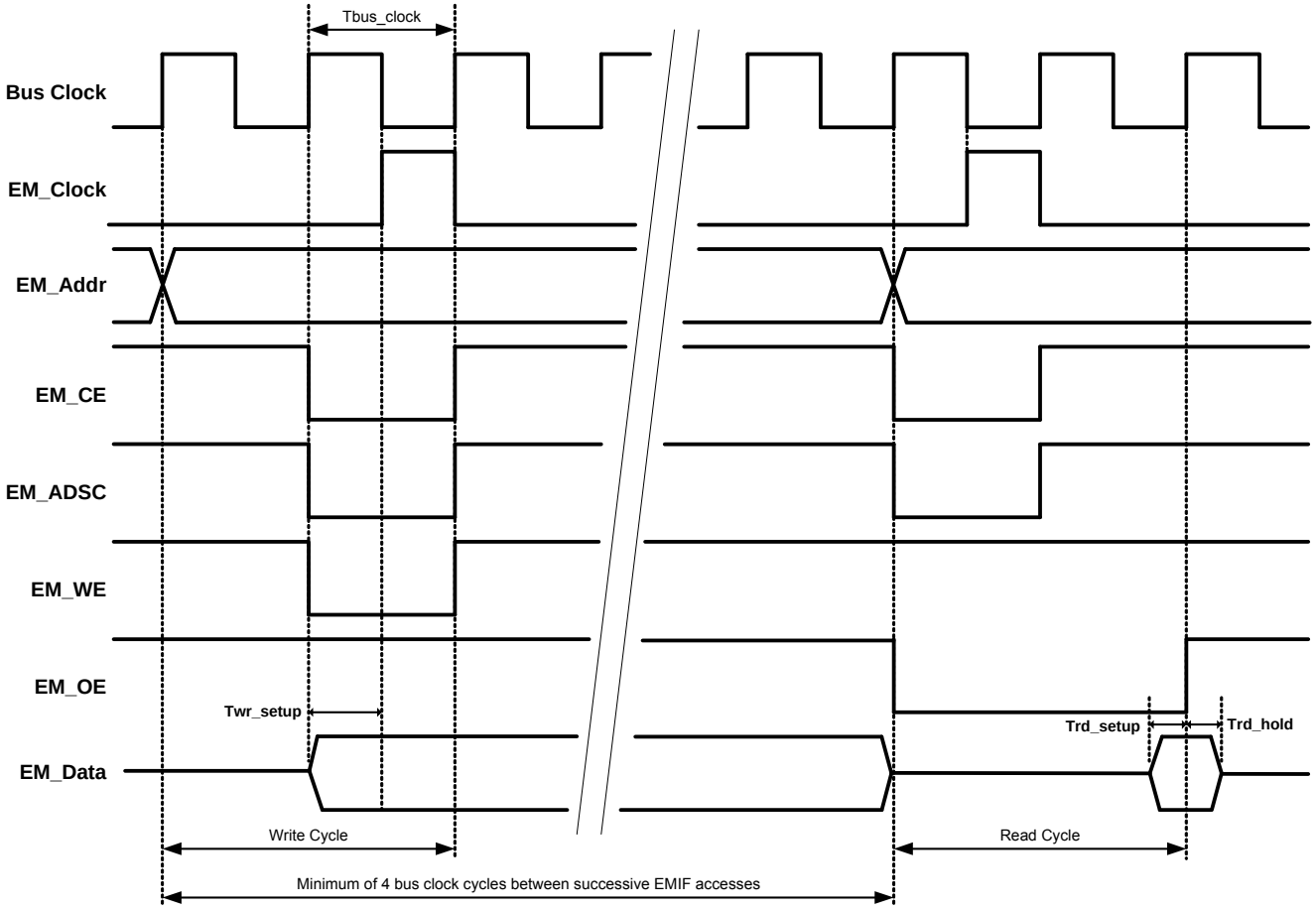


表 11-62. 同步写入和读取时序规范 [74]

参数	描述	条件	最小值	典型值	最大值	单位
Fbus_clock	总线时钟频率 [75]		–	–	33	MHz
Tbus_clock	总线时钟周期 [76]		30.3	–	–	ns
Twr_Setup	从 EM_data 有效到 EM_Clock 的上升沿到来的时间		Tbus_clock – 10	–	–	ns
Trd_setup	在 EM_OE 的上升沿到来前，EM_data 必须保持有效状态的时间		5	–	–	ns
Trd_hold	在 EM_OE 的上升沿到来后，EM_data 必须保持有效状态的时间		5	–	–	ns

注释：
74. 基于器件特性 （未经过生产测试）。
75. EMIF 信号时序受 GPIO 频率的限制。请参见第 73 页上的 “GPIO” 一节。
76. EMIF 输出信号通常与总线时钟同步，因此 EMIF 信号时序取决于总线时钟频率。

11.8 PSoC 系统资源

除非另有说明，否则规范的适用温度是–40 °C ≤ T_A ≤ 85 °C 和 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。

11.8.1 带掉电的 POR

要在稳压模式下进行欠压检测， V_{DDD} 和 V_{DDA} 必须 ≥ 2.0 V。在外部稳压模式下，不能进行欠压检测。

表 11-63. 带掉电检测特性的精确低压复位 （PRES）电路直流规范

参数	描述	条件	最小值	典型值	最大值	单位
PRESR	上升触发电压	出厂预设值	1.64	–	1.68	V
PRESF	下降触发电压		1.62	–	1.66	V

表 11-64. 带掉电检测特性的上电复位 （POR）电路交流规范 [77]

参数	描述	条件	最小值	典型值	最大值	单位
PRES_TR[78]	响应时间		–	–	0.5	µs
	V_{DDD}/V_{DDA} 下降率	睡眠模式	–	5	–	V/sec

11.8.2 电压监控器

表 11-65. 电压监控器直流规范

参数	描述	条件	最小值	典型值	最大值	单位
LVI	触发电压		–	–	–	
	LVI_A/D_SEL[3:0] = 0000b		1.68	1.73	1.77	V
	LVI_A/D_SEL[3:0] = 0001b		1.89	1.95	2.01	V
	LVI_A/D_SEL[3:0] = 0010b		2.14	2.20	2.27	V
	LVI_A/D_SEL[3:0] = 0011b		2.38	2.45	2.53	V
	LVI_A/D_SEL[3:0] = 0100b		2.62	2.71	2.79	V
	LVI_A/D_SEL[3:0] = 0101b		2.87	2.95	3.04	V
	LVI_A/D_SEL[3:0] = 0110b		3.11	3.21	3.31	V
	LVI_A/D_SEL[3:0] = 0111b		3.35	3.46	3.56	V
	LVI_A/D_SEL[3:0] = 1000b		3.59	3.70	3.81	V
	LVI_A/D_SEL[3:0] = 1001b		3.84	3.95	4.07	V
	LVI_A/D_SEL[3:0] = 1010b		4.08	4.20	4.33	V
	LVI_A/D_SEL[3:0] = 1011b		4.32	4.45	4.59	V
	LVI_A/D_SEL[3:0] = 1100b		4.56	4.70	4.84	V
	LVI_A/D_SEL[3:0] = 1101b		4.83	4.98	5.13	V
	LVI_A/D_SEL[3:0] = 1110b		5.05	5.21	5.37	V
	LVI_A/D_SEL[3:0] = 1111b		5.30	5.47	5.63	V
HVI	触发电压		5.57	5.75	5.92	V

表 11-66. 电压监控器交流规范

参数	描述	条件	最小值	典型值	最大值	单位
LVI_tr[78]	响应时间		–	–	1	µs

注释：
77. 基于器件特性 （未经过生产测试）。
78. 该值是计算得出的，非测量得出。

11.8.3 中断控制器

表 11-67. 中断控制器交流规范

参数	描述	条件	最小值	典型值	最大值	单位
	从中断信号输入到执行 main 函数代码行的 ISR 代码的延迟 [79]		–	–	12	Tcy CPU
	从中断信号输入到执行 ISR 代码（尾链）的延迟 [79]		–	–	6	Tcy CPU

11.8.4 JTAG 接口

图 11-72. JTAG 接口时序

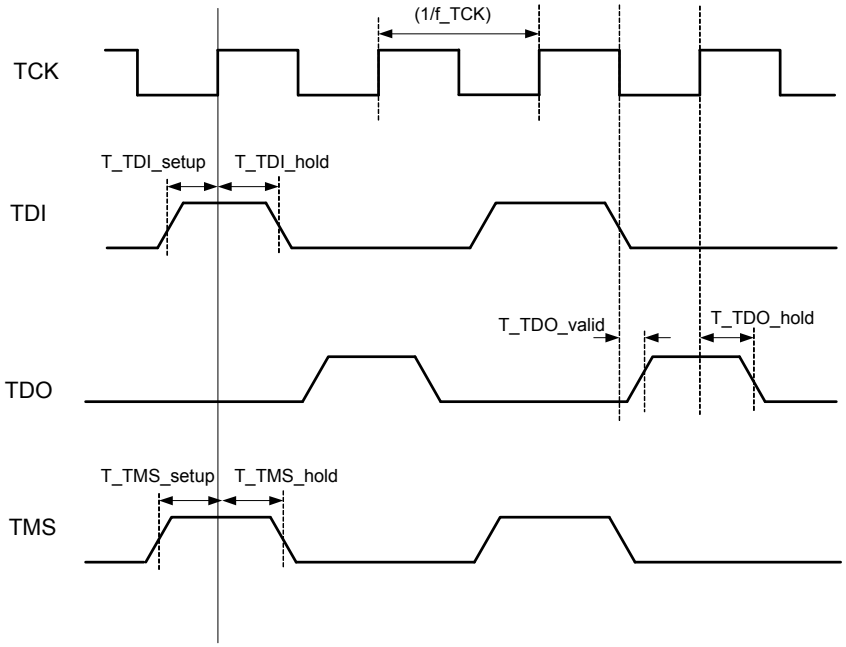


表 11-68. JTAG 接口交流规范 [80]

参数	描述	条件	最小值	典型值	最大值	单位
f_TCK	TCK 频率	3.3 V ≤ V_{DDD} ≤ 5 V	–	–	12[81]	MHz
		1.71 V ≤ V_{DDD} < 3.3 V	–	–	7[81]	MHz
T_TDI_setup	TCK 为高电平之前的 TDI 建立时间		(T/10) – 5	–	–	ns
T_TMS_setup	TCK 为高电平之前的 TMS 建立时间		T/4	–	–	
T_TDI_hold	TCK为高电平之后的TDI、TMS保持时间	T = 1/f_TCK 最大值	T/4	–	–	
T_TDO_valid	TCK 为低电平到 TDO 有效的时间	T = 1/f_TCK max	–	–	2T/5	
T_TDO_hold	TCK 为高电平之后的 TDO 保持时间	T = 1/f_TCK max	T/4	–	–	
T_nTRST	nTRST 脉冲的最小宽度	f_TCK = 2 MHz	8	–	–	ns

注释：
79. ARM Cortex-M3 NVIC 规范。有关 Cortex-M3 CPU 的详细文档，请访问 www.arm.com。
80. 基于器件特性（未经过生产测试）。
81. 此外， f_TCK 也必须不超过 CPU 时钟频率的 1/3。

11.8.5 SWD 接口

图 11-73. SWD 接口时序

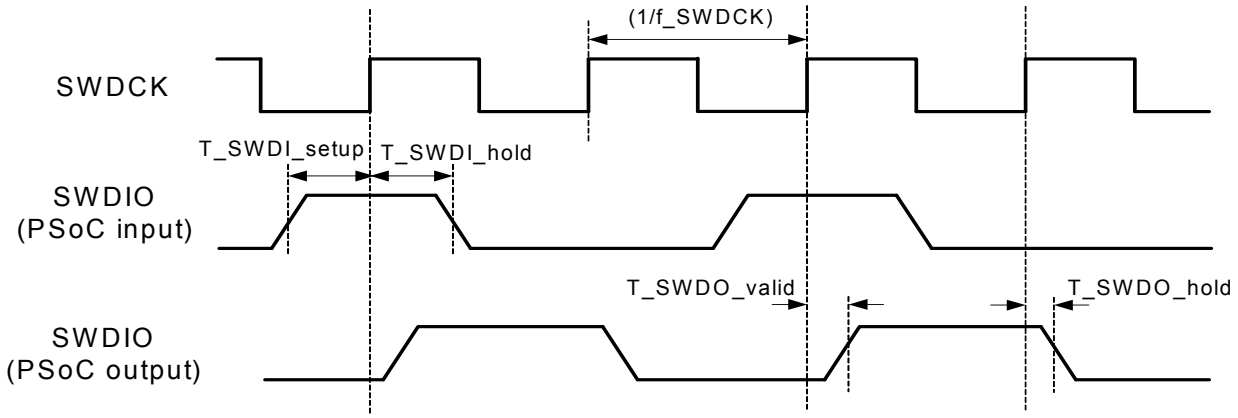


表 11-69. SWD 接口交流规范 [82]

参数	描述	条件	最小值	典型值	最大值	单位
f_SWDCK	SWDCLK 频率	3.3 V ≤ V_{DDD} ≤ 5 V	–	–	12[83]	MHz
		1.71 V ≤ V_{DDD} < 3.3 V	–	–	7[83]	MHz
		1.71 V ≤ V_{DDD} < 3.3 V，通过 USBIO 引脚实现 SWD	–	–	5.5[83]	MHz
T_SWDI_setup	SWDCK 为高电平之前的 SWDIO 输入建立时间	T = 1/f_SWDCK max	T/4	–	–	
T_SWDI_hold	SWDCK 为高电平之后的 SWDIO 输入保持时间	T = 1/f_SWDCK max	T/4	–	–	
T_SWDO_valid	SWDCK为高电平到SWDIO输出的时间	T = 1/f_SWDCK max	–	–	T/2	
T_SWDO_hold	SWDCK 为高电平之后的 SWDIO 输出保持时间	T = 1/f_SWDCK max	1	–	–	ns

11.8.6 TPIU 接口

表 11-70. TPIU 接口交流规范 [82]

参数	描述	条件	最小值	典型值	最大值	单位
	TRACEPORT （TRACECLK）频率		–	–	33[84]	MHz
	SWV 比特率		–	–	33[84]	Mbit

注释：
82. 基于器件特性 （未经过生产测试）。
83. 此外， f_SWDCK 不得超过 CPU 时钟频率的 1/3。
84. TRACEPORT 信号频率和比特率受 GPIO 输出频率的限制，请参见第 74 页上的表 11-9。

11.9 时钟

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C 和 T_J ≤ 100 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。除非另有说明，否则所有图表中的值均为典型值。

11.9.1 内部主振荡器

表 11-71. IMO 直流规范 [85]

参数	描述	条件	最小值	典型值	最大值	单位
Icc_imo	供电电流					
	74.7 MHz		–	–	730	µA
	62.6 MHz		–	–	600	µA
	48 MHz		–	–	500	µA
	24 MHz — USB 模式	振荡器被连接到 USB 总线上	–	–	500	µA
	24 MHz — 非 USB 模式		–	–	300	µA
	12 MHz		–	–	200	µA
	6 MHz		–	–	180	µA
	3 MHz		–	–	150	µA

图 11-74. IMO 电流与频率

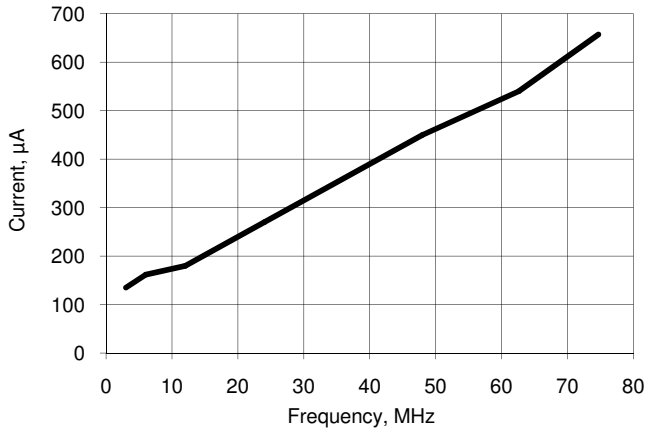


表 11-72. IMO 交流规范

参数	描述	条件	最小值	典型值	最大值	单位
F_{IMO}	IMO 频率的稳定性 （工厂校准）					
	74.7 MHz		–7	–	7	%
	62.6 MHz		–7	–	7	%
	48 MHz		–5	–	5	%
	24 MHz — 非 USB 模式		–4	–	4	%
	24 MHz — USB 模式	振荡器被连接到 USB 总线上	–0.25	–	0.25	%
	12 MHz		–3	–	3	%
	6 MHz		–2	–	2	%
	3 MHz		–2	–	2	%
Tstart_imo	启动时间 [85]	从时钟使能 （系统正常工作期间）的时间	–	–	13	µs

注释：
85. 基于器件特性 （未经过生产测试）。

表 11-72. IMO 交流规范 （续）

参数	描述	条件	最小值	典型值	最大值	单位
Jp-p	抖动 （峰峰值） [86]					
	F = 24 MHz		–	0.9	–	ns
	F = 3 MHz		–	1.6	–	ns
Jperiod	抖动 （长期） [86]					
	F = 24 MHz		–	0.9	–	ns
	F = 3 MHz		–	12	–	ns

图 11-75. IMO 频率变化与温度

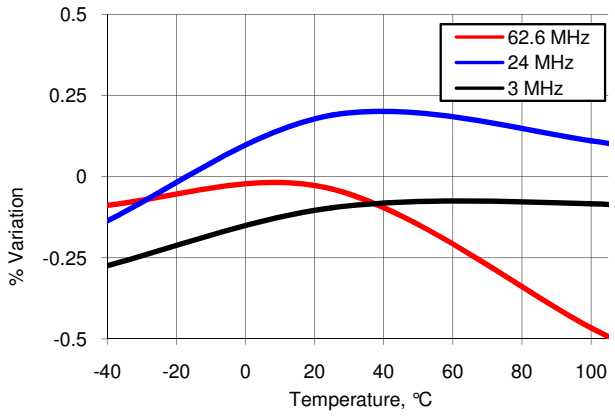
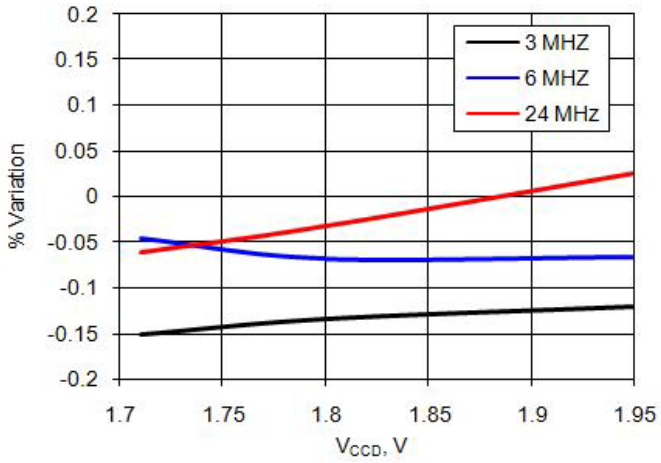


图 11-76. IMO 频率变化与 V_{CC}



注释：
86. 基于器件特性 （未经过生产测试）。

11.9.2 内部低速振荡器

表 11-73. ILO 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
I_{CC}	工作电流 [87]	F_{OUT} = 1 kHz	–	–	1.7	µA
		F_{OUT} = 33 kHz	–	–	2.6	µA
		F_{OUT} = 100 kHz	–	–	2.6	µA
	漏电流 [87]	断电模式	–	–	15	nA

表 11-74. ILO 交流规范 [88]

参数	描述	条件	最小值	典型值	最大值	单位
Tstart_ilo	启动时间，针对所有频率	加速模式	–	–	2	ms
F_{ILO}	ILO 频率					
	100 kHz		45	100	200	kHz
	1 kHz		0.5	1	2	kHz

图 11-77. ILO 频率变化与温度

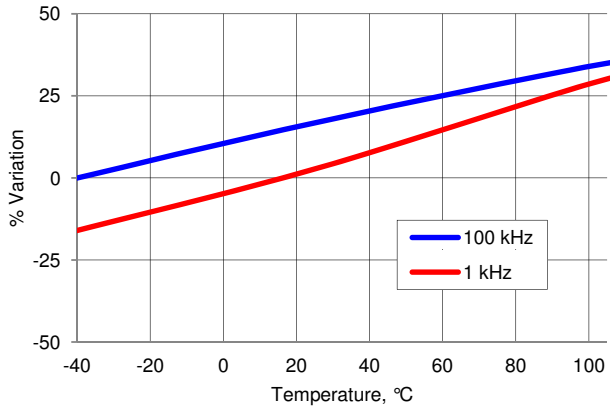
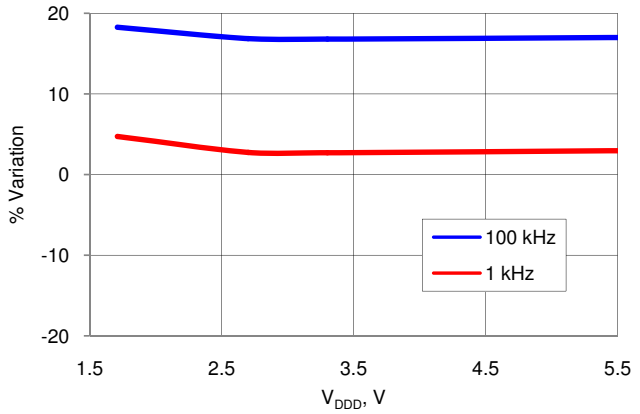


图 11-78. ILO 频率变化与 V_{DD}



注释：
87. 该值是通过计算得出的，而不是测量得出。
88. 基于器件特性（未经过生产测试）。

11.9.3 MHz 外部晶振

有关 MHzECO 的晶振或陶瓷谐振器的更多信息，请参考 AN54439 — PSoC 3 和 PSoC 5 外部振荡器应用笔记。

表 11-75. MHzECO 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
I_{CC}	工作电流 [89]	13.56 MHz 晶振	–	3.8	–	mA

表 11-76. MHzECO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F	晶振频率范围		4	–	25	MHz

11.9.4 kHz 外部晶振

表 11-77. kHzECO 直流规范 [89]

参数	描述	条件	最小值	典型值	最大值	单位
I_{CC}	工作电流	低功耗模式； CL = 6 pF	–	0.25	1.0	µA
DL	驱动电平		–	–	1	µW

表 11-78. kHzECO 交流规范 [89]

参数	描述	条件	最小值	典型值	最大值	单位
F	频率		–	32.768	–	kHz
T_{ON}	启动时间	高功耗模式	–	1	–	s

11.9.5 外部时钟参考

表 11-79. 外部时钟参考交流规范 [89]

参数	描述	条件	最小值	典型值	最大值	单位
	外部频率范围		0	–	33	MHz
	输入占空比范围	在 $V_{DDIO}/2$ 处进行测量	30	50	70	%
	输入边沿速率	V_{IL} 到 V_{IH}	0.5	–	–	V/ns

11.9.6 锁相环

表 11-80. PLL 直流规范

参数	描述	条件	最小值	典型值	最大值	单位
I_{DD}	PLL 的工作电流	输入频率 = 3 MHz，输出频率 = 80 MHz	–	650	–	µA
		输入频率 = 3 MHz，输出频率 = 67 MHz	–	400	–	µA
		输入频率 = 3 MHz，输出频率 = 24 MHz	–	200	–	µA

表 11-81. PLL 交流规范

参数	描述	条件	最小值	典型值	最大值	单位
Fpllin	PLL 输入频率 [90]		1	–	48	MHz
	PLL 中间频率 [91]	预分频器的输出	1	–	3	MHz
Fpllout	PLL 输出频率 [90]		24	–	80	MHz
	启动时的锁定时间		–	–	250	µs
Jperiod-rms	抖动时间 （rms） [89]		–	–	250	ps

注释：
89. 基于器件特性 （未经过生产测试）。
90. 该规范将 IMO 作为 PLL 的源使用，并在指定范围内测试 PLL，从而得到保证。
91. 必须设置 PLL 输入分频器值 （Q），以便将输入频率向下分频到中间频率范围内。 Q 的值介于 1 到 16 之间。

12. 订购信息

除了表 12-1 中列出的特性外，所有 CY8C54LP 器件都包含：256 KB 闪存、64 KB SRAM、2 KB EEPROM、高精度片上电压参考、高精度振荡器、闪存、ECC、DMA、固定功能 I²C、JTAG/SWD 编程和调试、外部存储器接口、升压等。除了这些特性以外，灵活的 UDB 和模拟子系统还支持广泛的外设。为了帮助您选择理想的器件， PSoC Creator 在您选择应用所需的组件后会提供器件建议。所有 CY8C54LP 派生器件均在由用户选择的安全级别中包含器件和闪存安全策略。更多详细信息，请参见技术参考手册。

表 12-1. 具有 ARM Cortex-M3 CPU 的 CY8C54LP 系列

器件型号	MCU 内核				模拟								数字			I/O[94]				封装	JTAG ID[95]
	CPU 速度（MHz）	闪存（KB）	SRAM（KB）	EEPROM（KB）	LCD Segment 驱动	ADC	DAC	电压比较器	SC/CT 模拟模块[92]	运算放大器	DFB	CapSense	UDB[93]	16 位定时器 /PWM	FS USB	I/O 总数	GPIO	SIO	USBIO		
CY8C5468LTI-LP026	67	256	64	2	✔	1x12-bit SAR	2	4	2	2	–	✔	24	4	✔	48	38	8	2	68-QFN	0x2E11A069
CY8C5468AXI-LP106	67	256	64	2	✔	1x12-bit SAR	2	4	2	2	–	✔	24	4	✔	72	62	8	2	100-TQFP	0x2E16A069
CY8C5468AXI-LP042	67	256	64	2	✔	1×12 bit Del-Sig	2	4	2	2	–	✔	24	4	✔	72	62	8	2	100-TQFP	0x2E12A069
CY8C5467LTI-LP003	67	128	32	2	✔	1x12-bit SAR	2	4	2	2	–	✔	24	4	✔	48	38	8	2	68-QFN	0x2E103069
CY8C5467AXI-LP108	67	128	32	2	✔	1x12-bit SAR	2	4	2	2	–	✔	24	4	✔	72	62	8	2	100-TQFP	0x2E16C069
CY8C5466AXI-LP002	67	64	16	2	✔	1x12-bit SAR	2	4	2	2	–	✔	20	4	✔	72	62	8	2	100-TQFP	0x2E102069
CY8C5466LTI-LP072	67	64	16	2	✔	1x12-bit SAR	2	4	2	2	–	✔	20	4	–	46	38	8	0	68-QFN	0x2E148069
CY8C5466LTI-LP085	67	64	16	2	✔	1x12-bit SAR	2	4	2	2	–	✔	20	4	✔	48	38	8	2	68-QFN	0x2E155069
CY8C5466AXI-LP107	67	64	16	2	✔	1x12-bit SAR	2	4	2	2	–	✔	20	4	–	70	62	8	0	100-TQFP	0x2E16B069
CY8C5465AXI-LP043	67	32	8	2	✔	1x12-bit SAR	2	4	2	2	–	✔	20	4	✔	72	62	8	2	100-TQFP	0x2E12B069
CY8C5465LTI-LP104	67	32	8	2	✔	1x12-bit SAR	2	4	2	2	–	✔	20	4	✔	48	38	8	2	68-QFN	0x2E168069
CY8C5488AXI-LP120	80	256	64	2	✔	1x12-bit SAR	2	4	2	2	–	✔	24	4	✔	72	62	8	2	100-TQFP	0x2E178069
CY8C5488LTI-LP093	80	256	64	2	✔	1x12-bit SAR	2	4	2	2	–	✔	24	4	✔	48	38	8	2	68-QFN	0x2E15D069
CY8C5488FNI-LP212	80	256	64	2	✔	1x12-bit SAR	2	4	2	2	–	✔	24	4	✔	72	62	8	2	99-WLCSP	0x2E1D4069

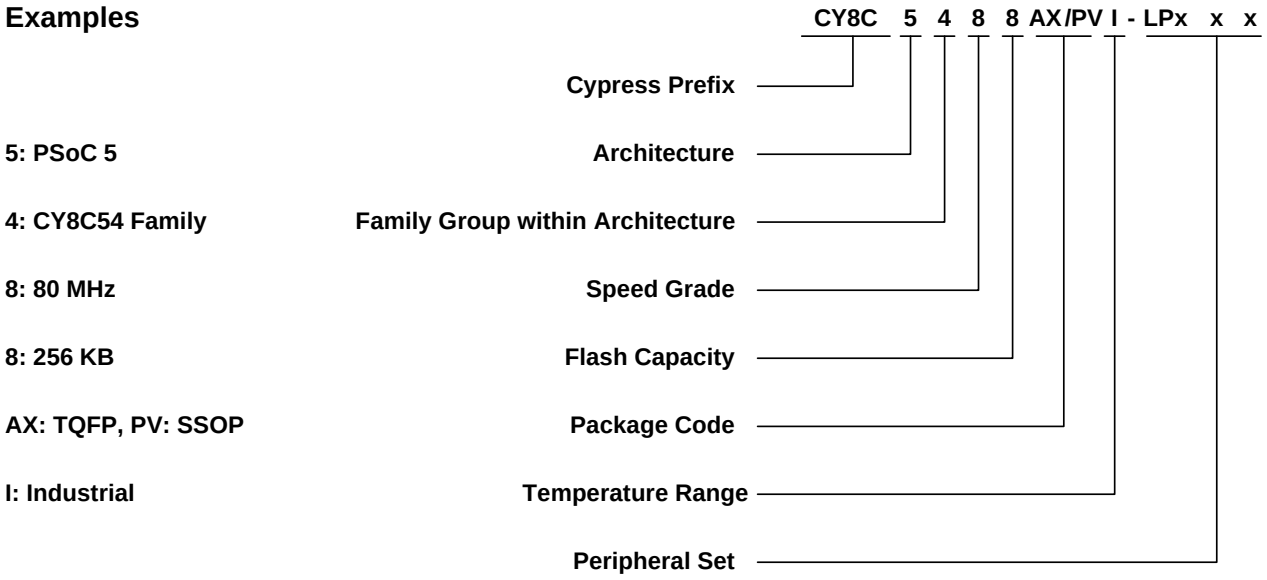
注释：
92. 模拟模块支持多种功能，其中包括 TIA、 PGA 和混频器。有关使用模拟模块的更多信息，请参见第 40 页上的外设示例。
93. UDB 支持广泛的功能，其中包括 SPI、LIN、UART、定时器、计数器、PWM、PRS 等。各种功能既可以使用一个 UDB 的一部分，又可以使用多个 UDB。多个功能可以共享一个 UDB。有关使用 UDB 的更多信息，请参见第 40 页上的外设示例。
94. I/O 数量包括所有类型的数字 I/O，即：GPIO、 SIO 和两个 USB I/O。关于每种 I/O 功能的详细信息，请参见第 33 页上的 I/O 系统与路由。
95. JTAG ID 有三个主要字段。最高有效半字节 （左边的数字）表示版本，后面 2 个字节是器件型号，最后 3 个半字节是制造商 ID。

12.1 器件编号约定

PSoC 5LP 器件遵循下面所述的编号约定。除非另有声明，否则所有字段都是单字符字母数字（0、1、2、…、9、A、B、…、Z）。
CY8Cabcdefg-LPxxx

- a：架构
  - 3：PSoC 3
  - 5：PSoC 5
- b：架构中的系列组
  - 2：CY8C52LP 系列
  - 4：CY8C54LP 系列
  - 6：CY8C56LP 系列
  - 8：CY8C58LP 系列
- c：速度等级
  - 6：67 MHz
  - 8：80 MHz
- d：闪存容量
  - 5：32 KB
  - 6：64 KB
  - 7：128 KB
  - 8：256 KB
- ef：封装代码
  - 两个字符的字母数字
  - AX：TQFP
  - LT：QFN
  - FN：CSP
- g：温度范围
  - C：商业级
  - I：工业级
  - A：汽车级
- xxx：外设集
  - 三个字符的数字
  - 这三个字符没有任何相关的含义

Examples



这些器件的盘带封装版本是有效的，并在器件型号后面标有 “T”。

PSoC 5LP CY8C54LP 系列中的所有器件都符合 RoHS-6 规范，是赛普拉斯致力于提供无铅产品的有力证明。铅 （Pb）是焊接中使用的一种合金元素，其潜在的毒性已导致环境方面的问题。赛普拉斯的大部分基于引脚框架的封装都采用了镍钯金（NiPdAu）技术。

有关对赛普拉斯无铅立场的高级审核，请访问我们的网站。此外，您还可以在我们的网站上找到具体的封装信息。封装材料声明数据手册 （PMDD）标出了赛普拉斯封装中包含的所有物质。 PMDD 还确认其中不包含被禁止使用的物质。 PMDD 中的信息将有助于赛普拉斯的客户对回收和其他报废要求进行规划。

13. 封装

表 13-1. 封装特性

参数	描述	条件	最小值	典型值	最大值	单位
T_A	工作环境温度		–40	25	85	°C
T_J	工作结温		–40	–	100	°C
T_{JA}	封装 θ_{JA}（68-QFN）		–	15	–	°C/Watt
T_{JA}	封装 θ_{JA}（100-TQFP）		–	34	–	°C/Watt
T_{JC}	封装 θ_{JC}（68-QFN）		–	13	–	°C/Watt
T_{JC}	封装 θ_{JC}（100-TQFP）		–	10	–	°C/Watt
T_A	工作环境温度	CSP 器件	–40	25	85	°C
T_J	工作结温	CSP 器件	–40	–	100	°C
T_{JA}	封装 θ_{JA}（99-ball WLCSP）			16.5		°C/Watt
T_{Jc}	封装 θ_{JC}（99-ball WLCSP）		–	0.1	–	°C/Watt

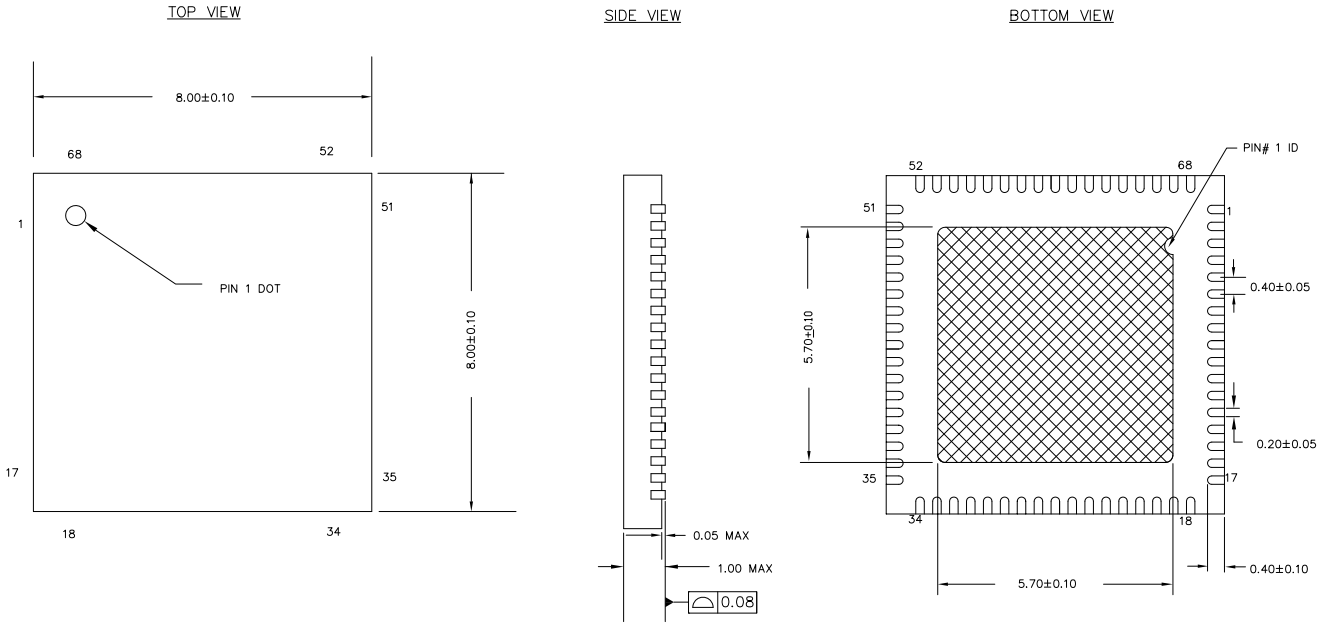
表 13-2. 回流焊峰值温度

封装	最高峰值温度	峰值温度的最长时间
68-QFN	260 °C	30 秒
100-TQFP	260 °C	30 秒
99-ball WLCSP	255 °C	30 秒

表 13-3. 封装潮敏等级 （MSL）， IPC/JEDEC J-STD-2

封装	MSL
68-QFN	MSL 3
100-TQFP	MSL 3
99-ball WLCSP	MSL 1

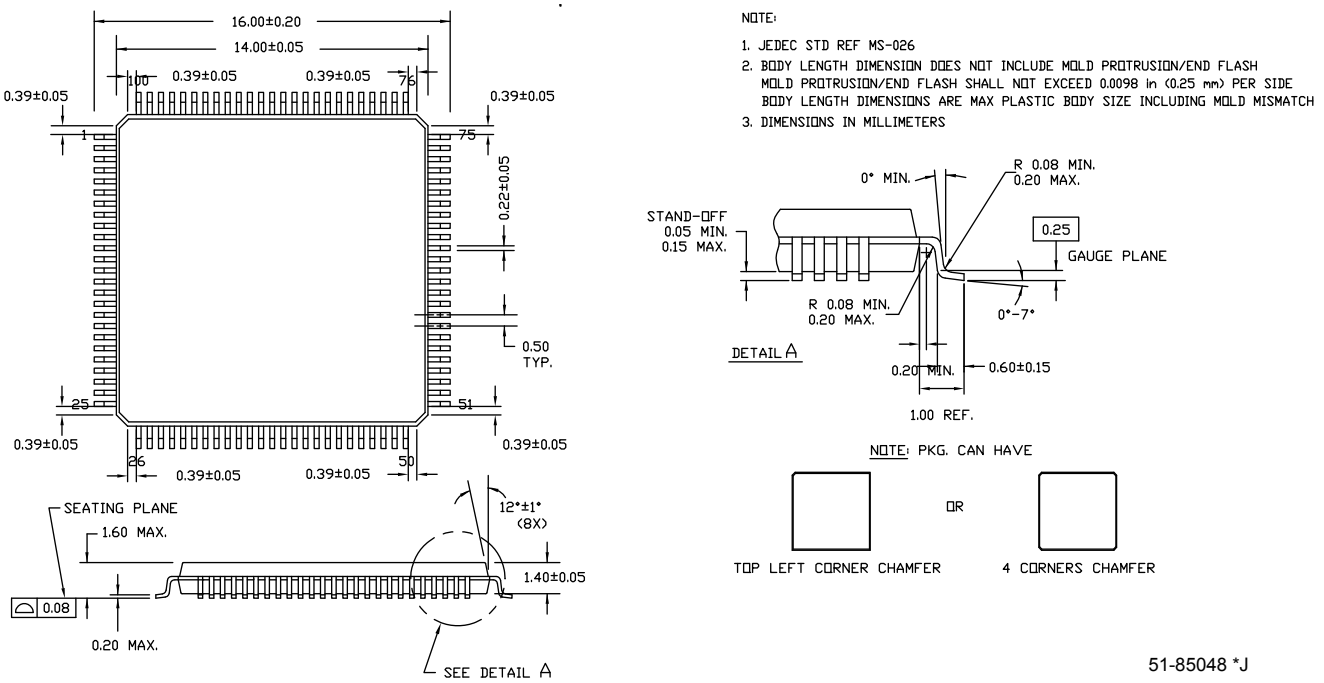
图 13-1. 间距为 0.4 mm 的 68-QFN 8 × 8 封装外形 （Sawn 版本）



NOTES:
1. HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO−220
3. PACKAGE WEIGHT: 17 ± 2mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

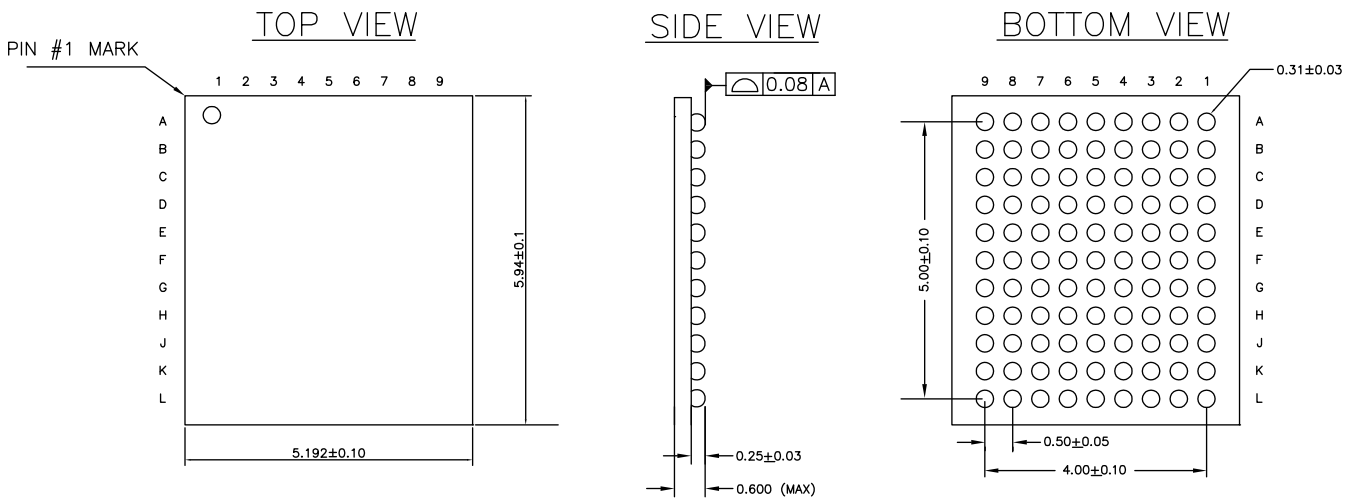
001-09618 *E

图 13-2. 100-TQFP （14 × 14 × 1.4 mm）封装外形



51-85048 *J

图 13-3. WLCSP 封装 （5.192 × 5.940 × 0.6 mm）



NOTES:

1. REFERENCE JEDEC Publication 95: Design Guide 4.18
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-88034 *B

14. 缩略语

表 14-1. 本文档中使用的缩略语

缩略语	描述
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局总线
AHB	AMBA（先进的微控制器总线结构）高性能总线，它是一种 ARM 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用程序状态寄存器
ARM®	高级 RISC 机器，它是一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CMRR	共模抑制比
CPU	中央处理单元
CRC	循环冗余校验，它是一种校验错误的协议
DAC	数模转换器，另请参见 IDAC、 VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出， GPIO 只有数字功能，无模拟功能。请参见 GPIO。
DMA	直接存储器访问，另请参见 TD
DNL	微分非线性，另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点和跟踪
ECC	纠错码
ECO	外部晶体振荡器
EEPROM	上电时可擦除的可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电放电
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应，另请参见 IIR
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出，适用于 PSoC 引脚

表 14-1. 本文档中使用的缩略语 （续）

缩略语	描述
HVI	高电压中断，另请参见 LVI、 LVD
IC	集成电路
IDAC	电流 DAC，另请参见 DAC、 VDAC
IDE	集成开发环境
I^2C 或 IIC	互联集成电路，它是一种通信协议
IIR	无限脉冲响应，另请参见 FIR
ILO	内部低速振荡器，另请参见 IMO
IMO	内部主振荡器，另请参见 ILO
INL	积分非线性，另请参见 DNL
I/O	输入 / 输出，另请参见 GPIO、DIO、SIO、USBIO
IPOR	初次上电复位
IPSR	中断程序状态寄存器
IRQ	中断请求
ITM	仪表跟踪宏单元
LCD	液晶显示器
LIN	本地互联网络，它是一种通信协议。
LR	链接寄存器
LUT	查找表
LVD	低压检测，另请参见 LVI
LVI	低压中断，另请参见 HVI
LVTTL	低压晶体管 - 晶体管逻辑
MAC	乘法累加器
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器，另请参见 WOL
opamp	运算放大器
PAL	可编程阵列逻辑，另请参见 PLD
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器
PHY	物理层
PICU	端口中断控制单元
PLA	可编程逻辑阵列
PLD	可编程逻辑器件，另请参见 PAL
PLL	锁相环

表 14-1. 本文档中使用的缩略语 （续）

缩略语	描述
PMDD	封装材料声明数据手册
POR	上电复位
PRES	精密低电压复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC®	可编程片上系统（Programmable System-on-Chip™）
PSRR	电源抑制比
PWM	脉宽调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器传输语言
RTR	远程发送请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I^2C 串行时钟
SDA	I^2C 串行数据
S/H	采样和保持
SIO	特殊输入 / 输出，带高级功能的 GPIO。请参见 GPIO。
SNR	信噪比
SOC	开始转换
SOF	帧的起始
SPI	串行外设接口，它是一种通信协议

表 14-1. 本文档中使用的缩略语 （续）

缩略语	描述
SR	斜率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试，它是一种测试协议
SWV	单线浏览器
TD	传输描述符，另请参见 DMA
THD	总谐波失真
TIA	互阻放大器
TRM	技术参考手册
TTL	晶体管 - 晶体管逻辑
TX	发送
UART	通用异步发送器接收器，它是一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出，用于连接至 USB 端口的 PSoC 引脚
VDAC	电压数模转换器，另请参见 DAC、 IDAC
WDT	看门狗定时器
WOL	写锁存，另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位引脚
XTAL	晶振

15. 参考文档

PSoC® 3、 PSoC® 5 架构技术参考手册
PSoC® 5 寄存器技术参考手册

16. 文档规范

16.1 测量单位

表 16-1. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 字节
kbps	千比特每秒
Khr	千小时
kHz	千赫兹
kΩ	千欧
ksps	千次采样每秒
LSB	最低有效位
Mbps	每秒兆比特
MHz	兆赫兹
MΩ	兆欧
Msps	每秒兆次采样
µA	微安
µF	微法
µH	微亨
µs	微秒
µV	微伏
µW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pF	皮法
ppm	百万分率
ps	皮秒
s	秒
sps	采样数每秒
sqrtHz	赫兹平方根
V	伏特

文档修订记录页

说明标题：PSoC® 5LP：CY8C54LP 系列数据手册可编程片上系统 （PSoC®） 文档编号：001-91766				
版本	ECN	变更者	提交日期	变更说明
**	4322136	XZNG	03/26/2014	本文档版本号为 Rev**，译自英文版 001-84934 Rev*D 。
*A	4769267	XZNG	06/23/2015	本文档版本号为 Rev*A，译自英文版 001-84934 Rev*G 。
*B	5232284	XZNG	04/22/2016	本文档版本号为 Rev*B，译自英文版 001-84934 Rev*I 。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 培训

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司， 2012-2016。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其它电路的使用承担任何责任。也不会根据专利权或其它权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于发生故障（包括运转异常）或失效可能会对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品使用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受赛普拉斯相应的软件许可协议限制。

CapSense®、 PSoC® 3、 PSoC® 5 和 PSoC® Creator™ 是赛普拉斯半导体公司的商标， PSoC® 是赛普拉斯半导体公司的注册商标。这里引用的所有其它商标或注册商标归其各自所有者所有。从赛普拉斯或其获得分许可的其中一个联营公司处购买 I2C 组件，即可根据 Philips I2C 专利权获得一份许可，以便在 I2C 系统中使用这些组件，但前提是该系统符合 Philips 定义的 I2C 标准规范。ARM 是 ARM Limited 的注册商标， Keil 和 RealView 是 ARM Limited 的商标。本文档中所介绍的所有产品和公司名称均为其各自所有者的商标。