

DW1000 用户手册翻译文档 v0.2

2018 年 5 月 8 日

说明

本文件翻译自《DW1000 USER MANUAL Version 2.10》，原始文件来自 decaWave 官方。本文件的所有内容，大家均可自由使用。本文件本来要增加相应的水印背景，但增加水印会影响大家阅读，故除了页眉的出处（网址）注明以外，没有增加任何影响大家阅读的内容，因而希望大家使用时标明出处，谢谢。

如果大家对我们的翻译工作非常支持，可以来我们的网站进行打赏。我们会持续不断的把最优质的内容分享给大家。

修订记录

日期	修订版本	描述	作者
2018-3-1	0.1	初稿完成	李木槿，许嘉豪，杨金月， 桂心哲
2018-5-8	0.2	封面添加，内容初步校准	桂心哲

目录

说明.....	1
修订记录.....	1
1 介绍.....	6
1.1 关于 DW1000.....	6
1.2 关于这个文件.....	6
2 DW1000 的概述.....	8
2.1 引言.....	8
2.2 连接到 DW1000.....	8
2.2.1 SPI 接口.....	8
2.2.2 中断.....	11
2.2.3 通用 I/O.....	11
2.2.4 同步引脚.....	11
2.3 DW1000 操作状态.....	11
2.3.1 2.3.1 状态图.....	11
2.4 上电复位.....	13
2.4.1 睡眠和深度睡眠.....	14
2.4.2 DW1000 支持的特殊状态序列.....	15
2.5 上电默认设置.....	15
2.5.1 默认系统设置.....	16
2.5.2 默认通道设置.....	17
2.5.3 默认发送器配置.....	17
2.5.4 默认接收器配置.....	17
2.5.5 需要修改的默认配置.....	18
3 消息发送.....	20
3.1 基本发送.....	20
3.2 发送时间戳.....	21
3.3 延迟发送.....	22
3.4 扩展长度数据帧.....	22
3.5 高速传输.....	23
3.5.1 TX 缓冲区偏移索引.....	23
3.5.2 TX 缓冲区在发送或接收时写入.....	24
4 信息接收.....	26
4.1 基本接待.....	26
4.1.1 序言检测.....	26
4.1.2 序言累积.....	27
4.1.3 SFD 检测.....	27
4.1.4 PHR 解调.....	27
4.1.5 数据解调.....	28
4.1.6 接收消息时间戳.....	28
4.2 延迟接收.....	28
4.3 双接收缓冲器.....	29
4.3.1 启用双缓冲操作.....	29

4.3.2 控制正在访问哪个缓冲区	30
4.3.3 双缓冲的操作	30
4.3.4 使用双缓冲时的 TRXOFF	31
4.3.5 超限	32
4.4 低功率听力	32
4.4.1 配置低功耗监听	33
4.5 低功耗 SNIFF 模式	34
4.5.1 SNIFF 模式	35
4.5.2 低占空比 SNIFF 模式	36
4.6 诊断	36
4.7 评估接收质量和 RX 时间戳	37
4.7.1 估算第一条路径的信号功率	37
4.7.2 估算接收信号功率	38
5 媒体访问控制 (MAC) 硬件功能	40
5.1 循环冗余校验	40
5.2 帧过滤	40
5.2.1 帧过滤规则	40
5.2.2 帧过滤注意事项	41
5.3 自动确认	41
5.3.1 自动确认帧中的前导码长度和 SFD	42
5.3.2 自动接收器重新启用	43
5.3.3 自动 ACK 周转时间	43
5.3.4 帧挂起位	44
5.3.5 主机通知	44
5.4 发送并自动等待响应	44
6 DW1000 的其他功能	45
6.1 外部同步	45
6.1.1 一次性时基复位 (OSTR) 模式	45
6.1.2 一次发送同步 (OSTS) 模式	46
6.1.3 一次接收同步 (OSRS) 模式	46
6.2 外部功率放大	47
6.3 使用片上 OTP 存储器	48
6.3.1 OTP 存储器映射	48
6.3.2 将值编程到 OTP 存储器中	50
6.3.3 从 OTP 内存中读取一个值	51
6.4 测量 IC 温度和电压	51
7 DW1000 寄存器组	53
7.1 寄存器图概述	53
7.2 寄存器详细说明	54
7.2.1 相关术语	54
7.2.2 寄存器文件: 0x00 - 设备标识符	55
7.2.3 寄存器文件: 0x01 - 扩展唯一标识符	56
7.2.4 寄存器文件: 0x02 - 保留	57
7.2.5 寄存器文件: 0x03 - PAN 标识符和短地址	57

7.2.6 寄存器文件: 0x04 - 系统配置.....	58
7.2.7 寄存器文件: 0x05 - 保留.....	62
7.2.8 寄存器文件: 0x06 - 系统时间计数器.....	62
7.2.9 寄存器文件: 0x07 - 保留.....	62
7.2.10 寄存器文件: 0x08 - 发送帧控制.....	62
7.2.11 寄存器文件: 0x09 - 传输数据缓冲区.....	65
7.2.12 寄存器文件: 0x0A - 延迟发送或接收时间.....	65
7.2.13 寄存器文件: 0x0B - 保留.....	65
7.2.14 寄存器文件: 0x0C - 接收帧等待超时周期.....	66
7.2.15 寄存器文件: 0x0D - 系统控制寄存器.....	67
7.2.16 寄存器文件: 0x0E - 系统事件掩码寄存器.....	69
7.2.17 寄存器文件: 0x0F - 系统事件状态寄存器.....	72
8 DW1000 校准.....	77
8.1 IC 校准 - 晶体振荡器微调.....	77
8.1.1 校准方法.....	77
8.2 IC 校准 - 发射功率和频谱.....	79
8.2.1 校准方法.....	79
8.2.2 其他 TX 调整要考虑.....	81
8.3 IC 校准 - 天线延迟.....	81
8.3.1 校准方法.....	82
9 使用 DW1000 时的操作设计选择.....	84
9.1 工作范围.....	84
9.2 频道和带宽选择.....	84
9.3 数据速率, 前导码长度和 PRF 的选择.....	84
9.4 能量消耗.....	85
9.5 节点密度和空气利用率.....	85
9.6 低工作周期 - 空中时间.....	86
9.7 定位方案.....	86
9.8 一般考虑.....	87
10 附录 1: IEEE 802.15.4 UWB 物理层.....	89
10.1 帧结构概述.....	89
10.2 数据调制方案.....	89
10.3 同步头调制方案.....	90
10.4 物理层头 (PHY header).....	91
10.5 UWB 信道和前导码.....	91
10.6 标准的其他细节.....	92
11 附录 2: IEEE 802.15.4 MAC 层.....	93
11.1 一般 MAC 消息格式.....	93
11.2 MAC 报头中的帧控制字段.....	93
11.2.1 帧类型字段.....	94
11.2.2 启用安全性字段.....	94
11.2.3 帧未决字段.....	95
11.2.4 确认请求字段.....	95
11.2.5 PAN ID 压缩字段.....	95

11.2.6 目标寻址模式字段	95
11.2.7 帧版本字段	96
11.2.8 源寻址模式字段	96
11.3 序号字段	96
11.4 DW1000 中的 MAC 级别处理	97
12 附录 3: 双向测距	98
12.1 介绍	98
12.2 单边双向测距	98
12.3 双边双向测距	99
12.3.1 使用 4 条消息	99
12.3.2 使用 3 条消息	100
12.3.3 使用对称的回复时间	100
12.3.4 DS 与 SDS 双向测距比较	101
13 附录 4: 缩略语和首字母缩略词	105
14 附录 5: 参考文献	109
15 文档历史记录	110
16 更改记录	111
17 关于 Decawave	116

1 介绍

1.1 关于 DW1000

DW1000 是一款符合 IEEE 802.15.4-2011 超宽带 (UWB) 标准的完全集成的低功耗单芯片 CMOS 无线电收发器 IC。

- 使用双向测距飞行时间 (TOF) 测量, 可以将距离检测精确到 ± 10 厘米。
- 利用双向测距 (TOF) 测量或单向到达时间差 (TDOA) 到达时间差计划 (TDOA), 可以将资产的实时定位精确到 ± 10 cm
- 跨越 3.5 GHz 至 6.5 GHz 的 6 个 RF 频段
- 支持 110 kbps, 850 kbps 和 6.8 Mbps 的数据速率
- 高数据传输速率, 可以保持播放时间短, 从而节省电量并延长电池的使用寿命
- 它能够处理严重的多路径环境, 因此非常适合高度反射的射频环境

1.2 关于这个文件

本用户手册介绍了 DW1000 的操作和编程, 并讨论了在实施使用该系统的系统时要考虑的一些设计选择。

DW1000 数据手册中已经包含的信息在此不再复制, 因此读者应该将本用户手册与 DW1000 数据手册结合使用。

该文件分为若干部分, 其中每一部分都涉及特定的方面

DW1000 如下:

部分编号	部分名称	涵盖的信息
2	DW1000 的概述	概述了 DW1000, 介绍了如何连接设备并详细介绍其各种操作模式
3	消息传输	介绍 DW1000 变送器的功能和用途
4	信息接收	介绍 DW1000 接收机的功能和用途
5	媒体访问控制 (MAC) 硬件功能	介绍 DW1000 在硬件中提供的 MAC 级功能。
6	DW1000 的其他功能	介绍 DW1000 支持的其他功能
7	DW1000 寄存器组	详细描述 DW1000 用户可访问寄存器组, 列出每个寄存器中所有用户可访问的位域及其各自的功能。
8	DW1000 校准	描述需要校准的 DW1000 的参数; 应该用于校准的方法和需要校准的频率。
9	使用 DW1000 时的操作设计选择	讨论在建立基于 DW1000 的系统时需要考虑的一些问题和权衡
10	附录 1: IEEE 802.15.4	提供有关 UWB PHY 层的背景信息
11	UWB 物理层	IEEE802.15.4 标准
12	附录 2: IEEE 802.15.4	提供有关 MAC 层的背景信息
13	MAC 层	IEEE802.15.4 标准
14	附录 3: 双向测距	介绍如何在双向测距系统中使用 DW1000
15	附录 4: 缩略语和首字母缩略词	提供文档其余部分使用的缩略语和首字母缩写词的列表和解释

16	附录 5: 参考文献	列出本用户手册中提到的文件
----	------------	---------------

注: Decawave 还提供 DW1000 设备驱动程序软件作为源代码。该源代码包含一组用于初始化, 配置和控制 DW1000 的 API 函数。它提供了用于发送和接收的 API 函数, 并且用于驱动 IC 的功能。DW1000 驱动程序源代码针对 ARM cortex M3, 但可轻松移植到其他微处理器系统。该代码附带了许多演示/测试应用程序 (包括双向测距应用程序), 以锻炼 API 和 DW1000 的功能。

时钟周期和频率

IEEE802.15.4-2011 标准[1]给出的码片速率是 499.2MHz。DW1000 系统时钟以此频率为参考。在系统时钟频率为 125MHz 的情况下, 这与 124.8MHz 的实际系统时钟频率近似。类似地, 在系统时钟周期为 8ns 的情况下, 这是 $1 / (124.8 \times 10^6)$ 秒的实际周期的近似值。

参考的 1GHz PLL 时钟近似于 998.4MHz 的实际频率。

一个 63.8976 GHz 的采样时钟与 IEEE 802.15.4-2011 标准的测距有关, 其中 15.65 皮秒的时间周期是指这个时钟的周期的近似值。

PRF

本文件给出了 16 MHz 和 64 MHz 的 PRF 值。这些是由[1]规定的 PRF 值的近似值。对于 SHR 而言, PRF 平均值略高于帧的其他部分。平均 PRF 值是 16.1 / 15.6MHz 和 62.89 / 62.4MHz。有关峰值和平均 PRF 的详细信息, 请参阅[1]。

数据速率

数据速率为 6.8 Mbps 时, 相当于[1]中的 6.81 / 6.8 Mbps 数据速率。

2 DW1000 的概述

2.1 引言

DW1000 由一个包含一个接收器和一个发送器的模拟前端（包括 RF 和基带）和一个连接到主处理器的数字后端组成，控制模拟前端，从主处理器接收数据进行传输，并提供通过工业标准的 SPI 接口接收数据到主机处理器。实施各种控制方案来维持和优化收发器性能。

2.2 连接到 DW1000

2.2.1 SPI 接口

DW1000 主机通信接口是符合工业协议的从属串行外设接口（SPI）。主机系统必须包含一个主控 SPI 总线控制器，以便与 DW1000 进行通信。在 DW1000 数据手册中描述了 SPI 总线信号，其电压电平和信号时序。

主机系统通过 SPI 读取和写入 DW1000 寄存器。本节介绍 SPI 事务的格式。有关 SPI 物理电路的详细信息，操作模式配置和时序参数请参考 DW1000 数据手册。DW1000 的 SPI 可访问寄存器详见第 7 章 - DW1000 寄存器组。

2.2.1.1 SPI 工作模式

当由于器件复位或从休眠状态唤醒而使 DW1000 的数字控制功能初始化时，SPI 的工作模式被确定。此时，GPIO 线 5 和 6 被采样，并且它们的值用于选择 SPI 模式。

可以在 DW1000 的一次性可编程配置模块中设置 SPI 模式，以避免需要任何外部元件，并使 GPIO 空闲以供其他用途使用。这是一次性活动，不能倒过来，因此必须小心确保设置所需的 SPI 模式。有关 OTP 配置的更多详细信息，请参考 6.3 节 - 使用片上 OTP 存储器，寄存器文件：0x2D - OTP 存储器接口。

有关 SPI 操作模式及其配置的完整详细信息，请参阅 DW1000 数据手册。

2.2.1.2 SPI 接口的事务格式

每个 SPI 事务以一到三个八位字节事务头开始，随后是组成事务数据的可变数量的八位字节。SPI 传输中允许的数据字节数不受限制。

事务头选择事务是读还是写，并指定要读取或写入的地址。物理上，SPI 接口是全双工的，每个事务处理都将数据移入和移出 DW1000。然而，从逻辑上讲，每笔交易都是从 DW1000 读取数据或向其写入数据。如图 1 所示，对于一个读事务，事务头之外的所有八位字节被 DW1000 忽略，对于一个写事务，DW1000 输出的所有八位字节应该被主机系统忽略。

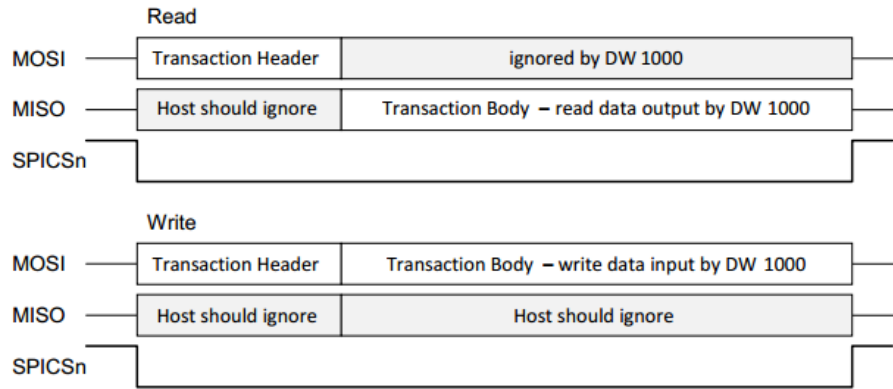


Figure 1: SPI Read and Write Transactions

注意：八位位组在 SPI 接口数据线上实际呈现，高位先进入时间。

SPI 事务由低电平有效的片选线 SPICSn 断言。SPICSn 的高到低的断言（低）初始化 SPI 事务处理程序，以便 DW1000 将下一个八位字节解释为新的事务标题。SPICSn 从低到高的断言结束 SPI 事务。通常，软件 SPI 接口驱动程序将包括一个参数来指示事务的长度，即在 SPI 总线上写入设备的字节数，或读取多少字节。

DW1000 的 SPI 可访问参数被组织成 64 个独立的寄存器文件位置（详见第 7 章 - DW1000 寄存器组）。每个 SPI 访问事务头包含一个 6 位寄存器文件 ID，用于标识事务正在访问哪个寄存器文件。所选寄存器文件中的子寻址允许有效访问 DW1000 内的所有参数。根据所使用的子地址，事务头是一个，两个或三个八位字节长。这三种类型的交易在下面的小节中描述。

注：写入任何 DW1000 寄存器时，必须注意不要超出所选寄存器的公布长度（请参阅第 7 章 - DW1000 寄存器组）。

图 2 显示了简单的非索引 SPI 事务的一个八位字节事务头中的字段。位-6 为零表示子索引不存在。寄存器（文件）ID 选择要访问的 DW1000 参数或参数块的顶层寻址。

Bit number:	7	6	5	4	3	2	1	0	
Meaning:	Operation: 0 = Read 1 = Write	Bit = 0, says sub-index is not present	Register file ID – Range 0x00 to 0x3F (64 locations)						Transaction Header Octet

Figure 2: Single octet header of the non-indexed SPI transaction

紧接在这个一个八位字节标题之后的事务的剩余八位位组（即，事务主体）从索引零开始的所选寄存器文件读取（或写入）。图 3 显示了使用单个八位组首标从器件 ID 寄存器进行非索引读取的示例。

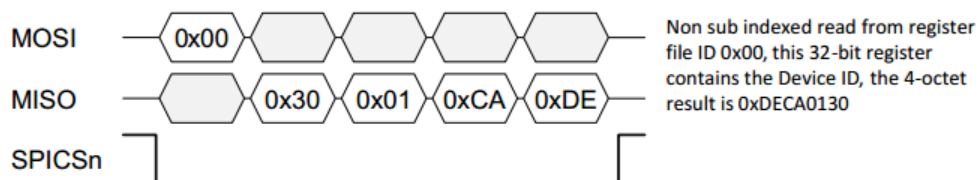


Figure 3: Example non-indexed read of the Device ID register (0x00)

注：多字节值的八位字节以字节顺序在 SPI 接口上传输低位八位字节。如图 3 所示。

(1) SPI 事务与 2 个八位字节的头

图 4 显示了短索引 SPI 事务的两个八位字节事务头中的字段。第一个字节的第 6 位是

1，表示存在子索引。第一个字节中的寄存器（文件）ID 选择正在访问的 DW1000 参数块的顶层地址。在第二个字节中，比特-7 是零，表示还没有进一步的事务头字节，并且八比特组 2 的其余 7 比特是寄存器文件中的短子索引。

Bit number:	7	6	5	4	3	2	1	0	
Meaning:	Operation: 0 = Read 1 = Write	Bit = 1, says sub-index is present	Register file ID – Range 0x00 to 0x3F (64 locations)					Transaction Header Octet 1	
	Extended Address: 0 = no	7-bit Register File sub-address, range 0x00 to 0x7F (128 byte locations)						Octet 2	

Figure 4: Two octet header of the short indexed SPI transaction

事务的剩余八位位组（紧接在这个双字节标题之后）从所选索引地址 0 至 127 开始的选定寄存器文件中被读取（或写入）。图 5 显示了从 设备 ID 寄存器使用两个八位字节事务头。

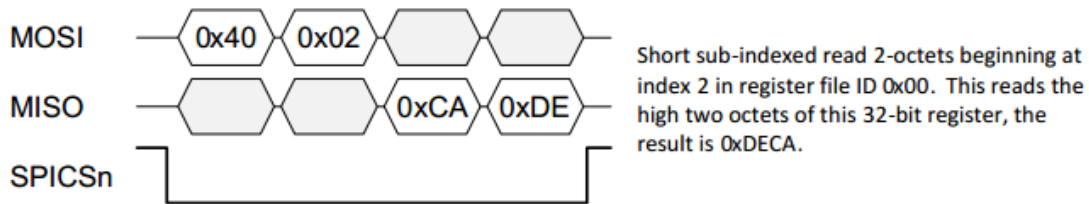


Figure 5: Example short-indexed read of 3rd and 4th octets of register 0x00

(2) SPI 事务与一个 3 字节的头部

图 6 显示了长索引 SPI 事务的三个八位字节事务头中的字段。第一个字节的第 6 位是 1，表示存在子索引。第一个字节中的寄存器（文件）ID 选择要访问的 DW1000 参数或参数块的顶层寻址。在第二个事务标题字节中设置第 7 位，指示要使用索引寻址的长形式，因此第二个八位字节的剩余七位以及所有第三事务标题八位字节形成一个 15 位子索引选定的寄存器文件。

Bit number:	7	6	5	4	3	2	1	0	
Meaning:	Operation: 0 = Read 1 = Write	Bit = 1, says sub-index is present	Register file ID – Range 0x00 to 0x3F (64 locations)						Transaction Header Octet 1
	Extended Address: 1 = yes	Low order 7 bits of 15-bit Register file sub-address range 0x0000 to 0x7FFF (32768 byte locations)						Octet 2	
	High order 8 bits of 15-bit Register file sub-address range 0x0000 to 0x7FFF (32768 byte locations)						Octet 3		

Figure 6: Three octet header of the long indexed SPI transaction

紧跟在事务标题之后的事务主体的八位字节从所选择的子索引地址 0 至 32767 处开始被读取（或写入）选定的寄存器文件。



Figure 7: Example long-indexed write of one octet to index 310 of the TX buffer

图 7 显示了一个索引写入的例子，它使用三个八位字节标题的长度。这个例子是在子索引 0x136 处写入发送数据缓冲区。TX 缓冲区的寄存器文件 ID 为 0x09。事务头部的字

节 1 因此是 0xC9，因为位 7 是 1 来发信号，而位 6 是 1，指示子地址跟在后面。15 位子地址的二进制值为 000-0001-0011-0110。在事务头部的字节 2 中，位 7 被设置为指示扩展的子索引，而其余的位包含 0110110，即子地址的低 7 位。事务头部的字节 3 包含 00000010，子地址索引的其余八个高位，十六进制为 0x02。

可以使用这些 SPI 事务读取和写入的 DW1000 参数详见第 7 章 - DW1000 寄存器组。

2.2.2 中断

DW1000 可被配置为当一个或多个状态事件发生时，它的中断请求引脚（Interrupt Request, IRQ）将被使能。被使能的 IRQ 引脚可被用于中断主控制器和重定向程序流（程序跳转），从而解决引起事件的原因。

IRQ 引脚的极性可以通过 [系统控制寄存器 \(0x0D\)](#) 的 HIRQ_POL 位来设定，其上电之后的默认极性为高电平。高电平是推荐极性，这是为了保证 DW1000 在睡眠（SLEEP）和深度睡眠（DEEPSLEEP）状态下的最低功耗操作。本引脚将在睡眠和深度睡眠模式下保持浮空，除非引脚被拉低，否则可能会导致错误的中断。

状态事件的发生记录在系统时间状态寄存器（System Event Status Register, 0x0F）中，是否会引起 IRQ 引脚使能取决于系统时间掩码寄存器（System Event Mask Register, 0x0E）中相关位的设置。

2.2.3 通用 I/O

DW1000 提供了 8 个 GPIO 引脚。可以通过用户指令，将它们独立地分别配置为输入或输出引脚。任何被配置为输入引脚的 GPIO 引脚的状态可以被读取并通过 SPI 接口传送至主控制器。当 GPIO 引脚被配置为输出引脚时，主控制器可以控制其引脚电平的高低。

一些 GPIO 引脚的复用功能可见 DW1000 数据手册。

GPIO 引脚的配置和操作通过 GPIO 控制和状态寄存器（GPIO control and status, 0x26）来控制。

默认状态下，上电之后所有的 GPIO 引脚被配置为输入引脚。

2.2.4 同步引脚

本引脚用于外部时钟同步。细节详见 6.1 节。

2.3 DW1000 操作状态

2.3.1 状态图

DW1000 拥有大量互不相同的操作状态（或模式）。这些状态或模式的描述列举在下面的表 1 中，它们之间的转换关系如图 8 所示。

(此处为图 8)

表 1 DW1000 主要操作状态/模式

状态名称	状态描述
OFF(关闭)	在 OFF 状态下 DW1000 处于完全的掉电状态。没有电压可以通过输入引脚输入。能耗（电流）是 $0\ \mu\text{A}$ 。任何 I/O 引脚都不能被驱动，在 I/O 单元间也没有漏电流。
WAKEUP（唤醒）	在 WAKEUP 状态下，晶振和带隙被使能。在大约 4ms 后数字 LDO 将被使能，RSTn（输出）将被解除使能，从而使 DW1000 进入 INIT 状态。
INIT（初始化）	在 INIT 状态下主晶振开始运行。由 XTAL 引脚输入的 38.4MHz 的晶振频率被二分频为 19.2MHz 后被用作名为 XTI 的内部时钟。DW1000 的数字电路在 INIT 状态下使用这个 19.2MHz 的 XTI 时钟。 如果 DW1000 从 SLEEP 或 DEEPSLEEP 状态进入 INIT 状态，（或者是由于复位造成的初始化），其寄存器配置信息可以自动地从 AON 存储器阵列中重新加载。 之后 DW1000 将打开 CLKPLL，并在 $5\ \mu\text{s}$ 之后锁定 CLKPLL，DW1000 进入 IDLE 状态。 在 INIT 状态下，外部微控制器与 DW1000 的 SPI 通信是可能的，但 SPICLK 的输入频率被限制在不超过的 3MHz 的水平。当从 INIT 状态到 IDLE 状态的自动切换发生时，应注意在 CLK PLL 锁定时间内不要进行有效的 SPI 访问，因为时钟源的切换会导致 SPI 事务中的位错误。 通过控制寄存器选择 XTAL 作为时钟源，可以从 IDLE 状态返回 INIT 状态。通过禁用所谓的排序，设备不会自动转换到 IDLE 状态。
IDLE(空闲)	在 IDLE 状态下 DW1000 的内部时钟发生器 CLKPLL 被锁定运行并准备好被使用，但它对于绝大多数的电路来说是封闭的，从而减少功率消耗。SPI 通信速率在 IDLE 状态下可以达到 20MHz，即最高的 SPICLK 频率。模拟收发电路在 IDLE 状态下是掉电的。外部主机可以控制 DW1000 初始化一次发送或接收，从而使 DW1000 分别进入 TX 状态或 RX 状态。如果一个延迟的发送或接收操作被初始化（参见 3.3 节——延迟发送 和 4.2——节延迟接收 ），DW1000 之后将驻留在 IDLE 状态直到延迟时间过去。在这之后 DW1000 再进入 TX 或 RX 状态。
SLEEP(睡眠)	在 SLEEP 状态下，芯片的外部输入功耗小于 $1\ \mu\text{A}$ 。所有的内部 LDO 被关闭。在 SLEEP 状态下 DW1000 运行内部的低功耗晶振，它被用作睡眠计数器的时钟。计数器技术期满后“唤醒”DW1000 并使其进入 WAKEUP 状态。在 SLEEP 状态期间 GPIO、SPICLK 和 SPIMISO 引脚不上电，因为上电将导致漏电流的增加。
DEEPSLEEP（深度睡眠）	除了 OFF 模式外，DEEPSLEEP 模式是本器件功耗最低的模式。 在 DEEPSLEEP 模式下，除了永久存储器外的所有的内部电路都将断电。永久存储器用于保存器件配置信息并在 DW1000 被唤醒后将配置信息重新加载到器件中。 一旦 DW1000 进入 DEEPSLEEP 状态，它将保持这一状态，直到下述之一的唤醒事件发生： - SPICSn 线被拉低 - WAKEUP 线被拉高

	时间从 DW1000 数据手册中引用（通常为 500 μs）。 我们也推荐使用 SLP2INIT 或 CPLOCK 事件状态位（见 0x0F, 系统事件状态寄存器）来将中断输出线拉高，以达到确认 WAKEUP 状态的目的。 一旦 DW1000 检测到一项唤醒事件它便会进入 WAKEUP 状态，在 DEEPSLEEP 状态期间 GPIO、SPICLK 和 SPIMISO 引脚不上电，因为上电将导致漏电流的增加。
TX 状态	在 TX 状态下。DW1000 以配置好的发送参数（如脉冲重复频率、数据率、前导码等）通过配置好的 RF 信道主动发送一个帧，其内容为发送缓冲区的内容。 一旦数据帧发送完成，DW1000 会进入三个模式中的一个，进入哪一个取决于程序的配置。 在数据帧发送完成之后 DW1000 将进入 IDLE 状态，除非 ATXSLP 位被置位（该位在次级寄存器中：0x36:04 - PMSC_CTRL1）。在 ATXSLP 被置位的情况下，DW1000 将自动进入 SLEEP 或 DEEPSLEEP 状态（只要没有挂起的主机中断还没有处理即可）。 注意 DW1000 不可能同时处于 TX 和 RX 状态，因为 DW1000 是一个半双工的收发设备。
RX 状态	在 RX 状态下，DW1000 的接收器处于使能状态，要么在检测前导码，要么在主动接收搜索 SFD 的前导码（在前导码已经检测到的情况下），接着接收 PHR，对它进行解码，并将数据部分提取出来。在 RX 状态下，射频合成器和所有的射频模块都是使能的。在结束接收的事件（比如完整接收了一个帧，或是发生了错误或超时从而干扰了接收）发生后，DW1000 会回到 IDLE 状态，除非 ARXSLP 位被置位。在 ARXSLP 位（该位在次级寄存器中：0x36:04 - PMSC_CTRL1）被置位的情况下，DW1000 会自动进入 SLEEP 或 DEEPSLEEP 状态。 注意 DW1000 不可能同时处于 TX 和 RX 状态，因为 DW1000 是一个半双工的收发设备。
SNOOZE	SNOOZE 状态与 INIT 状态相似，但在该状态下运行了一个计数器，使得 DW1000 在计数器计数完成时可以自动进入 RX 状态（通过 INIT 和 IDLE 状态）。SNOOZE 计数时间以 19.2MHz 的 XTI 时钟速率为基本单元（因为此时 125MHz 的数字锁相环时钟不运行）。

2.4 上电复位

当外部时钟源首次用于 DW1000 时，内部的上电复位（Power On Reset, POR）电路对外部供电电压和内部上电阈值（大约 1.5V）进行比较，一旦外部电压越过该阈值晶振就被使能，外部设备使能引脚 EXTON 也被唤醒。一个运行在低功耗振荡器上的内部计数器被用于保持 DW1000 的复位状态一段时间，以保证外部晶振在起振并稳定震荡后再被用作时钟源。从这个阶段起 DW1000 将自动运行在 CLKPLL 时钟上，并在进入 IDLE 阶段之前等待锁定。

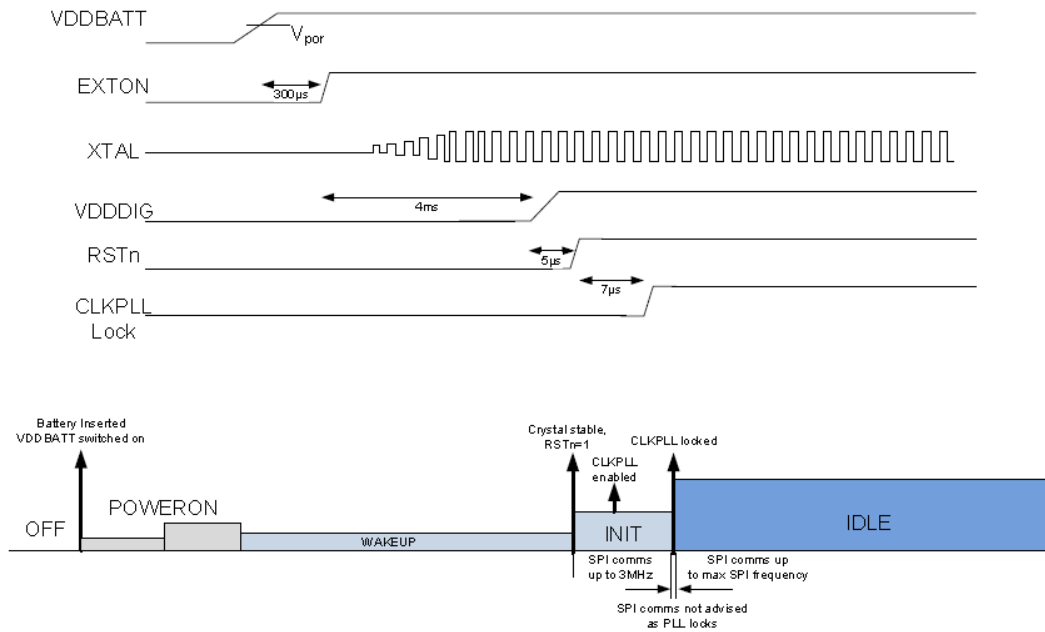


Figure 9: Timing diagram and power profile for cold start POR

2.4.1 睡眠和深度睡眠

在 DW1000 超低功耗的 DEEPSLEEP 状态下，除了小部分用于维持芯片配置信息的存储器必须供电外，芯片几乎完全掉电。这一低功耗模式下的漏电流低于 100nA。为了将芯片从 DEEPSLEEP 状态中唤醒，需要一个外部代理来使能 WAKEUP 输出线，或者一个外部主控制器初始化一次 SPI 事务并使能 SPICSn 输入。

DW1000 还具有另一个低功耗状态 SLEEP，在此状态下芯片可以从睡眠中自我唤醒，因为其内部有一个运行在低功耗环形振荡器上的睡眠计时器。在 SLEEP 状态下漏电流小于 1 μ A。DW1000 从 SLEEP 状态的唤醒可能是由于睡眠计时器计时完成，WAKEUP 或 SPICSn 输入线也可以用来唤醒设备。

低功耗振荡器的频率取决于芯片内部的过程变量，不过通常其频率都会介于 7000~13000Hz 之间。IC 内部有部件可以测量 LP 振荡器周期的长度，以 IC 晶体振荡器的二分频计数（比如这里是 38.4MHz/2，或 19.2Hz）。

2.4.1.1 从睡眠中唤醒

自 SLEEP 或 DEEPSLEEP 状态的返回，需要通过：

拉高 WAKEUP 引脚约 500 μ s，（假设次寄存器 0x2C:06-AON_CFG0 中的 WAKE_PIN 配置位被置位）

拉低 SPICSn 引脚约 500 μ s，（假设次寄存器 0x2C:06-AON_CFG0 中的 WAKE_SPI 配置位被置位）。这可以通过进行一次无意义的足够长度的 SPI 读来实现。

注意：当使用 SPICSn 引脚来唤醒设备时，SPIMOSI 线要保持拉低，以保证不会发生错误的写操作。

除此之外，从 SLEEP 状态返回的情况也发生在：

内部睡眠定时器计数完成（假设次寄存器 0x2C:06-AON_CFG0 中的 WAKE_CNT 配置位

被置位，并且设置了适当的 *SLEEP_TIM* 值）。

在所有的这三个唤醒事件后设备默认回到 IDLE 状态，之后的其他状态转换可根据配置自动执行。

2.4.1.2 配置寄存器保存

在进入 SLEEP/DEEPSLEEP 状态前或退出唤醒状态前，DW1000 主要的配置信息会被拷贝进或是拷贝出 AON 存储器中。AON 存储器总是保持上电状态，即使芯片处于 SLEEP 或 DEEPSLEEP 状态时也是如此。配置信息的拷贝（存入或恢复）需要约 7 μ s 的时间完成。哪些配置信息会被存储或恢复的细节在 [表 44：在 AON 中保持的配置信息](#) 中给出。在 WAKEUP 状态期间配置信息的恢复仅仅在 ONW_LDC 配置位被置位时才能完成，该配置位在 [次级寄存器 0x2C:00-AON_WCFG](#) 中。

注意：在拷贝周期内，主机系统应该避免对通用寄存器和 OTP 存储器的 SPI 写入或读取，以防止任何可能出现的冲突。在配置信息拷贝器件对 TX 或 RX 缓冲区的读取或写入不被限制。

2.4.1.3 从 OTP 存储器中自动装载 LDO 校准数据

当芯片从 SLEEP 或 DEEPSLEEP 状态中被唤醒时，如果 LDOTUNE_CAL 值在测试校准时被修改，必须将 LDOTUNE_CAL 值从 OTP 存储器中加载出来。为了确认 LDOTUNE_CAL 值是否被修改，首先读取 OTP 存储器中地址为 0x4 的单元。如果读取的数值是非零的（只需检查第一个字节），说明器件已经被校准了，并且 ONW_LLDO 位必须置位（该位在 [次级寄存器 0x2C:00-AON_WCF](#) 中）。这使得 OTP 参数 LDOTUNE_CAL 在每次 DW1000 被唤醒后都可以自动装载到相应的寄存器（次级寄存器 0x28:30-LDOTUNE）中。如果 OTP 的地址为 0x4 的单元值为零，那么 ONW_LLDO 位禁止置位。

2.4.2 DW1000 支持的特殊状态序列

DW1000 支持一些在特定应用下可以是功耗最小的状态序列，它们是：

模式名称	模式描述
SNIFF（嗅探）模式	在 SNIFF 模式下 DW1000 选择 RX（开启）或 IDLE（关闭）状态中的一个。关于此模式的细节详见 4.5.1-SNIFF 一节。
LOW DUTY CYCLE SNIFF MODE （低负荷循环嗅探）模式	在 LOW DUTY CYCLE SNIFF MODE 模式下，当关闭时间较长时，DW1000 可以将关闭时间设为 INIT 状态，该状态的功耗比 IDLE 状态要低（用于 SNIFF 状态中的关闭时间）。 关于此模式的细节详见 4.5.2-Low duty-cycle SNIFF 一节
LOW POWER LISTENING （低功耗侦听）模式	低功耗侦听模式是一个特殊的模式，在此模式下接收器大多数时间处于低功耗（SLEEP 或 DEEPSLEEP）模式下，只偶尔醒来采集信息。这一特性详见 4.4-Low-Power Listening 一节。

2.5 上电默认设置

DW1000 是一个多个特性的可配置度很高的收发器件。寄存器的复位值的选择使得用户

可以尽可能少地配置参数。默认配置可以总结为：通道 5，前导码 4 和模式 2。通道号和前导码符合 IEEE 802.15.4-2011[1]标准，模式 2 在 DW1000 数据表模式中指定，并包含以下配置：

Table 2: Mode 2 Excerpt from DW1000 Data Sheet Operational Modes Table

Mode	Data Rate	PRF (MHz)	Preamble (Symbols)	Data Length (Bytes)	Packet Duration (μs)	Typical Use Case (Refer to DW1000 user manual for further information)
Mode 2	6.8 Mbps	16	128	12	152	RTLS, TDOA Scheme, Short Range, High Density

下面给出一些关于默认设备配置细节的更多细节。想要获知所有的细节，读者需要查阅寄存器映射，其默认值在第 7 节——[DW1000 寄存器集合](#)中给出。

2.5.1 默认系统设置

许多系统配置需要在 SYS_CFG 寄存器中进行设置，请参阅[寄存器文档：0x04-System Configuration\(系统配置\)](#)一节，以获取寄存器内容和默认值的完整描述。

默认条件下，中断极性为高且所有重点不被使能，查询寄存器 SYS_CFG 获知中断极性，查询寄存器 SYS_MASK 和 SYS_STATUS 获知中断配置和中断信息。请参阅[寄存器文档：0x0E-System Event Mask Register（系统事件掩码寄存器）](#)和[寄存器文档：0x0F-System Event Status Register（系统事件状态寄存器）](#)。

GPIO 被配置为模式 0，它们的默认功能见表 3。

Table 3: GPIO Default Functions

GPIO Pin	Default Function
GPIO0/RXOKLED	GPIO0
GPIO1/SFDLED	GPIO1
GPIO2/RXLED	GPIO2
GPIO3/TXLED	GPIO3
GPIO4/EXTPA	GPIO4
GPIO5/EXTTXE/SPIPHA	GPIO5
GPIO6/EXTRXE/SPIPOL	GPIO6
SYNC/GPIO7	SYNC
IRQ/GPIO8	IRQ

智能发送功耗（Smart TX power）默认开启，详见寄存器文档：0x1E-Transmit Power Control（发送功耗控制）和 Smart Transmit Power Control（智能发送功耗控制）中的配置和操作信息。

Sniff 模式是关闭的，相关细节见寄存器文档：0x1D-SNIFF Mode(嗅探模式)，帧等待超时（见 SYS_CFG 寄存器位 RXWTOE 和寄存器文档：0x0C-Receive Frame Wait Timeout Period(帧接收超时周期)）和前导码检测超时（见次级寄存器 0x27:24-DRX_PRETOC）是关

闭的，而 SFD 检测超时（见次级寄存器 0x27:20-DRX_SFDT0C）是开启的。

SYS_CFG 寄存器的其他设置，例如自动接收器再使能(RXAUTR)，以及 MAC 功能，例如帧过滤(FFEN)、双缓冲区(DIS_DRXB)，自动确认(AUTOACK)等，都是默认关闭的。自动 CRC 码生成默认开启，CRC LFSR 初始化为 0s(FCS_INIT2F)。

注意 CRC 码生成是发送命令的一部分，见寄存器文档：0x0D-System Control Register（系统控制寄存器）。

外部同步和外部功率放大器的使用默认不被使能，见 6.2-外部同步和 6.3-外部功率放大器两节。

2.5.2 默认通道设置

通道 5，前导码 4 和 16MHz PRF 是在 CHAN_CTRL 寄存器中的默认设置，更多信息详见 [寄存器文档：0x1F-Channel Control\(通道控制\)](#)。

发送数据率在 TX_FCTRL 寄存器中被设置为 6.8MHz，详见 [寄存器文档：0x08-Transmit Frame Control\(发送帧控制\)](#)中的 TXBR 域。接收数据率不被设置，除非需要 110kbps 的接收数据率。注意 110kbps 的接收数据率必须在 SYS_CFG 寄存器中的 RXM110K 域中设置，详见 [寄存器文档：0x04-System Configuration\(系统配置\)](#)。

通道 5 的操作默认配置了射频锁相环和时钟锁相环，各个通道的通道配置请参阅 [寄存器文档：0x2B-Frequency synthesizer control block\(频率合成器控制单元\)](#)。

2.5.3 默认发送器配置

发送射频通道默认配置为通道 5——见次级寄存器 0x28:0C-RF_TXCTRL。

智能发送功耗模式默认使能，通过 SYS_CFG 寄存器中的 DIS_STXP 位设定，参见寄存器文档：0x04-System Configuration(系统配置)。更多信息见 7.2.31.2-Smart Transmit Power Control 一节。

发送前导码符号重复长度是 128 个符号，见寄存器文档：0x08-Transmit Frame Control(发送帧控制)。

2.5.4 默认接收器配置

接收射频通道默认配置为通道 5，见次级寄存器 0x28:0B-RF_RXCTRLH。

数字接收其调节寄存器：DRX_TUNE0b, DRX_TUNE1a, DRX_TUNE1b 和 DRX_TUNE2 默认配置为 16MHz PRF，6.8Mbps 数据率，前导码符号重复长度是 128 个符号。编程细节见次级寄存器 0x27:02-DRX_TUNE0b, 次级寄存器 0x27:04-DRX_TUNE1a, 次级寄存器 0x27:06-DRX_TUNE1b 和次级寄存器 0x27:08-DRX_TUNE2。

[LDERUNE](#) 位默认使能，这意味着已经加载至 RAM 中的微代码（LDE 算法）将在每次帧接收时执行，并计算出准确的帧到达时间。不过，DW1000 需要在上电时将这段微代码从一个特殊的 ROM 中加载出来。这需要使能 [LDELOAD](#) 位，并在 DW1000 初始化中实现（因为在刚刚上电，或者从 SLEEP/DEEPSLEEP 中唤醒后，RAM 中是没有内容的）。如果计算接收帧的时间戳很重要，上述过程应当在接收器使能前完成。如果 LDE 代码没有在接收器

使能之前加载出来, [次级寄存器 0x36:04-PMSC_CTRL1](#) 中的 LDERUNE(LDE 运行使能)控制必须被关闭 (置为 0)。

2.5.5 需要修改的默认配置

尽管 DW1000 的默认配置是上电可用的模式,但一些寄存器的默认设置并不是最优的,需要在使用默认模式前进行修改。

2.5.5.1 AGC_TUNE1

AGC_TUNE1 默认值为 0x889B, 对于默认 16MHz 的 PRF 不是最优值。为了达到最好的使用效果, 用户应在继续使用默认配置之前将其设定为 0x8870。参见 [次级寄存器 0x23:04-AGC_TUNE1](#)。

2.5.5.2 ACG_TUNE2

为了使 DW1000 正常工作, AGC_TUNE2 必须按照 [次级寄存器 0x23:0C-AGC_TUNE2](#) 中的描述配置。

2.5.5.3 DRX_TUNE2

DRX_TUNE2 默认值为 0x311E0035, 对于默认状态下的 PRF 和 PAC 不是最优值为了达到最好的使用效果, 用户应在继续使用默认配置之前将其设定为 0x311A002D。参见 [次级寄存器 0x23:04-DRX_TUNE2](#)。

2.5.5.4 NTM

NTM 默认值为 0xC, 为达到最好的使用效果, 应将其设置为 0xD, 参见 [次级寄存器 0x2E:0806-LDE_CFG1](#)。

2.5.5.5 LDE_CFG2

LDE_CFG2 默认值为 0x0000, 对于默认 16MHz 的 PRF, 在继续使用默认配置之前应将其设定为 0x1607。参见 [次级寄存器 0x2E:1806-LDE_CFG2](#)。

2.5.5.6 TX_POWER

TX_POWER 默认值为 0x1E080222 在继续使用默认配置之前应将其设定为 0x0E082848。更多相关信息参见 [7.2.31.2-Smart Transmit Power Control](#) 一节。

2.5.5.7 RF_TXCTRL

RF_TXCTRL 默认值并非最优值。该值应在继续使用默认配置之前根据表 36 针对通道 5 进行配置。更多相关信息参见 [次级寄存器 0x28:0C-RF_TXCTRL](#)。

2.5.5.8 TC_PGDELAY

TC_PGDELAY 默认值为 0xC5, 对于通道 5 来说是不正确的。应在继续使用默认配置之前将其设置为 0xC0。更多相关信息参见 [次级寄存器 0x2A:0B-TC_PGDELAY](#)。

2.5.5.9 FS_PLLTUNE

FS_PLLTUNE 默认值为 0x46, 对于通道 5 来说是不正确的。应在继续使用默认配置之前将其设置为 0xBE。更多相关信息参见 [次级寄存器 0x2B:0B-FS_PLLTUNE](#)。

2.5.5.10 LDELOAD

LDELOAD 默认重置为 0。如果需要从接收帧中获取时间戳和诊断信息, 其设置应作为 DW1000 初始化过程的一部分在接收器使能之前完成。更多信息参见 LDELOAD 的描述。下表展示了将微代码从 ROM 加载到 RAM 的编程步骤。

Table 4: Register accesses required to load LDE microcode

Step Number	Instruction	Register Address	Data Length (Bytes)	Data (Write/Read)
L-1	<i>Write Sub-Register</i>	0x36:00 (PMSC_CTRL0)	2	0x0301
L-2	<i>Write Sub-Register</i> <i>Wait 150 μs</i>	0x2D:06 (OTP_CTRL)	2	0x8000
L-3	<i>Write Sub-Register</i>	0x36:00 (PMSC_CTRL0)	2	0x0200

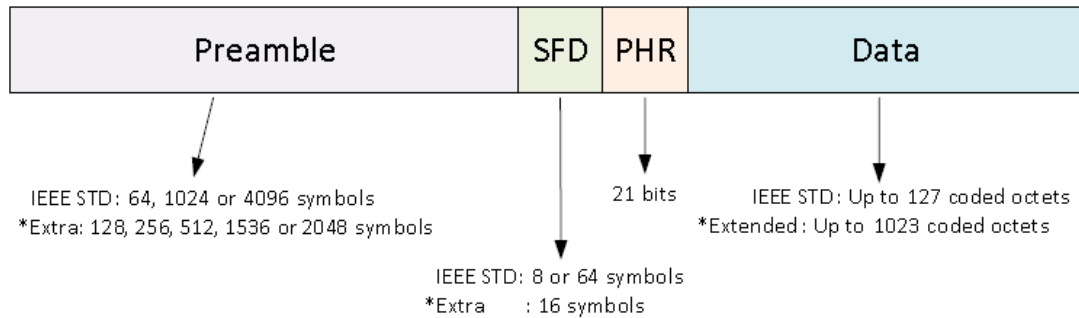
2.5.5.11 LDOTUNE

如果 LDOTUNE_CAL 值在 IC 生产校正期间已经被修改，那么把它从 OTP 中加载出来是很有必要的。为了验证 LDOTUNE_CAL 值是否被修改，首先要读取 OTP 中地址为 0x4 的单元值。如果是非零值（只需检查第一个字节），说明器件已经被校准。若想使器件在 SLEEP 或 DEEPSLEEP 模式唤醒后自动地加载 LDOTUNE_CAL 值，请参阅 Waking from sleep 一节。若想直接使用 LDOTUNE_CAL 值，应当从 OTP 中直接读取，并将它写入 *次级寄存器: 0x28:30 LDOTUNE*。

3 消息发送

3.1 基本发送

数据帧的发送是 DW1000 发送器的一项最基本的功能。图 10 展示了发送帧中的各个要素。



*标有“Extra”或“Extended”的附加配置项产权属于 Decawave；扩展长度数据帧的细节参见 3.4 节。

帧中各要素的调制细节参见第十节-附录 1：IEEE 802.15.4 物理层。

发送顺序如图 11 所示。DW1000 从 IDLE 的初始模式等待主控制器的指令。

为了发送数据帧，主机必须向寄存器:0x09-Transmit Data Buffer（发送数据缓冲区）中写数据。对前导码长度、数据率和 PRF 的选择也要写入寄存器:0x08-Transmit Frame Control（发送帧控制）。发送器配置在 IDLE 模式下进行，但正如 3.5-High Speed Transmission（高速发送）一节所描述的，帧配置需要在活动发送状态下执行。假设所有其他配置都已经完成，主机通过设置寄存器:0x0D-System Control Register（系统控制寄存器）中的 TXSTRT 控制位来启动发送。发送请求完毕，DW1000 将自动地将完整的一帧发送出去，包括：前导码、SFD、PHR 和数据。FCS（CRC，循环冗余校验）自动添加在消息中，作为 MAC 帧的补充。

发送结束将以寄存器:0x0F-System Event Status Register（系统时间状态寄存器）中的 TXFRS 位状态的形式通知主机。之后 DW1000 将回到 IDLE 模式，等待新的指令。

更多的发送特点在下列章节中进行表述：

- 发送消息时间戳——见 3.2 节-发送时间戳
- 延迟发送——见 3.3 节-延迟发送
- 加长发送帧——见 3.4 节-扩展长度发送帧
- 高速发送——见 3.5 节-高速发送

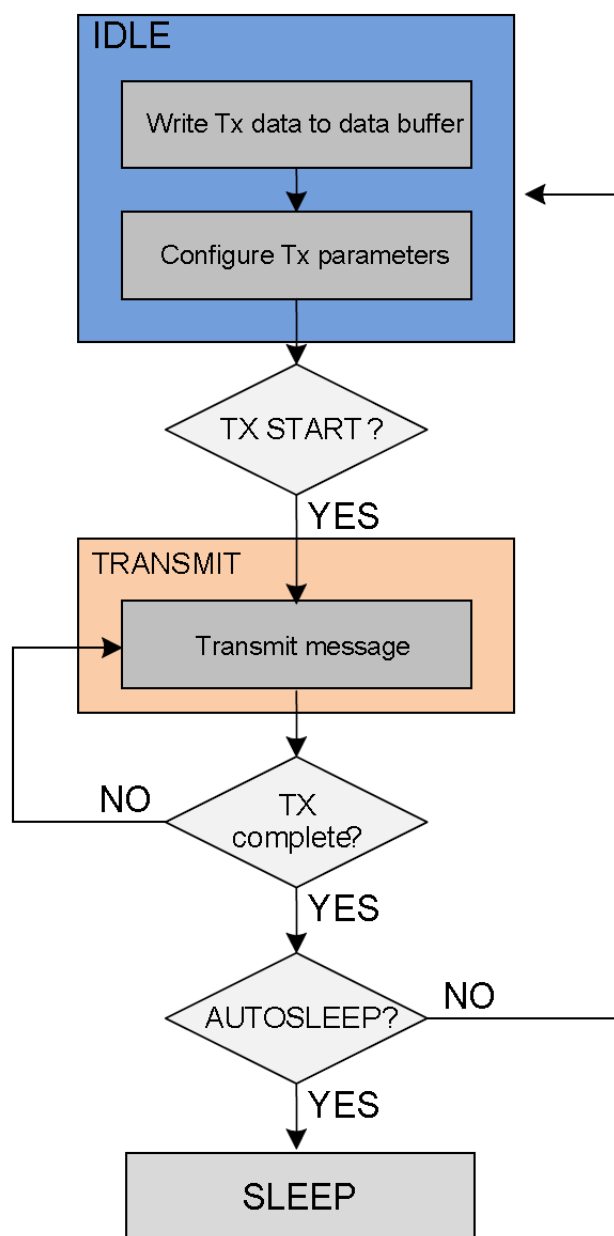


Figure 11: Basic Transmit Sequence

3.2 发送时间戳

在帧发送中，PHR（PHY 头部）的起始部分被 IEEE 802.15.4 UWB PHY 标准指定为消息的时间戳。当 PHR 的第一个字符从天线发送出去时（记为 RMARKER），这个时刻称为发送时间戳。

DW1000 的数字发送电路在 PHR 开始发送时，记下系统时钟计数器的值，作为未经处理的发送时间戳。之后它将加上天线的发送时延（在 [寄存器：0x18-Transmitter Antenna Delay](#)（发送器天线延迟）中配置），以获得天线调整后的发送时间戳，并将该值写入 [寄存器：0x17-Transmit Time Stamp](#)（发送时间戳）中的 TX_STAMP 域。

还可以参考 8.3 节-IC Calibration(器件校正)-Antenna Delay(天线延迟)。

3.3 延迟发送

对于延迟发送来说，发送时间应写入寄存器:0x0A-Delay Send or Receive Time (延迟发送接收时间)，延迟发送的初始化通过设置寄存器:0x0D-System Control Register(系统控制寄存器)中的 TXDLYS 和 TXSTRT 来进行。

延迟发送的其中一个设计目标，就是规定的发送时间能够预测，并且与发送时间戳保持一致。这是因为指定的传输时间是发射 RMARKER 的时间（不包括 TX 天线延迟），即原始发送时间，TX_RAWST（在 [寄存器:0x17-Transmit Time Stamp（发送时间戳）](#) 中），这个时间没有加上天线的发送延迟。这使得信息的发送时间可以被提前计算，并嵌入至被发送的信息中。

注意：延迟发送值的低 9 位（在 [寄存器:0x0A-Delayed Send or Receive Time（延迟发送接收）](#) 中配置）在时间分辨率为 8ns（更为精确地说，是 $4 \div (499.2 \times 10^6)$ ）时被忽略不计。为了计算天线上 RMARKER 的传输时间，延迟发送时间的低 9 位应该在加入天线发送延迟之前置零。

在执行延迟传输时，DW1000 计算何时开始发送前导码的内部开始时间，以使 RMARKER 原始时间戳与编程的传输时间一致。在系统时间（[寄存器文件: 0x06-System Time Counter 系统时间计数器](#)）达到正确的时间点，开启发射机并开始传输前导码之前，DW1000 保持空闲状态。

延迟传输(和接收)的一种用途是在对称双面双向测距中（在[附录 3: 双向测距](#)中描述）。其中重要的是保持两端的响应时间相同，以减少范围估计上的错误。

3.4 扩展长度数据帧

标准 IEEE 802.15.4-2011 UWB 帧可承载 127 字节的有效载荷。DW1000 支持非标准操作模式，帧长度可达 1023 字节的数据。该操作模式通过寄存器文件: 0x04 - 系统配置的 PHR_MODE 选择位启用。

在这种专有模式下，PHY 头（PHR）被重新定义为携带帧长度的 3 个额外位。为了在两个 DW1000 设备之间传送扩展长度数据帧，必须通过寄存器文件: 0x04 - 系统配置的 PHR_MODE 选择位将两端设置为长帧 PHY 标头模式。如果该设置仅在链路的一端，则任何尝试通信都将失败，并报告 PHR 错误。选择长帧模式时，DW1000 将无法与任何使用标准帧编码操作的设备进行通信，因为长帧模式下 PHR 的 SECDED 错误检查序列与标准编码不兼容。

还要注意，帧内出现错误的概率随着帧长度的增加而增加，并且由于帧长度的增加，帧长度的增加可能会或可能不会提高系统吞吐量，这取决于帧错误率以及当需要重新发送帧时有一个错误。

在长帧模式下，只有来自寄存器文件: 0x08 - 发送帧控制的 TXPSR 值的高位在 PHR 中发送，并在寄存器文件: 0x10 - RX 帧信息寄存器的 RXPSR 值中报告。

专有扩展长度数据帧的 PHR 编码如图 12 所示：

Bit 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
R1	R0	L9	L8	L7	L6	L5	L4	L3	L2	L1	L0	P0	S5	S4	S3	S2	S1	S0
Data Rate	Frame Length											Preamble Duration	SECDED Check Bits					

Figure 12 : PHR Encoding Extended Length Data Frames

数据速率字段具有与用于 IEEE 802.15.4-2011 PHR 的编码相同的编码。

帧长度字段 L9-L0 是无符号的 10 比特整数，其指示来自 MAC 子层的 PSDU 中的八比特组的数目。 请注意，长度的高位是先传送的。

单个位 P0 提供前导码持续时间字段，指示表 5 中所示的 SHR 的 SYNC 部分的长度。

Table 5: Preamble Duration field values in Extended Length Data Frame PHR

P0	Preamble length for BPM-BPSK modulation mode
0	64 to 1024 symbols
1	1536 to 4096 symbols

接收器可以使用前导码持续时间字段来设置 ACK 帧的前导码持续时间的值。

有效的前导码长度是 64,128,256,512,1024,1536,2048 和 4096 个符号。 自从序言

发送帧中的持续时间字段覆盖前导码长度的范围，接收器可以对接收到的前导码符号的数量进行计数，以额外地通知针对任何响应帧的前导码长度的选择。

SECDED (单错误正确，双错误检测) 字段 S5-S0 是一组六个奇偶校验位，用于保护 PHR 免受由噪声和信道损伤引起的错误的影响。 SECDED 计算与 IEEE 802.15.4-2011 标准中的定义相同，除了 C5-C0 位被反转以获得 S5-S0，如下所示：

$$S0 = NOT(C0)$$

$$S1 = NOT(C1)$$

$$S2 = NOT(C2)$$

$$S3 = NOT(C3)$$

$$S4 = NOT(C4)$$

$$S5 = NOT(C5)$$

3.5 高速传输

DW1000 的某些功能旨在支持变送器的最大利用率。 这些功能如下所述：

3.5.1 TX 缓冲区偏移索引

TXBOFFS 字段（在寄存器文件：0x08 - 发送帧控制中）允许 TX_BUFFER 用于保存多个帧（假定数据可以适应缓冲区的 1024 个八位字节）。在发起传输时，主控制器将 TXBOFFS 偏移索引设置为要发送的帧的第一个八位位组，并将长度字段设置为反映要发送的帧的长

度。发送过程中，主机控制器可以准备另一帧并写入 TX_BUFFER 的不同部分。然后，在发送第一帧之后，主机节省了写入下一个数据帧所需的时间，并且只需要设置偏移并开始下一帧的发送。

在数据流传输或批量数据传输期间，主机控制器可能会将 TX_BUFFER 分成两个 512 字节的区域，每个区域交替发送。对于确认的数据传输，则：接收帧“A”的确认，可以用于触发发送下一帧，即帧“B”，该帧已经在另一半中等待并且同时用信号通知包含确认帧“A”的缓冲区现在可以（在发送帧“B”的同时）用后续帧的数据填充，帧“C”。在没有收到对帧“A”的确认的情况下，其数据仍然在 TX_BUFFER 中准备重传。

3.5.2 TX 缓冲区在发送或接收时写入

为了快速周转，可以在将帧数据写入 TX_BUFFER 之前启动前导码发送，或者将帧长度写入寄存器文件的 TFLEN 和 TFLE 字段中指定的长度：0x08 - 发送帧控制。因此，在将 TX 数据写入 DW1000 之前，可以开始前导码传输。然后主机微处理器具有任何固定响应延迟的时间以及发送前同步码和 SFD 的时间，然后它需要在 TFLEN 和 TFLE 中设置帧长度，以便 DW1000 插入到 PHR 中，然后主微处理器需要在 DW1000 发射器消耗数据之前将单个字节的数据写入 TX_BUFFER。

显然要做到这一点，需要注意帧长设置已准备好包含在 PHR 中，并在数据被消耗之前将数据写入 TX_BUFFER，并且需要机制来确保错误的不能作为一个好的框架。实现此目的的机制涉及使用 SFCST 抑制 FCS 传输，直到所有数据写入 TX_BUFFER，然后 CANSFCS 取消该抑制，以便发送 FCS。（SFCST 和 CANSFCS 都在寄存器文件：0x0D - 系统控制寄存器中）。

虽然这种技术可用于快速响应，但它也可用于在使用第 3.5.1 节中描述的方案 - TX 缓冲区偏移索引不合适的情况下进行流式传输，即帧大小介于 513 和 1023 之间的情况下字节。

同样，如果 DW1000 正在主动接收数据，则可能会在接收器处于活动状态时将数据写入 TX_BUFFER。以下是最佳吞吐量或快速响应周转时的注意事项：

(a) 框架的长度应尽早设置：

对于流式传输，一旦 PHR 被发送，即在发送 TXPHS（发送 PHY 报头发送）事件之后，TFLEN，TFLE，TXBOFFS 可以被重新编程用于下一帧。

为了传输响应，取决于应用，可以在请求消息到达之前知道响应的长度。例如在双向测距中通常是这样。

(b) 尽早开始传播：

对于流式传输，只要前一次传输完成或先前的接收已完成（RXDFR 已设置）。这通过激活 TXFRS（发送帧发送）事件状态位在寄存器文件中设置：0x0F - 系统事件状态寄存器，这是通常由主机系统中的中断处理程序拾取的事件。

为了传输响应，应用程序可能必须在决定是否响应之前解析某些消息。这种解析也许可以提早开始，但在任何情况下，在信息到达后尽可能快地发起传输以征求响应。消息到达通过寄存器文件中的 RXDFR（接收器数据帧就绪）事件状态位发送：0x0F - 系统事件状态寄存器，通常也由主机系统中的中断处理程序拾取的事件。

寄存器文件中的 SFCST（发送启动，禁止自动 FCS 发送）指令发出 TXSTRT：0x0D - 系统控制寄存器开始发送。这将启动前导码传输。

(c) 尽可能快地将帧数据写入 TX_BUFFER。

这可以在中断处理程序中或由它安排的高优先级任务中完成。

(d) 其后尽快取消对 FCS 的限制。

这是通过在寄存器文件：0x0D - 系统控制寄存器中发布 CANSFCS（取消抑制自动 FCS 传输）指令完成的。假设主机在 DW1000 需要消耗它之前已将每个八位字节的数据写入 TX_BUFFER，那么这将会成功并且帧将以良好的 CRC 发送，并且这基本上是关于该技术的讨论的结束。

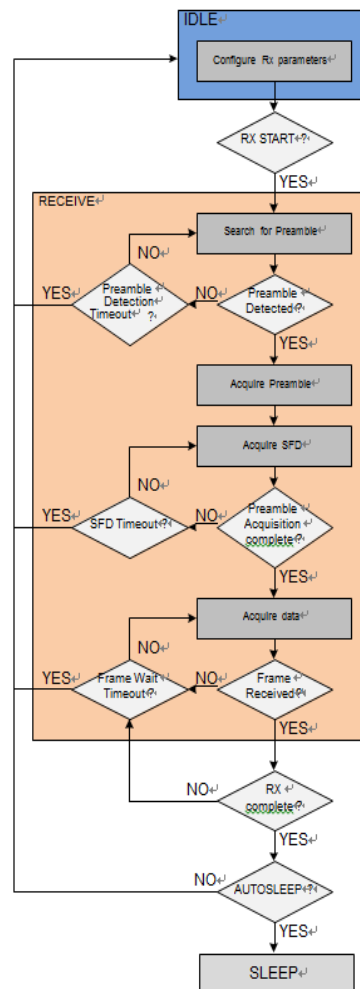
如果主机系统写入数据的速度不够快，则会导致帧被发送错误的的数据，但 CRC 错误。DW1000 发送器包含一个电路，用于检测主机微处理器在选定的 TXBOFFS 和 IC 已经消耗数据的任何地址之间写入缓冲器，这意味着数据写入太迟而无法发送。这种“发送缓冲区错误”情况将导致 DW1000 忽略 CANSFCS 命令，因此帧发送的 CRC 错误。它由寄存器文件中的 TXBERR 位指示：0x0F - 系统事件状态寄存器。显然，这是一个糟糕的情况，不利于系统性能。系统设计人员应该避免这种情况，在设计阶段调试和删除它，通过确保系统响应能力足以使其永不发生（例如，通过采用更快的处理器或更快的 SPI，或通过增加响应/帧间延迟或增加前导码长度）。

4 信息接收

4.1 基本接待

通过主机请求或通过自动重新启用接收器来启用帧的接收。接收机将持续搜索前导码，直到检测到或获取前导码为止，此时将尝试进行解调。前导码检测超时可被设置为允许接收器在期望的时段之后停止搜索前导码。一个基本的接收序列如图 12 所示

4.1.1 序言检测



前同步码序列通过长序列中多个前同步码符号的块互相关来检测。所使用的块大小由子寄存器 0x27: 08 - DRX_TUNE2 中的 PAC 配置选择。PAC 大小应该根据预期的前导码大小来选择。当前导码足够长时，更大的 PAC 尺寸可以提供更好的性能。但是，如果 PAC 对于前同步码长度来说太大，那么接收机性能将会受到损害，或者不能在极端情况下工作（例如，64 的 PAC 将永远不会接收只有 64 个前导码符号的帧）。表 6 给出了在接收器中使用的建议 PAC 大小配置，具体取决于发射器中使用的前导码长度。

表 6: 建议的 PAC 大小

预期的接收帧的 前导码长度 [↗]	推荐的 PAC 大小 [↗]
64 [↗]	8 [↗]
128 [↗]	8 [↗]
256 [↗]	16 [↗]
512 [↗]	16 [↗]
1024 [↗]	32 [↗]
1536 [↗]	64 [↗]
2048 [↗]	64 [↗]
4096 [↗]	64 [↗]

前导码长度的选择在第 9.3 节“数据速率的选择，前导码长度和 PRF”中讨论。如果在配置的时间内未检测到有效的前导码，则可以中止接收。这是通过使用在子寄存器 0x27: 24 - DRX_PRETOC 中可编程的前导码检测超时完成的。在发送正在等待响应的消息之后，这可能是有用的。在这里，如果前导码没有被检测到，那么等待的响应就没来了。前导码检测超时可用于尽早放弃接收，节省电力。

前导码检测状态也有可能以称为脉冲前导码检测模式 (PPDM) 的模式工作，或者可以通过寄存器文件: 0x1D - SNIFF 模式编程的 SNIFF 模式工作。这是一种技术，在该技术中，接收机定期地例如 (“嗅”) 空气，例如，50% 或 25% 的时间，以减少前导码检测期间所需的功率。

4.1.2 序言累积

一旦检测到前导码序列，接收机开始累积相关的前导码码元，同时寻找 SFD 序列（前导码码元的特定序列，参见 10.3-同步头调制方案的细节）。当检测到 SFD 时，累加停止，但是如果累加器快速增长，则可能会提前停止（例如在近距离视线条件下的情况），在这种情况下，接收机继续接收前导码搜索 SFD 序列，而不累积。

4.1.3 SFD 检测

SFD 的检测是接收帧的关键事件，因为它标记了 PHY 头的开始，它定义了带有时间标记的 RMARKER（见 4.1.6-接收消息时间戳），它标记从前置码解调改变到 PHR（和随后的数据）的 BPM / BPSK 解调。

4.1.4 PHR 解调

PHY 报头 (PHR) 的主要作用是传送帧的数据部分的长度，并指示用于数据解调的数据速率。有关 PHY 标头的详细信息，请参见第 10.4 节 - PHY 标头。对于 850kbps 和 6.8Mbps 的数据速率，按照 850kbps 数据速率对 PHR 进行调制/解调（注意，由于里德所罗门编码不应用于 PHR，其比特率大约为 1Mbps）。如果 PHR 指示 850kbps，则数据解调以该速率继

续,但是如果 PHR 指示 6.8Mbps,则随着数据解调开始,解调在 PHR 结束时改变为该速率。

4.1.5 数据解调

10.2 节 - 数据调制方案描述了调制方案。在接收机中,使用维特比 (Viterbi) 解码器来恢复数据比特 (这也用于 PHR 接收),然后通过里德所罗门 (Reed Solomon) 解码器来进行任何进一步的校正。接收到的每个八位字节都通过一个 CRC 校验器,检查帧是否与发送的 FCS 相符。

当接收到数据字节时,如果启用,也可以使用帧过滤功能进行分析,请参阅第 5.2 节“帧过滤”了解更多详细信息。

帧的成功接收通过寄存器文件: 0x0F - 系统事件状态寄存器中的 RXDFR 和 RXFCG 事件状态位发送给主机。该寄存器中的其他状态位可用于标记帧的其他部分的接收,或者指示故障的事件,即 RXPTO (前导码检测超时),RXSFDTO (SFD 超时),RXPHE (PHY 头错误),RXRFSL (Reed Solomon 错误),RXRFTO (帧等待超时)等。

其他相关的功能是

- (1) 延迟接收 - 请参阅第 4.2 节 - 延迟接收。
- (2) 长接收帧 - 请参见第 3.4 节“扩展长度数据帧”。
- (3) 双缓冲 - 请参见第 4.3 节 - 双接收缓冲区。
- (4) 接收消息时间戳 - 请参阅 4.1.6 - 接收消息时间戳。

4.1.6 接收消息时间戳

在帧接收期间,标记报头结束和 PHR 开始的 SFD 检测事件是由 IC 时间标记的标称点。IEEE 802.15.4 UWB 标准指定这个 RMARKER 到达天线的时间作为时间标记的重要事件。

DW1000 数字接收机电路采用发生 RMARKER 事件的符号的粗略时间戳,并添加各种校正因子以给出合成的调整时间戳值,即 RMARKER 到达天线的时间。这包括减去子寄存器 0x2E: 1804 - LDE_RXANTD 中配置的接收天线延迟,并添加嵌入在 DW1000 中的第一条路径 (前沿) 检测算法确定的校正因子。得到完全调整的 RX 时间戳被写入寄存器文件: 0x15 - 接收时间戳。

另见第 8.3 节 - IC 校准 - 天线延迟。

注意: 由于接收器重新初始化的问题,有必要在发生某些接收器错误或超时事件 (即 RXPHE (PHY 头错误),RXRFSL (Reed Solomon 错误),RXRFTO (帧等待) 超时) 等)。这确保下一个好框架将正确计算时间戳。在 RXPTO (前导码检测超时) 和 RXSFDTO (SFD 超时) 的情况下,没有必要这样做。有关如何应用仅接收器复位的详细信息,请参见子寄存器 0x36: 00 - PMSC_CTRL0 的 SOFTRESET 字段。

4.2 延迟接收

在延迟接收操作中,接收器开启时间被编程为寄存器文件: 0x0A - 延迟发送或接收时间,然后通过寄存器文件: 0x0D - 系统控制寄存器中设置 RXDLYE 和 RXENAB 控制启动延迟接收。

在系统时间 (寄存器文件: 0x06 - 系统时间计数器) 达到寄存器文件: 0x0A - 延迟发送或接收时间中设置的值之后,DW1000 保持空闲状态,然后 IC 接收器打开。这一点标志着适用于接收过程的任何编程超时的开始时间,即前导码检测超时 (由子寄存器 0x27: 24 -

DRX_PRETOC 设置和使能) 和帧等待超时 (由 RXWTOE 寄存器文件中的配置位: 0x04 - 系统配置, 其周期在寄存器文件: 0x0C - 接收帧等待超时周期中编程。

延迟接收的好处是可以在恰当的时机开启接收机, 以便接收预期的响应, 特别是当来自使用延迟发送的 DW1000 在特定时间发送响应消息的响应时。这节省了电能, 因为空闲模式功率倒数到 RX 使能时间明显少于帧接收期间所需的功率。

延迟接收, 特别是延迟传输的一种使用是在对称双面双向测距中 (在附录 3: 双向测距中描述), 其中重要的是保持两端的响应时间相同以减少范围估计的误差。最小化响应时间也减少了这个错误, 并且在这里主机微处理器有可能延迟调用延迟的 TX 或 RX, 使得系统时钟超过指定的开始时间, 然后 IC 必须完成几乎整个时钟在达到指定的开始时间之前的计数周期。寄存器文件: 0x0F - 系统事件状态寄存器中的 HPDWARN 事件状态标志警告此“迟到”状态, 以便在开发期间可以选择足够大的延迟以避免延迟。HPDWARN 状态标志还有助于检测这种延迟调用情况, 以便在部署的产品中可以采取恢复措施。

4.3 双接收缓冲器

这台 DW1000 有一对接收缓冲区, 当主机系统正在从另一个缓冲区读取先前接收到的数据时, 接收缓冲区提供接收功能。这在 TDOA RTLS 锚节点中是有用的, 在该节点中希望尽可能多地接收接收器以避免丢失任何标签闪烁消息。许多辅助寄存器 (时间戳, 质量指示器和状态位) 也是双重缓冲的。表 7 中列出了这个“RX 双缓冲摆动集”的一部分寄存器。

注意: 如果发生超限 (见 4.3.5 节), 接收到的帧数据将被破坏。双缓冲不能用在超限可能或频繁的系统, 最好用于主机处理接收到的帧的系统, 以至于超限永远不会发生。

表 7: RX 双缓冲摆动寄存器

RX 双缓冲寄存器
寄存器文件中的 LDEDONE, RXDFR, RXFCE 和 RXFCG 位: 0x0F - 系统事件状态寄存器
全部寄存器文件: 0x10 - 接收帧信息寄存器
所有寄存器文件: 0x11 - RX 帧缓冲区
所有寄存器文件: 0x12 - Rx 帧质量信息
所有寄存器文件: 0x13 - 接收器时间跟踪间隔
所有寄存器文件: 0x14 - 接收器时间追踪偏移量
所有寄存器文件: 0x15 - 接收时间戳

4.3.1 启用双缓冲操作

默认情况下, DW1000 以适用于许多应用的单一缓冲模式运行。当使用双缓冲模式时, 一旦完成接收任何以前的帧, 也可以将 DW1000 配置为自动重新启用接收器 (移动到摆动集的另一个缓冲器)。通过将 DIS_DRXB 位设置为零 (寄存器文件: 0x04 - 系统配置) 来启用双缓冲接收。通过将 RXAUTR 位设置为 1 (寄存器文件: 0x04 - 系统配置) 来启用 RX 自动重新启用功能。

DW1000 可以在双缓冲模式下工作, 也不需要自动重新启用接收器, 这就要求主机手

动启用接收器来接收下一帧。接收器可以在处理先前接收的帧之前启用。这个操作将减少接收器可能正在主动监听帧的时间，但是将防止两个缓冲器满（同时）并且将防止溢出。这简化了缓冲操作，参见章节 4.3.3 和 4.3.5。

注意：在双缓冲模式下启用或重新启用接收器时，对齐主机和 IC 接收器非常重要。也就是说，确保 IC 接收器将首先接收到的缓冲器集合与主机系统指向的相同集合并且在第一帧到达时将首先处理是重要的。请参阅下面的第 4.3.2 节来讨论这个问题以及如何实现它。

4.3.2 控制正在访问哪个缓冲区

有两个寄存器组，register-set-0 和 register-set-1，但是主机一次只能通过表 7 中列出的寄存器地址访问一组寄存器地址。主机发出 HRBPT（主机侧接收缓冲区指针切换）命令寄存器文件：0x0D - 系统控制寄存器。当前访问的寄存器组由寄存器文件：0x0F - 系统事件状态寄存器中的 HSRBP（主机侧接收缓冲区指针）状态位报告。每次发出 HRBPT 命令时，HSRBP 状态位都会切换。

还有一个只读 IC 侧缓冲区指针索引，指示 IC 接收器正在使用或将用于接收到的下一个帧的寄存器组，这是 ICRBP 状态位（也在寄存器文件：0x0F-系统事件状态寄存器中）。接收到具有良好 CRC 的新帧将导致 ICRBP 位增加（或切换）。在接收帧被帧过滤或 CRC 错误拒绝的情况下，ICRBP 将不会继续，缓冲区将被重新用于下一个传入帧。

因此，如上面 4.3.1 节所述，在启用接收器之前，重要的是对准主机和 IC 接收机。这是通过读 SYS_STATUS 寄存器 0x0F 来检查 HSRBP 和 ICRBP 状态位是否相同（即都是 1 或都是 0），如果不是发出 HRBPT 命令来切换 HSRBP 与 ICRBP 相同。

4.3.3 双缓冲的操作

在正常操作中，IC 将接收一帧到 RX 缓冲区（由 ICRBP 指向），当帧完成时，IC 将设置 RXFCG 中断主机并继续接收到双缓冲摆动电路的另一个缓冲器中，组。在这之后，主机系统应该看到这个中断，并通过从缓冲区读取接收到的数据以及它想要的任何其他辅助寄存器来提供服务，然后发出 HRBPT 命令来指向另一个缓冲区。这个 HRBPT 命令还可以作为告诉 IC 主机已经完成处理这个接收缓冲器（并且正在转向下一个缓冲器）的机制，基本上允许 IC 重用它以用于帧的跟随。下面的图 14 是显示在接收机中使用双缓冲的流程图。

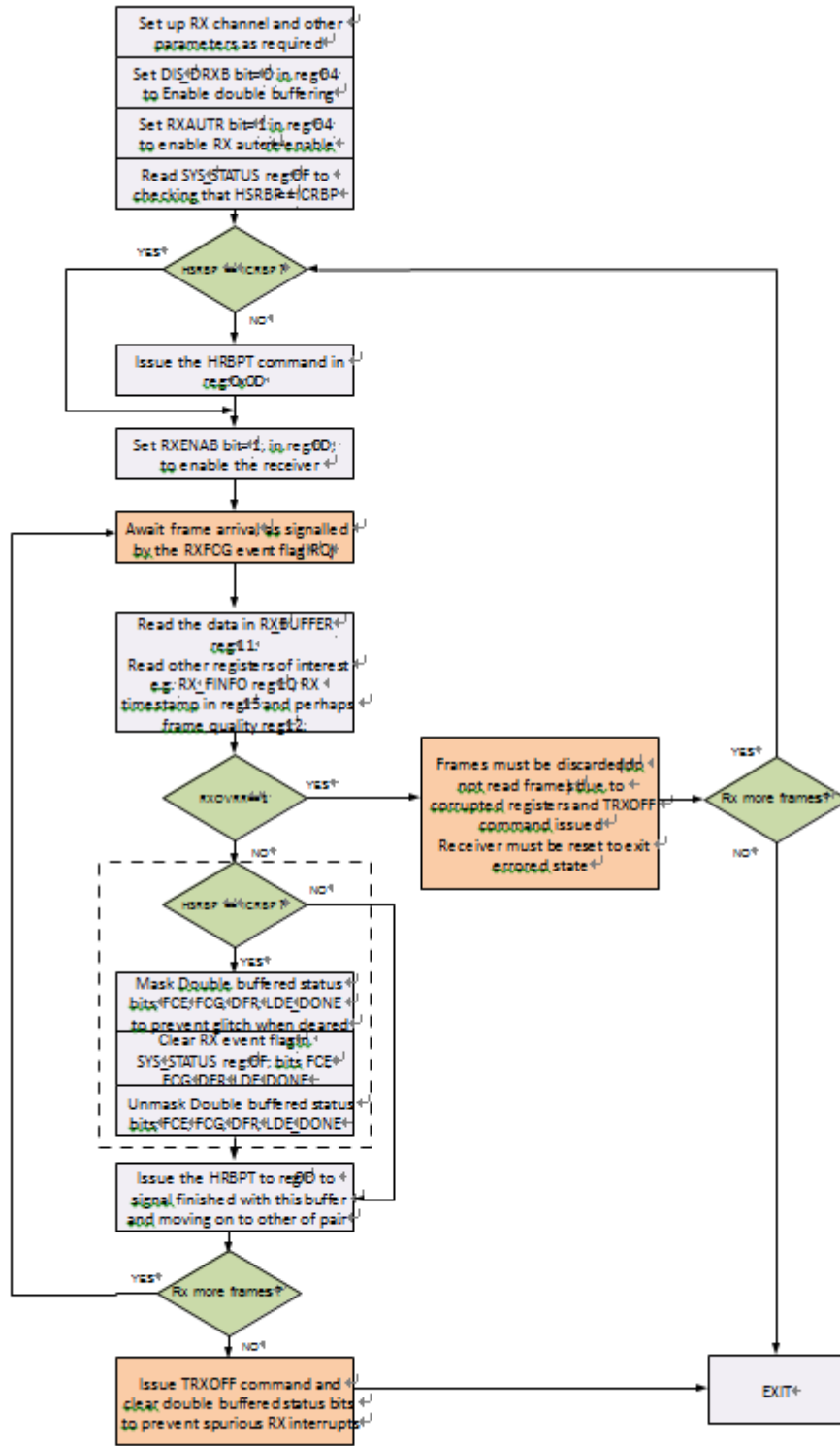


Figure 14: Flow chart for using double RX buffering

在图 14 中，如果主机系统能够以足够的速度服务缓冲区，则可以省略用黑色虚线标记的部分，从而两个缓冲区不会同时满。如果这可以保证，那么溢出（RXOVRR）永远不会发生，所以不会损坏好的帧，参见 4.3.5。在这种情况下，缓冲区处理被简化了。

4.3.4 使用双缓冲时的 TRXOFF

为防止虚假的中断和可预见的行为，TXRXOFF 应按如下所示应用。应用 TXRXOFF 后，应该清除双缓冲状态位，并在清除双缓冲状态位时屏蔽中断。

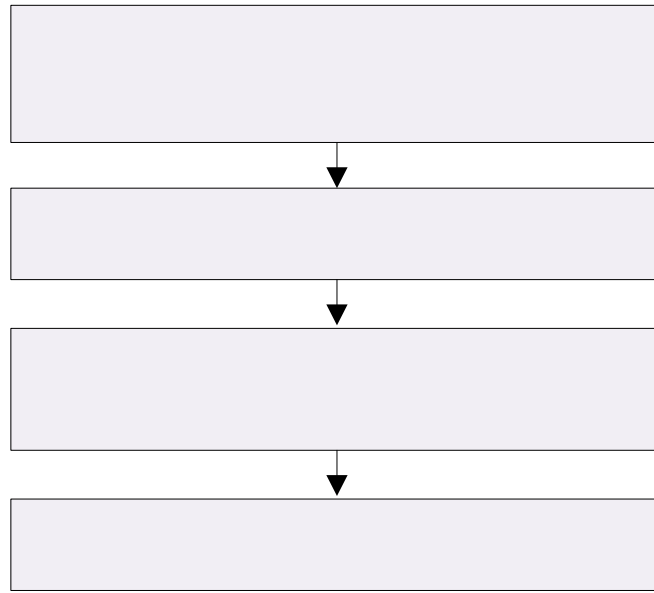


图 15: 双缓冲模式下的 TXRXOFF

4.3.5 超限

如果主机端不能跟上帧的到达率，IC 接收机可能会出现超限情况。所以举个例子，比方说，IC 接收一个帧到第一个缓冲区，移动到另一个缓冲区，并在其中放置一个接收帧。IC 将会移回指向第一个缓冲区。如果主机尚未完成从第一缓冲器读取数据（即，尚未发布 HRBPT），那么 IC 将不会用任何新帧覆盖该缓冲器（如果到达的话）。如果一个新的帧到达并且 IC 不能将数据写入缓冲区（因为主机还没有发出 HRBPT），那么这就引起了溢出情况。溢出状态发生在接收器完成处理一个好的 PHY 报头并需要将第一个字节的数据写入 RX 缓冲器的时候。该事件被 IC 检测到，并在寄存器文件 RXOVR 状态位中报告：0x0F - 系统事件状态寄存器。

当发生接收器溢出时，正在进行的帧接收将被中止，假设 RX 自动重启被使能（由 RXAUTR），接收器将再次开始寻找前同步码。主机发出 HRBPT 命令后，溢出条件和 RXOVR 状态位将被清除。假设通过子寄存器 0x2F: 00 - 事件计数器控制中的 EVC_EN 位使能计数，接收器溢出事件也计入子寄存器 0x2F: 0E - RX 溢出错误计数器中。

超限情况导致先前收到的好帧被破坏。RX_FINFO, RX_TIME 和 RX_FQUAL 寄存器受影响。如果发生超限（RXOVR），则必须丢弃接收到的帧。必须将接收器复位应用于接收器件以清除可能持续的错误状态，请参见图 14. 有关如何应用仅接收器复位的详细信息，请参见子寄存器 0x36: 00 - PMSC_CTRL0 的 SOFTRESET 字段。

以前收到的帧的超限腐败的影响需要在预期的应用中仔细评估。例如，如果发生溢出，系统不应该使用自动确认（请参阅 SYS_CFG 中的 AUTOACK），因为损坏的帧将被确认，但随后被丢弃。

4.4 低功率听力

低功率监听是 DW1000 主要处于休眠状态的功能，但是会在很短的时间内周期性地唤

醒以对前导码序列进行采样。如果看不到前导码，DW1000 会自动返回到睡眠状态一段时间，但是如果看到前导码，DW1000 不会返回到睡眠状态，而是继续接收前导码和数据帧，接收成功后可以产生接收帧中断来唤醒主机微处理器来处理帧。

一个典型的例子是使用 1 秒的休眠时间和 2 个 PAC 间隔的唤醒周期，其中用于短暂收听和回到睡眠的平均电流非常低。为了唤醒以这种低功率收听接收机模式工作的设备，发送设备必须发送足够的信息以确保收听者听到该数据。基本上，发射机必须发送大于 1 秒的信息，以确保它与接收设备的短暂收听周期相交。在实践中，这是通过重复发送相同的消息来完成的。在这样做的时候，聆听者收听发送的前导码不存在的时间是有限的。为了避免这种情况，并提供更好的唤醒功能，DW1000 包含了进行两阶段监听的功能。这是一个漫长的睡眠时期，然后是空气采样，然后是短暂的睡眠时间，然后是另一个空气采样。短暂的睡眠时间段被设置为确保如果第一次收听到了一条消息（丢失前导码），则下一个收听将会看到前导码。下面的图 16 示出了定期监听前导码和唤醒序列，其中第一个收听周期与 PHR 或 DATA 相交，但是在第二个收听周期允许成功。

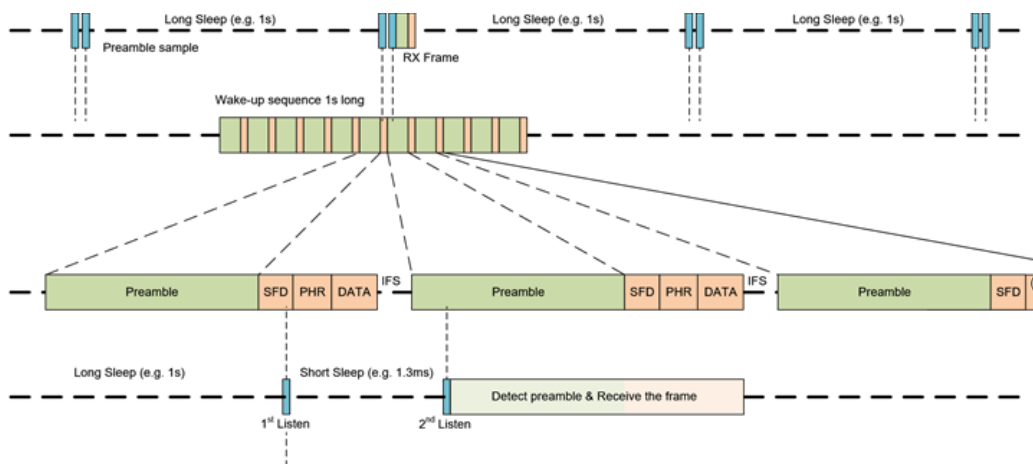


图 16: 两次睡眠时间的低功耗监听

注意：低功耗监听最适合在整个监听节点群体中频繁唤醒。原因是每个监听节点都会看到前导码和唤醒，并且消耗接收数据包的能力（即使数据包没有被寻址）。

在图 16 中，在 SLEEP（或 DEEPSLEEP）中有一段很长的时间，接着唤醒 RX 状态（on）以嗅探前导码，接下来（假设没有检测到前导码）处于 SNOOZE 状态的短时间段，然后是第二个 RX 状态（开）以查找前导码，并且（再次假定没有检测到前导码）返回到睡眠（或 DEEPSLEEP）。图 17 显示了与低功耗侦听相关的功率曲线。如果在两个接收窗口中的任何一个中检测到前导码，则帧将被解调并且中断设置（如果被配置为这样做的话）。

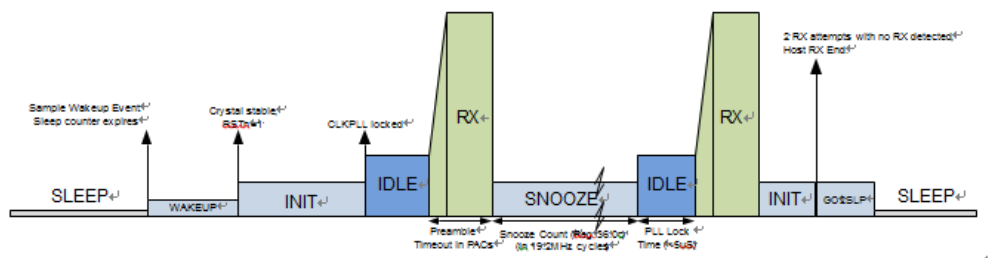


图 17: 没有收到帧的低功率监听模式下的功率曲线

4.4.1 配置低功耗监听

配置正常接收操作所需的信道，数据速率，PRF，前导码等的接收机参数。然后启用并配置低功耗侦听功能，如下所示：

- (1)在子寄存器 0x36: 04-PMSC_CTRL1 中设置 ARXSLP (RX 自动休眠后) 位。
- (2)在子寄存器 0x27: 24-DRX_PRETOC 中设置前导检测超时 (RX ON 时间)。
- (3)设置子寄存器 0x36: 0C-PMSC_SNOZT 的 SNOZ_TIM (贪睡时间) 字段。
- (4)在子寄存器 0x36: 04-PMSC_CTRL1 中设置 SNOZE (暂停启用) 位。
- (5)在子寄存器 0x2C: 06-AON_CFG0 中设置 SLEEP_TIM (睡眠时间段) 字段。
- (6)在子寄存器 0x2C: 06-AON_CFG0 中设置 SLEEP_EN (睡眠使能) 字段。
- (7)在子寄存器 0x2C: 06-AON_CFG0 中设置 WAKE_CNT (当睡眠计数器经过时唤醒) 字段。
- (8)在子寄存器 0x2C: 00-AON_WCFG 中设置 ONW_RX (接收器唤醒时) 位。
- (9)在子寄存器 0x2C: 00-AON_WCFG 中设置 ONW_LDC (在唤醒负载配置) 位。
- (10)在子寄存器 0x2C: 00-AON_WCFG 中设置 PRES_SLEEP (保持休眠) 位。
- (11)只在寄存器文件中设置 MRXFCG 位: 0x0E - 系统事件掩码寄存器。
- (12)将寄存器文件中的 RXENAB 位置 1: 0x0D-系统控制寄存器。

DW1000 将开始低功率监听，并且只有在接收到帧时才会产生中断。可以启用帧过滤来进一步限制中断，只有在收到正确的地址帧时才会产生中断。为了节省这种系统的电源，主机微处理器（如果能力充足）可以进入低功耗状态，等待 DW1000 中断，以便在帧到达时将其唤醒。

当接收到帧时，必须通过在清除 RXFCG 中断之前清除 ARXSLP 位来禁用低功耗监听。这是确保 DW1000 在中断被清除后不会再次进入休眠状态所必需的，这将阻止用户正确读取帧数据。一旦处理完接收到的帧，可以通过再次设置 ARXSLP 位并将 DW1000 重新置于接收或睡眠模式来重新激活低功率监听模式。

4.5 低功耗 SNIFF 模式

低功率 SNIFF 模式是一种功率较低的前导码搜索模式，也称为脉冲前导码检测模式 (PPDM)，其中接收器 (RF 和数字) 的接通和关断都是按顺序进行的，而不是始终处于接通状态。这些开关时间可以在寄存器文件中配置: 0x1D - SNIFF 模式，默认值为零，禁用该功能。使用 SNIFF 模式会导致灵敏度的降低，具体取决于开关周期的比例和持续时间。

低功率 SNIFF 模式有两种变化;这些被称为 SNIFF 和低占空比 SNIFF 在下面的小节中描述。两种模式的不同之处在于，在 SNIFF 模式下，DW1000 在 RX 状态 (开启) 和 IDLE (关闭) 状态之间切换，而在低占空比 SNIFF 模式下，IC 将关闭时间用于 INIT 状态，仅转换在进入 RX 状态时简要地通过 IDLE 状态。模式的选择对计算嗅探关闭时间有影响，这将在下面进行描述。在关闭期间，低占空比 SNIFF 模式将比 SNIFF 模式消耗更少的电量，但是在打开期间都会消耗相同的电源。图 18 显示了 SNIFF 模式中状态转换的简化视图。

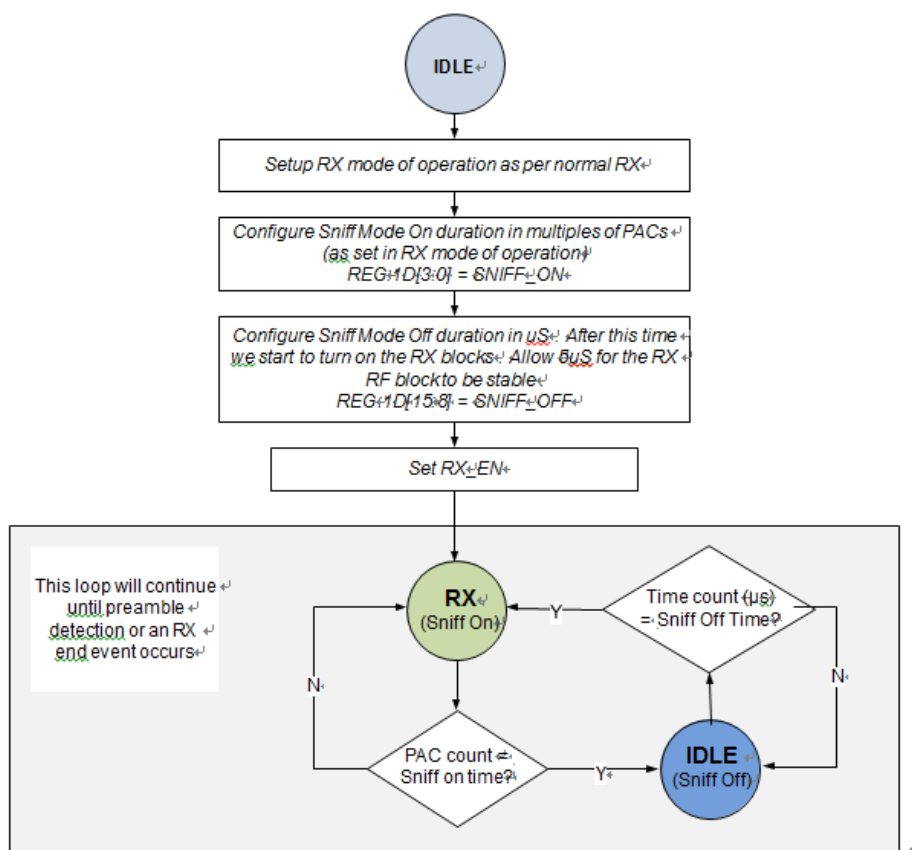


图 18: SNIFF 模式下的状态转换

4.5.1 SNIFF 模式

在 SNIFF 模式下, DW1000 在 RX (开) 和 IDLE (关) 状态之间交替。要启用 SNIFF 模式, 需要在寄存器文件: 0x1D - SNIFF 模式中配置 SNIFF_ONT (sniff on time) 和 SNIFF_OFFT (关闭时间) 两个参数。持续时间以 PAC 为单位进行编程 (这些在章节中有描述 4.1.1 - 前导码检测), 并且功能前导码检测的最小值必须设置为 2。

SNIFF_ONT 计数器自动将 1 个 PAC 单元添加到总 PAC 计数中，所以编程值总是比所需总数小 1。关闭时间以 $1\mu\text{s}$ 为单位编程。当开启和关闭时间都编程为非零值时，SNIFF 将从下一次接收使能开始工作。

举例来说，如果 PAC 大小是 8 个符号（这大约是 $8\mu\text{s}$ ），并且我们希望具有 50:50 的开关占空比，那么我们可以将 SNIFF_ONT 设置为最小 2 个 PAC 间隔（通过编程计数器值为 1），SNIFF_OFFT 值为 $16\mu\text{s}$ 。

图 19 显示了与 SNIFF 模式相关的功耗曲线，其中 IC 从 SLEEP 中唤醒并进入脉冲式前同步码检测模式的重复 IDLE-RX-IDLE-RX ... 占空比。超时结束，DW1000 返回到睡眠状态。

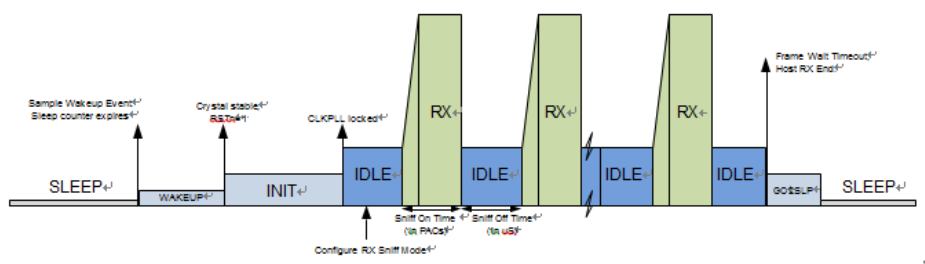


图 19: 未收到帧的 SNIFF 的电源配置文件

图 20 表示 SNIFF 模式的功率曲线，类似于图 19，除了在这种情况下，在 RX 采样的第二个周期检测到前导码，并且 DW1000 完成帧的接收。

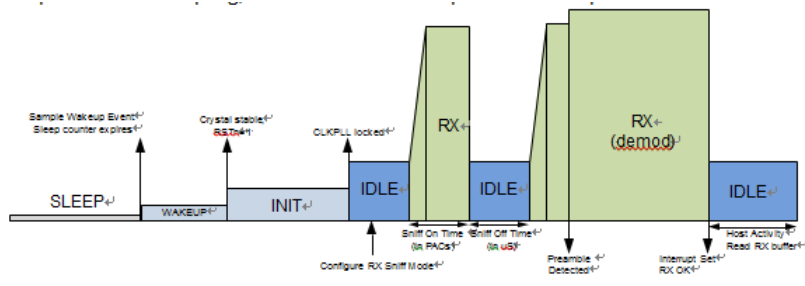


图 20: 接收到帧的 SNIFF 的功率配置文件

4.5.2 低占空比 SNIFF 模式

在低占空比 SNIFF 模式下，关断时间较长时，DW1000 可配置为在 INIT 状态下工作，该状态的功耗低于 IDLE 状态（用于 SNIFF 的关闭期间）。通过设置子寄存器 0x36: 04 - PMSC_CTRL1 中的 ARX2INIT 位，以及配置寄存器文件：0x1D - SNIFF 模式中的开启和关闭时间 SNIFF_ONT 和 SNIFF_OFFT，可以使能该功能。这指示接收器在低功耗 SNIFF 模式的关闭期间进入 INIT 状态。

注意：在 INIT 状态下，125 MHz 数字 PLL 时钟不运行，而是系统以原始 19.2 MHz XTI 时钟速率进行计时。因此，在低占空比 SNIFF 模式下，在 SNIFF_OFFT 中配置的关闭周期是 6.6 μ s 的倍数（而不是在 SNIFF 模式下应用的 1 μ s 单位）。

仅当关断周期大于 1（即 >6.6 μ s）时才实现低占空比 SNIFF 模式的功率节省。这是因为在定时器到期之后，当进入 RX 状态之前，在打开 PLL 并且锁定（这大约需要 5 μ s）之前，DW1000 将进入 IDLE 状态。

图 21 显示了与低占空比 SNIFF 模式相关的功耗曲线，其中 IC 从 SLEEP 唤醒并进入脉冲式前导码检测模式的重复 INIT-(空闲)-RX-INIT-(空闲)-RX 周期。超时结束，DW1000 返回到睡眠状态。

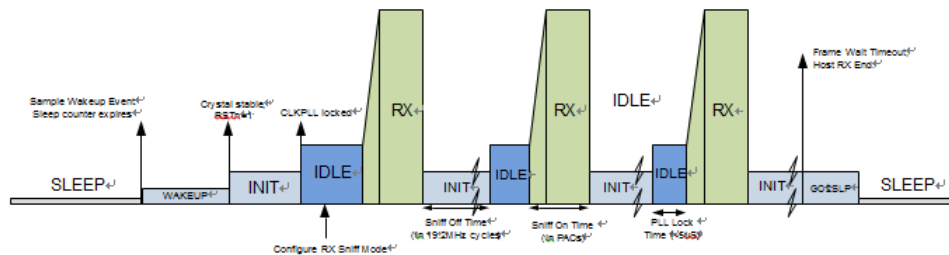


图 21: 没有接收到帧的低占空比 SNIFF 的电源配置文件

4.6 诊断

DW1000 包含以下诊断辅助工具：

(1) 驱动 LED 显示 TX 和 RX 活动的的能力，这在产品开发和非电池供电设备中可能有用。LED 驱动功能是 GPIO 线路上的一个选项，可通过子寄存器 0x26: 00 - GPIO_MODE 进行配置。有关支持的功能的详细信息，请参阅寄存器说明。

(2) 在产品开发诊断过程中访问累加器 - 使用。这是通过寄存器文件提供的：0x25 - 累加器 CIR 内存。详情请参阅其说明。

(3) RX 帧质量指示 - 用于产品开发诊断和工作诊断，例如用于网络管理或决定 RTLS 或测距测量的置信水平。这些可通过寄存器文件：0x12 - 接收帧质量信息。有关详细信息，请参阅其说明以及第 4.7 节 - 评估接收质量和 RX 时间戳

4.7 评估接收质量和 RX 时间戳

DW1000 接收器能够在许多不同的条件下接收消息。在某些情况下，评估接收信号的质量和基于它们的时间戳数据可能是有用的。

在网络中，评估来自特定节点的消息接收质量以便改变与该节点相关的网络路由或配置以提高通信的可靠性可能是有用的。例如，为了提高通信可靠性，帧长可能会缩短，或者数据速率可能会降低，或者前导码长度可能会增加。在持续良好的通信的其他情况下，可以缩短前导码长度以减少传输时间，节省功率并为其他节点进行通信留出更多空闲时间。

在 TDOA RTLS 系统中，在多个锚点处接收到特定标签的传输时，可以使用接收质量，更具体地，RX 时间戳信息的质量来选择哪个锚点的 RX 消息时间戳馈送到位置引擎。

以下详细介绍 DW1000 报告的接收状态的元素，可用于评估接收到的消息的质量和任何相关的时间戳。

(1) 信道冲击响应估计 (CIRE) 的标准偏差在寄存器文件的 STD_NOISE 字段中报告：0x12 - Rx 帧质量信息可用于给出与此相关的噪声的测量以及接收帧的时间戳测量。STD_NOISE 可以用作绝对值，也可以与第一路径幅度值进行比较 - 在后一种情况下，建议用于比较的幅度值是寄存器文件 FP_AMPL2 字段中报告的值：0x12 - Rx Frame 质量信息。

有了更高的绝对 CIRE 噪声系数，接收时间戳的质量将更差。高噪音可能意味着真正的第一条道路被无法挽回地埋在噪音之中。比较噪声与第一路径幅度可以给出第一路径测量的质量的附加指示。在第一路径幅度在噪声上具有大的净空高度的情况下，接收到的帧的时间戳可能比第一路径幅度接近噪声水平时更精确地确定。

(2) 可以计算估计的接收功率数值（使用第 4.7.2 节 - 估算接收信号功率中给出的公式和详细信息） - 为了讨论的目的，这将被称为 RX_POWER。也可以为第一路径信号计算估计的功率（使用第 4.7.1 节 - 估计第一路径中的信号功率中给出的公式和细节） - 为了本讨论的目的，这将被称为 FP_POWER。使用这两个计算可能可以说出信道是视距 (LOS) 还是非视距信号 (NLOS)。根据经验，如果 RX_POWER 和 FP_POWER 之间的差值，即 RX_POWER-FP_POWER 小于 6dB，通道很可能是 LOS，而如果差值大于 10dB，则通道很可能是 NLOS。

在 RX 时间戳与存在较高 CIRE 噪声功率的情况下接收到的帧相关或者涉及具有衰减的第一路径的非视线路径的情况下，那么该接收时间戳自然可能具有较低的质量比从清晰的视线第一路径信号确定的远高于本底噪声。

在定位系统具有超出数量的情况下接收时间戳以供选择，则与每个时间戳有关的质量估计可用于对时间戳进行加权或选择最高质量集合以馈送到定位引擎的多点定位功能中。

4.7.1 估算第一条路径的信号功率

可以使用以下公式计算第一路径信号中的功率的估计（以 dBm 为单位）：

$$First Path Power Level = 10 \times \log_{10} \left(\frac{F_{12} + F_{22} + F_{32}}{N_2} \right) - A_{dBm}$$

其中：

F1=寄存器文件 FP_AMPL1 字段中报告的第一路径幅度（点 1）幅度值：0x15 - 接收时间戳，

F2=寄存器文件 FP_AMPL2 字段中报告的第一路径幅度（点 2）幅度值：0x12 - 接收帧质量信息，

F3=寄存器文件 FP_AMPL3 字段中报告的第一路径幅度（点 3）幅度值：0x12 - 接收帧质量信息，对于 16MHz 的 PRF，

A=是 113.77，或对于 64MHz 的 PRF 是 121.74，

N=寄存器文件的 RXPACC 字段中报告的前导码累计计数值：0x10 - 接收帧信息寄存器。请注意，可能需要调整 RXPACC 以在使用前删除 SFD 符号计数，请参阅寄存器文件中的寄存器字段说明：0x10 - 接收帧 信息注册。

由此产生的第一路径功率电平（以 dBm 为单位）可以与根据第 4.7.2 节 - 估计接收信号功率计算出的估算的接收功率数字进行比较。

4.7.2 估算接收信号功率

可以使用以下公式计算接收功率电平的估计值（以 dBm 为单位）：

$$RX Level = 10 \times \log_{10} \left(\frac{C \times 2^{17}}{N_2} \right) - A_{dBm}$$

C=寄存器文件的 CIR_PWR 字段中报告的信道脉冲响应功率值：0x12 - Rx 帧质量信息，对于 16MHz 的 PRF，

A=是 113.77，或对于 64MHz 的 PRF 是 121.74，

N=寄存器文件的 RXPACC 字段中报告的前导码累计计数值：0x10 - 接收帧信息寄存器。请注意，可能需要调整 RXPACC 以在使用前删除 SFD 符号计数，请参阅寄存器文件中的寄存器字段说明：0x10 - RX 帧信息寄存器。

这个结果的接收功率估计值与较低接收电平处的实际接收功率非常接近，但低于较高电平处的实际接收功率电平。下面的图 22 显示了实际接收功率和通过这种技术估计的功率之间的关系。

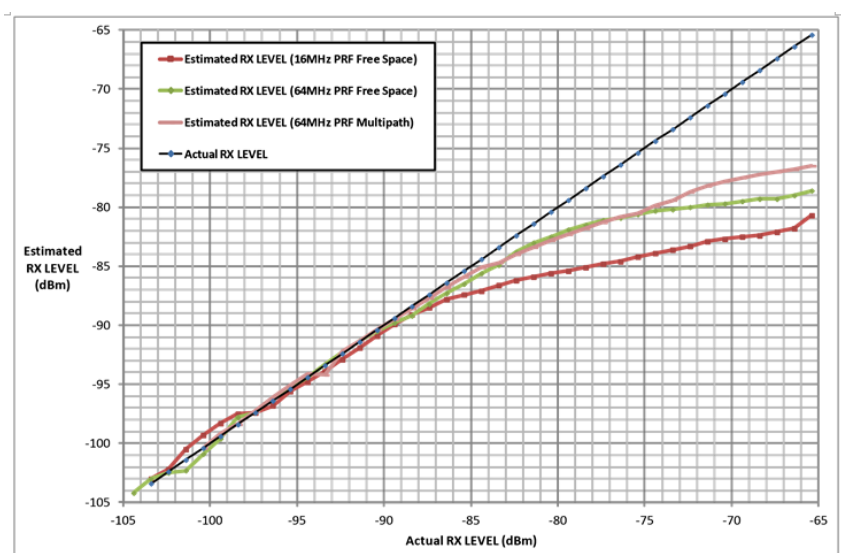


图 22: 估计的 RX 水平与实际的 RX 水平

5 媒体访问控制（MAC）硬件功能

本节介绍在 DW1000 中实施的媒体访问控制（MAC）功能。

5.1 循环冗余校验

DW1000 包含一个 CRC 生成功能，能够在每个发送帧结束时自动计算和附加 16 位 CRC 帧校验序列（FCS）。

DW1000 还包括一个 CRC 校验功能，能够自动计算帧接收期间的 16 位 CRC 校验序列（FCS），并将计算出的 CRC 与接收帧的最后两个八位位组进行比较，以检查计算出的 CRC 是否与传输的 CRC 匹配。接收和计算的 CRC 之间的不匹配通常表示接收到的帧包含错误（通常通过丢弃接收的帧来处理）。在通过 RXDFR 事件状态位报告的帧接收结束时，通过设置 RXFCG 或 RXFCE 状态位，即根据 CRC 是否匹配来报告 CRC 比较的结果。这三个状态位在寄存器文件：0x0F - 系统事件状态寄存器中。

在不需要 CRC 的情况下，可以通过使用寄存器文件：0x0D - 系统控制寄存器中的 SFCST（抑制 FCS 发送）位来抑制 CRC 传输。这可以在使用不同的 MAC 层协议时完成。在吞吐量最大化（响应时间最小化）技术期间，也采用该 SFCST 控制，如 3.5.2 节 - 发送时发送缓冲区写入中所述。

5.2 帧过滤

帧过滤是 DW1000 IC 的一项功能，可以解析符合 IEEE 802.15.4-2011 标准中定义的 MAC 编码的帧的接收数据，识别帧类型及其目标地址字段，并与 IC 自己的地址信息，只接受通过过滤规则的帧。请参阅第 11 节 - 附录 2：IEEE 802.15.4 MAC 层，了解标准中定义的消息格式。

帧过滤功能允许 IC 进入接收模式，并且只有在帧通过帧过滤标准的帧到来时才中断主处理器。当帧过滤被禁用时，所有具有良好 CRC 的帧都被接受，通常中断具有事件状态的主机，指示已经接收到具有良好 CRC 的帧（即，寄存器文件中的 RXDFR 和 RXFCG 事件状态位被设置：0x0F-系统事件状态寄存器）。当启用帧过滤时，必须在设置这些事件状态（中断）位之前通过帧过滤规则。有关接待的一般细节，请参阅第 4.1 节 - 基本接待。

帧寄存器中的 FFEN 配置位使能帧过滤：0x04 - 系统配置。该寄存器包含七个额外的配置位（FFAB，FFAD，FFAA，FFAM，FFAR，FFA4 和 FFA5），用于帧类型的精细过滤控制。

5.2.1 帧过滤规则

如果启用了帧过滤功能，将根据以下规则接受或拒绝帧：

（1）帧类型必须被允许接收：

- a. FFAB 配置位必须设置为允许接收信标帧。
- b. FFAD 配置位必须设置为允许接收数据帧。
- c. FFAA 配置位必须设置为允许接收确认帧。
- d. 必须将 FFAM 配置位设置为允许接收 MAC 命令帧。
- e. FFAR 配置位允许接收 IEEE 802.15.4 保留类型，4 到 7，不包括由于下面描述的帧长度检查而被拒绝的保留类型。

f. FFA4 配置位允许接收 IEEE 802.15.4 保留类型 4 帧，不包括由于下面描述的帧长度检查而被拒绝的帧。

g. FFA5 配置位允许接收 IEEE 802.15.4 保留类型 5 帧，不包括由于下面描述的帧长度检查而被拒绝的帧。

注意：对于保留帧类型 4 到 7，如果在这里允许它们是帧过滤的结束。下面的其余规则仅适用于 0 到 3 的标准帧类型。但是，帧标题将被解释为帧类型 0-3，以确定接收到的帧的大小，如果比预期短，则拒绝它。这可以使得帧类型 4,5,6 和 7 的使用成为问题，并且如果使用具有不同编码的类型 4,5,6 或 7 的帧来影响帧类型的帧控制比特，则可能需要以软件进行帧过滤标题长度是计划的。有关的帧控制位是地址模式字段和 PID 压缩字段。

(2) 帧版本字段必须是 0x00 或 0x01

(3) 目的地 PAN ID 如果存在，必须：

a. 是广播 PAN ID (0xFFFF)

b. 还是匹配寄存器文件中编程的 PAN_ID: 0x03 - PAN 标识符和短地址

(4) 目的地地址（如果存在）必须：

a. (短 16 位) 广播地址 (0xFFFF)

b. 或是与寄存器文件中编程的 SHORT_ADDR 匹配的短 (16 位) 地址：0x03- PAN 标识符和短地址

c.或是与寄存器文件匹配的长 (64 位) 地址：0x01-扩展唯一标识符。

(5) 如果帧是信标帧，则源 PAN ID 必须与在中编程的 PAN_ID 匹配寄存器文件：0x03 -PAN

标识符和短地址（或者是 0xFFFF）

如果只有源地址存在，则在数据或 MAC 命令帧中，只有当 IC 被配置为协调器（通过寄存器文件中的 FFBC 配置位：0x04-系统配置）以及源 PAN ID 与寄存器文件中编程的 PAN_ID 匹配：0x03 - PAN 标识符和短地址。

(6) FCS (CRC) 必须正确才能被接受。

5.2.2 帧过滤注意事项

在框架控制中，框架过滤不会注意到安全启用字段，所以由主机软件解码任何安全信息并接受/拒绝它认为合适的框架。见部分 11.2.2 - 启用安全性字段以获取详细信息。

关于非法帧控制八比特组的帧拒绝/接受的判决是在前两个八比特组数据解码之后进行的，并且在接收有关寻址规则的地址字段（如由帧控制八比特组指定的）结束之后。当一个帧被拒绝时，接收立即中止，拒绝由寄存器文件：0x0F - 系统事件状态寄存器中的 AFFREJ 事件位报告。

虽然帧滤波可以节省主机系统方面的一些工作，但使用 DW1000 接收机进行长时间的监听是一个相对耗电的活动，最好只在使用主电源的设备上使用。

所有与帧过滤相关的配置位都在寄存器文件：0x04 - 系统配置中。

5.3 自动确认

DW1000 的自动确认功能允许 IC 在收到包含确认请求的帧并进行确认时自动发送确认帧。自动确认功能仅在启用帧过滤并启用自动确认功能时才起作用。

为了自动确认操作：

(1) 必须启用帧过滤，接收到的数据或 MAC 命令帧必须正确解决并通过接收帧过滤

(请参阅第 5.2 节 - 帧过滤以了解帧过滤配置的详细信息)。

(2) 必须设置接收帧的帧控制字段中的 ACK 请求位。

(3) 自动确认必须由寄存器文件中的 AUTOACK 配置启用: 0x04 - 系统配置。

当这些条件满足时, DW1000 将在接收结束时自动转换到发送模式, 发送 IEEE 802.15.4-2011 定义的 5 字节 MAC 确认帧。

如果一起使用自动确认和双缓冲, 则系统必须设计成超限不会发生, 或者如果可能发生, 系统可以处理随后被破坏的帧的确认, 参见 4.3.5 节。

5.3.1 自动确认帧中的前导码长度和 SFD

5.3.1.1 序言长度

帧请求确认(ACK)的前导码长度被编码在该帧的 PHR 中, (见第 10.4 节 - PHY 标头), 并在 DW1000 接收器中解码(并在 RXPSR 字段中报告)寄存器文件: 0x10 - 接收帧信息寄存器)。这只包括在 IEEE 中定义的前导码长度 802.14.4 标准, 但 DW1000 支持其他前导码长度。为了解决这个问题, DW1000 选择在 RXPSR 字段中报告的前导码长度, 并且使用在寄存器文件: 0x10-接收帧信息寄存器的 RXPACC 字段中报告的前导码累积计数值。表 8 给出了作为 RXPSR 和 RXPACC 字段的函数的用于 ACK 帧的最终前导码长度。

表 8: 取决于 RXPSR 和 RXPACC 的自动 ACK 前导码长度

PSR carried in PHR & reported in RXPSR	PSR accumulated and reported in the RXPACC value	Resultant Preamble Length of auto ACK
64	Less than 65	64
	Between 65 and 128	128
	Between 129 and 256	256
	Greater than 256	512
1024	Less than 1025	1024
	Between 1025 and 1536	1536
	Greater than 1536	2048
4096	Any value	4096

表 8 涉及标准框架。在扩展长度帧模式(如 3.4 节 - 扩展长度数据帧中所述)中, 只使用前导累加计数值(在寄存器文件的 RXPACC 字段中报告: 0x10-RX 帧信息寄存器)来确定前导码长度 ACK。表 9 给出了作为 RXPACC 字段的函数的用于扩展长度帧模式中的 ACK 帧的前同步码长度。

表 9: 扩展长度帧模式下的自动确认前导码长度选择

PSR accumulated and reported in the RXPACC value	Resultant Preamble Length of auto ACK
Less than 17	16 *
Between 17 and 32	32 *
Between 33 and 64	64
Between 65 and 128	128
Between 129 and 256	256
Between 257 and 512	512
Between 513 and 1024	1024
Between 1025 and 1536	1536
Between 1537 and 2048	2048
Greater than 2048	4096

注*：这些（带星号的）短前导码长度将不会被 DW1000 接收。（b）不使用扩展长度帧模式，或者（c）不使用扩展长度帧模式，通过使用主机微处理器来生成 ACK 来代替 DW1000 的自动确认功能。

注 1：前导码累计计数值（在寄存器文件的 RXPACC 字段中报告：0x10-RX 帧信息寄存器）可能比传输的前导码长度短得多，因为当任何抽头值增长时累加停止一个 16 位的数字。这通常是当发送设备靠近接收机时，但是在任何情况下，所报告的数量已经足以正确接收被确认的帧，所以即使这导致自动 ACK 帧的更短的前导码，该前导码也应该仍然有足够的长度正确接待。

注 2：前导累积计数（在 RXPACC 中报告）也可能比传输的前导码长度稍大。这可以在早期检测到前导码的情况下发生，并且因为累积计数可以包括通过 SFD 继续的累积（直到检测到 SFD）。如果发生这种情况，则可能导致自动确认帧以比请求 ACK 的帧更长的前导码发送。在最糟糕的情况下，这将是一个更大的尺寸。在子寄存器 0x27：20-DRX_SFDTTC 中编程一个比默认的 SFD 检测超时短的时候，应该考虑到这个事实。设置与下一个更大的前导码大小一致的超时。同样，如果为 RX 帧超时（在寄存器文件：0x0C - 接收帧等待超时期间）设置非常紧凑的时间，则应该为前导序列的可能的附加持续时间留出余地。

5.3.1.2 SFD 初始化

包含在 Auto ACK 帧中的 SFD 序列必须在第一个自动 ACK 帧被发送之前被初始化。SFD 序列仅在用户发送请求时被初始化，如果在启动或重新配置信道参数之后自动 ACK 帧是第一个发送帧，则该请求不会发生。确保 SFD 序列正确初始化的最有效方法是同时启动和中止传输，从而强制进行 SFD 初始化。这可以通过写入系统控制寄存器寄存器文件来完成：0x0D - 系统控制寄存器同时设置发送起始位 TXSTRT 和收发机关闭位 TRXOFF。由于这个操作，没有信号实际上被传送。每次配置或重新配置通信参数时都应执行此操作，因为这可以改变 DW1000 将用于下一次传输的 SFD 序列。

5.3.2 自动接收器重新启用

当 RX 自动重新启用功能被使能时（通过寄存器文件中的 RXAUTR 位：0x04 - 系统配置），自动确认也可以正常工作，这可能是双缓冲模式下的情况（参见第 4.3 节 - 双接收缓冲器）。此时，如果启用帧过滤和自动确认功能，DW1000 将自动从接收状态转换到发送状态，发送确认帧，发送完成后，DW1000 将自动返回到接收状态，等待下一帧。

5.3.3 自动 ACK 周转时间

IEEE 802.15.4 标准为 ACK 传输规定了 12 个符号 $\pm$ 0.5 个符号周转时间。在 DW1000 中,可以通过寄存器文件中的 ACK_TIM 参数配置该时间段: 0x1A - 确认时间和响应时间。

5.3.4 帧挂起位

标准的 IEEE 802.15.4-2011 MAC 在每帧开始时在帧控制中包含一个帧未决位(见 11.2.3-帧未决域)。可以设置该位以指示更多数据即将到来,或者在 ACK 帧的情况下指示响应节点具有要发送到请求 ACK 的节点的数据。详情请参考标准[1]。DW1000 不会自动确定插入到自动生成的 ACK 帧中的帧未决位。相反,它会复制 AACKPEND 配置位(来自寄存器文件: 0x04 - 系统配置)的值,默认为零。

5.3.5 主机通知

AAT 状态位(寄存器文件: 0x0F - 系统事件状态寄存器)表示已经请求确认。AAT 位与 RXFCG 事件状态同时设置(表示帧接收结束时有良好的 CRC)。

如果启用了自动确认功能,则可以在接收中断处理期间使用 AAT 位来检测确认是否正在进行,因此应避免采取任何行动,直到确认传输完成,并由 TXFRS(发送帧发送)事件发信号通知。

注意: 如果自动确认未启用,则 AAT 状态位必须被忽略。

注意: 由于前一帧由于帧过滤而被接收和拒绝,可能会导致 AAT 位被设置为当前帧。尽管当前帧不需要自动确认。在这种情况下,自动确认实际上没有被传送,但是 AAT 被设置的事实可能导致用户等待不存在的自动确认过程完成。

在这种情况下,当自动确认被使能并且 AAT 位被设置时,为了避免等待确认过程完成并且 TXFRS 被设置,接收到的帧的 MAC 报头的帧控制部分中的确认请求字段如第 11.2.4 节所述,应检查以确认当前帧实际上已请求自动确认。如果确认请求字段被清除,则用户应清除状态寄存器寄存器文件中的 AAT 位: 0x0F-系统事件状态寄存器(以及在使用中断时返回给用户回调的任何状态寄存器副本)。

5.4 发送并自动等待响应

DW1000 能够在传输完成后自动打开接收器,以便接收响应。这也可能包括传输结束和接收器启用之间的可选延迟配置。这由寄存器文件中的 WAIT4RESP 位: 0x0D - 系统控制寄存器和寄存器文件中的 W4R_TIM 参数控制: 0x1A - 确认时间和响应时间。

注意: 如果收到的响应是一个请求确认帧的帧,那么如果自动确认使能,DW1000 将发送 ACK,但接收器将在发送 ACK 之后重新使能。根据主机响应时间的不同,这可能会导致确认请求帧被覆盖,或者由于设备处于接收状态(而不是空闲状态)而导致接收方超时等其他行为。

6 DW1000 的其他功能

6.1 外部同步

该功能用于使 DW1000 与外部时钟或事件同步或与其他 DW1000 同步。例如，在采用锚节点的有线时钟同步的 TDOA RTLS 系统中，这将是需要的。

DW1000 外部同步功能允许以下功能：

(1) 能够以确定的方式对内部系统计数器进行复位，以确定 SYNC 输入引脚和 EXTCLK 引脚提供的外部 38.4 MHz 时钟。

(2) 以确定的方式启动帧传输的能力，涉及 SYNC 输入引脚的置位和 EXTCLK 引脚上提供的外部 38.4 MHz 时钟。

(3) 将接收时间标记与外部计数器同步的能力

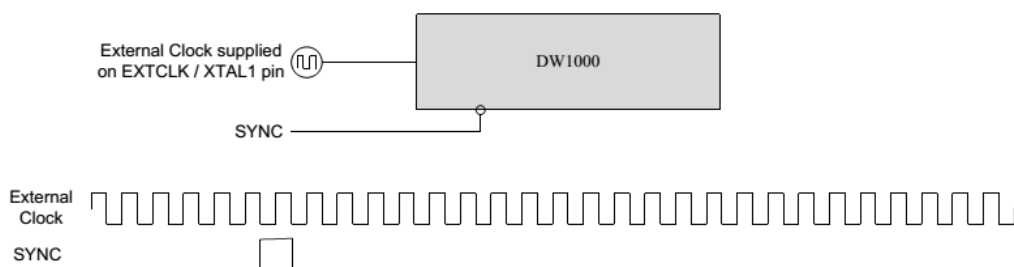


图 23: DW1000 外部同步接口

SYNC 输入引脚必须与 EXTCLK 引脚上提供的外部 38.4 MHz 频率参考时钟源同步。SYNC 输入引脚在 EXTCLK 的上升沿采样。SYNC 引脚的设置和保持时间请参考 DW1000 数据表。SYNC 输入提供了一个公共参考点，用于同步 DW1000 和实现高分辨率位置估计所需的精度。

6.1.1 一次性时基复位 (OSTR) 模式

一次性时基复位 (OSTR) 模式允许在相对于同步事件的确定性和可预测的时间将复位应用于用于 DW1000 中的时间戳的时基计数器。任何给定的装置将以可重复的时间将计数器复位到 300ps 通常小于 100ps) 变化。部件之间的过程变化引入确定性误差，可以将其作为必要校准过程的一部分进行校准，以补偿有线同步系统中的电缆传输延迟。当多个 DW1000 由相同的参考时钟和外部 SYNC 信号驱动时，其内部时基可以非常精确地同步（允许与参考时钟和 SYNC 信号的分配网络相关的确定性延迟）。

为了将 DW1000 配置为 OSTR 模式，EC_CTRL 寄存器中的 OSTRM 位被置位，WAIT 值被设置为所需的延迟值。当在 38.4 MHz 外部时钟上运行并在 SYNC 信号上升沿启动的计数器等于 WAIT 编程值时，DW1000 时基计数器将被复位。有关寄存器详细信息，请参见寄存器文件：0x24 - 外部同步控制。

在 SYNC 信号置位时，产生 DW1000 125 MHz 系统时钟的时钟 PLL 分频器将被复位，以确保系统时钟与异步 38.4 MHz 外部时钟之间存在确定的相位关系。由于这个原因，编程的 WAIT 值将决定相位关系，并且应该被选择为给出期望的相位关系，如 WAIT 模 4 所给出的那样。推荐使用等于 33 的十进制值，但是如果选择不同的值，它应该是选择等待模 4 的等于 1 即 29,37 等等。

6.1.2 一次发送同步（OSTS）模式

使用单发发送同步（OSTS）模式，DW1000 允许在确定 SYNC 信号后的确定时间发送帧。OSTS 模式提供了相对于 SYNC DW1000 输入断言的良好定义的时间帧的传输。这个时间每个部分会略有不同，通常为 12 ps，但在所有部件的工艺上可能会变化高达 3 ns。

当本地主定位设备使用 DW1000 作为从站来提供附加位置数据时，将使用此功能。主设备可以使用校准来调整由于 SYNC 跟踪和过程变化造成的恒定偏移量，在这种情况下，所有部件之间的延迟变化将小于 100 ps。

注意 OSTS 模式除了执行最后的操作之外，在各方面均与 OSTR 相同。重置时基或启动传输。

要配置 OSTS 模式，必须在 EC_CTRL 寄存器中设置 OSTSM 位，并将 WAIT 值设置为所需的延迟值，请参见寄存器文件：0x24 - 外部同步控制。值为 33，建议；见 6.1.1 - 一次性时基复位（OSTR）模式。当在 38.4 MHz 外部时钟上运行并在 SYNC 信号的上升沿启动的计数器等于 WAIT 编程值时，DW1000 将通过从时钟 PLL 中的外部同步电路发出一个 TX START 信号启动发送发射机。TX START 信号的上升沿在用于启用发送之前与 125 MHz 系统时钟域同步。

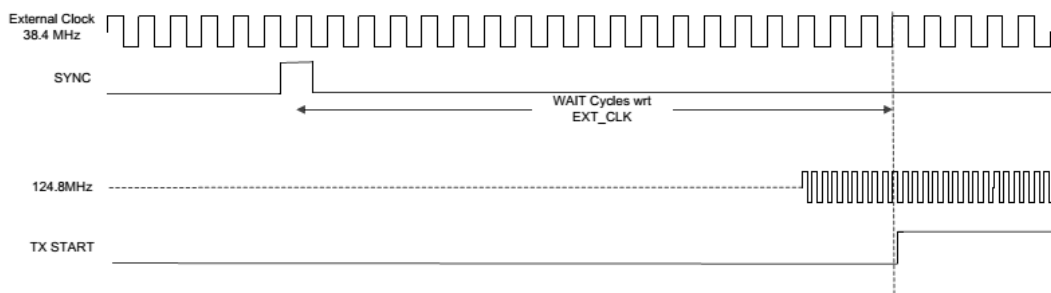


图 24：同步传输

6.1.3 一次接收同步（OSRS）模式

一次接收同步（OSRS）模式在 DW1000 中提供了第二个时基，它可以同步到一个外部时基，并用于时间戳接收事件。这允许用户在 DW1000 之外拥有一个时基，并接收有关这个时基接收事件的时间信息。OSRS 模式通过将 EC_CTRL 寄存器中的 OSRSM 位置 1 来配置，请参见寄存器文件：0x24 - 外部同步控制。在此模式下，通过设置 PMSC_CTRL1 寄存器中的 PLLSYN 字段（位 15），偏置计数器 EC_GOLP 的 1 GHz 时钟也必须被激活，请参见子寄存器 0x36: 04 - PMSC_CTRL1。

在正常操作中，根据 DW1000 内部时基计算测距时间戳；请参阅第 4.1.6 节 - 接收消息时间戳。时基计数器在接收事件 RMARKER 处被捕获，并且多个偏移值与该捕获值组合以给出测距时间戳。

当相对于外部时基对接收事件进行时间戳时，该过程类似于常规方法，不同之处在于引入了偏移量来补偿由于使用内部 125MHz 时钟捕获外部 38.4MHz 时钟域。如在正常操作中一样，这些偏移量和捕捉的值被组合以给出测距时间戳。

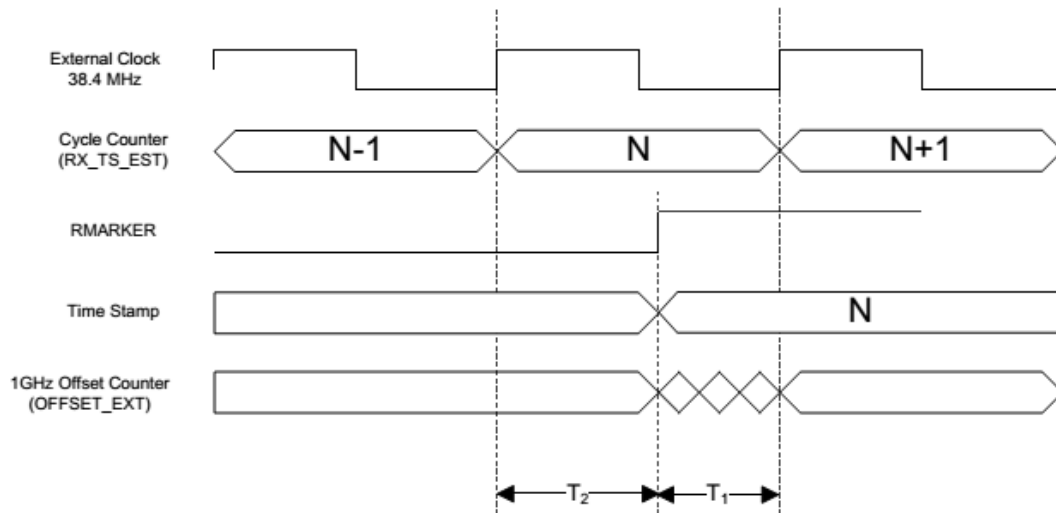


图 25: OSRS 模式接收时基同步

现在外部时基中的时间戳可以被计算为:

$$T_{rx} = N \times T_{\text{External}} + T_2 + T_3.$$

$$= (N+1) \times T_{\text{External}} - T_1 + T_3.$$

其中:

(1) N 是从时间戳中捕获的 SYNC 信号开始的外部时钟周期数, 可以从 RS_TS_EST 字段的 EC_RXTC 中读取, 请参见子寄存器 0x24: 04 EC_RXTC。

(2) 外部时钟是外部时钟的周期。

(3) T2 是从外部时钟的上升沿到 RMARKER 的时间。

(4) T1 是由 EC_GOLP 在 OFFSET_EXT 字段中报告的时间 (ns), 请参见子寄存器 0x24: 08 EC_GOLP。

(5) T3 是引导路径延迟, 通过从接收时间戳减去原始接收时间戳计算得出, 它们之间的差异会给出引导路径延迟, 请参阅寄存器文件: 0x15 - 接收时间戳。

$$T_3 = \text{RX_STAMP} - \text{RX_RAWST}$$

6.2 外部功率放大

在某些地区, 某些情况下 (例如欧盟的 ETSI UWB 法规中的紧急第一响应者使用) 允许发送超出正常 UWB 监管水平 +20dB。为了在 DW1000 中实现这一点, 有必要使用发送信号的外部放大。DW1000 提供信号 (使用特殊模式下的 GPIO 线路) 来控制功率放大器的开启, 并适当控制发射器和接收器信号路径的模拟切换。该操作模式利用通过子寄存器 0x26: 00 - GPIO_MODE 中的 MSGP4, MSGP5 和 MSGP6 字段配置的 DW1000 引脚 EXTPA, EXTTXE 和 EXTRXE。

使用此功能时应注意确保必要的监管要求得到满足。

有一个单独的应用笔记给出了外部功率放大的细节。这包括电路图, 配置的细节和适用

的各种设计注意事项。有关详细信息，请咨询 Decawave 的应用支持团队。

6.3 使用片上 OTP 存储器

DW1000 具有少量的一次性可编程（OTP）存储器，用于设备特定的配置或校准数据。OTP 存储器的一些区域用于保存 DW1000 测试期间确定的设备校准值，而其他 OTP 存储器位置则由客户在模块制造和测试期间设置。

例如，一个 OTP 存储区被保留给客户来编程加载到寄存器文件中的 EUI: 0x01 - 扩展唯一标识符，因为 IC 退出复位状态（有关 EUI 功能的详细信息，请参阅寄存器文件：0x01 - 扩展唯一标识符）。

本节列出了定义其功能的 OTP 存储区，并描述了将值编程到 OTP 存储器的算法，以及如何从 OTP 存储器中读取值。使用寄存器文件：0x2D - OTP 存储器接口可以访问 OTP 存储器。

6.3.1 OTP 存储器映射

OTP 存储器位置如表 10 中所定义。OTP 存储器位置每个 32 位宽，OTP 地址是字地址，因此每个增量地址指定一个不同的 32 位字。

表 10: OTP 存储器映射

OTP Address	Size (Used Bytes)	Byte [3]	Byte [2]	Byte [1]	Byte [0]	Programmed By
0x000	4	64 bit EUID (These 64 bits get automatically copied over to Register File 0x01:EUI on each reset.)				Customer
0x001	4					
0x002	4	Alternative 64bit EUID				Customer
0x003	4					
0x004	4	40 bit LDOTUNE_CAL (These 40 bits can be automatically copied over to Sub Register File 0x28:30 LDOTUNE on wakeup)				Decawave Test
0x005	1					
0x006	4	{“0001,0000,0000”, “CHIP ID (20 bits)”}				Decawave Test
0x007	4	{“0001”“, “LOT ID (28 bits)”}				DecawaveTest
0x008	2	-	-	V _{meas} @ 3.7 V	V _{meas} @ 3.3 V	DecawaveTest
0x009	1 / 1	-	-	T _{meas} @ Ant Cal	T _{meas} @ 23 °C	Customer / Deca-wave Test
0x00A	0	-				Reserved
0x00B	4	-				Reserved
0x00C	2	-				Reserved
0x00D	4	-				Reserved
0x00E	4	-				Reserved
0x00F	4	-				Reserved
0x010	4	CH1 TX Power Level PRF 16				Customer
0x011	4	CH1 TX Power Level PRF 64				Customer
0x012	4	CH2 TX Power Level PRF 16				Customer
0x013	4	CH2 TX Power Level PRF 64				Customer
0x014	4	CH3 TX Power Level PRF 16				Customer
0x015	4	CH3 TX Power Level PRF 64				Customer
0x016	4	CH4 TX Power Level PRF 16				Customer
0x017	4	CH4 TX Power Level PRF 64				Customer
0x018	4	CH5 TX Power Level PRF 16				Customer
0x019	4	CH5 TX Power Level PRF 64				Customer
0x01A	4	CH7 TX Power Level PRF 16				Customer
0x01B	4	CH7 TX Power Level PRF 64				Customer
0x01C	4	TX/RX Antenna Delay – PRF 64		TX/RX Antenna Delay – PRF 16		Customer
0x01D	0	-	-	-	-	Customer
0x01E	2	-	-	OTP Revision	XTAL_Trim[4:0]	Customer
0x01F	0	-	-	-	-	Customer
:	:	:	:	:	:	Reserved
0x400	4	SR Register (see below)				Customer

SR (“特殊寄存器”) 是 OTP 的 32 位段，可通过寄存器接口在上电时直接读取。要对 SR 寄存器进行编程，请遵循正常的 OTP 编程方法，但将 OTP 地址设置为 0x400。SR 寄存器的值可以直接读回地址寄存器文件：0x2D - OTP 存储器接口。

表 11: OTP_SRDAT 寄存器

Bit	Function
31:5	<i>Reserved. Defaults to all "0". If programming the OTP_SRDATA register these bits must be set to "0"</i>
4:3	SPI_SR_EN[1:0] . Set to "01" to enable bits [1:0] to be used instead of GPIO[6:5] boot strapping. If set, this will disable the external selection of SPI mode via GPIO6 and 5.
2	<i>Reserved. Defaults to "0". If programming the OTP_SRDATA register these bits must be set to "0"</i>
1	SPI_SR_PH . Set SPI Phase mode to this value if bits [4:3] are set to "01"
0	SPI_SR_POL . Set SPI Polarity mode to this value if bits [4:3] are set to "01"

6.3.2 将值编程到 OTP 存储器中

OTP 的编程需要按顺序执行许多设置步骤。最佳编程要求将 VDDIO 引脚驱动至 3.8 V（如果访问 VDDIO 不可用，则为 VDDIOA 引脚）。下表列出了将 OTP 置于其编程状态并编程一个位置的编程步骤。

表 12：编程 OTP 所需的寄存器访问

Step Number	Instruction	Register Address	Data Length (Bytes)	Data (Write/Read)
Configure OTP for Programming – Stage 1:				
C-1	Write Sub-Register	0x36:00 (PMSC_CTRL0)	1	0x01
C-2	Write Sub-Register	0x2D:07 (OTP_CTRL+1)	1	0x03
C-3	Write Sub-Register	0x2D:00 (OTP_WDAT)	2	0x9220
C-4	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x08
	Wait 1ms			
C-5	Write Sub-Register	0x2D:07 (OTP_CTRL+1)	1	0x02
C-6	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x88
C-7	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x80
C-8	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x00
Configure OTP for Programming – Stage 2:				
C-9	Write Sub-Register	0x2D:07 (OTP_CTRL+1)	1	0x05
C-10	Write Sub-Register	0x2D:00 (OTP_WDAT)	2	0x000E
C-11	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x08
	Wait 1ms			
C-12	Write Sub-Register	0x2D:07 (OTP_CTRL+1)	1	0x04
C-13	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x88
C-14	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x80

Step Number	Instruction	Register Address	Data Length (Bytes)	Data (Write/Read)
C-15	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x00
<i>Configure OTP for Programming – Stage 3:</i>				
C-16	Write Sub-Register	0x2D:07 (OTP_CTRL+1)	1	0x01
C-17	Write Sub-Register	0x2D:00 (OTP_WDAT)	2	0x1024
C-18	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x08
	Wait 1ms			
C-19	Write Sub-Register	0x2D:07 (OTP_CTRL+1)	1	0x00
<i>Programming a single 32 bit word <DATA> to address <ADDR>:</i>				
P-1	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x00
P-2	Write Sub-Register	0x2D:00 (OTP_WDAT)	4	<DATA[31:0]>
P-3	Write Sub-Register	0x2D:04 (OTP_ADR)	2	<ADDR[10:0]>
P-4	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x40
P-5	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x00
	Wait 1 ms before reading back to verify			

对 OTP 字进行编程后，应该按照 6.3.3 - 从 OTP 存储器中读取一个值的步骤读回来，并验证其正确性。如果它不符合预期值，那么步骤 P-4 到 P-5 应该重复最多 10 次（寄存器中的地址和数据值仍然有效，因此不需要重新设置）编程。在编程阶段，OTP 被配置为将读回电路压到其极限。这可能会导致连续的读取验证失败。如果 10 次尝试编程一个位置，那么在完全 IC 复位之后，建议进行最后的读取验证，这会将 OTP 配置重置为正常读取操作。

当所有的 OTP 编程完成后，建议重置 IC 以恢复到默认设置。

6.3.3 从 OTP 内存中读取一个值

可以按照表 13 给出的步骤读取 OTP 存储器。

表 13：从 OTP 读取所需的寄存器访问示例

Step Number	Instruction	Register Address	Data Length (Bytes)	Data (Write/Read)
1	Write Register	0x2D:04 (OTP_ADDR)	2	OTP Address
2	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x03
3	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x01
4	Read Register	0x2A:04 (OTP_RDAT)	1	OTP Read Value
5	Write Sub-Register	0x2D:06 (OTP_CTRL)	1	0x00

6.4 测量 IC 温度和电压

DW1000 配备了低速 8 位 SAR A / D 转换器，可配置为从内部 IC 温度传感器以及 VDDAON 电源输入上的电池电压监视器采样。这些读数可以在主机控制下手动运行，也可以配置为每次 DW1000 进入 WAKEUP 状态时自动运行。该自动模式允许在设备处于低功率状态时读取温度和电压，这将给出环境温度和空载电池电压。

自动模式由子寄存器 0x2C: 00 - AON_WCFG 中的 ONW_RADC 位控制。当使用此功能时，一旦 IC 达到 IDLE 状态，温度和电压读数将在子寄存器 0x2A: 06 - TC_SARW 中可

用。

主机启动读取温度传感器（或电池电压）的过程如下：

表 14: 执行温度和电压传感器读取的寄存器访问示例

Step Number	Instruction	Register Address	Data Length (Bytes)	Data (Write/Read)
1	Write Sub-Register	28:11	1	0x80
2	Write Sub-Register	28:12	1	0x0A
3	Write Sub-Register	28:12	1	0x0F
4	Write Register	2A:00	1	0x01
5	Write Register	2A:00	1	0x00
6	Read Register	2A:03	1	8-bit Voltage reading
7	Read Register	2A:04	1	8-bit Temperature reading

当 ADC 被配置为在唤醒时进行自动操作时寄存器: 2C - ONWAKE_RUN_SAR, 一旦进入 IDLE 状态, 电压和温度传感器的 ADC 值就会准备好读取。 这些值可以通过执行上表中的步骤 6 和 7 来读取。

在自动模式下, 如果温度或电压的最新读数与先前记录的值相差 0x0A, 则可以配置中断来断言。 电压读数大约等于 60 mV, 温度读数大约等于 10° C。

之前的值也可供主机阅读:

寄存器: 2A - SAR_LAST_VBAT,

寄存器: 2A - SAR_LAST_TEMP

7 DW1000 寄存器组

DW1000 由一个相关的主机微控制器系统控制，使用 SPI 接口访问一个设备内的一系列寄存器。DW1000 寄存器组包括配置寄存器，状态寄存器，控制寄存器，数据缓冲寄存器和诊断寄存器。第 2.2 节 - SPI 接口描述了 SPI 接口和用于读写参数的低级事务 DW1000。本节从 7.1-注册图概述开始，然后是 7.2-详细注册说明，其中详细描述了每个单独的参数。

7.1 寄存器图概述

寄存器映射概述在表 15 中给出。它按地址顺序列出了寄存器文件 ID，以八位字节为单位给出寄存器文件长度，其类型（RO=只读，RW=读取和写入，SRW=特殊读取写 - 查看单独的寄存器描述以获得关于读/写访问是如何特殊的细节）和简要介绍一下注册表的高级描述。第 7.2 节给出了每个寄存器的详细描述。

注意：写入任何 DW1000 寄存器时，必须注意不要超出已发布的范围所选寄存器的长度，而不写入任何保留的寄存器位置。这样做可能会导致该设备发生故障。

Table 15: Register map overview

ID	Length (octets)	Type	Mnemonic	Description
0x00	4	RO	DEV_ID	Device Identifier – includes device type and revision info
0x01	8	RW	EUI	Extended Unique Identifier
0x02	-	-	-	Reserved
0x03	4	RW	PANADR	PAN Identifier and Short Address
0x04	4	RW	SYS_CFG	System Configuration bitmap
0x05	-	-	-	Reserved
0x06	5	RO	SYS_TIME	System Time Counter (40-bit)
0x07	-	-	-	Reserved
0x08	5	RW	TX_FCTRL	Transmit Frame Control
0x09	1024	WO	TX_BUFFER	Transmit Data Buffer
0x0A	5	RW	DX_TIME	Delayed Send or Receive Time (40-bit)
0x0B	-	-	-	Reserved
0x0C	2	RW	RX_FWTO	Receive Frame Wait Timeout Period
0x0D	4	SRW	SYS_CTRL	System Control Register
0x0E	4	RW	SYS_MASK	System Event Mask Register
0x0F	5	SRW	SYS_STATUS	System Event Status Register
0x10	4	ROD	RX_FINFO	RX Frame Information (in double buffer set)
0x11	1024	ROD	RX_BUFFER	Receive Data (in double buffer set)
0x12	8	ROD	RX_FQUAL	Rx Frame Quality information (in double buffer set)
0x13	4	ROD	RX_TTCKI	Receiver Time Tracking Interval (in double buffer set)
0x14	5	ROD	RX_TTCKO	Receiver Time Tracking Offset (in double buffer set)

ID	Length (octets)	Type	Mnemonic	Description
0x15	14	ROD	RX_TIME	Receive Message Time of Arrival (in double buffer set)
0x16	-	-	-	Reserved
0x17	10	RO	TX_TIME	Transmit Message Time of Sending
0x18	2	RW	TX_ANTD	16-bit Delay from Transmit to Antenna
0x19	5	RO	SYS_STATE	System State information
0x1A	4	RW	ACK_RESP_T	Acknowledgement Time and Response Time
0x1B	-	-	-	Reserved
0x1C	-	-	-	Reserved
0x1D	4	RW	RX_SNIFF	Pulsed Preamble Reception Configuration
0x1E	4	RW	TX_POWER	TX Power Control
0x1F	4	RW	CHAN_CTRL	Channel Control
0x20	-	-	-	Reserved
0x21	41	RW	USR_SFD	User-specified short/long TX/RX SFD sequences
0x22	-	-	-	Reserved
0x23	32	RW	AGC_CTRL	Automatic Gain Control configuration
0x24	12	RW	EXT_SYNC	External synchronisation control.
0x25	4064	RO	ACC_MEM	Read access to accumulator data
0x26	44	RW	GPIO_CTRL	Peripheral register bus 1 access – GPIO control
0x27	44	RW	DRX_CONF	Digital Receiver configuration
0x28	58	RW	RF_CONF	Analog RF Configuration
0x29	-	-	-	Reserved
0x2A	52	RW	TX_CAL	Transmitter calibration block
0x2B	21	RW	FS_CTRL	Frequency synthesiser control block

0x2C	12	RW	AON	Always-On register set
0x2D	18	RW	OTP_IF	One Time Programmable Memory Interface
0x2E	-	RW	LDE_CTRL	Leading edge detection control block
0x2F	41	RW	DIG_DIAG	Digital Diagnostics Interface
0x30 to 0x35	-	-	-	Reserved
0x36	48	RW	PMSC	Power Management System Control Block
0x37 to 0x3F	-	-	-	Reserved

Note the “Type” mnemonic in the table above has the following meaning:

- RO – Read Only,
- WO – Write Only,
- RW – Read and Write,
- SRW – Special type of Read and Write, refer to individual register description for details,
- ROD – Read Only part of RX Double buffered swinging set of RX frame related information,
- RWD – Read and Write part of RX Double buffered swinging set of RX frame related information.

7.2 寄存器详细说明

7.2.1 相关术语

第 7.1 节给出了显示所有顶层寄存器文件 ID 地址的 DW1000 寄存器集的概述表 15. 本节详

细介绍了这些寄存器文件的内容和功能部分。在每种情况下，来自表 15 的行都用十六进制寄存器文件 ID，其长度，类型，助记符和一行描述如下：

ID	Length (octets)	Type	Mnemonic	Description

接下来是该寄存器文件中的参数的描述。所有参数都显示出来格式为 REG:RR:SS，其中 RR 是寄存器文件 ID，SS 是子地址。如果一个注册是由个别位或位字段组成的，用助记符和默认值标识如下：

REG:RR:SS – Mnemonic – one line description																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<bits or bit-fields identified by a quoted mnemonic>																															
<default power-on-reset values are quoted as bits or values>																															

然后分别详细描述标识的字段或位。

由于许多参数长度为 4 个八位字节，因此寄存器值的默认显示为 32 位值。这可以被细分成各种比特宽度的字段，直到单个比特值。应该指出当通过 SPI 接口读取这些值时，八位组首先输出最低有效八位位组。也是值得注意的是，索引寻址模式允许访问单独的八位字节这一事实当只需要读取或写入寄存器的一部分时，可以用来减少 SPI 通信量。

注：未使用或保留的寄存器在读取时返回 0x DEADDEAD。未使用或保留位/位字段在寄存器内从 0x DEADDEAD 返回适当的位/位域。

每个寄存器文件如下所述：

7.2.2 寄存器文件：0x00 - 设备标识符

ID	Length (octets)	Type	Mnemonic	Description
0x00	4	RO	DEV_ID	Device Identifier – includes device type and revision information

寄存器映射寄存器文件 0x00 是设备标识符。这是硬编码到硅。在这个价值寄存器是只读的，不能被主机系统覆盖。设备 ID 将被更改为任何芯片更新。器件 ID 寄存器非常适合用于主机 μ P 来验证 SPI 接口操作。预计主机系统将验证设备 ID 是预期值，由其软件支持，然后继续使用 IC。

器件标识符寄存器包含以下子字段：

REG:00:00 – DEV_ID – Device Identifier																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RIDTAG																MODEL								VER				REV			
1	1	0	1	1	1	1	0	1	1	0	0	1	0	1	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0

REG 的子字段的定义：00: 00 - DEV_ID: 设备标识符：

Field	Description of fields within Register file: 0x00 – Device Identifier
REV reg:00:00 bits:3–0	Revision: This number will be updated for minor corrections and changes in operation
VER reg:00:00 bits:7–4	Version: This number will be updated if a new version is produced that has significant differences from the previous version.
MODEL reg:00:00 bits:15–8	The MODEL identifies the device. The DW1000 is device type 0x01.
RIDTAG reg:00:00 bits:31–16	Register Identification Tag. It is planned that this will remain constant for all Decawave parts. The value is 0xDECA in hex.

对于生产 DW1000，设备 ID 被设置为 0x DECA0130。这个用户的寄存器描述手册涉及该 DW1000 设备，不适用于任何早期的样品部件。

7.2.3 寄存器文件：0x01 - 扩展唯一标识符

ID	Length (octets)	Type	Mnemonic	Description
0x01	8	RW	EUI	Extended Unique Identifier – the 64-bit IEEE device address

寄存器映射寄存器文件 0x01 是扩展唯一标识符寄存器。符合 IEEE 802.15.4 标准每个设备应该有一个唯一的 64 位设备标识符。EUI 的高位 24 位是一家公司由 IEEE 注册机构分配的标识符（见 <http://standards.ieee.org/develop/regauth/oui/>）给制造商。EUI 的低 40 位是唯一选择的扩展标识符制造商为每个设备制造，从不重复。由此产生的 EUI 是全球独一无二的标识符。预计需要遵守这个要求的制造商将会注册 IEEE 注册机构并生成并维护自己的 EUI 扩展标识符编号空间确保每个设备的独特性。制造商可以将 EUI 外部存储到 DW1000 中，或者作为 DW1000 的一次性选择，可编程存储区，可在产品制造过程中用 EUI 进行编程。请参阅第 6.3 节 - 使用片上 OTP 存储器获取编程值到 OTP 的详细信息。表 45：寄存器文件：0x2D - OTP 存储器接口概述概述了 OTP 内容和地址。在 DW1000 初始化期间或从睡眠模式唤醒时，寄存器文件：0x01 - 扩展唯一标识符寄存器值从其 OTP 存储区中加载。在此之后，EUI 登记的价值可能是必要时由主机系统覆盖。某些 IEEE 802.15.4 定义的帧使用 64 位源地址。软件（MAC）生成这样的在帧被写入 DW1000 的发送之前，预计帧将在框内插入 EUI 缓冲。接收帧过滤功能使用 EUI 寄存器，参见 5.2 节。当帧过滤是可操作的，DW1000 根据 IEEE 802.15.4 MAC 规则解码每个接收到的帧存在的 64 位目标地址必须与 EUI 寄存器匹配才能接受帧。扩展唯一标识符的 8 个八位字节可以作为一个 8 字节的 EUI 寄存器访问来访问文件从索引 0 开始。EUI 的字节按以下顺序输出/输入：

REG:01:00 – EUI – Extended Unique Identifier									
7	6	5	4	3	2	1	0	Octet Index	Description
0xHH								0	Bits 7 to 0 of the extension identifier
0xHH								1	Bits 15 to 8 of the extension identifier
0xHH								2	Bits 23 to 16 of the extension identifier
0xHH								3	Bits 31 to 24 of the extension identifier
0xHH								4	Bits 39 to 32 of the extension identifier
0xNN								5	Bits 7 to 0 of the OUI (manufacturer company ID)
0xNN								6	Bits 15 to 8 of the OUI (manufacturer company ID)
0xNN								7	Bits 23 to 16 of the OUI (manufacturer company ID)

从扩展唯一标识符寄存器中读取的八位字节的排序是直接设计的兼容 IEEE 802.15.4 标

准 MAC 帧的 64 位源地址字段的八位字节顺序简化了将其插入帧传输的任务。

7.2.4 寄存器文件：0x02 - 保留

ID	Length (octets)	Type	Mnemonic	Description
0x02	-	-	-	Reserved – this register file is reserved

寄存器映射寄存器文件 0x02 被保留以供将来使用。 请小心不要写入这个注册为这样做可能会导致 DW1000 发生故障。

7.2.5 寄存器文件：0x03 -PAN 标识符和短地址

ID	Length (octets)	Type	Mnemonic	Description
0x03	4	RW	PANADR	PAN Identifier and Short Address

寄存器映射寄存器文件 0x03 包含两个 16 位参数，PAN 标识符和短地址。当 DW1000 上电或复位时，该寄存器中的 PAN 标识符和短地址都是重置为值 0xFFFF。主机软件（MAC）应该将适当的值编程到该寄存器中如果它希望使用 DW1000 的接收帧过滤或自动确认生成功能。在 IEEE 802.15.4 个域网（PAN）中，PAN 协调器节点确定 PAN 标识符对于网络，并将它和短 16 位地址分配给与 PAN 关联的设备（节点）。该那么 PAN 中的节点应该（在 MAC 层）使用其分配的短地址作为源地址，将其与 PAN 标识符一起包括在它们传输的帧中。当一个节点收到一个帧，它应该只处理那些目的地址和 PAN 标识符与其分配的节点地址相匹配的标识符和网络 ID。

接收帧过滤和自动确认功能在 DW1000 上运行时根据 IEEE 802.15.4 MAC 规范解码每个接收帧，并在何时确定在帧中存在一个 16 位的目的地址，DW1000 将把目的地址与在接收/确认帧之前在该寄存器中编程的短地址值类似地，当帧中的 PAN 标识符与 PAN 标识符相匹配时，仅接收接收到的帧编程在这个寄存器。有关帧过滤和自动的详细信息，请参阅 5.2 节和 5.3 节确认功能。

PAN 标识符和短地址寄存器包含以下子字段：

REG:03:00 –PANADR – PAN Identifier and Short Address																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAN_ID																SHORT_ADDR															
0xFFFF																0xFFFF															

如果使用 DW1000 的接收帧，主机软件（MAC）只需编程该寄存器过滤和自动确认生成功能。 子字段是：

Field	Description of fields within Register file: 0x03 – PAN Identifier and Short Address
SHORT_ADDR reg:03:00 bits:15–0	Short Address. The host software needs to program this register if it is using the DW1000's receive frame filtering functionality, with or without the automatic acknowledgement generation function. The short address is typically assigned to a node by the coordinator function at MAC (or higher) layer as part of network association. The value may alternatively be pre-defined in a closed network where the network association phase is being skipped.
PAN_ID reg:03:00 bits:31–16	PAN Identifier. The host software needs to program this register if it is using the DW1000's receive frame filtering functionality, with or without the automatic acknowledgement generation function. The PAN ID is typically assigned as part of network association. A predefined PAN ID might be used in a closed network where the network association phase is being skipped.

7.2.6 寄存器文件：0x04 - 系统配置

ID	Length (octets)	Type	Mnemonic	Description
0x04	4	RW	SYS_CFG	System Configuration bitmap

寄存器映射寄存器文件 0x04 是系统配置寄存器。这是一个位图寄存器。每一点字段分别标识和描述如下。系统配置寄存器包含以下内容位图子字段：

REG:04:00 – SYS_CFG – System Configuration bit map																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AACKPEND	AUTOACK	RXAUTR	RXWTOE	.	.	.	.	.	RXM110K	.	.	.	DIS_STXP	PHR_MODE	FC5_INIT2F	DIS_RSDE	DIS_PHE	DIS_DRXB	DIS_FCE	SPI_EDGE	HIRQ_POL	FFA5	FFA4	FFAR	FFAM	FFAA	FFAD	FFAB	FFBC	FFEN	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0

REG 中的位字段的定义：04: 00 - SYS_CFG：系统配置位图：

Field	Description of fields within Register file: 0x04 – System Configuration
FFEN reg:04:00 bit:0	Frame Filtering Enable. This bit enables the frame filtering functionality in the DW1000 receiver. The frame filtering is designed to follow the rules defined in the IEEE 802.15.4-2011 standard. When frame filtering is enabled receive frames must pass the frame filtering rules before being considered as a good frame. This includes the destination address matching the PAN_ID and SHORT_ADDR as defined in Register file: 0x03 – PAN Identifier and Short Address , or the long 64-bit defined by Register file: 0x01 – Extended Unique Identifier . These addresses and the other frame filtering control bits of Register file: 0x04 – System Configuration should be configured correctly before enabling frame filtering with this FFEN bit. Section 5.2 describes frame filtering in more detail.

Field	Description of fields within Register file: 0x04 – System Configuration
FFBC reg:04:00 bit:1	Frame Filtering Behave as a Coordinator. FFEN must be set to enable this frame filtering operation. A coordinator will accept a frame without a destination address if the source address has the PAN_ID matching the coordinator's PAN_ID. For an ordinary (non-coordinator) node the destination address (if present) must match the node's own address or the frame will not be accepted. When FFBC is set to 1 the DW1000 will behave as a coordinator. When FFBC is clear the DW1000 will behave as an ordinary normal node. Section 5.2 describes frame filtering in more detail.
FFAB reg:04:00 bit:2	Frame Filtering Allow Beacon frame reception. IEEE 802.15.4-2011 frames begin with three bits, indicating the frame type for beacon frames these are binary 000. When FFAB is set to 1 beacon frames will be accepted (assuming all other frame filtering rules are passed) and when FFAB is clear beacon frames will be ignored. Section 5.2 describes frame filtering in detail.
FFAD reg:04:00 bit:3	Frame Filtering Allow Data frame reception. IEEE 802.15.4-2011 frames begin with three bits, indicating the frame type, b3 to b0, for data frames these are binary 001. When FFAD is set to 1 data frames will be accepted (assuming all other frame filtering rules are passed) and when FFAD is clear data frames will be ignored. Section 5.2 describes frame filtering in more detail.
FFAA reg:04:00 bit:4	Frame Filtering Allow Acknowledgment frame reception. IEEE 802.15.4-2011 frames begin with three frame type bits, b3 to b0, for acknowledgment frames these are binary 010. When FFAA is set to 1 acknowledgment frames will be accepted (assuming all other frame filtering rules are passed) and when FFAA is clear acknowledgment frames will be ignored. Section 5.2 describes frame filtering in more detail.
FFAM reg:04:00 bit:5	Frame Filtering Allow MAC command frame reception. IEEE 802.15.4-2011 frames begin with three frame type bits, b3 to b0, for MAC command frames these are binary 011. When FFAM is set to 1 MAC command frames will be accepted (assuming all other frame filtering rules are passed) and when FFAM is clear MAC command frames will be ignored. Section 5.2 describes frame filtering in more detail.
FFAR reg:04:00 bit:6	Frame Filtering Allow Reserved frame types. IEEE 802.15.4-2011 frames begin with three frame type bits, b3 to b0. The values of binary 100 through 111 (4 to 7) are not defined in IEEE 802.15.4-2011 and would normally be rejected. When FFAR is 0 these frames may be ignored (depending also on FFA4 and FFA5 which modify this behaviour). When FFAR is set to 1 these frames are accepted. Since these frame types are unknown no further frame decoding is done (e.g. no address matching etc.) and the software will thus be responsible for validating and interpreting these frames. Section 5.2 describes frame filtering in more detail. Note that the frame filter does decode the frame control fields to determine the minimum length of the expected frame and will reject the frame if it is too short, see section 5.2.
FFA4 reg:04:00 bit:7	Frame Filtering Allow frames with frame type field of 4, (binary 100). IEEE 802.15.4-2011 frames begin with three frame type bits, b3 to b0. The value of binary 100 is not defined in IEEE 802.15.4-2011. When FFA4 is set to 1, frames of type 4 will be accepted, but no further frame decoding is done (e.g. no address matching etc.) so software will be responsible for validating and interpreting these frames. When FFA4 is set to 0, frames of type 4 will be ignored unless FFAR is set. Section 5.2 describes frame filtering in more detail. Note that the frame filter does decode the frame control fields to determine the minimum length of the expected frame and will reject the frame if it is too short, see section 5.2.

Field	Description of fields within Register file: 0x04 – System Configuration
FFA5 reg:04:00 bit:8	Frame Filtering Allow frames with frame type field of 5, (binary 101). IEEE 802.15.4-2011 frames begin with three frame type bits, b3 to b0. The value of binary 100 is not defined in IEEE 802.15.4-2011. When FFA5 is set to 1, frames of type 5 will be accepted, but no further frame decoding is done (e.g. no address matching etc.) so software will be responsible for validating and interpreting these frames. When FFA5 is set to 0, frames of type 5 will be ignored unless FFAR is set. Section 5.2 describes frame filtering in more detail. Note that the frame filter does decode the frame control fields to determine the minimum length of the expected frame and will reject the frame if it is too short, see section 5.2.
HIRQ_POL reg:04:00 bit:9	Host interrupt polarity. This bit allows the system integrator the ability to control the polarity of the IRQ line from the DW1000. When HIRQ_POL is 1 the IRQ output line from the DW1000 is active high, and, when HIRQ_POL is 0 the IRQ output line from the DW1000 is active low. Active high operation is recommended for low power applications so that the interrupt is in its 0 V logical inactive state when the DW1000 is in SLEEP or DEEPSLEEP states.
SPI_EDGE reg:04:00 bit:10	SPI data launch edge. This bit allows the system integrator the ability to control the launch edge used for SPI data from the DW1000 on the MISO SPI data output line. This may be used to select the MISO output operation most suitable to the target system. When SPI_EDGE is 0 the DW1000 uses the sampling edge to launch MISO data. This setting should give the highest rate operation. When SPI_EDGE is 1 the DW1000 uses the opposite edges to launch the data. This setting may give a more robust operation.
DIS_FCE reg:04:00 bit:11	Disable frame check error handling. This might be of use for protocols using a different encoding scheme for error handling not based on standard IEEE 802.15.4-2011, but for normal IEEE 802.15.4-2011 operation this bit should be set to 0. Setting this bit to one makes the DW1000 treat the frame as valid, ignoring errors, so that in double buffering mode (for example) it will move on to the next buffer. In normal operation (when DIS_FCE is 0) with double buffering, a CRC error causes the current RX frame to be discarded and the buffer to be reused for next frame's reception.
DIS_DRXB reg:04:00 bit:12	Disable Double RX Buffer. The DW1000 has a double buffered receiver allowing reception of a new frame to proceed in one buffer while the host processor is in the process of unloading the last frame received into the other buffer of the buffer pair. The double buffering is enabled when DIS_DRXB is set to 0, and disabled when DIS_DRXB is set to 1. More details on the operation of double buffering are given in section 4.3.
DIS_PHE reg:04:00 bit:13	Disable receiver abort on PHR error. When DIS_PHE is 0 (recommended) the receiver will discontinue reception when it detects a non-correctable error in the PHY header, see section 10.4 –PHY header for details of PHR encoding and error correction. The PHR error is reported by the RXPHE event status bit in Register file: 0x0F – System Event Status Register. This bit is for debug only and should never be set in an application as it can seriously impair receiver performance when set.
Field	Description of fields within Register file: 0x04 – System Configuration
DIS_RSDE reg:04:00 bit:14	Disable Receiver Abort on RSD error. During normal reception (i.e. with the DIS_RSDE bit cleared to its recommended default zero value) when the Reed Solomon decoder detects a non-correctable error then frame reception is aborted and the receiver will be disabled, (unless the RXAUTR control bit is set in which case the receiver will automatically re-enable and begin preamble hunt again). The Reed Solomon decoder error is generated when an error is found that cannot be corrected using the Reed Solomon FEC (forward error correction) data. The Reed Solomon decoder error is flagged in the RXRFSL event status bit in Register file: 0x0F – System Event Status Register. When the DIS_RSDE bit is set the receiver will not abort reception when the Reed Solomon error occurs, but will instead continue to demodulate the data to the end of the frame (i.e. for the length specified in the PHY Header). Typically the non-correctable Reed Solomon error will mean that the frame is corrupted and that the CRC will not be correct.
FCS_INIT2F reg:04:00 bit:15	This bit allows selection of the initial seed value for the FCS generation and checking function that is set at the start of each frame transmission and reception. By default the FCS_INIT2F bit is 0 selecting the FCS generation/checking seed initialisation to be all zero (0x0000) – this is the standard setting required for IEEE 802.15.4 compliance. When the FCS_INIT2F bit is 1 the FCS generation/checking initialisation value will be all ones (0xFFFF).

PHR_MODE reg:04:00 bits:17,16	This configuration allows selection of PHR type to be one of two options. The default setting gives IEEE standard PHR encoding and a maximum data payload of 127 octets. The other option enables the proprietary long frames mode which allows a data payload of up to 1023 octets. In this mode the PHR encoding does not follow the IEEE standard. For successful communications between two nodes both must be configured for the same PHR mode. Supported PHR_MODE configurations are: 00 – Standard Frame mode. Use this setting is for IEEE 802.15.4 compliance. 11 – Long Frames mode. Proprietary PHR encoding. Frame Length 0-1023.
DIS_STXP reg:04:00 bit:18	Disable Smart TX Power control. Smart TX power control applies at the 6.8 Mbps data rate. When sending short data frames at this rate (and providing that the frame transmission rate is < 1 frame per millisecond) it is possible to increase the transmit power and still remain within regulatory power limits which are typically specified as average power per millisecond. When DIS_STXP is 0, the transmitter automatically sets the transmitter power levels when sending a frame at the 6.8 Mbps data rate, depending on the frame length specified in the TFLEN field of <i>Register file: 0x08 – Transmit Frame Control</i>. The actual power levels used are selected by the values configured in <i>Register file: 0x1E – Transmit Power Control</i>, described in section 7.2.31. NB: It is up to the external system to keep the frame rate below 1 frame per millisecond to ensure that the power boost is not breaking the regulations. When DIS_STXP is 1, the smart TX power control function is disabled and TX power does not depend on data rate and frame length. In this case the values configured in <i>Register file: 0x1E – Transmit Power Control</i> are used to specify the power in different phases of the TX frame separately, see section 7.2.31.

Field	Description of fields within Register file: 0x04 – System Configuration
RXM110K reg:04:00 bit:22	Receiver Mode 110 kbps data rate. This configuration when set to 1 will cause the receiver to look for long SFD and process the PHY Header and RX data as per the 110 kbps frame mode. When this configuration is 0, (the default), the receiver will look for short SFD and will determine the RX data rate from the PHY header as either 850 kbps or 6.8 Mbps.
- reg:04:00 bits:27-23	These bits are reserved and should always be set to zero to avoid any malfunction of the device.
RXWTOE reg:04:00 bit:28	Receive Wait Timeout Enable. When set RX Enable will initialise an RX_FWTO down count which will disable the receiver if no valid frame is received before the timeout occurs. The timeout period is set in <i>Register file: 0x0C – Receive Frame Wait Timeout Period</i> . The occurrence of the timeout is signalled by the RXRFTO event status bit in <i>Register file: 0x0F – System Event Status Register</i> .
RXAUTR reg:04:00 bit:29	Receiver Auto-Re-enable. This bit is used to cause the receiver to re-enable automatically. Its operation changes depending on whether the IC is operating in single or double buffered modes. The default value is 0. With this setting, the IC will not automatically re-enable the receiver but will stop receiving and return to idle mode whenever any receive events happen. This includes receiving a frame but also failing to receive a frame because of some error condition, for example an error in the PHY header (as reported by the RXPHE event status bit in <i>Register file: 0x0F – System Event Status Register</i>). In such cases if the host wants to re-enable the receiver it must do it explicitly, using the RXENAB bit in <i>Register file: 0x0D – System Control Register</i>. The operation when RXAUTR = 1 is as follows: - Double-buffered mode: After a frame reception event or failure (except a frame wait timeout), the receiver will re-enable to receive another frame. - Single-buffered mode: After a frame reception failure (except a frame wait timeout), the receiver will re-enable to re-attempt reception. For more information on frame reception see section 4 – <i>Message Reception</i>. Note: In double-buffered mode when automatic frame acknowledgement is enabled (by the AUTOACK bit below) the receiver will be re-enabled after the ACK frame has been transmitted.

AUTOACK reg:04:00 bit:30	Automatic Acknowledgement Enable. Default value 0. This is the enable for the Automatic Acknowledgement function. See section 5.3 – <i>Automatic Acknowledgement</i> for details of operation of Automatic Acknowledgement.
AACKPEND reg:04:00 bit:31	Automatic Acknowledgement Pending bit control. Default value 0. The value of the AACKPEND bit is copied into the <i>Frame Pending</i> bit in the <i>Frame Control</i> field of the DW1000 automatically generated ACK frame. See section 5.2 – <i>Frame filtering</i> for details of operation of frame filtering.

7.2.7 寄存器文件：0x05 - 保留

ID	Length (octets)	Type	Mnemonic	Description
0x05	-	-	-	Reserved – this register file is reserved

寄存器映射寄存器文件 0x05 被保留以供将来使用。 请小心不要写入这个注册为这样做可能会导致 DW1000 发生故障。

7.2.8 寄存器文件：0x06 - 系统时间计数器

ID	Length (octets)	Type	Mnemonic	Description
0x06	5	RO	SYS_TIME	System Time Counter (40-bit)

寄存器映射寄存器文件 0x06 是系统时间计数器寄存器。 系统时间和时间戳是其设计基于名义上为 64GHz 的时间单位，或者更准确地说是 $499.2\text{MHz} \times 128$ 这是 63.8976 GHz。与此同时，当 DW1000 处于空闲模式且数字锁相环启用时，系统时间计数器以 512 的单位以 125MHz 的速率递增。这 9 个低位寄存器总是为零。 时钟的计数器换行时间是： $240 \div (128 \times 499.2\text{e}6) = 17.2074$ 秒。

注意事项：

(a) 上电时，在数字锁相环使能之前，系统时间计数器增量仍然在但是增量率是外部晶体频率的一半（例如在 19.2MHz 对于 38.4MHz 的晶体）。 计数器换行期间是： $231 \div 19.2\text{e}6 = 111.8481$ 秒。

(b) 在睡眠模式下，系统时间计数器被禁止，该寄存器不被更新。

7.2.9 寄存器文件：0x07 - 保留

ID	Length (octets)	Type	Mnemonic	Description
0x07	-	-	-	Reserved – this register file is reserved

寄存器映射寄存器文件 0x07 保留供将来使用。 请小心不要写入这个注册为这样做可能会导致 DW1000 发生故障。

7.2.10 寄存器文件：0x08 - 发送帧控制

ID	Length (octets)	Type	Mnemonic	Description
0x08	5	RW	TX_FCTRL	Transmit Frame Control

寄存器映射寄存器文件 0x08（发送帧控制寄存器）包含许多 TX 控制字段。每个字段分别标识和描述如下。（有关传输的一般性讨论，请参阅到第 3 部分 - 信息传输。

REG:08:00 – TX_FCTRL – Transmit Frame Control (Octets 0 to 3, 32-bits)																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TXBOFFS										PE		TXPSR		TXPRF		TR		TXBR		R		TFLE		TFLEN								
0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0

REG:08:04 – TX_FCTRL – Transmit Frame Control (Octet 4, 8-bits)																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								IFSDELAY							
																								0	0	0	0	0	0	0	0

上面确定的 TX_FCTRL 寄存器的字段分别描述如下：

Field	Description of fields within Register file: 0x08 – Transmit Frame Control															
TFLEN reg:08:00 bits:6–0	Transmit Frame Length. Standard IEEE 802.15.4 UWB frames can be up to 127 bytes long. The value specified here determines the length of the data portion of the transmitted frame. This length includes the two-octet CRC appended automatically at the end of the frame, unless SFCST (in <i>Register file: 0x0D – System Control Register</i>) is used to suppress the FCS. The frame length is also copied into the PHY Header of the TX frame so that the receiving device knows how much data to decode.															
TFLE reg:08:00 bits:9–7	Transmit Frame Length Extension. The DW1000 supports a non-standard mode of operation with data frame lengths up to 1023 bytes. This mode of operation is enabled via the PHR_MODE selection bits of <i>Register file: 0x04 – System Configuration</i> . In this long frame mode TFLE adds three high-order bits to TFLEN to extend the frame length to 10-bits, allowing frame length from 0 up to 1023 bytes to be sent. Please refer to section <i>3.4 –Extended Length Data Frames</i> for more details of this non-standard mode.															
R	Reserved. Bits 12, 11 & 10 are reserved for future expansion. They should be set to zero.															
TXBR reg:08:00 bits:14,13	Transmit Bit Rate. This sets the user bit rate for the data portion of the frame as follows: <table><tr><th>Bit 14</th><th>Bit 13</th><th>Bit Rate</th></tr><tr><td>0</td><td>0</td><td>110 kbps</td></tr><tr><td>0</td><td>1</td><td>850 kbps</td></tr><tr><td>1</td><td>0</td><td>6.8 Mbps</td></tr><tr><td>1</td><td>1</td><td>reserved</td></tr></table>	Bit 14	Bit 13	Bit Rate	0	0	110 kbps	0	1	850 kbps	1	0	6.8 Mbps	1	1	reserved
Bit 14	Bit 13	Bit Rate														
0	0	110 kbps														
0	1	850 kbps														
1	0	6.8 Mbps														
1	1	reserved														
TR reg:08:00 bit: 15	Transmit Ranging enable. This bit has no operational effect on the DW1000; however it is copied into the ranging bit in the PHY header (PHR) of the transmitted frame, identifying the frame as a ranging frame. In some receiver implementations this may be used to enable hardware or software associated with time-stamping the frame. In the DW1000 receiver the time-stamping of the receive frame does not depend or use the ranging bit in the received PHR.															

TXPRF reg:08:00 bits:17,16	Transmit Pulse Repetition Frequency. This sets the mean Pulse Repetition Frequency (PRF) used in the transmitter: <table><tr><th>Bit 17</th><th>Bit 16</th><th>Nominal PRF</th></tr><tr><td>0</td><td>0</td><td>4 MHz</td></tr><tr><td>0</td><td>1</td><td>16 MHz</td></tr><tr><td>1</td><td>0</td><td>64 MHz</td></tr><tr><td>1</td><td>1</td><td>reserved</td></tr></table>	Bit 17	Bit 16	Nominal PRF	0	0	4 MHz	0	1	16 MHz	1	0	64 MHz	1	1	reserved
Bit 17	Bit 16	Nominal PRF														
0	0	4 MHz														
0	1	16 MHz														
1	0	64 MHz														
1	1	reserved														
	Note: (a) For successful reception of a frame the PRF in the receiver needs to be configured to be the same as the PRF used for transmitting the frame. (b) The choice of preamble code also needs to be appropriate to the configured PRF and needs to be the same in both transmitting and receiving ends for successful communication – please use Table 59 to select the appropriate preamble code. (c) The DW1000 receiver does not support the 4 MHz PRF.															

Field	Description of fields within Register file: 0x08 – Transmit Frame Control																																																		
TXPSR reg:08:00 bits:19,18	Transmit Preamble Symbol Repetitions (PSR). This sets the length of the transmitted preamble sequence in symbols. Each preamble symbol is approximately 1 μs in duration ¹ .The two TXPSR bits are copied into the PHY Header. The receiving end is thus made aware of how much preamble was sent. This might inform its choice of preamble length in any reply message. There are four standard preamble lengths are defined for the 802.15.4 UWB PHY – these are 16, 64, 1024 and 4096 symbols. The DW1000 has facility via the PE (Preamble Extension) configuration to send preambles of additional (non-standard) intermediary lengths. Table 16 below lists the selectable preamble lengths.																																																		
PE reg:08:00 bits:21,20	Preamble Extension. This field allows specification of a non-standard number of preamble symbol repetitions, thus extending the set of preamble lengths that are available to optimise system performance. The resultant preamble lengths depend the setting of both PE and TXPSR above. Table 16 below lists the useful preamble lengths that can be selected. Table 16: Preamble length selection <table><tr><th>Bit 19</th><th>Bit 18</th><th>Bit 21</th><th>Bit 20</th><th></th></tr><tr><th colspan="2">TXPSR</th><th colspan="2">PE</th><th>Preamble Length</th></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>64</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>128</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>256</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>512</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1024</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1536</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>2048</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>4096</td></tr></table> The bit numbers quoted above are the bit numbers in the TX_FCTRL register.	Bit 19	Bit 18	Bit 21	Bit 20		TXPSR		PE		Preamble Length	0	1	0	0	64	0	1	0	1	128	0	1	1	0	256	0	1	1	1	512	1	0	0	0	1024	1	0	0	1	1536	1	0	1	0	2048	1	1	0	0	4096
Bit 19	Bit 18	Bit 21	Bit 20																																																
TXPSR		PE		Preamble Length																																															
0	1	0	0	64																																															
0	1	0	1	128																																															
0	1	1	0	256																																															
0	1	1	1	512																																															
1	0	0	0	1024																																															
1	0	0	1	1536																																															
1	0	1	0	2048																																															
1	1	0	0	4096																																															
	The choice of preamble length has a bearing on operating range and system performance, a discussion of the factors affecting the choice of preamble length (and other parameters) may be found in section 9.3 below.																																																		
TXBOFFS reg:08:00 bits:31–22	Transmit buffer index offset. This 10-bit field is used to specify an index in the transmit buffer of the first octet to be transmitted. The TX frame begins with the octet at the TXBOFFS index and continues for the number octets specified by the frame length (TFLEN and TFLE) less 2 for the CRC. Care should be taken that the TXBOFFS plus the frame length does not extend past the end of the TX_BUFFER. Some uses for TXBOFFS are outlined in section 3.5.1.																																																		

Field	Description of fields within Register file: 0x08 – Transmit Frame Control
IFSDELAY reg:08:04 bits:7-0	Inter-Frame Spacing. This delay in preamble symbol times will be applied between successive transmitted frames. One use of the IFSDELAY is to allow the receiver time to unload and process the frame before another frame is sent to it. For this reason IFSDELAY is logically considered to be a post-amble to the transmitted frame, and it begins counting down after the last symbol of data is sent. Where the transmitter is enabled to begin a new frame the DW1000 makes sure that IFSDELAY symbol times have passed. A new value of IFSDELAY for the next frame should not be set until after the end-of-frame TXFRS (Transmit Frame Sent) event has occurred. The IFSDELAY sets a minimum time between frames enforced by the DW1000, assuming that the host has initiated a new transmission. Note: Because of internal IC delays the on-air gap between the end of the previous frame and the start of the new one is actually 6 symbol times larger than specified here, e.g. an IFSDELAY setting of 34 will result in an on-air gap of 40 preamble symbols.

7.2.11 寄存器文件：0x09 - 传输数据缓冲区

ID	Length (octets)	Type	Mnemonic	Description
0x09	1024	WO	TX_BUFFER	Transmit Data Buffer

寄存器映射寄存器文件 0x09 是发送数据缓冲区。来自发送缓冲器的数据被发送在发送帧的数据有效载荷部分期间。第 3 部分 - 信息传输讨论了基本的帧传输和详细的 TX 帧的各个部分。一般的程序是把数据帧写入 TX_BUFFER，设置帧长度和其他详细信息在 TX_FCTRL 寄存器中并启动传输使用在 TXSTRT 控制位中

寄存器文件：0x0D - 系统控制寄存器。

7.2.12 寄存器文件：0x0A - 延迟发送或接收时间

ID	Length (octets)	Type	Mnemonic	Description
0x0A	5	RW	DX_TIME	Delayed Send or Receive Time (40-bit)

寄存器映射寄存器文件 0x0A（延迟发送或接收时间）用于指定将来的时间或者打开接收器准备好接收帧，或者打开发送器并发送帧。该寄存器的低 9 位被忽略。延迟发送由 TXDLYS 控制位启动寄存器文件：0x0D - 系统控制寄存器。延迟接收由 RXDLYE 位启动。注册文件：0x0D - 系统控制寄存器。欲了解更多信息，请参阅第 3.3 节 - 延迟传输和部分 4.2 - 延迟接收。

有关详细信息，请参阅子寄存器 0x2F：24 - 数字诊断测试模式控制的 TX_PSTM 字段如何对该寄存器进行编程以用于发送功率频谱测试模式，并注意只有 31:0 位是在这种模式下使用，而在功能模式中忽略了 9 个最低有效位。

7.2.13 寄存器文件：0x0B - 保留

ID	Length (octets)	Type	Mnemonic	Description
0x0B	-	-	-	Reserved – this register file is reserved

寄存器映射寄存器文件 0x0B 保留供将来使用。请小心不要写入这个注册为这样做可能会导致 DW1000 发生故障。

7.2.14 寄存器文件：0x0C - 接收帧等待超时周期

ID	Length (octets)	Type	Mnemonic	Description
0x0C	2	RW	RX_FWTO	Receive Frame Wait Timeout period

寄存器映射寄存器文件 0x0C 是接收帧等待超时周期。接收帧等待超时功能可以让外部微处理器进入低功耗状态，等待有效接收并在接收到帧或编程的超时时间后由 DW1000 唤醒过去。虽然很多微控制器都有可能用于此目的的定时器，包括这个 RX DW1000 中的超时功能使系统设计人员在选择系统时具有更大的灵活性微处理器来优化解决方案。帧等待超时由寄存器中的 RXWTOE 位使能文件：0x04 - 系统配置。

当接收器被使能（并且开始寻找前导序列）并且 RXWTOE 被置位时，帧等待超时计数器开始计数编程的超时时间。之后，假设没有采取行动改变操作，应该发生以下两件事之一：

a) 接收帧等待超时时间结束。这将禁用接收器并设置 RXRFTO

（接收器帧等待超时）位，并复位计数器。

b) 有效的接收帧到达并将状态寄存器中的 RXDFR 和 RXFCG 位置 1。这阻止了接收帧等待计时器计数器，所以 RXRFTO 不会被设置。

RXRFTO（接收器帧等待超时）不会立即重新启用接收器设备是否正在使用双接收缓冲器，请参见第 4.3 节或自动接收器重新接收缓冲器启用，请参阅第 5.3.2 节。

超时时间只能在器件空闲时编程。编程超时值在其他时间不被阻止，但可能导致不可预知的行为。SYS_MASK 寄存器中的 MRXFCG 和 MRXRFTO 屏蔽位可以配置（在启用接收器）产生中断给控制微处理器。如果 RXWTOE 被清除，而倒计时正在运行倒计时将被禁用，并且 RXRFTO 将不会被设置。

当使用帧过滤时，任何拒绝的帧都不被视为有效的 RX 帧（既不是 RXDFR 也不是 RXFCG 被设置），所以接收器和接收帧等待超时只是继续倒计时

寄存器文件：0x0C - 接收帧等待超时周期包含以下字段：

REG:0C:00 – RX_FWTO – Receive Frame Wait Timeout Period																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RXFWTO															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															

各个子字段如下所述：

Field	Description of fields within Register file: 0x0C – Receive Frame Wait Timeout Period
RXFWTO reg:0C:00 bits:15–0	The Receive Frame Wait Timeout period is a 16-bit field. The units for this parameter are roughly 1μs, (the exact unit is 512 counts of the fundamental 499.2 MHz UWB clock, or 1.026 μs). When employing the frame wait timeout, RXFWTO should be set to a value greater than the expected RX frame duration and include an allowance for any uncertainty attaching to the expected transmission start time of the awaited frame. The Receive Frame Wait Timeout feature is enabled by the RXWTOE in Register file: 0x04 – System Configuration . When RXWTOE is set then each time the receiver is enabled a timer is started with the RXFWTO specified period, and if no data is received before this RX Frame Wait Timeout timer expires, then the receiver is returned to its idle state and the timeout is signalled by the RXRFTO event status bit in Register file: 0x0F – System Event Status Register .
- reg:0C:00 bits:31–16	These bits are reserved and should always be written as zero.

注意：帧等待超时也可以用于双缓冲，在接收到帧之后 DW1000 会自动重新启用接收器（接下来将继续接收新的帧缓冲）。这里，当 RXWTOE 被设置时，倒计时将在接收器重新启用接收时重新开始下一个缓冲区。有关双缓冲的更多信息，请参见第 4.3 节“双接收

缓冲区”。

7.2.15 寄存器文件：0x0D - 系统控制寄存器

ID	Length (octets)	Type	Mnemonic	Description
0x0D	4	SRW	SYS_CTRL	System Control Register

寄存器映射寄存器文件 0x0D 是系统控制寄存器，包含许多 TX 控制字段。每字段分别标识和描述如下。有关传输的一般性讨论，请参阅第 3 部分 - 消息传输。系统控制寄存器中的控制位通常是自动清除。主机控制器设置适当的位来调用一个活动，位是在指令活动开始时由 DW1000 自动清除。

REG:0D:00 – SYS_CTRL – System Control																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	HRBPT	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RXDLYE	RXENAB	WAIT4RESP	TRXOFF	-	-	CANSFCS	TXDLYS	TXSTRT	SFCST
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Field	Description of fields within Register file: 0x0D – System Control Register
-	Bits marked '-' in register 0x0D are reserved and should always be written as zero.
SFCST reg:0D:00 bit:0	Suppress auto-FCS Transmission (on this next frame). This control works in conjunction with the TXSTRT (Transmit Start) bit below to control whether or not the DW1000 automatically calculates and appends the two Frame-Check-Sequence bytes. It is expected that the host will decide this as transmission is invoked and set SFCST at the same time as TXSTRT is set if FCS suppression is required. Normally SFCST is not set when transmission is started and the DW1000 calculates the FCS on the octets fetched from the TX buffer, and automatically appends the two-byte FCS sequence at the end of the frame. The FCS sequence follows the IEEE 802.15.4 standard polynomial, $x^{16} + x^{12} + x^5 + 1$, also known as CRC-16-CCITT or CRC-16 ITU-T. When SFCST is set (as transmission is started) the DW1000 will not append the FCS to the data frame but instead fetches the two bytes from the TX buffer. The frame length is determined by the TFLEN field of Register file: 0x08 – Transmit Frame Control . So, when SFCST is clear, TFLEN-2 (frame length minus two) octets are fetched and sent from the TX buffer, and the final two octets sent are the automatically generated FCS bytes. And, when SFCST is set, TFLEN (frame length) octets are sent from the TX buffer. SFCST may be of use if a non-standard IEEE 802.15.4 frame protocol is being employed, and can also be of use to induce a FCS error in the remote receiver during testing. The SFCST bit will clear as soon as the DW1000 sees TXSTRT and initiates transmission.
TXSTRT reg:0D:00 bit:1	Transmit Start. This bit commands the DW1000 to begin transmission. When the DW1000 is in idle mode and the TXSTRT bit is set it the IC will begin transmission of a frame immediately, unless TXDLYS is set (see below). In general it would be expected that the user has a prepared frame in the transmit buffer and has configured the desired transmit mode and set the frame length, in Register file: 0x08 – Transmit Frame Control , before setting TXSTRT to invoke transmission. For a general discussion of transmission see section 3 – Message Transmission . The TXSTRT bit will clear as soon as the DW1000 sees it and initiates transmission.

Field	Description of fields within Register file: 0x0D – System Control Register
TXDLYS reg:0D:00 bit:2	Transmitter Delayed Sending. This control works in conjunction with TXSTRT and the DX_TIME value specified by Register file: 0x0A – Delayed Send or Receive Time. When the user wants to control the time of sending of a frame, the send time is programmed into DX_TIME, and then both TXDLYS and TXSTRT should be set at the same time to correctly invoke the delayed sending feature. The TXDLYS bit will clear along with the TXSTRT bit when the delay has completed and the frame transmission begins and initiates the delayed transmission. When delayed sending is used the DW1000 precisely controls the transmission start time so that the internal TX timestamp occurs at the point when SYS_TIME is equal to the DX_TIME value. The actual time of TX then is calculable as DX_TIME plus the TX antenna delay. TXDLYS has a number of uses: - • It can be used to give precise control of the transmission time of a response message, which would allow a receiver that knows this response time to only turn on at the correct time to receive the response, thus saving power. • In symmetric double-sided two-way ranging, the RX to TX response times at either end should be the same so that their differences in local clocks correctly cancel out. This may be ensured by setting TXDLYS to a value that is a fixed delta added to the RX time-stamp. • In two-way ranging the TX timestamp of the final message exchange needs to be communicated to the receiving end to allow the round-trip delay to be calculated. Using TXDLYS allows this time to be predicted, pre-calculated and embedded into the final message itself. This may save the need for an additional message interchange which will give a power saving, and save time too. • Embedding the TX time in this way may also reduce the number of messages in a wireless clock synchronisation scheme.
CANSFCS reg:0D:00 bit:3	Cancel Suppression of auto-FCS transmission (on the current frame). This bit is intended to be used when transmission is kicked off before the data is actually written to the transmit buffer, which can be used to speed response times and/or system data throughput. A general discussion of these techniques may be found in section 3.5 – High Speed Transmission. The general principle is not to send the FCS (marking a good frame) until all the data is written to the TX_BUFFER. So transmission is initiated with SFCST set to suppress the FCS and when all data is written to the TX_BUFFER the FCS transmission is enabled by setting the CANSFCS bit to cancel the suppression, i.e. allow the transmission of the FCS. The DW1000 transmitter includes a circuit to detect the host microprocessor writing to the buffer between the configured TXBOFFS and any address it has already consumed data from, which is taken to mean the HOST has written the data too late for transmission, in which case the setting of CANSFCS will be ignored and the frame will be transmitted with a bad CRC. This condition is signalled by the TXBERR bit in Register file: 0x0F – System Event Status Register. The CANSFCS bit will clear as soon as the DW1000 sees and acts on it.
TRXOFF reg:0D:00 bit:6	Transceiver Off. When this is set the DW1000 returns to idle mode immediately. Any TX or RX activity that is in progress at that time will be aborted. The TRXOFF bit will clear as soon as the DW1000 sees it and returns the IC to idle mode.

Field	Description of fields within Register file: 0x0D – System Control Register
WAIT4RESP reg:0D:00 bit:7	Wait for Response. The WAIT4RESP control works in conjunction with TXSTRT bit above and the W4R_TIM value in Register file: 0x1A – Acknowledgement time and response time . When WAIT4RESP is set at the same time as the TXSTRT then when the DW1000 has finished transmitting the frame it will automatically turn-around, disabling the transmitter and enabling the receiver, to await a response frame. The W4R_TIM value may be programmed with a delay between TX end and RX enable. Delaying turning on the receiver will save power in cases where the response is known to be a delayed by a certain amount. The WAIT4RESP bit will clear at the time when DW1000 enables the receiver, (or when a TRXOFF is employed). NB: When in use the WAIT4RESP bit must be set at the same time as the TXSTRT bit is set, (i.e. by the same write).
RXENAB reg:0D:00 bit:8	Enable Receiver. This bit commands the DW1000 to turn on its receiver and begin looking for the configured preamble sequence. It is assumed that the all necessary configurations have been made before turning on the receiver. For a general discussion of reception see section 4 – Message Reception . The RXENAB bit will clear as soon as the DW1000 sees it and initiates reception. NB: The receiver has a delay of 16 μ s after issuing the enable receiver command, after which it will start receiving preamble symbols.
RXDLYE reg:0D:00 bit:9	Receiver Delayed Enable. This control works in conjunction with RXENAB and the DX_TIME value specified by Register file: 0x0A – Delayed Send or Receive Time . When the user wants to control the time of turning on the receiver, the turn on time is programmed into DX_TIME, and then both RXDLYE and RXENAB should be set to correctly invoke the delayed receiving feature. The DW1000 then precisely controls the RX turn on time so that it is ready to receive the first symbol of preamble at the specified DX_TIME start time. In cases when the received time can be known precisely, for example when a response is expected at a well-defined time, employing RXDLYE will give a power saving as it allows the IC to remain idle until the moment it is required to act for the reception.
HRBPT reg:0D:00 bit:24	Host Side Receive Buffer Pointer Toggle. In the doubly buffered receiver mode the host uses this bit to change which of the buffer pairs it is reading from. The half being accessed is reported by the HSRBP (Host Side Receive Buffer Pointer) status bit in Register file: 0x0F – System Event Status Register . See section 4.3 – Double Receive Buffer for more details.

7.2.16 寄存器文件：0x0E - 系统事件掩码寄存器

ID	Length (octets)	Type	Mnemonic	Description
0x0E	4	RW	SYS_MASK	System Event Mask Register

寄存器映射寄存器文件 0x0E 是系统事件掩码寄存器。这些与事件状态一致 SYS_STATUS 寄存器中的位。每当 SYS_MASK 中的某个位被置位（到 1），并且相应的被置位 SYS_STATUS 寄存器也被置位，然后产生一个中断来产生硬件 IRQ 输出线。中断条件可以通过清除 SYS_MASK 寄存器中的相应位来消除（通过将其设置为 0）或通过清除 SYS_STATUS 寄存器中相应的锁存位（通常由向该位写入 1 - 请参阅个别 SYS_STATUS 寄存器位定义以了解详细信息）。SYS_STATUS 寄存器包含以下标识和描述的系统事件状态位：

REG:0E:00 – SYS_MASK – System Event Mask																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	MAFFREJ	MTXBERR	MTXPDWAK	MLLHLO	MRPLLLL	MRPLLLL	MSLP2INIT	MGPIOIRQ	MRXPTO	MRXOVRR	-	MLDEERR	MRXRFTO	MRXRFSL	MRXFCE	MRXFCG	MRXDFR	MRXPHE	MRXPHD	MLDEDON	MRXSFD	MRXPRD	MTXFRS	MTXPHS	MTXPRS	MTXFRB	MAAT	MESYNCR	MCPLOCK	-
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

上面标识的 SYS_MASK 寄存器的系统事件掩码位分别描述如下：

Field	Description of fields within Register file: 0x0E – System Event Mask Register
– reg:0E:00 bit:0	This bit is reserved.
MCPLOCK reg:0E:00 bit:1	Mask clock PLL lock event. When MCPLOCK is 0 the CPLOCK event status bit will not generate an interrupt. When MCPLOCK is 1 and the CPLOCK event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MESYNCR reg:0E:00 bit:2	Mask external sync clock reset event. When MESYNCR is 0 the ESYNCR event status bit will not generate an interrupt. When MESYNCR is 1 and the ESYNCR event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MAAT reg:0E:00 bit:3	Mask automatic acknowledge trigger event. When MAAT is 0 the AAT event status bit will not generate an interrupt. When MAAT is 1 and the AAT event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt. AAT should be masked when the automatic acknowledge is not enabled so that spurious interrupts cannot affect system behaviour.
MTXFRB reg:0E:00 bit:4	Mask transmit frame begins event. When MTXFRB is 0 the TXFRB event status bit will not generate an interrupt. When MTXFRB is 1 and the TXFRB event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MTXPRS reg:0E:00 bit:5	Mask transmit preamble sent event. When MTXPRS is 0 the TXPRS event status bit will not generate an interrupt. When MTXPRS is 1 and the TXPRS event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MTXPHS reg:0E:00 bit:6	Mask transmit PHY Header Sent event. When MTXPHS is 0 the TXPHS event status bit will not generate an interrupt. When MTXPHS is 1 and the TXPHS event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MTXFRRS reg:0E:00 bit:7	Mask transmit frame sent event. When MTXFRRS is 0 the TXFRRS event status bit will not generate an interrupt. When MTXFRRS is 1 and the TXFRRS event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRXPRD reg:0E:00 bit:8	Mask receiver preamble detected event. When MRXPRD is 0 the RXPRD event status bit will not generate an interrupt. When MRXPRD is 1 and the RXPRD event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRXSFD reg:0E:00 bit:9	Mask receiver SFD detected event. When MRXSFD is 0 the RXSFD event status bit will not generate an interrupt. When MRXSFD is 1 and the RXSFD event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MLDEDONE reg:0E:00 bit:10	Mask LDE processing done event. When MLDEDONE is 0 the LDEDONE event status bit will not generate an interrupt. When MLDEDONE is 1 and the LDEDONE event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.

Field	Description of fields within Register file: 0x0E – System Event Mask Register
MRXPHD reg:0E:00 bit:11	Mask receiver PHY header detect event. When MRXPHD is 0 the RXPHE event status bit will not generate an interrupt. When MRXPHD is 1 and the RXPHE event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRXPHE reg:0E:00 bit:12	Mask receiver PHY header error event. When MRXPHE is 0 the RXPHE event status bit will not generate an interrupt. When MRXPHE is 1 and the RXPHE event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRXDFR reg:0E:00 bit:13	Mask receiver data frame ready event. When MRXDFR is 0 the RXDFR event status bit will not generate an interrupt. When MRXDFR is 1 and the RXDFR event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRXFCG reg:0E:00 bit:14	Mask receiver FCS good event. When MRXFCG is 0 the RXFCG event status bit will not generate an interrupt. When MRXFCG is 1 and the RXFCG event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRXFCE reg:0E:00 bit:15	Mask receiver FCS error event. When MRXFCE is 0 the RXFCE event status bit will not generate an interrupt. When MRXFCE is 1 and the RXFCE event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRXRFSL reg:0E:00 bit:16	Mask receiver Reed Solomon Frame Sync Loss event. When MRXRFSL is 0 the RXRFSL event status bit will not generate an interrupt. When MRXRFSL is 1 and the RXRFSL event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRXRFTO reg:0E:00 bit:17	Mask Receive Frame Wait Timeout event. When MRXRFTO is 0 the RXRFTO event status bit will not generate an interrupt. When MRXRFTO is 1 and the RXRFTO event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MLDEERR reg:0E:00 bit:18	Mask leading edge detection processing error event. When MLDEERR is 0 the LDEERR event status bit will not generate an interrupt. When MLDEERR is 1 and the LDEERR event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
– reg:0F:00 bit:19	This bit is reserved.
MRXOVRR reg:0E:00 bit:20	Mask Receiver Overrun event. When MRXOVRR is 0 the RXOVRR event status bit will not generate an interrupt. When MRXOVRR is 1 and the RXOVRR event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRXPTO reg:0E:00 bit:21	Mask Preamble detection timeout event. When MRXPTO is 0 the RXPTO event status bit will not generate an interrupt. When MRXPTO is 1 and the RXPTO event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MGPIOIRQ reg:0E:00 bit:22	Mask GPIO interrupt event. When MGPIOIRQ is 0 the GPIOIRQ event status bit will not generate an interrupt. When MGPIOIRQ is 1 and the GPIOIRQ event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MSLP2INIT reg:0E:00 bit:23	Mask SLEEP to INIT event. When MSLP2INIT is 0 the SLP2INIT event status bit will not generate an interrupt. When MSLP2INIT is 1 and the SLP2INIT event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MRFPLLLL reg:0E:00 bit:24	Mask RF PLL Losing Lock warning event. When MRFPLLLL is 0 the RFPLL_LL event status bit will not generate an interrupt. When MRFPLLLL is 1 and the RFPLL_LL event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MCPLLLL reg:0E:00 bit:25	Mask Clock PLL Losing Lock warning event. When MCPLLLL is 0 the CLKPLL_LL event status bit will not generate an interrupt. When MCPLLLL is 1 and the CLKPLL_LL event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.

Field	Description of fields within Register file: 0x0E – System Event Mask Register
MRXSFDTO reg:0E:00 bit:26	Mask Receive SFD timeout event. When MRXSFDTO is 0 the RXSFDTO event status bit will not generate an interrupt. When MRXSFDTO is 1 and the RXSFDTO event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MHPDWARN reg:0E:00 bit:27	Mask Half Period Delay Warning event. When MHPDWARN is 0 the HPDWARN event status bit will not generate an interrupt. When MHPDWARN is 1 and the HPDWARN event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MTXBERR reg:0E:00 bit:28	Mask Transmit Buffer Error event. When MTXBERR is 0 the TXBERR event status bit will not generate an interrupt. When MTXBERR is 1 and the TXBERR event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
MAFFREJ reg:0E:00 bit:29	Mask Automatic Frame Filtering rejection event. When MAFFREJ is 0 the AFFREJ event status bit will not generate an interrupt. When MAFFREJ is 1 and the AFFREJ event status bit is 1, the hardware IRQ interrupt line will be asserted to generate an interrupt.
– reg:0E:00 bits:30, 31	These bits are reserved.

7.2.17 寄存器文件：0x0F - 系统事件状态寄存器

ID	Length (octets)	Type	Mnemonic	Description
0x0F	5	SRW	SYS_STATUS	System Event Status Register

寄存器映射寄存器文件 0x0F 是系统事件状态寄存器 SYS_STATUS。它包含的状态位指示不同系统事件或状态变化的发生。有可能使特定事件作为中断源,通过使用 SYS_MASK, 寄存器文件: 0x0E - 系统事件掩码寄存器, 所以事件状态位的设置将产生一个中断, 断言硬件 IRQ 输出线。例如, 这可以用来允许主机处理器在帧期间进入低功耗状态发送或接收等待中断在 TX 或 RX 活动完成后唤醒。

读取 SYS_STATUS 寄存器将返回状态位的状态。通常这些事件状态位是锁存，以便事件被捕获。这种锁存位需要通过向该位写入1来明确清零位置（写入“0”不起作用）。

SYS STATUS 寄存器包含以下标识和描述的系统事件状态位:

[illegible]

REG:0F:04 – SYS_STATUS – System Status Register (octet 4)																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																							-	-	-	-	-	TXPUTE	RXPRES	RXBSCS	
																							0	0	0	0	0	0	0	0	

上面标识的 SYS STATUS 寄存器的系统事件状态位分别描述如下:

Field	Description of fields within Register file: 0x0F – System Event Status Register
IRQS reg:0F:00 bit:0	Interrupt Request Status. This is a READ ONLY status flag – it cannot be cleared or overwritten. Whenever a status bit in <i>Register file: 0x0F – System Event Status Register</i> is activated (i.e. has a value of 1) and the corresponding bit in <i>Register file: 0x0E – System Event Mask Register</i> is enabled (i.e. has a value of 1 also) then the IRQ interrupt request line will be driven to its active ON level. If there are no active mask enabled status bits then the IRQ interrupt request line will be set to its inactive OFF level. This IRQS flag reflects the overall status of interrupts. If there are any unmasked interrupt sources active then the IRQS bit will be 1 (and IRQ interrupt request line will be at its active ON level) the otherwise IRQS will be zero (and IRQ interrupt request line at its OFF level). The polarity of the IRQ interrupt request line is controllable via the HIRQ_POL configuration bit in <i>Register file: 0x04 – System Configuration</i>.
CPLOCK reg:0F:00 bit:1	Clock PLL Lock. The CPLOCK event status bit indicates that the digital clock PLL has locked. This may be used as an interrupt to indicate that the DW1000 clock is operating at full speed, after which the SPI can be run at its maximum rate also. The CPLOCK bit is cleared by writing a 1 to it. The clock PLL lock status is also available via the CPLLOCK status bit in <i>Sub-Register 0x28:2C – RF_STATUS</i>. Note: The PLLDIT bit in <i>Register file 0x24:00 – EC_CTRL</i> should be set to ensure reliable operation of this CPLOCK bit.
ESYNCR reg:0F:00 bit:2	External Sync Clock Reset. This event status bit is set when the system counter is reset as a result of the reception of an external synchronisation clock reset signal on the SYNC pin. The ESYNCR flag bit is cleared by writing a 1 to it. Section 6.1 – <i>External Synchronisation</i> describes this feature.
AAT reg:0F:00 bit:3	Automatic Acknowledge Trigger. This status event status bit is set when frame filtering is enabled and a data frame (or MAC command frame) is received (correctly addressed and with a good CRC) with the acknowledgement request bit set in its frame control field. If the automatic acknowledgement is enabled (by the AUTOACK bit in <i>Register file: 0x04 – System Configuration</i>) then the AAT bit can be used during receive interrupt processing to detect that acknowledgement is in progress and so avoid taking any action until the transmission of the acknowledgement is completed – an event that might be detected by awaiting the TXFRS (Transmit Frame Sent) status interrupt. If automatic acknowledgement is not enabled, then the AAT status bit must be ignored. The AAT bit can be cleared explicitly by writing a 1 to it. It is also automatically cleared by the next receiver enable, (including those caused by the RXAUTR auto-re-enable).
TXFRB reg:0F:00 bit:4	Transmit Frame Begins. This event status bit is set at the start of a frame transmission as the transmitter begins to send preamble. The TXFRB bit is automatically cleared at the next transmitter enable. It can also be cleared explicitly by writing a 1 to it.

Field	Description of fields within Register file: 0x0F – System Event Status Register
TXPRS reg:0F:00 bit:5	Transmit Preamble Sent. This event status bit is set at the end of preamble when SFD sending begins. The TXPRS bit is automatically cleared at the next transmitter enable. It can also be cleared explicitly by writing a 1 to it.
TXPHS reg:0F:00 bit:6	Transmit PHY Header Sent. This event status bit is set when the PHR has been transmitted. This marks the start of sending the data part of the frame (assuming the frame length is non-zero) at the configured transmit data rate. The TXPHS bit is automatically cleared at the next transmitter enable. It can also be cleared explicitly by writing a 1 to it.
TXFRS reg:0F:00 bit:7	Transmit Frame Sent. This event status bit is set at the end of sending the data part of the frame. It is expected that this will be used as the main “Transmit Done” (interrupt) event signalling the completion of frame transmission. (In the case where frame length is zero the TXFRS bit is set soon after the TXPHS event flag). The TXFRS bit is automatically cleared at the next transmitter enable. It can also be cleared explicitly by writing a 1 to it.
RXPRD reg:0F:00 bit:8	Receiver Preamble Detected status. This event status bit is set to indicate that the receiver has detected (and confirmed) the presence of the preamble sequence. Preamble reception continues after RXPRD has been set until the SFD is detected as signalled by the RXSFDD event status bit or an SFD timeout occurs as signalled by the RXSFDTO event status bit. Section 4 – Message Reception gives details of the frame reception process. The RXPRD bit can be cleared explicitly by writing a 1 to it. It is also automatically cleared by the next receiver enable, including those caused by the RXAUTR auto-re-enable.
RXSFDD reg:0F:00 bit:9	Receiver SFD Detected. This event status bit is set to indicate that the receiver has detected the SFD sequence and is moving on to decode the PHR. Section 4 – Message Reception gives details of the frame reception process. The RXSFDD bit can be cleared explicitly by writing a 1 to it. It is also automatically cleared by the next receiver enable, including those caused by the RXAUTR auto-re-enable.
LDEDONE reg:0F:00 bit:10	LDE processing done. This event status bit is set to indicate the completion of the leading edge detection and other adjustments of the receive timestamp information. The resultant adjusted message RX timestamp is then available in Register file: 0x15 – Receive Time Stamp . The detection of SFD as reported by the RXSFDD event status bit marks the end of the SFD and the start of the PHR, which also marks the RMARKER whose arrival at the antenna is the event that defines the frame arrival timestamp. To accurately determine this timestamp the DW1000 employs an internal algorithm to adjust the RMARKER receive time. Among other functions this performs a leading edge detection search on the channel impulse response and subtracts the receive antenna delay as programmed in Sub-Register 0x2E:1804 – LDE_RXANTD . For more information on the LDE and the process on message time-stamping see section 4.1.6 – RX Message timestamp . The LDEDONE event status flag bit is included in the RX double-buffered swinging-set . It is automatically cleared by the RX enable. It can also be cleared explicitly by writing a 1 to it.
RXPHD reg:0F:00 bit:11	Receiver PHY Header Detect. This event status bit is set to indicate that the receiver has completed the decoding of the PHR. Section 4 – Message Reception gives details of the frame reception process. The RXPHD bit can be cleared explicitly by writing a 1 to it. It is also automatically cleared by the next receiver enable, including those caused by the RXAUTR auto-re-enable.

Field	Description of fields within Register file: 0x0F – System Event Status Register
RXPHE reg:0F:00 bit:12	Receiver PHY Header Error. This event status bit is set to indicate that the receiver has found a non-correctable error in the PHR. The PHR includes a SECDED error check sequence (see section 10.4) that can correct a single bit error and detect a double bit error. The double error is not correctable and its detection is the event that the RXPHE event status flag is notifying. Generally this error means that correct frame reception is not possible, and so typically this event will abort frame reception (depending on the DIS_PHE configuration in Register file: 0x04 – System Configuration) after which the receiver may return to preamble search (depending on the RXAUTR configuration also in Register file: 0x04 – System Configuration). Section 4 – Message Reception gives details of the frame reception process. The RXPHE bit can be cleared explicitly by writing a 1 to it. It is also automatically cleared by the next receiver enable, including those caused by the RXAUTR auto-re-enable. PHY Header Error events are counted in Sub-Register 0x2F:04 – PHR Error Counter, as long as counting is enabled by the EVC_EN bit in Sub-Register 0x2F:00 – Event Counter Control.
RXDFR reg:0F:00 bit:13	Receiver Data Frame Ready. This event status bit is set to indicate that the completion of the frame reception process. Section 4 – Message Reception gives details of the frame reception process. It is expected that this will be used as the main “Receive” (interrupt) event signalling the completion of a frame reception, and, that the receive event processing routine will examine the RXFCG and RXFCE to determine whether the frame has been received without error (or not), and also to check the LDEDONE event status flag to validate the receive timestamp information. In order to ensure that the receive timestamp information is valid before any receive interrupt processing takes place, the setting of RXDFR is delayed until the LDE adjustments of the timestamp have completed, at which time the LDEDONE event status bit will be set (or possibly LDEERR). The RXDFR event status flag bit is included in the RX double-buffered swinging-set. It is automatically cleared by the RX enable. It can also be cleared explicitly by writing a 1 to it. NOTE: If the RXDFR is set, but neither RXFCG nor RXFCE events have been flagged and also neither LDEDONE nor LDEERR have been flagged then the LDE code has not been loaded correctly and is not running correctly. Please review 2.5.5.10.
RXFCG reg:0F:00 bit:14	Receiver FCS Good. This event status bit reflects the result of the frame CRC checking. It is set (or not) at the end of frame reception coincidentally with the setting of the RXDFR event status flag. When RXFCG is set to 1 it indicates that the CRC check result generated on the received data matches with the 2-octet FCS sequence at the end of the frame. RXDFR with RXFCG then indicates the correct reception a valid frame. The RXFCG bit is in the RX double-buffered swinging-set. It is automatically cleared by RX enable. It can also be cleared explicitly by writing a 1 to it.
RXFCE reg:0F:00 bit:15	Receiver FCS Error. This event status bit also reflects the result of the frame CRC checking. It is valid at the end of frame reception coincidentally with the setting of the RXDFR event status flag. When RXFCE is set to 1 it indicates that the CRC check result generated on the received data FAILED to match with the 2-octet FCS sequence at the end of the frame. The RXFCE bit is included in the RX double-buffered swinging-set. It is automatically cleared by RX enable. It can also be cleared explicitly by writing a 1 to it. RXFCE events are also counted in Sub-Register 0x2F:0A – FCS Error Counter, as long as counting is enabled by the EVC_EN bit in Sub-Register 0x2F:00 – Event Counter Control.

Field	Description of fields within Register file: 0x0F – System Event Status Register
RXRFSL reg:0F:00 bit:16	Receiver Reed Solomon Frame Sync Loss. The RXRFSL event status bit is set to indicate that the receiver has found a non-correctable error during the Reed Solomon decoding of the data portion of the frame. Generally this means that correct frame reception is not possible, and so typically this event will abort frame reception (depending on the DIS_RSDE configuration in Register file: 0x04 – System Configuration) after which the receiver may return to preamble search (depending on the RXAUTR configuration also in Register file: 0x04 – System Configuration). Section 4 – <i>Message Reception</i> gives details of the frame reception process. The RXRFSL bit can be cleared explicitly by writing a 1 to it. It is also automatically cleared by the next receiver enable, including those caused by the RXAUTR auto-re-enable. Reed Solomon Frame Sync Loss Error events are also counted in Sub-Register 0x2F:06 – RSD Error Counter, as long as counting is enabled by the EVC_EN bit in Sub-Register 0x2F:00 – Event Counter Control.
RXRFTO reg:0F:00 bit:17	Receive Frame Wait Timeout. This event status bit is set to indicate that a receive frame wait timeout has occurred. The receive frame wait timeout is enabled by the RXWTOE bit in Register file: 0x04 – System Configuration, with the timeout being set by Register file: 0x0C – Receive Frame Wait Timeout Period. The receive frame wait timeout starts running when the receiver is enabled and stops running either when a valid frame is received or when the timeout occurs and is signalled by this RXRFTO event status flag bit. The RXRFTO bit is automatically cleared at the next receiver enable. It can also be cleared explicitly by writing a 1 to it. Receive frame wait timeout events are also counted in Sub-Register 0x2F:14 – RX Frame Wait Timeout Event Counter, as long as counting is enabled by the EVC_EN bit in Sub-Register 0x2F:00 – Event Counter Control.
LDEERR reg:0F:00 bit:18	Leading edge detection processing error. A large part of the leading edge detection algorithm is a search in the channel impulse response to find the first arriving ray of the RMARKER. This should be bounded and finish in a reasonably short time, but in case not, the LDE includes a failsafe mechanism of a watchdog timer (60 μs) that is initialized at the start of each LDE search (when a good PHR has been detected). We do not expect DW1000 users to ever see this event, however if the watchdog timer expires before the LDE has completed its RX timestamp adjustments then the LDE search will be aborted and the error will be reported by the LDEERR event status flag. The LDEERR bit is automatically cleared at the next receiver enable. It can also be cleared explicitly by writing a 1 to it.

8 DW1000 校准

DW1000 的操作特性和性能取决于 IC 本身及其功能外部电路和其运行环境。为了达到最佳性能，有必要校准 IC 以考虑影响其操作的因素。一些校准参数仅取决于硅片内的自然变化 IC 在制造过程中。这些通常是在 IC 生产测试和所需的测量校准参数写入 DW1000 的 OTP 存储器。主机系统软件即可在 DW1000 配置期间使用这些值来优化 DW1000 的性能。

一些校准参数取决于 IC 外部的电路元件。这些只能是在制造 DW1000 所焊接的产品模块期间确定。这些通常在模块生产测试期间测量参数以及所需的校准参数存储在模块的某个地方。DW1000 的 OTP 存储器的一个区域已被设置为模块测试校准参数。主机系统软件将在 DW1000 期间使用此校准数据配置来优化 DW1000 的性能。

一些校准参数可能会根据 DW1000 的操作环境而有所不同。对于例如，如果环境温度变化很大，则可能需要更改一些参数（例如，从温暖的区域移动到冷库）或者如果电池电压供应发生显着变化。

在这种情况下，为了优化 DW1000 的性能，主机系统软件可以进行监控使用 DW1000 的电压和温度，并相应地调整配置。

可能需要校准的 DW1000 的元件是：

- 晶体修整 - DW1000 包含微调电容器，可以微调操作其晶体振荡器的频率
- 发射机的输出功率和频谱 - DW1000 的输出频谱是可调的区域频谱管理和最大化输出功率来实现最大的运行范围。
- 天线延迟 - 可以对 DW1000 天线延迟进行微调以提供最佳的测距或位置准确性。

以下小节详细介绍了这些 DW1000 参数的校准。

8.1 IC 校准 - 晶体振荡器微调

指定 DW1000 在发送和接收节点之间的时钟偏移量高达 $\pm 20\text{PPM}$ 。DW1000 的接收灵敏度可以通过降低两者之间的时钟相对偏移来改善发送和接收节点。减少偏移量的一种方法是使用温度补偿晶体振荡器（TCXO）在发送和接收节点或仅在链路的一侧。使用 TCXO 增加了系统成本和电流消耗，因此一般只用于固定锚点场景。在使用晶振作为时钟参考时，DW1000 提供了一个调整振荡器频率的工具通过与内部电容器组并联连接与所选晶体相关的外部负载电容器。这种微调可以用来减少晶体的初始频率误差并进行补偿温度和老化漂移，如果需要的话。调整量可通过子寄存器 0x2B: 0E - FS_XTALT 进行编程。

8.1.1 校准方法

38.4 MHz 晶振的振荡频率不能直接观察，因为这是不可能的探测 XTAL1 和 XTAL2 输入引脚而不干扰振荡。使用的方法是推断通过使用频谱分析仪观察发射机的输出来测量晶体振荡频率频率计数器。

DW1000 被配置为以特定的信道频率发送连续波（CW）信号。它是建议使用通道 5，因为频率越高，观察阶跃变化越容易输出。在精确测量变速器的中心频率的同时，调整值被调整直到输出频率尽可能接近期望的频率（例如对于通道 5 为 6489.6MHz）。为了允许内部的微调电路尽可能大的编程范围，外部的在电路板设计阶段，应该选择负载电容器，板的数量）晶体调整寄存器设置设置接近中间值，这是一个 5 位十进制值 15 或 0x0F。

测试设置:

在启动测试程序之前,重置设备以使其处于已知状态。按照以下步骤配置发射机,然后监测频谱上的射频输出分析仪或频率计数器。

发射机配置程序:

- 1.写 0x0009A000 到
 - 2.子寄存器 0x28: 00 - RF_CONF
 - 3.将 0x00000000 写入子寄存器 0x36: 04 - PMSC_CTRL1
 - 4.将所选通道的正确值写入子寄存器 0x28: 0C-RF_TXCTRL, 参见表 36, 例如通道 5 的 0x1E3FE0。
 - 5.写一个适当的值给寄存器文件: 0x1E - 发送功率控制, 例如选择的通道, 见表 20: 参考值寄存器文件: 0x1E - 发送功率控制。
 - 6.将所选通道的值写入子寄存器 0x2B: 07 - FS_PLLCFG, 例如 0x0800041D 为通道 5, 见表 41: 子寄存器 0x2B: 07 - FS_PLLCFG 值。
 - 7.将所选通道的正确值写入子寄存器 0x2B: 0B - FS_PLLTUNE, 例如 0x46 为频道 5。
 - 8.将 0x22 写入 PMSC_CTRL0 以使能相应的时钟, 请参见子寄存器 0x36: 00 - PMSC_CTRL0。
 - 9.将 0x00000000 写入保留寄存器子寄存器 0x36: 26 - PMSC_TXFSEQ。
 - 10.将 0x005FFF00 写入
 - 11.子寄存器 0x28: 00 - RF_CONF
- 启用 CW 模式:

子寄存器 0x2A: 0C - TC_PGTEST 到 0x13 以启用连续波 (CW) 测试模式。将微调寄存器设置为中档设置, 例如 0x0F, 同时最多保留所需的保留值寄存器的有效位, 请参见子寄存器 0x2B 的保留字段注释: 0E - FS_XTALT: 将子寄存器 0x2B: 0E - FS_XTALT 设置为 0x6F。

在监视 CW 频率的同时, 调整调整寄存器 (5 位), 直到获得所需的频率。图 30 显示了修整通常是线性的, 通常只有一个或多个达到最终值两个调整。

然后晶体调整值应存储在 OTP 存储器中, 请参见第 6.3.2 节“编程数值”进入 OTP 存储器, 详细介绍如何编程 OTP 存储器和建议的存储位置。

在使用晶体修整的 DW1000 应用中, 校准的晶体修整值应该被读取应用程序从 OTP 存储器作为设置的一部分, 并编程到子寄存器 0x2B: 0E - FS_XTALT。只要 IC 通电, 该寄存器就会保存在 AON 存储器中。这有利于装饰的使用 IC 从睡眠模式或 DEEPSLEEP 模式唤醒时的值。

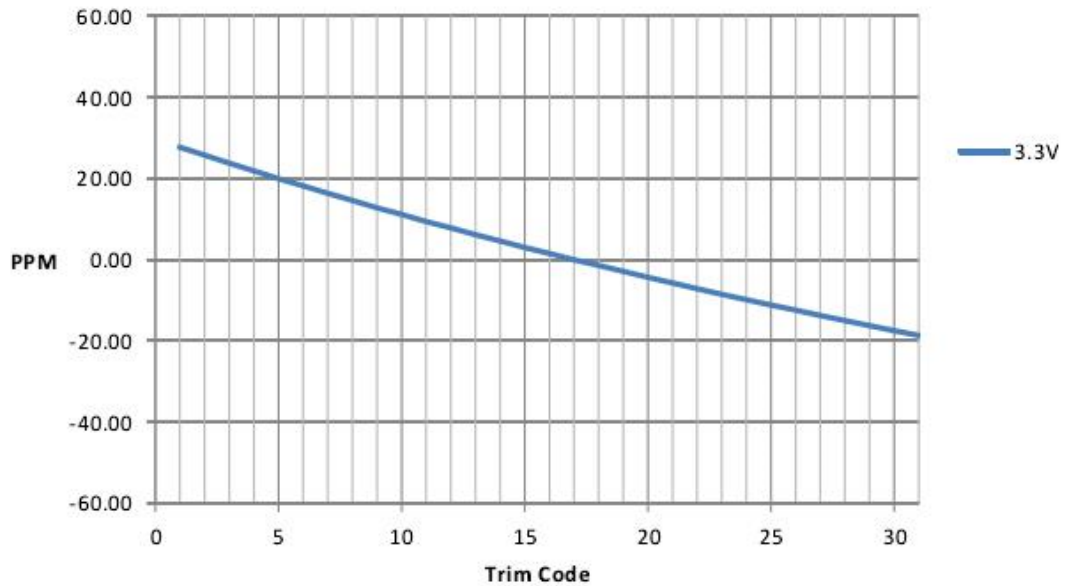


Figure 29: PPM vs Crystal Trim Setting, $V_{BATT} = 3.3\text{ V}$

8.2 IC 校准 - 发射功率和频谱

为了最大化范围，DW1000 发射功率谱密度 (PSD) 应该被设置为最大值允许的地理区域的部署。对于大部分地区来说，这是 -41.3 dBm / MHz 。DW1000 是这样设计的，如果发射功率在平均功率谱密度范围内，自动处于峰值功率限制内，尽管在产品设计中应该检查这一点验证。

由于这是一个模拟电路，所以从 IC 到 IC 的输出功率水平会有一些变化应该校准 DW1000，并将校准功率设置存储在 OTP 存储器中。DW1000 提供以粗调和精细的步骤调整发射功率的设施; 3 dB 和 0.5 dB 名义上。它也提供调整光谱带宽的能力。这些调整可以用来最大化发射功率同时满足监管频谱模板限制。

8.2.1 校准方法

该校准可以使用辐射或传导测量程序来执行。该校准方法略有不同，具体取决于手动发射功率控制（见 7.2.31.3- 手动发射功率控制）或智能发射功率控制（见 7.2.31.2- 智能发射功率控制）被配置。

8.2.1.1 校准 - 手动发射功率控制

测试设置：

在启动测试程序之前，重置设备以使其处于已知状态。按照以下步骤（表 52）中的描述配置发射机，并在频谱分析仪上监测射频输出。

Table 52: Register accesses required for transmitter configuration procedure

Step Number	Instruction	Register Address	Data Length (Bytes)	Data (Write/Read)
C-1	Write Sub-Register	0x36:00 (PMSC_CTRL0)	1	0x1 (set SYSCLKS bit)
C-2	Write Sub-Register	0x36:04 (PMSC_CTRL1)	2	0x0 (clear PKTSEQ bits)
C-3	Write Sub-Register	0x28:0C (RF_TXCTRL)	3	e.g. 0x45CA0 *
C-4	Write Sub-Register	0x1E:00 (TX_POWER)	4	e.g. 0x75757575 *
C-5	Write Sub-Register	0x2B:07 (FS_PLLCFG)	4	e.g. 0x08400508 *
C-6	Write Sub-Register	0x2B:0B (FS_PLLTUNE)	1	e.g. 0x26 *
C-7	Write Sub-Register	0x2A:0B (TC_PGDELAY)	1	e.g. 0xC2 *
C-8	Write Sub-Register	0x28:00 (RF_CONF)	4	0x1FE000
C-9	Write Sub-Register	0x28:00 (RF_CONF)	4	0x5FFF00
C-10	Write Sub-Register	0x36:00 (PMSC_CTRL0)	1	0x22
C-11	Write Sub-Register	0x04:00 (SYS_CFG)	4	set DIS_STXP bit
C-12	Write Sub-Register	0x1F:00 (CHAN_CTRL)	4	0x18C40022 *
C-13	Write Sub-Register	0x09:00 (TX_BUFFER)	16	test data *
C-14	Write Sub-Register	0x08:00 (TX_FCTRL)	4	0x25A010 *
C-15	Write Sub-Register	0x0A:00 (DX_TIME)	5	0x04
C-16	Write Sub-Register	0x2F:24 (DIAG_TMC)	2	set TX_PSTM bit

- 1.将所选通道的正确值写入子寄存器 0x28: 0C-RF_TXCTRL，例如 0x045CA0 频道 2。
- 2.为 TX_POWER 写入适当的值到寄存器文件：0x1E - 发送功率控制，例如，对于通道 2，16 MHz PRF，写入 0x75757575。见表 20。
- 3.将所选通道的值写入子寄存器 0x2B: 07 - FS_PLLCFG，例如 0x08400508 为通道 2，见表 41：子寄存器 0x2B: 07 - FS_PLLCFG 值。
- 4.将选定通道的正确值写入子寄存器 0x2B: 0B - FS_PLLTUNE，例如 0x26 为频道 2。
- 5.将所选通道的正确值写入 TC_PGDELAY，请参见子寄存器 0x2A: 0B - TC_PGDELAY，例如通道 2 为 0x C2。
- 6.将 0x05FFF00 写入
- 7.子寄存器 0x28: 00 - RF_CONF
- 8.将适当的值写入寄存器文件：0x1F - 通道控制，例如通道 2，PRF 16 MHz 和前导码 3，写入 0x18C40022。
- 9.将发送数据写入发送缓冲区，请参阅寄存器文件：0x09 - 发送数据缓冲区，例如 0X00000000000000000000000000C2DEC1DE。
- 10.将适当的值写入寄存器文件：0x08 - 发送帧控制，例如帧长度为 16 字节，850kbps 数据速率，16MHz PRF 和 256 符号前导码，写入 0x25A010。

频谱分析仪应设置如下：

- 分辨率带宽= 1 MHz
- 视频带宽= 1 MHz
- 跨度= 2 GHz
- 扫描时间= 2 秒
- 检测器= rms
- 平均每点时间（频谱分析仪扫描）≤1 ms

为了便于查看发射频谱，设备被设置为发射功率频谱测试模式，设置子寄存器 0x2F: 24 - 数字诊断测试模式控制的 TX_PSTM 字段。一个合适的价值对于重复帧间隔必须在 DX_TIME 寄存器中设置，最小值为 4.对于重复间隔为 1 ms，0x0001E780 的值可写入

DX_TIME, 请参见子寄存器 0x2F: 24 - 数字诊断测试模式控制 TX_PSTM 字段说明了解详情。手动发射功率控制测试设置应该配置为连续发送帧, 所以必须等于帧持续时间在 DX_TIME 中设置。当测试配置完成后, 可以通过设置 TXSTRT 来启动发射机 SYS_CTRL 寄存器中的字段, 请参见寄存器文件: 0x0D - 系统控制寄存器。应将 TX_POWER 设置为所选通道的起点, 请参见寄存器文件: 0x1E - 发送功率控制。然后调整 TX_POWER 设置, 直到发送电平刚好低于所需的频谱密度限制 (通常为 -41.3d Bm / MHz)。这个寄存器值应该存储在 OTP 存储器, 请参见第 6.3.2 节 - 将值编程到 OTP 存储器, 了解如何编程 OTP 的详细信息内存和推荐的内存位置。

在使用发送功率校准的 DW1000 应用中, 校准后的 TX_POWER 值应由应用程序从 OTP 存储器读取, 作为设置的一部分, 并编程到寄存器文件: 0x1E - 发送功率控制。只要 IC 通电, 该寄存器就会保存在 AON 存储器中。这有利于当 IC 从 SLEEP 或 DEEPSLEEP 模式唤醒时使用该值。

8.2.1.2 校准 - 智能 TX 功率控制

在启用智能 TX 功率控制的情况下, 校准与用于手动发射功率控制的方法类似, 不同之处在于我们不传送重复的背靠背帧。对于这种校准, 我们配置发送器每毫秒发送 1 帧。为此, 请配置发射功率谱测试模式, 请参阅子寄存器 0x2F: 24 - 数字诊断测试模式控制的 TX_PSTM 字段说明。必须在 DX_TIME 寄存器中设置重复帧间隔, 重复间隔为 1 ms, 应按照 TX_PSTM 字段说明中的描述, 将值 0x0001E780 写入 DX_TIME。

根据要使用的帧的长度, 请参见 7.2.31.2 - 智能发射功率控制, 应调整 TX_POWER 设置, 直到发射电平刚好低于所需的频谱密度限值 (通常为 -41.3d Bm / MHz)。这个寄存器值应该存储在 OTP 存储器中, 参见 6.3.2 节 - 将值编程到 OTP 存储器以获取如何编程 OTP 存储器和推荐的存储器位置的详细信息。

在使用发送功率校准的 DW1000 应用中, 校准的 TX_POWER 值应由应用程序从 OTP 存储器读取, 作为设置的一部分并编程到寄存器文件中: 0x1E - 发送功率控制。只要 IC 通电, 该寄存器就会保存在 AON 存储器中。当 IC 从 SLEEP 或 DEEPSLEEP 模式唤醒时, 这便于使用该值。

8.2.2 其他 TX 调整要考虑

对于大多数设计/应用, DW1000 推荐的发射器模拟/射频设置不需要调整, 但可以调整以下寄存器以调整发射频谱

带宽或通带平坦度:

子寄存器 0x28 的 TXMTUNE 字段: 0C-RF_TXCTRL, 用于调谐发送混频器。

子寄存器 0x28 的 TXMQ 字段: 0C-RF_TXCTRL, 用于调谐发送混频器的 Q 因子。

子寄存器 0x2A: 0B - TC_PGDELAY, 用于调整脉冲的宽度, 从而调整频谱带宽。要调整这些值中的任何一个值, 请从默认值 (如寄存器描述子寄存器 0x28: 0C-RF_TXCTRL 和子寄存器 0x2A: 0B - TC_PGDELAY 中给出的值) 开始, 并反复观察对频谱分析仪的影响直到 PSD 占据尽可能多的适用频谱掩模。

8.3 IC 校准 - 天线延迟

为了精确测量范围, 需要精确计算时间戳。要做到这一点, 延迟称为天线延迟必须是已知的。DW1000 允许对延迟进行校准并提供设施补偿由 PCB, 外部组件, 天线和内部

DW1000 延迟引起的延迟。为了校准天线延迟，使用 2 个 DW1000 系统在已知距离处测量距离。天线延迟调整，直到已知的距离和报告的范围一致。天线延迟可以存储在 OTP 存储器中。

有发射机天线延迟和接收机天线延迟。发射机天线延迟用于说明 DW1000 内部 RMARKER 的内部数字时间戳（在 PHR 开始时，参见 3.2）和从天线发送 RMARKER 的时间之间的延迟。接收器天线延迟用于说明 RMARKER 到达天线的时间与 RM1000 内部的数字时间戳（在 PHR 开始时，参见 4.1.6-接收消息时间戳）之间的延迟。

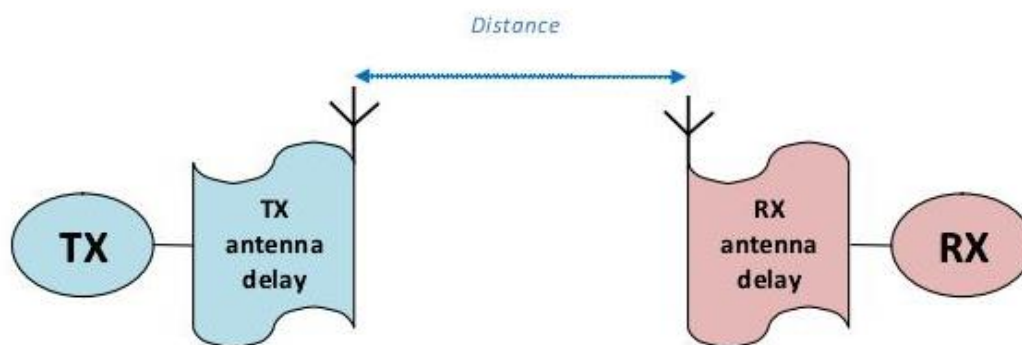


Figure 30: Transmit and Receive Antenna Delay

8.3.1 校准方法

为了在校准过程中达到最高的精度，建议使用接收机的功率输入来校准天线延迟，其级别如下：

Table 53: Recommended RX power level for antenna calibration

Power at receiver input (dBm/MHz)	PRF (MHz)	Channel
-108	16	1, 2, 3, 5
-104	64	1, 2, 3, 5
-102	16	4, 7
-102	64	4, 7

如果发射机设置为-41.3dBm/MHz，并且使用 0dBi 天线，则以上接收机的输入功率相当于发射天线和接收天线之间的下列间隔：

Table 54: Recommended TX-RX separation for antenna calibration

Channel	PRF (MHz)	Calibration Separation (m)
1	16	14.75
1	64	9.3
2	16	12.9

Channel	PRF (MHz)	Calibration Separation (m)
2	64	8.14
3	16	11.47
3	64	7.24
4	16/64	8.68
5	16	7.94
5	64	5.01
7	16/64	5.34

通过选择距离（或接收功率）来校准组合的发射机和接收机天线延迟，用于校准和修改接收机天线延迟，直到设备给出的范围读数为止正确。

校准组合接收机和发射机天线延迟的方法如下：

1.将发射器和接收器放置在建议的距离处，按照表 54 或 a 距离较短但确保接收机功率水平如表 53 所示

2.使用双向测距方案（例如 Decawave 提供的“Deca Ranging”），执行 1000 范围。

3.调整天线延迟，直到平均测量范围与步骤 1 中选择的距离相匹配尽可能接近。记录天线延迟值。然后将该值除以 2，并将新值存储在 OTP 中记忆在 TX 天线延迟和 RX 天线延迟的位置（见 6.3.2 节 - 编程）如何编程 OTP 内存和建议的内存位置的详细信息值到 OTP 内存中）。

注意：在许多系统中，所有设备都有相同的发射机和接收机天线延迟不必校准发射机天线延迟。发射机天线延迟可以被设置为零并且组合的接收机和发射机延迟值可以用于没有接收机天线延迟削弱了系统的测距性能。DW1000 测距算法将计算一个数据包的接收时间以估计范围到发射机。

接收机天线延迟是一个表示传播时间的常数值从天线接收信号到接收机的时间戳计算点。然后可以从接收时间戳中减去该天线延迟值以计算时间的飞行。为了增强测距精度，测距软件可以调整天线延迟来补偿温度变化。通常报告的范围将变化 2.15 毫米/ andC 和 5.35 厘米/ VBATT。

9 使用 DW1000 时的操作设计选择

本章讨论在通用射频收发器应用中使用 DW1000 的一些操作注意事项，另外还重点讨论了其在实时定位系统（RTLS）中的使用。

9.1 工作范围

DW1000 的操作范围取决于帧数据速率和前导码长度。在自由空间视距（LOS）中，这可能从 6.8 Mbps 数据速率的 60 m 到 110 kbps 数据速率的 250 m 不等。在典型的室内环境中，LOS 范围通常大于所引用的自由空间 LOS 数字，因为多路径反射给出额外可用的接收信号，例如，850kbps 的范围可能比自由空间 LOS 的长 40%（或更多）。在非视距条件下（NLOS），在 LOS 路径存在障碍物的情况下，由于接收信号衰减，范围将减小。工作范围也取决于所选的信道中心频率和信道带宽 - 较低的中心频率得到的范围比较高的范围更大，而较宽的带宽信道 4 和信道 6 具有比标准 500MHz 带宽信道更宽的范围，更宽的通道允许在给定的 dBm / MHz 监管限制下发送更多的能量。

9.2 频道和带宽选择

频道的中心频率的选择通常由地区法规来规定，例如，美国和欧洲有不同的规定，虽然有一些重叠，所以产品的渠道选择可能取决于该产品的目标市场。带宽的选择也可能取决于所得到的频谱是否在区域规定之内。IEEE 802.15.4 标准 UWB PHY 定义了从 0 到 10GHz 的一些信道，一些具有相同的中心频率和不同的带宽（例如，信道 2 和信道 4 都具有 3993.6MHz 的中心频率，但是具有 499.2 和 1331.2 的带宽 MHz）。UWB 通道和报头代码 10.5 节中的表 59 列出了 DW1000 支持的通道。以更宽的带宽运行会增加范围，但也会增加功耗。DW1000 可以精确控制 TX 脉冲宽度，从而实现对发射频谱带宽的最佳控制。

9.3 数据速率，前导码长度和 PRF 的选择

对于给定的工作中心频率和带宽，数据速率的选择通常决定工作范围。但是，前导序列的长度也与范围有关。前导码是遵循 IEEE 802.15.4 标准中定义的模式的重复脉冲序列。有关详细信息，请参见第 10.3 节“同步头调制方案”。在每个编号的信道上，802.15.4 标准为标称的 16 MHz PRF（脉冲重复频率）定义了两个前导码，并为标称的 64 MHz PRF 定义了四个前导码。UWB 信道和前导码中的表 59 列出了 IEEE 802.15.4 标准中定义的每个信道允许的前导码。这些代码是半正交的。这可以允许设备在相同的物理信道上，但是使用正确选择的不同的前导码在某些情况下同时操作，就像在不同的信道上一样。在选择序言代码时要小心谨慎，读者可以参考这个主题的 Decawave 应用笔记 APH010。前导码序列的完美周期性自相关特性允许接收机累积重复的前导码，并确定远程发射机与其自身之间的信道脉冲响应的精确模型。这是使 DW1000 具有良好的远程性能，并允许其准确确定 RX 的第一路径到达时间时间戳。以所有数据速率使用的前导码序列是相同的，即它不依赖于选择的数据速率。前导码序列长度（即其重复的码元间隔的数目）具有 a 对操作范围和时间戳的准确性有显著的影响。表 55 给出了一些推荐的前导序列长度取决于数据速率。一般来说，序言较长提供了改进的距离性能和更好的第一路径到达时间信息，同时缩短了序言缩短了空气时间，节省了电力。当长距离操作较低的数据速率时，则长序言是需要达到这个范围的。在高数据速率下，工作范围自然就很短发送很长的序言是没有意义的，因为它浪费了时间和精力，

没有增加范围优势。

Table 55: Recommended preamble lengths

Data Rate	Recommended preamble sequence length
6.8 Mbps	64 or 128 or 256
850 kbps	256 or 512 or 1024
110kbps	2048 or 4096

DW1000 内有两种平均脉冲重复频率（PRF）选择。 这些是 16 MHz PRF 或 64 MHz PRF。 16 和 64 是“标称”，因为实际频率与 499.2 MHz 基本时间单位有关，并且在帧的前导码和有效载荷部分之间略有不同。 较高的 PRF 在第一路径时间戳上给出更高的精确度，并且可能稍微改善了操作范围，但这是以额外的功耗为代价的。

9.4 能量消耗

如上所述，具有较低数据速率的帧具有最大的操作范围。 这样的信息本质上也需要更长的时间才能发送，因此这意味着 DW1000 的发送器需要长时间工作，结果是比更快的信息消耗更多的功率。 正在传输的数据量也与此有关，即数据速率越高，帧数据容量越大更大。

9.5 节点密度和空气利用率

ALOHA 机制是 IEEE 802.15.4 UWB PHY 标准中最受欢迎的信道接入方法，这是 DW1000 采用的信道接入方法。 从本质上讲，这涉及到假设空气是空闲的并随时传输。 要使 ALOHA 成功运行，总体空气利用率必须低于对方范围内所有节点的 18%。 当空气利用率在 18% 以上时，碰撞概率很高，系统性能迅速下降。 低于 18% 的价值 97% 的传输很有可能在没有碰撞的情况下成功。 当部署周期性闪烁的 RTLS 标签时，这 18% 的空气利用率起了作用。 表 56 给出了对应于一些典型的数据速率/前导码长度组合以及发送标签 ID 的最小 12 字节眨眼帧的闪烁传输速率的一些指示。 在 18% 的空中利用率下，传输的数量在最短时间帧（64 字符前导码和 6.8 Mbps 数据速率）中最高，在长序列 110 kbps 数据率下最低。

Table 56: Transmissions per second using ALOHA

Data rate	preamble length	payload	Transmission Time	TX per second at 18% air-utilisation
110 kbps	2048 symbols	12 bytes	3.042 ms	59.2
850 kbps	256 symbols	12 bytes	380.3 μ s	473.4
6.8 Mbps	64 symbols	12 bytes	103.3 μ s	1742

Note: These figures relate to an RTLS tag blink across a population of tags, so for instance at 6.8Mbps 1742 tags could blink once a second, or 17k tags could blink once every 10 s.

当部署带有闪烁标签的 RTLS 系统时，在眨眼率（位置）之间进行权衡更新率）跨越标签总数和工作范围（当然还有功耗）。一个具有稀疏间隔的锚节点的远程系统不能具有频繁的大量标签（即，它需要保持低于每秒一次发送一次的 60 个标签，或者发送 600 个标签每 10 秒一次），同样由于数据包在物理上长，在这样的远程系统中消耗闪烁更多的权力。

对于较高的更新率或高密度的标签，最高的数据速率和最短的前导码长度是最好的。这意味着范围较低，所以需要更多的基础设施锚点节点，但闪烁较短的分组持续时间意味着传输的功耗较低，因此电池的更新频率相同生活会更长。

在系统包括控制何时的机制的情况下，可以使用较大百分比的空气时间节点传输。例如 TDMA，其中协调节点传输定义 a 的定期信标被分割为插槽的“超帧”，以及各个从节点与信标同步仅在其分配的插槽中传输。当使用加速度计时，减少标签闪烁率不移动是另一种技术，将允许更大的标签人口。

9.6 低工作周期 - 空中时间

在某些地理区域，某些 UWB 信道只有在传输遵循所谓的低占空比（LDC）规则时才被规定允许。 这些最不发达国家的规则对个别传播期间的最长时间，传播之间的最短时间，任何一秒允许的传播活动的百分比，以及任何时间允许的活动的百分比作出了限制。

最不发达国家的规则可能会或可能不会成为问题。 在最不发达国家的规则正在冲击系统运行的情况下，在最不发达国家的规则不适用的情况下，可以选择使用不同的频段。 此外，由于最不发达国家的规则涉及传输时间，使用较高的数据速率和较短的前导码可以在限定的时间内发送更多的消息。

9.7 定位方案

关于业务设计选择的这部分讨论涉及 RTLS 定位方案。所讨论的一些想法和观点可能更普遍适用。

一般来说，定位一个移动节点需要参考一些固定的已知位置“锚”节点。通常需要至少三个锚节点来定位二维移动节点，而最少四个非共面锚定器需要三维定位移动节点。设备中的锚节点的间距必须使得四个锚一直处于移动标签的通信范围内，而不管它在操作空间内的何处。通信范围取决于数据速率和前导码长度，其选择受节点密度要求以及功率消耗的影响。

有两种一般的做位置的方法。这些是基于到达时间差（TDOA）的位置和基于飞行时间（TOF）的位置，每个的主要操作点如下所述。在任何一种情况下，结合来自多个锚点的测量的位置计算通常由称为中央位置引擎的软件功能来完成。

飞行时间定位需要从移动节点（标签）到其附近的每个锚节点的双向通信。周期性消息交换用于测量往返延迟，从而计算标签和锚点之间的单程飞行时间。 TOF 乘以光速（和无

线电波)乘以标签和锚点之间的距离。每个距离估算定义了一个球形表面,以标签必须位于的锚点为中心。标签的 3D 位置由 TOF 测量产生的球体与四个锚点的交点产生。

在到达时间差(TDOA)位置时,移动标签周期性地闪烁,并且闪烁消息由附近的锚节点接收。当锚节点具有同步的时钟以便可以比较所有节点处的眨眼消息的到达时间时,则对于每一对锚点,眨眼消息到达的时间差定义了发送标签必须在其上的双曲面。标签的 3D 位置由四对锚点处的眨眼的 TDOA 定义的双曲面的交点产生。

对于低功率实时定位系统部署,TDOA 方案的好处在于标签只需要发送一条消息就可以定位。相比之下,在 TOF 方案中,标签必须发送和接收具有多个锚的多个消息,并且它需要知道附近有什么锚,以便能够正确地解决它们中的每一个。TOF 不需要同步锚,并且可以适合手持设备计算其自己的位置作为导航系统的一部分的情况。由于涉及的信息较少,因此 TDOA 是较低功耗的解决方案,而且这也适合更高密度的部署。TDOA 锚定时钟同步可以通过有线时钟分配来实现。另外还有用于时钟同步的无线技术。有线同步可以适应更高的标签密度,因为它允许锚点始终监听,所以没有标签闪烁被遗漏或与无线时钟同步消息冲突(潜在的中断同步)。应该通过连接电源和以太网来将到达时间传送到中央位置引擎。

双向测距(TOF)适用于接近检测和分离报警,特别是当交换双方都是移动节点时。在 RTLS 中,DW1000 的 RX 时间戳精度可以达到 10 厘米以下的分辨率。但请注意锚点相对于标签的几何形状可以抹掉计算位置的准确性个人测量结合起来。在标签范围内有附加的锚可以抵消这个,如果它允许系统选择具有最佳几何形状的锚点,并且最好地接收关于该锚点的信号质量标签被定位。

9.8 一般考虑

本章讨论了在选择数据速率,前导码长度和 PRF 方面的操作设计选择,以及选择高节点密度与长操作范围的折衷。讨论还指出了这些选择如何影响功耗。

一般而言,短时间传输短包最适合于长时间的电池寿命。当大量数据需要发送时,最好采用最长的帧长度,这样前导码和帧头的其他部分的开销代表整个帧的较小比例。收听消息是 DW1000 内功耗最高的操作。建议需要始终监听的设备连接到主电源。这将包括 RTLS 系统中的锚节点以及作为负责路由消息的集线器节点的无线传感器网络(WSN)的那些节点。

对于市电供电的节点,接收器的功耗不是问题,但对于确保合理的电池寿命非常重要的电池供电节点来说,有必要包括减少监听时间的方案。表 57 列出并简要描述了一些可以节省接收功率的技术。

Table 57: Techniques to save power in receiving

名称	描述
低功耗监听	这是基于 DW1000 前导采样功能的技术。IC 可以短时间“嗅”空气寻找序言,如果它没有看到它回到低功耗的睡眠模式。发送设备必须发送带有长前导码的消息并重复一段时间,以保证前导码与 RX 嗅探周期重叠。如果 IC 看到前导码,它将保持激活状态,直到它收到消息后才能中断主机微处理器进行处理。在地址过滤使能的情况下,IC 可以在地址不匹配时立即返回到睡眠状态。 这种技术确实只适用于交通量低的情况,所有节点的主导活动偶尔会嗅探前言。由于每个消息都会唤醒范围内的每个节点,至少在地址不匹配的情况下,如果频繁发送,所有节点的功耗可能相当高。

投票的消息	这是一种电池供电节点周期性地发送轮询消息并且随后监听来自主电源基础设施的响应的技术。 仅当基础结构有轮询节点的消息时才会发送响应。 发送轮询的节点可以延迟接通接收器以允许基础设施的响应时间，并且之后如果响应未开始，则可以使用前导码检测超时来接收器的转动。 然后主要的活动就是周期性地发送投票和听取短暂的回应，而这个回答是不会来的。
开槽倾听	在这种技术中，所有设备监听定时的定期信标，然后在其分配的时隙中收听消息。插槽数量和收听量取决于网络大小和所需的响应时间。 监听信标的频率取决于超帧大小和时钟漂移。监听信标和时隙消息需要尽早开始以允许任何时钟漂移。在一个插槽中收听只需要持续一段时间，以确认这次没有消息正在发送。信标周期和所产生的收听频率是功耗和系统响应之间的折中。
嗅探模式	该技术涉及以小于 100%的时间收听占空比来搜索前同步码，例如，50%的时间或 25%的时间，这有点降低功率，但它仍然是一个相对耗电的技术。当检测到前置码时，接收器切换到全功率 RX 模式来接收帧。为了与使用嗅探模式的设备交谈，发射机需要发送比其他情况下更长的前导码，以使接收机有机会检测到并接收帧。

10 附录 1: IEEE 802.15.4 UWB 物理层

本附录介绍了 IEEE 802.15.4 - 2011 标准中规定的和由 DW1000 收发器 IC 实现的 UWB 物理层的调制方案和帧结构。这对了解 DW1000 收发器及其配置选项的操作非常有用。

10.1 帧结构概述

UWB 通信基于帧的发送和接收。图 31 显示了 UWB 帧的一般结构。它由包括前同步码和 SFD（帧定界符的开始）的同步首部开始，之后 PHY 首标（PHR）定义该帧的数据有效载荷部分的长度（和数据速率）。

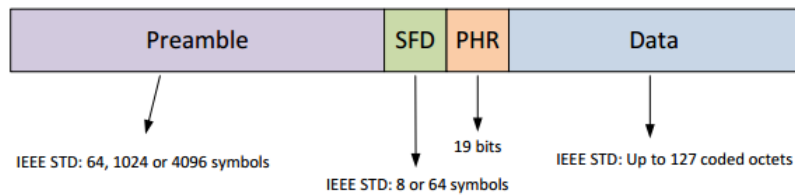


Figure 31: UWB PHY Frame structure

10.2 数据调制方案

802.15.4 中使用的 UWB 有时被称为脉冲无线 UWB, 因为它基于射频能量的高速脉冲。在帧的 PHR 和数据传送期间, 用突发位置调制 (BPM) 的调制方案, 即通过突发的位置信号发送信息比特。

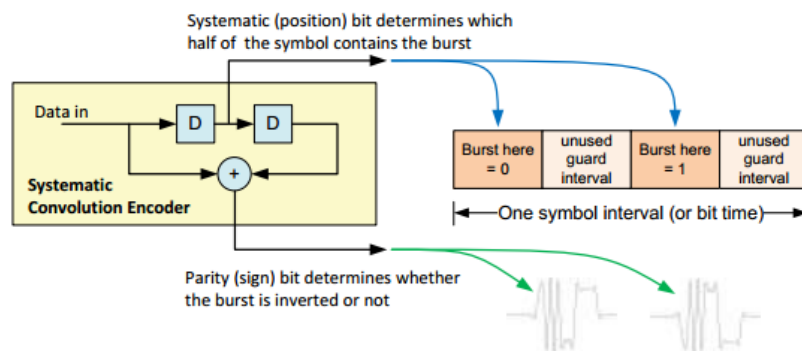


Figure 32:- BPM/BPSK data and PHR modulation

每个数据位通过一个卷积编码器产生一个“奇偶校验位”，用来将突发的相位设置为正或负，调制的这个分量被称为二进制相移键控 (BPSK)。图 32 显示了卷积编码器如何有助于这种 BPM/BPSK 调制。DW1000 中的一个相干接收机（即一个跟踪载波定时和相位）可以确定这个脉冲相位，并在维特比解码器中使用它来获得额外的 3dB 编码增益，从而扩大调制的操作范围。

另外，四分之一符号间隔被细分为 2, 4 或 8 个子间隔以及用于确定突发形状和哪个子间隔实际上用于突发传输的伪随机序列。这提供了更多的抗干扰能力，并使输出频谱变白，从而可以在发射机中使用更高的信号功率。

前向纠错 (FEC) 也包含在帧的 PHR 和数据部分。19 位 PHR 包括一个 6 位单错误纠

错双错误检测 (SECDED) 代码, 帧的数据部分应用了 Reed Solomon (RS) 代码。RS 代码不会降低数据速率, 因为所引用的速率已包含对 RS 代码的限制。SECDED 和 RS 代码都是系统的, 意味着数据可以在不使用代码的情况下恢复 (当然在这种情况下不能从中受益)。

帧的数据部分名义上可以是 110kbps, 850kbps, 6.8Mbps 或 27Mbps 的数据速率 (这些数字包括实际符号速率的 0.87 的因子减少, 以考虑里德所罗门码的开销)。

对于 850kbps, 6.8Mbps 和 27Mbps 数据速率, 帧的 19 比特 PHR 部分按照 850kbps 编码进行传输, 但没有 Reed Solomon 码, 所以它们的比特率仅低于 980kbps。对于 110kbps 的数据速率, PHR 按照 110kbps 的数据编码进行传输, 同样没有 Reed Solomon 码, 给出它们的比特率刚刚超过 120kbps。

DW1000 支持 110 kbps, 850 kbps 和 6.8 Mbps 数据速率, 但不支持 27 Mbps 数据速率。

10.3 同步头调制方案

同步头 (SHR) 由前导序列和 SFD (帧定界符起始) 组成。与用于 PHR 和数据的 BPM / BPSK 调制相比, 同步头由单个脉冲组成。该符号被分成大约 500 个“芯片”时间间隔 (496/508 取决于 16/64 MHz PRF10), 其中可以发送负脉冲或正脉冲, 或者不发送脉冲。

“芯片”间隔为 499.2 MHz, 即 UWB PHY 内的一个基本频率, 因此 16 MHz PRF 为 $496 / 499.2 \mu s$, 64 MHz PRF 为 $508 / 499.2 \mu s$ (见下表 58)。

在符号间隔中实际发送的脉冲序列由前导码确定。该标准定义了用于 16 MHz PRF 的 8 个不同的长度为 31 的前导码和用于 64 MHz PRF 的 16 个不同的长度为 127 的前导码。该标准为特定通道指定了特定代码, 因此在 16 MHz PRF 时, 每个通道只有两个选择, 而在 64 MHz PRF 时, 每个通道可选择四个代码。通过为每个码位插入 15 个零来扩展长度为 31 的码, 每个码元给出 496 个码片时间, 而通过为每个码位插入 3 个零来扩展长度为 127 的码, 给出每个码元 508 个码片时间。前导码长度由重复序列的次数 (即多少个符号) 定义。这由前导码符号重复 (PSR) 的配置来确定。

Table 58: Preamble parameters

Mean PRF (MHz)	#Chips Per Symbol	Preamble Symbol Duration (ns)
16 nominal	496	993.59
64 nominal	508	1017.63

该标准定义了 16, 64, 1024 和 4096 的 PSR 设置。DW1000 支持这些设置 (虽然它不会接收前导码长度低于 64 个符号的帧), 此外还支持 128, 256, 512, 1536 和 2048 的 PSR 设置。

前导码序列具有完美周期自相关特性 [1], 其本质上允许相干接收机确定发射机和接收机之间的 RF 信道的精确脉冲响应。这带来了两个重要的好处。首先, 它允许接收机利用从多个路径接收到的能量, 将来自干扰源的多路径变成扩大工作范围的积极影响。其次, 它使接收机能够详细解析信道, 并确定第一条 (最直接) 路径的到达时间, 即使在衰减时, 也为 RTLS 应用带来了精确的优势。

SFD 标记前导码的结束和开关到 PHR 的 BPM / BPSK 调制的准确开始。这个事件的时间标记在符号时间方面是非常确定的, 并且这是与在该符号时间内确定第一个到达的射线一起确定的, 从而允许精确的 RTLS 应用所需的准确的时间戳。

该标准规定了 SFD，它由未被发送，或者正常发送或者以对于除了 110kbps 以外的数据速率的 8 个符号时间的定义模式反向发送（即正和负脉冲反转）组成的 SFD 和 64 个符号长达 110 kbps 模式。

长度为 8 的 SFD 序列是：

0, +1, 0, -1, +1, 0, 0, -1

长度为 64 的 SFD 序列是：

0, 1, 0, 1, 1, 0, 0, 1, 0, 1, 0, 1, +1, 0, 0-1, -1, 0, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 0, 0, 1, 0, 1, 0, 1, 0, 0, 0, +1, 0, -1, -1, 0, -1, +1, 0, 0, 0, 0+1, +1, 0, 0, -1, -1, -1, +1, -1, +1, +1, 0, 0, 0, 0, +1, +1

DW1000 具有 SFD 序列的用户可编程能力，因此可以改进标准中的 SFD 序列，如果编程了非标准 SFD 序列，则不可能与期望标准 SFD 序列的设备。

10.4 物理层头（PHY header）

PHY 头（PHR）使用上述 10.2 节定义的 BPM / BPSK 调制方案进行调制，但不采用用于数据的 Reed Solomon 码，而是采用 6 位 SECDED（单错误纠错，双错误检测）奇偶校验序列作为其 19 位长度的一部分。

Bit 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
R1	R0	L6	L5	L4	L3	L2	L1	L0	RNG	EXT	P1	P0	C5	C4	C3	C2	C1	C0
Data Rate		Frame Length								Header Extension Ranging Packet	Preamble Duration		SECDED Check Bits					

Figure 33: PHR bit assignment

上面的图 33 显示了 PHR 的位。这些都是在第一时间发送的。DW1000 根据寄存器文件中的相应参数的用户配置填充 PHR 的数据速率，帧长度，测距数据包和前导码持续时间字段：0x08 - 发送帧控制，并相应地生成 SECDED 序列。PHR 的报头扩展位始终为零，由 IEEE 保留以备将来扩展。

10.5 UWB 信道和前导码

IEEE 802.15.4 UWB PHY 具有 16 个定义的通道/频带。DW1000 支持下表 59 中列出的这些子集。根据信道和脉冲重复频率（PRF），IEEE 802.15.4 UWB PHY 标准定义了两个或四个前导码的选择。标准定义的前导码选项也在表 59 中列出。通道号和前导码的组合给出了标准术语是一个复杂的信道。

DW1000 在物理上并没有对通道代码进行选择，因此软件需要为所选操作通道选择合适的前导码。标准指出，如果需要信道间通信，则宽带信道也可以使用分配给较窄的 499.2MHz 带宽信道的代码。

Table 59: DW1000 supported UWB channels and recommended preamble codes

Channel number	Centre frequency (MHz)	Bandwidth (MHz)	Preamble Codes (16 MHz PRF)	Preamble Codes (64 MHz PRF)
1	3494.4	499.2	1, 2	9, 10, 11, 12
2	3993.6	499.2	3, 4	9, 10, 11, 12
3	4492.8	499.2	5, 6	9, 10, 11, 12
4	3993.6	1331.2 *	7, 8	17, 18, 19, 20
5	6489.6	499.2	3, 4	9, 10, 11, 12
7	6489.6	1081.6 *	7, 8	17, 18, 19, 20
N.B. For correct operation of the DW1000 the software must take care to only allow selection of those preamble codes appropriate for the configured PRF.				

* The DW1000 has a maximum receive bandwidth of 900 MHz

用于特定信道的标准规定的前导码被选择为彼此之间具有很低的互相关系数,意图是复信道可以作为独立的网络彼此独立地操作。在实际中,由于互相关系数仍然很小,特别是在与长前导码相邻的条件下,不同代码之间会有一些突破。这可能意味着不可能实现标准作者所设想的分离。

IEEE 802.15.4 UWB PHY 标准包括称为动态前导码选择 (DPS) 的功能,其旨在用于双向测距的安全机制,其中设备切换到使用用于测距交换的 DPS 特定前导码之一,并且可能是每一个沟通方向都不同。这个想法是通过随机地改变 DPS 前导码在一个只有有效的参与者已知的相互同意的序列中才使得更难以窃听或欺骗。这由 DW1000 支持,其中在 64MHz PRF 处,可以为 DPS 另外提供的前导码是: 13,14,15,16,21,22,23 和 24。

10.6 标准的其他细节

有关标准的其他细节,包括 IEEE 802.15.4 UWB 调制的精确细节,读者可以参考标准本身[1]。

11 附录 2：IEEE 802.15.4 MAC 层

本附录介绍了 IEEE 802.15.4 - 2011 标准中定义的 MAC 层的一些方面。DW1000 收发器不实现 MAC 层。MAC 层的实施是控制 DW1000 的主微处理器系统的责任。但是，DW1000 包含一些帮助 MAC 层实现的功能。这些是：

- CRC 生成和检查（请参见第 5.1 节 - 循环冗余校验）。
- 帧过滤，（请参阅第 5.2 节 - 帧过滤）。
- 自动确认（请参见第 5.3 节 - 自动确认）。
- 自动转向以接收确认和其他响应，（请参见第 5.4 节 - 传输并自动等待响应）

MAC 帧格式的介绍在下面的小节中给出。有关更多详细信息，请参阅标准本身[1]。

11.1 一般 MAC 消息格式

MAC 消息占用了 UWB 帧的数据部分，如 10.1 节 - 帧结构概述中所描述的那样，如图 31 所示。根据标准，这个长度最多可达 127 个八位字节，而使用 DW1000 的非最多可达 1023 个八位字节标准的长帧模式，参见 3.4 节 - 扩展长度数据帧。MAC 消息的一般结构由识别帧的头部组成，后面是通常来自上层的可变长度（可能为零）有效载荷，但是有时（如在 MAC 命令帧的情况下）在 MAC 自身内产生，以及最后由用于检测传输错误的 FCS（帧校验序列）CRC 的 MAC 页脚结束。图 34 更详细地显示了 MAC 消息帧的组成部分，指示每个组件中的八位组的数量。

MAC Header (MHR)							MAC Payload	MAC Footer (MFR)
Frame Control	Sequence Number	Destination PAN Identifier	Destination Address	Source PAN Identifier	Source Address	Aux Security Header	Frame Payload	FCS
2 octets	1 octet	0 or 2 octets	0, 2 or 8 octets	0 or 2 octets	0, 2 or 8 octets	0, 5, 6 10 or 14 octets	Variable number of octets	2 octets

Figure 34: General MAC message format

MAC 头由 DW1000 解析为帧过滤功能的一部分，以确定其目的地址是否与寄存器文件中编程的 IC 地址信息匹配：0x01 - 扩展唯一标识符和寄存器文件：0x03 - PAN 标识符和短地址 该帧是广播消息）。接收帧的解析基于下面 11.2 节中描述的帧控制字段的内容（在 MAC 报头的开始处）。

11.2 MAC 报头中的帧控制字段

帧控制字段是每个 IEEE 802.15.4 MAC 帧开始的两个八位字节（16 位）字段。它的作用是识别帧类型，并指出哪些组件被包含在 MAC 头的其余部分。图 35 显示了框架控件 this 并标识了其中的子字段。这些在下面描述。

Bits 0 to 2	Bit 3	Bit 4	Bit 5	Bit 6	Bits 7 to 9	Bits 10 & 11	Bits 12 & 13	Bits 14 & 15
Frame Type	Security Enabled	Frame Pending	ACK Request	PAN ID Compress	Reserved	Dest. Address Mode	Frame Version	Source Address Mode

Figure 35: MAC message frame control field

11.2.1 帧类型字段

该帧类型字段是指示帧类型的 3 比特字段。下面的表 60 列出了 IEEE 802.15.4-2011 中八种可能的帧类型及其分配。

Table 60: Frame type field values

Frame Type Field (FC bits 2 to 0)	Frame
0, 0, 0	Beacon
0, 0, 1	Data
0, 1, 0	Acknowledgement
0, 1, 1	MAC command
1, 0, 0	Reserved
1, 0, 1	Reserved
1, 1, 0	Reserved
1, 1, 1	Reserved

尽管 IEEE 802.15.4-2011 只分配了八种帧类型中的四种，但其中一些保留类型已经在 IEEE 802.15 工作组内部分配用于特殊应用。DW1000 通过允许在框架过滤功能中启用它们的接受功能，为新的框架类型提供最小的支持。详细信息请参阅第 5.2 节 - 帧过滤。如果启用了这些新的帧，则主机系统将需要解析接收到的帧来验证它们中的每一个，包括检查目的地址是否正确，主机系统将需要发起任何所需的确认响应。

11.2.2 启用安全性字段

设置时该位指示 MAC 报头内的辅助安全报头字段的存在，并指示 MAC 可以采用帧有效载荷的安全处理来进行认证和/或加密。DW1000 不包含任何安全设施，所以如果框架正

在被保护，这个处理必须由主机系统完成。有关 IEEE 802.15.4 MAC 安全过程的更多详细信息，请参阅标准[1]。

11.2.3 帧未决字段

该位表示发送设备有更多的数据给收件人。读者参考标准[1]了解这个 MAC 协议的细节。DW1000 接收器不使用接收器中的帧未决字段，因此主机软件会适当地处理它。主机软件还负责形成 TX 帧并适当地设置帧未决位。在的情况下

DW1000 自动确认帧暂停位的设置可以使用寄存器文件：0x04 - 系统配置中的 AACKPEND 配置进行控制。有关自动确认功能的更多详细信息，请参阅第 5.3 节“自动确认”。

11.2.4 确认请求字段

确认请求位指定是否需要接收设备的确认。该字段只能用于数据帧或 MAC 命令帧。如果此位设置为 1，则接收方设备应发送一个确认帧，假设它通过了适当的帧过滤规则。如果该位设置为零，则不应发送确认帧。请参阅第 5.2 节“帧过滤”和第 5.3 节“自动确认”，了解 DW1000 支持该字段的更多详细信息。主机软件负责形成 TX 帧并适当地设置确认请求字段。如果没有使用 DW1000 的自动确认功能，则主机软件应该对设置了确认请求位的帧进行适当的响应。

11.2.5 PAN ID 压缩字段

PAN ID 压缩位指定当源地址和目的地址都存在时，MAC 帧是否只包含一个 PAN 标识符字段。如果 PAN ID 压缩比特被设置为 1，并且源地址和目的地址都存在，则帧应该只包含目的 PAN 标识符字段，并且假定源 PAN 标识符字段与目的地标识符字段相等。如果 PAN ID 压缩比特被设置为零，则当且仅当相应地址存在时，PAN 标识符字段应当存在。主机软件负责形成 TX 帧，并为正在传输的帧适当地设置 PAN ID 压缩比特。主机软件还负责正确解析包括该位的接收器中的 RX 帧。DW1000 了解 PAN ID 压缩位并正确解析 RX 帧，以便在 RX 帧过滤期间（如果已启用）识别目标地址和目标 PAN ID。有关更多详细信息，请参阅第 5.2 节“帧过滤”。

11.2.6 目标寻址模式字段

目标寻址模式字段（2 位）指定帧是否包含目标地址，如果是，则指定地址字段的大小。下面的表 61 总结了目标寻址模式的选项。有关寻址模式的更多信息，请参阅标准[1]。

Table 61: Destination addressing mode field values

Destination addressing mode (FC bits 11 & 10)	Meaning
0, 0	No destination address or destination PAN ID is present in the frame
0, 1	Reserved
1, 0	The destination address field is a short (16-bit) address.
1, 1	The destination address field is an extended (64-bit) address.

11.2.7 帧版本字段

帧版本字段（2 位）指定帧的版本号。处理这些的规则在[1]中定义，其中帧版本字段应被设置为 0x00 以指示与 IEEE 802.15.4-2003 兼容的帧，并且 0x01 指示 IEEE 802.15.4 帧。DW1000 了解此帧版本字段规则，并将拒绝没有正确帧版本的接收帧。有关更多详细信息，请参阅第 5.2 节“帧过滤”。

11.2.8 源寻址模式字段

源寻址模式字段（2 位）指定帧是否包含源地址，如果是，则指定地址字段的大小。下面的表 62 总结了源寻址模式的选项。有关寻址模式的更多信息，请参阅标准[1]。

Table 62: Source addressing mode field values

Source addressing mode (FC bits 15 & 14)	Meaning
0, 0	No source address or source PAN ID is present in the frame
0, 1	Reserved
1, 0	The source address field is a short (16-bit) address.
1, 1	The source address field is an extended (64-bit) address.

11.3 序号字段

序列号字段在 802.15.4 MAC 层发射机中应该有两个序列号，一个用于发送信标帧，另一个用于数据帧和 MAC 命令帧。启用自动确认后，DW1000 将把序列号字段复制到确认任何 MAC 命令帧或数据帧的确认帧。MAC 层

（软件）等待 ACK 应验证 ACK 的序列号与发送帧的序列号。当每个新帧被发送（而不是未确认帧的重发）时，在发送帧中使用该序列号之后，该序号应该增加 1 (modulo-256)。

11.4 DW1000 中的 MAC 级别处理

DW1000 按照寄存器文件的 TFLEN 和 TFLE 字段中指定的数据长度在帧中发送来自 TX_BUFFER 的数据：0x08 - 发送帧控制，插入 2 字节的 FCS 作为数据有效载荷的最后两个八比特组。DW1000 将不会执行任何其他 MAC 级别的传输处理。因此，如果需要的话，由主机系统软件准备符合 IEEE 802.15.4 标准 MAC 的格式正确的帧。

在接收端，DW1000 将验证接收帧的 FCS，并且可以解析符合 IEEE 802.15.4-2011 标准的帧，以验证并接受目的地址是广播地址的帧，或者匹配在 IEEE 802.15.4-2011 中配置的 IC 地址信息寄存器文件：0x01 - 扩展唯一标识符和寄存器文件：0x03 - PAN 标识符和短地址。DW1000 还可以选择对帧控制字段中设置的正确寻址数据的确认请求位作出响应

帧或 MAC 命令帧，通过发送 IEEE 802.15.4-2011 到兼容的确认帧。

DW1000 将在 RX_BUFFER 中传送接收到的数据帧，其数据长度由寄存器文件的 RXFLEN 和 RXFLE 域报告：0x10-接收帧信息寄存器，而 DW1000 上面段落中提到的接收活动除外任何额外的 MAC 级接收处理。因此，主机系统软件根据 IEEE 802.15.4 标准 MAC 定义正确解析接收到的帧，并采取标准所禁止的任何附加动作（如果需要的话）。

12 附录 3：双向测距

12.1 介绍

本附录仅供参考，并介绍了在两个节点之间实现双向测距方案的各种方法。

所选的双向测距算法是由主机系统软件实现的，不是 DW1000 的一个特点。DW1000 只提供消息时间标记和精确控制消息传输时间的功能，以实现这些算法。有关详细信息，请参阅第 4.1.6 节 - 接收消息时间戳，3.2 - 传输时间戳和 3.3 - 延迟传输。

在下面的所有方案中，一个节点充当发起者，发起范围测量，而另一个节点充当响应者，监听并响应发起者，并计算范围。

12.2 单边双向测距

单向双向测距（SS-TWR）涉及单个消息从一个节点到另一个节点的往返延迟的简单测量，以及将响应发送回原始节点。

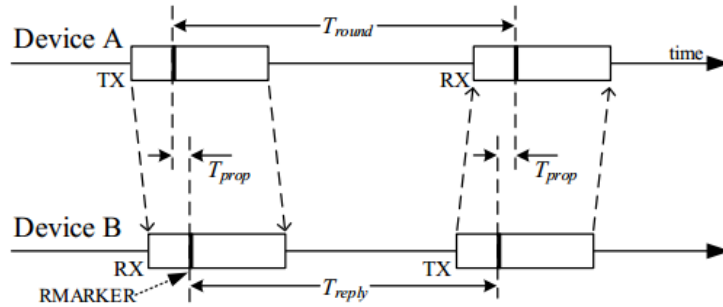


Figure 36: Single-sided Two-way ranging

SS-TWR 的操作如图 36 所示，其中设备 A 发起交换，设备 B 响应完成交换，并且每个设备精确地标记消息帧的发送和接收时间，并且可以计算时间 T_{round} 和 T_{reply} 通过简单的减法。并且由此产生的飞行时间 T_{prop} 可以通过以下等式估计：

$$\hat{T}_{prop} = \frac{1}{2}(T_{round} - T_{reply})$$

时间 T_{round} 和 T_{reply} 由设备 A 和 B 分别使用它们各自的本地时钟来测量，这两个时钟都具有来自它们标称频率的一些时钟偏移误差 e_A 和 e_B ，因此所产生的飞行时间估计具有相当大的误差，增加。表 63 给出了一些典型值。根据应用可接受的测距误差的大小，SS-TWR 可能是测量范围的合适选择，特别是如果回复时间 T_{reply} 最小化并且时钟误差较低。应该注意， T_{reply} 的回复时间不仅仅是 RX-to-TX 周转时间，还包括了信息长度。

在这个方案中，测量的 T 道的误差由下式给出：

$$error = \hat{T}_{prop} - T_{prop} \approx \frac{1}{2}(e_B - e_A) \times T_{reply}$$

Table 63: Typical clock induced errors in SS-TWR time of flight estimation

clock error T_{reply}	2 ppm	5 ppm	10 ppm	20 ppm	40 ppm
100 μ s	0.1 ns	0.25 ns	0.5 ns	1 ns	2 ns
200 μ s	0.2 ns	0.5 ns	1 ns	2 ns	4 ns
500 μ s	0.5 ns	1.25 ns	2.5 ns	5 ns	10 ns
1 ms	1 ns	2.5 ns	5 ns	10 ns	20 ns
2 ms	2 ns	5 ns	10 ns	20 ns	40 ns
5 ms	5 ns	12.5 ns	25 ns	50 ns	100 ns

可以看出，随着 T_{reply} 增加，并且随着时钟偏移增加，飞行时间估计中的误差增加到误差使得估计非常不准确的程度。由于这个原因，SS-TWR 不常用，但是对于使用紧公差时钟并且通信范围相对较短的特殊用途来说，值得研究。

Table 64: Typical clock induced error in SS-TWR time-of-flight estimation using actual IEEE80.15.4-2011 UWB frame lengths

clock error T_{reply}	2 ppm	5 ppm	10 ppm	20 ppm	40 ppm
211 μs total 6.81 Mbps 64 Symbol Preamble 96 μ s response delay	0.2 ns	0.5 ns	1.1 ns	2.1 ns	4.2 ns
275 μs total 6.81 Mbps 128 Symbol Preamble 96 μ s response delay	0.3 ns	0.7 ns	1.4 ns	2.8 ns	5.5 ns
403 μs total 6.81 Mbps 256 Symbol Preamble 96 μ s response delay	0.4 ns	1 ns	2 ns	4 ns	8 ns

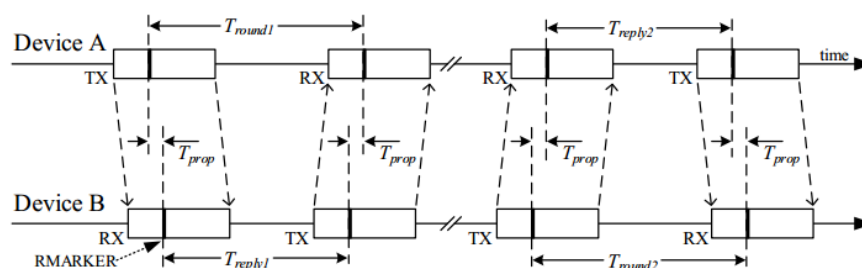
注意：1 ns 的误差相当于测量距离的 30 cm 误差。

Advantages	Drawbacks
Only one message exchange required which saves time & power. If T_{reply} is kept short and accurate crystals are used then time-of-flight estimation may be accurate enough for certain use cases.	As T_{reply} increases and clock offsets increase the estimated time-of-flight becomes very inaccurate.

12.3 双边双向测距

12.3.1 使用 4 条消息

双向双向测距（DS-TWR）是基本的单向双向测距的延伸，其中使用了两个往返时间测量，并将其组合在一起，从而得到飞行时间结果 即使相当长的响应延迟也是错误的。

**Figure 37: Double-sided two-way ranging with four messages**

DS-TWR 的操作如图 37 所示，其中设备 A 启动设备 B 响应的第一个往返测量，之后设备 B 启动第二个往返测量，设备 A 响应完成第二个往返测量，完成完整的 DS-TWR 交换。每个设备精确地标记消息的发送和接收时间。

12.3.2 使用 3 条消息

如图 37 所示的 DS-TWR 的四条消息可以通过使用第一往返测量的答复作为第二往返测量的发起者而被简化为三条消息。如图 38 所示。

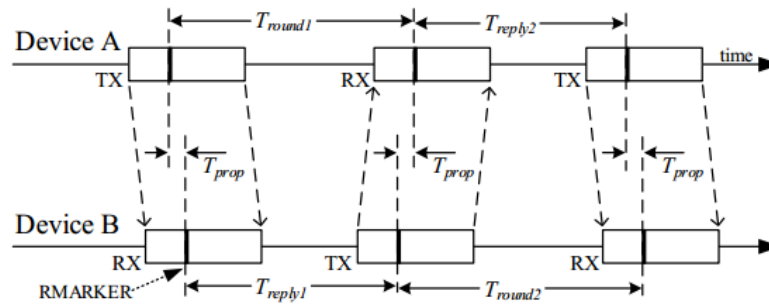


Figure 38: Double-sided Two-way ranging with three messages

在三个和四个消息情况下的所得飞行时间估计 T_{prop} 可以使用以下表达式来计算：

$$\hat{T}_{prop} = \frac{(T_{round1} \times T_{round2} - T_{reply1} \times T_{reply2})}{(T_{round1} + T_{round2} + T_{reply1} + T_{reply2})}$$

上述两种方案均表示为“不对称”，因为它们不要求每个设备的回复时间相同。

使用这种方案，典型的时钟诱导误差即使在 20ppm 晶体的情况下也处于低皮秒范围内。在这些误差水平上，确定在每个接收器处的消息到达时间的精确度是比时钟引起的误差更重要的总 T_{prop} 误差。

$$error = \hat{T}_{prop} \times \left(1 - \frac{k_a + k_b}{2}\right)$$

设备 A 中的时钟在 k_a 时间运行期望的频率，设备 B 中的时钟运行在期望频率的 k_b 倍，并且 k_a 和 k_b 都接近于 1。

为了说明这个错误的大小，如果设备 A 和 B 的时钟在 20 ppm（最坏情况下的规格）与标称时钟的误差相加并等于 40 ppm 的方向上，那么 k_a 和 k_b 可能都是 0.99998 或 1.00002。

即使在比较大的 UWB 工作范围（比如 100 米）下，TOF 也只有 333 纳秒，所以误差为 $20 \times 10^{-6} \times 333 \times 10^{-9}$ 秒，即 6.7×10^{-12} 秒或 6.7 皮秒 大约 2.2 毫米。

再次注意，实现这些错误级别不需要在每个设备上使用相同的响应时间。

在这些错误级别中，确定消息到达时间的精度实际上是更重要的错误来源。

Advantages	Drawbacks
Reply times need not be the same – gives great flexibility in the design of use cases and application scenarios	Requires multiplication and division operations
Error in the calculated time-of-flight is minimized	

12.3.3 使用对称的回复时间

这是称为对称双面双向测距的双面方案的特殊情况，其中 T_{reply1} 和 T_{reply2} 被限制为相等（或尽可能接近相等）。在这种情况下：

$$\hat{T}_{prop} = \frac{(T_{round1} - T_{reply2} + T_{round2} - T_{reply1})}{4}$$

这种方案只需要 4 的加法，减法和除法，这很容易在低功率的微控制器上实现，但是这会导致整个交换时间超过必要的时间。

虽然 DW1000 延迟发送功能的使用简化了这种情况，但可能难以实现每个设备的回复时间相同的情况；每个设备所需的计算可能不一样。例如，从设备 A 到设备 B 的最终消息通常需要在数据包中嵌入发送和接收时间，以便设备 B 可以计算飞行时间。如果需要对称的延迟时间，则需要扩展整个往返交换以适应这种情况。当响应延迟灵活时，交换可以更快。

随着两个设备的响应时间的差异增加，计算出的飞行时间的误差线性增加，其可以接近 30cm，对于 100 μ s 的回复时间差异。

Advantages	Drawbacks
Requires only simple mathematical operations to derive a result	Reply times must be the same – this is difficult to achieve. If they are not the same then an error is introduced into the result the magnitude of which depends on the difference between the reply times
	The ranging exchange is longer than necessary because all reply times must be as long as the longest reply time

12.3.4 DS 与 SDS 双向测距比较

12.3.4.1 简介

在一些现实世界的应用中比较不对称和对称双面双向测距方案是有用的，因此可以看到每个应用的含义。

12.3.4.2 基于架构的资产追踪

一个主设备发送一个数据包 P1 给很多人，比如 5 个标签。每个标签在连续的响应中用一个分组来响应这个锚点。标签 1 在时间 t 之后用分组 P2a 响应，标签 2 在时间 2t 之后用 P2b 响应，标签 3 在时间 3t 之后以 P2c 响应，依此类推，直到所有标签已经响应。最后，锚点用最后一个数据包 P3 关闭。

现在每个标签现在可以计算出它在距离锚点 7 个消息后的距离。如果锚已经使用了对称的 S-TWR，它将被迫每个标签交互都有相同的延迟，每个标签至少有 3 条消息，否则将需要 15 条消息。

在非对称情况下，所需的分组数量是 $N + 2$ ，而在对称情况下是 $3N$ 。

12.3.4.3 基于架构的资产追踪

在这个方案中，一个移动标签（在一个资产上）包括三个固定锚。然后每个锚点计算到标签的距离。然后将这三个距离组合在一个基于基础设施的解算器中来定位标签。

使用对称双面双向测距，每个距离测量需要 3 个消息，这总共是 6 个传输和 3 个接收来导出位置。

在非对称测距方案中，标签发送轮询消息，由基础结构中的三个锚接收的轮询消息，该轮询消息在分组 RespA, RespB 和 RespC 之后以标签发送由所有三个锚接收的最终消息的连续响应。这允许标签在发送 2 个消息和接收 3 之后被定位。该方案如图 39 所示。

这代表了消息流量的大量节省，从而节省了电池电量和空气时间。

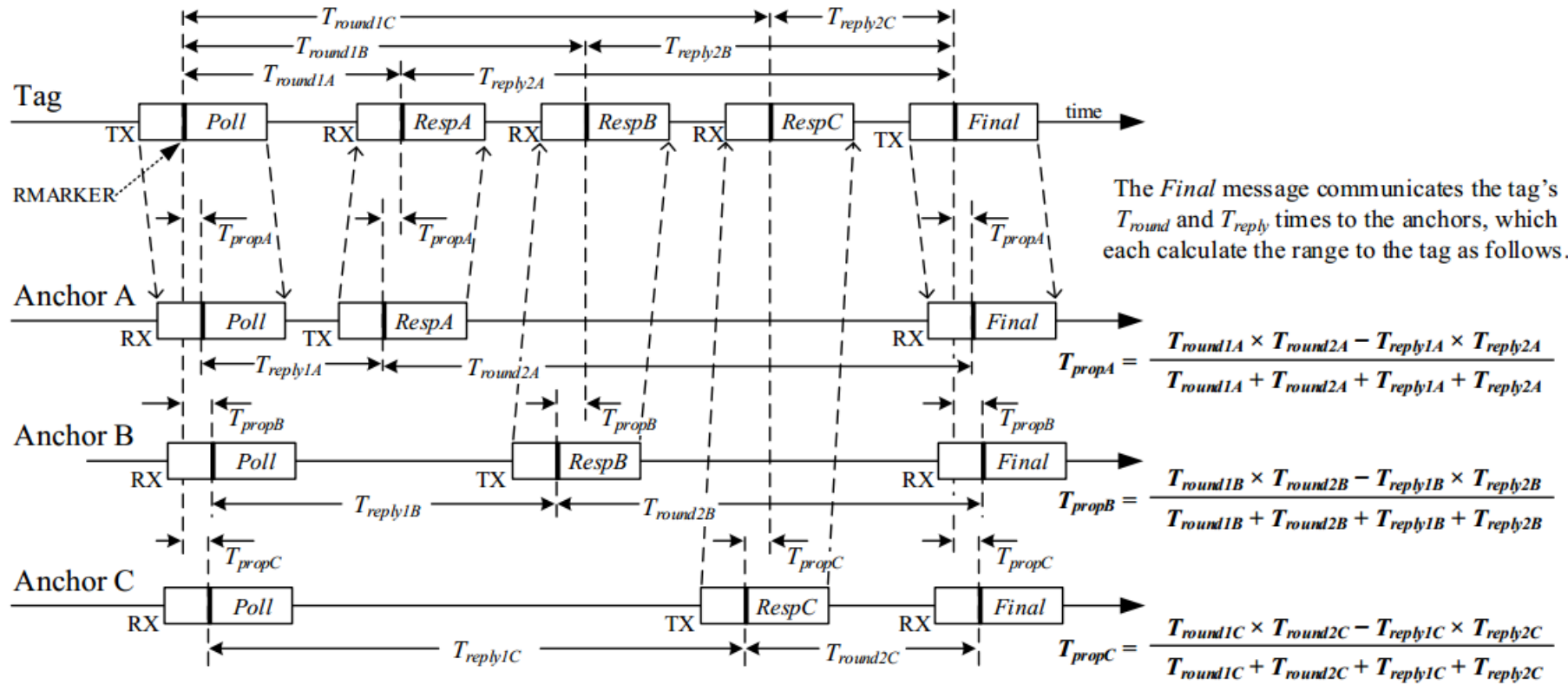


Figure 39: Ranging to 3 anchors with just 5 messages where each anchor calculates its own range result

12.3.4.4 基础设施少对等网络

在 N 个移动节点的对等网络的情况下，其中每个节点想要找到到每个其他对等节点的距离作为解决其相对位置的一部分，则这是 $1/N(N-1)$ 个距离测量。例如，对于 5 节点系统，这是 10 个距离测量。

使用对称双面测距，每个距离测量需要 3 个信息。可能还需要发送额外的消息来传达结果，每个距离度量可以是 1，或者每个节点只有 1 个包含该节点计算的所有结果。然后在 5 节点的例子中总共有 35 到 40 条消息。

利用非对称测距方案，测距交换机可以被组合并且以每节点仅两次传输完成，即在 5 节点示例的情况下 10 个消息。这再次表示消息流量的大量节省，从而节省电池电量和空气时间。然而，测距交换是非常不对称的。

有关这些不同方案的进一步细节和相关公式的推导可从 Decawave 获得。

13 附录 4：缩略语和首字母缩略词

Abbreviation	Full Title	Explanation
AGC	automatic gain control	A scheme that automatically adjusts the gain of the DW1000 receiver depending on the power in the received signal
ACK	acknowledgement (frame)	A frame sent by the DW1000 in response to a received frame indicating successful reception. DW1000 allows the automatic generation of such frames when appropriately configured.
AON	always-on block (for saving configuration)	A section of memory in DW1000 whose contents are retained provided VDDAON is maintained above the minimum limit specified in the DW1000 data sheet. Intended for saving device configuration during the SLEEP and DEEPSLEEP states and restoring it thereafter.
BPM	burst position modulation	A modulation scheme in which information is conveyed by the position of a burst of pulses in one of a number of possible positions in a symbol
BPSK	binary phase-shift keying	A modulation scheme in which information is conveyed by whether pulses are positive or negative
CRC	cyclic redundancy check (an FCS)	Error detecting code appended to the frame in the transmitter to allow detection of errors at the receiver.
CIR	channel impulse response	The impulse response of the communications channel between transmitter and receiver as detected by DW1000 for the most recently received frame
DPS	dynamic preamble select	Anti-spoofing mechanism to allow IEEE 802.15.4 devices to move their long preamble codes to codes that are different from those in normal use, see 222[1].
ESD	electrostatic discharge	A sudden flow of electrical current between two electrically charged objects caused by contact, an electrical short circuit or dielectric breakdown. Can cause failure of semiconductor devices. DW1000 is resistant to ESD up to the limits specified in the data sheet.
EUI	extended unique identifier	64-bit IEEE device address. Refer to Register file: 0x01 – Extended Unique Identifier .
FCS	frame check sequence (the CRC)	A CRC appended to the frame in the transmitter to allow detection of errors at the receiver.
IF	intermediate frequency	A frequency to which a carrier frequency is shifted as an intermediate step in transmission or reception.

LDC	low duty-cycle	Certain regulatory jurisdictions define rules that limit the duration of UWB transmissions per unit time in certain channels. These rules are generally referred to as low duty cycle rules
LDO	low drop-out voltage regulator	Linear voltage regulator that requires only a small differential between its input source voltage and its output regulated voltage below which it can no longer regulate correctly. DW1000 uses a number of such regulators.
Abbreviation	Full Title	Explanation
LDE	leading edge (or the process to find and adjust the RX message timestamp)	Process to find and adjust the RX message timestamp
LNA	low noise amplifier	Circuit normally found at the front-end of a radio receiver designed to amplify very low level signals while keeping any added noise to as low a level as possible
LOS	line of sight	Physical radio channel configuration in which there is a direct line of sight between the transmitter and the receiver
NLOS	non line of sight	Physical radio channel configuration in which there is no direct line of sight between the transmitter and the receiver
OTP	one-time programmable (memory)	Internal memory in DW1000 that can be programmed once to store various identification and calibration values
PAC	preamble acquisition chunk	A group of preamble symbols which are correlated together in the preamble detection process in the receiver. The size of the PAC is configurable –see Sub-Register 0x27:08 – DRX_TUNE2 . The selection of the most appropriate PAC size is discussed in section 4.1.1
PHR	PHY header	A 19-bit section of the IEEE802.15.4-2011 UWB frame that comes directly after the SFD and before the message payload and defines various characteristics of that payload required by the receiver for successful reception.
PHY	physical layer	Defined in the context of the OSI 7-layer model for communications systems in general and the IEEE802.15.4-2011 UWB standard in particular, the PHY layer is the lowest layer in the 7-layermodel and defines the physical interface to the communications medium
PLL	phase locked loop	Phase locked loop used to generate stable frequency clocks. These are used in DW1000 to generate carrier frequencies and system clocks.
PRF	pulse repetition frequency	Defined in the context of the IEEE802.15.4-2011 [1] standard. This is the frequency at which pulses are repeated in the preamble and data portions of a frame depending on the chosen configuration.

PSR	preamble symbol repetitions	Used to define the overall preamble length. A larger number of preamble symbol repetitions give a longer preamble.
RF	radio frequency	Generally used to refer to signals in the range of 3 kHz to 300 GHz. In the context of a radio receiver, the term is generally used to refer to circuits in a receiver before down-conversion takes place and in a transmitter after up-conversion takes place
RMARKER	ranging marker (start of PHR at antenna)	Defined in the context of the IEEE802.15.4-2011 [1] standard. Defines the start of the PHR at the antenna in either transmit or receive
RTLS	real time location	System intended to provide information on the location of various items in
Abbreviation	Full Title	Explanation
	systems	real-time.
RX	receive or receiver	Term used to refer to the receiver section of a transceiver or the operation of receiving signals
SAR	Successive Approximation Register ADC	A type of Analog to Digital converter that used a digital binary search to converge on the correct digital representation of the analog input level.
SECDED	single error correct, double error detect (a parity check sequence in the PHR)	A coding scheme that allows the: - • detection and correction of a single bit error in a group of bits or • the detection but not the correction of a double bit error in a group of bits The IEEE802.15.4-2011 UWB standard defines the use of such a scheme as a parity check in the PHR portion of the frame.
SFD	start of frame delimiter	Defined in the context of the IEEE802.15.4-2011 [1] standard. Indicates the completion of the preamble section of the frame and the commencement of the payload section.
SHR	synchronisation header (consists of preamble and SFD)	Defined in the context of the IEEE802.15.4-2011 [1] standard. The first portion of an IEEE802.15.4-2011 UWB frame containing the preamble and SFD
SPI	serial peripheral interface	An industry accepted method for interfacing between IC's using a synchronous serial scheme first introduced by Motorola
TDOA	time difference of arrival	Method of deriving information on the location of a transmitter. The time of arrival of a transmission at two physically different locations whose clocks are synchronized is noted and the difference in the arrival times provides information on the location of the transmitter. A number of such TDOA measurements at different locations can be used to uniquely determine the position of the transmitter. Refer to Decawave's website for further information.

TOF	time of flight	The time taken for a radio signal to travel between the transmitting antenna and the receiving antenna
TX	transmit or transmitter	Term used to refer to the transmitter section of a transceiver or the operation of transmitting signals
UWB	ultra wide band	A radio scheme employing channel bandwidths of, or in excess of, 500MHz
WSN	wireless sensor networks	A network of wireless nodes intended to enable the monitoring and control of the physical environment
XTI	internal 19.2 MHz clock (is the raw 38.4 MHz XTAL oscillator input $\div 2$)	The 38.4 MHz XTAL oscillator clock divided by 2.

14 附录 5：参考文献

[1] IEEE 802.15.4-2011 或“IEEE Std 802.15.4™-2011”(IEEE 标准 802.15.4-2006 修订版)。用于本地和城域网的 IEEE 标准 - 第 15.4 部分：低速无线个域网 (LR-WPAN)。IEEE 计算机协会由 LAN / MAN 标准委员会主办。可从 <http://standards.ieee.org/> 获得。

[2] APH010 DW1000 通道间干扰：一个 DW1000 通道上的传输如何影响其他通道，以及如何最小化这种影响。可在 www.decawave.com 上获得

15 文档历史记录

Table 65: 文档历史记录

Revision	Date	Description
1.00	15 th November 2013	First release
2.01	31 st March 2014	Scheduled update
2.02	31 st July 2014	Scheduled update
2.03	31 st December 2014	Scheduled update
2.04	31 st March 2015	Scheduled update
2.05	30 th June, 2015	Scheduled update
2.06	17 th November, 2015	Scheduled update
2.07	31 st December 2015	Scheduled update
2.08	31 st March 2016	Scheduled update
2.09	30 th June 2016	Scheduled update
2.10	30 th September 2016	Scheduled update

16 更改记录

Revision v2.03

Page	Change Description
All	Update of version number to v2.03
All	Various typographical changes
2	Update of table of contents
All	Repair of non-functioning cross-reference links in v2.02
18	Addition of section 2.4.1.3 re LDO TUNE
23	Addition of section 2.5.5.11 re LDO TUNE
27	Inclusion of detail on extended frame mode
28	Addition of further information on the use of extended frames
57	Addition of LDOTUNE_CAL to OTP memory map in Table 10
164	Addition of information on LDO_KICK bit to 7.2.46.7 Sub-Register 0x2D:12 – OTP_SF
211	Correction to figure 36
Page	Change Description
216	Addition of v2.03 to table 64 Addition of this section & modification of heading numbers as a result

Revision v2.04

Page	Change Description
All	Update of version number to v2.04
All	Various typographical changes
8	Addition to table describing document sections
16	Inclusion of note re half duplex operation only
23	Modification of section heading 2.5.5.4 to refer to NTM rather than NSTD
58	Update to VDDIO for OTP programming to be consistent with DW1000 data sheet
85	Modification to CPLOCK bit description
89	Modification to description of CLKPLL_LL bit
106	Modification to Table 26 – transmit power octet
119	Inclusion of PLLLDT bit description

143	Modification to description of CPLLOCK
149	Modification to Table 41- default values for FS_PLLTUNE for channels 5 & 7
167	Modification of NSTD to NTM
217	Addition of v2.04 to table 64
217	Inclusion of this table

Revision v2.05

Page	Change Description
All	Update of version number to v2.05
All	Various typographical changes
29, 30	Addition of text relating writing to the TX buffer while receiving a frame
87	Modification to description of RXFDR bit
190	Modification to table 51 to refer to RFCONF instead of RFRES1
211	Appendix 13: Inclusion of a more comprehensive discussion of TWR schemes including SS TWR, Asymmetric DS TWR and Symmetric DS TWR
221	Addition of v2.05 to table 64
222	Inclusion of this table

Revision v2.06

Page	Change Description
All	Update of version number to v2.06
All	Various typographical changes
17	Inclusion of CPLOCK bit
23	Section 2.5.5.9 - modification to FS_PLLTUNE value
46	Section 4.7.1 & 4.7.2 – modification to 16 MHz PRF calculation fixed value
73	Section 7.2.10 Correction to register default–value
104 - 107	Modification of text re smart Tx Power in 7.2.31
108	Section 7.2.32 Correction to register type
148	7.2.43.5 Correction to reference in register description
189	Correction to register write value in step 8 of the crystal trim procedure

221	Addition of v2.06 to table 64
223	Inclusion of this table

Revision v2.07

Page	Change Description
All	Update of version number to v2.07
All	Various typographical changes and formatting corrections
62	TX_BUFFER register type corrected to write-only.
62	RX_BUFFER register type corrected to write-only.
76	TX_BUFFER register type changed to write-only
92 - 93	RXPACC field of RX_FINFO updated to describe adjustments that can be made to the count to calculate more accurate receive signal power as used in calculations in section 4.7.
96	RX_BUFFER register type changed to read-only.
111	DWSFD field of CHAN_CTRL register description updated to specify Decawave-defined SFD sequences
137	RXPACC_NOSAT added to address 0x27, subaddress 0x2C
141	Subregister 0x27:2C, RXPACC_NOSAT added
173	EVC_CTRL register description corrected to describe write-to-enable behaviour.
197	Addition of clarification text to Section 9.3 re use of different preamble codes to allow multiple communications on the same physical channel
224	Addition of v2.07 to table 65 / Addition of Reference [2]
226	Inclusion of this table

Revision v2.08

Page	Change Description
All	Update of version number to v2.08
All	Various typographical changes and formatting corrections
58	Corrections to OTP memory map to be consistent with APS012
94	Description of FINFO reg updated to indicate that RNG bit is bit 15 and not bit 10
106	Correction to references
143	TXFEN and PLLFEN descriptions updated
152	Modification to FS_PLLTUNE value for channel 3

168	Update to OP_SEL description. Update to clock offset descriptions in Table 46
186	Description of ATXSLP updated to include reference to SLEEP_EN (0x2c:06)
188	Added note to PMSC_TXFSEQ re use with external PA
207	Figure 33 replaced for readability
224	Update of table 65
226 / 7	Inclusion of this table

Revision v2.09

Page	Change Description
All	Update of version number to v2.09
All	Various typographical changes and formatting corrections
16	Update to description of INIT state
34	Correction to receiver errors for which a receiver reset is required
41	Addition of actions required to correctly read a frame received during low power listening
42	Correction to operation of SNOZ_TIM
52	Inclusion of section on SFD initialization in automatic acknowledgement
53	Further details on the operation of the AAT bit
58	Update to OTP memory map to ensure consistency with application note APS012
99	Inclusion of additional information on RCPHASE
106	Correction of reference to Figure 26
140	Change to text of warning on not using SFD timeout
141	Modification to the operation of DRX_PRETOC
186	Correction to operation of SNOZ_TIM
188	Modification of definition of BLNKEN
211	Addition of clarification on operation of DWSFD / TNSSSFD / RNSSFD
224	Update of table 65
227	Inclusion of this table

Revision v2.10

Page	Change Description
All	Update of version number to v2.10

All	Various typographical changes and formatting corrections
58	Correct the fixed value in the first three hex digits to be 0x100 and not 0x101 as previously suggested.
96 / 100	Updated definitions of FP_AMPL1 and FP_AMPL3
124	Update for setting MSGP0 bit 7, was reserved, now indicates how it is used to allow the system clock appear on GPIO0
139	Added text about optimizing SFD timeout value.
179	Updated description of TX_PSTM for inter frame spacing
222	Update of table 65
226	Inclusion of this table

17 关于 Decawave

Decawave 是一家开创性的无厂半导体公司，其旗舰产品 DW1000 是基于 IEEE 802.15.4 标准 UWB PHY 的完整单芯片 CMOS 超宽带 IC。该设备是部件族中的第一个。

由此产生的硅在制造业，医疗保健，照明，安全，运输，库存和供应链管理等多个领域具有广泛的基于标准的应用，用于实时定位系统（RTLS）和超低功率无线收发器。

有关本产品或其他任何 Decawave 产品的更多信息，请联系销售代表如下：

Decawave Ltd,
阿德莱德分庭,
彼得街，都柏林 8，爱尔兰。

mailto: sales@decawave.com http://www.decawave.com