

爲希科技
Sparatn3
XC3S200-PQ208
ST3 實驗板
使用手冊

2006.Jan.15 .V1.0



Ulinux Corp.

使用手冊

Introduction	page 3
Chapter 1 : Power	page 5
Chapter 2 : Interface	
RS232	page 6
LED	page 8
PUSH_BUTTON	page 9
DIP_SWITCH.....	page 10
7_SEGMENT.....	page 11
Chapter 3 : Clock	page 13
Chapter 4 : User Connector	
JC1	page 14
JC2	page 16
JC3	page 18
JC4	page 20
Chapter 5 : Download	page 22
Chapter 6 : FPGA	page 24



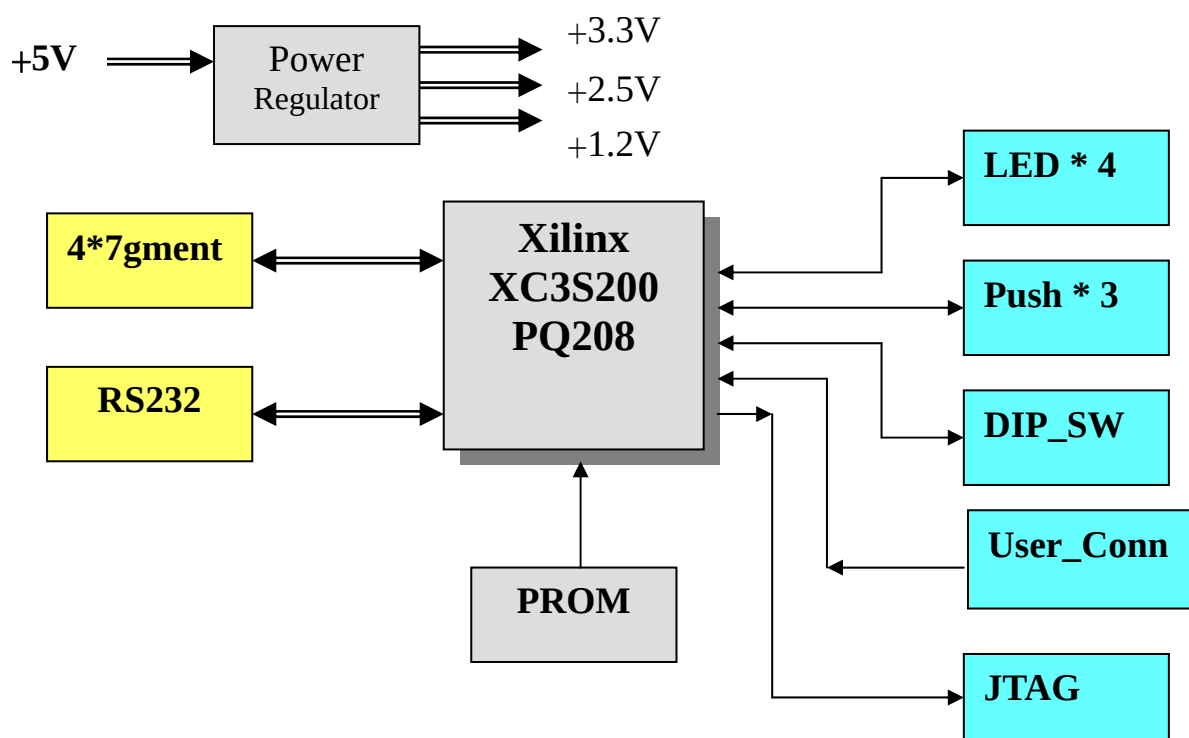
為希科技有限公司的 UBD-Spartan3-ST3 實驗板提供 FPGA 使用者一個完整且容易上手的實驗平台。這份實驗手冊將會含括這片實驗板上所有元件的設定及特性說明。

主要元件及功能

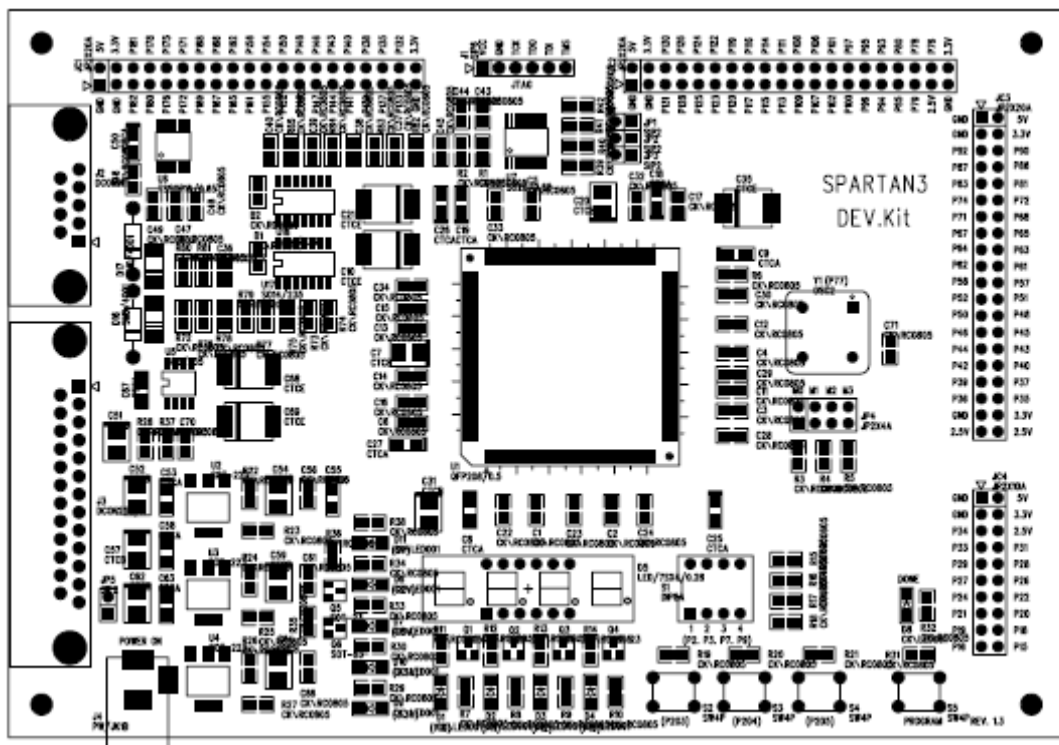
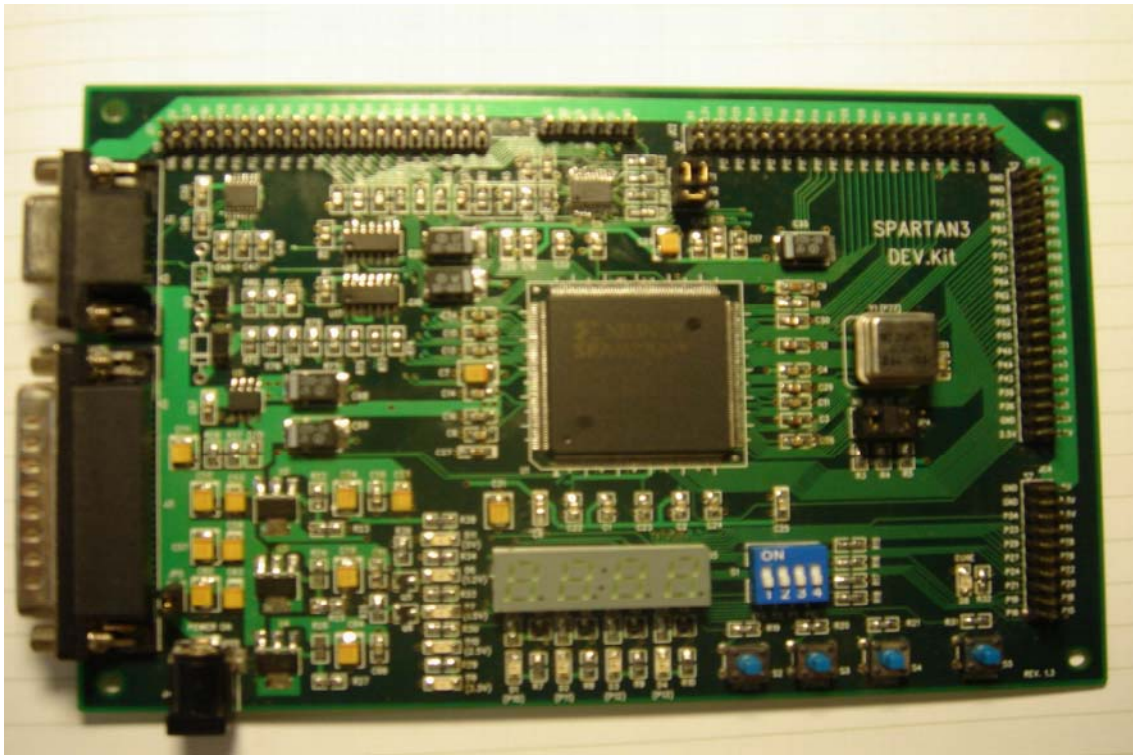
圖 1-1 是這片板子的照片,裡面包含了這些主要元件

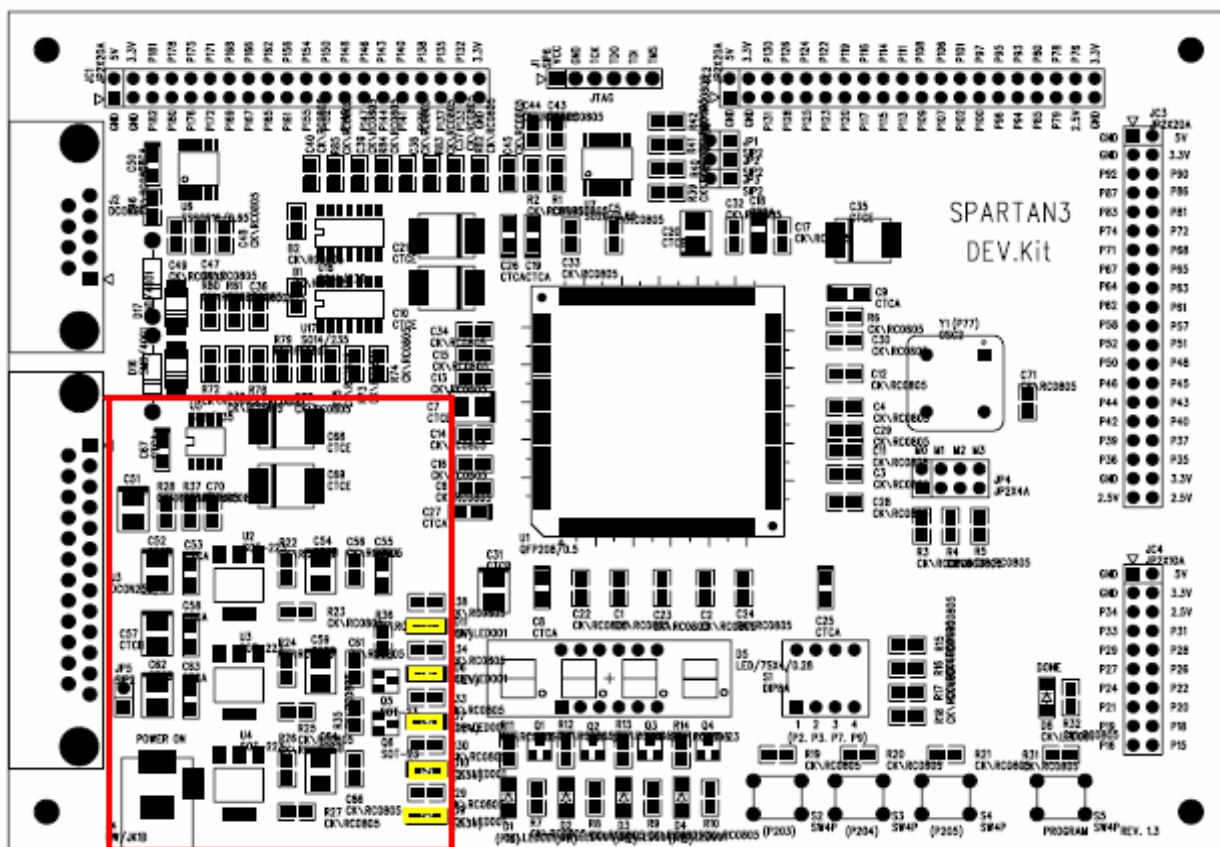
- 20 萬邏輯閘的 Xilinx Spartan-3 XC3S200 FPGA 包裝為 PQFP 208 隻腳位 (XC3S200-4-PQ208)
 - . 內含 12 個 18K-bit 的 Block RAMs (共 216K bits)
 - . 內含 12 個 18x18 硬體乘法器
 - . 內含 4 個 Digital Clock Managers (DCMs)
 - . 內含 141 個 可用腳位
- RS-232 界面
- PROM XCF01S-VO20
- 4 個 DIP switch 與 4 個 LED 界面
- 4 個 7 段顯示器
- 單一電源輸入(+5V/ 3A)
 - . 提供板子上三組電源使用 (1.2 V , 2.5 V , 3.3 V)
- JTAG 界面
 - . 提供多種燒錄程式的界面

Ulinx Spartan3 Demo Board



產品外觀





電源插頭：J4，5 V 輸入(中間為正電壓+5V)

D11：板子上有 5V 的電壓時，綠色 LED

經由電壓轉換 IC 將電源轉為 1.2V,1.5V,2.5V,3.3V 五組電壓供板子使用,並有 LED 燈顯示.

(1-A) 3.3V 電壓：主要提供給 FPGA IO 電壓 及 USER IO 使用包含：區段顯示器，
Push button，Switch,LED 燈,RS232；

U4：LM1117MPX_3.3V，包裝為 SOT-223,將 5V 電壓轉為 3.3V

D9：板子上有 3.3V 的電壓時，綠色 LED 為亮

(1-B) 2.5V 電壓：主要提供給 FPGA download 電路電壓 及 Platform Flash XCF01S-V020 使用.

U3：LM1117MPX_2.5,包裝為 SOT-223,將 5V 電壓轉為 2.5V

D10：板子上有 2.5V 的電壓時，綠色 LED 為亮

(1-C)1.5V 電壓：U12：LM1117MPX_1.5,包裝為 SOT-223,將 5V 電壓轉為 1.5V

D7：板子上有 1.5V 的電壓時，綠色 LED 為亮

(1-D)1.2V 電壓：主要提供給 FPGA 核心電壓

U5: APL5912 (1.2V),包裝為 SOP-8-P,將 1.5V 電壓轉為 1.2V

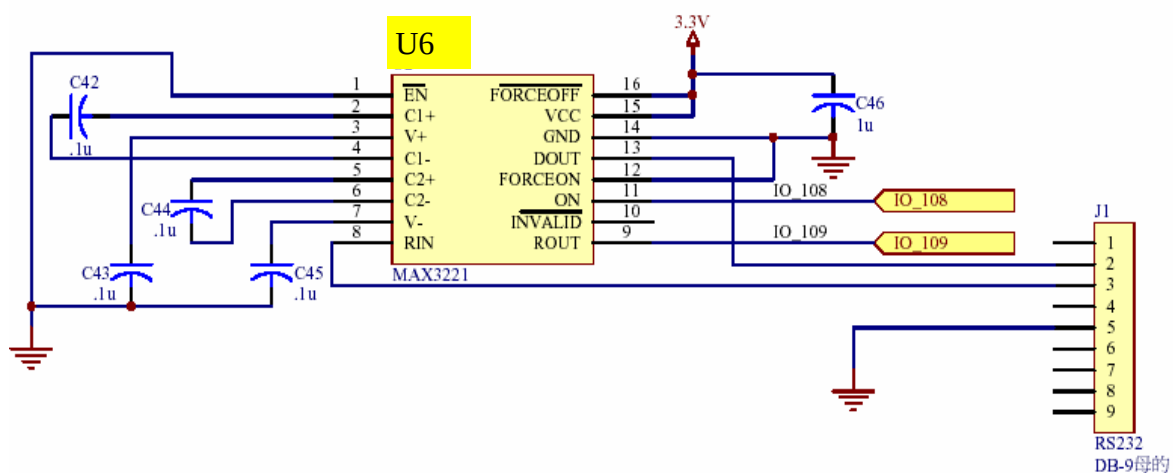
D6：板子上有 1.2V 的電壓時，綠色 LED 為亮

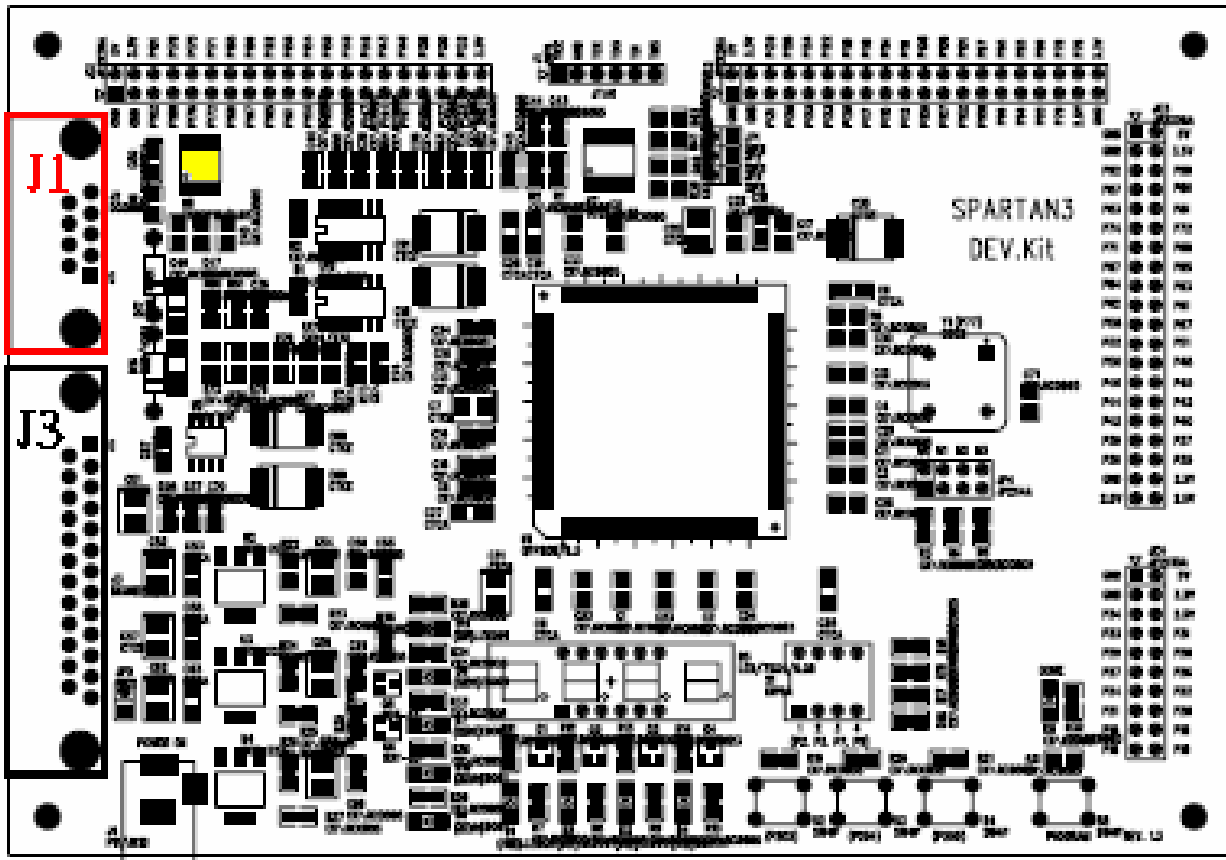


2-1. RS232 介面

RS232 Pin	Connection
1	NC
2	Max3221, Pin13 , DOUT
3	Max3221 , Pin8 , RIN
4	NC
5	GND
6	NC
7	NC
8	NC
9	NC

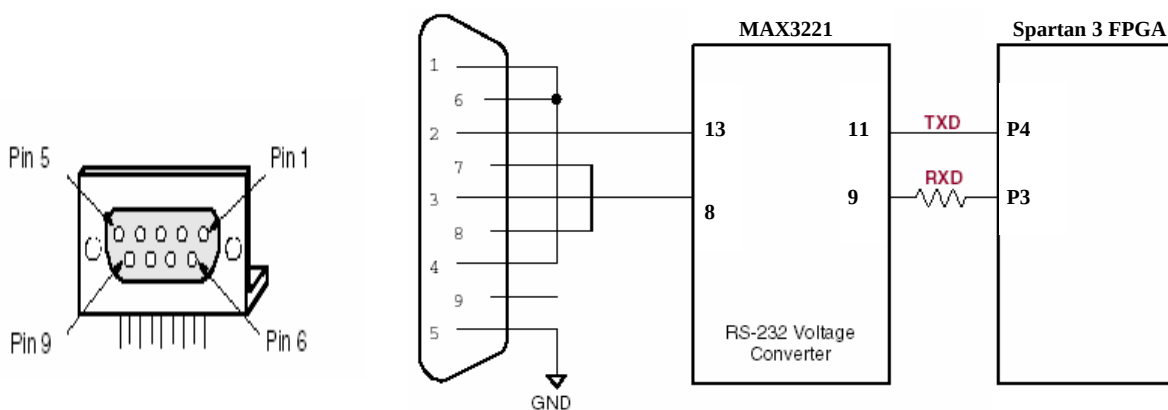
MAX3221 Pin	Connection
1 (EN)	GND
2 (C1+)	C1-
3 (V+)	GND
4 (C1-)	C1+
5 (C2+)	C2-
6 (C2-)	C2+
7 (V-)	GND
8 (RIN)	RS232 Pin3
9 (ROUT)	FPGA P16 (IO_109)
10 (INVALID)	NC
11 (ON)	FPGA P18 (IO_108)
12 (FORCEON)	GND
13 (DOUT)	RS232 Pin2
14 (GND)	GND
15 (VCC)	3.3V
16 (FORCEFF)	3.3V





(2-A) FPGA Jtag 下載的界面(J3) : DB25 公座 (稍後在討論)

(2-B) RS232 界面 (J1) :DB9 母座 ,經由 MAXIM 的 [MAX3221CDB](#) (U2) SSOP16 , 連接到 FPGA.



2-2. LED 介面

LED 燈 : D1~D4 為使用者 LED 燈號

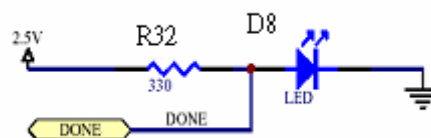
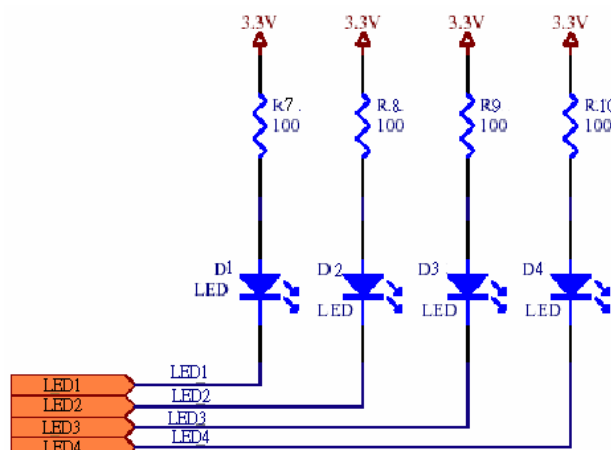
D1: 紅色 LED 燈,

D2: 紅色 LED 燈

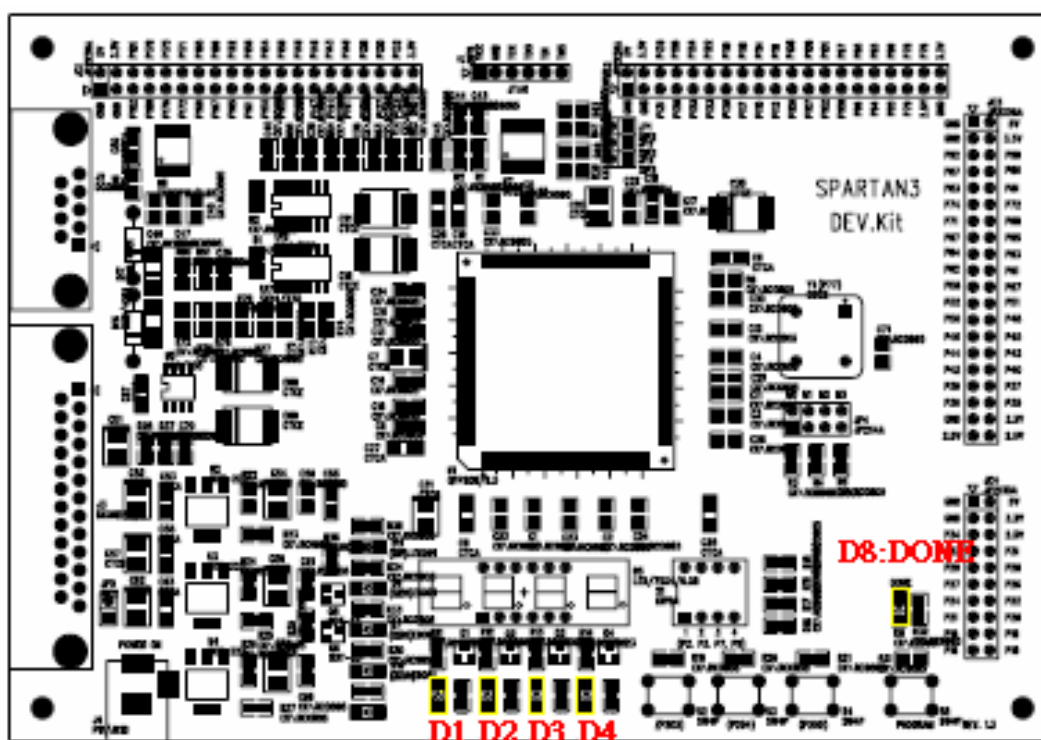
D3: 紅色 LED 燈

D4: 紅色 LED 燈

D8 燈 : D8 為 FPGA Download
成功顯示的燈號.



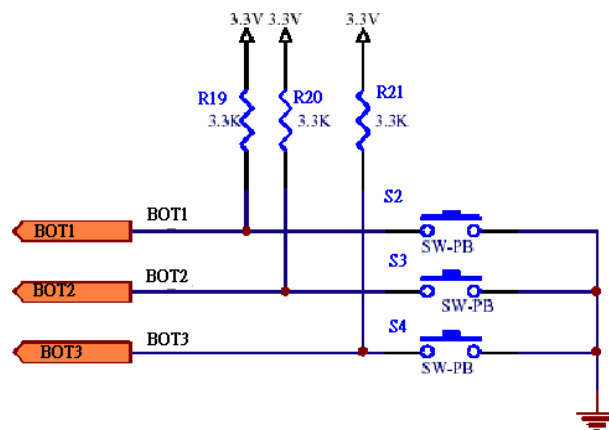
	D8	D1	D2	D3	D4
Symbol	Done pin	LED1	LED2	LED3	LED4
FPGA PIN	P103	P10	P11	P12	P13



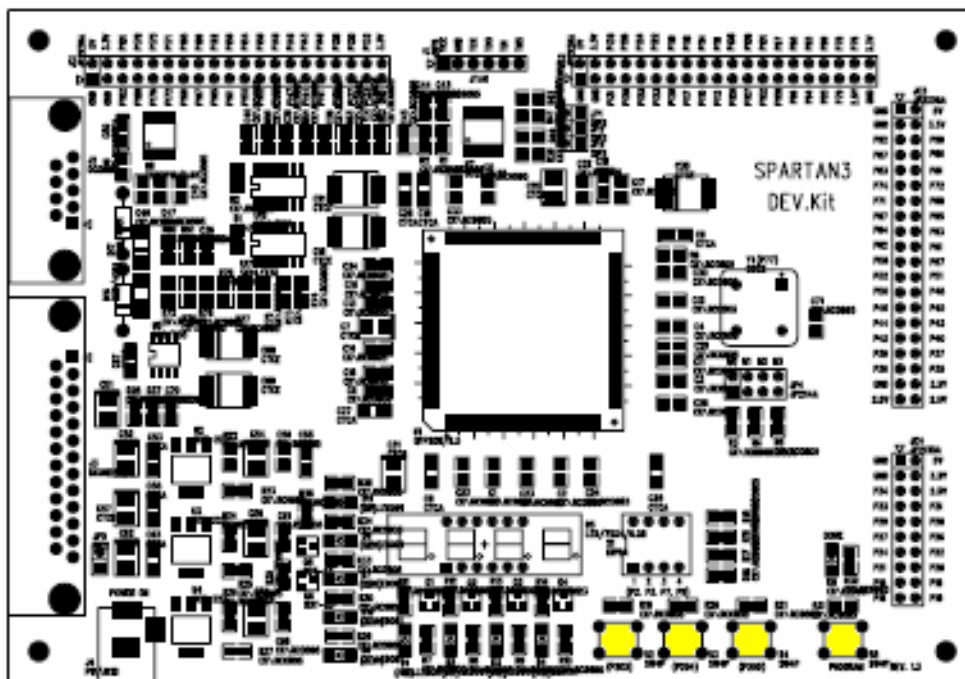
2-3. PUSH_BUTTON 介面

Push Button switch :

S5 : Program pin ,
S2: FPGA P203 ,BOT1
S3: FPGA P204 ,BOT2
S4: FPGA P205 ,BOT3



	S5	S2	S3	S4
Symbol	PROGRAM	BOT1	BOT2	BOT3
FPGA PIN	P207	P203	P204	P205



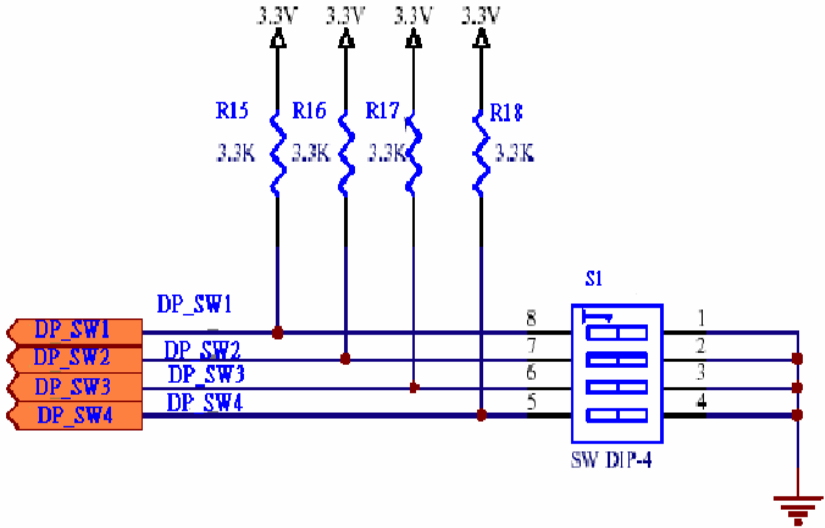
S2 S3 S4 S5



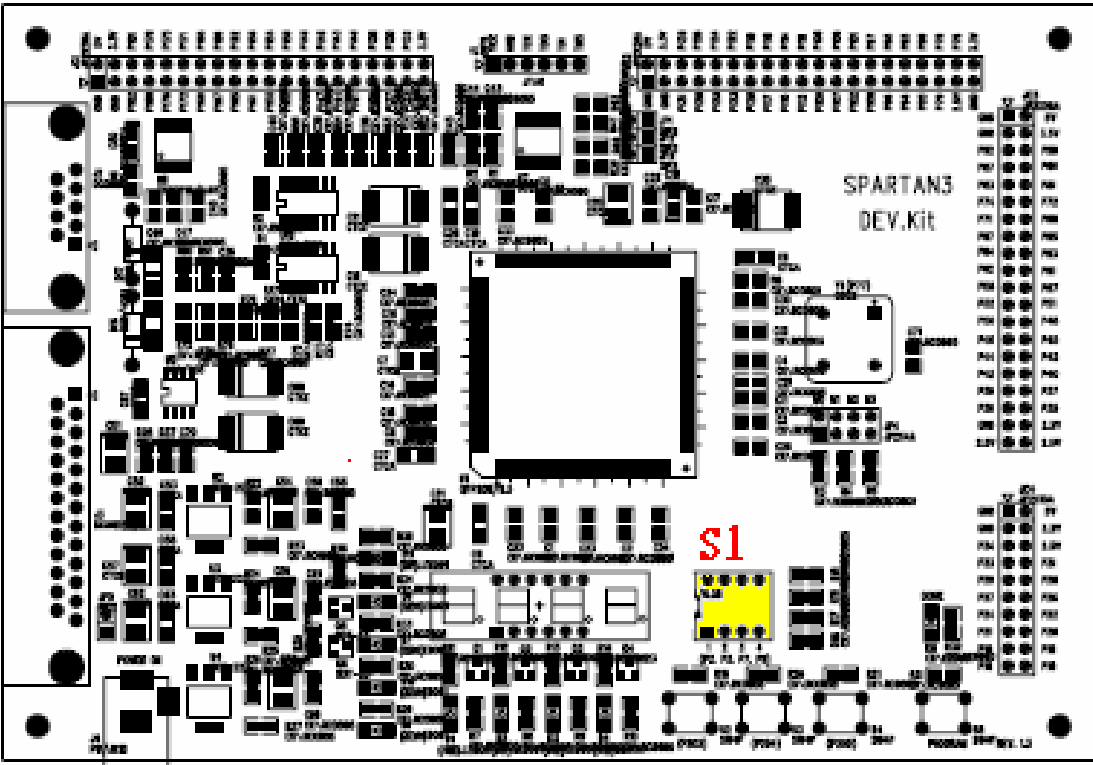
2-4. DIP_SWITCH 介面

DIP_SWITCH :

- S1-1 : DP_SW1
- S1-2 : DP_SW2
- S1-3 : DP_SW3
- S1-4 : DP_SW4



	S1-1	S1-2	S1-3	S1-4
Symbol	DP-SW1	DP-SW2	DP_SW3	DP_SW4
FPGA PIN	P2	P5	P7	P9



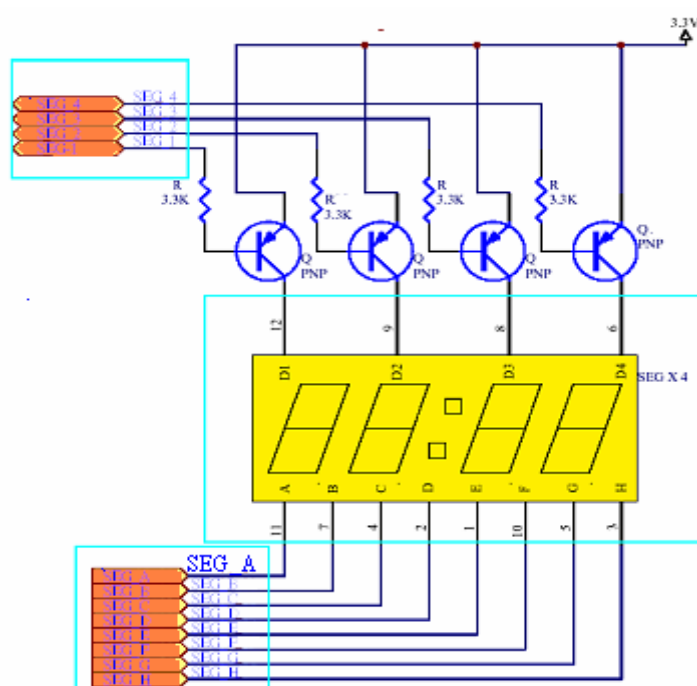
2-5. 7_SEGMENT 介面

SEG x4 pin	D1	D2	D3	D4	A	B	C	D	E	F	G	H
SYMBOL	SEG_1	SEG_2	SEG_3	SEG_4	SEG_A	SEG_B	SEG_C	SEG_D	SEG_E	SEG_F	SEG_G	SEG_H
SEG x4 Pin No	Pin 12	Pin 9	Pin 8	Pin 6	Pin 11	Pin 7	Pin 4	Pin 2	Pin 1	Pin 10	Pin 5	Pin 3
FPGA pin	P183	P184	P185	P187	P189	P190	P191	P194	P196	P197	P198	P199

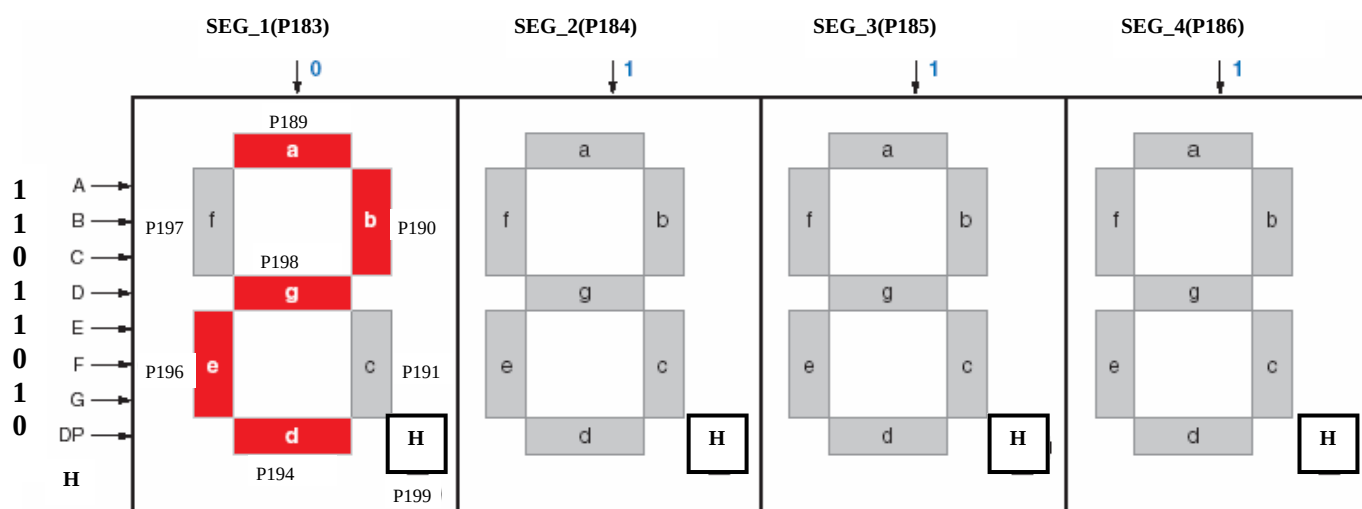
Seven Segment :

SEG_4: DIGIT_4
 SEG_3: DIGIT_3
 SEG_2: DIGIT_2
 SEG_1 : DIGIT_1

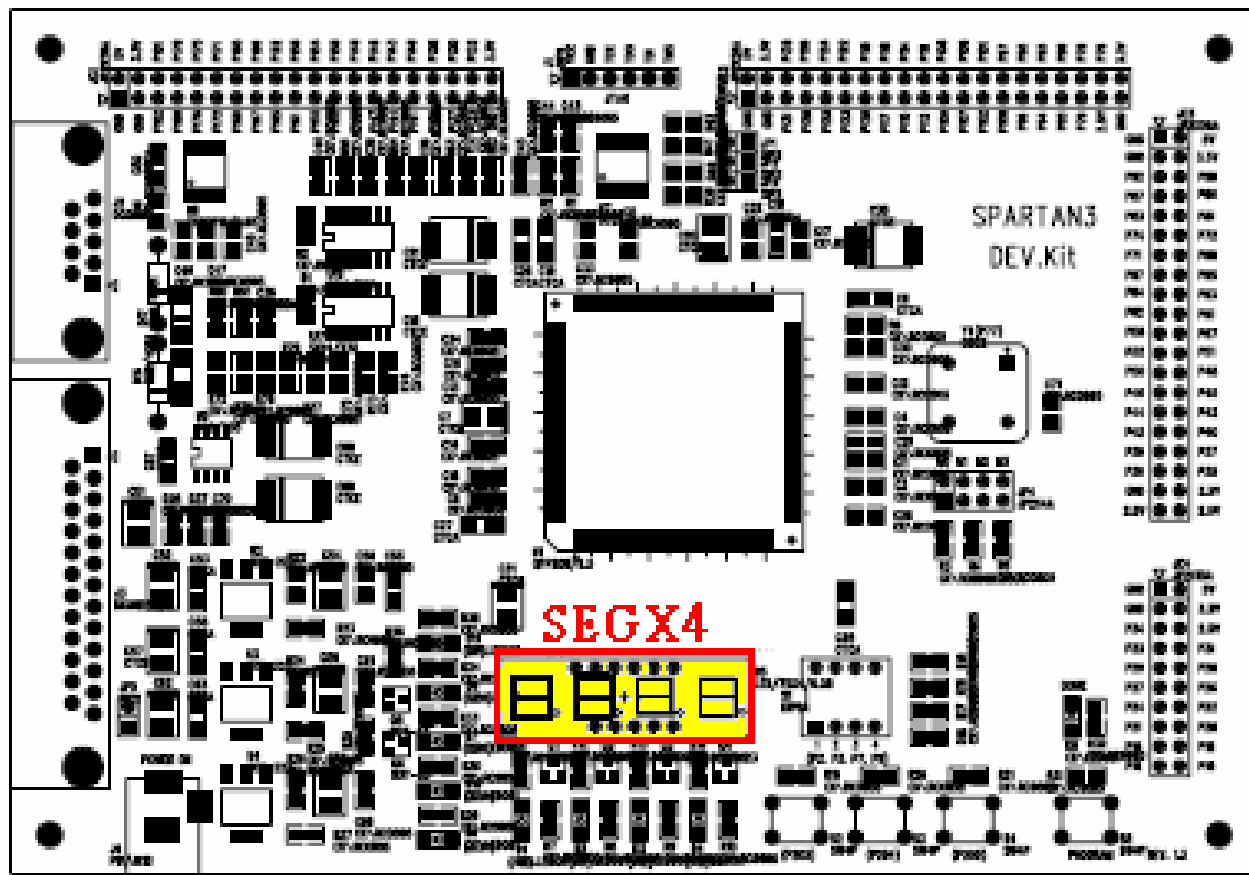
SEG_A : 7_SEGEMNT_A
 SEG_B : 7_SEGMENT_B
 SEG_C : 7_SEGMENT_C
 SEG_D : 7_SEGMENT_D
 SEG_E : 7_SEGMENT_E
 SEG_F : 7_SEGMENT_F
 SEG_G : 7_SEGMENT_G
 SEG_H : 7_SEGMENT_H



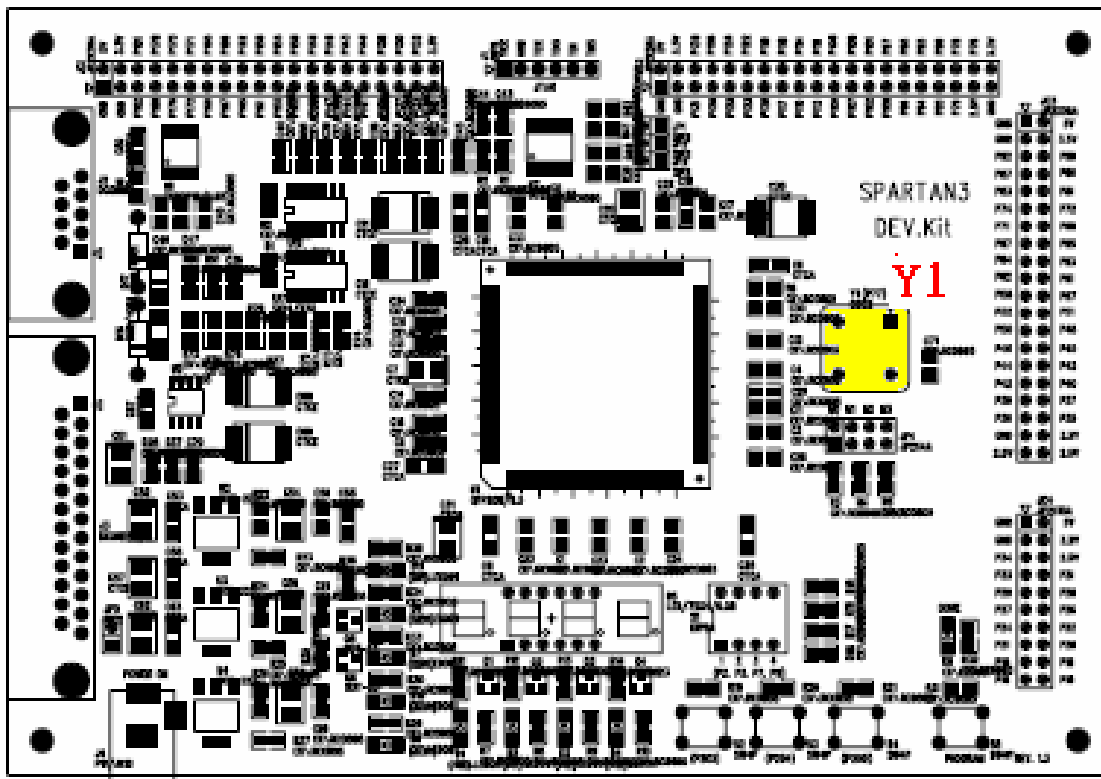
Example : 如果需要顯示 2 這個數字



2-5. 7_SEGMENT 介面



3-1. CLOCK



40 Mhz Oscillator (Y1)

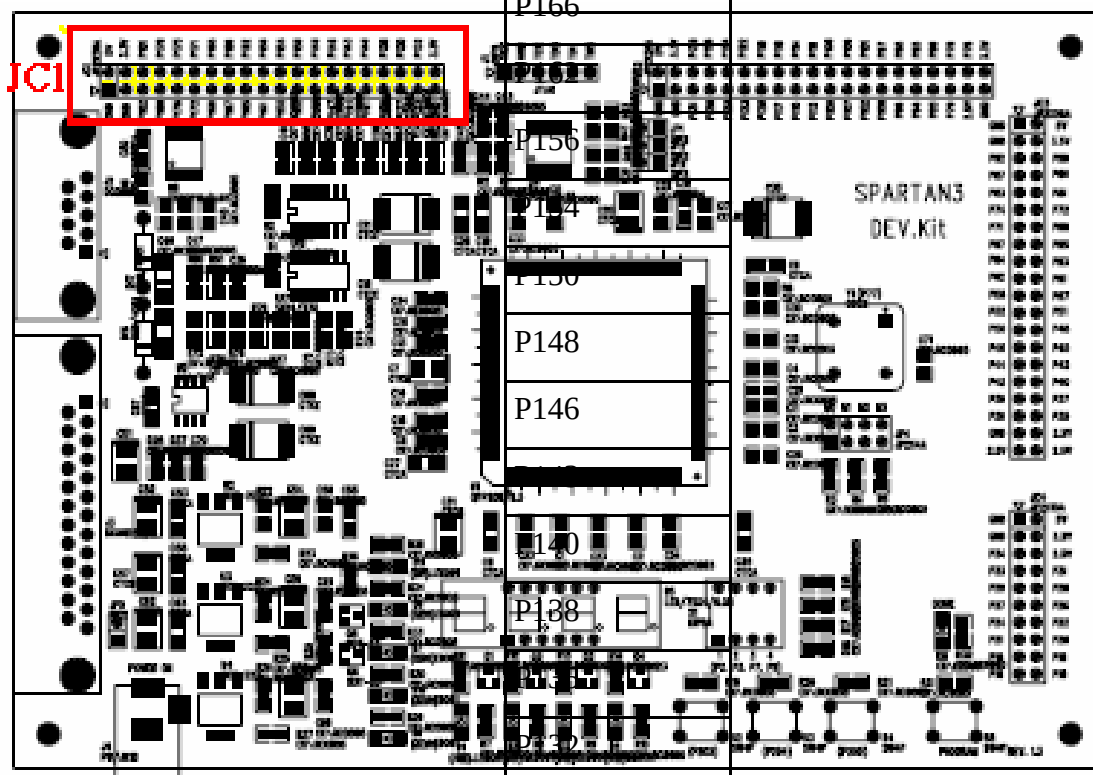
提供 FPGA 的 clock 來源，
接 FPGA 的 P77 腳位。



4-1.

JC1 提供使用者擴充的接頭,其相對位置如下圖所示,第 JC1 的定義如下表所示.

功能的接頭之用,JC1 為 20X2 一腳位於 JC1 的左下角,而

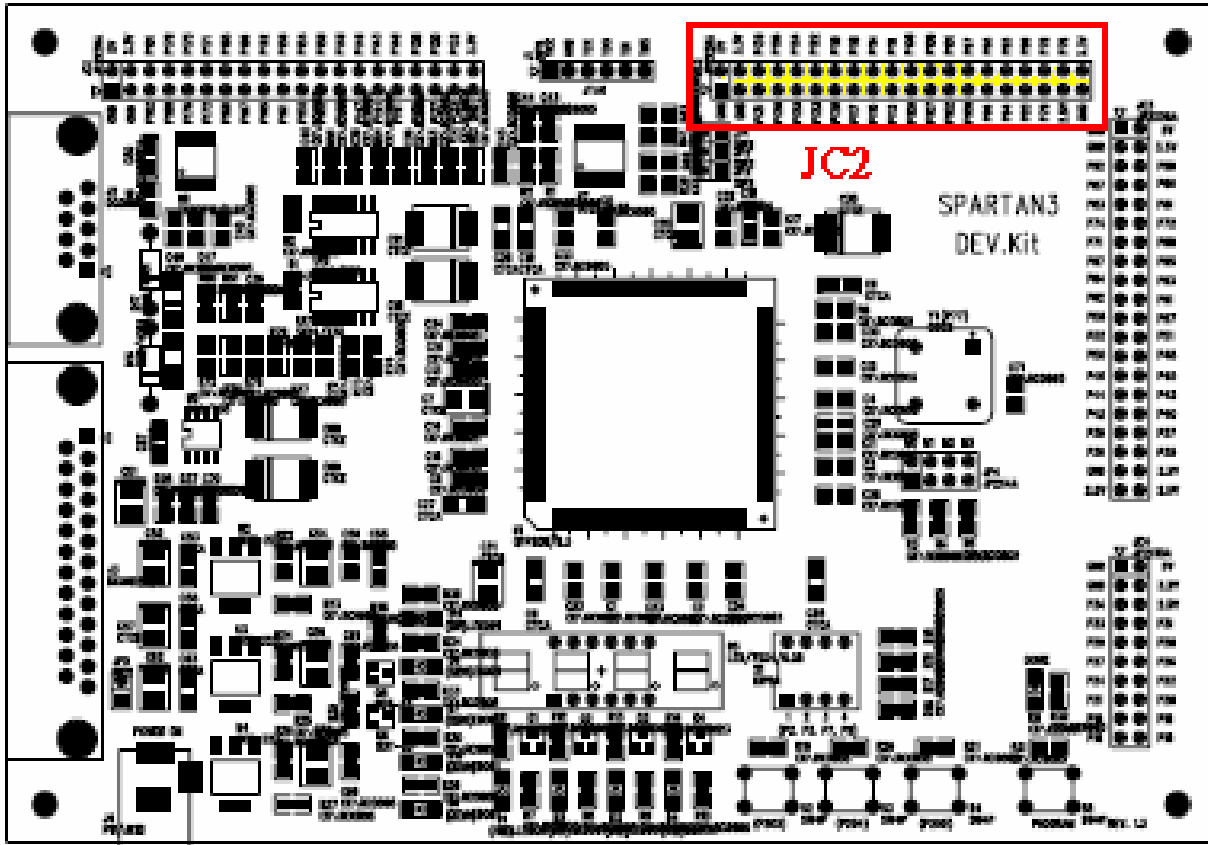


4-1. USER_CONNECTOR : JC1

JC1	SYMBOL	FPGA_PIN	JC1	SYMBOL	FPGA_PIN
1	GND		2	+5V	
3	GND		4	+3.3V	
5	P182	P182	6	P181	P181
7	P180	P180	8	P178	P178
9	P176	P176	10	P175	P175
11	P172	P172	12	P171	P171
13	P169	P169	14	P168	P168
15	P167	P167	16	P166	P166
17	P165	P165	18	P162	P162
19	P161	P161	20	P156	P156
21	P155	P155	22	P154	P154
23	P152	P152	24	P150	P150
25	P149	P149	26	P148	P148
27	P147	P147	28	P146	P146
29	P144	P144	30	P143	P143
31	P141	P141	32	P140	P140
33	P139	P139	34	P138	P138
35	P137	P137	36	P135	P135
37	P133	P133	38	P132	P132
39	GND		40	+3.3V	

4-2. USER_CONNECTOR : JC2

JC2 提供使用者擴充功能的接頭之用, JC2 為 20X2 的接頭, 其相對位置如下圖所示, 第一腳位於 JC2 的左下角, 而 JC2 的定義如下表所示.

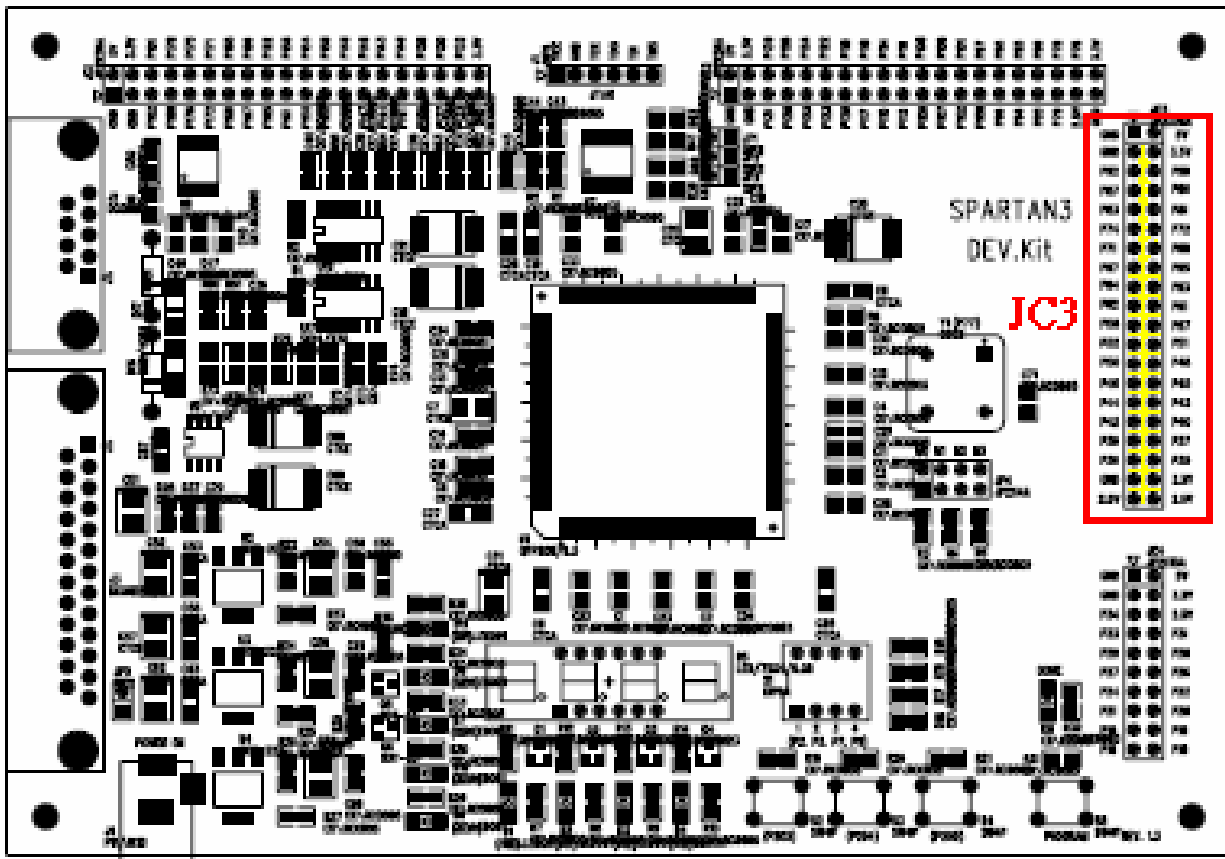


4-2. USER_CONNECTOR : JC2

JC2	SYMBOL	FPGA_PIN	JC2	SYMBOL	FPGA_PIN
1	GND		2	+5V	
3	GND		4	+3.3V	
5	P131	P131	6	P130	P130
7	P128	P128	8	P126	P126
9	P125	P125	10	P124	P124
11	P123	P123	12	P122	P122
13	P120	P120	14	P119	P119
15	P117	P117	16	P116	P116
17	P115	P115	18	P114	P114
19	P113	P113	20	P111	P111
21	P109	P109	22	P108	P108
23	P107	P107	24	P106	P106
25	P102	P102	26	P101	P101
27	P100	P100	28	P97	P97
29	P96	P96	30	P95	P95
31	P94	P94	32	P93	P93
33	P85	P85	34	P80	P80
35	P79	P79	36	P78	P78
37	+2.5V	+2.5V	38	P76	P76
39	GND		40	+3.3V	

4-3. USER_CONNECTOR : JC3

JC3 提供使用者擴充功能的接頭之用,JC3 為 20X2 的接頭,其相對位置如下圖所示,第一腳位於 JC3 的左上角,而 JC3 的定義如下表所示.

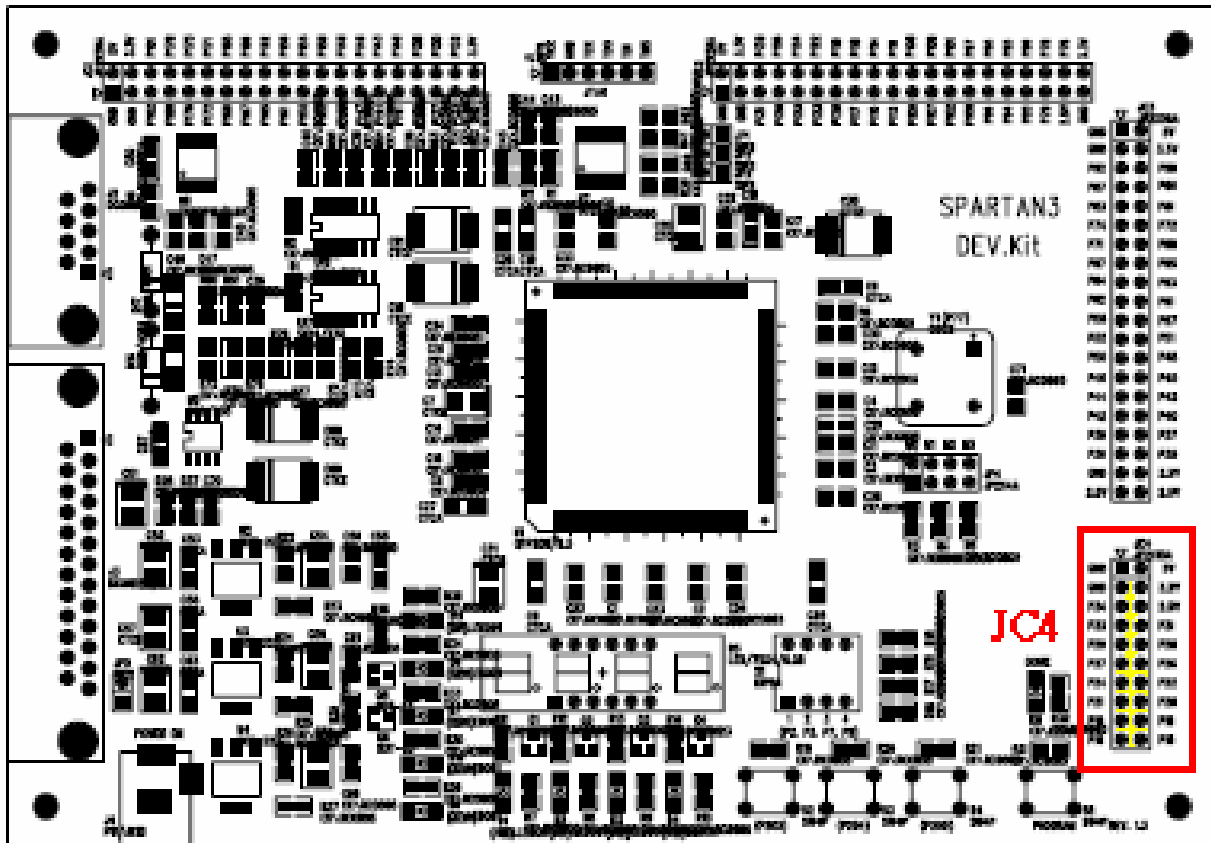


4-3. USER_CONNECTOR : JC3

JC3	SYMBOL	FPGA_PIN	JC3	SYMBOL	FPGA_PIN
1	GND		2	+5V	
3	GND		4	+3.3V	
5	P92	P92	6	P90	P90
7	P87	P87	8	P86	P86
9	P83	P83	10	P81	P81
11	P74	P74	12	P72	P72
13	P71	P71	14	P68	P68
15	P67	P67	16	P65	P65
17	P64	P64	18	P63	P63
19	P62	P62	20	P61	P61
21	P58	P58	22	P57	P57
23	P52	P52	24	P51	P51
25	P50	P50	26	P48	P48
27	P46	P46	28	P45	P45
29	P44	P44	30	P43	P43
31	P42	P42	32	P40	P40
33	P39	P39	34	P37	P37
35	P36	P36	36	P35	P35
37	GND	GND	38	+3.3V	
39	+2.5V	+2.5V	40	+2.5V	

4-4. USER_CONNECTOR : JC4

JC4 提供使用者擴充功能的接頭之用,JC4 為 10X2 的接頭,其相對位置如下圖所示,第一腳位於 JC4 的左上角,而 JC4 的定義如下表所示.



4-4. USER_CONNECTOR : JC4

JC4	SYMBOL	FPGA_PIN	JC4	SYMBOL	FPGA_PIN
1	GND		2	+5V	
3	GND		4	+3.3V	
5	P34	P34	6	+2.5V	
7	P33	P33	8	P31	P31
9	P29	P29	10	P28	P28
11	P27	P27	12	P26	P26
13	P24	P24	14	P22	P22
15	P21	P21	16	P20	P20
17	P19	P19	18	P18	P18
19	P16	P16	20	P15	P15

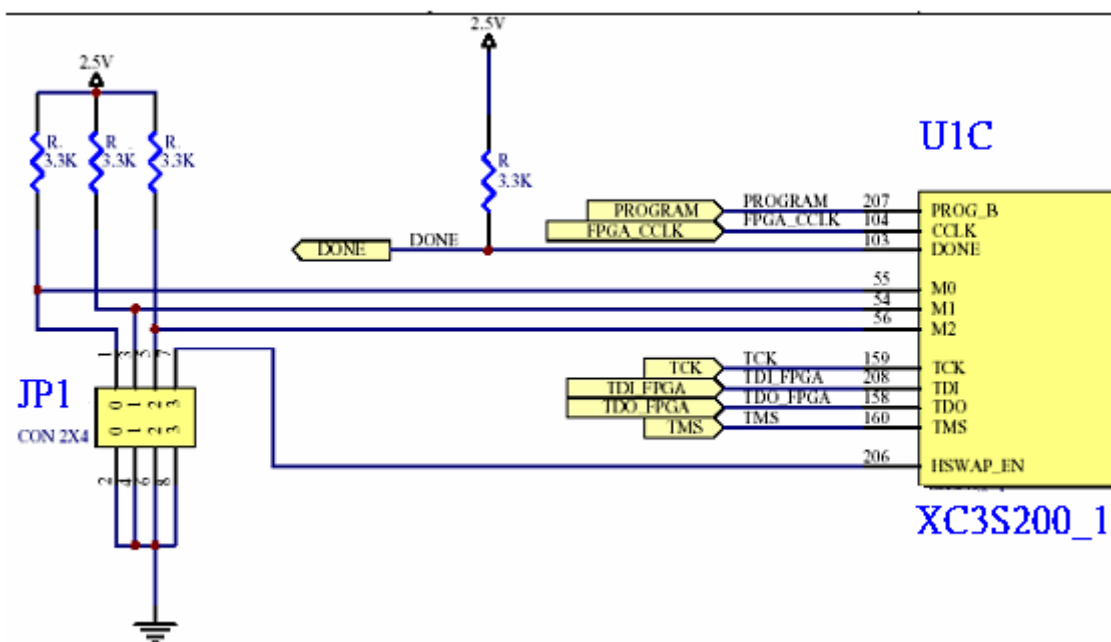
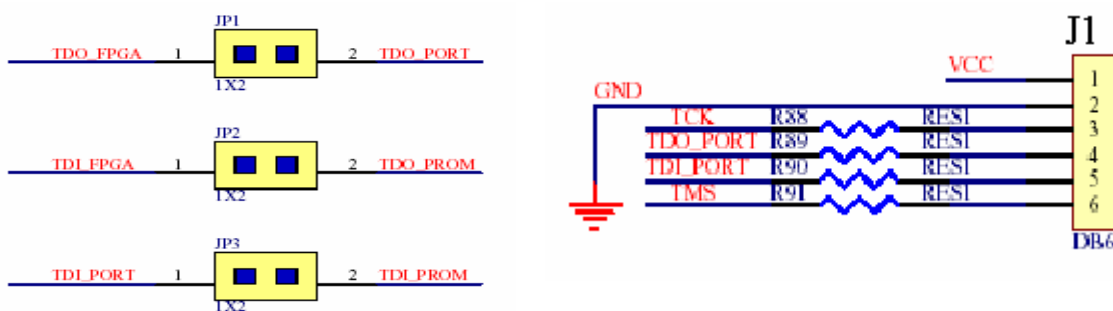
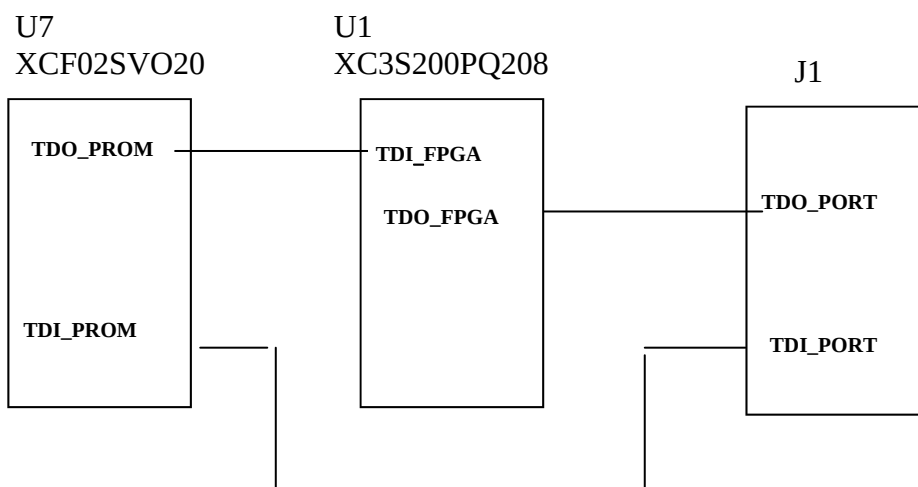
4-1. DOWNLOAD



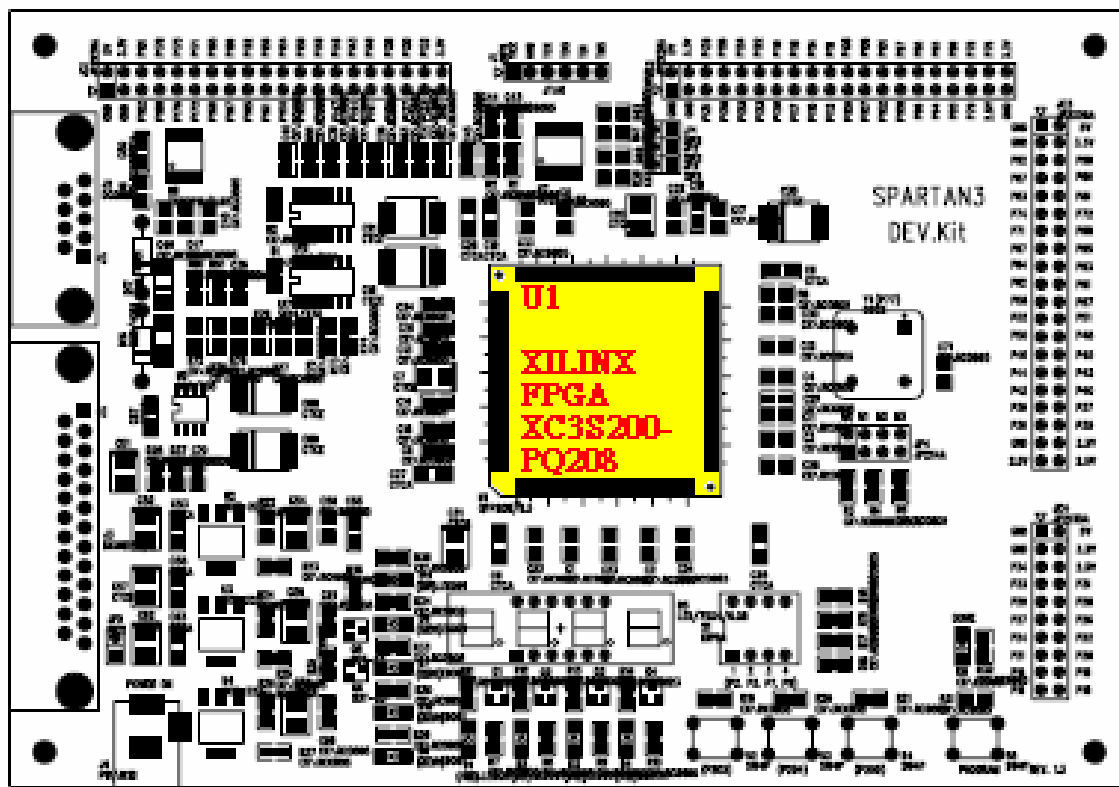
本實驗板有 7 種 download 的方式：

Download 界面	Download Mode	M0/M1/M2 (JP4) 設定	Config device	JP1/JP2/JP3 設定
J 1	JTAG	101 open : close:open	Prom , FPGA	Close :close : close
J 1	JTAG	101 open : close:open	FPGA	JP1 close: TDI_PORT 連接 TDI_FPGA
J1	JTAG	101 open : close:open	Prom	JP3 Close : TDO_PORT 連接 TDO_PROM
J 9	JTAG	101 open : close:open	Prom ,FPGA	Close :close : close
J 9	JTAG	101 open : close:open	FPGA	JP1 close: TDI_PORT 連接 TDI_FPGA
J9	JTAG	101 open : close:open	Prom	JP3 Close : TDO_PORT 連接 TDO_PROM
Prom 到 FPGA	Master Series	000 close : close:close	FPGA	Close :close : close

Download 電路：



6-1. XILINX FPGA



FPGA(U1) : 20 萬邏輯閘的 Xilinx Spartan-3 XC3S200 FPGA 包裝為 PQFP 208 隻腳位 (XC3S400PQ208)內含 12 個 18K-bit 的 Block RAMs (共 216K bits) , 12 個 18x18 硬體乘法器 ,4 個 Digital Clock Managers (DCMs) ,141 個 可用腳位 .

FPGA pin No	FPGA pin Name	Layout Name	Device	Device pin no	Device Pin name
1	GND				
2	DCI	DP_SW1	SW_DIP4	S-1	S1-1
3	DCI	RXD	MAX3221	11	ON
4	VREF	TXD	MAX3221	9	ROUT
5	I/O	DP_SW2	SW_DIP4	S1-2	S1-2
6	VCC				
7	I/O	DP_SW3	SW_DIP4	S1-3	S1-3
8	GND				
9	I/O	DP_SW4	SW_DIP4	S1-4	S1-4
10	I/O	LED1	LED1	LED1-2	LED1-2
11	I/O	LED2	LED2	LED2-2	LED2-2
12	I/O	LED3	LED3	LED3-4	LED3-3
13	I/O	LED4	LED4	LED4-4	LED4-4
14	GND				
15	I/O	P15	JC4	JC4-20	P15
16	I/O	P16	JC4	JC4-19	P16
17	VCCAUX				
18	I/O	P18	JC4	JC4-18	P18
19	I/O	P19	JC4	JC4-17	P19
20	I/O	P20	JC4	JC4-16	P20
21	I/O	P21	JC4	JC4-15	P21
22	I/O	P22	JC4	JC4-14	P22
23	VCC				
24	VREF	P24	JC4	JC4-13	DQ15
25	GND				
26	I/O	P26	JC4	JC4-12	P26
27	VREF	P27	JC4	JC4-11	P27
28	VREF	P28	JC4	JC4-10	P28
29	I/O	P29	JC4	JC4-9	P29
30	GND				
31	I/O	P31	JC4	JC4-8	P31
32	VCC				
33	I/O	P33	JC4	JC4-7	P33
34	I/O	P34	JC4	JC4-5	P34
35	VREF	P35	JC3	JC3-36	P35
36	I/O	P36	JC3	JC3-35	P36
37	I/O	P37	JC3	JC3-34	P37
38	VCCAUX				
39	I/O	P39	JC3	JC4-33	P39

FPGA pin No	FPGA pin Name	Layout Name	Device	Device pin no	Device Pin name
40	I/O	P40	JC3	JC3-32	P40
41	GND				
42	I/O	P42	JC3	JC3-31	P42
43	I/O	P43	JC3	JC3-30	P43
44	I/O	P44	JC3	JC3-29	P44
45	I/O	P45	JC3	JC3-28	P45
46	I/O	P46	JC3	JC3-27	P46
47	GND				
48	I/O	P48	JC3	JC3-26	P48
49	VCC				
50	VREF	P50	JC3	JC3-25	P50
51	DCI	P51	JC3	JC3-24	P51
52	DCI	P52	JC3	JC3-23	P52
53	GND				
54	M1	P54	JP1	JP1-0	M0
55	M0	P55	JP1	JP1-1	M1
56	M2	P56	JP1	JP1-2	M2
57	DUAL	P57	JC3	JC3-22	P57
58	DAUL	P58	JC3	JC3-21	P58
59	GND				
60	VCC				
61	DCI	P61	JC3	JC3-20	P61
62	DCI	P62	JC3	JC3-19	P62
63	I/O	P63	JC3	JC3-18	P63
64	I/O	P64	JC3	JC3-17	P64
65	VREF	P65	JC3	JC3-16	P65
66	GND				
67	DUAL	P67	JC3	JC3-15	P67
68	DUAL	P68	JC3	JC3-14	P68
69	VCCAUX				
70	VCCINT				
71	I/O	P71	JC3	JC3-13	P71
72	VREF	P72	JC3	JC3-12	P72
73	VCC				
74	DAUL	P74	JC3	JC3-11	P74
75	GND				
76	GCLK	P76	JC2	JC2-38	P76
77	GCLK	EGCLK	Y1	Y1-3	EGCLK
78	DAUL	P78	JC2	JC2-26	P78

FPGA pin No	FPGA pin Name	Layout Name	Device	Device pin no	Device Pin name
79	DUAL	P79	JC2	JC2-35	P79
80	DUAL	P80	JC2	JC2-34	P80
81	DUAL	P82	JC3	JC3-10	P81
82	GND				
83	DAUL	P83	JC3	JC3-9	P83
84	VCC				
85	DAUL	P84	JC2	JC2-33	P85
86	DAUL	P86	JC3	JC3-8	P86
87	GCLK	P87	JC3	JC3-7	P87
88	VCCINT				
89	VCCAUX				
90	GCLK	P90	JC3	JC3-6	P90
91	GND				
92	VREF	P90	JC3	JC3-5	P92
93	I/O	P93	JC2	JC2-32	P93
94	I/O	P94	JC2	JC2-31	P94
95	I/O	P95	JC2	JC2-30	P95
96	VREF	P96	JC2	JC2-29	P96
97	I/O	P97	JC2	JC2-28	P97
98	VCC				
99	GND				
100	DCI	P100	JC2	JC2-27	P100
101	DCI	P101	JC2	JC2-26	P101
102	VREF	P102	JC2	JC2-25	P102
103	DONE	DONE			
104	CCLK	FPGA_CCLK	U7	CLK	FPGA_CCLK
105	GND				
106	DCI	P106	JC2	JC2-24	P106
107	DCI	P107	JC2	JC2-23	P107
108	VREF	P108	JC2	JC2-22	P108
109	I/O	P109	JC2	JC2-21	P109
110	VCC				
111	I/O	P111	JC2	JC2-20	P111
112	GND				
113	I/O	P113	JC2	JC2-19	P113
114	I/O	P114	JC2	JC2-18	P114
115	I/O	P115	JC2	JC2-17	P115
116	I/O	P116	JC2	JC2-16	P116
117	I/O	P117	JC2	JC2-15	P117



FPGA pin No	FPGA pin Name	Layout Name	Device	Device pin no	Device Pin name
118	GND				
119	I/O	P119	JC2	JC2-14	P119
120	I/O	P120	JC2	JC2-13	P120
121	VCCAUX				
122	VREF	P122	JC2	JC2-12	P122
123	I/O	P123	JC2	JC2-11	P123
124	I/O	P124	JC2	JC2-10	P124
125	I/O	P125	JC2	JC2-9	P125
126	I/O	P126	JC2	JC2-8	P126
127	VCC				
128	I/O	P128	JC2	JC2-7	P128
129	GND				
130	I/O	P130	JC2	JC2-6	P130
131	VREF	P131	JC2	JC2-5	P131
132	VREF	P132	JC1	JC1-38	P132
133	I/O	P133	JC1	JC1-37	P133
134	GND				
135	I/O	P135	JC1	JC1-36	P135
136	VCC				
137	I/O	P137	JC1	JC1-35	P137
138	I/O	P138	JC1	JC1-34	P138
139	I/O	P139	JC1	JC1-33	P139
140	I/O	P140	JC1	JC1-32	P140
141	VREF	P141	JC1	JC1-31	P141
142	VCCAUX				
143	I/O	P143	JC1	JC1-30	P143
144	I/O	P144	JC1	JC1-29	P144
145	GND				
146	I/O	P146	JC1	JC1-28	P146
147	I/O	P147	JC1	JC1-27	P147
148	I/O	P148	JC1	JC1-26	P148
149	I/O	P149	JC1	JC1-25	P149
150	I/O	P150	JC1	JC1-24	P150
151	GND				
152	I/O	P152	JC1	JC1-23	P150
153	VCC				
154	VREF	P154	JC1	JC1-22	P154
155	DCI	P155	JC1	JC1-21	P155
156	DCI	P156	JC1	JC1-20	P156



FPGA pin No	FPGA pin Name	Layout Name	Device	Device pin no	Device Pin name
157	GND				
158	TDO	TDO_FPGA			
159	TCK	TCK			
160	TMS	TMS			
161	DCI	P161	JC1	JC1-19	P161
162	DCI	P162	JC1	JC1-18	P162
163	GND				
164	VCC				
165	I/O	P165	JC1	JC1-17	P165
166	VREF	P166	JC1	JC1-16	P166
167	I/O	P167	JC1	JC1-15	P167
168	I/O	P168	JC1	JC1-14	P168
169	I/O	P169	JC1	JC1-13	P169
170	GND				
171	I/O	P171	JC1	JC1-12	P171
172	I/O	P172	JC1	JC1-11	P172
173	VCCAUX				
174	VCCINT				
175	I/O	P175	JC1	JC1-10	P175
176	I/O	P176	JC1	JC1-9	P176
177	VCC				
178	VREF	P178	JC1	JC1-8	P178
179	GND				
180	GCLK	P180	JC1	JC1-7	P180
181	GCLK	P181	JC1	JC1-6	P181
182	I/O	P182	JC1	JC1-5	P182
183	GCLK	SEG_1	SEGX4	12	SEG_1
184	GCLK	SEG_2	SEGX4	9	SEG_2
185	I/O	SEG_3	SEGX4	8	SEG_3
186	GND				
187	I/O	SEG_4	SEGX4	6	SEG_4
188	VCC				
189	I/O	SEG-A	SEGX4	11	SEG_A
190	I/O	SEG_B	SEGX4	7	SEG_B
191	I/O	SEG_C	SEGX4	4	SEG_C
192	VCCINT				
193	VCCAUX				
194	I/O	SEG_D	SEGX4	2	SEG_D
195	GND				

FPGA pin No	FPGA pin Name	Layout Name	Device	Device pin no	Device Pin name
196	I/O	SEG_E	SEGX4	1	SEG_E
197	I/O	SEG_F	SEGX4	10	SEG_F
198	I/O	SEG_G	SEGX4	5	SEG_G
199	I/O	SEG_H	SEGX4	3	SEG_H
200	VREF	SEG_DOG			SEG_DOG
201	VCC				
202	GND				
203	DCI	BOT1	S2	S2-2	BOT1
204	DCI	BOT2	S3	S3-2	BOT2
205	VREF	BOT3	S4	S4-2	BOT3
206	HWWAP_EN				
207	PROG_B	PROGRAM	S5	S5-2	PROGRAM
208	TDI	TDI_FPGA			