



Sealion (海狮) 2000 系列 FPGA

数据手册

西安智多晶微电子有限公司 XIAN Intelligent Silicon Technology
西安市高新区科技二路 72 号西安软件园西岳阁 102 室 邮编 710075
<http://www.isilicontech.com>



文档修订历史

日期	版本	修订内容
2018.11	1.0	首次发布。
2019.04	1.1	增加 25K 213uBGA 封装规格。
2020.01	1.2	增加 5K、7K 产品资料。
2020.09	1.3	增加 5K 84QFN, 100QFP, 144QFP 封装规格, 增加 PLL 的特性。
2020/09	1.4	增加 DC, AC 特性, carry-chain, SDR, DDR2 DRAM 速度
2020/11	1.5	1. 增加 SDR, DDR2 SDRAM 特性, 概述和设计使用。 2. 修正封装规格与器件编码说明。 3. 修正表 1-1 内容。加器件迁移介绍。 4. 修正图 2-4, 8-1, 8-2 and 8-5
2020/11	1.6	1. Correct mis-typo on 表 1-2 SL2F to SL2E 2. Correct 表 1-3 注#4 工业级, 结温温度: -40°C—100°C 3. Added a speed grade 9



目录

1	概述	1
1.1	特性	2
1.2	器件资源	3
1.3	体系结构	4
2	逻辑单元和逻辑阵列模块.....	5
2.1	逻辑单元	5
2.2	逻辑阵列模块.....	7
3	存储器模块	11
3.1	概述	11
3.2	存储器模式.....	13
3.3	时钟模式	18
3.4	设计考量	19
4	嵌入式乘法器	20
4.1	嵌入式乘法器模块概述	20
4.2	体系结构	20
4.3	操作模式	22
5	时钟网络与 PLL.....	24
5.1	时钟网络	24
5.2	PLL.....	26
5.3	PLL 硬件概述	27
5.4	硬件特性	27
6	I/O 特性.....	29
6.1	I/O 单元	29
6.2	I/O 单元特性	30
6.3	I/O 标准	32
6.4	I/O 模块 (BANK)	33
6.5	高速 I/O 接口	34
7	I/O 逻辑特性.....	39
7.1	输入寄存器模块.....	39
7.2	输出寄存器模块.....	39
8	器件编程	40
8.1	概述	40
8.2	配置模式及接口	40
8.3	其他	44
9	内置同步 DRAM (SDRAM).....	47
9.1	内置单沿同步 SDRAM (SINGLE DATA RATE SDRAM)	47



9.2	内置双沿同步 SDSRAM (DOUBLE DATA RATEII-DDR2 SDRAM).....	50
10	直流电气特性	54
10.1	器件允许的极限工作条件.....	54
10.2	推荐工作范围.....	54
10.3	热插拔电气参数.....	54
10.4	直流特性.....	54
10.5	静态电流.....	55
10.6	编程与擦除电流.....	55
10.7	ESD, LATCHUP	56
10.8	IOB 单端直流特性	57
10.9	IO 差分直流特性	58
10.10	BLVDS 直流特性.....	58
10.11	LVPECL 直流特性	58
10.12	MIPI 直流特性	59
11	交流电气特性	60
11.1	PLL 交流电气特性	60
11.2	时钟交流特性.....	60
11.3	内部串并/并串时序参数.....	61
11.4	片内晶振输出频率	61
11.5	JTAG 模式配置时序图与时序参数.....	61
11.6	SRC(SELF REFRESH CONFIGURATION)模式配置时序图与时序参数.....	62
11.7	SSPI 模式配置时序图与时序参数.....	62
11.8	MSPI 模式配置时序图与时序参数	63
11.9	嵌入式 FLASH	63
12	器件编号说明	64



1 概述

西安智多晶微电子有限公司的 Sealion(海狮)2000 系列 FPGA 器件(下称“本系列 FPGA”), 建立在一个优化的低功耗工艺基础之上, 并提供最低的功耗, 通过最低的成本实现较高的功能性。本系列 FPGA 器件旨在用于大批量、成本敏感的应用, 使系统设计师在降低成本的同时又能够满足不断增长的应用要求, 在低成本、低功耗 FPGA 市场处于领导地位。对无线、有线、广播、工业用户以及通信等行业中的低成本的小型应用, 本 FPGA 无疑是最理想的选择。



1.1 特性

本系列 FPGA 具有以下特性：

丰富的逻辑资源

- 共有四种规模可选，分别是 5K、7K、12K、25K

低功耗

- 优化的低功耗 55nm 工艺
- 核电压 1.2V 或 3.3V
- 设计上支持通过移位寄存器来实现数字信号 (DSP) 应用，从而节省很优化了嵌入式存储器模块的电源管理以降低静态功耗
- 对大量丰富的并行处理资源的应用进行了重点优化
- 多逻辑单元以及布线资源

高性能可编程逻辑单元

- 采用 LUT4 查找表
- 可高达 98% 的资源利用率
- 对逻辑单元操作模式的性能进行了优化，例如可创建算术模式，用于实现加法器、计数器、累加器和比较器。

内置硬核 DSP

- 内置多个 $18 \times 18/9 \times 9$ 可串行乘法器以及算数逻辑单元 (ALU)，可做两层叠加实现 DSP 处理密集型应用

内置 Flash(SL2E-5E、SL2E-7E/V)

- 无须外部配置电路
- 支持快速上电启动

支持分布式和嵌入式存储

- 嵌入块存储容量为 9Kbits, 可配置成单端口、伪双端口、真双端口以及 FIFO 缓冲器或者 ROM，通过配置可实现多种数据宽度
- 最大支持 865Kbits 分布式存储器

丰富的时钟资源

- 最大频率 $F_{max}=400\text{MHz}$
- 最多可提供 16 个全局时钟，其中 8 个可以复用为高扇出网络

- 提供多达 12 个专用时钟输入引脚
- 内置锁相环 (PLL) 和延时锁相环 (DLL)，提供倍频、分频、相位转移等系统时钟功能

灵活强大的 I/O 单元

- 最高可达到 336 个有效用户 I/O
- 具备 7:1 Video 接口电路，最高发送速率可达 840Mbps，接收速率可达 875Mbps
- 支持 400Mbps DDR2 SDRAM 接口
- 输入输出支持 3.3/2.5/1.8/1.5/1.2V 电压
- 支持 MIPI，接口速率高达 1.2Gbps
- I/O 支持标准单端，差分，伪双端包括 LVTTTL、LVCMOS、SSTL、HSTL、PCI、LVDS、BLVDS、mini-LVDS、RSDS
- 可配置上拉下拉模式
- 支持热插拔

配置模式

- 主模式 AS
- 从模式 PS
- JTAG
- 配置过程支持 SED/SEC 单/多比特流检测及校验
- 配置过程支持多比特流加载，可在第一个程序文件加载失败后，自动跳到 Golden 区域加载第二个程序文件

安全

- 支持 256 比特 AES 比特流加密及压缩 (SL2E-5E、SL2E-7V)
- BSCAN
- 兼容 IEEE1149.1

封装

- WLCSP/BGA/QFN/QFP
- 支持器件密度迁移(devices migratable)

内置 SDRAM

- 64Mbit SDR SDRAM，最大工作频率 $F_{max}=166\text{MHz}$
- 512Mbit DDR2 SDRAM，最大工作频率 $F_{max}=200\text{MHz}$

1.2 器件资源

表 1-1 Sealion (海狮) 2000 系列器件资源

片上资源种类		SL2E-5 E	SL2E-7 E/V	SL2-12 E/V	SL2S-12 E/V	SL2-25 E/V	SL2S-25 E/V	SL2D-25 E/V
逻辑单元		5040	6864	12032	12032	24992	24992	24992
分布式存储器		40	55	96	96	200	200	200
嵌入式存储器(Kbits)		108	234	432	432	864	864	864
嵌入式存储器单元数 (9kbits/单元)		12	26	48	48	96	96	96
嵌入式 18×18 乘法器(注 2)		16	-	20	20	32	32	32
通用 PLL+DLL 数量		2+2	2+2	2+2	2+2	2+2	2+2	2+2
全局时钟网络(注 3)		16	16	8+8	8+8	16	16	16
用户 I/O 模块		6	6	8	8	8	8	8
最大用户 I/O(注 1)		199	335	186	140	242	186	186
最大真差分(LVDS)输出(注 1)		13	21	14	14	22	22	22
核心工作电压(注 5)		1.2V	1.2/3.3V	1.2/3.3V	1.2/3.3V	1.2/3.3V	1.2/3.3V	1.2/3.3V
芯片等级(注 4)		C/I	C/I	C/I	C/I	C/I	C/I	C/I
封装规格		I/O 数						
W81	81 WLCSP (3.6 x 3.6mm, 0.4mm)	55	-	-	-	-	-	-
N84	84 QFN (7 x 7mm, 0.5mm)	66	-	-	-	-	-	-
N96	96 QFN (10 x 10mm, 0.35mm)	-	-	71	-	-	-	69
E100	100 eLQFP (14 x 14mm, 0.5mm)	76	-	-	-	-	-	-
M121	121 mBGA (6 x 6mm, 0.5mm)	92	-	-	-	-	-	-
E144	144 eLQFP (20 x 20mm, 0.5mm)	111	111	-	-	-	-	-
E176	176 eLQFP (20 x 20mm, 0.4mm)	-	-	-	127	-	127	127
EA176	176 eLQFP (20 x 20mm, 0.4mm)	-	-	-	140	-	-	-
U213	213 uBGA (12 x 12mm, 0.8mm)	-	-	-	-	-	164	164
F256	256 fBGA (17 x 17mm, 1.0mm)	-	-	186	-	186	-	-
U256	256 uBGA (14 x 14mm, 0.8mm)	-	206	-	-	-	-	-
U324	324 uBGA (15 x 15mm, 0.8mm)	-	-	-	-	242	-	-
U332	332 uBGA (15 x 15mm, 0.8mm)	-	280	-	-	-	-	-
U400	400 uBGA (17 x 17mm, 0.8mm)	-	335	-	-	-	-	-

【注】

- 管脚列表文件中的用户 I/O 管脚包括所有的通用 I/O 管脚、专用时钟管脚以及两用配置管脚。收发器管脚和专用配置管脚不包括在这一管脚列表中。每对 I/O 都存在真差分输入。
- 嵌入式 18×18 乘法器均为 DSP 硬核，可做乘法器兼累加器。
- 16 个全局时钟均包含 8 个主时钟及 8 个次时钟。
- 等级：C：商业级，结温温度：0℃—85℃
I：工业级，结温温度：-40℃—100℃

1.3 体系结构

本系列 FPGA 的核心构架由四输入查找表(LUTs)、逻辑单元存储器模块以及乘法器构成。嵌入式存储器模块具有 9Kbit 的 SRAM 存储器。可以把嵌入式存储器模块配置成单端口、伪双端口、真双端口 RAM 以及 FIFO 缓冲器或者 ROM, 嵌入式乘法器模块, 可以在单一模块中实现一个 18×18 或两个 9×9 乘法器。本系列 FPGA 器件的 I/O 支持可编程总线保持、可编程上拉电阻、可编程下拉电阻、可编程延迟、可编程驱动能力以及可编程 slew-rate 控制, 以及热插拔的优化。本系列 FPGA 器件同时还支持支持驱动阻抗匹配(R_s)。本系列 FPGA 的器件有 PLL 和 DLL, 以及全局和辅助时钟网络以提供可靠、有效且低偏斜的时钟管理与综合。您可以在 HqFpga 软件中对 PLL 进行重配置时钟频率或者相位。支持 SDR、DDR、DDR2 等接口。接口可能位于器件的一个或多个 I/O 模块 (I/O bank), 以实现更灵活的电路板设计。本系列 FPGA 器件 DDR SDRAM 存储器接口解决方案, 由一个 PHY 接口和一个存储控制器组成。智多晶提供了 PHY 接口 IP, 与顾客定制的存储控制器或智多晶提供的存储控制器一起使用。

Sealion (海狮) 2000 系列 FPGA 支持在同一封装, 同一系列 (如 SL2, SL2E 或 SL2S) 的器件密度迁移 (density migratable)。所谓密度迁移是指在同一系列, 不同大小的器件均可用同一封装, 并指端口一致和拥有同系列的功能。所以用户能利用更大器件资源整合更复杂的设计或为降低成本而用小容量的器件



2 逻辑单元和逻辑阵列模块

2.1 逻辑单元

逻辑单元在 Sealion (海狮) 2000 系列 FPGA 结构中是最小的逻辑单位。逻辑单元紧密且有效的提供了高级功能的逻辑使用。每个逻辑单元有以下特性：

- 一个四口输入的查找表 (LUT)，以实现四种变量的任何功能
- 一个可编程的寄存器
- 可驱动以下的布线连接：
 - 本地
 - 行
 - 列
- 直连
- 寄存器套包
- 寄存器反馈

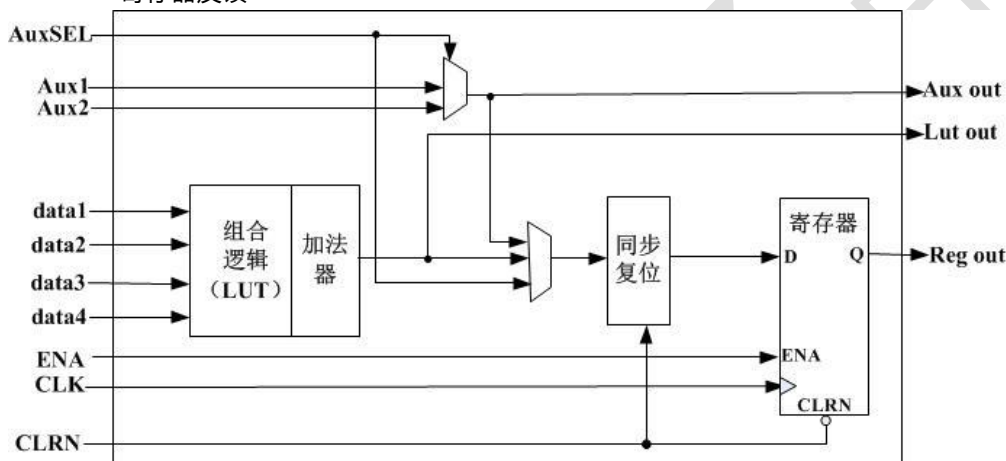


图 2-1 FPGA 逻辑单元

2.1.1 逻辑单元特性

每个逻辑单元均配备可编程的 D 寄存器，每个寄存器上有数据、时钟、时钟使能和复位输入。全局时钟网络、通用 I/O 管脚、任何内部逻辑都可以驱动时钟、时钟使能和复位寄存器控制信号。对于组合功能输出，LUT 输出端可以由旁路寄存器直接驱动到逻辑单元输出端。每个逻辑单元有三个输出端，分别是：组合逻辑输出、寄存器输出和辅助旁路输出。组合逻辑输出和寄存器输出，能够驱动本地行和列的布线资源。三个输出端，同时并且独立的驱动，允许逻辑单元同时输出组合逻辑、寄存器逻辑和辅助旁路逻辑(这个特性称为寄存器套包)。由于器件可以使用寄存器和组合逻辑在不相关的功能，增加了器件的利用率。逻辑单元可以同时驱动组合逻辑输出有寄存器和无寄存器的版本。

2.1.2 逻辑单元操作模块

Sealion (海狮) 2000 系列 FPGA 逻辑单元在以下模式下操作：

- 正常模式
- 算术模式



HqFpga 软件自动为普通功能选择适用的模式，例如计数器、加法器、减法和算术功能。如果需要，您也可以创建指定的特用功能，用于对逻辑单元操作模式的性能进行优化。

2.1.2.1 正常模式

正常模式适用于一般的逻辑运用和组合功能。在正常模式中，来自逻辑阵列模块本地互连的四个数据输入输入到一个四口输入的 LUT 中 (图 2-2)。逻辑单元在正常模式中支持套包寄存器和辅助旁路输出。

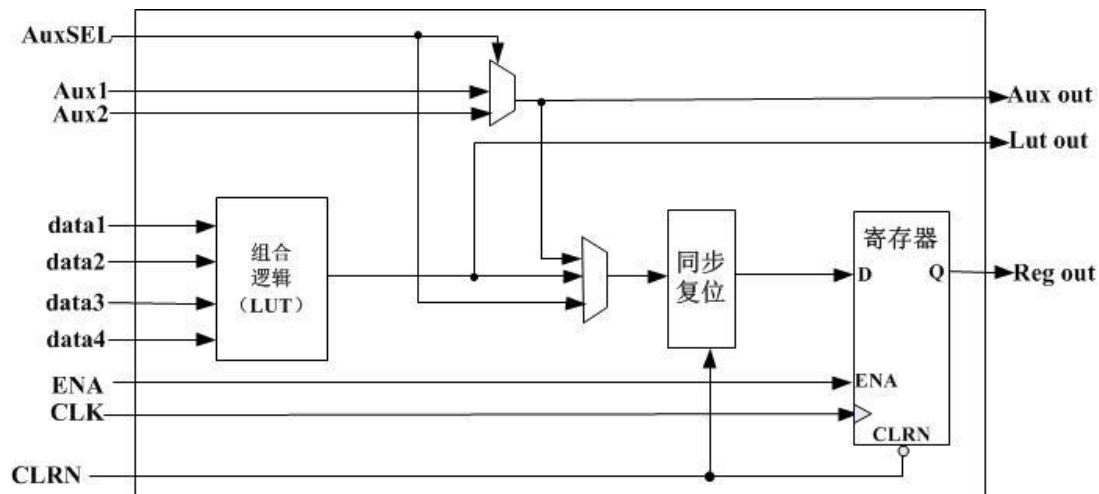


图 2-2 正常模式的逻辑单元

2.1.2.2 算术模式

算术模式可以有效地实现加法器、计数器、累加器和比较器。一个逻辑单元在算术模式中，能够实现一个全加器和基本的进位链(图 2-3)，可以驱动存储与未存储输出的版本。寄存器套包支持逻辑单元用于算术模式。

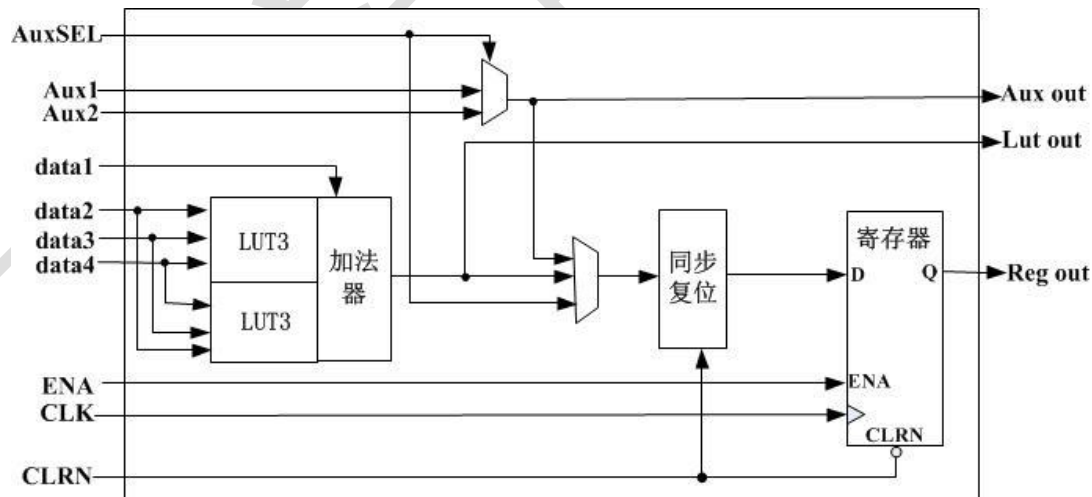


图 2-3 算术模式的逻辑单元

HqFpga 编译器综合工具可以自动创建进位链逻辑，您也可以在设计输入期间手动创建进位链逻辑（参数化功能，自动优化进位链于合适的功能中）。

HqFpga 编译器，能够通过同一列中自动链接逻辑阵列模块，创建长过 8 个逻辑单元的进位链。为了增强布局，一条长进位链通过直接链接互连，实现迅速连接到嵌入式存储器模块或嵌入式乘法器。

例如，如果一个设计有一条长进位链在与一系列嵌入式存储器模块紧挨着，那么任何逻辑单元输出通过直接链接互连，都可以连到相邻的嵌入式存储器模块上；任何不与嵌入式存储器模块列紧挨的进位链，使用其他的行和列互连以驱动一个嵌入式存储器模块。

2.1.2.3 进位链 (Carry-chain)

HqFpga 编译器综合工具可以自动创建进位链逻辑，您也可以在设计输入期间手动创建进位链逻辑（参数化功能，自动优化进位链于合适的功能中）。

HqFpga 编译器，能够通过同一列中自动链接逻辑阵列模块，创建长过 8 个逻辑单元的进位链。为了增强布局，一条长进位链通过直接链接互连，实现迅速连接到嵌入式存储器模块或嵌入式乘法器。

例如，如果一个设计有一条长进位链在与一系列嵌入式存储器模块紧挨着，那么任何逻辑单元输出通过直接链接互连，都可以连到相邻的嵌入式存储器模块上；任何不与嵌入式存储器模块列紧挨的进位链，使用其他的行和列互连以驱动一个嵌入式存储器模块。图 2-4 示为 8 个逻辑单位进位链简化模型

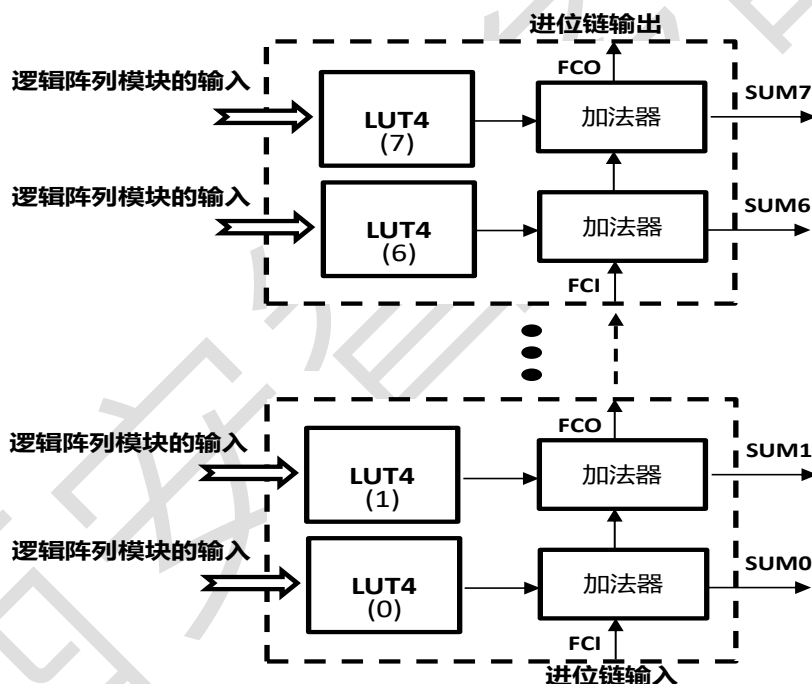


图 2-4 8 个逻辑单位进位链简化模型

2.2 逻辑阵列模块

逻辑阵列模块由逻辑单元组成。每个逻辑阵列模块包括以下特性：

- 8 逻辑单元
- 逻辑阵列模块控制信号
- 逻辑单元进位链
- 寄存器链模块互连

本地互连在同一个逻辑阵列模块的逻辑单元之间传输信号，HqFpga 编译器将相关的逻辑放在同一逻辑阵列模块或相邻的逻辑阵列模块中，允许使用本地和连接以实现性能和面积效率。

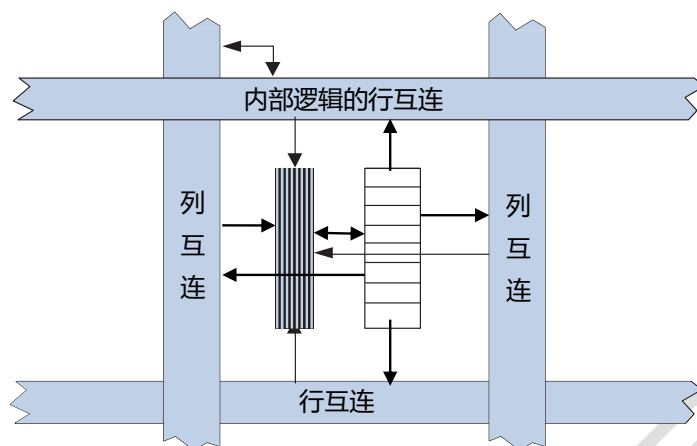


图 2-5 逻辑阵列模块互连

2.2.1 逻辑阵列模块互连

逻辑阵列模块的输入，是由列和行互连以及逻辑单元在相同的逻辑阵列模块中的输出端驱动的。逻辑单元的输出，直接驱动列和行互连，如图 2-5。

2.2.2 逻辑阵列模块控制信号

每个逻辑阵列模块，都包含 12 个专用的逻辑单元控制信号。控制信号包括：

- 四个时钟
- 四个时钟使能
- 四个复位或置位

行互连和列互连，驱动逻辑阵列模块的控制信号。全局时钟和高扇出网路，也可以驱动逻辑阵列模块的控制信号。逻辑阵列模块的控制信号，有互相独立编程的极性选择。

除了逻辑阵列模块的控制信号外，本系列 FPGA 提供一个芯片级复位信号(global reset)，用于对器件中所有的寄存器重置。在编辑 HqFpga 软件之前，请设置一个选项以控制这个管脚。这个芯片级重置，能够覆盖所有其他的控制信号。

2.2.3 分布式 RAM 模式 (最小单元 16×4)

查找表(LUT)可以配置成一种称为分布式 RAM 元件的同步 RAM 资源。此 RAM 元件可以配置成以下形式：

- 单端口 RAM
- 双端口 RAM

如图 2-6 所示，分布式 RAM 模块是同步（写）资源。可以用同一 Slice 中的一个存储元件或触发器实现同步写。分布式元件共用相同的时钟输入。对于写操作，必须将写使能(WE)输入 (SLICEM 的 CS 或 SLICEM 的 WE 引脚驱动) 设置为 High。

分布式 RAM 模块还可以进行初始化。

通过软件支持，分布式 RAM 可以用 SLICE 搭建更大规模。表 2-1 展现不同规模 RAM 所需 SLICE 数量。

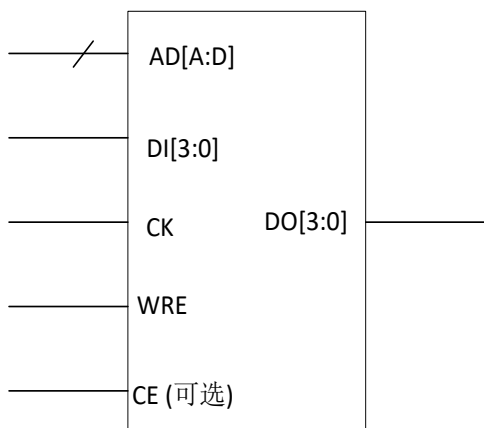
表 2-1 不同规模 RAM 中 SLICE 数量

	单端口 RAM 16x4	双端口 RAM 16x4
SLICE 数量	3	3

【注】

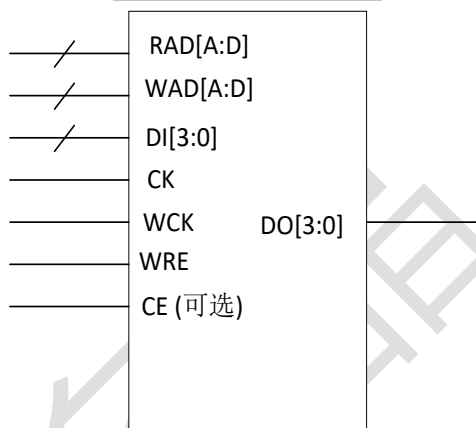
- 其中两个 SLICE 用做存储，另一个用做控制。

16x4 单端口接口示意图



可利用触发器实现同步写

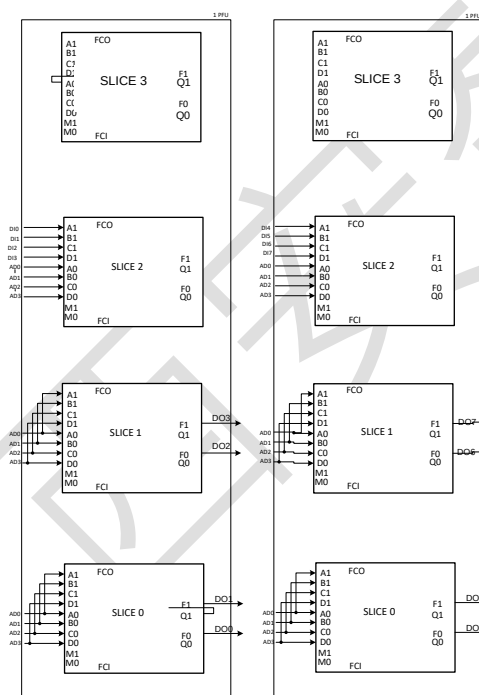
16x4 双端口接口示意图



可利用触发器实现同步写

图 2-6 分布式 RAM

16 x 8 单端口宽度拼接



32 x 4 单端口深度拼接

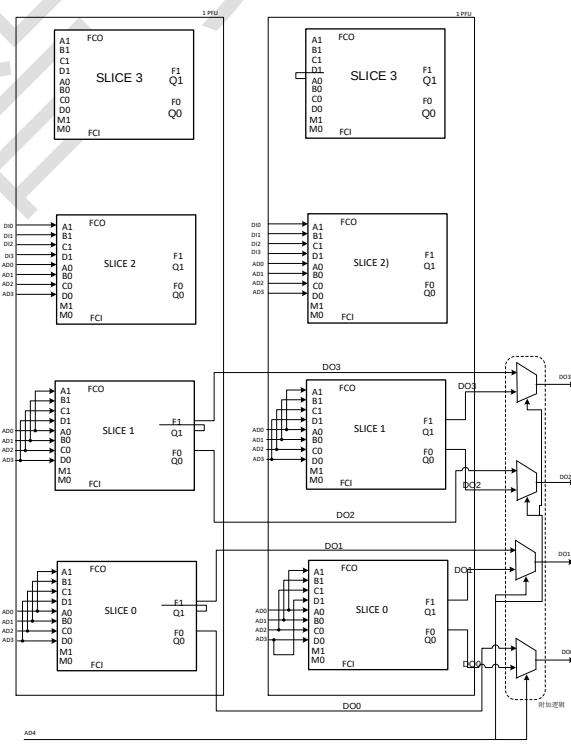


图 2-7 举例：单端口 RAM 宽度深度拼接

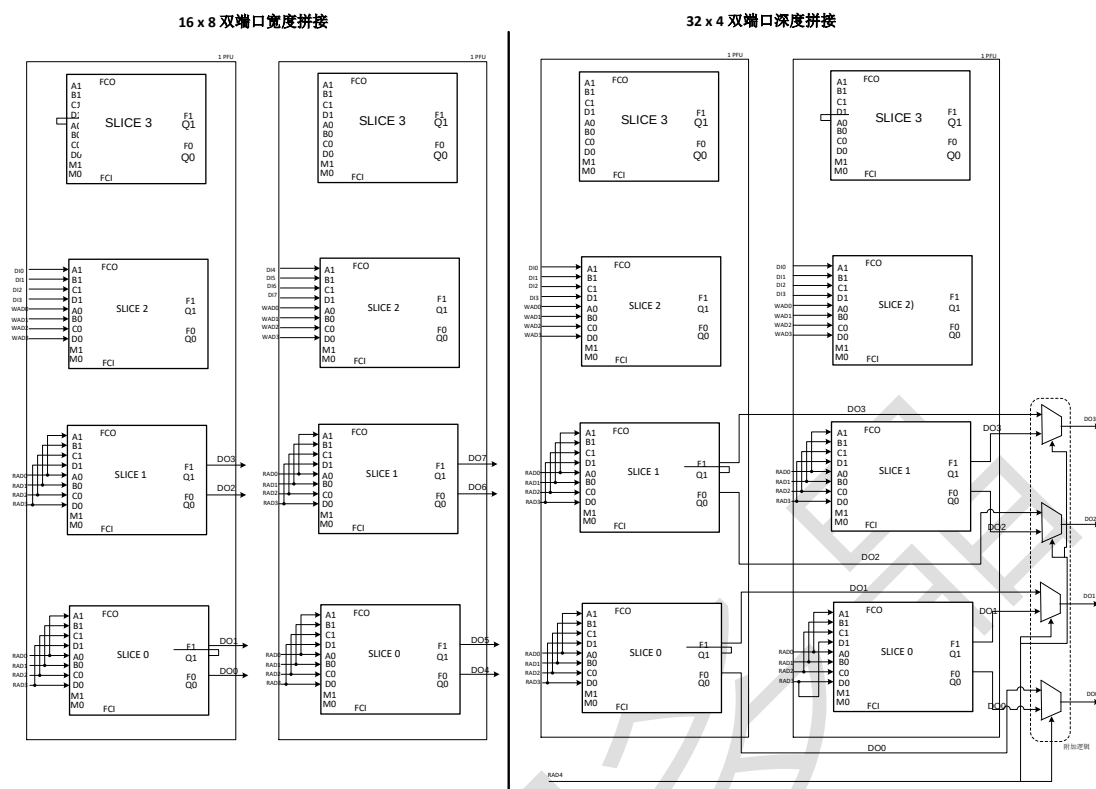


图 2-8 举例：双端口 RAM 宽度深度拼接

2.2.4 只读存储器 (ROM)

分布式 RAM 在配置过程中预先写入，配置完成后只能读，成为只读存储器 ROM。

三个 SLICE 可以实现一个 16 x 4 位 ROM (最小配置)。大宽度和深度拼接可由软件完成。

16x4 ROM 接口示意图

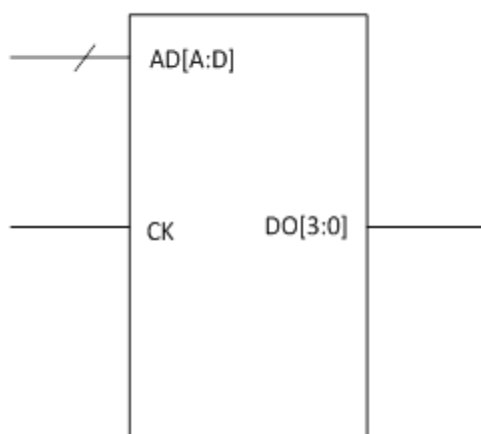


图 2-9 分布式 ROM



3 存储器模块

Sealion (海狮) 2000 系列 FPGA 器件具有嵌入式存储器结构, 满足了 FPGA 设计对片上存储器的需求。嵌入式存储器结构由嵌入式存储器模块组成, 通过对这些嵌入式存储器模块进行配置, 可以实现各种存储器功能, 例如: RAM、移位寄存器、ROM 以及 FIFO 缓冲器。

本章数据手册包含以下几部分内容:

- 概述
- 存储器模式
- 时钟模式
- 设计考量

3.1 概述

嵌入式存储器模块支持以下特性:

- 每模块 8,192 个存储器位(包括奇偶校验位, 每模块共 9,216 位)
- Packed 模式, 该模式下嵌入式存储器模块被分成两个 4.5K 单端口 RAM
- 可变端口配置深度和宽度
- 单端口与伪双端口模式, 支持所有端口宽度
- 真双端口(一个读和一个写, 两个读, 或者两个写)操作
- 字节使能, 实现写入期间的数据输入屏蔽
- 用于每一个端口(端口 A 和 B)的时钟使能控制信号
- 内嵌 FIFO 控制逻辑
- 初始化文件预先加载存储器中的数据

表 3-1 嵌入式存储器特性

特性	属性
单端口	8192x1, 4096x2, 2048x4, 1024x8, 1024x9, 512x16, 512x18, 256x16, 256x36
真双端口	8192x1, 4096x2, 2048x4, 1024x8, 1024x9, 512x16, 512x18
伪双端口	8192x1, 4096x2, 2048x4, 1024x8, 1024x9, 512x16, 512x18, 256x32, 256x36
FIFO(注 1)	8192x1, 4096x2, 2048x4, 1024x8, 1024x9, 512x16, 512x18
奇偶校验位	√
字节使能	√
Packed 模式	√
时钟使能	√
单端口模式	√
伪双端口模式	√
真双端口模式	√
嵌入式移位寄存器模式(注 2)	√
ROM 模式	√
FIFO 缓冲器	√
伪双端口混合位宽支持	√
真双端口混合位宽支持(注 3)	√
存储器初始化文件	√
混合时钟模式	√



特性	属性
上电条件	输出端清零
寄存器异步清零	仅限输出寄存器
锁存器异步清零	仅限输出锁存器
读或写操作触发	读写：时钟上升沿
读优先	旧数据或者新数据
写优先	旧数据或者新数据

【注】

1. 嵌入式存储器内嵌 FIFO 控制逻辑。
2. 需要外部逻辑单元，以实现控制逻辑。
3. $\times 32$ 和 $\times 36$ 的位宽模式和字节使能模式不可用。

3.1.1 时钟使能控制信号

时钟使能控制信号,对进入输入与输出寄存器的时钟、以及整个嵌入式存储器模块进行控制。当时钟使能信号调整为“disable”状态时,嵌入式存储器模块检测不到任何的时钟边沿,从而不会执行任何操作。

3.1.2 支持奇偶校验位

通过奇偶校验位以及内部逻辑资源,可以使用奇偶校验实现错误检测。

嵌入式存储器模块支持每一个存储字节含有一个奇偶校验位,您可以将该位用作奇偶校验位或者额外的数据位。

实际上,嵌入式存储器模块不执行奇偶校验功能,奇偶校验在 FPGA 的逻辑单元执行。

3.1.3 支持字节使能

嵌入式存储器模块支持字节使能功能。该功能可以屏蔽输入数据,仅写入数据中的指定字节,未被写入的字节保留之前写入的值。

WE(写使能)信号以及字节使能(ByteEn)信号一同控制 RAM 模块的写操作。当 ByteEn 信号默认为高电平(使能)时,写操作仅由 WE 信号来控制;ByteEn 寄存器不存在清零端口。

当写端口具有 $\times 9$ 、 $\times 16$ 、 $\times 18$ 、 $\times 32$ 或 $\times 36$ 位数据位宽时,嵌入式模块将支持字节使能。

字节使能以“独热码”的形式运行,并且 ByteEn 的最低位对应于数据总线的最低字节。例如,若 ByteEn=01,并且在 $\times 18$ 模式下使用一个 RAM 模块,则 Data[8..0]处于“使能”状态,而 Data[17..9]处于“不使能”状态;同样,若 ByteEn=11,则 Data[8..0]以及 Data[17..9]均处于“使能”状态。(注:字节使能为高电平有效。)。表 3-2 列出了字节选择。

表 3-2 嵌入式存储器的 ByteEn 模块

ByteEn[3:0]	受影响的字节			
	Data $\times 16$	Data $\times 18$	Data $\times 32$	Data $\times 36$
[0]=1	[7..0]	[8..0]	[7..0]	[8..0]
[1]=1	[15..8]	[17..9]	[15..8]	[17..9]
[2]=1	—	—	[23..16]	[26..18]
[3]=1	—	—	[31..24]	[35..27]

注: 可能存在字节使能的任意组合。

3.1.4 Packed 模式支持

嵌入式存储器模块支持 packed 模式。在下列条件下，您可以在单一模块中实现两个单端口存储器模块：

- 每一个独立模块的容量均小于或等于嵌入式模块容量的一半，每一个独立模块的最大数据宽度为 18 位宽。
- 每一个单端口存储器模块均被配置成单时钟模式。

3.1.5 混合位宽支持

嵌入式存储器模块支持混合数据位宽。

当使用伪双端口、真双端口、或者 FIFO 模式时，混合位宽支持实现了读写不同的数据位宽到嵌入式存储器模块。

3.1.6 异步清零

嵌入式存储器模块仅支持输出寄存器以及输出锁存器的异步清零操作，不支持输入寄存器的异步清零操作。

当对输出寄存器进行异步清零操作时，异步清零信号即刻对输出寄存器清零，效果立马可见。如果 RAM 不使用输出寄存器，那么通过使用输出锁存器异步清零特性，仍然能够对 RAM 输出端进行清零。

通过以下三种方式，可以对嵌入式模块中的寄存器进行复位：

- 器件上电
- 将 Reset 信号仅用于输出寄存器
- 使用芯片级复位信号(Global Reset) 选项来进行全器件复位

3.2 存储器模式

嵌入式存储器模块能够在多种操作模式下实现完全同步 SRAM 存储器。该嵌入式存储器模块，不支持异步(未寄存的)存储器输入。

嵌入式存储器模块支持下列模式：

- 单端口
- 伪双端口
- 真双端口
- 移位寄存器
- ROM
- FIFO

端口	描述	激活状态
Clock	时钟	上升沿触发
ClockEn	时钟使能	高电平有效
OClockEn	输出时钟使能	高电平有效
Reset	复位	高电平有效
ByteEn	字节使能	高电平有效
WE	写使能	高电平有效
Address	地址线	—

端口	描述	激活状态
Data	输入数据	—
Q	输出数据	—
CS	片选信号	高电平有效
AFF	FIFO 几乎满标志	—
FF	FIFO 满标志	—
AEF	FIFO 几乎空标志	—
EF	FIFO 空标志	—
RPRST	FIFO 读取指针复位	高电平有效

3.2.1 单端口模式

单端口模式支持在单一地址上的异时读写操作。图 3-1 显示嵌入式存储器模块的单端口存储器配置。

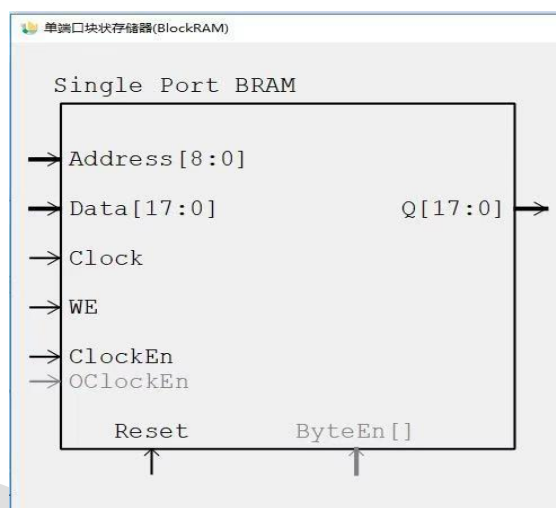


图 3-1 单端口存储器

写操作期间，RAM 输出行为是可以配置的。如果在激活读优先模式，则 RAM 输出端会显示相应地址上正在写入的新数据，或者原有的旧数据。如果在未激活读优先模式，那么 RAM 输出端将保留它们在最近的读操作保持的值。

要选择所需的行为，需要在 HqFpga 软件的 IP-Creator 中，将读优先选项设置成新数据或者旧数据。

3.2.2 伪双端口模式

伪双端口模式，支持同时读写操作。A 侧是写端口，B 侧是读端口。图 3-2 显示了伪双端口存储器配置。

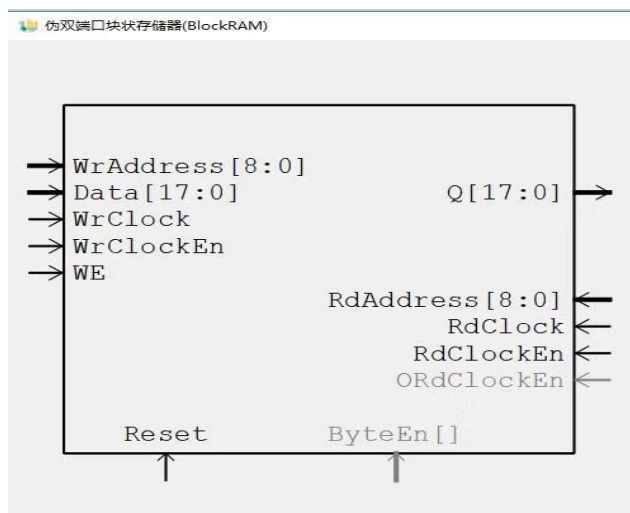


图 3-2 伪双端口存储器

表 3-3 嵌入式存储器混合位宽配置（伪双端口模式）

读端口	写端口								
	8192×1	4096×2	2048×4	1024×8	512×16	256×32	1024×9	512×18	256×36
8192×1	√	√	√	√	√	√	—	—	—
4096×2	√	√	√	√	√	√	—	—	—
2048×4	√	√	√	√	√	√	—	—	—
1024×8	√	√	√	√	√	√	—	—	—
512×16	√	√	√	√	√	√	—	—	—
256×32	√	√	√	√	√	√	—	—	—
1024×9	—	—	—	—	—	—	√	√	√
512×18	—	—	—	—	—	—	√	√	√
256×36	—	—	—	—	—	—	√	√	√

在伪双端口模式中，嵌入式存储器模块支持独立的读和写操作。在没有进行读操作的时候，将 RdClockEn 保持在低电平(无效状态)，从而降低功耗。伪双端口模式不支持读优先模式。

3.2.3 真双端口模式

真双端口模式，支持两端口操作的任何组合：在两个不同时钟频率上的两个读操作、两个写操作，或者一个读操作和一个写操作。图 3-3 显示了真双端口存储器配置。

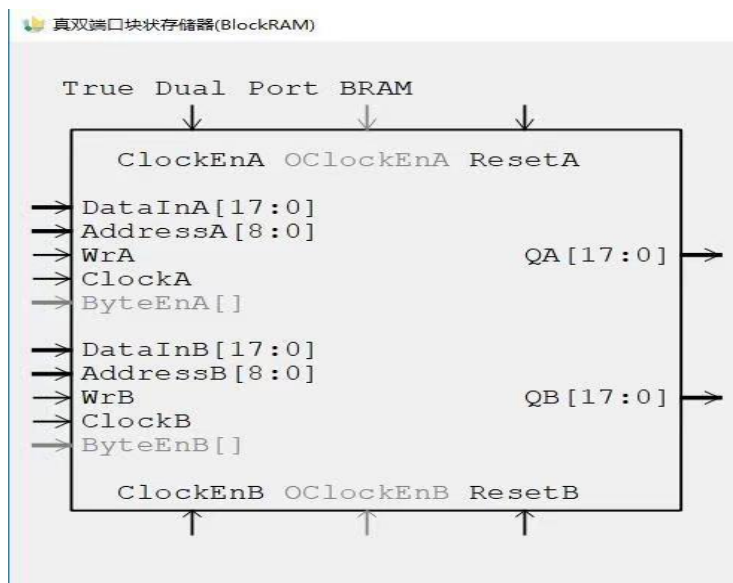


图 3-3 真双端口存储器

真双端口模式下，嵌入式模块的最大位宽配置为 512×16 位(带有奇偶校验的 18 位)。表 3-4 显示了可能的嵌入式模块混合端口位宽配置。

表 3-4 嵌入式存储器混合位宽配置（真双端口模式）

读端口	写端口						
	8192×1	4096×2	2048×4	1024×8	512×16	1024×9	512×18
8192×1	√	√	√	√	√	—	—
4096×2	√	√	√	√	√	—	—
2048×4	√	√	√	√	√	—	—
1024×8	√	√	√	√	√	—	—
512×16	√	√	√	√	√	—	—
1024×9	—	—	—	—	—	√	√
512×18	—	—	—	—	—	√	√

在真双端口模式中，写操作期间，RAM 输出行为是可以配置的。

同一端口支持读优先模式。若激活读优先模式，则 RAM 输出端会显示相应地址上正在写入的新数据，或者原有的旧数据；如未激活读优先模式，那么 RAM 输出端将保留它们在最近的读操作保持的值。

混合端口不支持读优先模式。一端口写入，同时另一端口读出同一地址时，如果两个端口的时钟互为异步，则读出的数据可能是写入的新数据，或者是原有的旧数据，或者是不重要的数据。

在真双端口模式中，您可以从端口 A 或者端口 B 随时访问存储器位置。然而，当从两个端口同时访问同一存储器位置时，您一定要避免可能发生的写冲突。当您试图从两个端口同时写入到相同地址时，会出现写冲突。这会导致在该地址存储未知数据。

嵌入式存储模块中没有集成冲突解决电路，您必须处理 RAM 模块外部的地址冲突。

3.2.4 移位寄存器模式

嵌入式存储器模块，能够通过使用的移位寄存器，实现数字信号（DSP）应用。

例如：有限脉冲响应（FIR）滤波器、伪随机数生成器、多通道滤波，以及自相关和互相关函数。这些以及其它 DSP 应用都要求本地数据存储，通常通过标准触发器来实现，这些标准触发器迅速消耗大型移位寄存器的很多逻辑单元。更有效的方法是将嵌入式存储器用作移



位寄存器模块，这样可以节省很多逻辑单元以及布线资源。

一个($w \times m \times n$)移位寄存器的容量是由输入数据宽度(w)、抽头的长度(m)、以及抽头的数量(n)来决定，并且必须小于或等于最大存储器位数,也就是 9,216 位。另外，($w \times n$)的容量必须小于或等于模块的最大宽度，也就是 36 位。如果需要容量更大的移位寄存器，则需要将嵌入式存储器模块串联起来使用。

图 3-4 显示了移位寄存器模式中的嵌入式存储器模块。

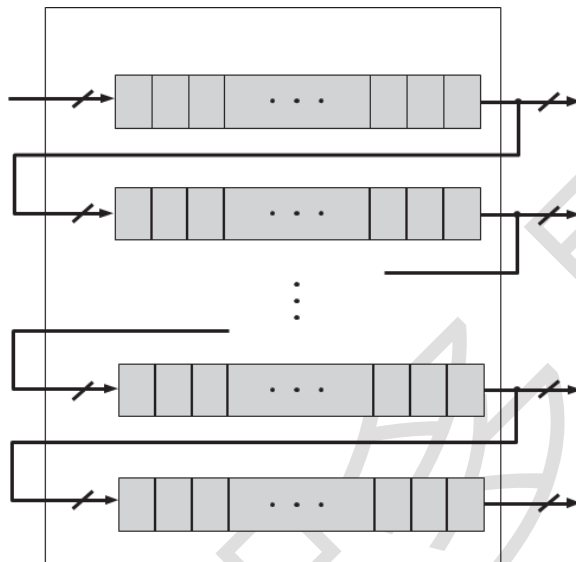


图 3-4 嵌入式存储器移位寄存器模式配置

3.2.5 ROM 模式

嵌入式存储器模块支持 ROM 模式。HqFpga 产生初始化文件，对这些模块的 ROM 中的数据进行初始化。ROM 的地址线是寄存的，输出端可以被寄存，也可以不被寄存。ROM 的读操作与单端口 RAM 配置中的读操作相同。

3.2.6 FIFO 缓冲器模式

嵌入式存储器模块支持单时钟或者双时钟 FIFO 缓冲器。当从一个时钟域到另一个时钟域传输数据时，会用到双时钟 FIFO 缓冲器。

FIFO 有写端口和读端口，两者独立操作。FIFO 的写端口有 Data、WE、WrClock、Reset 等信号；读端口有 Q、RE 和 RdClock 等信号。FIFO 逻辑产生 Almost Full Flag、Full Flag、Almost Empty Flag 和 Empty Flag。Full、Almost Full 和写时钟同步；Almost Empty、Empty 和读时钟同步。表 3-5 是各个 flag 可配置的范围。

表 3-5 可编程 FIFO 配置范围

标志名称	可配置范围
Full (FF)	1 to max (up to 2N-1)
Almost Full (AF)	1 to Full-1
Almost Empty (AE)	1 to Full-1
Emptv (EF)	0

FIFO 状态机支持两种复位信号：Reset 和 RPRreset。Reset 信号整体复位 FIFO 逻辑，清零

写地址、读地址和复位 4 个 FLAG。RPRreset 仅仅清零读地址，此时 FIFO 可以重新读取所有已写入的数据。操作 RPRreset 必须注意读和写的初始状态以及容量顺序。

3.3 时钟模式

嵌入式存储器模块支持下列时钟模式：

- Independent（独立）
- Readorwrite（读或写）
- Single-clock（单时钟）

当使用读或写时钟模式时，如果在同一地址位置执行同时读或写操作，则输出读数据将是未知的。如果要求输出数据是一个可预测值，则需要使用单时钟模式，并且在 HqFpga 软件编译器中选择相应的读优先行为。

违反存储器模块输入寄存器上建立及保持时间将可能导致存储器数据的损坏，这种情况会发生在读写操作期间。

异步清零功能仅在输出寄存器，以及输出锁存器中可用。

表 3-6 列出了时钟模式 Vs 存储器模式所支持的矩阵。

表 3-6 存储器时钟模式

时钟模式	真双端口模式	伪双端口模式	单端口模式	ROM 模式	FIFO 模式
独立	√	—	—	—	—
读或写	—	√	—	—	√
单时钟	√	√	√	√	√

3.3.1 独立时钟模式

嵌入式存储器模块能够实现真双端口存储器的独立时钟模式。在这一模式中，独立的时钟可用于每一个不同的端口（端口 A 与端口 B）。clockA 控制端口 A 侧上的所有寄存器，而 clockB 则控制端口 B 侧上的所有寄存器。另外，每个端口均支持端口 A 和端口 B 寄存器的独立时钟使能。

3.3.2 读或写时钟模式

嵌入式存储器模块能够实现用于 FIFO 以及伪双端口存储器的读或写时钟模式。在这一模式中，写时钟控制数据输入、写地址寄存器。同样的，读时钟控制数据输出、读地址和寄存器。

嵌入式存储器模块支持独立的时钟使能，以用于读时钟以及写时钟。

当使用读或写模式时，如果在同一地址执行同时读或写操作，则输出读数据将是未知的。如果要求输出数据是一个可预测值，则需要使用单时钟模式，并且在 HqFpga 软件中选择相应的读优先行为。

3.3.3 单时钟模式

嵌入式存储器模块能够实现单时钟模式，以用于 FIFO、ROM、真双端口、伪双端口以及单端口存储器。在这一模式中，您可以通过单时钟以及时钟使能，来控制嵌入式存储器模块中的所有寄存器。

3.4 设计考量

本章节对采用嵌入式存储器模块进行设计时，需要考虑的因素作了描述。

3.4.1 冲突解决

当在真双端口模式下使用嵌入式存储器模块时，在同一地址尝试两个写操作是可行的。由于嵌入式存储模块中没有集成冲突解决电路，因此会产生正在写入该地址的未知数据。所以，您必须在存储模块外部实现冲突解决逻辑。

3.4.2 上电条件与存储器初始化

不管输出寄存器被使用还是被旁路，嵌入式存储器模块输出端都会上电清零。通过使用.ram文件，所有嵌入式存储模块均支持初始化。您可以在 HqFpga 中创建.ram 文件，并在设计中实例化存储器时通过 HqFpga 软件 IP Creator 来指定它们的使用。即使存储器是预初始化的(例如，使用一个.ram 文件)，它也会通过输出端清零进行上电。只有上电后的后续读操作会输出预初始化的值。

3.4.3 功耗管理

嵌入式存储器模块时钟使能支持对每一个嵌入式存储器模块时钟的控制，以降低 AC 功耗。需要使用片选择(CS) 信号来确保读操作仅在必要时出现。如果设计不要求读优先，那么可以降低写操作的功耗。HqFpga 软件会自动对未使用的嵌入式存储器模块进行断电，从而降低静态功耗。

4 嵌入式乘法器

嵌入式乘法器结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理(DSP)系统的功耗。本系列 FPGA 器件本身，或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。

嵌入式乘法器主要针对那些受益于大量丰富的并行处理资源的应用进行了重点优化，其中包括：视频与图像处理、应用在无线通信系统的中频(IF)调制解调器、以及多通道通信与视频系统。

本章节包含以下几部分内容：

- 嵌入式乘法器模块概述
- 体系结构
- 操作模式

4.1 嵌入式乘法器模块概述

嵌入式乘法器可以配置成一个 18×18 乘法器，或者配置成两个 9×9 乘法器。对于那些大于 18×18 的乘法运算，HqFpga 软件会将多个嵌入式乘法器模块级联在一起。虽然没有乘法器数据位宽的限制，但数据位宽越大，乘法运算就会越慢。表 4-1 列出了每一个嵌入式乘法器的数量以及乘法器模式。

表 4-1 嵌入式乘法器数量

器件型号	嵌入式乘法器	9×9 乘法器(注 1)	18×18 乘法器(注)
SL2-5	16	32	16
SL2-7	0	0	0
SL2-12	20	40	20
SL2S-12	20	40	20
SL2-18	24	48	24
SL2-25	32	64	32
SL2S-25	32	64	32

注：这一列显示了每一个器件中 9×9 或者 18×18 乘法器的数量。

除了嵌入式乘法器外，通过将嵌入式存储器模块用作查找列表，也可以实现软乘法器。针对低成本、高性能的 DSP 应用，实现了可变深度与宽度的高性能软乘法器。软乘法器的可用性，增加了器件中可用乘法器的数量。

4.2 体系结构

每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

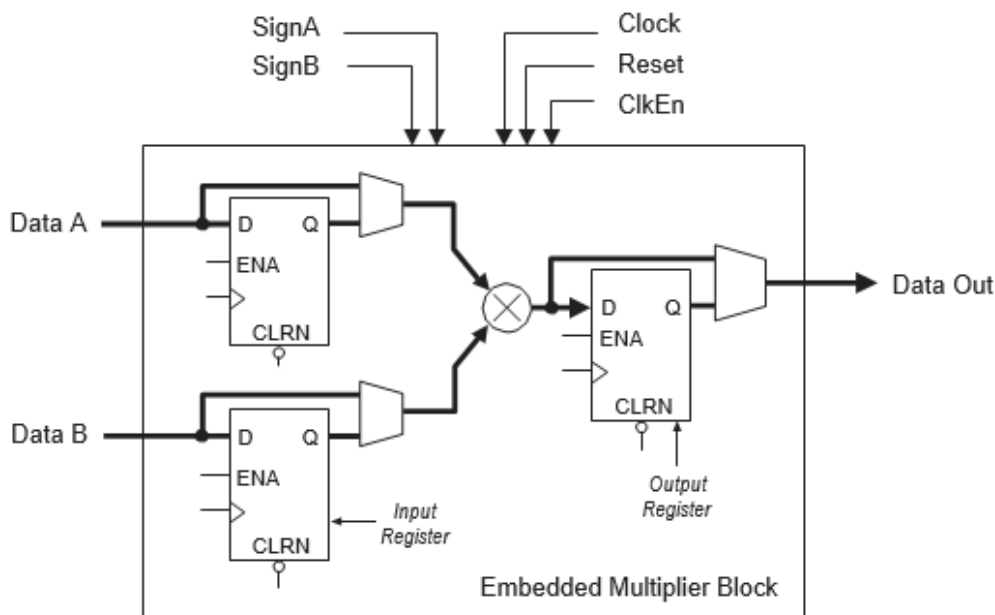


图 4-1 乘法器模块的结构

4.2.1 输入寄存器

根据乘法器的操作模式，您可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18bit 的形式连接到内部乘法器。您可以单独地设置乘法器的每个输入是否使用输入寄存器。例如，将乘法器 DataA 信号连接到输入寄存器，并且将 DataB 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 异步清零同一个嵌入式乘法器中的所有输入与输出寄存器，均由同一时钟信号、时钟使能信号以及异步清零信号驱动。

4.2.2 乘法器级

嵌入式乘法器模块的乘法器级，支持 9×9 或者 18×18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数，都是一个唯一的有符号或者无符号数。SignA 与 SignB 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 SignA 信号为高电平，则 DataA 操作数是一个有符号数值；反之，DataA 操作数便是一个无符号数值。

表 4-2 列出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 4-2 乘法器符号表示

DataA		DataB		结果
SignA 值	逻辑电平	SignB 值	逻辑电平	
无符号数	低	无符号数	低	无符号数
无符号数	低	有符号数	高	有符号数
有符号数	高	无符号数	低	有符号数
有符号数	高	有符号数	高	有符号数

每一个嵌入式乘法器模块，只有一个 SignA 信号和一个 SignB 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9×9 乘法器，那么这两个乘法器的 DataA 输入与 DataB 输入将分别共享同一个 SignA 信号和同一个 SignB 信号。

当 SignA 与 SignB 信号未使用时，HqFpga 软件会将乘法器默认设置成执行无符号乘法运算。

4.2.3 输出寄存器

根据乘法器的操作模式，您可以用 18bit 或 36bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 异步清零同一个嵌入式乘法器中的所有输入与输出寄存器，均由同一时钟信号、时钟使能信号以及异步清零信号驱动。

4.3 操作模式

根据不同的应用需要，您可以选择如下两种的乘法器工作模式的一种：

- 一个 18×18 乘法器
- 最多两个 9×9 独立的乘法器

通过使用 HqFpga 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，这一功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

4.3.1 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一 18×18 乘法器。图 4-2 显示了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

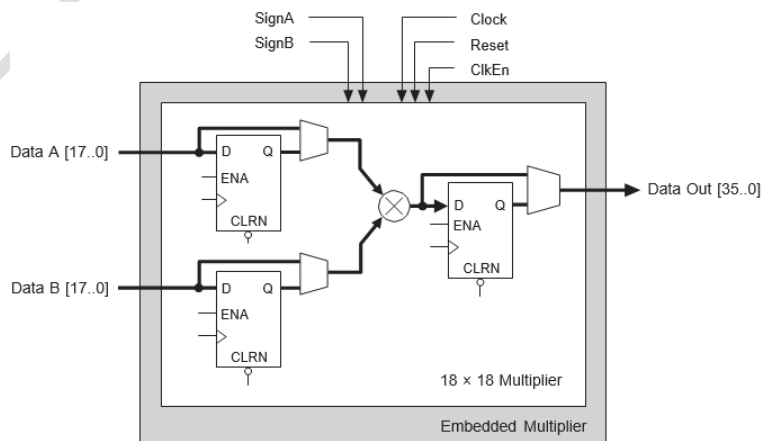


图 4-2 18 位乘法器模式



所有的 18 位乘法器输入数据与结果，均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数或者两者的组合。

4.3.2 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个 9×9 乘法器。图 4-3 显示了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

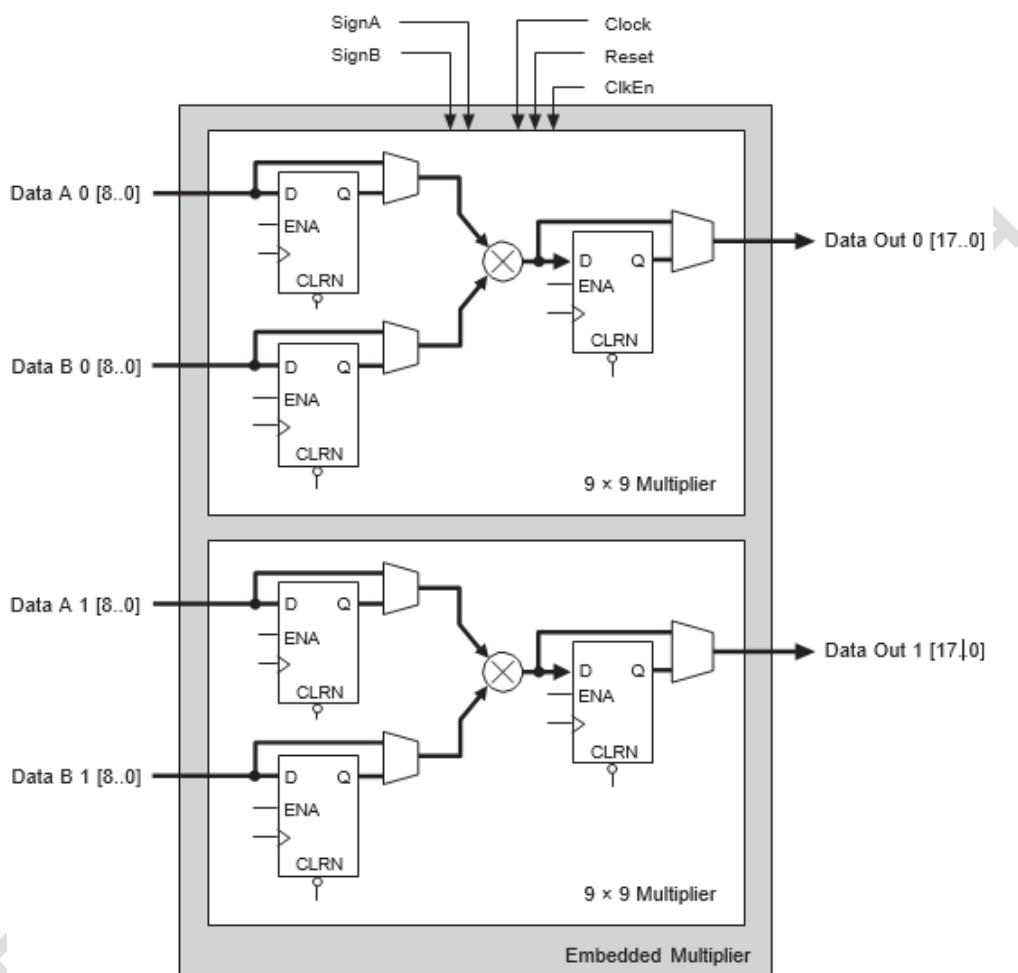


图 4-3 9 位乘法器模式

所有的 9 位乘法器输入数据与结果，均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数或者两者的组合。同一嵌入式乘法器模块中的两个 9×9 乘法器，共享同一个 SignA 和 SignB 信号。因此，用于驱动同一嵌入式乘法器的所有 DataA 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 DataB 输入数据也必须要相同的符号表示。



5 时钟网络与 PLL

Sealion (海狮) 2000 系列 FPGA 器件中的时钟网络, 具有高级特性的层次时钟网络与锁相环(PLL)。本章节包含以下几部分内容:

- 时钟网络
- 本系列 FPGA 器件中的 PLL
- 本系列 FPGA 器件中 PLL 硬件概述
- 硬件特性

5.1 时钟网络

本系列 FPGA 中, 除了 12K 逻辑资源的 FPGA 器件包含了 8 个全局时钟(GCLK)网络, 和 8 个高扇出网路; 其它 25K 逻辑资源的 FPGA 器件包含了 16 个全局时钟(GCLK)网络, 其中 8 个全局时钟可以复用为高扇出网路 (其中 2 个全局时钟的时钟源可以动态切换)。

本系列 FPGA 提供了多达 12 个专用时钟管脚, 以用于驱动全局时钟网络 (GCLK)、高扇出网络和输入输出时钟网络。FPGA 器件的左右侧支持四个专用时钟管脚, 在顶端、底部支持两个专用时钟管脚。

5.1.1 全局时钟网络

全局时钟网络 (GCLK) 驱动整个器件, 并对器件各象限提供时钟。器件中的所有资源, 都能够将全局时钟网络 (GCLK) 用作时钟资源。

5.1.2 全局时钟 (GCLK) 网络时钟源

Sealion (海狮) 2000 系列 FPGA 器件全局时钟网络的时钟源从以下输入选择:

- 根据指定的 12 个时钟输入管脚
- PLL 锁相环输出
- 内部逻辑的信号
- 输入输出时钟分频

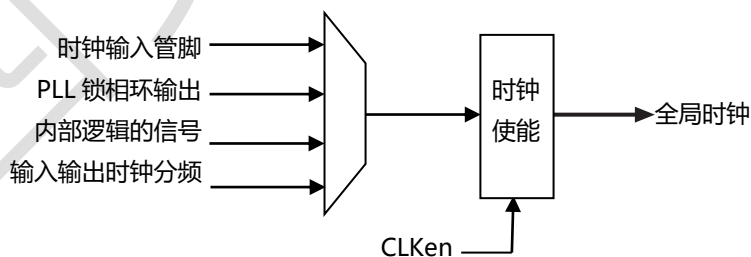


图 5-1 全局时钟的来源

部分全局时钟网络可以在两个时钟源实时切换。时钟使能和时钟切换电路内部有同步电路, 输出的时钟不带毛刺。

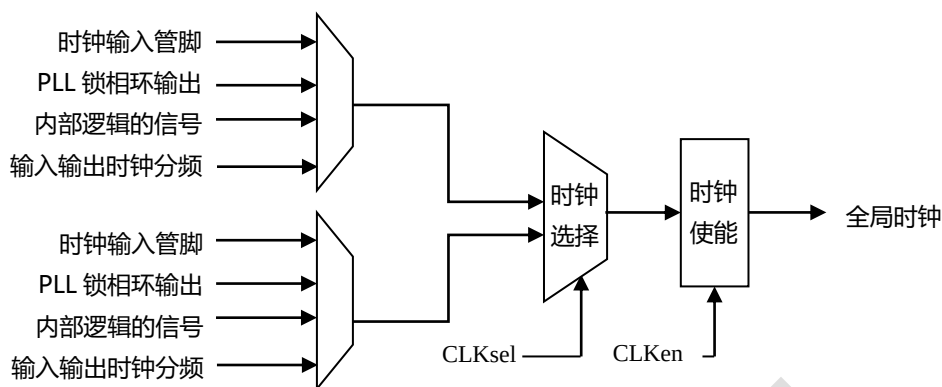


图 5-2 全局时钟选择

5.1.3 高扇出网络

高扇出网络驱动整个器件，并对器件各象限提供时钟和控制信号。

例如：由外部管脚驱动的时钟使能及清零信号。内部逻辑也能够驱动高扇出网络，以用于内部生成的异步清零、时钟使能，或者其它具有高扇出的控制信号。

5.1.4 高扇出网络源

高扇出网络的时钟源中从以下输入选择：

- 根据指定的 12 个时钟输入管脚
- 内部逻辑的信号

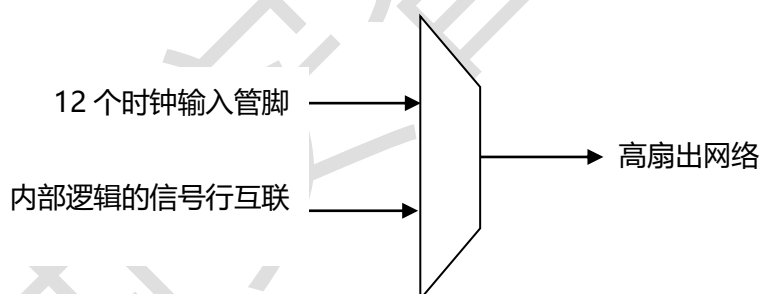


图 5-3 高扇出网络的时钟源

专用时钟管脚，不但可以用来驱动 全局时钟网络（GCLK）和高扇出网路，还可以将这些管脚用作通用输入管脚来驱动逻辑阵列。

5.1.5 全局时钟(GCLK) 网络使能

通过使用静态以及动态方法，能够驱动本系列 FPGA 器件的 GCLK 使能状态。在静态方法中，在 HqFpga 生成的配置文件对配置位进行设置，这将自动关断未使用的 GCLK 的使能信号。使能信号也可以是从内部逻辑驱动，动态地对时钟进行“使能”或“禁用”操作。这一特性，实现了内部逻辑对本系列 FPGA 器件中的 GCLK 进行时钟“使能”或“禁用”的控制。

当一个时钟网络被禁用，所有由时钟网络驱动的逻辑将处于关闭状态，从而降低了器件的总

体功耗。这一功能独立于 PLL，并且被直接应用到时钟网络。

5.1.6 CLKen 信号

本系列 FPGA 器件在 GCLK 网络级上提供了对 CLKen 信号的支持，这使您能够随时将时钟使能。另外，如果 PLL 反馈回路中有 CLKen 的时钟使能，必须注意当 CLKen 不使能 GCLK 时，PLL 反馈回路被中断，因此 PLL 会跳开锁定状态。

图 5-4 显示了如何通过单一寄存器来实现 CLKen 信号。

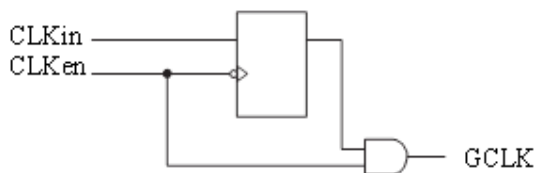


图 5-4 CLKen 信号的实现

图 5-5 显示了一个时钟输出使能的波形实例。在时钟(CLKin)的下降沿对 CLKen 信号进行采样。这一特性适用于那些对低功耗与睡眠模式有要求的应用。

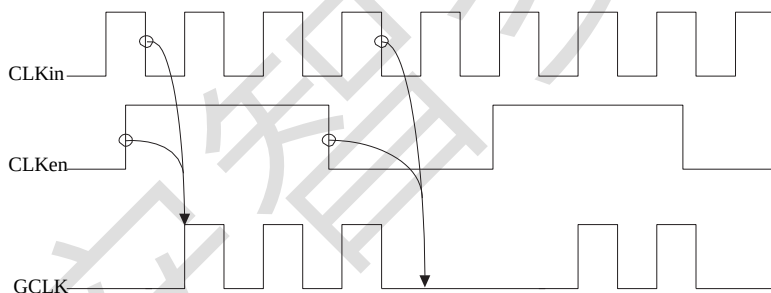


图 5-5 CLKen 信号的实现：输出使能

5.2 PLL

本系列 FPGA 器件包含两个通用 PLL。为器件时钟管理、外部系统时钟管理以及高速 I/O 接口，提供了可靠的时钟管理与综合。在 Sealion 2000 系列 PLL 中，每个 PLL 都能够将输入参考时钟和反馈时钟从内部或外部 I/O 合成到较高或较低频率的时钟输出。PLL 支持整数或小数分频输出、倍频输出、时钟相移。

表 5-1 PLL 特性

硬件特性	可用性
C(输出计数器)	5
M, N, C 计数器容量	1 到 128
PLL 级联	√
相移分辨率	150-300ps 增量(注)
可编程占空比	√
输出计数器级联	√
失锁检测	√



【注】最小相移为电压控制振荡器(VCO)周期除以 8。如果以度为单位增加, Sealion (海狮) 2000 系列 FPGA 器件的所有输出频率至少可以以 45°增加。更小的增加度数有可能受到频率和分频系数的限制。

5.3 PLL 硬件概述

图 5-6 显示了本系列 FPGA 器件中 PLL 的主组件的简化结构图。

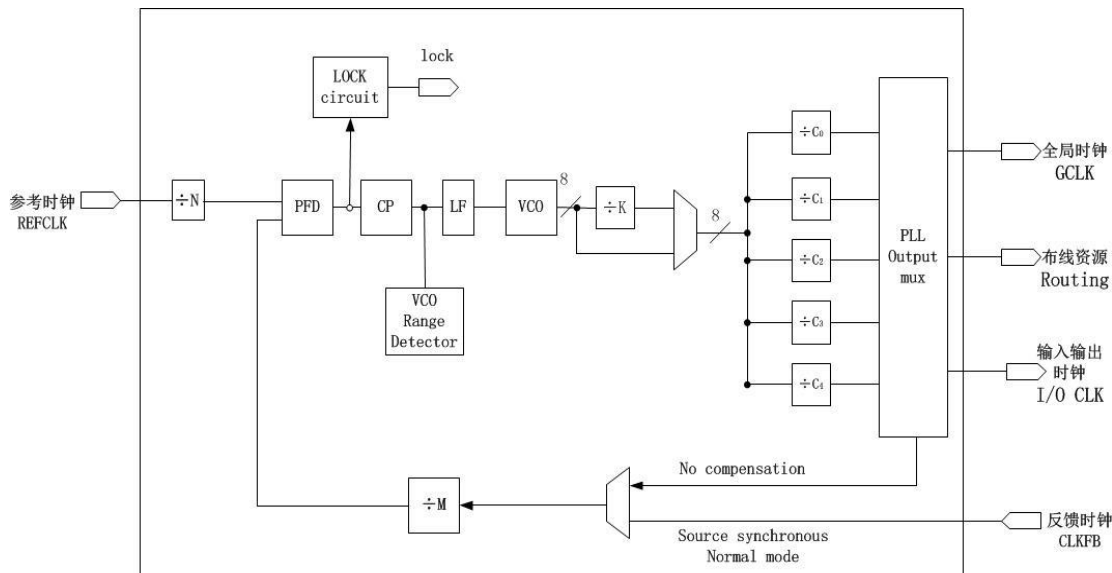


图 5-6 PLL 结构图

PLL 可以通过 GCLK 驱动任意 I/O 管脚做时钟输出,不需要使用特定的外部时钟输出管脚。

5.4 硬件特性

本系列 FPGA 器件中, PLL 支持通用时钟管理的几个特性。这一部分介绍了时钟的乘法与除法的实现、相移的实现以及可编程占空比。

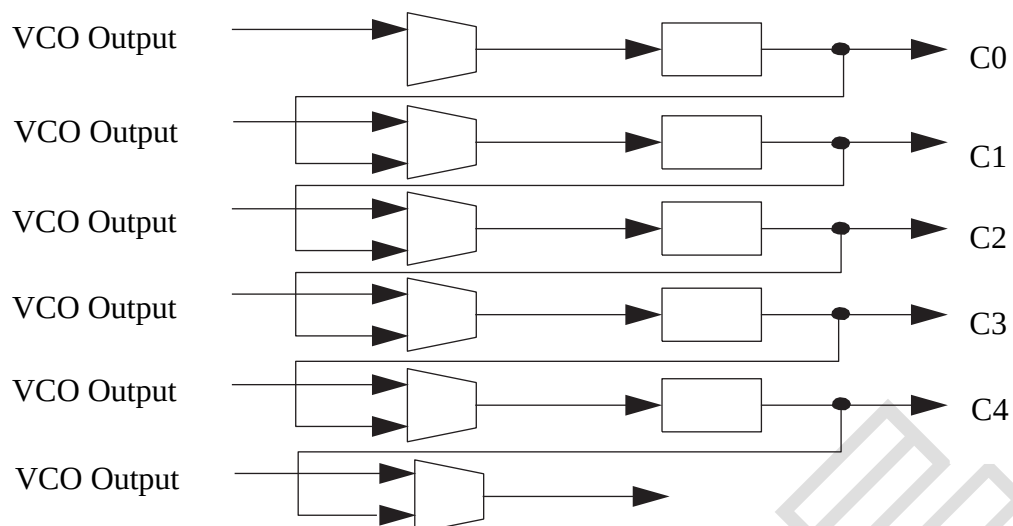
5.4.1 时钟的乘法与除法

本系列 FPGA 器件中, PLL 均采用 M/N (后缩放计数器), 缩放因子为 PLL 输出端口提供时钟合成输出。输入时钟由预缩放因子 N 分频, 然后乘以反馈因子 M。控制环路, 驱动 VCO 以匹配 $f_{IN}(M/N)$ 。每一个输出端口, 均有一个唯一的后缩放计数器, 对高频 VCO 进行分频。对于不同频率的多个 PLL 输出, VCO 值是输出频率的最小公倍数, 以满足其频率规格。每一个 PLL 上, 均有一个预缩放计数器 N 和一个乘法计数器 M, 范围从 1 到 40。由于计数器 N 仅用于计算分频, 因此该计数器不使用占空比控制。此外, 每个 PLL 上有五个用于驱动 GCLK 或外部时钟输出的通用后缩放计数器。这些后缩放计数器的范围从 1 到 128, 并具有 50%的占空比设置。

HqFpga 软件, 会根据输入到输入频率的乘法和除法值, 来自动选择相应的缩放因子。

5.4.2 后缩放计数器的级联

PLL 支持后缩放计数器的级联, 以生成大于 512 的计数器。这是通过将一个 C 计数器的输出送至下一个 C 计数器的输入来实现的, 如图 5-7 所示。

**图 5-7 计数器的级联**

当通过级联计数器来实现高频 VCO 时钟的更大分频时,级联的计数器作为单个计数器运行,并具有单个计数器设置的乘积。

例如,如果 $C0=4$ 和 $C1=2$, 则级联的值是 $C0 \times C1 = 8$ 。

后缩放计数器的级联由 HqFpga 软件在配置文件进行自动配置。

6 I/O 特性

I/O 功能是由许多低成本应用中的多样化 I/O 标准所驱动的,大幅度提高了 I/O 的性能要求,可以轻松、灵活地容纳您的主模块设计。

I/O 功能齐全、使用灵活。提供了真差分输入缓冲器片上电阻(OCT) 的支持,消除了许多应用中所需的外部电阻,例如显示系统接口。

高速差分 I/O 标准在高速接口中已经很普遍,这是由于它们在单端 I/O 标准中具有显著的优势。Sealion(海狮)2000 系列 FPGA 器件能够支持 LVDS、BLVDS、MLVDS、RSDS、LVPECL、mini-LVDS 等。

HqFpga 软件提供具有强大的管脚计划功能的解决方案。实现在您得到设计文件之前,对 I/O 系统设计的计划和优化。

这一章节包括以下几部分内容:

- I/O 单元
- I/O 单元特性
- I/O 标准
- I/O 模块
- 高速 I/O 接口
- 高速 I/O 标准支持
- MIPI-DPHY 支持 (5K 器件)

6.1 I/O 单元

I/O 单元包含一个双向 I/O 缓冲器和三个寄存器;用以寄存输入、输出、输出使能信号;完成嵌入式双向单沿数据速率的传送。I/O 管脚支持各种单端和差分 I/O 标准。

I/O 单元包含一个输入寄存器、一个输出寄存器和一个输出使能(OE)寄存器。您可以使用输入寄存器实现较快的建立时间,使用输出寄存器实现快速的输出 (clock-to-output) 时间。此外,可以使用 OE 寄存器于快速时钟至输出 (clock-to-output) 使能时间;可以使用 I/O 单元用于输入、输出或双向数据路径。

图 6-1 显示了 I/O 单元结构为单沿数据(SDR)的配置。

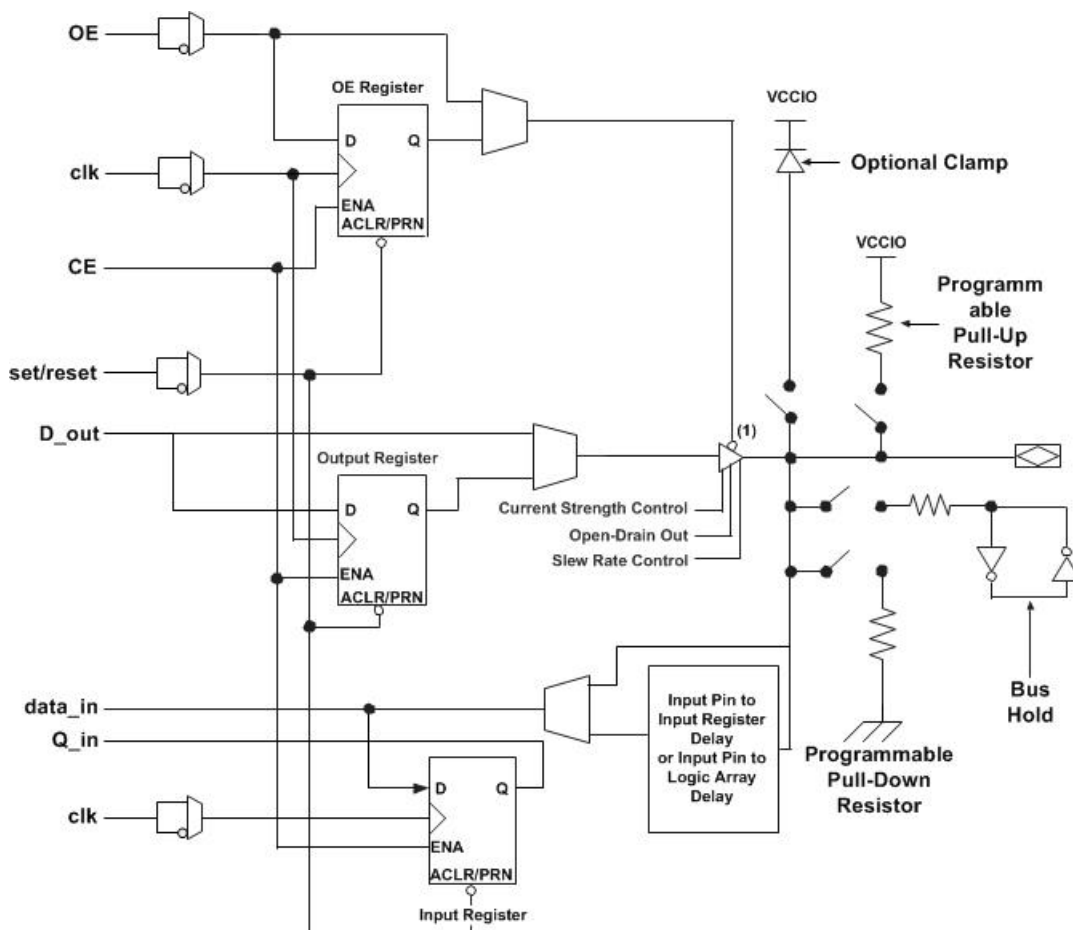


图 6-1 SDR 模式下 I/O 单元的双向 I/O 配置

6.2 I/O 单元特性

I/O 单元提供了 I/O 管脚的一系列可编程功能。这些功能增加了 I/O 利用率的灵活性，并提供了一个取代外部分立元器件的方法，例如上拉电阻和总线保持。

6.2.1 可编程电流强度

每个 I/O 管脚上的输出缓冲器，能够对于某些 I/O 标准提供一个可编程电流强度控制。

LVTTL、LVCMOS、SSTL-25ClassI、SSTL-25ClassII、SSTL-18ClassI、SSTL-18ClassII、HSTL-18ClassI、HSTL-18ClassII、等 I/O 标准电流强度均可以设定。

表 6-1 显示了对电流强度控制的 I/O 标准的设置标准。这些可编程电流强度设置，对于帮助降低同步切换输出 (SSO) 的影响、减少系统噪声来说，是一种很有价值的工具。其所支持的设置，能够确保器件驱动符合在相应的 I/O 标准中 IOH 和 IOL 的规范。

6.2.2 摆率控制 (Slew Rate)

每个 I/O 管脚的输出缓冲器，能够提供可选的可编程输出摆率 (Slew Rate) 控制。然而，这些快速跳变可能引进系统中的噪声跳变。一个较慢的摆率可以减少系统的噪声，但却增加了上升沿和下降沿的标称延迟。

由于每个 I/O 管脚都有一个单独的摆率控制，您可以逐一为每个引脚指定摆率。摆率控制影



响上升沿和下降沿。摆率控制在 8 毫安或更高的电流强度中可用于单端 I/O 标准。

6.2.3 开漏输出 (Open Drain)

本系列 FPGA 器件为每个管脚提供一个可选的开漏输出 (Open Drain)。这个开漏输出使能器件, 以提供系统级的控制信号 (比如: 中断或写入使能信号), 且可以被系统中的多个器件驱动成置位。

6.2.4 总线保持

每个用户 I/O 管脚提供了一个可选的总线保持功能。总线保持电路, 能够保存其最后驱动状态的 I/O 管脚上的信号。由于总线保持功能, 保存了最后驱动状态的管脚电平, 直到下一个输入信号出现。在总线状态为三态时, 保持信号水平, 不需要在芯片外部加入上拉或者下拉电阻。

总线保持电路, 也把未驱动的管脚从输入阈值电压中拉离。未驱动的管脚输入其噪声, 可能会导致意想不到的高频切换。您可以单独为每个 I/O 管脚选择这项功能。另外, 不能使用总线保持器来驱动 I/O, 因为此操作可能会覆盖总线保持器内部的存储值。

假如您启用总线保持功能, 那么器件不能使用可编程的上拉电阻选项。当 I/O 管脚配置为差分信号时, 禁用总线保持的功能。

总线保持电路只有在配置完成后才有效。当进入用户模式时, 总线保持电路采集呈现在最后配置的管脚上的值。

6.2.5 可编程的上拉电阻或下拉电阻

本系列 FPGA 器件的 I/O 管脚在用户模式中提供一个可选的可编程上拉电阻或下拉电阻。如果你为 I/O 管脚启用这一功能, 那么上拉电阻需要保持输出到输出管脚块中的 VCCO 电平。如果您启用可编程上拉电阻或下拉电阻, 那么该器件无法使用总线保持的功能。

6.2.6 可编程的延迟

I/O 单元包括可编程延迟以确保零保持时间、最小化建立时间、延迟时钟输入信号。

一个管脚中的一条路径直接驱动一个寄存器, 可能需要一个可编程延迟以确保零保持时间; 然而, 一个管脚的一条路径通过组合逻辑驱动一个寄存器, 则可能不需要延迟。

可编程延迟最小化建立时间: HqFpga 编译器可编程这些延迟, 以自动最小化建立时间, 同时提供一个零保持时间。

每个复用时钟输入管脚, 提供一个可编程延迟到全局时钟网络。

6.2.7 预置和清零

I/O 单元寄存器, 在每个 I/O 模块的预置或清零功能上, 共享相同的资源。您可以为每个独立的 I/O 单元编程预置或清零功能, 但您不可以同时使用这两项功能。

您也可以编程寄存器上电到高电平或低电平。如果编程到低电平, 异步清零可以控制寄存器。如果编程到高电平, 异步预置可以控制寄存器。此功能可以防止无意中激活另一个器件上电后的低电平有效的输入。此外, I/O 单元寄存器也支持同步复位信号。

6.2.8 PCI 钳位二极管 (PCI-Clamp)

Sealion (海狮) 2000 系列 FPGA 器件为底部的 I/O 模块 (如 12K/25K 的 bank3, bank4 和 5K/7K 的 bank2) 的 I/O 管脚, 提供一个可选的 PCI-Clamp 二极管使能输入和输出。其余 I/O 模块的 I/O 管脚, 有可选的 Clamp, 但是不是 PCI 特性的 PCI-Clamp

PCI-Clamp 减少接收器过冲期间的 IO 焊盘泄漏。

6.3 I/O 标准

本系列 FPGA 器件支持多个单端和差分 I/O 标准, 支持 3.3、2.5、1.8、1.5 和 1.2V 的 I/O 标准。表 6-1 总结了所支持的 I/O 标准和所支持的 I/O 管脚。

表 6-1 支持 I/O 标准和限制

I/O 标准	类型	VCCO (V)	输出驱动电流	输入 Vref
3.3-VLVTTL,	单端	3.3	4,8,12,16,24	-
3.3-VLVC MOS	单端	3.3	4,8,12,16,24	-
2.5-VLVC MOS	单端	2.5	4,8,12,16	-
1.8-VLVC MOS	单端	1.8	4,8,12	-
1.5-VLVC MOS	单端	1.5	4,8	-
1.2-VLVC MOS	单端	1.2	2,6	-
SSTL-25 Class I	单端	2.5	8	1.25
SSTL-25 Class II(注 1)	单端	2.5	-	1.25
SSTL-18 Class I	单端	1.8	8	0.9
SSTL-18 Class II(注 1)	单端	1.8	-	0.9
HSTL-18 Class I	单端	1.8	8	0.9
HSTL-18 Class II(注 1)	单端	1.8	-	0.9
PCI33	单端	3.3	24	-
SSTL-25 Class I	差分(注 2)	2.5	8	-
SSTL-25 Class II(注 1)	差分	2.5	-	-
SSTL-18 Class I	差分(注 2)	1.8	8	-
SSTL-18 Class II(注 1)	差分	1.8	-	-
HSTL-18 Class I	差分(注 2)	1.8	8	-
HSTL-18 Class II(注 1)	差分	1.8	-	-
MLVDS	差分(注 3)	2.5	16	-
LVDS	差分(注 3)	2.5	3.5	-
RSDS	差分(注 3)	2.5	8	-
BLVDS	差分(注 3)	2.5	8	-
LVPECL	差分(注 3)	3.3	16	-
MIPI	差分(注 4)	2.5	2	-

【注】

1. SSTL-25 Class II, SSTL-18 Class II、和 HSTL-18 Class II 都仅支持输入管脚。
2. 差分 HSTL 和 SSTL 输出使用两个单端输出, 其中第二个输出编程为反转输出。
3. 差分 LVPECL, MLVDS, BLVDS, 和 RSDS 输出使用两个单端 LVCMOS 输出和外加配套电阻。其中第二个输出编程为反转输出。
4. MIPI 使用真 LVDS 输出, 和外加配套电阻。MIPI 输入使用真双端口输入缓冲器。



6.4 I/O 模块 (BANK)

I/O 管脚可以组合成 I/O 模块。每个 I/O 模块都有一个独立的电源端口。

本系列系列 FPGA 器件共有八个 I/O 模块，如图 6-2 所示。每个器件 I/O 管脚与一个 I/O 模块相关。所有 I/O 模块都支持全部的单端 I/O 标准。所有 I/O 模块都支持全部的差分 I/O 标准除了真 LVDS 输出只在顶部的 I/O 模块支持。

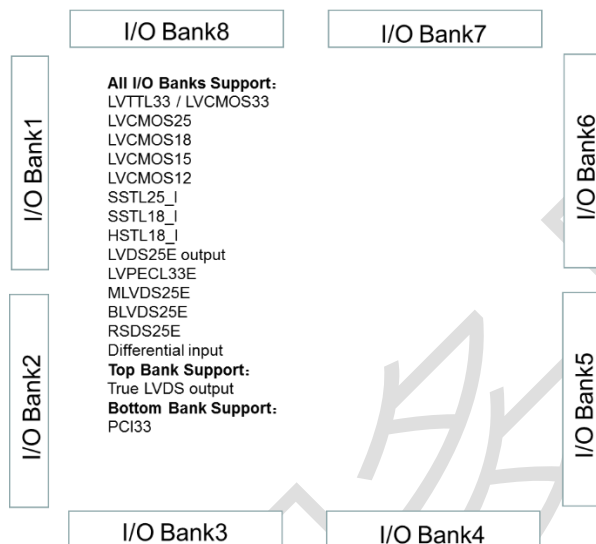


图 6-2 FPGA I / O 模块(12K,25K)

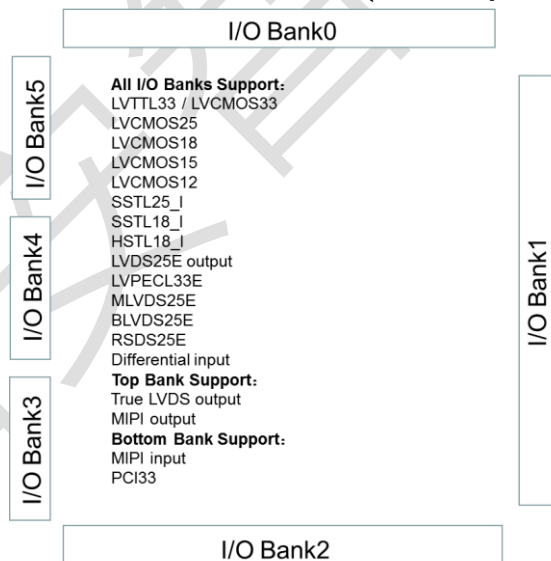


图 6-3 FPGA I / O 模块(5K,7K)

【注】

1. 这是硅芯片的顶层视图，仅仅是一个图形化的表示。对于精确的管脚位置，请参考管脚列表和 HqFpga 软件。
2. 真 LVDS 差分输出仅仅在顶部的 I/O 模块支持。伪双端 LVDS、RSDS、BLVDS、MLVDS、LVPECL 等差分输出所有 I/O 模块都支持，但是需要外加电阻。
3. 差分 SSTL-18 和 SSTL-25、差分 HSTL-18 标准不支持 ClassII 输出。
4. BLVDS 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用真 LVDS 输入缓冲器。

6.4.1 VREF 总线

每个 I/O 模块有一个 VREF 总线，适应于参考电压 I/O 标准。I/O 模块任意一个 I/O 端口，都可以驱动 I/O 模块的 VREF 总线，提供 I/O 模块管脚的 VREF 参考源。

如果 I/O 模块中任何 I/O 使用参考电压 I/O 标准，必须连接这个 I/O 模块一个管脚作为 VREF 输入驱动管脚并且连接到相应的电平。

如果使用的 I/O 模块中所有的端口都没有使用参考电压 I/O 标准，可以在将 I/O 模块所有的管脚都作为 I/O 管脚，此 I/O 模块的 VREF 总线可以不被驱动。

例如，如果在 I/O 模块 1 中有 SSTL-25ClassI 输入管脚，I/O 模块 1 的一个端口必须连接到 1.25V 的电压源来驱动 VREF 总线。I/O 模块 2 到 I/O 模块 8 的端口可以全部是 I/O 端口，不需要驱动相对应的 VREF 总线。

一个 I/O 模块，只有一个 VREF 总线。如果多个参考电压 I/O 标准被用在同一个 I/O 模块中，那么那多个参考电压 I/O 标准的 VREF 总线必须全部使用相同的电压电平。

任何数目的单端或差分标准都可以在一个单一的 I/O 模块内同时支持，只要他们的输入和输出管脚使用相同的 VCCO 电平。

同一个 I/O 模块中，可以使用任何数量的单端或差分标准的参考电压标准，条件是他们使用相同的 VREF 和 VCCO 值。例如，如果您选择在本系列 FPGA 器件中实现 SSTL-25 和 SSTL-18，由于他们需要不同的 VREF 值，如果 I/O 管脚使用这些标准，就必须通过不同的 I/O 模块来实现。然而，相同的 I/O 模块，可以同时支持 SSTL-25 和 2.5V LVCMOS，此时 VCCO 设置为 2.5V 和 VREF 设置为 1.25V。

6.4.2 外部存储器接口

本系列 FPGA 器件支持的 I/O 标准要求与广泛的外部存储器接口相连接，例如 DDR SDRAM 和 DDR2 SDRAM。

6.5 高速 I/O 接口

本系列 FPGA 器件的 I/O 被分成 8 个 I/O 模块，每个模块有一个独立的电源供电，真 LVDS 输出在顶部的 I/O 模块中驱动。

伪双端输出，就是使用两个单端输出，其中第二个输出编程为反转输出，以及一个外部电阻网络。可以支持 LVDSE、RSDS、BLVDS、LVPECL 等高速 I/O 标准。所有的 I/O 模块都支持伪双端高速输出。

所有的 I/O 模块都可以支持这些 I/O 标准的输入缓冲器。

表 6-2 I/O 模块支持的差分 I/O 标准

差分 I/O 标准	I/O 模块位置	发送器的外部电阻网络
LVDSE	7,8	不需要
	1,2,3,4,5,6	三个电阻
mini-LVDS	7,8	不需要
	1,2,3,4,5,6	三个电阻
RSDS	7,8	不需要
	1,2,3,4,5,6	三个电阻



差分 I/O 标准	I/O 模块位置	发送器的外部电阻网络
BLVDS	所有	三个电阻
LVPECL	所有	三个电阻
差分 SSTL-25	所有	—
差分 SSTL-18	所有	—
差分 HSTL-18	所有	—

您可以使用 I/O 管脚和内部逻辑实现高速差分接口。本系列 FPGA 器件不包括专用的序列化和反序列化电路。因此，移位寄存器、内部锁相环（PLL）和 I/O 单元被用于执行串行并行转换。对数据的输入执行串行转换并行，对数据的输出执行并行转换串行。

6.5.1 LVDS 的 I/O

本系列 FPGA 器件顶端的 I/O 模块，支持真 LVDS 发送器；其他的 I/O 模块，支持伪双端 LVDS 发送器，使用两个单端输出缓冲器和外部电阻。其中，一个单端输出缓冲器，被编程到相反极性。LVDS 接收器，在输入缓冲器的两个信号之间，需要一个 $100\text{-}\Omega$ 的外部匹配电阻。图 6-4 显示一个点对点的 LVDS 接口，使用真 LVDS 输出和输入缓冲器。

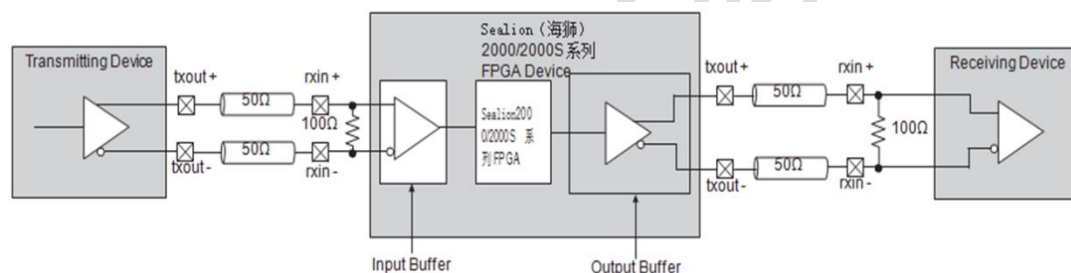


图 6-4 真双端输出 LVDS 接口，在器件的顶部 I/O 模块

图 6-5 显示一个点对点的 LVDSE 接口，与 LVDS 使用两个单端输出缓冲器和外部电阻。

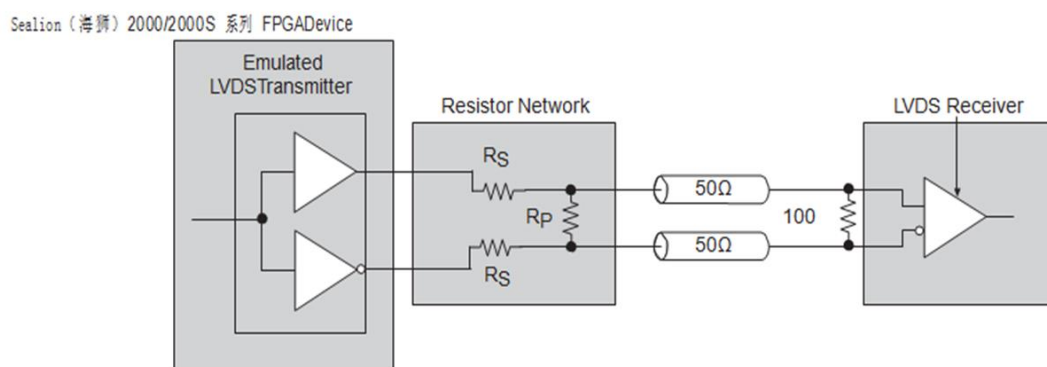


图 6-5 伪双端口 LVDS 接口与外部电阻网络

【注】 $R_S = 160\Omega$, $R_P = 160\Omega$.

6.5.2 BLVDS 的 I/O 标准

BLVDS 的 I/O 标准，是一项高速差分数据传输技术，它延伸了标准点对点 LVDS 至支持双向半双工通信的多点配置的优势。BLVDS 不同于标准 LVDS，它提供了更高的驱动以实现在接收器中的类似信号摆幅，同时总线两端的终端加载两个匹配。图 6-6 显示了一个典型的 BLVDS 拓扑与多个发送器和接收器对。

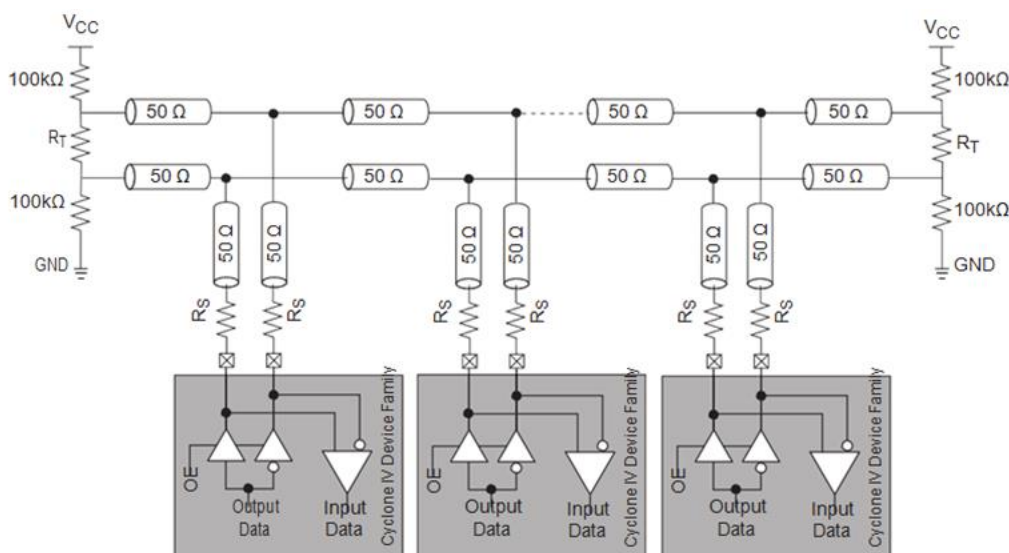


图 6-6 BLVDS 拓扑与发送器和接收器

本系列 FPGA 器件, 每一个 I/O 模块都支持 BLVDS 的 I/O 标准。BLVDS 发送器使用两个单端输出缓冲器, 其中第二个输出缓冲器编程为反转数据。而 BLVDS 接收器使用一个真 LVDS 输入缓冲器。发送器和接收器共享相同的管脚。一个输出使能(OE)信号是用来让输出缓冲呈现三态, 当 LVDS 输入缓冲器接收一个信号时。

BLVDS 的设计考量

BLVDS 双向通信, 要求 BLVDS 的总线的两个终端要匹配。匹配电阻(RT)必须符合总线差分阻抗, 而这取决于总线上的加载。增加加载, 降低总线差分阻抗。因为总线的两端有两个终端匹配, 在输入缓冲器的两个信号之间的匹配是不需要的。输出缓冲器需要一个单一的串联电阻(RS)用于输出设备缓冲阻抗与传输线阻抗相匹配。然而, 这个串联电阻影响输入缓冲器的电压摆幅。最大数据速率的实现取决于许多因素。

6.5.3 RSDS、Mini-LVDS 和 PPDS 的 I/O

RSDS、mini-LVDS 和 PPDS 的 I/O 标准, 用于显示面板上的时间控制器和列驱动器之间的芯片到芯片的应用程序, 如液晶显示器(LCD) 和液晶电视。

本系列 FPGA 器件符合国家半导体公司的 RSDS 接口规范、德州仪器 (Texas Instruments) mini-LVDS 接口规范以及国家半导体公司的 PPDS 接口规范, 分别支持 RSDS、mini-LVDS 和 PPDS 输出标准。

RSDS、Mini-LVDS 和 PPDS 的设计

I/O 模块支持 RSDS、mini-LVDS 和 PPDS 输出标准。顶部的 I/O 模块支持真 RSDS、mini-LVDS 和 PPDS 发送器。每一个 I/O 模块都支持伪双端口 RSDS、mini-LVDS 和 PPDS 发送器使用外部电阻的两个单端输出缓冲器。这两个单端输出缓冲器编程为极性相反。

Sealion (海狮) 2000/2000S 系列 FPGA Device

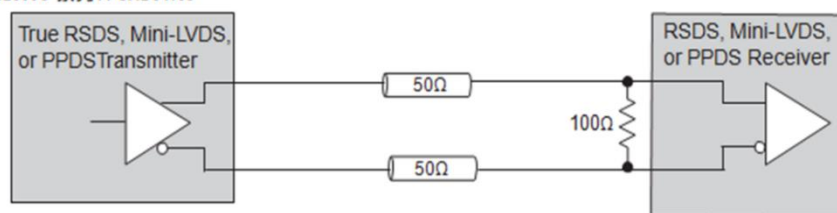


图 6-7 RSDS、Mini-LVDS 或者 PPDS 接口与顶端 I/O 模块的真输出缓冲器

图 6-8 显示了一个 RSDS、mini-LVDS 或者 PPDS 与两个单端输出缓冲器和外部电阻的接口。

Sealion (海狮) 2000/2000S 系列 FPGA Device

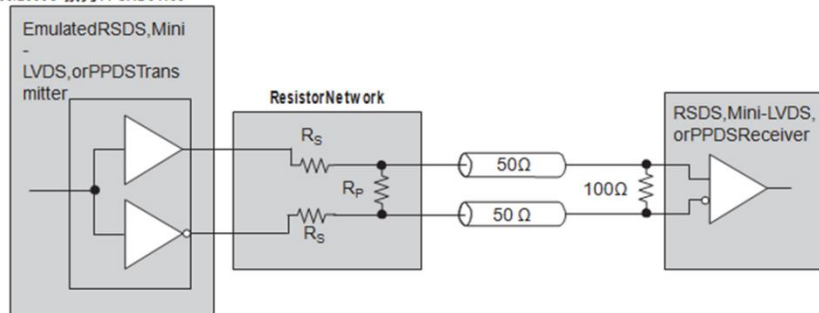


图 6-8 RSDS、Mini-LVDS 或者 PPDS 接口与 I/O 模块上的外部电阻网络。

【注】 R_S 和 R_P 值都有待验证。

当使用伪双端口发送器时，需要一个电阻网络衰减输出电压摆幅以符合 RSDS、mini-LVDS 和 PPDS 的规范。您可以修改电阻网络值以降低功耗或者改善噪声容限。

$$\frac{R_S \times \frac{R_F}{2}}{R_S + \frac{R_F}{2}} = 50\Omega$$

所选的电阻值必须满足

公式 1:

$$\frac{R_S \times \frac{R_F}{2}}{R_S + \frac{R_F}{2}} = 50\Omega$$

公式 1 电阻网络

6.5.4 差分 SSTL 的 I/O

差分 SSTL 的 I/O 标准，是一个内存总线标准用于如对高速 DDR SDRAM 接口的应用。本系列 FPGA 器件支持差分 SSTL-25 和 SSTL-18 的 I/O 标准。差分 SSTL 输出标准使用两个单端 SSTL 输出缓冲器，其中第二个输出管脚编程为极性相反的管脚。差分 SSTL 输入标准使用真双端口差分输入缓冲器。

6.5.5 差分 HSTL 的 I/O

差分 HSTL I/O 标准，用于设计以操作在 0V~1.8V 的 HSTL 逻辑开关范围应用。本系列 FPGA



器件支持差分 HSTL-18 的 I/O 标准。差分 HSTL 输入标准, 使用真双端口差分输入缓冲器。差分 HSTL 输出标准使用两个单端 HSTL 输出缓冲器, 其中第二个输出管脚编程为极性相反的管脚。

6.5.6 模拟 MIPI-DPHY 支持

MIPI-DPHY 速率可达 1.2Gbps.

具体文档说明另外提供。

7 I/O 逻辑特性

7.1 输入寄存器模块

输入信号从 I/O 缓冲区送到通用输入寄存器。I/O 逻辑模块包含延迟单元和寄存器，使用寄存器将高速接口信号进行调节后传递至 FPGA 内核。如果需要，输入寄存器可以进行旁路或缓存。通过调节延时单元来增加或减少输入延迟以达到零保持时间。除此功能外，还支持不同比率的数据串并转换。在不同 I/O bank 下可以通过通用 DDR 模式，DDR memory 模式（带有 DQS 读写块）和 7: 1 Video 接口将信号从 IO 缓冲器同步输入到 FPGA 内核。

7.2 输出寄存器模块

输出寄存器块在将来自设备内核的信号传递到输出缓冲区之前对其进行缓冲。信号可以进行旁路到 IO 缓冲区或寄存器缓存。还支持不同的 I/O bank 下不同比率的数据并串转换。在通用 SDR 模式，Generic DDR 模式，DDR memory 模式（带有 DQS 读写块）和 7: 1 Video 接口模式下将信号从 FPGA 内核经输出寄存器模块同步后并转串输出到不同 I/O bank 的 IO 缓冲器。

8 器件编程

8.1 概述

Sealion 2000 系列、Sealion 2000E 系列支持 PS、AS、JTAG 多种配置模式。Sealion 2000E 由于内置 FLASH, 还支持 SRC 模式。Sealion 2000 系列通过 CFG_PIN[2:0] 选择配置模式, Sealion 2000E 系列通过读取内置 FLASH 中模式设置信息, 选择配置模式。

表 8-1 Sealion 2000 系列、Sealion 2000E 系列 FPGA 配置模式

配置模式	CFG_PIN[2:0]	简述
PS	000/100/111	被动接收串行数据进行配置, 支持 x1 数据位宽
AS	010/011/101	主动读取外部 SPI FLASH 存储数据进行配置, 支持 x1 x2 x4 数据位宽
SRC	/	主动读取内置 FLASH 存储数据进行配置
JTAG	/	通过 JTAG 接口进行配置、调试

【注】

1. 上表中, CFG_PIN 指 Sealion 2000 系列模式选择管脚。无论选择何种模式, JTAG 接口始终可用。

Sealion 2000 系列、Sealion 2000E 系列 FPGA 支持以下配置相关功能:

表 8-2 Sealion 2000 系列、Sealion 2000E 系列配置模块相关功能

配置相关功能	Sealion 2000 系列	Sealion 2000E 系列
配置数据流 CRC 校验	√	√
配置数据流压缩	√	√
配置数据流加密	×	√
DUAL BOOT	√	√
MULTI BOOT	√	√
daisy-chain	√	×
软错误检测	√	√
软错误修复	×	√
PLL、EBR 初始化数据动态重配置	√	√
低功耗模式	×	√

8.2 配置模式及接口

8.2.1 配置管脚列表

表 8-3 配置管脚列表

管脚名称	方向	描述
CFG_PIN[2:0]	input	仅 Sealion 2000 系列支持此功能。 用于选择配置模式
TCK	input	JTAG 时钟信号
TMS	input	JTAG 模式选择信号
TDI	input	JTAG 数据输入信号
TDO	output	JTAG 数据输出信号
NCFG	input	复位信号/重配置触发信号, 低电平时触发一次重配置过程, 在 JTAG 工作时此信号无效。

管脚名称	方向	描述
nSTATUS	inout	配置状态标志信号，配置正常进行或成功完成时为高电平，在配置初始化或配置错误时为低电平；可通过拉低此信号来推迟配置开始的时间。
DONE	inout	配置完成标志信号，配置完成后将会输出高电平信号；使用 daisy_chain 时，将所有芯片 DONE 信号连接在一起可以等待所有芯片配置完成后再同时开始工作。
DCLK	input/output	配置接口时钟信号，选择 PS 模式时，从外界接收时钟信号；选择 AS 模式时，向外发出时钟信号。
SN	input	片选信号，低电平时表示选中当前 FPGA 进行配置。
NCSO	output	AS 模式下用于向外部 SPI FLASH 提供的片选信号，低电平有效。
NCEO	output	daisy_chain 时向下一级 FPGA 发出的片选信号。
ASDO/SI	inout	AS 模式 x2 x4 位宽下，向外发出数据，x1 x2 x4 位宽下，接收回读数据。
DATA0/SO	inout	AS 模式 x2 x4 位宽下，向外发出数据，x2 x4 位宽下，接收回读数据。
SCL	inout	AS 模式 x4 位宽下，向外发出数据，接收回读数据。
SDA	inout	AS 模式 x4 位宽下，向外发出数据，接收回读数据。
JTAGDISN	input	仅 Sealion 2000E 系列支持此功能。 在禁用 JTAG 设置生效后，可以通过此信号停用/启用 JTAG 接口。 低电平时，停用 JTAG 接口，使 JTAG 接口作为用户 IO 使用。

配置模式对应数据接口：

表 8-4 配置模式对应数据接口列表

配置模式	方向	数据信号(MSB→LSB)
PS	input	SO
AS x1	input	SO
	output	SI
AS x2	inout	{SO,SI}
AS x4	inout	{SDA,SCL,SO,SI}

【注】

1. SRC 模式不需要外部配置接口。

8.2.2 JTAG 模式

JTAG 支持边界扫描指令以及 FPGA 配置指令。JTAG 接口在任何情况下均可使用，且优先级最高，如果在其他模式配置过程中使用，则会中断其配置过程。在 JTAG 接口工作时，NCFG 复位信号无法使用。

JTAG 接口功能：

- IEEE 1149.1 所规定边界扫描相关功能
- 配置 FPGA、回读 FPGA 配置信息
- 写入 Sealion 2000E 系列 FPGA 内部 FLASH 配置数据、配置设置信息

8.2.3 PS 模式

PS(Passive Serial)模式为 1 位数据线串行被动配置模式。PS 模式最少只需使用两个配置接口

DCLK、SO。使用 PS 模式时，FPGA 在每个 DCLK 时钟上升沿采集 SO 上的数据。

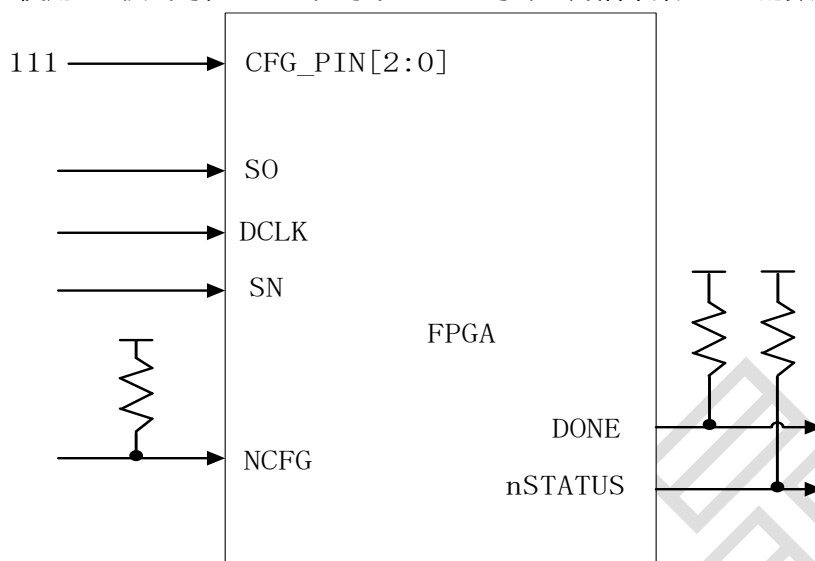


图 8-1 PS 模式配置接口

使用条件：

- 对于 Sealion 2000 系列，CFG_PIN 设为 PS 模式，对于 Sealion 2000E 系列，将 FLASH 中模式信息选为 PS 模式；
- 将 CSN 接地或提供低电平信号；
- 通过任意设备向 SO 端输入配置数据流，DCLK 端输入配置时钟；
- 在需要重配置时，拉低 NCFG 并持续一段时间，等待 nSTATUS 拉高，即可发送新的配置数据流，重新进行配置。

8.2.4 AS 模式

8.2.4.1 AS 模式简介

使用 AS (Active Serial) 模式时，FPGA 将作为主机向外部配置数据流存储设备发送回读数据请求，使用回读的数据完成配置过程。MSPI 模式支持 x1, x2, x4 三种位宽模式。MSPI 模式发出的 DCLK 时钟频率可通过软件设置在 2MHZ~133MHZ 间调整。一般使用 SPI FLASH 作为配置数据流存储设备。

AS 模式配置位宽通过软件在配置数据流中插入位宽模式选择指令实现。

表 8-5 模式对应回读指令表

位宽模式	发送的回读指令
x1	0x03
x2	0xBB
x4	0xEB

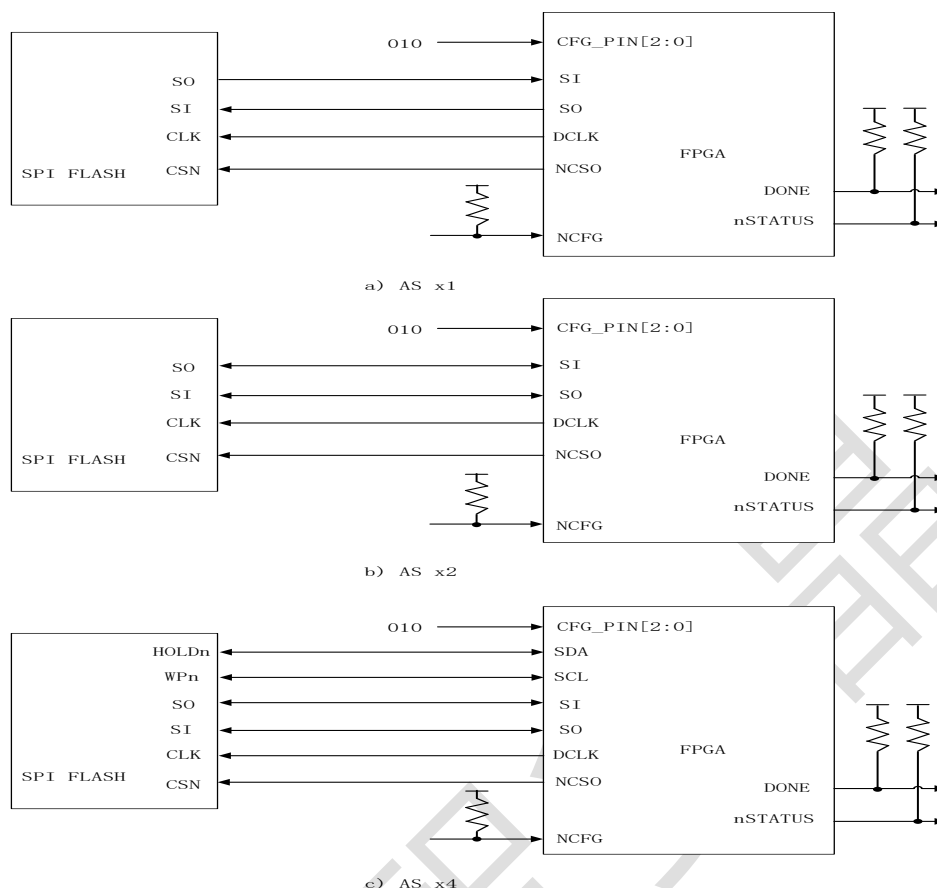


图 8-2 AS 模式配置接口及连接关系

使用条件:

- 对于 Sealion 2000 系列, CFG_PIN 设为 AS 模式, 对于 Sealion 2000E 系列, 将 FLASH 中模式信息选为 AS 模式;
- 按图 8-2 所示连接数据、片选、时钟信号;
- 在需要重配置时, 拉低 NCFG 并持续一段时间, 即可从 SPI FLASH 读取配置数据流, 重新进行配置。
- 选用的 SPI FLASH 需要支持 0x03 指令, 使用 x2 或 x4 模式时需要支持 0xBB 或 0xEB 指令;
- 为保证信号质量, SPI FLASH 需要位置尽量靠近 FPGA

8.2.4.2 JTAG-SPI

用户可以通过 JTAG 接口读写 SPI FLASH 数据。用户可通过 XIST 下载器通过此方式直接更新 SPI FLASH 存放数据。

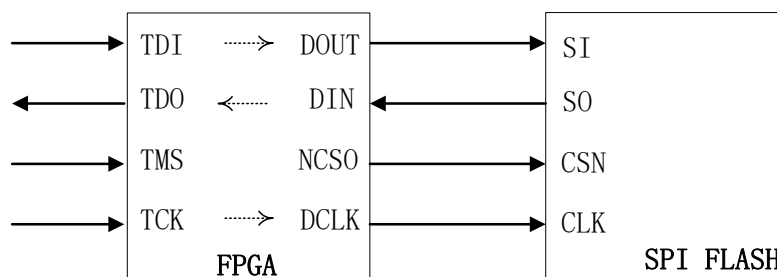


图 8-3 使用 JTAG 访问 SPI FLASH

8.2.4.3 DUAL BOOT

在 AS 模式下，配置过程中如果出现配置错误可以自动进行重配置，称为 DUAL BOOT。对于 Sealion 2000 系列，无需任何设置即可支持 DUAL BOOT；对于 Sealion 2000E 系列，需要设置 FLASH 中模式信息，以支持 DUAL BOOT 功能。

AS 模式首先从 SPI FLASH 地址 0 处开始回读数据，如果配置出现错误，则跳转到地址 Golden 处回读数据进行配置。

如需支持 DUAL BOOT 功能，SPI FLASH 中的数据可以按照下图所示方式存放。

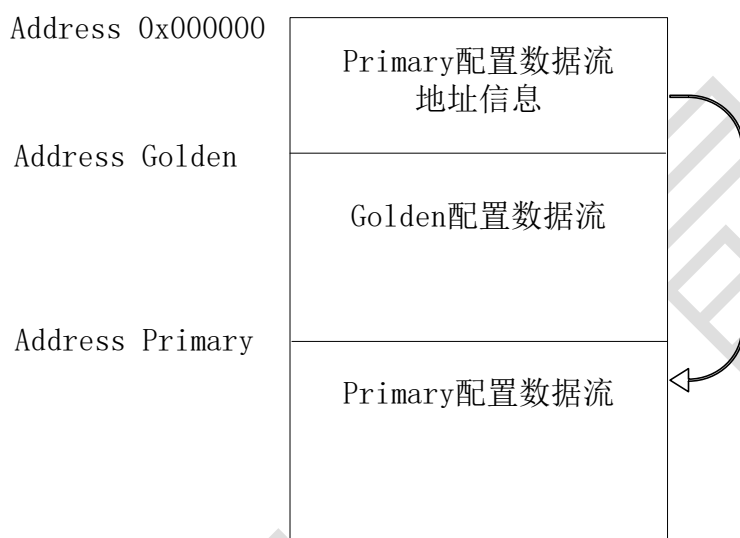


图 8-4 支持 DUAL BOOT 时，SPI FLASH 配置数据流存放示意图

8.2.5 SRC 模式

Sealion 2000E 系列支持 SRC (Self Refresh Configuration) 模式，从 FPGA 芯片内部 FLASH 加载配置数据流进行配置。

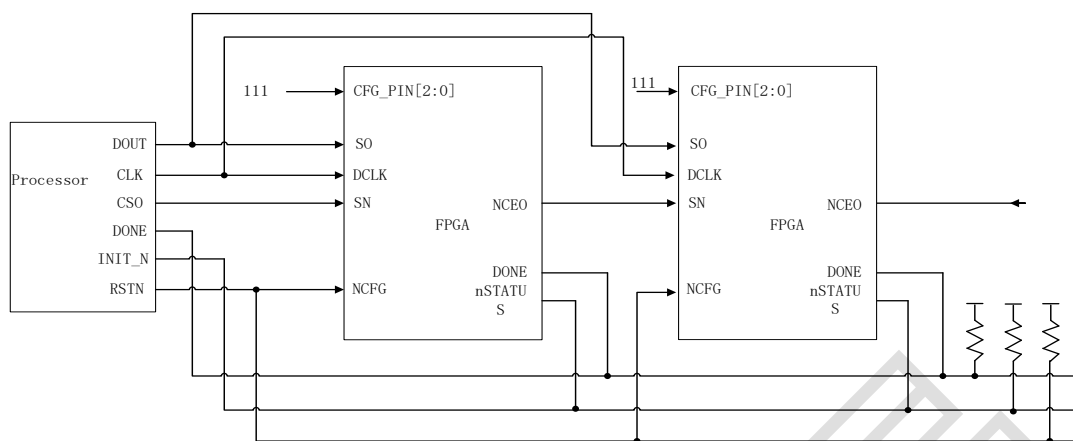
相比于 AS 模式，SRC 模式不需要任何外部器件、接口支持，即可完成配置过程，且配置时间更短。配置数据流信息存放于 FPGA 芯片内部 FLASH 中，不容易被外界获取，具有较高安全性。

8.3 其他

8.3.1 daisy-chain

在系统中可以同时使用多颗 FPGA 芯片，所有芯片可以从同一数据源依次进行配置。Sealion 2000 系列 FPGA 提供 NCEO 信号用于支持 daisy_chain 功能。NCEO 用作下一级 FPGA 配置片选信号。

图 8-5 daisy-chain 示意图



连接方式如

图 8-5 所示，第一级 FPGA 可选择设置为 PS 模式，或 AS 模式，下游 FPGA 需要设为 PS 模式。前一级 FPGA 输出的 NCEO 作为下一级 FPGA SN 的输入，所有芯片 DONE、nSTATUS、NCFG 分别连接在一起。

- 如果第一级选择 AS 模式，需要在生成配置数据流时，设置支持 daisy-chain 功能。
- 需要在生成配置数据流时，设置等待 DONE 信号拉高后再进行唤醒过程，用于使所有 FPGA 同时开始工作。

8.3.2 MULTI BOOT

Sealion 2000 系列、Sealion 2000E 系列 FPGA 提供内部重配置接口，向此接口发送一组特定编码可以触发 AS 模式重配置过程。重配置时读取 SPI FLASH 的起始地址可通过此接口任意指定。

8.3.3 安全性设置

Sealion 2000 系列、Sealion 2000E 系列 FPGA 生成配置数据流时，可以设置禁止回读选项，保护已经写入 FPGA 的配置信息。

Sealion 2000E 系列 FPGA 支持使用加密配置数据流进行配置。使用 AES-256 算法对配置数据流进行加密，密钥由用户自行设置，存放于内部 FLASH 中。

8.3.4 软错误检测、修复

Sealion 2000 系列、Sealion 2000E 系列 FPGA 通过调用 SED IP 可实现软错误检测。在用户功能工作时，配置模块可以回读配置数据，并进行 CRC 校验，判断配置信息是否正确，如果发现错误，则通过 SED 接口报出错误。用户可通过 SED 接口触发一次重配置，来修复此错误。

Sealion 2000E 系列 FPGA 通过调用 SEC IP 可实现软错误检测、修复。在用户功能工作时，配置模块可以回读配置数据，并进行 CRC 校验与 ECC 校验，判断配置信息是否发生错误，以及计算错误出现的位置。如果发现可修复的错误，则自动修复，如果发现不可修复的错误，则通过 SEC 接口报出错误。用户可通过 SEC 接口触发一次重配置，来修复此错误。



8.3.5 低功耗模式

Sealion 2000E 系列 FPGA 在配置完成后可以关闭 bandgap、POR、OSC 模块，以降低功耗。

8.3.6 用户 FLASH 区域

Sealion 2000E 系列 FPGA 内部 FLASH 划分为配置区域与用户区域。配置区域用于存放配置数据流；用户区域可存放任意用户数据。用户区域不大於 500Kbits。用户区域可通过 JTAG 接口访问，或在配置完成后，通过内部接口访问。



9 内置同步 DRAM (SDRAM)

9.1 内置单沿同步 SDRAM (Single Data Rate SDRAM)

9.1.1 概述

Sealion (海狮) 2000 系列 FPGA 产品集成的 SDR SDRAM 是一个高速的 CMOS 同步 DRAM 芯片, 容量为 64Mbits。内部包括四个模块(BANK), 每个模块大小为 512K x 32bits, 每个模块由 2,048 行 x 256 列 x 32bit 的存储阵列组成。支持读操作和写操作突发模式, 用户设置突发模式的起始位置和突发长度即可, SDR SDRAM 根据设置的数据长度顺序编程写入或读出。操作时需要先给出激活命令, 然后可以进行读或写操作。读操作或写操作突发长度支持 1、2、4、8 字节或页模式, 可以在编程模式寄存器中设置选择。使能自动预充电功能提供定时行预充电, 预充电在突发模式结束后启动。SDR SDRAM 提供自动刷新功能及自刷新功能, 此外, 还提供了编程模式寄存器, 用户可以选择最合适的模式使系统性能达到最优。

SDR SDRAM 详细信息, 如结构框图、管脚定义、操作命令和模式、读写时序和电气特性请参考 ESMT 数据手册 M12L64322A。SDR SDRAM 接口的供电电压为 3.3V。因此 SL2S-12 的所有 IO 模块电压需要固定到 $3.3V \pm 10\%$, 然而 SL2S-25, 除了 IO 模块“0”, 其他 IO 模块电压为 3.3V。

9.1.2 特性

内置单沿同步 SDR SDRAM 具有以下特性:

- 存取时间: 6ns/6ns
- 时钟频率: 166MHz
- 同步(时钟上升沿触发)操作
- 内部流水线结构
- 内部划分为四块 (512K x 32bits x 4 模块)
- 模式编程寄存器
 - 列地址选通脉冲时间延迟: 2 或者 3
 - 突发长度: 1、2、4、8 字节或者整页
 - 突发类型: 顺序模式或者间隔模式
 - 突发读单字节写功能
 - 突发停止功能
- 字节屏蔽功能
- 自动刷新和自刷新
- 4,096 刷新周期/64ms
- $3.3V \pm 10\%$ 供电电压
- LVTTTL 接口

9.1.3 结构示意图

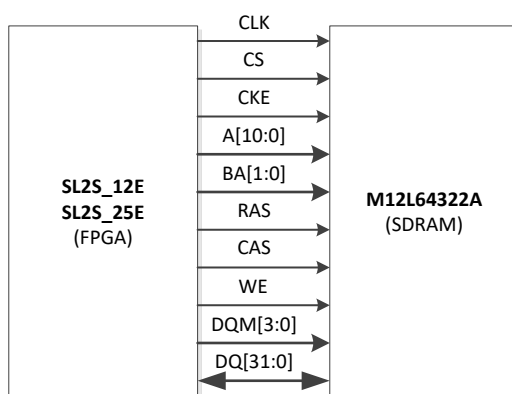


图 9-1 SL2S-12E 与 SL2S-25E 结构框图

参照图 9-1, SDR SDRAM 与 FPGA 之间的接口信号说明如表 9-1 所示。

表 9-1 SDR SDRAM 与 FPGA 之间的接口信号说明

名称	说明	方 向		备注
		SDR SDRAM	FPGA	
CLK	时钟 Clock	输入	输出	上升沿采样数据输入
CS	片选 Chip Select	输入	输出	(为低电平时)使能, 或(高电平时)禁用器件工作
CKE	时钟使能 Clock Enable	输入	输出	
A[10:0]	行/列地址 row/column address	输入	输出	行地址: RA0-RA10 列地址: CA0-CA7
BA[1:0]	bank 选择地址 bank select address	输入	输出	
RAS	行地址选通 Row Address Strobe	输入	输出	低电平有效
CAS	列地址选通 Column Address Strobe	输入	输出	低电平有效
WE	写使能 Write Enable	输入	输出	低电平有效
DQM[3:0]	数据输入/输出掩码 Data input/output mask	输出	输出	
DQ[31:0]	数据输入/输出 Data input/output	双向	双向	

9.1.4 在设计中使用 SDR SDRAM

在硬件描述语言(例如 Verilog)中, 用户可用通过两种方式来使用 SDR SDRAM:

- 特殊顶层模块端口 (推荐)
- IP 实例化方法

下面将简单介绍特殊顶层模块端口。文档 “UG101 Sealion 2000S FPGA 器件 SDRAM 用户指南 ” 提供详细描述, Verilog 示例代码及其余方法介绍。

参见表 9-2, 在 SL2S 芯片封装内, FPGA 与 SDR SDRAM 通过硬连线相连(Hard-wired), SDR SDRAM 的端口(port)没有对外引出, 用户需要通过访问 FPGA 的相关端口与 SDR SDRAM 进行数据传输并对其进行控制。

在用户设计描述中, 用户可以在其顶层模块中加入特殊命名的端口来访问 SDR SDRAM。

表 9-2 访问 SDR SDRAM 的顶层模块端口

特殊端口名称	信号说明 (参见表 9-1)	方向
xsSL12EXT_M12164322A_CLK	CLK	输出
xsSL12EXT_M12164322A_CS	CS	输出
xsSL12EXT_M12164322A_CKE	CKE	输出
xsSL12EXT_M12164322A_A	A	输出
xsSL12EXT_M12164322A_BA	BA	输出
xsSL12EXT_M12164322A_RAS	RAS	输出
xsSL12EXT_M12164322A_CAS	CAS	输出
xsSL12EXT_M12164322A_WE	WE	输出
xsSL12EXT_M12164322A_DQM	DQM	输出
xsSL12EXT_M12164322A_DQ	DQ	双向

```

module my_design (
    myclk, mydatain, mydataout...// 正常顶层设计端口声明
    //用于访问 SDRAM 的端口声明
    xsSL12EXT_M12164322A_DQ ,
    xsSL12EXT_M12164322A_BA ,
    xsSL12EXT_M12164322A_CLK ,
    xsSL12EXT_M12164322A_CKE ,
    xsSL12EXT_M12164322A_WE ,
    xsSL12EXT_M12164322A_CAS ,
    xsSL12EXT_M12164322A_RAS ,
    xsSL12EXT_M12164322A_CS ,
    xsSL12EXT_M12164322A_A ,
    xsSL12EXT_M12164322A_DQM
);
...
// 访问 SDRAM 的端口定义
inout [31:0] xsSL12EXT_M12164322A_DQ ;
output [1:0] xsSL12EXT_M12164322A_BA ;
output xsSL12EXT_M12164322A_CLK ;
output xsSL12EXT_M12164322A_CKE ;
output xsSL12EXT_M12164322A_WE ;
output xsSL12EXT_M12164322A_CAS ;
output xsSL12EXT_M12164322A_RAS ;
output xsSL12EXT_M12164322A_CS ;
output [10:0] xsSL12EXT_M12164322A_A ;
input [3:0] xsSL12EXT_M12164322A_DQM ;
// SDRAM 数据读写
assign xsSL12EXT_M12164322A_DQ = oe?data from fpga core:32'hzzzz zzzz;

```

图 9-2 通过特殊顶层模块端口访问 SDR SDRAM 的示例

更完整的 Verilog 示例代码可以参见文档“UG101 Sealion 2000S FPGA 器件 SDRAM 用户指南”。

本方法的优点是：首先，设计描述与实际硬件有直接的对应关系，方便理解。其次，没有特别的描述方式限制，对第三方综合工具比较友好。由于 SDR SDRAM 端口是顶层模块端口，第三方工具可以按需插入单向或双向 IO 缓冲器，或者 IO 寄存器，Sealion FPGA 开发软件 (HqFpga) 最终会将这些特殊端口映射到硬件端口实现。

这种方法的缺点是：如果设计层次较深，而 SDR SDRAM 只在很底层的模块中用到，这些顶层端口要在设计描述中通过层层“打洞”的方式连接到使用 SDR SDRAM 的模块中去，造成书写描述较为繁琐。



9.2 内置双沿同步 SDRAM (Double Data RateII-DDR2 SDRAM)

9.2.1 概述

Sealion (海狮) 2000 系列 FPGA 产品集成的 DDR2 SDRAM 是一个高速的 CMOS 双沿数据采样的同步 DRAM 芯片, 容量为 512Mbits。内部包括四个模块(BANK), 每个模块大小为 8M x 16bits。所有输入以时钟上升沿作为参考, 时钟的上升沿和下降沿读出数据。支持读操作和写操作突发模式, 用户设置突发模式的起始位置和突发长度即可, DDR2 SDRAM 根据设置的数据长度顺序编程写入或读出。上电后操作进行之前需要先给出激活命令, 然后可以进行读或写操作, 支持突发长度为 4, 8 的读和写。使能自动预充电功能提供定时行预充电, 预充电在突发模式结束后启动。DDR2 SDRAM 除了提供自动刷新及自刷新功能之外, 还提供了可编程的 DLL, OCD (Off-chip-driver) 和 ODT (On-die-termination)。DDR2 SDRAM 提供了编程模式寄存器和扩展模式寄存器, 用户可以选择最合适的模式使系统性能达到最优。DDR2 SDRAM 详细信息, 如结构框图、管脚定义、操作命令和模式、读写时序和电气特性请参考 ESMT 数据手册 M14D5121632A。DDR2 SDRAM 接口的供电电压为 1.8V, 连接 DDR2 SDRAM 的模块电压需要固定到 1.8V。因此 SL2D-25E 的 IO 模块 "1, 2, 5, 6" 电压为 1.8V, 其余的 IO 模块电压可为 1.5V, 1.8V, 2.5V 或 3.3V。

9.2.2 特性

内置双沿同步 DDR2 SDRAM 具有以下特性:

- 时钟频率: 200MHz/200MHz
- 差分时钟输入信号 CLK 和~CLK
- 双向 DQS
- 支持 DLL 使能/不使能
- 除了 DATA, DQS 与 DM, 其他输入信号为同步 (时钟上升沿触发) 操作
- 内部流水线结构
- 内部划分为四块, 每块大小为 8M x 16 bits
- 可编程模式和扩展模式寄存器
 - 列地址选通脉冲时间延迟: 3, 4, 5, 6, 7, 8, 9
 - 突发长度: 4, 8
 - 突发类型: 顺序模式或者间隔模式
- 字节屏蔽功能
- DM 写延迟为 0
- OCD 阻抗调节
- ODT 提高讯号品质
- 自动刷新和自刷新
- 8192 刷新周期/64ms
- 预充电和掉电激活
- 1.8V±0.1V 供电电压 1
- SSTL_18 接口

9.2.3 结构示意图

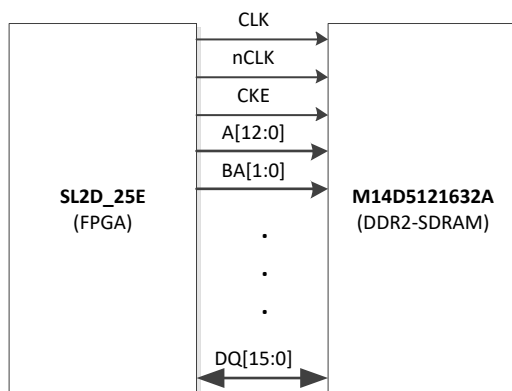


图 9-3 SL2D-25E 结构框图

参照

图 9-3, DDR2 SDRAM 与 FPGA 之间的接口信号说明如表 9-1 所示。

表 9-3 SDR SDRAM 与 FPGA 之间的接口信号说明

名称	说明	方 向		备注
		对于 SDRAM	对于 FPGA	
CLK nCLK	时钟 Clock	输入	输出	差分时钟
nCS	片选 Chip Select	输入	输出	(为低电平时)使能, 或(高电平时)禁用器件工作
CKE	时钟使能 Clock Enable	输入	输出	
A[12:0]	行/列地址 row/column address	输入	输出	行地址: RA0-RA12 列地址: CA0-CA9
BA[1:0]	bank 选择地址 bank select address	输入	输出	4 个 BANK
nRAS	行地址选通 Row Address Strobe	输入	输出	低电平有效
nCAS	列地址选通 Column Address Strobe	输入	输出	低电平有效
nWE	写使能 Write Enable	输入	输出	低电平有效
LDM UDM	DM: 数据输入/输出掩码 Data input/output mask	输入	输出	LDM 用于掩码 DQ0~DQ7, UDM 用于掩码 DQ8~DQ15.
LDQS, nLDQS UDQS, nUDQS	DQS: 差分数据触发 Data Strobe	双向	双向	LDQS, nLDQS 用于 DQ0-DQ7, UDQS, nUDQS 用于 DQ8-DQ15
DQ[15:0]	数据输入/输出 Data input/output	双向	双向	
ODT	片内信号终结 On-Die-Termination.	输入	输出	ODT 仅作用于 DQ, DM, DQS and nDQS

9.2.4 在设计中使用 DDR2 SDRAM

参见图 9-3, 在 SL2D 芯片封装内, FPGA 与 DDR2 SDRAM 通过硬连线相连(Hard-wired), DDR2 SDRAM 的端口(port)没有对外引出, 用户需要通过访问 FPGA 的相关端口与 SDRAM 进行数据传输并对其进行控制。在用户设计描述中, 用户可以在其顶层模块中加入特殊命名的端口来访问 SDRAM: 下面将简单介绍特殊顶层模块端口。文档 “UG102 Sealion 2000D



FPGA 器件 DDR2 SDRAM 用户指南 “ 提供详细描述, Verilog 示例代码介绍。

表 9-4 访问 DDR2 SDRAM 的顶层模块端口

特殊端口名称	信号说明 (参见表 9-3)	方向
xsSL25EXT_M14D5121632A_CLK	CLK	输出
xsSL25EXT_M14D5121632A_nCLK	nCLK	输出
xsSL25EXT_M14D5121632A_nCS	nCS	输出
xsSL25EXT_M14D5121632A_CKE	CKE	输出
xsSL25EXT_M14D5121632A_A	A[12:0]	输出
xsSL25EXT_M14D5121632A_BA[	BA[1:0]	输出
xsSL25EXT_M14D5121632A_nRAS	nRAS	输出
xsSL25EXT_M14D5121632A_nCAS	nCAS	输出
xsSL25EXT_M14D5121632A_nWE	nWE	输出
xsSL25EXT_M14D5121632A_LDM	LDM	输出
xsSL25EXT_M14D5121632A_UDM	UDM	输出
xsSL25EXT_M14D5121632A_LDQS	LDQS	双向
xsSL25EXT_M14D5121632A_nLDQS	nLDQS	
xsSL25EXT_M14D5121632A_UDQS	UDQS	
xsSL25EXT_M14D5121632A_nUDQS	nUDQS	
xsSL25EXT_M14D5121632A_DQ	DQ	双向
xsSL25EXT_M14D5121632A_ODT	ODT	输出

```

module my_design (
    myclk, mydatain, mydataout...// 正常顶层设计端口声明

    //用于访问 DDR2-SDRAM 的端口声明
    xsSL25EXT_M14D5121632A_DQ ,
    xsSL25EXT_M14D5121632A_BA ,
    xsSL25EXT_M14D5121632A_CLK ,
    xsSL25EXT_M14D5121632A_nCLK ,
    xsSL25EXT_M14D5121632A_CKE ,
    xsSL25EXT_M14D5121632A_nWE ,
    xsSL25EXT_M14D5121632A_nCAS ,
    xsSL25EXT_M14D5121632A_nRAS ,
    xsSL25EXT_M14D5121632A_nCS ,
    xsSL25EXT_M14D5121632A_A ,
    xsSL25EXT_M14D5121632A_UDQS ,
    xsSL25EXT_M14D5121632A_nUDQS ,
    xsSL25EXT_M14D5121632A_LDQS ,
    xsSL25EXT_M14D5121632A_nLDQS ,
    xsSL25EXT_M14D5121632A_UDM ,
    xsSL25EXT_M14D5121632A_LDM ,
    xsSL25EXT_M14D5121632A_ODT
    //-----);
...
// 访问 DDR2-SDRAM 的端口定义
inout [15:0] xsSL25EXT_M14D5121632A_DQ ;
output [1:0] xsSL25EXT_M14D5121632A_BA;
output xsSL25EXT_M14D5121632A_CLK;
output xsSL25EXT_M14D5121632A_nCLK;
output xsSL25EXT_M14D5121632A_CKE;
output xsSL25EXT_M14D5121632A_nWE;
output xsSL25EXT_M14D5121632A_nCAS;
output xsSL25EXT_M14D5121632A_nRAS;
output xsSL25EXT_M14D5121632A_nCS;
output [12:0] xsSL25EXT_M14D5121632A_A;
inout xsSL25EXT_M14D5121632A_UDQS;
inout xsSL25EXT_M14D5121632A_nUDQS;
inout xsSL25EXT_M14D5121632A_LDQS;
inout xsSL25EXT_M14D5121632A_nLDQS;
output xsSL25EXT_M14D5121632A_UDM;
output xsSL25EXT_M14D5121632A_LDM;
output xsSL25EXT_M14D5121632A_ODT;
...

```

图 9-4 通过特殊顶层模块端口访问 DDR2 SDRAM 的示例



更完整的 Verilog 示例代码可以参见文档 “UG102 Sealion 2000S FPGA 器件 DDR2 RAM 用户指南”。

本方法的优点是：首先，设计描述与实际硬件有直接的对应关系，方便理解。其次，没有特别的描述方式限制，对第三方综合工具比较友好。由于 DDR2 SDRAM 端口是顶层模块端口，第三方工具可以按需插入单向或双向 IO 缓冲器，或者 IO 寄存器，Sealion FPGA 开发软件(HqFpga)最终会将这些特殊端口映射到硬件端口实现。

这种方法的缺点是：如果设计层次较深，而 DDR2 SDRAM 只在很底层的模块中用到，这些顶层端口要在设计描述中通过层层“打洞”的方式连接到使用 DDR2 SDRAM 的模块中去，造成书写描述较为繁琐。

10 直流电气特性

10.1 器件允许的极限工作条件

表 10-1 器件允许的极限工作条件^{1, 2}

名称	参数说明	最小值	最大值	单位
V _{CC}	本核电压 (没有 LDO)	-0.5	1.32	V
V _{CCext} ³	本核电压 (使用 LDO)	-0.5	3.75	V
V _{CCO}	I/O 模块电压	-0.5	3.75	V
T _{abs}	工作温度 (工业)	-40	125	°C
T _{STORE}	储存温度	-55	130	°C

【注】

1. 超出上表所限制范围会导致器件永久损坏
2. 所有电压值都是以 GND 为参考
3. 透过使用嵌入线性稳压器(embedded LDO)提供本核电压 1.2V(参考器件编号说明)

10.2 推荐工作范围

表 10-2 推荐工作范围^{1, 2}

名称	参数说明	最小值	最大值	单位
V _{CC}	本核电压 (没有 LDO)	0.95	1.05	V
V _{CCext} ³	本核电压 (使用 LDO)	2.375	3.465	V
V _{CCO}	I/O 模块 (Bank)电压	1.14	3.465	V
T _{COM}	工作温度 (商业)	0	85	°C
T _{IND}	工作温度 (工业)	-40	100	°C
T _{pramp}	电源电压上升速度	0.01	30	mV/μs

【注】

1. 相同的电源要连接到一起。例如，如果 V_{CCO} 和 V_{CC} 是相同的电压值，它们必须来自相同的电源
2. 制板时，没有用到的 I/O 模块 (Bank)的 V_{CCO} 管脚要连到 V_{CC}
3. 透过使用嵌入线性稳压器(embedded LDO)提供本核电压 1.2V(参考器件编号说明)

10.3 热插拔电气参数

表 10-3 热插拔电气参数

名称	参数说明	条件	最小值	典型值	最大值	单位
IDK	热插拔时输入或者输出的漏电流	V _{CCO} < V _{in} < V _{IH(max)}	-1000	—	1000	μA

10.4 直流特性

表 10-4 直流特性

名称	参数说明	条件	最小值	典型值	最大值	单位
I _{IL} , I _{IH}	I/O 输入漏电流	V _{CCO} < V _{in} < V _{IH(max)}	—	—		μA
		0 < V _{in} < V _{CCO}	—	—		μA
I _{PU}	I/O 上拉电流	0 < V _{in} < 0.7V _{CCO}		—		μA



名称	参数说明	条件	最小值	典型值	最大值	单位
I_{PD}	I/O 下拉电流	$V_{IL(max)} < V_{in} < V_{CCO}$		-		μA
I_{BHLS}	总线保持低电平时持续电流	$V_{in} = V_{IL(max)}$		-	-	μA
I_{BHHS}	总线保持高电平时持续电流	$V_{in} = 0.7V_{CCO}$		-	-	μA
I_{BHLO}	总线保持低电平时过载电流	$V_{in} = V_{IL(max)}$	-	-		μA
I_{BHHO}	总线保持高电平时过载电流	$V_{in} = V_{IL(max)}$	-	-		μA
V_{BHT}	总线保持触发点时电压		$V_{IL(max)}$	-	$V_{IH(max)}$	V
C_{in}	I/O 电容		-			pF
V_{HYST}	输入迟滞	$V_{CCO} = 3.3V$	-	450	-	mV
		$V_{CCO} = 2.5V$	-	250	-	mV
		$V_{CCO} = 1.8V$	-	125	-	mV
		$V_{CCO} = 1.5V$	-	100	-	mV
		$V_{CCO} = 3.3V$	-	250	-	mV
		$V_{CCO} = 2.5V$	-	150	-	mV
		$V_{CCO} = 1.8V$	-	60	-	mV
		$V_{CCO} = 1.5V$	-	40	-	mV

10.5 静态电流

表 10-5 静态电流

名称	参数说明	器件	最小值	典型值	最大值	单位
I_{CC}	本核电源电流	SL2E-5E	-		-	mA
		SL2E-7E	-		-	mA
		SL2E-7V	-		-	mA
		SL2-12V	-		-	mA
		SL2S-12E	-		-	mA
		SL2-25E	-		-	mA
		SL2S-25E	-		-	mA
I_{CCO}	IO 模块 (Bank) 电源电流 ($V_{CCO} = 2.5V$)	All	-	0	-	mA

【注】

1. 在环境温度是 25°C，所有输出 I/O 配置为三态，所有输入 I/O 配置为 LVCMOS 并保持低电平时

10.6 编程与擦除电流

表 10-6 编程与擦除电流

名称	参数说明	器件	最小值	典型值	最大值	单位
I_{CC}	本核电源电流	SL2E-5E	-		-	mA
		SL2E-7E	-		-	mA
		SL2E-7V	-		-	mA
		SL2-12V	-		-	mA
		SL2S-12E	-		-	mA
		SL2-25E	-		-	mA
		SL2S-25E	-		-	mA
I_{CCO}	IO 模块源电流 ($V_{CCO} = 2.5V$)	All	-	0	-	mA

【注】

1. 假设所有输入端口 = Vcc 或 GND
2. 假设所有输出端口是三态 (tri-state)
3. JTAG @ 25MHz, $V_{CCO} = 2.5V$, $T_j = 25^\circ C$



10.7 ESD, LATCHUP

表 10-7ESD,LATCHUP

器件	封装	测试	标准值	SL2F-5E	SL2F-7E	SL2E-7V	SL2-12E	SL2S-12E	SL2-25E	SL2S-25E	SL2D-25E	单位
W81	81 WLCSP (3.6mm x 3.6mm, 0.4mm)	HBM	2		-	-	-	-	-	-	-	KV
		CDM	500		-	-	-	-	-	-	-	V
		LAT	100		-	-	-	-	-	-	-	mA
N84	84 QFN (7mm x 7mm, 0.5mm)	HBM	2		-	-	-	-	-	-	-	KV
		CDM	500		-	-	-	-	-	-	-	V
		LAT	100		-	-	-	-	-	-	-	mA
N96	96 QFN (10mm x 10mm, 0.35mm)	HBM	2	-	-	-			-	-	-	KV
		CDM	500	-	-	-			-	-	-	V
		LAT	100	-	-	-			-	-	-	mA
E100	100 eLQFP (14mm x 14mm, 0.5mm)	HBM	2		-	-	-	-	-	-	-	KV
		CDM	500		-	-	-	-	-	-	-	V
		LAT	100		-	-	-	-	-	-	-	mA
M121	121 mBGA (6mm x 6mm, 0.5mm)	HBM	2		-	-	-	-	-	-	-	KV
		CDM	500		-	-	-	-	-	-	-	V
		LAT	100		-	-	-	-	-	-	-	mA
E144	144 eLQFP (20mm x 20mm, 0.5mm)	HBM	2		-	-	-	-	-	-	-	KV
		CDM	500		-	-	-	-	-	-	-	V
		LAT	100		-	-	-	-	-	-	-	mA
E176	176 eLQFP (20mm x 20mm, 0.4mm)	HBM	2	-	-	-	-	-	-	-	-	KV
		CDM	500	-	-	-	-	-	-	-	-	V
		LAT	100	-	-	-	-	-	-	-	-	mA
EA176	176 eLQFP (20mm x 20mm, 0.4mm)	HBM	2	-	-	-	-	-	-	-	-	KV
		CDM	500	-	-	-	-	-	-	-	-	V
		LAT	100	-	-	-	-	-	-	-	-	mA
U213	213 uBGA (12mm x 12mm, 0.8mm)	HBM	2	-	-	-	-	-	-	-	-	KV
		CDM	500	-	-	-	-	-	-	-	-	V
		LAT	100	-	-	-	-	-	-	-	-	mA
F256	256 fBGA (17mm x 17mm, 0.8mm)	HBM	2	-	-	-	-	-	-	-	-	KV
		CDM	500	-	-	-	-	-	-	-	-	V
		LAT	100	-	-	-	-	-	-	-	-	mA



器件	封装	测试	标准值	SL2F-5E	SL2F-7E	SL2E-7V	SL2-12E	SL2S-12E	SL2-25E	SL2S-25E	SL2D-25E	单位
	1.0mm)											
U256	256 uBGA (14mm x 14mm, 0.8mm)	HBM	2	-	-	-	-	-	-	-	-	KV
		CDM	500	-	-	-	-	-	-	-	-	V
		LAT	100	-	-	-	-	-	-	-	-	mA
U324	324 uBGA (15mm x 15mm, 0.8mm)	HBM	2	-	-	-	-	-	-	-	-	KV
		CDM	500	-	-	-	-	-	-	-	-	V
		LAT	100	-	-	-	-	-	-	-	-	mA
U332	324 uBGA (15mm x 15mm, 0.8mm)	HBM	2	-	-	-	-	-	-	-	-	KV
		CDM	500	-	-	-	-	-	-	-	-	V
		LAT	100	-	-	-	-	-	-	-	-	mA
U400	400 uBGA (17mm x 17mm, 0.8mm)	HBM	2	-	-	-	-	-	-	-	-	KV
		CDM	500	-	-	-	-	-	-	-	-	V
		LAT	100	-	-	-	-	-	-	-	-	mA

10.8 IOB 单端直流特性

表 10-8IOB 单端直流特性

名称	$V_{IL(min)}$ V	$V_{IL(max)}$ V	$V_{IH(min)}$ V	$V_{IH(max)}$ V	$V_{OL(max)}$ V	$V_{OH(min)}$ V	I_{OL} mA	I_{OH} mA
LVCMOS3 3 LVTTTL33	-0.3	0.8	2	3.465	0.4	$V_{CC0}-0.4$	4	-4
							8	-8
							12	-12
							16	-16
					0.2	$V_{CC0} - 0.2$	0.1	-0.1
LVCMOS2 5	-0.3	0.7	1.7	3.465	0.4	$V_{CC0}-0.4$	4	-4
							8	-8
							12	-12
							16	-16
					0.2	$V_{CC0} - 0.2$	0.1	-0.1
LVCMOS1 8	-0.3	$0.35 \cdot V_{CC0}$	$0.65 \cdot V_{CC0}$	3.465	0.4	$V_{CC0}-0.4$	4	-4
							8	-8
					0.2	$V_{CC0} - 0.2$	0.1	-0.1
LVCMOS1 5	-0.3	$0.35 \cdot V_{CC0}$	$0.65 \cdot V_{CC0}$	3.465	0.4	$V_{CC0}-0.4$	4	-4
							8	-8
					0.2	$V_{CC0} - 0.2$	0.1	-0.1
LVCMOS1 2	-0.3	$0.35 \cdot V_{CC0}$	$0.65 \cdot V_{CC0}$	3.465	0.4	$V_{CC0}-0.4$	4	-2
							8	-6
					0.2	$V_{CC0} - 0.2$	0.1	-0.1
PCI33	-0.3	$0.3 \cdot V_{CC0}$	$0.5 \cdot V_{CC0}$	3.465	$0.1 \cdot V_{CC0}$	$0.9 \cdot V_{CC0}$	1.5	-0.5
SSTL33_1	-0.3	$V_{REF} - 0.2$	$V_{REF} + 0.2$	3.465	0.7	$V_{CC0}-1.1$	8	-8



名称	$V_{IL(min)}$ V	$V_{IL(max)}$ V	$V_{IH(min)}$ V	$V_{IH(max)}$ V	$V_{OL(max)}$ V	$V_{OH(min)}$ V	I_{OL} mA	I_{OH} mA
SSTL25_1	-0.3	$V_{REF} - 0.18$	$V_{REF} + 0.18$	3.465	0.54	$V_{CC0} - 0.62$	8	-8
SSTL18_1	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	3.465	0.4	$V_{CC0} - 0.4$	8	-8
HSTL18_1	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.465	0.4	$V_{CC0} - 0.4$	8	-8

10.9 IO 差分直流特性

表 10-9 差分直流特性

名称	参数说明	条件	最小值	典型值	最大值	单位
V_{INP}, V_{INN}	I/O 输入漏电流	$V_{CC0} = 3.3V$	0	-	2.605	V
		$V_{CC0} = 2.5V$	0	-	2.05	V
V_{CM}	共模输入电压	$V_{CC0} = 3.3V$	0.05	-	2.6	V
		$V_{CC0} = 2.5V$	0.05	-	2	V
V_{THD}	差分输入门限	$V_{in} = V_{IL(max)}$	± 100	-	-	mV
I_{IN}	输入电流	电源启动	-	-	± 10	μA
V_{OH}	输出高电平 (V_{OP} or V_{ON})	$R_T = 100\Omega$	-	-	1.6	V
V_{OL}	输出低电平 (V_{OP} or V_{ON})	$R_T = 100\Omega$	-	-	1.6	V
V_{OD}	差模输出电压 ($V_{OP} - V_{ON}$)	$R_T = 100\Omega$	250	350	450	mV
ΔV_{OD}	差模输出电压的变化范围		-	-	50	mV
V_{OS}	输出零漂	$(V_{OP} - V_{ON})/2$, $R_T = 100\Omega$	1.125	1.2	1.395	V
ΔV_{OS}	输出零漂变化		-	-	50	mV
I_{SOD}	短路电流	$V_{OD} = 0V$, 两路输出短接	-	-	24	mA

10.10 BLVDS 直流特性

表 10-10 BLVDS 直流特性

名称	参数说明	最小值	典型值	最大值	单位
I_{OUT}	输出电流 $Z_0 = 45\Omega$	-	-	± 10	μA
V_{OH}	输出高电平 $Z_0 = 45\Omega$	-	1.375	-	V
V_{OL}	输出低电平 $Z_0 = 45\Omega$	0.9	1.025	-	V
V_{ODM}	输出差模电压 $Z_0 = 45\Omega$	250	350	450	mV
V_{OCM}	输出共模电压 $Z_0 = 45\Omega$	-	1.25	-	V
R_S	驱动器串行电阻 $Z_0 = 45\Omega$	-	80	-	Ω
R_{left}	左侧终端电阻 $Z_0 = 45\Omega$	-	45	-	Ω
R_{right}	右侧终端电阻 $Z_0 = 45\Omega$	-	45	-	Ω

10.11 LVPECL 直流特性

表 10-11 LVPECL 直流特性

名称	参数说明	最小值	典型值	最大值	单位
I_{OUT}	输出电流	-	-	± 10	μA
V_{OH}	输出高电平	1.92		2.28	V



名称	参数说明	最小值	典型值	最大值	单位
V _{OL}	输出低电平	1.06		1.43	V
V _{ODM}	输出差模电压	—	0.8	—	mV
V _{OCM}	输出共模电压	—	1.65	—	V
R _S	驱动器串行电阻	—	93	—	Ω
R _{left}	左侧终端电阻	—	196	—	Ω
R _{right}	右侧终端电阻	—	100	—	Ω

10.12 MIPI 直流特性

表 10-12MIPI 直流特性

名称	参数说明	最小值	典型值	最大值	单位
High Speed TX					
V _{CMTX}	HS 输出共模电压	150	200	250	mV
V _{CCO}	I/O 模块 (Bank)电压	—	2.5	—	V
	I/O 模块 (Bank)电压	—	3.3	—	V
ΔV _{cmtx} (1,0)	差分 1 和差分 0 的输出共模电压的差异	—	—	5	mV
V _{od}	输出差模电压	140	200	270	mV
ΔV _{od}	差分 1 和差分 0 的输出差模电压的差异	—	—	10	mV
V _{ohhs}	HS 输出高电平	—	—	360	mV
Z _{OS}	单端输出阻抗	40	50	62.5	Ω
ΔZ _{OS}	单端输出阻抗的差异	—	—	10	%
Low Power TX					
V _{OH}	输出高电平	1.1	1.2	1.3	V
V _{CCO}	I/O Bank 电压	—	1.2	—	V
V _{OL}	输出低电平	-50	—	50	mV
Z _{OLP}	LP 模式输出阻抗	110	—	—	Ω
High Speed RX					
V _{CMRX}	HS 接收共模电压	70	—	330	mV
V _{CCO}	I/O 模块 (Bank)电压	—	2.5	—	V
	I/O 模块 (Bank)电压	—	3.3	—	V
V _{IDTH}	差分输入高电平阈值	—	—	70	mV
V _{IDTL}	差分输入低电平阈值	-70	—	—	mV
V _{IHHS}	单端输入高电平	—	—	460	mV
V _{ILHS}	单端输入低电平	-40	—	—	mV
V _{TERM-EN}	终端匹配使能的单端电压阈值	—	—	450	mV
Z _{ID}	差分输入阻抗	80	100	125	Ω
Low Power RX					
V _{IH}	输入高电平的电压值	880	—	—	mV
V _{CCO}	I/O 模块 (Bank)电压	—	1.2	—	V
V _{IL}	输入低电平的电压值	—	—	550	mV
V _{IL-ULPS}	输入低电平的电压值 (超低功耗模式)	—	—	300	mV
V _{HYST}	输入迟滞	25	—	—	mV



11 交流电气特性

11.1 PLL 交流电气特性

表 11-1PLL 交流电气特性

名称	参数说明	条件	最小值	典型值	最大值	单位
f_{IN}	输入时钟频率		10	—	400	MHz
f_{OUT1}	输出时钟频率		3.125	—	400	MHz
f_{VCO}	VCO 工作频率范围		400	—	800	MHz
f_{PFD}	PFD 工作频率范围		10	—	400	MHz
t_{DUTY}	输出时钟占空比		45	50	55	%
t_{JITTER}	输入时钟抖动	$f_{PFD} \geq 20 \text{ MHz}$	—	—	1000	ps p-p
		$f_{PFD} < 20 \text{ MHz}$	—	—	0.02	UIPP
$t_{OJITTER}$	输出时钟周期抖动	$f_{OUT} > 100 \text{ MHz}$	—	—	150	ps p-p
		$f_{OUT} < 100 \text{ MHz}$	—	—	0.007	UIPP
	输出时钟 Cycle-to-Cycle 抖动	$f_{OUT} > 100 \text{ MHz}$	—	—	180	ps p-p
		$f_{OUT} < 100 \text{ MHz}$	—	—	0.009	UIPP
	输出时钟相位抖动	$f_{PFD} < 100 \text{ MHz}$	—	—	160	ps p-p
		$f_{PFD} > 100 \text{ MHz}$	—	—	0.011	UIPP
	输出时钟周期抖动 (Fractional-N)	$f_{PFD} < 100 \text{ MHz}$	—	—	230	ps p-p
		$f_{PFD} > 100 \text{ MHz}$	—	—	0.12	UIPP
	输出时钟 Cycle-to-Cycle 抖动 (Fractional-N)	$f_{PFD} < 100 \text{ MHz}$	—	—	230	ps p-p
		$f_{PFD} > 100 \text{ MHz}$	—	—	0.12	UIPP
t_{PH}	相移精度		-6	—	6	%
t_{LOCK}	PLL 锁定时间		—	—	15	ms
t_{UNLOCK}	PLL 解锁时间		—	—	15	ms

11.2 时钟交流特性

表 11-2 时钟交流特性

参数说明	最小值	最大值	单位
全局时钟输出频率	—	400	MHz
全局时钟输出脉冲宽度	0.5	—	ns
全局时钟输出偏斜	—	250	ps
全局时钟输出占空比	45	55	%
I/O (Edge) 输出时钟频率	—	400	MHz
I/O (Edge) 输出时钟偏斜	—	30	ps
I/O (Edge) 输出时钟占空比	47	53	%

11.3 内部串并/并串时序参数

表 11-3 内部串并/并串时序参数

名称	参数说明	最小值	典型值	最大值	单位
F _{MAX} (DDR _x 1)	1:2/2:1 串并/并串最大主频	–	200	–	MHz
F _{MAX} (DDR _x 2)	1:4/4:1 串并/并串最大主频	–	200	–	MHz
F _{MAX} (Video)	1:7/7:1 串并/并串最大主频	–	390	–	MHz

11.4 片内晶振输出频率

表 11-4 片内晶振输出频率

名称	参数说明	最小值	典型值	最大值	单位
F _{MAX}	晶振输出频率 (0 ~ +85℃)	126	133	140	MHz
	晶振输出频率 (-40 ~ +100℃)	124	133	141	MHz
t _{DT}	输出时钟占空比	43	50	57	%
topjit	输出时钟抖动	0.01	0.012	0.02	UIPP

11.5 JTAG 模式配置时序图与时序参数

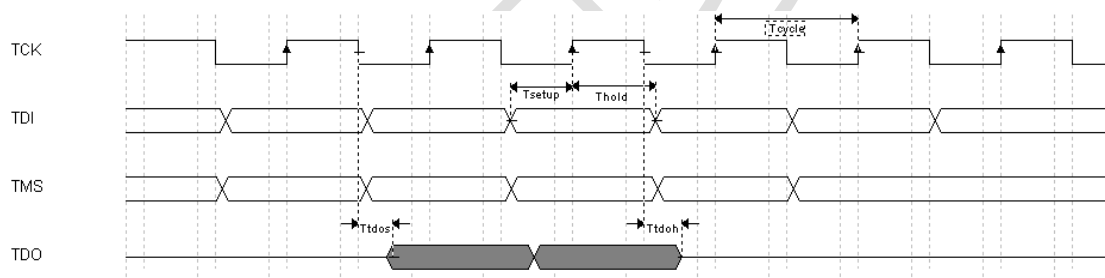


图 11-1 JTAG 模式配置时序图

表 11-5 JTAG 时序参数

参数	描述	最大值	最小值	单位
Tcycle	JTAG 配置时钟周期(TCK clock period)	–	40	ns
Tsetup	JTAG 数据建立时间(JTAG data setup time)	–	10	ns
Thold	JTAG 数据保持时间(JTAG data hold time)	–	8	ns
Ttdos	输出数据延迟时间(Time from falling edge TCK to output)	10	–	ns
Ttdoh	TDO 输出数据完成延迟时间(Time from falling edge to H_impedance)	10	–	ns



11.6 SRC(Self Refresh Configuration)模式配置时序图与时序参数

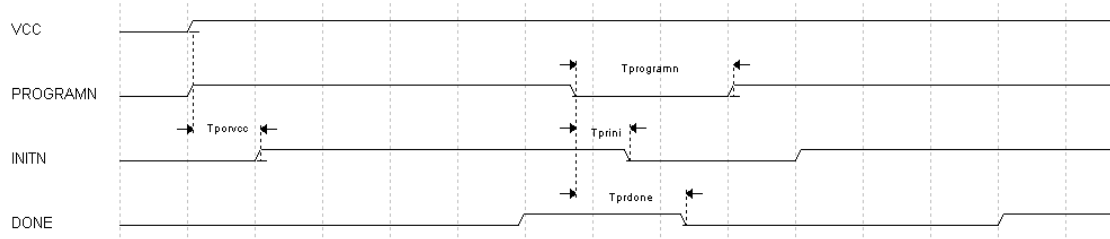


图 11-2 SRC(Self Refresh Configuration)重新上电配置与 PROGRAMN 重配置模式配置时序图

表 11-6 SRC 模式时序参数

参数	描述	最大值	最小值	单位
Tporvcc	重新上电到 INIT 拉高的时间(time from start to uping edge of PAD_INIT)	—	10	us
Tprogramn	Program 信号重配置时间(time of program config time)			
Tprini	Programn 下降沿到 INIT 下降沿时间(time from falling edge of program to falling edge of PAD_INIT)	246	—	ns
Tprdone	Programn 下降沿到 done 下降沿时间(time from falling edge of program to falling edge of PAD_DONE)	274	—	ns
Ttdoh	TDO 输出数据完成延迟时间(Time from falling edge to H_impedance)	10	—	ns

11.7 SSPI 模式配置时序图与时序参数

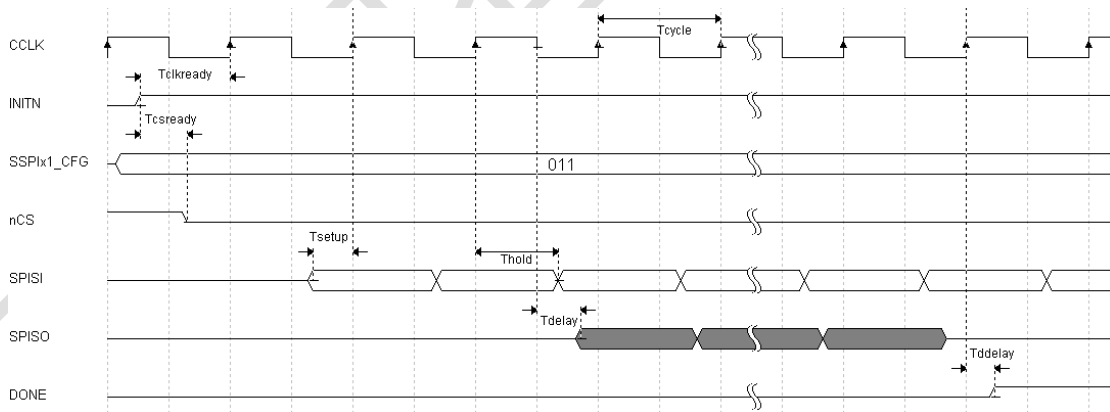


图 11-3 SSPI 模式配置时序图

表 11-7 SSPI 模式时序参数

参数	描述	最大值	最小值	单位
Tcycle	SSPI 时钟周期(SCLK clock period)		7.48	ns
Tcsready	SSPI INIT 信号拉高到 CS_N 拉低时间(time from uping edge PAD_INIT to CS_N falling edge)	157	—	ns
Tclkready	PAD_INIT 到第一个 CCLK 时钟上升沿来临时间 (time from PAD_INIT to first posedge SCLK)	1.4	—	us
Tsetup	SSPI 数据建立时间(SSPI data setup time)	—	2	ns
Thold	SSPI 数据保持时间(SSPI data hold time)	—	0	ns



11.8 MSPI 模式配置时序图与时序参数

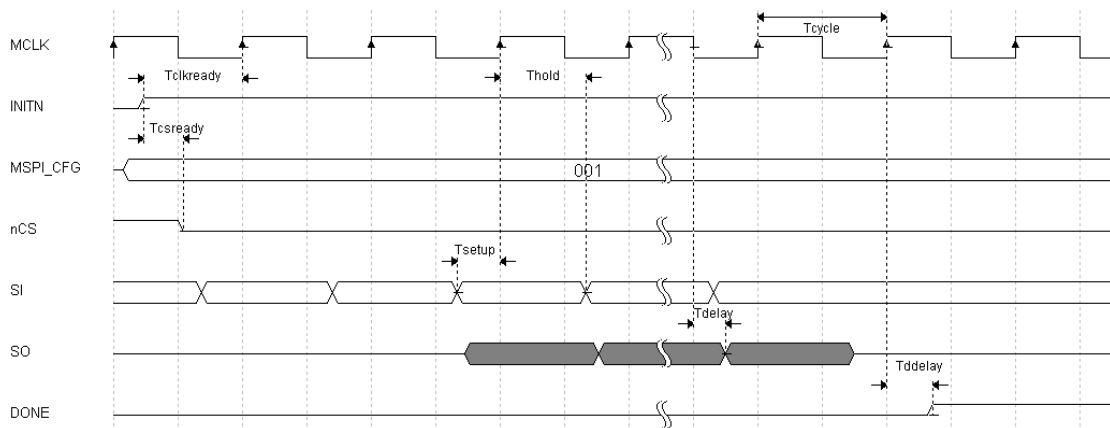


图 11-4 MSPI 模式配置时序图

表 11-8 MSPI 模式时序参数

参数	描述	最大值	最小值	单位
Tcycle	MSPI 时钟周期(MCLK_OuT clock period)	—	7.48	ns
Tcsready	MSPI INIT 信号上升沿到 CS_N 下降沿时间(time from uping edge INIT to falling edge CS_N)	260	—	ns
Tclkready	MSPI INIT 信号上升沿到第一个 MCLK 上升沿(time from uping edge INIT to first MCLK_OUT uping edge)	280	—	ns
Tsetup	MSPI 数据建立时间(MSPI data setup time)	—	2	ns
Thold	MSPI 数据保持时间(MSPI data hold time)	—	1	ns
Tdelay	MSPI 输出数据延迟(time from falling edge to SO_PORT)	3.7	—	ns
Tddelay	PAD_DONE 信号延迟时间(time from uping edge to done)	400	—	ns

11.9 嵌入式 Flash

11.9.1 自加载时间

表 11-9 嵌入式 Flash 自加载时间

器件	加载时间 ¹	单位
SL2E-5E ²	4	ms
SL2E-7E ²	2	ms
SL2E-7V ²	2	ms

【注】

1. 自加载时间是指从 FPGA 上电复位结束到进入用户模式的时间
2. 压缩后比特流加载时间

11.9.2 用户闪存(User Flash) 容量

表 11-10 用户闪存 (User Flash) 容量

器件	用户闪存最大容量	单位
SL2E-5E	500	Kbit
SL2E-7E ¹	500	Kbit
SL2E-7V ¹	500	Kbit

【注】

1. SL2E-7E/V 可调整用户闪存容量, 最小值为 500Kbit



12 器件编号说明

Device Family

SL2: Sealion 2000 FPGA

Device Status

Blank : Production Device

ES : Engineering Sample

Device Series

Blank: Generic FPGA

S: FPGA+SDRAM

D: FPGA+DDR2

E: Embedded Flash FPGA

Logic Capacity

5 : 5040 Logic Units

7 : 6864 Logic Units

12 : 12032 Logic Units

25 : 24992 Logic Units

Supply Voltage

V : 2.5/3.3V

E : 1.2V

Operating Temperature

C: Commercial

(Tj = 0°C to 85°C)

I: Industrial

(Tj=-40°C to 100°C)

Package

W81: 81-ball WLCSP, 0.4mm

N84: 84-pin QFN, 0.4mm

N96: 96-pin QFN, 0.35mm

M121: 121-ball mBGA, 0.5mm

E100: 100-Pin eLQFP, 0.5mm

E144: 144-Pin eLQFP, 0.5mm

E176: 176-Pin eLQFP, 0.4mm

EA176: 176-Pin eLQFP, 0.4mm

U213: 213-ball uBGA, 0.8mm

F256: 256-ball fBGA, 1.0mm

U256: 256-ball uBGA, 0.8mm

U324: 324-ball uBGA, 0.8mm

U332: 332-ball uBGA, 0.8mm

U400: 400-ball uBGA, 0.8mm

Speed Grade

6 (fastest)

7

8

9