

AD5760

产品特性

真16位电压输出DAC, ± 0.5 LSB INL
输出噪声频谱密度: $8 \text{ nV}/\sqrt{\text{Hz}}$
线性误差长期稳定性: 0.00625 LSB
增益误差温度系数: $\pm 0.018 \text{ ppm}/^\circ\text{C}$
输出电压建立时间: $2.5 \mu\text{s}$
中间电平毛刺脉冲: 3.5 nV-s
集成式精密基准电压缓冲器
工作温度范围: -40°C 至 $+125^\circ\text{C}$
封装: $4 \text{ mm} \times 5 \text{ mm}$ LFCSP
宽电源电压范围: 最高达 $\pm 16.5 \text{ V}$
 3.5 MHz 施密特触发数字接口
 1.8 V 兼容数字接口

应用

医疗仪器
测试与测量
工业控制
科学和航空航天仪器
数据采集系统
数字增益和失调电压调整
电源控制

概述

AD5760¹是一款真正的16位、无缓冲电压输出DAC，采用最高33 V的双极性电源供电。接收正基准电压输入范围为5 V至 $V_{DD} - 2.5\text{ V}$ ，负基准电压输入范围为 $V_{SS} + 2.5\text{ V}$ 至0 V。**AD5760**提供相对精度最大值为 $\pm 0.5\text{ LSB}$ ，由差分非线性(DNL)最大值为 $\pm 0.5\text{ LSB}$ 来保证工作单调性。

这款器件采用多功能三线式串行接口，能够以最高35 MHz的时钟速率工作，并与标准SPI、QSPI™、MICROWIRE™、DSP接口兼容。它内置上电复位电路，确保DAC上电后输出至0 V并保持已知输出阻抗状态，直到对该器件执行一次有效的写操作为止。输出箝位特性可将输出置于已定义的负载状态。

功能框图

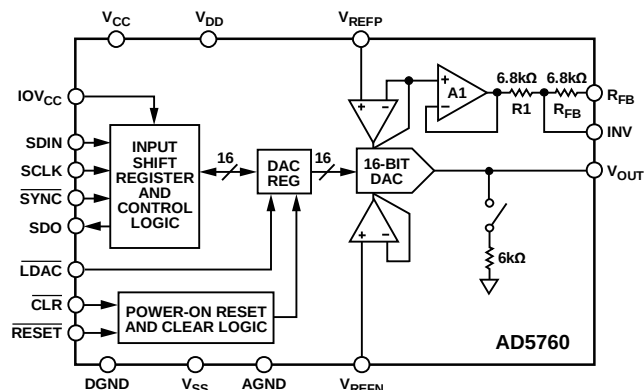


图1

表1. 相关器件

产品型号	描述
AD5790	20位、2 LSB精密DAC
AD5791	20位、1 LSB精密DAC
AD5780	18位、1 LSB精密DAC
AD5781	18位、0.5 LSB INL
AD5541A/AD5542A	16位、1 LSB精密5 V DAC

产品特点

1. 真16位精度。
2. 宽电源电压范围：最高达 $\pm 16.5\text{ V}$
3. 工作温度范围： -40°C 至 $+125^{\circ}\text{C}$
4. 低噪声： $8\text{ nV}/\sqrt{\text{Hz}}$
5. 低增益误差温度系数： $\pm 0.018\text{ ppm}/^{\circ}\text{C}$

配套产品

输出放大器缓冲器：AD8675、ADA4898-1、ADA4004-1

外部基准源: ADR445

DC-DC设计工具: **ADIsimPower**™

欲了解更多配套产品，请访问[AD5780产品页面](#)

¹ 受美国专利第7,884,747和8,089,380号保护。

Rev. C

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2011-2012 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

特性.....	1	DAC架构.....	20
应用.....	1	串行接口.....	20
功能框图.....	1	硬件控制引脚.....	21
概述.....	1	片上寄存器.....	22
产品特点.....	1	AD5760特性.....	25
配套产品.....	1	上电至0 V.....	25
修订历史.....	2	配置AD5760.....	25
技术规格.....	3	DAC输出状态.....	25
时序特性.....	5	输出放大器配置.....	25
绝对最大额定值.....	8	应用信息.....	27
ESD警告.....	8	典型工作电路.....	27
引脚配置和功能描述.....	9	评估板.....	28
典型性能参数.....	11	外形尺寸.....	29
术语.....	19	订购指南.....	29
工作原理.....	20		

修订历史

2012年9月—修订版B至修订版C

更改专利尾注.....	1
更改图46.....	17
更改“术语”部分.....	19
更改图53.....	25
更改图55.....	27
更新外形尺寸并更改订购指南.....	29

2012年2月—修订版A至修订版B

删除线性度补偿部分.....	3
----------------	---

2011年12月—修订版0至修订版A

更改表2.....	3
更改图48.....	18
更改DAC寄存器部分.....	22
更改表10和11.....	23

2011年11月—修订版0：初始版

技术规格

除非另有说明, $V_{DD} = +12.5\text{ V}$ 至 $+16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ 至 -12.5 V , $V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $V_{CC} = 2.7\text{ V}$ 至 5.5 V , $IOV_{CC} = 1.71\text{ V}$ 至 5.5 V , $R_L = \text{空载}$, $C_L = \text{空载}$, 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表2.

参数	A、B级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
静态性能 ²					
分辨率	16			位	
积分非线性误差(相对精度)	-0.5		+0.5	LSB	B级, $V_{REFX} = \pm 10\text{ V}$ 、 $+10\text{ V}$ 和 $+5\text{ V}$
	-2		+2	LSB	A级, $V_{REFX} = \pm 10\text{ V}$ 、 $+10\text{ V}$ 和 $+5\text{ V}$
差分非线性误差	-0.5		+0.5	LSB	B级, $V_{REFX} = \pm 10\text{ V}$ 、 $+10\text{ V}$ 和 $+5\text{ V}$
	-1		+1	LSB	A级, $V_{REFX} = \pm 10\text{ V}$ 、 $+10\text{ V}$ 和 $+5\text{ V}$
长期线性误差稳定性 ³		0.00625		LSB	750小时后, $T_A = 135^\circ\text{C}$
满量程误差	-0.75	± 0.2	+0.75	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-1.4	± 0.17	+1.4	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-2.5	± 0.1	+2.5	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
满量程误差温度系数		± 0.026		ppm/ $^\circ\text{C}$	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
零刻度误差	-1.2	± 0.0812	+1.2	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-2.5	± 0.044	+2.5	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-5.2	± 0.056	+5.2	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
零电平误差温度系数		± 0.025		ppm/ $^\circ\text{C}$	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
增益误差	-19	± 2.3	+19	ppm FSR	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-35	± 1.9	+35	ppm FSR	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-68	± 0.9	+68	ppm FSR	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
增益误差温度系数		± 0.018		ppm/ $^\circ\text{C}$	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
$R1$ 、 R_{FB} 匹配		0.015		%	
输出特性					
输出电压范围	V_{REFN}		V_{REFP}	V	
输出电压建立时间		2.5		μs	10 V阶跃至0.02%, 使用ADA4898-1缓冲器, 单位增益模式
		3.5		μs	125代码阶跃至 $\pm 1\text{ LSB}^4$
输出噪声频谱密度		8		nV/ $\sqrt{\text{Hz}}$	1 kHz, DAC代码 = 中间电平
		8		nV/ $\sqrt{\text{Hz}}$	10 kHz, DAC代码 = 中间电平
输出电压噪声		1.1		$\mu\text{V p-p}$	DAC编码 = 中量程, 0.1 Hz至10 Hz带宽
中间电平毛刺脉冲 ⁴		14		nV-sec	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
		3.5		nV-sec	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
		4		nV-sec	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
MSB段毛刺脉冲 ⁴		14		nV-sec	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, 参见图43
		3.5		nV-sec	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$, 参见图44
		4		nV-sec	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$, 参见图45
输出使能毛刺脉冲		57		nV-sec	消除输出接地箝位时
数字馈通		0.27		nV-sec	
直流输出阻抗(正常模式)		3.4		k Ω	
直流输出阻抗(输出箝位至接地)		6		k Ω	

AD5760

参数	A、B级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
参考输入					
V_{REFP} 输入范围	5		$V_{\text{DD}} - 2.5$	V	$T_A = 0^\circ\text{C}$ 至 105°C $V_{\text{REFP}}, V_{\text{REFN}}$
V_{REFN} 输入范围	$V_{\text{SS}} + 2.5$		0	V	
输入偏置电流	-20	-0.63	+20	nA	
	-4	-0.63	+4		
输入电容		1		pF	
逻辑输入					
输入电流 ⁵	-1		+1	μA	$\text{IOV}_{\text{CC}} = 1.71\text{ V}$ 至 5.5 V $\text{IOV}_{\text{CC}} = 1.71\text{ V}$ 至 5.5 V
输入低电压 V_{IL}			$0.3 \times \text{IOV}_{\text{CC}}$	V	
输入高电压 V_{IH}	$0.7 \times \text{IOV}_{\text{CC}}$			V	
引脚电容		5		pF	
逻辑输出(SDO)					
输出低电压 V_{OL}			0.4	V	$\text{IOV}_{\text{CC}} = 1.71\text{ V}$ 至 5.5 V , 吸入 1 mA $\text{IOV}_{\text{CC}} = 1.71\text{ V}$ 至 5.5 V , 流出 1 mA
输出高电压 V_{OH}	$\text{IOV}_{\text{CC}} - 0.5$			V	
高阻抗漏电流			± 1	μA	
高阻抗输出电容		3		pF	
电源要求					所有数字输入接 DGND 或 IOV_{CC}
V_{DD}	7.5		$V_{\text{SS}} + 33$	V	$\text{IOV}_{\text{CC}} \leq V_{\text{CC}}$
V_{SS}	$V_{\text{DD}} - 33$		-2.5	V	
V_{CC}	2.7		5.5	V	
IOV_{CC}	1.71		5.5	V	
I_{DD}		10.3	14	mA	SDO 禁用
I_{SS}		-10	-14	mA	
I_{CC}		600	900	μA	
IOI_{CC}		52	140	μA	
直流电源抑制比		± 7.5		$\mu\text{V/V}$	$\Delta V_{\text{DD}} \pm 10\%$, $V_{\text{SS}} = -15\text{ V}$
		± 1.5		$\mu\text{V/V}$	$\Delta V_{\text{SS}} \pm 10\%$, $V_{\text{DD}} = 15\text{ V}$
交流电源抑制比		90		dB	$\Delta V_{\text{DD}} \pm 200\text{ mV}$, 50 Hz/60 Hz, $V_{\text{SS}} = -15\text{ V}$
		90		dB	$\Delta V_{\text{SS}} \pm 200\text{ mV}$, 50 Hz/60 Hz, $V_{\text{DD}} = 15\text{ V}$

¹ 温度范围: -40°C 至 $+125^\circ\text{C}$, 典型条件: $T_A = 25^\circ\text{C}$, $V_{\text{DD}} = +15\text{ V}$, $V_{\text{SS}} = -15\text{ V}$, $V_{\text{REFP}} = +10\text{ V}$, $V_{\text{REFN}} = -10\text{ V}$ 。

² 通过 [AD8675ARZ](#) 输出缓冲器描述性能。

³ 线性误差指 INL 和 DNL 两种误差;任一参数经过一定时间后均可能发生规定量的漂移。

⁴ [AD5760](#) 配置为单位增益模式, 输出端为低通 RC 滤波器。R = 300 Ω , C = 143 pF (包括输出缓冲器外侧总电容, 引脚电容等)。

⁵ 单一逻辑引脚中流过的电流。

时序特性

除非另有说明， $V_{CC} = 2.7\text{ V}$ 至 5.5 V ，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3.

参数	限值 ¹		单位	测试条件/注释
	$IOV_{CC} = 1.71\text{ V}$ 至 3.3 V	$IOV_{CC} = 3.3\text{ V}$ 至 5.5 V		
t_1^2	40	28	ns(最小值)	SCLK周期时间
	92	60	ns(最小值)	SCLK周期时间(回读和菊花链模式)
t_2	15	10	ns(最小值)	SCLK高电平时间
t_3	9	5	ns(最小值)	SCLK低电平时间
t_4	5	5	ns(最小值)	$\overline{SYNC}$ 到SCLK下降沿建立时间
t_5	2	2	ns(最小值)	SCLK下降沿到 $\overline{SYNC}$ 上升沿保持时间
t_6	48	40	ns(最小值)	最小 $\overline{SYNC}$ 高电平时间
t_7	8	6	ns(最小值)	$\overline{SYNC}$ 上升沿到下一SCLK下降沿忽略
t_8	9	7	ns(最小值)	数据建立时间
t_9	12	7	ns(最小值)	数据保持时间
t_{10}	13	10	ns(最小值)	$\overline{LDAC}$ 下降沿到 $\overline{SYNC}$ 下降沿
t_{11}	20	16	ns(最小值)	$\overline{SYNC}$ 上升沿到 $\overline{LDAC}$ 下降沿
t_{12}	14	11	ns(最小值)	$\overline{LDAC}$ 低电平脉冲宽度
t_{13}	130	130	ns(典型值)	$\overline{LDAC}$ 下降沿到输出响应时间
t_{14}	130	130	ns(典型值)	$\overline{SYNC}$ 上升沿到输出响应时间($\overline{LDAC}$ 接低电平)
t_{15}	50	50	ns(最小值)	$\overline{CLR}$ 低电平脉冲宽度
t_{16}	140	140	ns(典型值)	$\overline{CLR}$ 脉冲启动时间
t_{17}	0	0	ns(最小值)	$\overline{SYNC}$ 下降沿到第一SCLK上升沿
t_{18}	65	60	ns(最大值)	$\overline{SYNC}$ 上升沿到SDO三态($C_L = 50\text{ pF}$)
t_{19}	62	45	ns(最大值)	SCLK上升沿到SDO有效($C_L = 50\text{ pF}$)
t_{20}	0	0	ns(最小值)	$\overline{SYNC}$ 上升沿到SCLK上升沿忽略
t_{21}	35	35	ns(典型值)	$\overline{RESET}$ 低电平脉冲宽度
t_{22}	150	150	ns(典型值)	$\overline{RESET}$ 脉冲启动时间

¹ 所有输入信号均指定 $t_R = t_F = 1\text{ ns/V}$ (10%至90%的 IOV_{CC})条件并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。

² 写入模式下最大SCLK频率为35 MHz，回读和菊花链模式下则为16 MHz。

AD5760

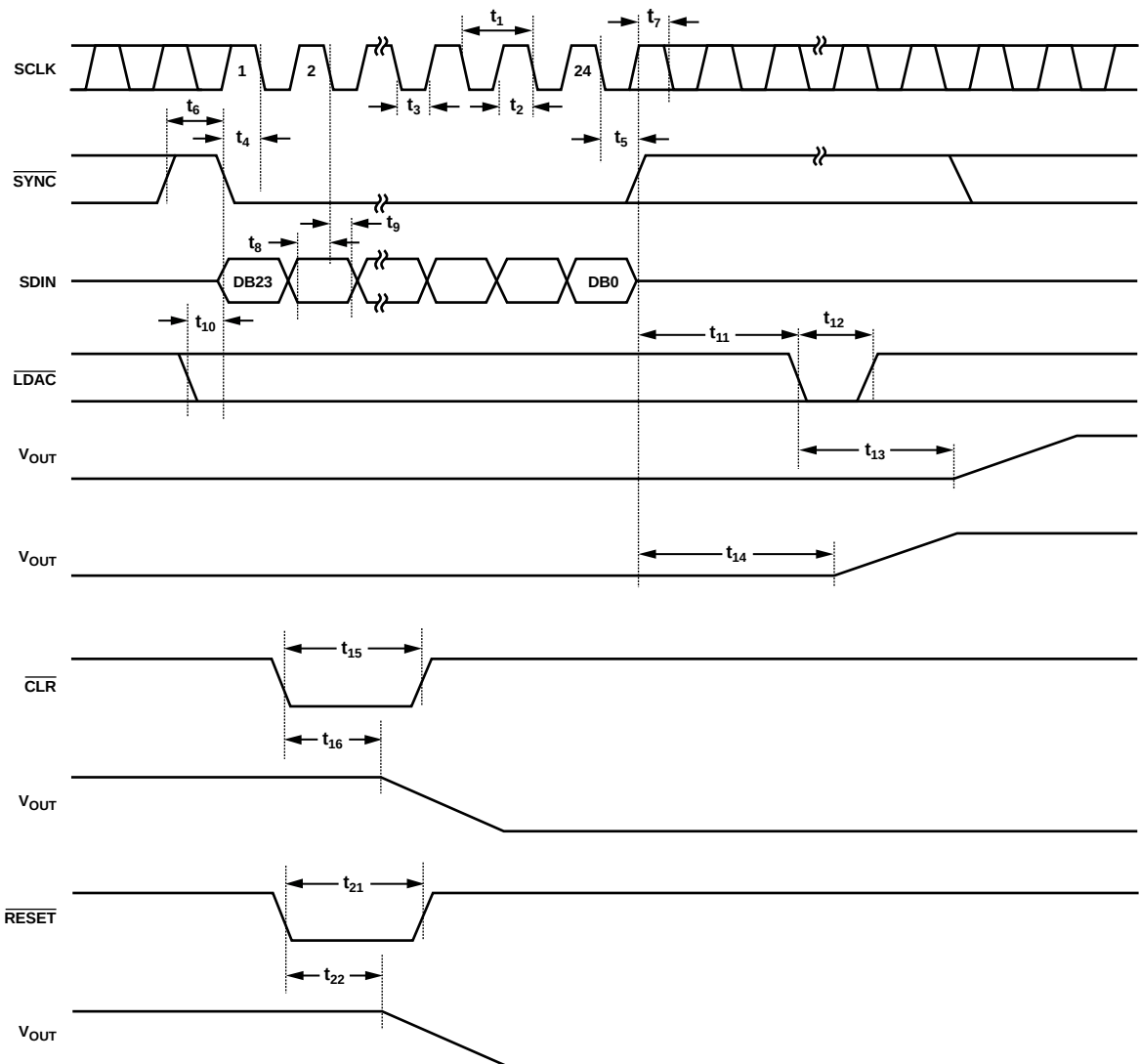


图2. 写入模式时序图

09850-002

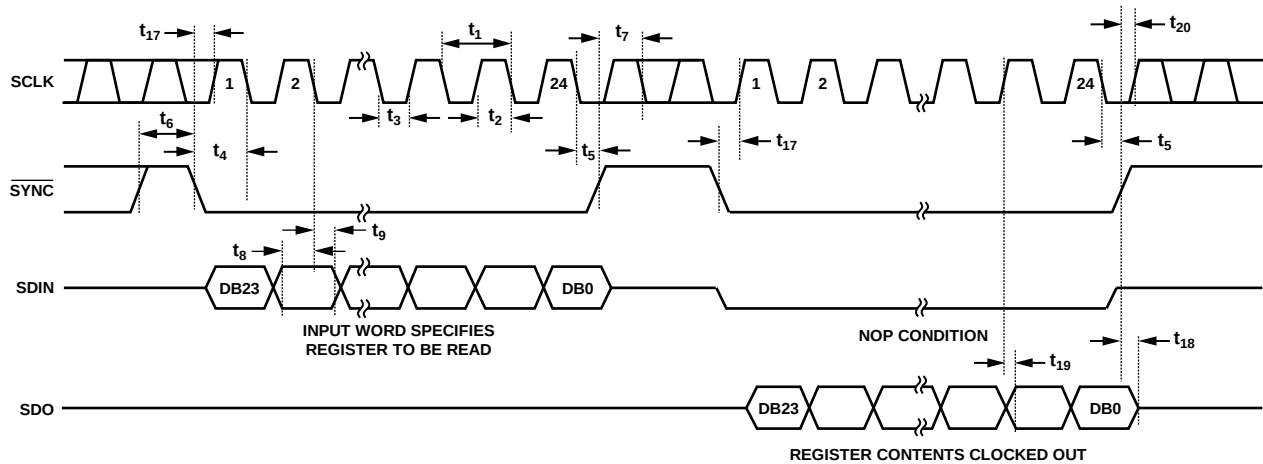


图3. 回读模式时序图

09850-003

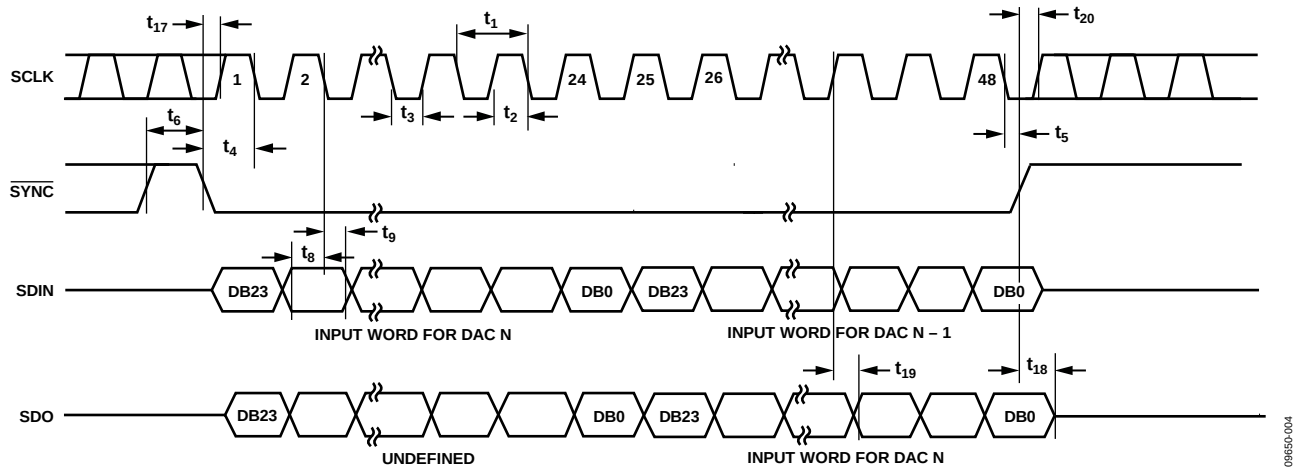


图4. 菊花链模式时序图

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。100 mA以下的瞬态电流不会造成SCR闩锁。

表4.

参数	额定值
V_{DD} 至 AGND	-0.3 V至+34 V
V_{SS} 至 AGND	-34 V至+0.3 V
V_{DD} 至 V_{SS}	-0.3 V至+34 V
V_{CC} 至 DGND	-0.3 V至+7 V
IOV_{CC} 至 DGND	-0.3 V至 $V_{CC} + 3\text{ V}$ 或+7 V (取较小者)
数字输入至 DGND	-0.3 V至 $IOV_{CC} + 0.3\text{ V}$ 或 +7 V(取较小者)
V_{OUT} 至 AGND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
V_{REFP} 至 AGND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
V_{REFN} 至 AGND	$V_{SS} - 0.3\text{ V}$ 至+0.3 V
DGND 至 AGND	-0.3 V至+0.3 V
工作温度范围, T_A 工业	-40°C 至+125°C
存储温度范围	-65°C 至+150°C
最大结温(T_J 最大值)	150°C
功耗	$(T_J\text{ max} - T_A)/\theta_{JA}$
LFCSP封装	
θ_{JA} 热阻	31.0°C/W
引脚温度	JEDEC工业标准
焊接	J-STD-020
ESD(人体模型)	1.6 kV

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

本器件为高性能集成电路，ESD额定值为1.6 kV，对ESD(静电放电)敏感。搬运和装配时必须采取适当的防范措施。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

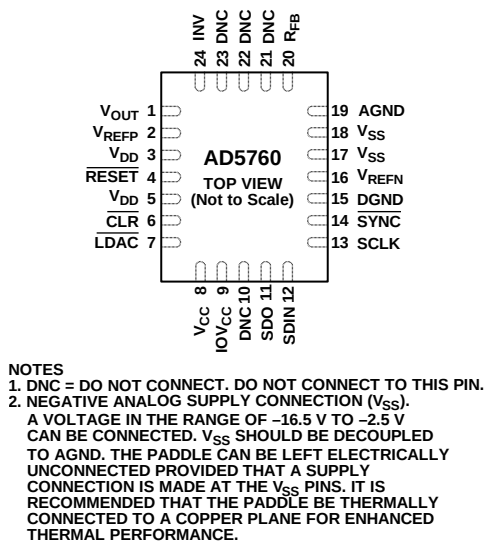


图5. 引脚配置

表5. 引脚功能描述

引脚编号	名称	描述
1	V_{OUT}	模拟输出电压。
2	V_{REFP}	正基准电压输入。可以将5 V至 $V_{DD} - 2.5$ V范围内的电压连接到此引脚。
3, 5	V_{DD}	正模拟电源连接。可以将7.5 V至16.5 V范围内的电压连接到此引脚。 V_{DD} 必须去耦至AGND。
4	$\overline{RESET}$	低电平有效复位。置位此引脚时，AD5760返回上电状态。
6	$\overline{CLR}$	低电平输入有效。置位此引脚可将DAC寄存器设置为用户自定义值(见表12)并更新DAC输出。输出值取决于所用的DAC寄存器编码格式：二进制或二进制补码。
7	$\overline{LDAC}$	低电平有效加载DAC逻辑输入。此引脚用于更新DAC寄存器和模拟输出。当永久接为低电平时，输出在 $\overline{SYNC}$ 的上升沿更新。如果LDAC在写入周期保持高电平，输入寄存器会更新，但输出直到LDAC的下降沿才会更新输出。LDAC引脚不得断开。
8	V_{CC}	数字电源。电压范围为2.7 V至5.5 V。应将 V_{CC} 去耦至DGND。
9	IOV_{CC}	数字接口电源。数字阈值电平参考施加于此引脚的电压。电压范围为1.71 V至5.5 V。
10, 21, 22, 23	DNC	不连接。请勿连接到这些引脚。
11	SDO	串行数据输出。
12	SDIN	串行数据输入。该器件有一个24位输入移位寄存器。数据在串行时钟输入的下降沿读入寄存器。
13	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据能够以最高35 MHz的速率传输。
14	$\overline{SYNC}$	电平触发的控制输入(低电平有效)。这是输入数据的帧同步信号。当 $\overline{SYNC}$ 为低电平时，使能输入移位寄存器，然后数据在后续时钟的下降沿输入移位寄存器。DAC在 $\overline{SYNC}$ 的上升沿更新。
15	DGND	数字电路的接地基准引脚。
16	V_{REFN}	负基准电压输入。
17, 18	V_{SS}	负模拟电源连接。可以将-16.5 V至-2.5 V范围内的电压连接到此引脚。必须将 V_{SS} 去耦至AGND。
19	AGND	模拟电路的接地基准引脚。

AD5760

引脚编号	名称	描述
20	R _{FB}	外部放大器的反馈连接。详情见 AD5760 特性部分。
24	INV	外部放大器的反相输入连接。详情见 AD5760 特性部分。
EPAD	V _{SS}	负模拟电源连接(V _{SS})。可以将−16.5 V至−2.5 V范围内的电压连接到此引脚。必须将V _{SS} 去耦至AGND。假如在V _{SS} 引脚进行电源连接，焊盘可不进行电气连接。建议将焊盘热连接到铜层，增强散热性能。

典型性能参数

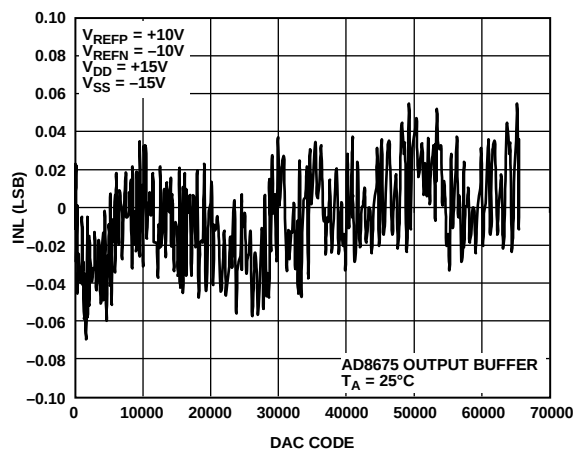
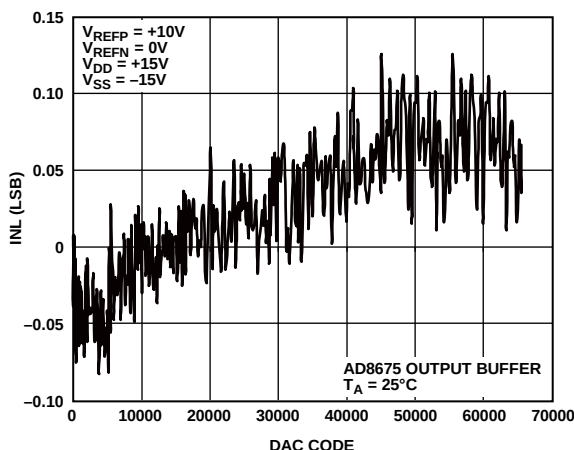
图6. 积分非线性误差与DAC代码的关系, ± 10 V范围

图7. 积分非线性误差与DAC代码的关系, 10 V范围

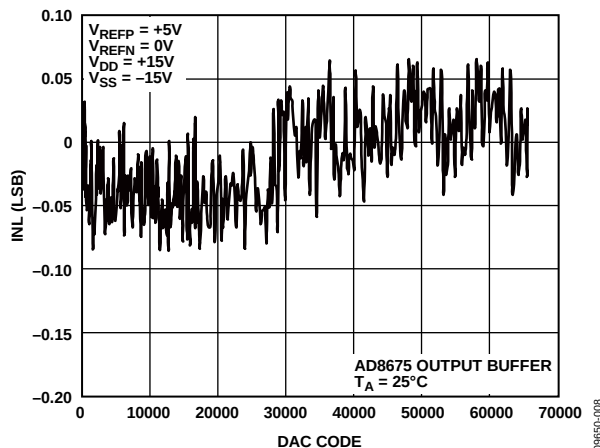


图8. 积分非线性误差与DAC代码的关系, 5 V范围

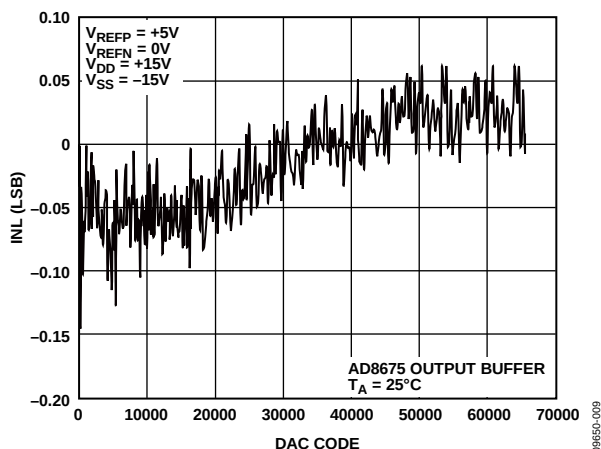
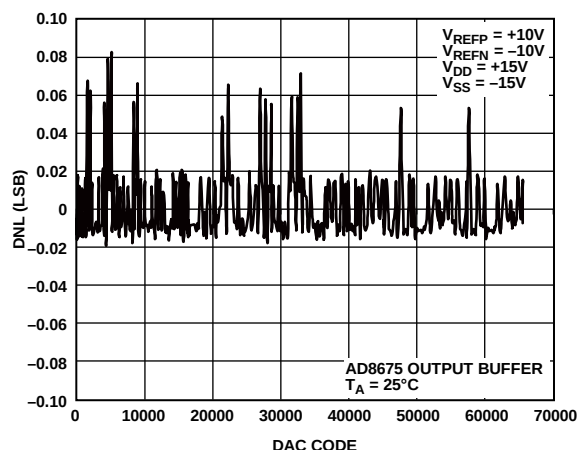
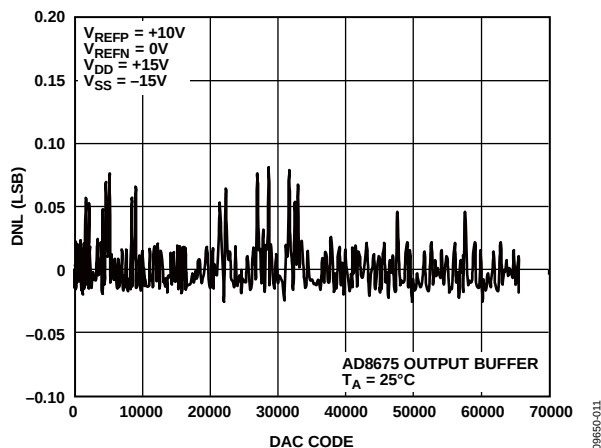
图9. 积分非线性误差与DAC代码的关系, 5 V范围, $\times 2$ 增益模式图10. 差分非线性误差与DAC代码的关系, ± 10 V范围

图11. 差分非线性误差与DAC代码的关系, 10 V范围

AD5760

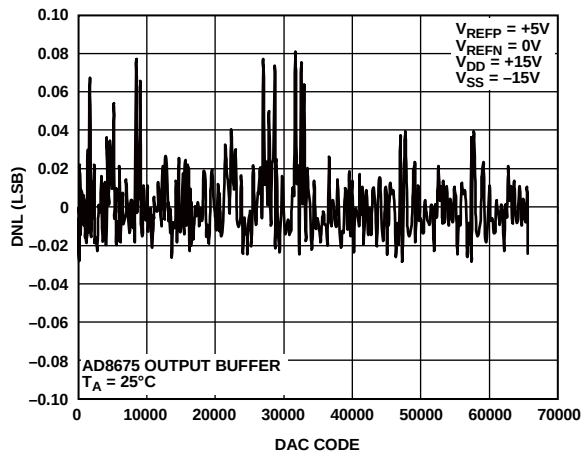


图12. 差分非线性误差与DAC代码的关系, 5 V范围

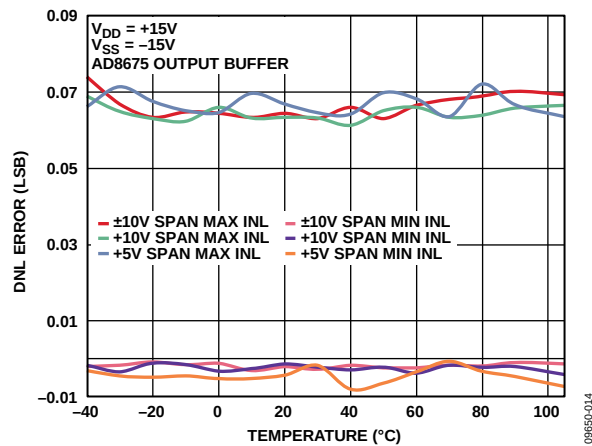


图15. 差分非线性误差与温度的关系

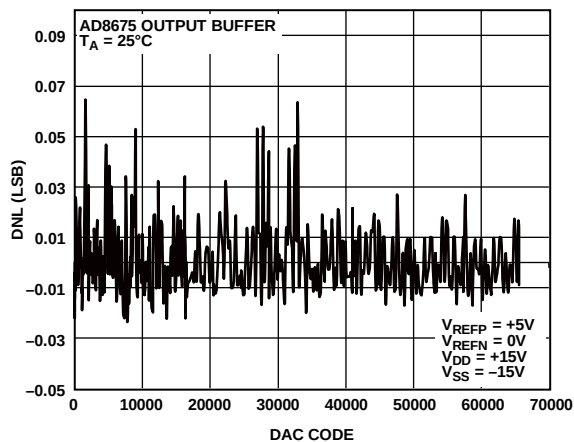


图13. 差分非线性误差与DAC代码的关系, 5 V范围, ×2增益模式

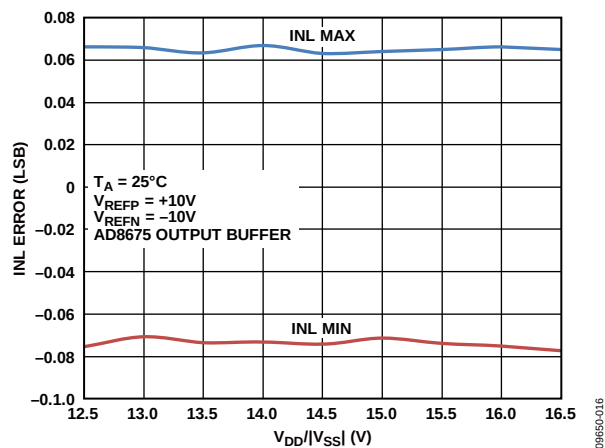


图16. 积分非线性误差与电源电压的关系, ±10 V范围

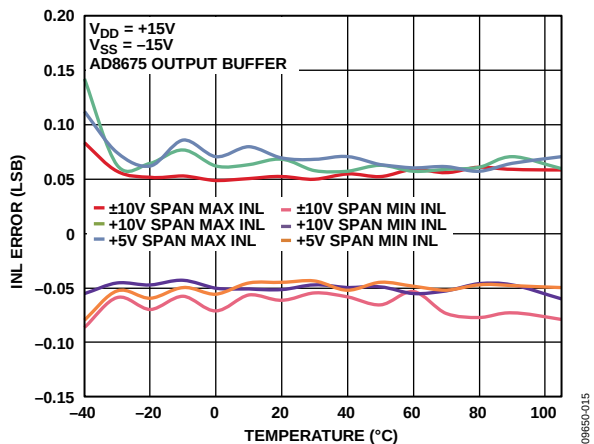


图14. 积分非线性误差与温度的关系

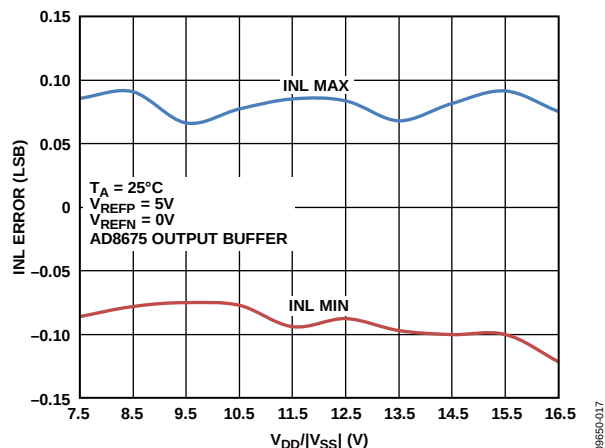


图17. 积分非线性误差与电源电压的关系, 5 V范围

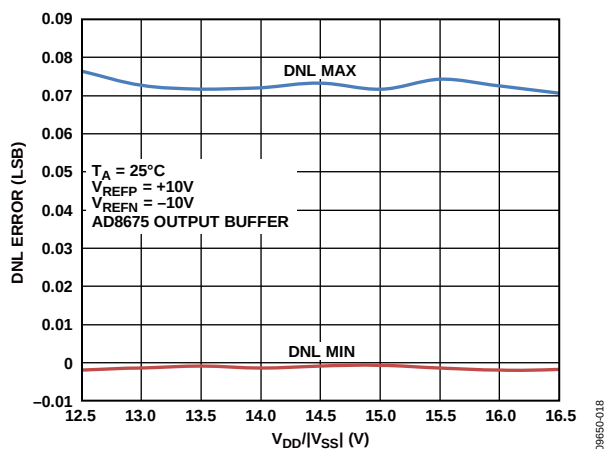
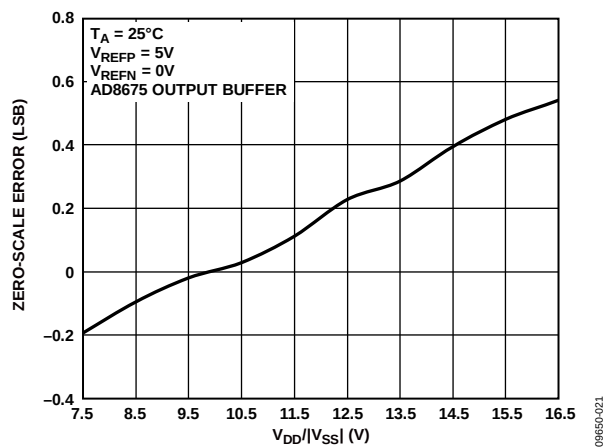
图18. 差分非线性误差与电源电压的关系, ± 10 V范围

图21. 零电平误差与电源电压的关系, 5 V范围

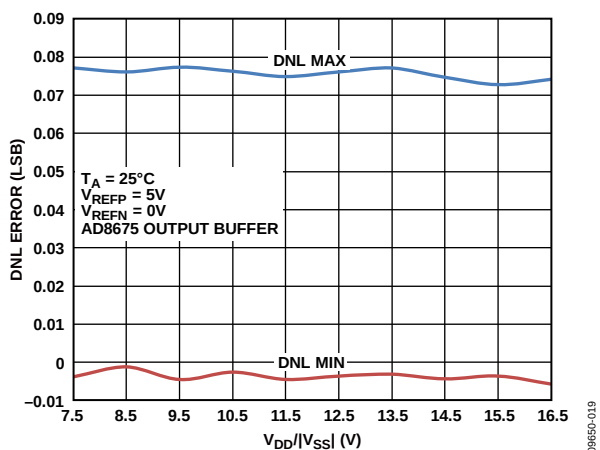


图19. 差分非线性误差与电源电压的关系, 5 V范围

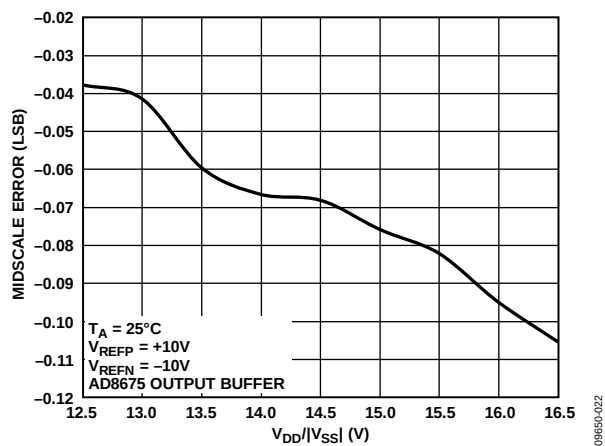
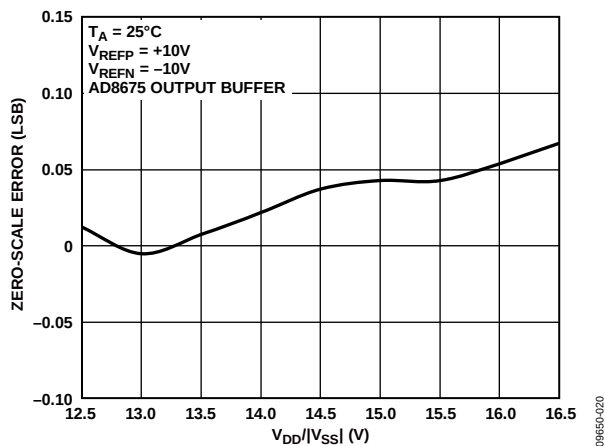
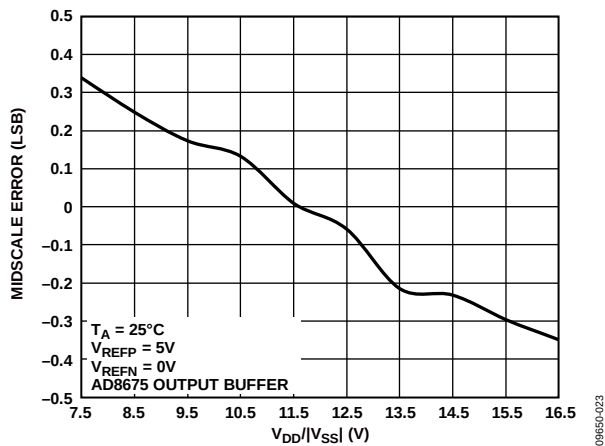
图22. 中间电平误差与电源电压的关系, ± 10 V范围图20. 零电平误差与电源电压的关系, ± 10 V范围

图23. 中间电平误差与电源电压的关系, 5 V范围

AD5760

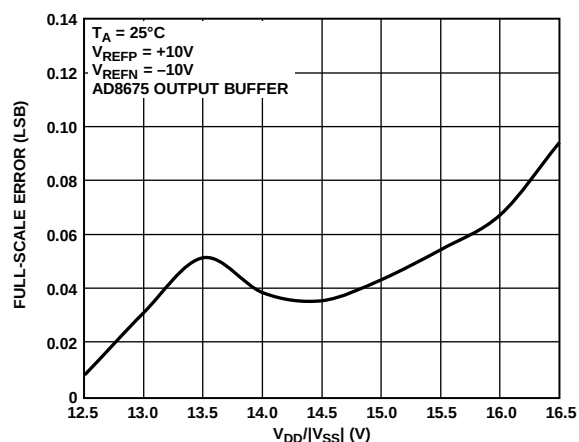


图24. 满量程误差与电源电压的关系, ± 10 V范围

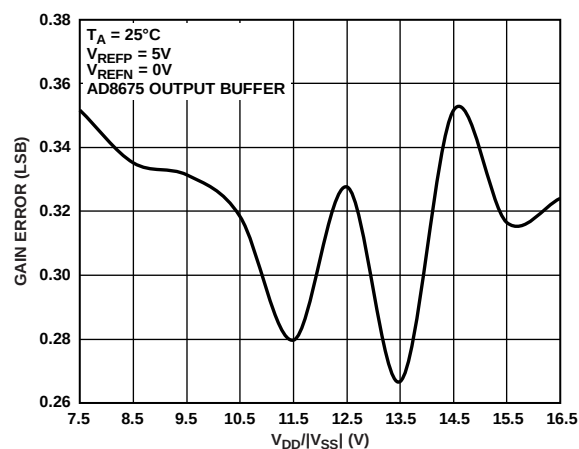


图27. 增益误差与电源电压的关系, 5 V范围

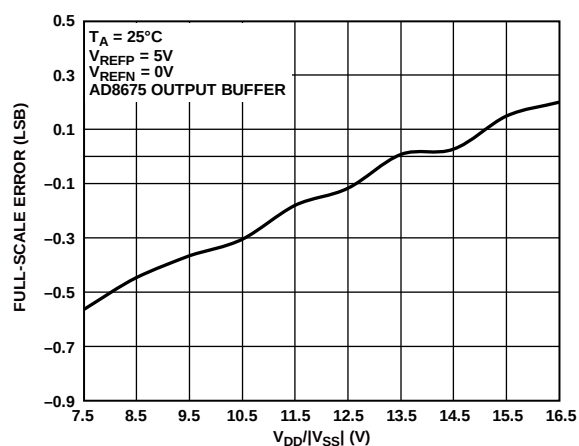


图25. 满量程误差与电源电压的关系, 5 V范围

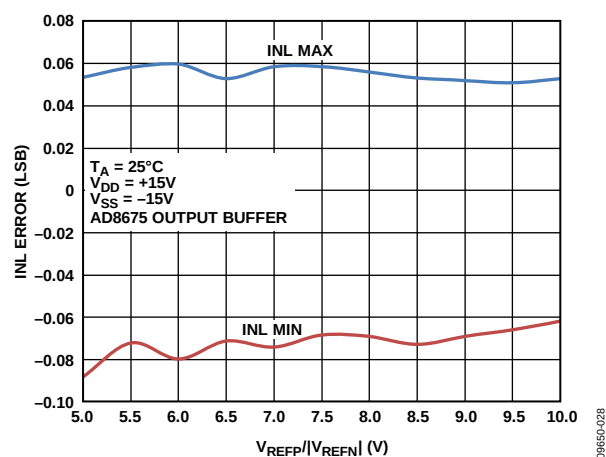


图28: 积分非线性误差与基准电压的关系

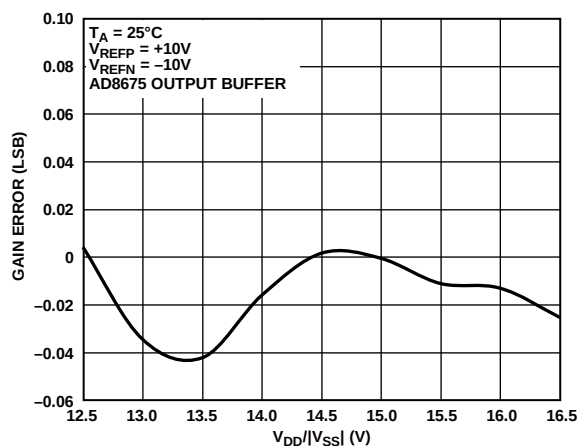


图26. 增益误差与电源电压的关系, ± 10 V范围

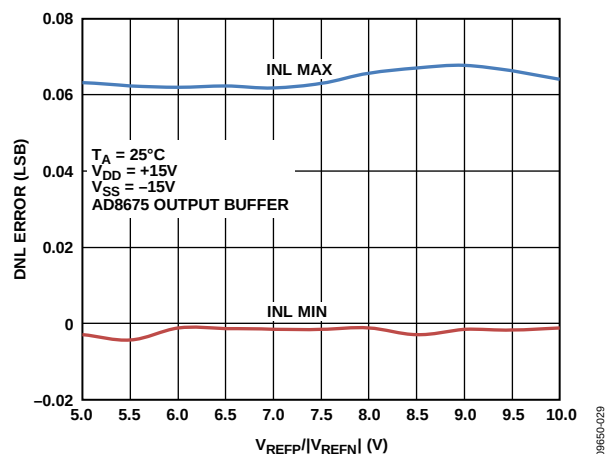


图29: 差分非线性误差与基准电压的关系

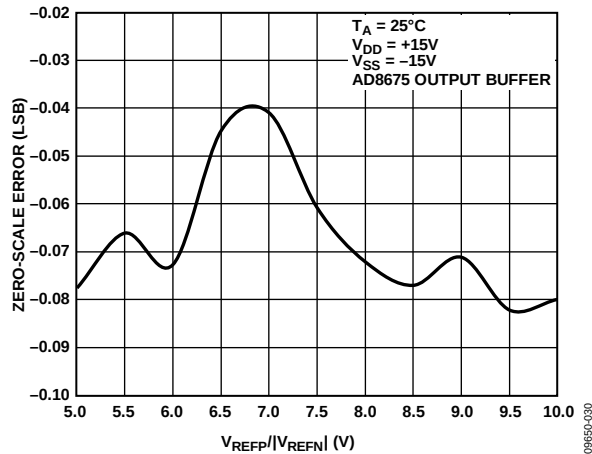


图30. 零电平误差与基准电压的关系

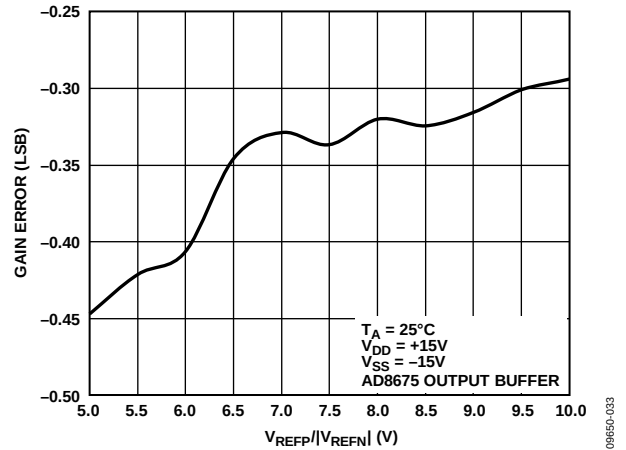


图33. 增益误差与基准电压的关系

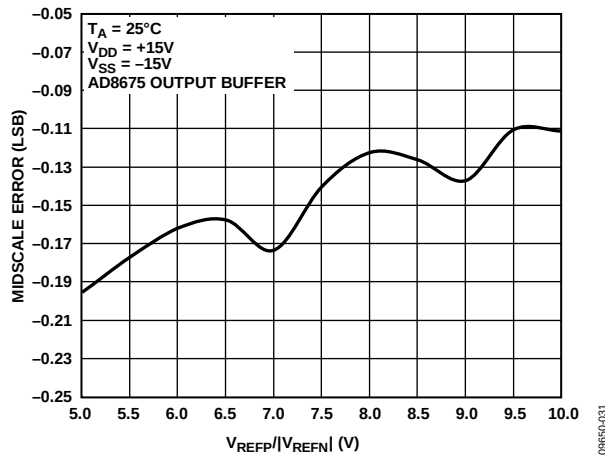


图31. 中间电平误差与基准电压的关系

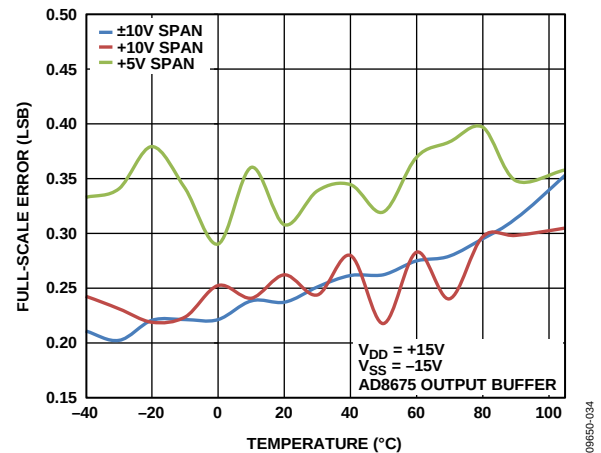


图34. 满量程误差与温度的关系

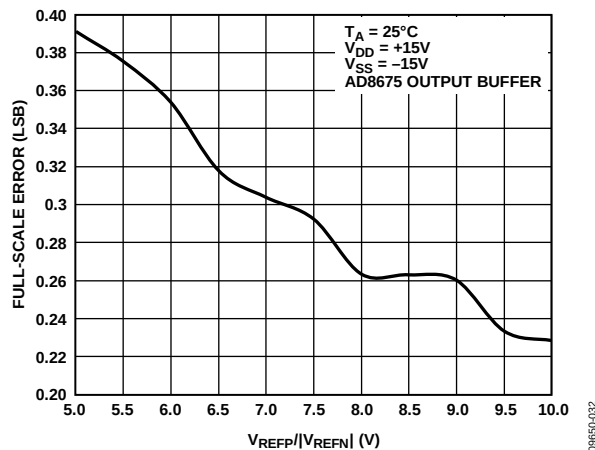


图32. 满量程误差与基准电压的关系

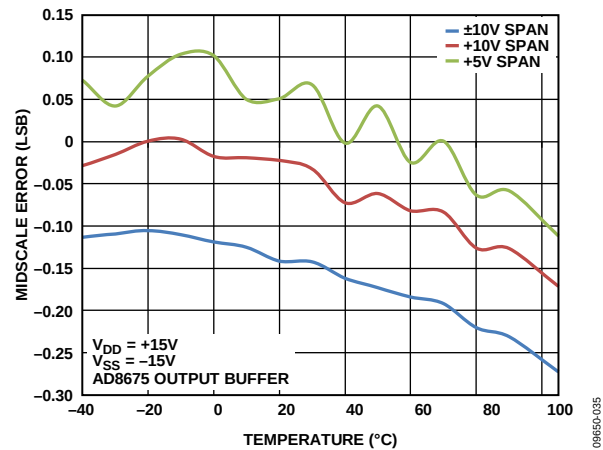


图35. 中间电平误差与温度的关系

AD5760

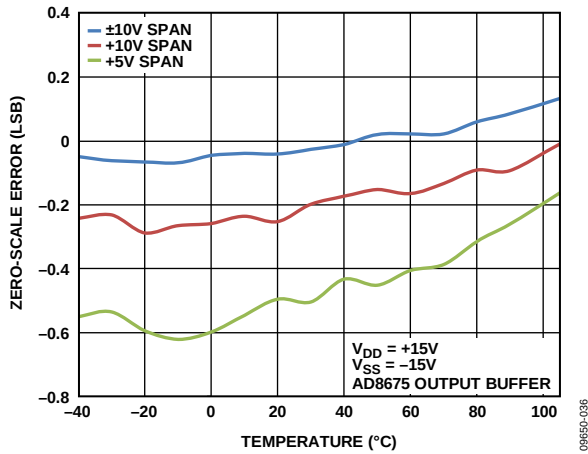


图36. 零电平误差与温度的关系

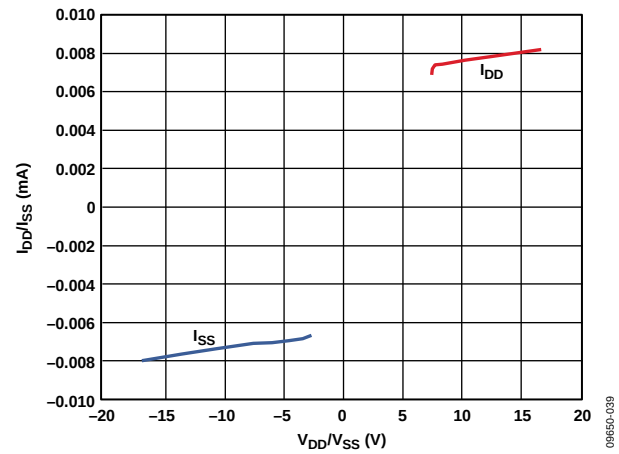


图39. 电源电流与电源电压的关系

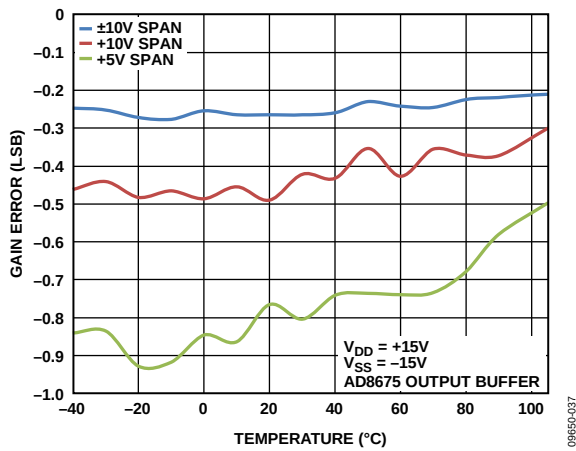


图37. 增益误差与温度的关系

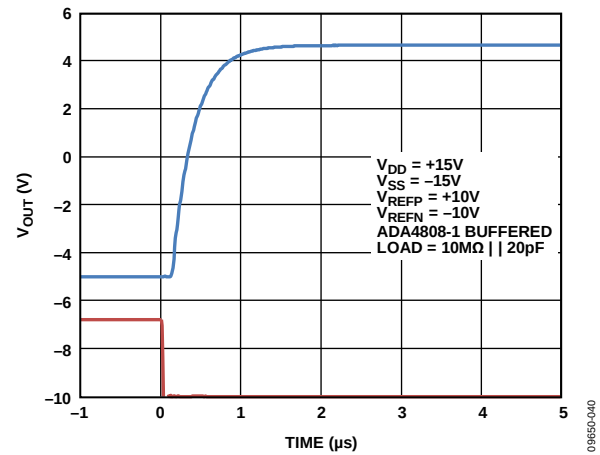


图40. 上升满量程电压阶跃

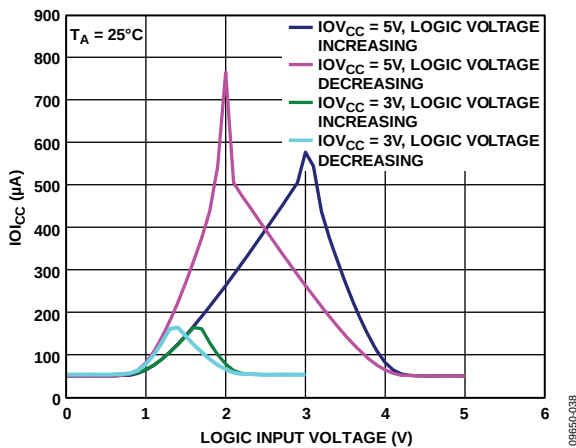


图38. IOI_{CC} 与逻辑输入电压的关系

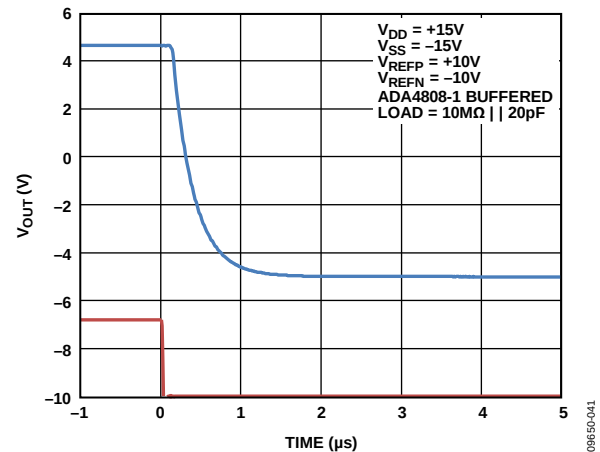


图41. 下降满量程电压阶跃

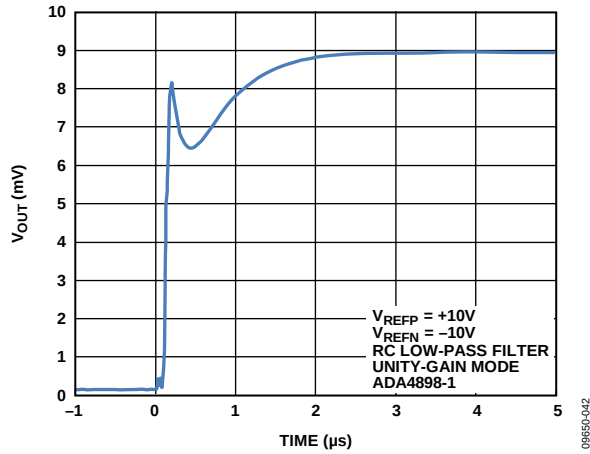


图42. 500代码阶跃建立时间

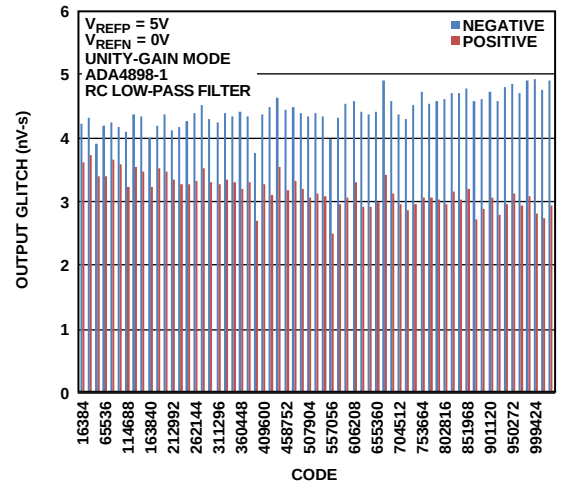


图45. 5 V V_{REF} 的6 MSB段毛刺能量

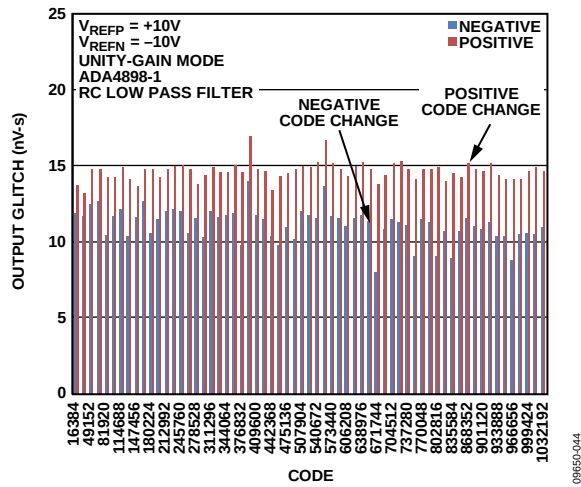


图43. ± 10 V V_{REF} 的6 MSB段毛刺能量

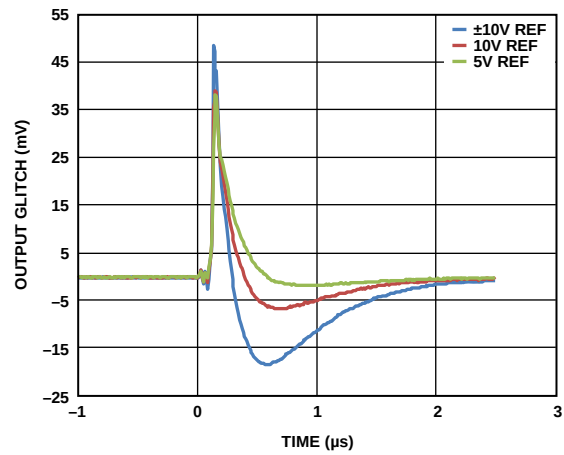


图46. ± 10 V 的中间量程峰值毛刺

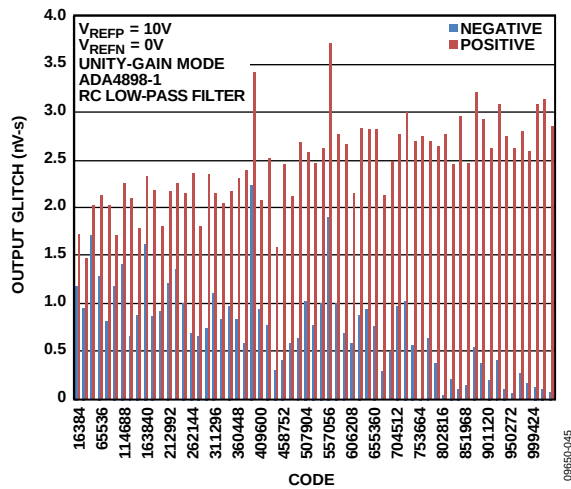


图44. 10 V V_{REF} 的6 MSB段毛刺能量

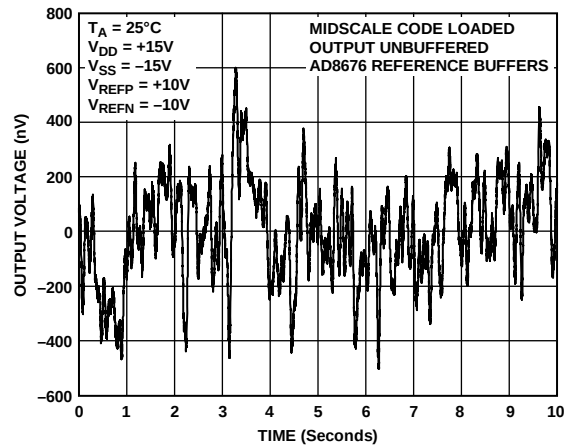


图47. 电压输出噪声, 0.1 Hz至10 Hz带宽

AD5760

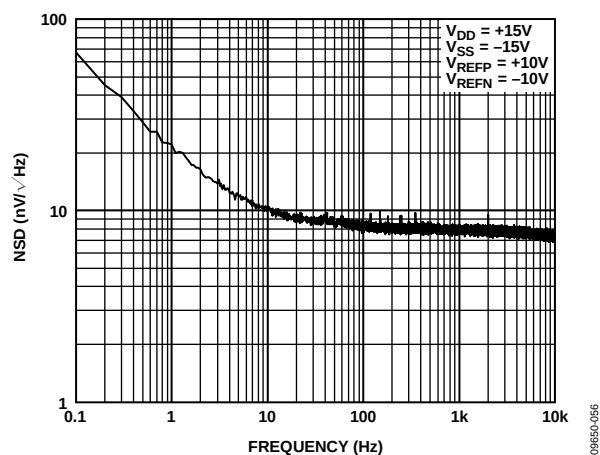


图48. 噪声谱密度与频率的关系

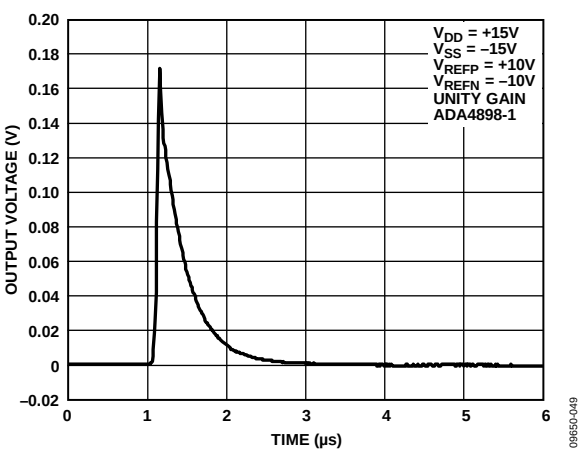


图49. 消除输出箝位时的毛刺脉冲

术语

相对精度

相对精度或积分非线性(INL)是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差，单位为LSB。图6所示为典型的INL误差与代码的关系图。

差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定差分非线性可确保单调性。此DAC可保证单调性。图10所示为典型的DNL误差与代码的关系图。

线性误差长期稳定性

线性误差长期稳定性是指DAC线性度在较长时间内的稳定程度。它用LSB表示，在500小时和1000小时的时间内和高环境温度下进行测量。

零刻度误差

零电平误差衡量将零电平代码(0x00000)载入DAC寄存器时的输出误差。理想情况下，输出电压应为 V_{REFN} 。零电平误差用LSB表示。

零电平误差温度系数

零电平误差温度系数衡量零电平误差随温度的变化，用ppm FSR/°C表示。

满量程误差

满量程误差衡量将满量程代码(0x0FFFF)载入DAC寄存器时的输出误差。理想情况下，输出电压应为 $V_{REFP} - 1$ LSB。满量程误差用LSB表示。

满量程误差温度系数

满量程误差温度系数衡量满量程误差随温度的变化，用ppm FSR/°C表示。

增益误差

增益误差衡量DAC的满量程误差，它是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的ppm表示。

增益误差温度系数

增益误差温度系数衡量增益误差随温度的变化，用ppm FSR/°C表示。

中间电平误差

中间电平误差衡量将中间电平代码(0x08000)载入DAC寄存器时的输出误差。理想情况下，输出电压应为 $(V_{REFP} - V_{REFN}) / 2 + V_{REFN}$ 。中间电平误差用LSB表示。

输出电压建立时间

输出电压建立时间是指对于指定的电压变化，输出电压达到并保持在指定电平所需的时间量。对于快速建立应用，需要高速缓冲放大器作为AD5760的3.4 kΩ输出阻抗与负载间的缓冲，此时建立时间由放大器决定。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。它规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB时进行测量(参见图49)。

输出使能毛刺脉冲

输出使能毛刺脉冲是DAC输出接地箝位消除时注入到模拟输出的脉冲。它规定为毛刺的面积，用nV-sec表示(参见图49)。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-秒，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

总谐波失真(THD)

总谐波失真是指DAC输出的谐波均方根和与基波的比值。仅包括二次至五次谐波。

直流电源抑制比

直流电源抑制比衡量输出电压对DAC电源直流变化的抑制能力。它在电源电压的给定直流变化下测量，用 $\mu V/V$ 表示。

交流电源抑制比(AC PSRR)

交流电源抑制比衡量输出电压对DAC电源交流变化的抑制能力。它在电源电压的给定幅度和频率变化下测量，用分贝(dB)表示。

AD5760

工作原理

AD5760是一款高精度、快速建立、单通道、16位、串行输入、电压输出DAC。 V_{DD} 电源电压范围为7.5 V至16.5 V， V_{SS} 电源电压范围为-16.5 V至-2.5 V。数据通过3线串行接口以24位字格式写入AD5760。它内置一个上电复位电路，确保DAC输出上电至0 V， V_{OUT} 引脚通过约6 k Ω 的内部电阻箝位至AGND。

DAC架构

AD5760的DAC架构由两个匹配的DAC部分组成。简化电路图如图50所示。16位数据字的高6位经解码用于驱动63个开关(E0至E62)。每个开关将63个匹配电阻之一连接到经过缓冲的 V_{REFP} 或 V_{REFN} 电压。数据字的其余10位驱动10位电压模式R-2R梯形网络的S0至S9开关。

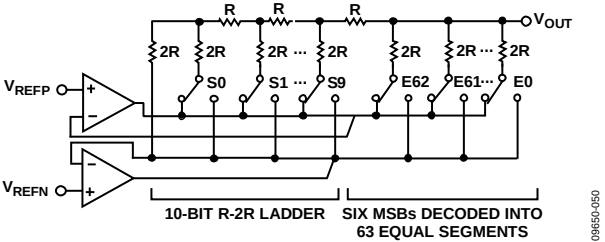


图50. DAC梯形结构串行接口

串行接口

AD5760有一个3线串行接口($\overline{SYNC}$ 、SCLK和SDIN)，它与SPI、QSPI、MICROWIRE接口标准及大多数DSP兼容(时序图参见图2)。

输入移位寄存器

输入移位寄存器为24位宽。在工作速度最高可达35 MHz的串行时钟输入SCLK的控制下，数据作为24位字以MSB优先的方式载入器件。输入寄存器包括 $R/\overline{W}$ 位、3个地址位和20个数据位，如表6所示。图2给出了这种操作的时序图。

表6. 输入移位寄存器格式
MSB

DB23	DB22	DB21	DB20	DB19至DB0	LSB
$R/\overline{W}$	寄存器地址			寄存器数据	

表7. 输入移位寄存器解码

$R/\overline{W}$	寄存器地址			描述
X^1	0	0	0	无操作(NOP)。用于回读操作。
0	0	0	1	写入DAC寄存器
0	0	1	0	写入控制寄存器
0	0	1	1	写入清零代码寄存器
0	1	0	0	写入软件控制寄存器
1	0	0	1	读取DAC寄存器
1	0	1	0	读取控制寄存器
1	0	1	1	读取清零代码寄存器

¹ X表示无关。

独立操作

串行接口可以采用连续式和非连续式串行时钟工作。如果 $\overline{\text{SYNC}}$ 在正确的时钟周期数内保持为低电平，只能使用连续的SCLK时钟源。

在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将 $\overline{\text{SYNC}}$ 置为高电平来锁存数据。 $\overline{\text{SYNC}}$ 的第一个下降沿启动写周期。SCLK必须在24个时钟下降沿后，才能将 $\overline{\text{SYNC}}$ 重新拉高。如果在第24个SCLK下降沿之前拉高 $\overline{\text{SYNC}}$ ，写入的数据无效。如果拉高 $\overline{\text{SYNC}}$ 前有超过24个SCLK下降沿，输入数据同样无效。

输入移位寄存器在 $\overline{\text{SYNC}}$ 的上升沿更新。若需进行其他串行传输，必须将 $\overline{\text{SYNC}}$ 再次拉低。串行传输结束后，数据自动从输入移位寄存器传送到寻址寄存器。写入周期完成时，就可以在 $\overline{\text{LDAC}}$ 为高电平的同时拉低 $\overline{\text{SYNC}}$ ，从而更新输出。

菊花链操作

对于包含数个器件的系统，可利用SDO引脚通过菊花链方式将多个器件连接起来。菊花链模式有助于系统诊断和减少串行接口线的数量。 $\overline{\text{SYNC}}$ 的第一个下降沿启动写周期。当 $\overline{\text{SYNC}}$ 为低电平时，SCLK不断施加到输入移位寄存器。如果施加了24个以上的时钟脉冲，则数据从移位寄存器纹波输出并出现在SDO线路上。此数据在SCLK上升沿逐个输出，并在SCLK的下降沿有效。将第一个器件的SDO连接到菊花链中下一个器件的SDIN输入，可构建一个多器件接口。系统中的每个器件都需要24个时钟脉冲，因此总时钟周期数必须等于 $24 \times N$ ，其中N为菊花链中的AD5760器件总数。当对所有器件的串行传输结束时， $\overline{\text{SYNC}}$ 变为高电平，这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。串行时钟可以是连续时钟或门控时钟。

如果 $\overline{\text{SYNC}}$ 在正确的时钟周期数内保持为低电平，只能使用连续的SCLK时钟源。在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将 $\overline{\text{SYNC}}$ 置为高电平来锁存数据。

在任何一个菊花链序列中，写入DAC寄存器不能与写入任何其它寄存器混合在一起。对菊花链器件的所有写入要么是写入DAC寄存器，要么是写入控制寄存器、清零代码寄存器或软件控制寄存器。

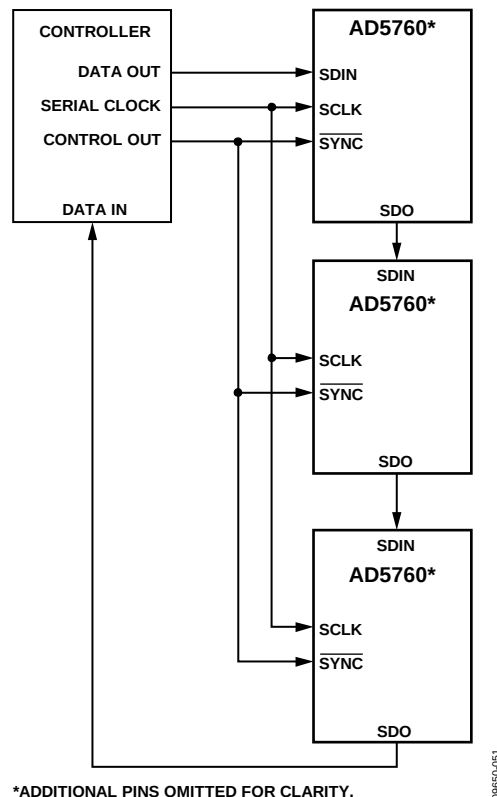


图51. 菊花链框图

回读

通过SDO引脚可以回读所有片内寄存器的内容。表7显示了寄存器的解码表。寻址一个待读取的寄存器后，数据将通过SDO引脚在接下来的24个时钟周期输出。时钟必须在 $\overline{\text{SYNC}}$ 为低电平时施加。当 $\overline{\text{SYNC}}$ 返回高电平时，SDO引脚变为三态。当读取单个寄存器时，可以使用NOP功能输出数据。如果读取一个以上的寄存器，则第一个待寻址寄存器的数据可以在寻址第二个待读取寄存器的同时输出。要完成一个回读操作，必须使能SDO引脚。SDO引脚默认使能。

硬件控制引脚

Load DAC Function ($\overline{\text{LDAC}}$)

数据传输到DAC的输入寄存器之后，有两种方法可以更新DAC寄存器和DAC输出。根据 $\overline{\text{SYNC}}$ 和 $\overline{\text{LDAC}}$ 的状态，选择两种更新模式之一：同步DAC更新或异步DAC更新。

同步DAC更新

在此模式下，当数据进入输入移位寄存器时 $\overline{\text{LDAC}}$ 要保持为低电平。DAC输出在 $\overline{\text{SYNC}}$ 的上升沿更新。

AD5760

异步DAC更新

在此模式下，当数据进入输入移位寄存器时 $\overline{\text{LDAC}}$ 要保持为高电平。在拉高 $\overline{\text{LDAC}}$ 后，通过拉低 $\overline{\text{SYNC}}$ 可以异步更新DAC输出。此时在 $\overline{\text{LDAC}}$ 的下降沿进行更新。

复位功能($\overline{\text{RESET}}$)

[AD5760](#)可以通过两种方式复位至上电状态：一是置位 $\overline{\text{RESET}}$ 引脚，二是利用软件控制寄存器中的复位功能(见表13)。如果 $\overline{\text{RESET}}$ 引脚不用，应将其硬连线至 IOV_{CC} 。

异步清零功能($\overline{\text{CLR}}$)

$\overline{\text{CLR}}$ 引脚是在低电平有效的时候清零，允许输出清零至用户自定义值。16位清零代码值写入清零代码寄存器(见表12)。 $\overline{\text{CLR}}$ 必须至少保持一段时间的低电平才能完成操作(参见图2)。当 $\overline{\text{CLR}}$ 信号变回高电平后，输出保持为清零值(如果 $\overline{\text{LDAC}}$ 为高电平)，直到新值载入DAC寄存器。当 $\overline{\text{CLR}}$

引脚为低电平时，无法用新值更新输出。清零操作还可通过设置软件控制寄存器中的CLR位来执行(见表13)。

片内寄存器

DAC寄存器

表9说明如何写入和读取DAC寄存器。

以下方程式描述了DAC的理想传递函数：

$$V_{\text{OUT}} = \frac{(V_{\text{REFP}} - V_{\text{REFN}}) \times D}{2^{16}} + V_{\text{REFN}}$$

其中：

V_{REFN} 是 V_{REFN} 输入引脚上施加的负电压。

V_{REFP} 是 V_{REFP} 输入引脚上施加的正电压。

D 为写入DAC的16位代码。

表8. 硬件控制引脚真值表

LDAC	CLR	RESET	功能
X ¹	X ¹	0	AD5760 处于复位模式。无法对器件进行编程。
X ¹	X ¹	↑	AD5760 返回到上电状态。所有寄存器都被设置为默认值。
0	0	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
0	1	1	输出根据DAC寄存器值进行设置。
1	0	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
↓	1	1	输出根据DAC寄存器值进行设置。
↓	0	1	输出保持为清零代码寄存器值。
↑	1	1	输出根据DAC寄存器值进行设置。
↑	0	1	输出保持为清零代码寄存器值。
1	↓	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
0	↓	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
1	↑	1	输出保持为清零代码寄存器值。
0	↑	1	输出根据DAC寄存器值进行设置。

¹X表示无关。

表9. DAC寄存器

MSB					LSB			
DB23	DB22	DB21	DB20	DB19至DB4	DB3	DB2	DB1	DB0
R/ $\overline{\text{W}}$	寄存器地址			DAC寄存器数据				
R/ $\overline{\text{W}}$	0	0	1	16位数据	X ¹	X ¹	X ¹	X ¹

¹X表示无关。

控制寄存器

控制寄存器控制AD5760的工作模式。

清零代码寄存器

在置位CLR引脚或者软件控制寄存器中的CLR位时，清零代码寄存器设置DAC输出值。输出值取决于所用的DAC编码格式：二进制或二进制补码。默认寄存器值为0。

表10. 控制寄存器

MSB														LSB	
DB23	DB22	DB21	DB20	DB19至DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R/W	寄存器地址				控制寄存器数据										
R/W	0	1	0	保留	保留	0000				SDODIS	BIN/2sC	DACTRI	OPGND	RBUF	保留

表11. 控制寄存器功能

位的名称	描述
保留	这些位为保留位，应设置为零。
RBUF	输出放大器配置控制。 0: 内部放大器A1上电，电阻 R_{FB} 和R1串联，如图54所示。 允许连接一个增益为配置2的外部放大器。详情见AD5760特性部分。 1: (默认)内部放大器A1掉电，电阻 R_{FB} 和R1并联，如图53所示； RFB与INV引脚之间的电阻为3.4 k Ω ，等于DAC的电阻。 允许 R_{FB} 和INV引脚对外部单位增益放大器进行输入偏置电流补偿。 详情见AD5760特性部分。
OPGND	输出接地箝位控制。 0: 消除DAC输出接地箝位，DAC处于正常模式。 1: (默认)DAC输出通过约6 k Ω 电阻箝位至接地，DAC处于三态模式。 复位器件将DAC置于OPGND模式，从而使能输出接地箝位，DAC处于三态。 在控制寄存器中将OPGND位置1优先于DACTRI位的任何写操作。
DACTRI	DAC三态控制。 0: DAC处于正常工作模式。 1: (默认)DAC处于三态模式。
BIN/2sC	DAC寄存器编码选择。 0: (默认)DAC寄存器使用二进制补码编码。 1: DAC寄存器使用偏移二进制编码。
SDODIS	SDO引脚使能/禁用控制。 0: (默认)SDO引脚使能。 1: SDO引脚禁用(三态)。
R/W	读/写选择位。 0: 寻址AD5760进行写操作。 1: 寻址AD5760进行读操作。

表12. 清零代码寄存器

MSB					LSB			
DB23	DB22	DB21	DB20	DB19至DB4	DB3	DB2	DB1	DB0
R/W	寄存器地址			清零代码寄存器数据				
R/W	0	1	1	16位数据	X ¹	X ¹	X ¹	X ¹

¹ X表示无关。

AD5760

软件控制寄存器

这是一个只写寄存器，将1写入特定位相当于通过发送脉冲将相应的引脚拉低。

表13. 软件控制寄存器

MSB				LSB			
DB23	DB22	DB21	DB20	DB19 to DB3	DB2	DB1	DB0
R/W	寄存器地址			软件控制寄存器数据			
0	1	0	0	保留	复位	CLR ¹	LDAC ²

¹ 当LDAC引脚为低电平时，CLR功能无效。

² 当CLR引脚为低电平时，LDAC功能无效。

表14. 软件控制寄存器功能

位的名称	描述
LDAC	此位设置为1可更新DAC寄存器和DAC输出。
CLR	此位设置为1可将DAC寄存器设置为用户自定义值(见表12)并更新DAC输出。 输出值取决于所用的DAC寄存器编码格式：二进制或二进制补码。
复位	此位设置为1可使AD5760返回上电状态。

AD5760特性

上电至0V

AD5760内置一个上电复位电路，它除了能将所有寄存器复位至默认值以外，还能控制上电期间的输出电压。上电时，DAC处于三态模式(其基准输入断开)，DAC输出通过约6 kΩ电阻箝位至AGND。DAC将保持此状态，直到通过控制寄存器将其设置为其它状态。这个特性对于在DAC上电过程中必须知道DAC输出状态的应用十分有用。

配置AD5760

上电之后，必须将AD5760置于正常工作模式才能对输出进行编程。为此，必须对控制寄存器进行编程。DACTRI位清零可使DAC脱离三态，OPGND位清零可消除输出箝位。此时，输出将变为 V_{REFN} ，除非首先给DAC寄存器设置了其它值。

DAC输出状态

通过控制寄存器的DACTRI和OPGND位，可以将DAC输出置于三种状态之一，如表15所示。

表15. 输出状态真值表

DACTRI	OPGND	输出状态
0	0	正常工作模式
0	1	输出通过约6 kΩ电阻箝位至AGND
1	0	输出为三态
1	1	输出通过约6 kΩ电阻箝位至AGND

输出放大器配置

输出放大器可以通过多种方式连接到AD5760，具体取决于所施加的基准电压和所需的输出电压范围。

单位增益配置

图52显示配置为单位增益的输出放大器。在此配置中，输出范围是从 V_{REFN} 到 V_{REFP} 。

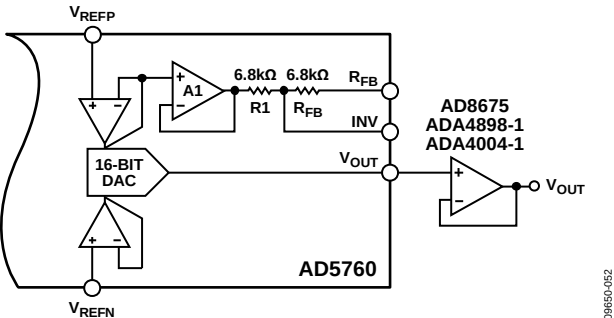


图52. 单位增益配置的输出放大器

输出放大器还有一种单位增益配置，该配置从放大器的输入偏置电流中消除了失调，方法是在放大器的反馈路径中插入一个阻值与DAC输出电阻相等的电阻。DAC输出电阻为3.4 kΩ，通过并联连接R1和 R_{FB} ，就能在片内获得一个与DAC电阻相等的电阻。由于这些电阻全部位于一个硅片上，因此其温度系数彼此匹配。若要使能这种工作模式，必须将控制寄存器的RBUF位设置为逻辑1。图53给出了输出放大器连接到AD5760的方式。在此配置中，输出放大器为单位增益，输出范围从 V_{REFN} 到 V_{REFP} 。这种单位增益配置允许在放大器反馈路径中放置一个电容，以提高动态性能。

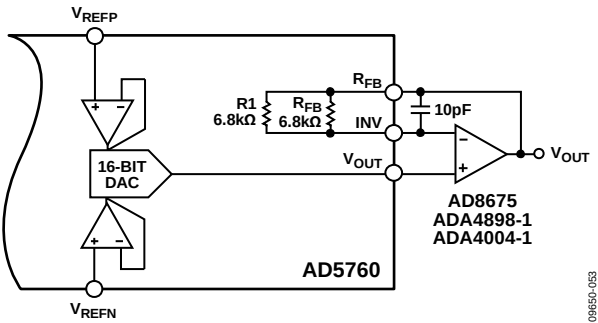


图53. 带放大器输入偏置电流补偿的单位增益输出放大器

AD5760

增益为2的配置(×2增益模式)

图54所示为增益配置为2的输出放大器。增益由内部匹配的6.8 kΩ电阻设置，这些电阻恰好是DAC电阻的两倍，并具有从外部放大器的输入偏置电流中消除失调的作用。在此配置中，输出范围是从 $2 \times V_{REFN} - V_{REFP}$ 到 V_{REFP} 。这种配置可用来从单端基准输入($V_{REFN} = 0$ V)产生双极性输出范围。若要使能这种工作模式，必须将控制寄存器的RBUF位设置为逻辑0。

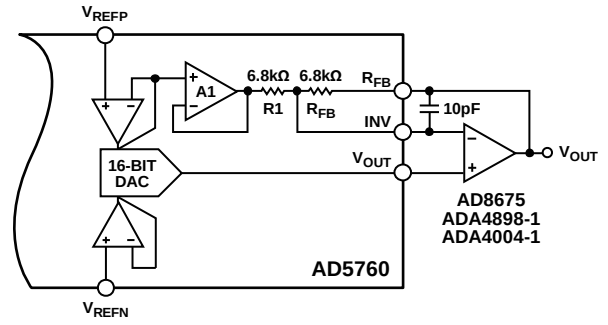
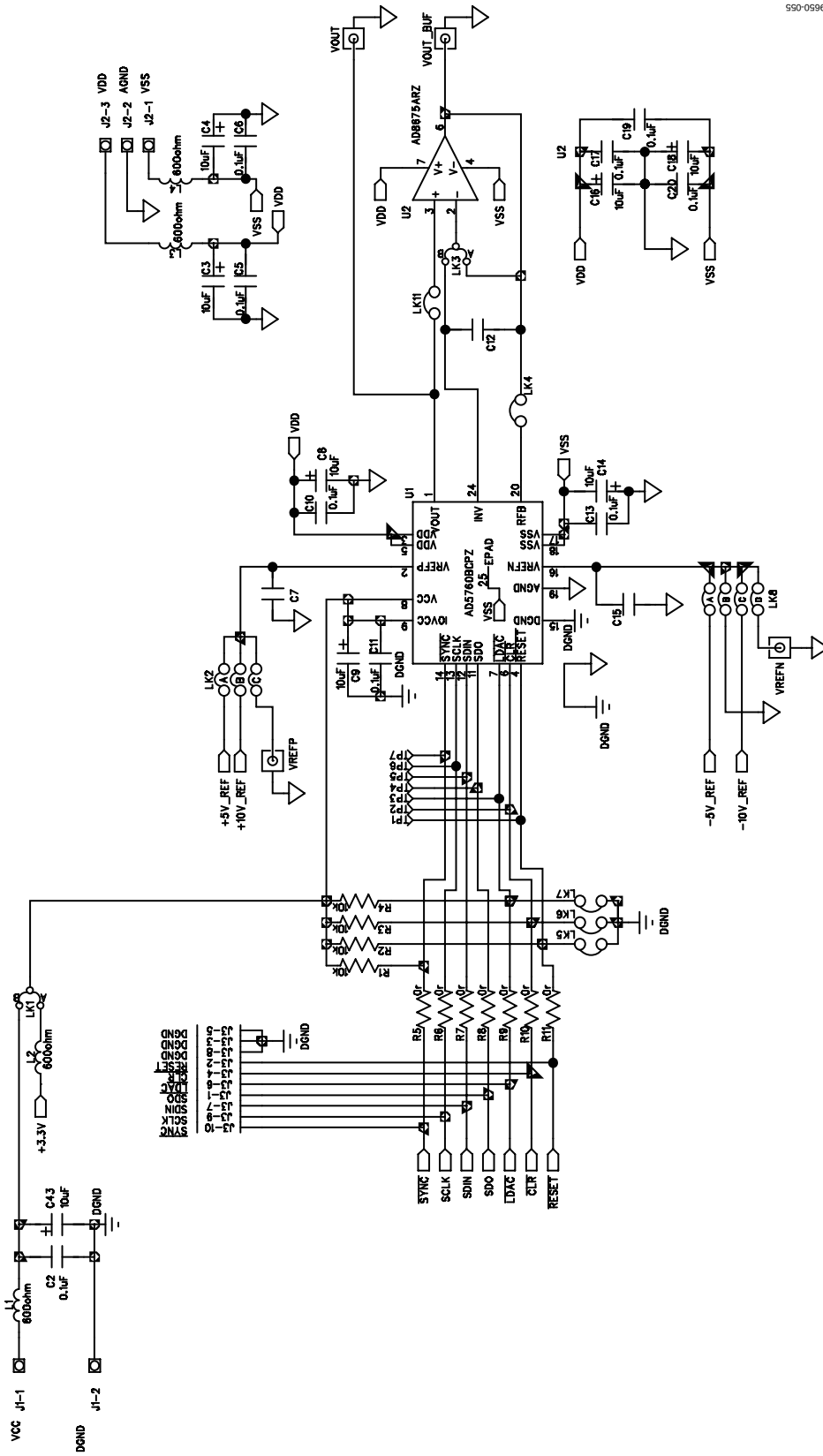


图54. 增益配置为2的输出放大器

09650-05-4

应用信息
典型工作电路



550-05960

图55. 典型工作电路
Rev. C | Page 27 of 32

AD5760

图55显示了使用AD8675作为输出缓冲器时AD5760的典型工作电路。由于AD5760的输出阻抗为3.4 k Ω ，因此需要一个输出缓冲器来驱动低电阻、高电容负载。

评估板

如需评估AD5760的18位版本或20位版本，请参见为AD5780或AD5790提供的评估板。ADI公司提供AD5780评估板，旨在帮助设计者轻松地对器件性能进行评估。评估

套件包括一片搭载相关元件并经过测试的AD5780印刷电路板(PCB)。评估板连接到PC的USB端口，软件与评估板一同提供，便于用户设置AD5780。软件可以在任何已安装Microsoft® Windows® XP (SP2)、Vista(32位或64位)或Windows 7的PC上运行。UG-256已发布，其中提供了评估板工作的全部细节。

外形尺寸

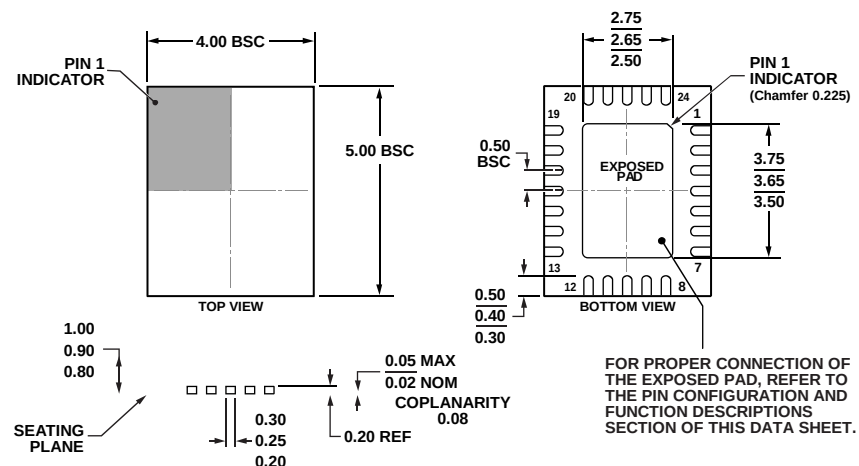


图56. 24引脚引脚架构芯片级封装[LFCSP_VQ]
4 mm x 5 mm超薄四方体
(CP-24-5)
图示尺寸单位: mm

订购指南

型号 ¹	温度范围	积分非线性(INL)	封装描述	封装选项
AD5760BCPZ	−40°C至+125°C	±0.5 LSB	24引脚 LFCSP_VQ	CP-24-5
AD5760BCPZ-REEL7	−40°C至+125°C	±0.5 LSB	24引脚 LFCSP_VQ	CP-24-5
AD5760ACPZ	−40°C至+125°C	±2 LSB	24引脚 LFCSP_VQ	CP-24-5
AD5760ACPZ-REEL7	−40°C至+125°C	±2 LSB	24引脚 LFCSP_VQ	CP-24-5
EVAL-AD5760SDZ			评估板	

¹ Z = 符合RoHS标准的器件。

注释

注释

AD5760

注释