

FPGA 视频处理开发平台

用户手册

AV6045

REV 1.0 版

芯驿电子科技（上海）有限公司

黑金动力社区

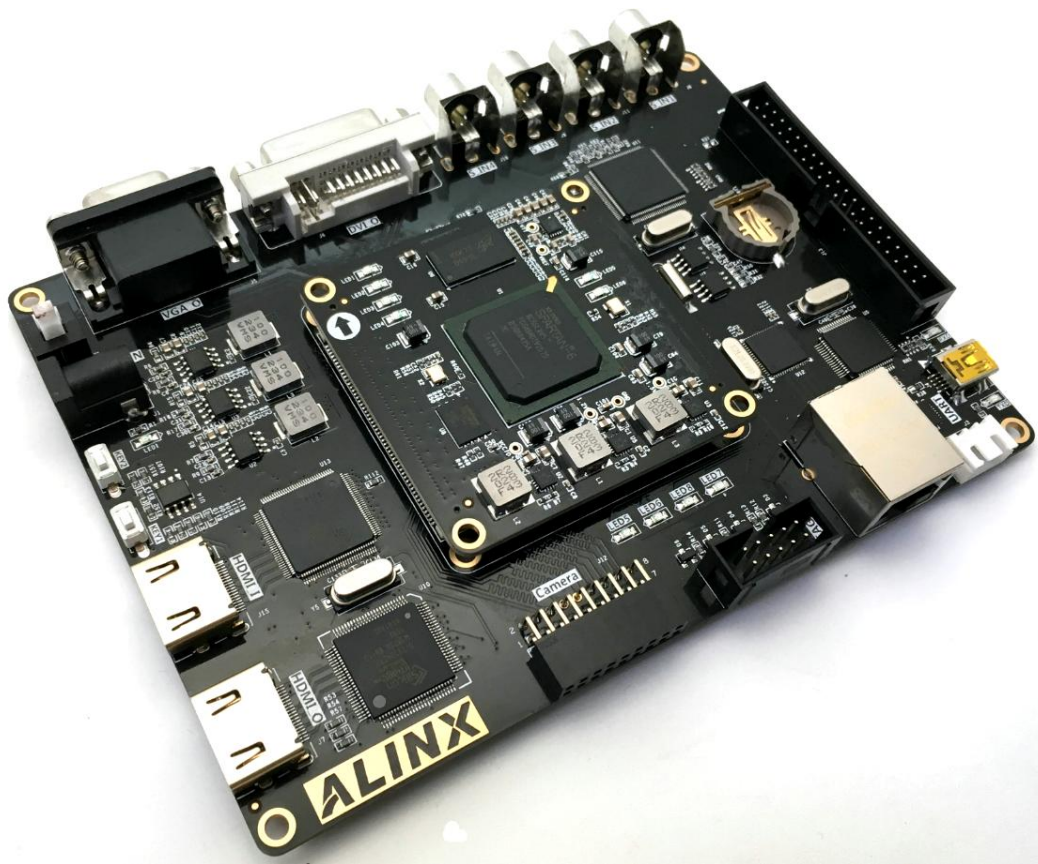
目录

一、 简介.....	4
二、 功能实现	7
(一) 视频输入	7
(二) 视频输出	9
三、 FPGA 核心板.....	10
(一) 简介	11
(二) DDR3 引脚分配.....	错误！未定义书签。
(三) SPI Flash	错误！未定义书签。
(四) FPGA 供电电源	错误！未定义书签。
(五) 扩展接口	错误！未定义书签。
(六) 电源接口	错误！未定义书签。
(七) 外部晶振	错误！未定义书签。
(八) LED	错误！未定义书签。
四、 扩展板.....	26
(一) 简介	26
(二) VGA 和 DVI 接口	27
(三) HDMI 输出接口	29
(四) HDMI 输入接口	31
(五) 视频输入接口.....	34
(六) 千兆以太网接口.....	35
(七) ARM 控制器	38
1) 实时时钟	39
2) EEPROM	40
3) LED	40
4) USB 串口	41
5) SD 卡	42
(八) CMOS 摄像头接口	43

(九) 扩展口	45
(十) JTAG 接口.....	46
(十一) 按键	47
(十二) 供电电源.....	48

专业级 XILINX FPGA 视频图像处理开发平台 (型号 : AV6045) 正式发布了 , 为了让您对此开发平台可以快速了解 , 我们编写了此用户手册。

这款 FPGA 视频图像处理开发平台是根据本公司 ALTERA 的视频开发板改进衍生而来 , 在硬件设计上我们在原有的基础上增加了 HDMI 输入 , DVI 输出 , 千兆以太网 , CMOS Camera 接口和 Micro SD 卡座等外设。这极大的丰富了视频图像处理板的功能 , 不仅满足 FPGA 视频图像处理的功能 , 还为视频图像存储 , 视频图像的网络通信提供了可能。因此 , 这款开发平台可以堪称 “专业级” 和 “全能级 ”。这样的一款产品非常适合即将从事或者正在从事 FPGA 视频图像处理或者视频图像通信及存储的学生、工程师等群体。



一、 简介

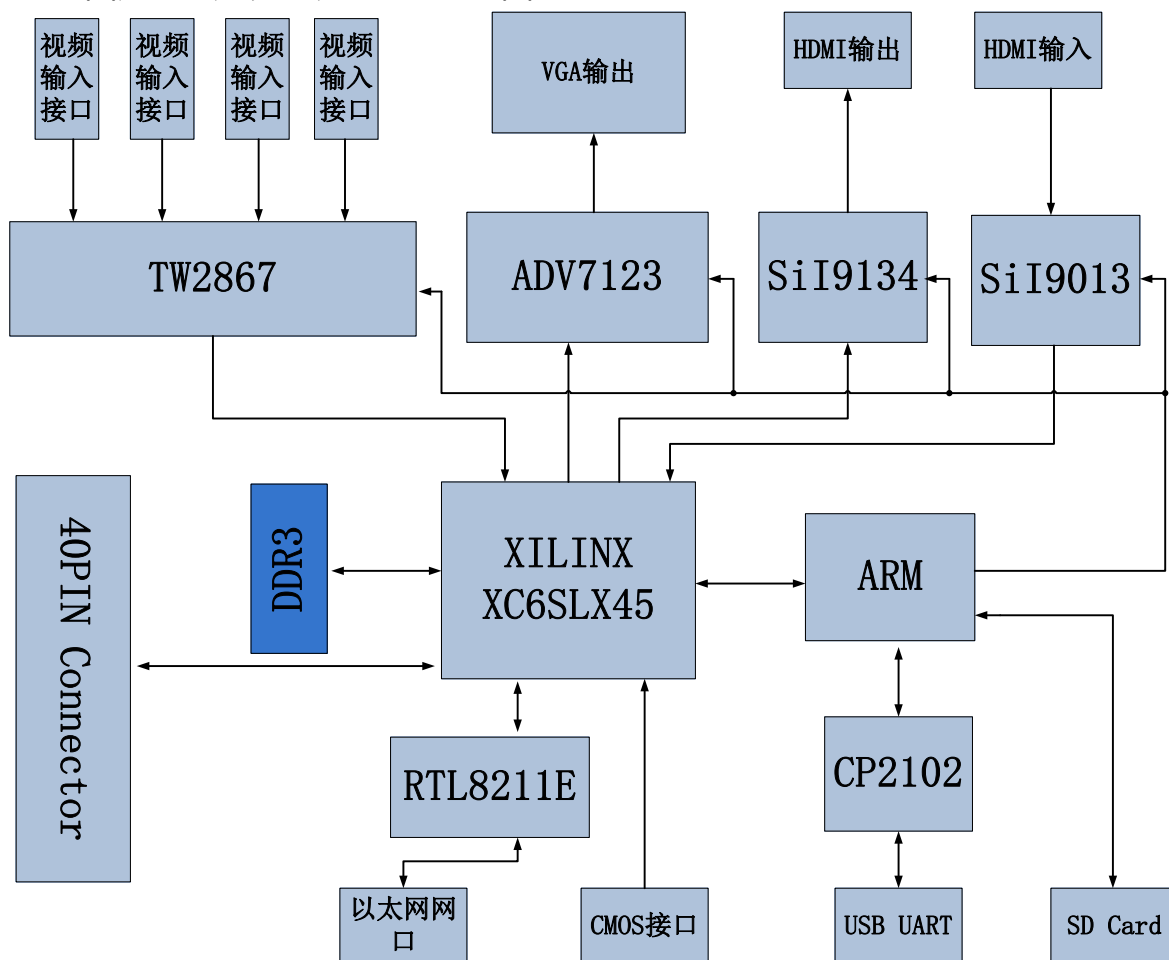
在这里 , 对这款 XILINX FPGA 开发平台进行简单的功能介绍。

开发板的整个结构 , 继承了我们一贯的核心板 + 扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 FPGA + DDR3 + FLASH 构成 , 承担视频图像处理的核心算法 , 充分利用了 FPGA 并行处理的能力 , 加上 FPGA 和 DDR3 之间的高速数据读写 , 整个系统

的带宽高达 10Gb/s (666M*16bit) ; 另外 DDR3 容量高达 2Gbit , 满足视频处理过程中对高缓冲区的需求。我们选用的 FPGA 为 XILINX 公司 SPARTAN6 系列的 XC6SLX45-2FG484 这款高速的 FPGA 芯片。我们选用的 FPGA 是 BGA 484 封装。SPARTAN6 FPGA 内部集成 DDR 控制器的硬 Core, 和 DDR3 之间通信的时钟频率达到 333Mhz , DDR3 内部 666Mhz , 充分满足了四路 1080p 视频处理的需求。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

●四路视频输入

我们选用了 Techwell 公司的 TW2867, 可输入 4 路复合视频信号, PAL/NTSC/SECAM 自动识别, 输出 BT656, 可多路复用总线, FPGA 端解复用, 节省 IO;

●一路 VGA 输出

我们选用了 ADI 公司的三通道、10 位 DAC 转换芯片 ADV7123, 支持 RGB 数字输入和 VGA 接口的输出。支持最大 240MSPS 的转换速率, 最高支持 1080p@60Hz s 视频图像输出;

●一路 HDMI 输出

我们选用了 Silion Image 公司的 SIL9134 HDMI 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

- 一路 HDMI 输入

我们选用了 Silion Image 公司的 SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输出。

- 一路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 Realtek 公司的 RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率；

- 一路 CMOS 输入

CMOS 摄像头接口，可以接黑金公司的 30 万的 OV7670 摄像头或 500 万的 OV5640 摄像头模组；

同时，在扩展板上，我们还板载了一片 ARM 芯片 (STM32F103)，通过 I2C 配置开发板上各个接口芯片和 FPGA。

二、 功能实现

(一) 视频输入

视频开发板通过 TW2867, 可输入 4 路复合视频信号, PAL/NTSC/SECAM 自动识别, 输出 BT656; 或者通过 SIL9013, 可以输入 HDMI 视频信号; 再或者通过 CMOS 接口, 可以输入 CMOS 摄像头采集的图像信号。因此, 开发板可以用的视频信号源有很多, 比如

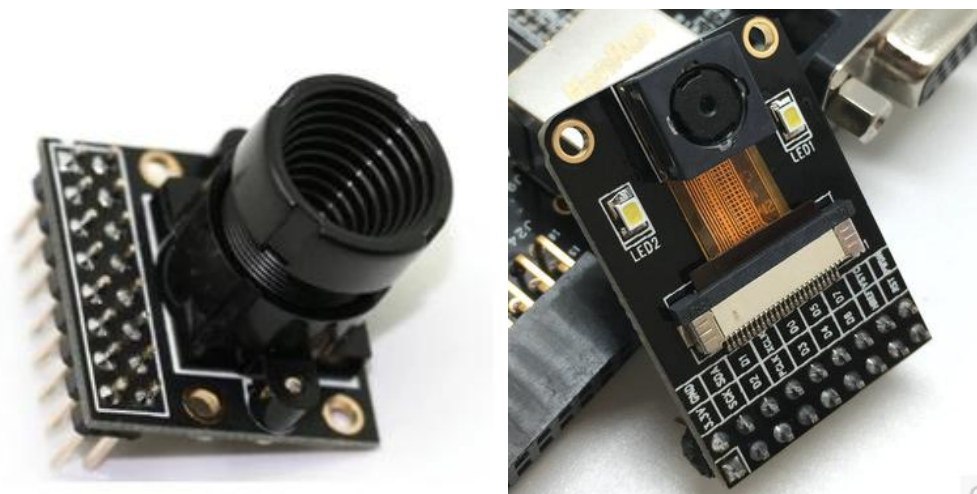
- 1) 监控摄像头, 通过此开发板, 可以实现四路监控摄像头通过显示器 (VGA/DVI/HDMI 接口均可, 可实现 1080p) 进行分屏显示, 我们的开发板就相当于下图中的数字视频主机。



- 2) 机顶盒, 比如通过连接机顶盒的 HDMI 输出来获得的视频源, 可以通过我们的开发平台实现画中画 (PIP) 功能



- 3) CMOS 摄像头 和黑金开发的 30 万摄像头或者 500 万摄像头配置使用 ,在 VGA 显示器或者 HDMI 显示器上实时显示 1080P 的视频图像。



(二) 视频输出

视频开发板的视频输出可以有 2 种：可以连接 VGA 显示器显示 VGA 图像；可以连接 HDMI 显示器或电视显示 HDMI 视频信号。VGA 和 HDMI 输出的视频显示最高支持为 1080P@60Hz。

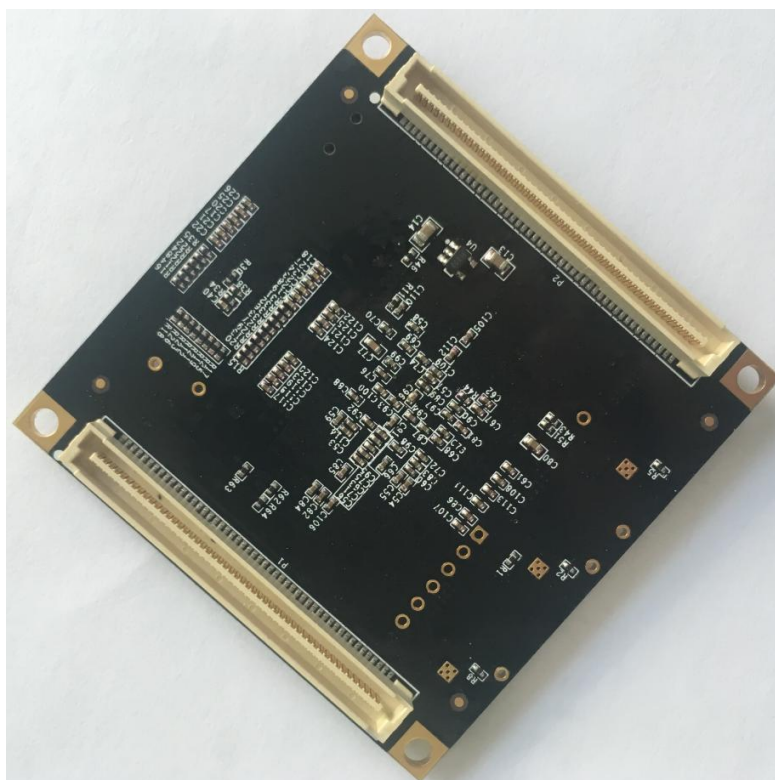
目前的电脑显示器基本上都会支持 VGA 或者 HDMI 输入中的一种。只要连接显示器的 VGA/HDMI 接口中的一个接口到我们视频开发板 就能实现视频图像的效果演示。下图为带 VGA 和 HDMI 显示接口的电脑显示器。



三、FPGA 核心板



核心板正面照片



核心板背面照片

(一)简介

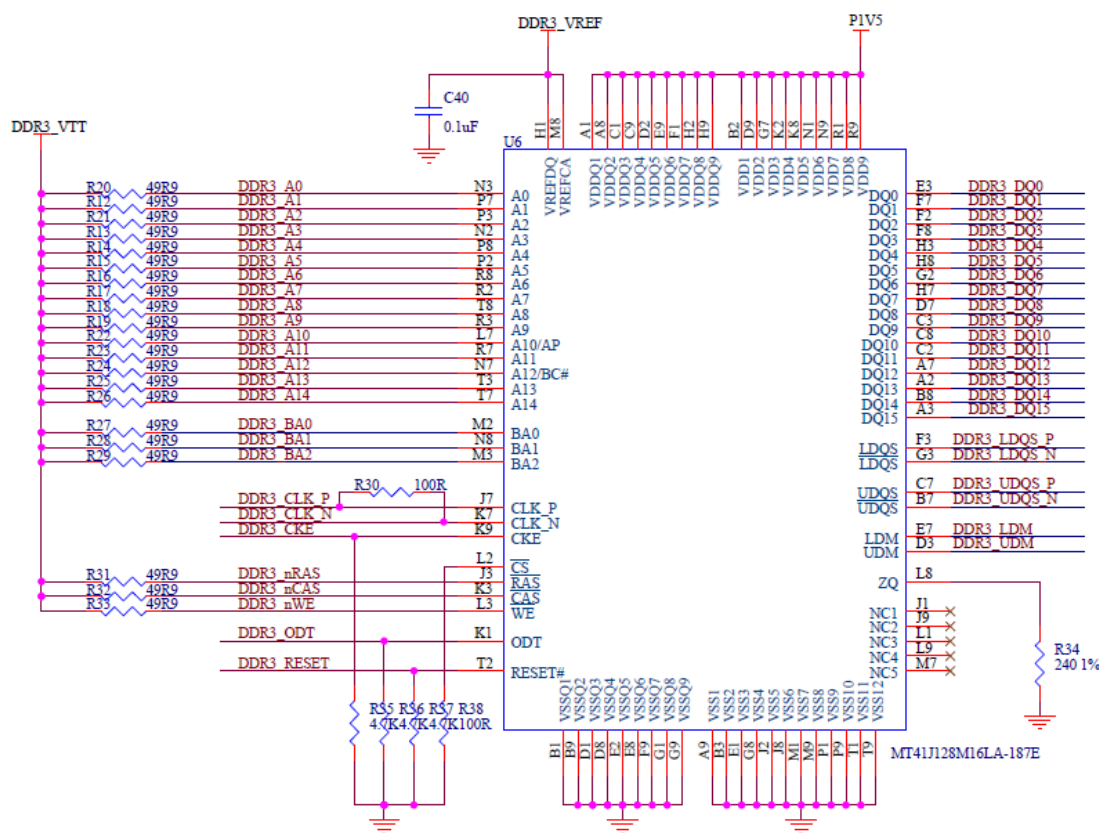
FPGA+ DDR3 核心板，是基于 XILINX 公司的 SPARTAN6 系列的 XC6SLX45-2FG484I 这款芯片开发的高性能核心板，具有高速，高带宽，高容量等特点，适合视频图像处理，高速数据采集等方面使用。

这款核心板使用了 MICRON 公司的 MT41J128M16LA-187E 这款 DDR3 芯片，容量为 2Gbit；16bit 总线模式，FPGA 和 DDR3 之间的读写数据带宽高达 10Gb；这样的配置，可以满足 4 路 1080p 视频处理的需求。

这款核心板还扩展出 172 个 IO 口，对于需要大量 IO 的用户，此核心板将是不错的选择。而且，FPGA 芯片到接口之间走线做了等长处理，并且核心板尺寸仅为 60*60 (mm)，对于二次开发来说，非常适合。

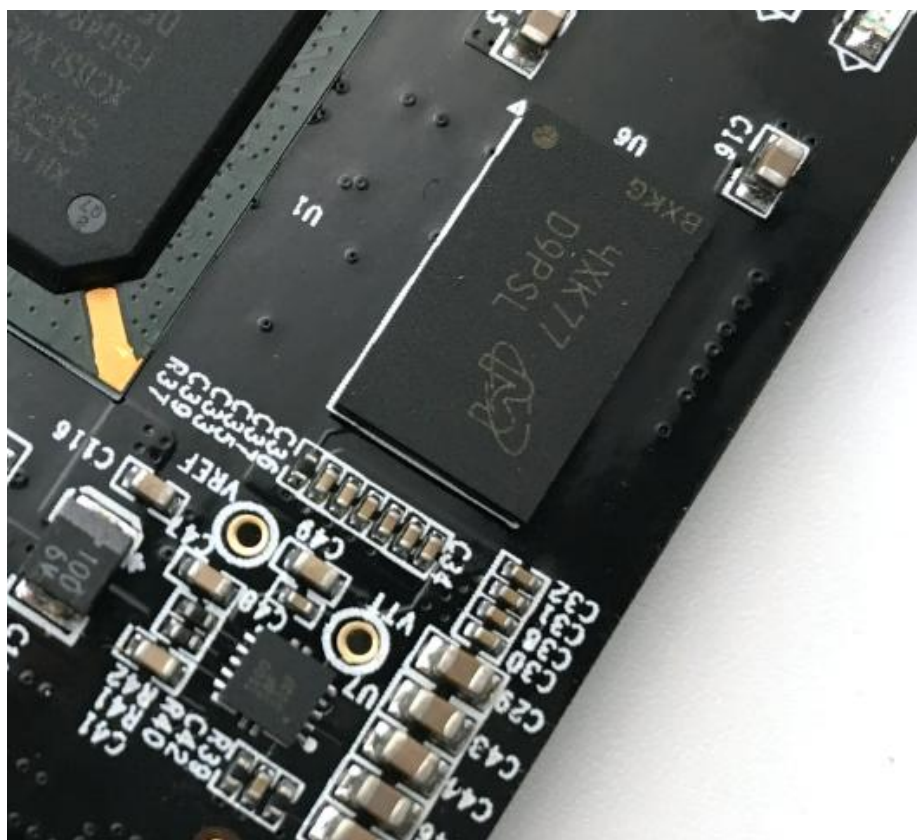
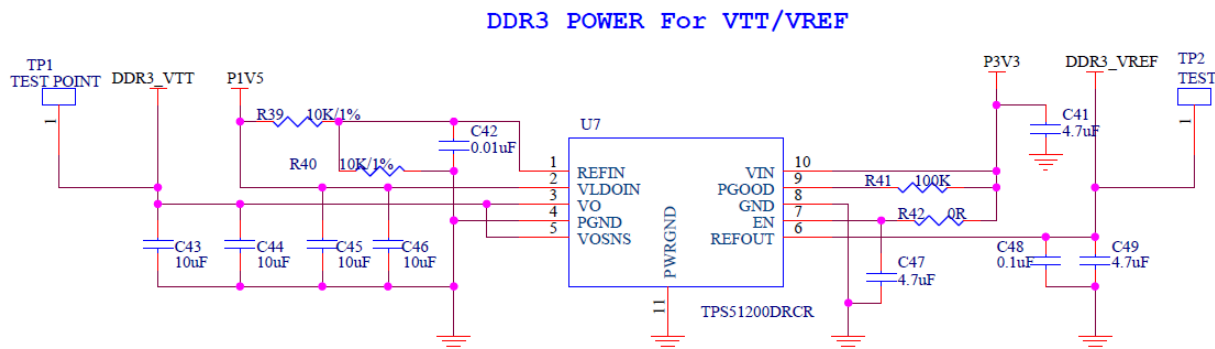
(一)DDR3

下图为 DDR3 的部分原理图（详细的请看我们提供的原理图）



另外，为了让 DDR3 正常工作，我们还需要为 DDR3 的地址线和控制线提供端接电

压 VTT 和 DDR3 芯片的参考电压 VREF, VTT 和 VREF 的电压都为 1.5V ,下图为电源部分原理图。



DDR3 及电源部分实物图

DDR3 连接到 FPGA 的 BANK3 上，具体 FPGA 的 DDR 管脚分配如下：

引脚名称	FPGA 引脚	引脚名称	FPGA 引脚
DDR3_A[0]	H2	DDR3_A[11]	C1
DDR3_A[1]	H1	DDR3_A[12]	D1
DDR3_A[2]	H5	DDR3_A[13]	G6
DDR3_A[3]	K6	DDR3_A[14]	F5

DDR3_A[4]	F3	DDR3_BA[0]	G3
DDR3_A[5]	K3	DDR3_BA[1]	G1
DDR3_A[6]	J4	DDR3_BA[2]	F1
DDR3_A[7]	H6	DDR3_nCAS	K4
DDR3_A[8]	E3	DDR3_CKE	D2
DDR3_A[9]	E1	DDR3_CLK_P	H4
DDR3_A[10]	G4	DDR3_CLK_N	H3
DDR3_nRAS	K5	DDR3_DQ[8]	P2
DDR3_nWE	F2	DDR3_DQ[9]	P1
DDR3_ODT	J6	DDR3_DQ[10]	R3
DDR3_RESET	C3	DDR3_DQ[11]	R1
DDR3_LDM	L4	DDR3_DQ[12]	U3
DDR3_UDM	M3	DDR3_DQ[13]	U1
DDR3_DQ[0]	N3	DDR3_DQ[14]	V2
DDR3_DQ[1]	N1	DDR3_DQ[15]	V1
DDR3_DQ[2]	M2	DDR3_LDQS_P	L3
DDR3_DQ[3]	M1	DDR3_LDQS_N	L1
DDR3_DQ[4]	J3	DDR3_UDQS_P	T2
DDR3_DQ[5]	J1	DDR3_UDQS_N	T1
DDR3_DQ[6]	K2		
DDR3_DQ[7]	K1		

(二) SPI Flash

核心板上使用了一片 64Mbit 大小的 SPI FLASH 芯片，型号为 W25Q64BV，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，SPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

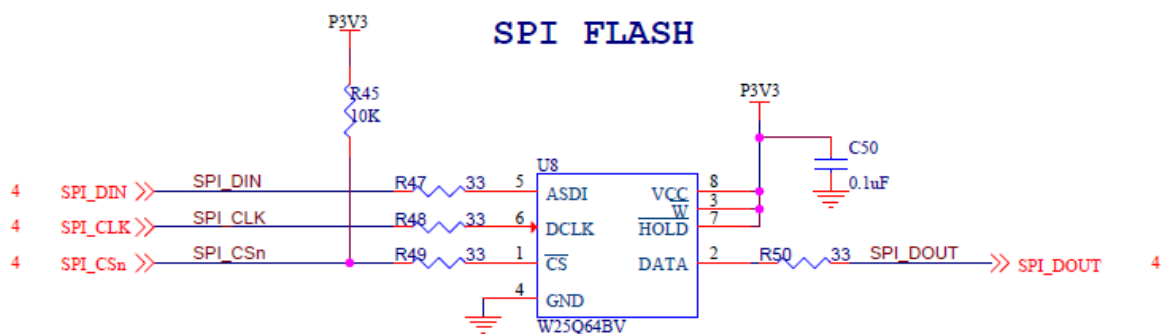
位号	芯片类型	容量	厂家
U8	W25Q64BV	64Mbit	Winbond

表 1 QSPI Flash 的型号和参数

配置芯片引脚分配：

引脚名称	FPGA 引脚
SPI_CLK	Y21
SPI_CSn	T5
SPI_DIN	AB20
SPI_DOUT	AA20

下图为 SPI Flash 部分原理图。



SPI FLASH 部分原理图



SPI FLASH 部分实物图

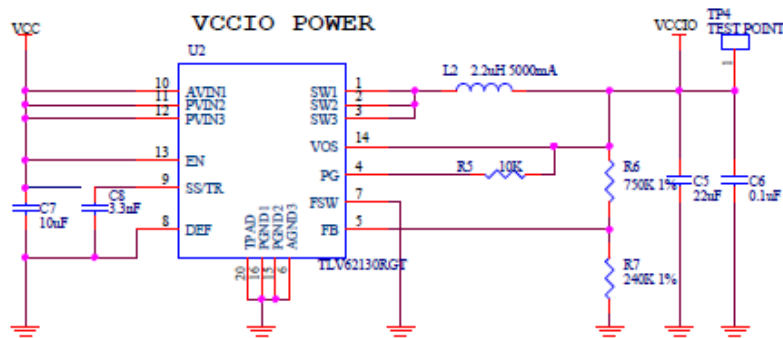
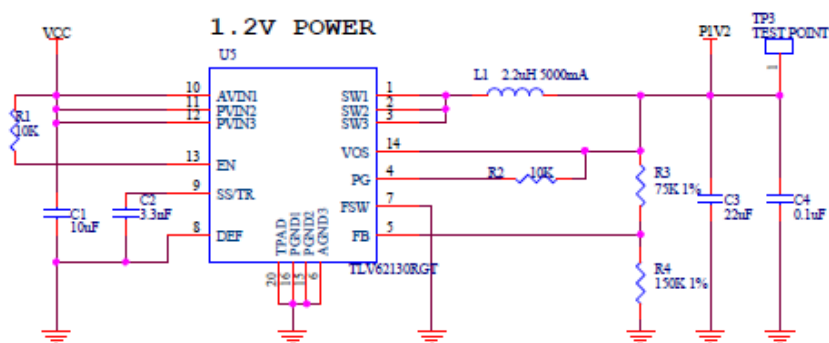
(三) FPGA 供电电源

为了让 FPGA 可以正常的工作，我们需要为 FPGA 提供 P3V3、P1V2 和 VCCIO 三路电源。P3V3 为 FPGA 的 VCCAUX 供电，电压为 3.3V；P1V2 为 FPGA 的 VCCINT 供

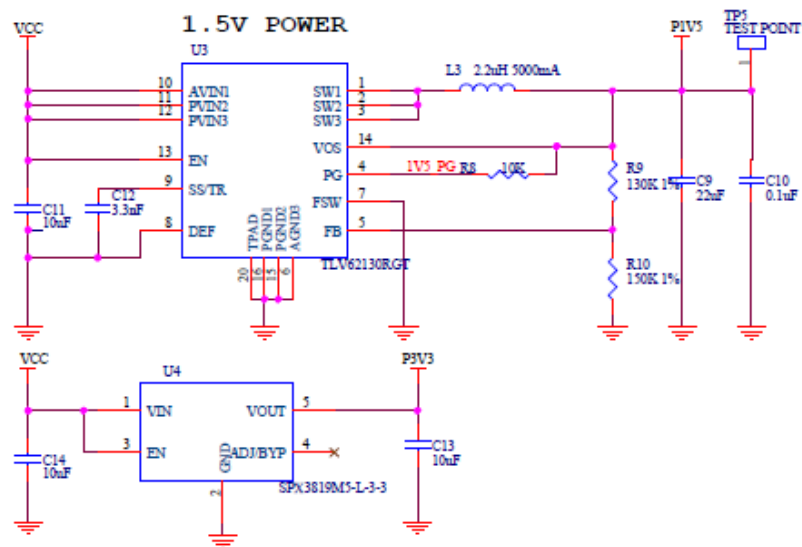
电，电压为 1.2V; VCCIO 为 FPGA 的 BANK0, BANK1, BANK2 的 VCCO 供电。另外核心板上带有 DDR3，还需要有 P1V5，电压为 1.5V (用于产生 VTT 和 VREF)，上面已经说过，在此不再重复。

这里 FPGA 的 VCCO 和 VCCAUX 电源分开的目的是为了能够使 FPGA 的 BANK IO 电压可以灵活调整，通过调整 VCCIO 电源部分的电阻值来得到不同的输出电压，这样 FPGA 核心板的 IO 电平可以应用于不同电压的场合。

3 路电源 (P1V2, VCCIO, P1V5)均采用美国 TI 公司进口的 TLV62130RGT DCDC 芯片，具有效率高，体积小，不发热，可提供电流大，纹波小等特点，是 FPGA 绝佳的电源解决方案 ;大量使用高档进口的电容电感 ,保证系统的电源稳定可靠 ;另一路(P3V3)因为所需电流不大，我们这里采用纹波更小的 LDO 芯片 SPX3819M5-L-3-3。



R6	R7	VCCIO Voltage
750K	240K	3.3V
510K	240K	2.5V



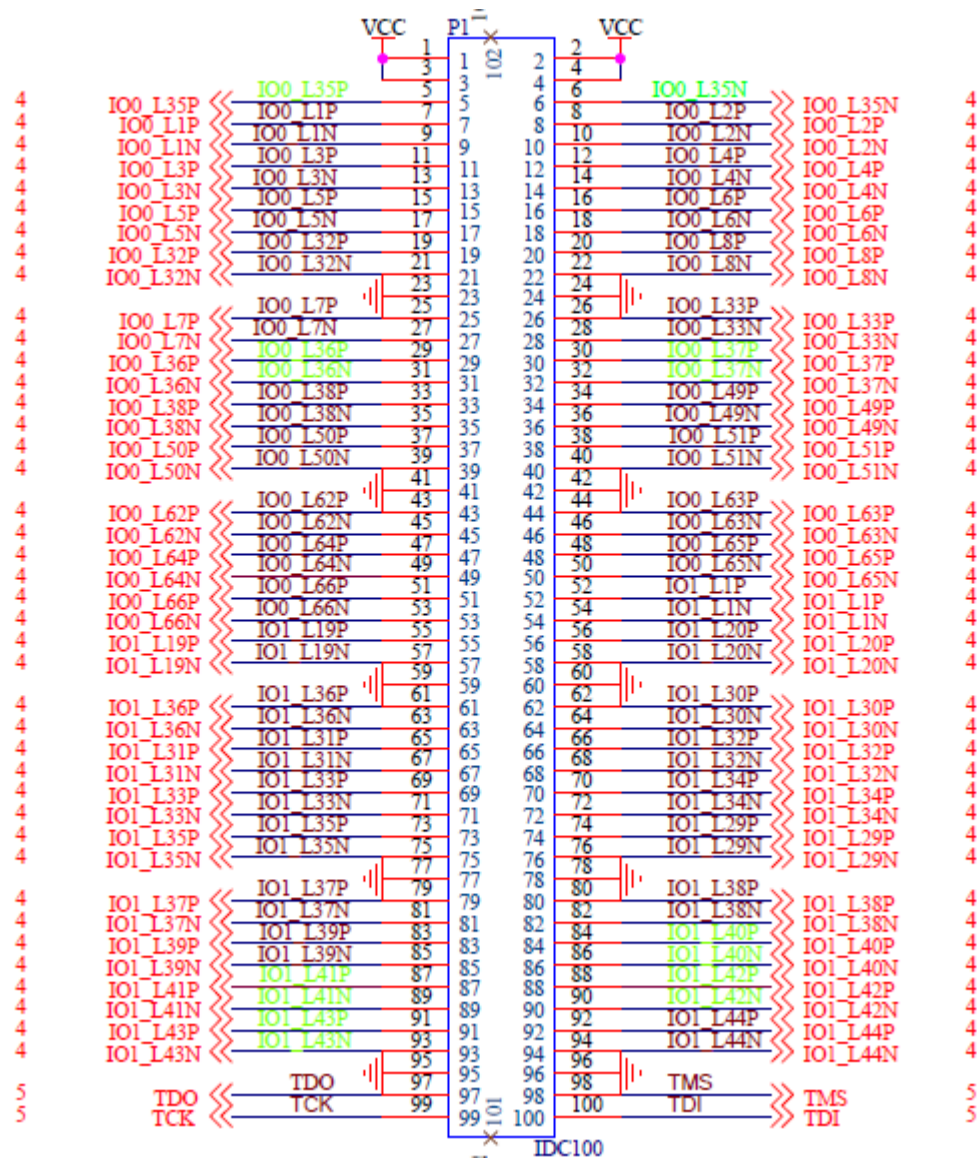
电源部分原理图

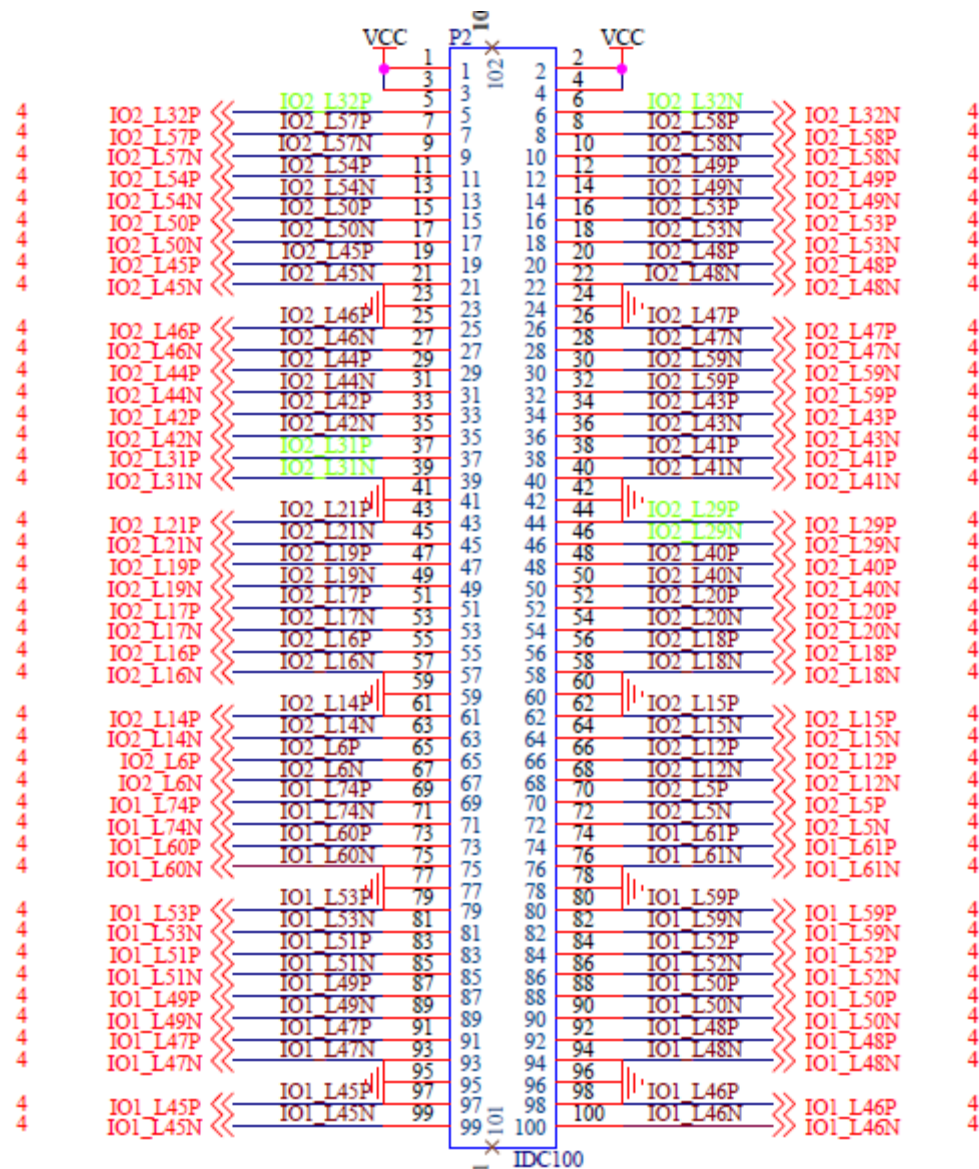


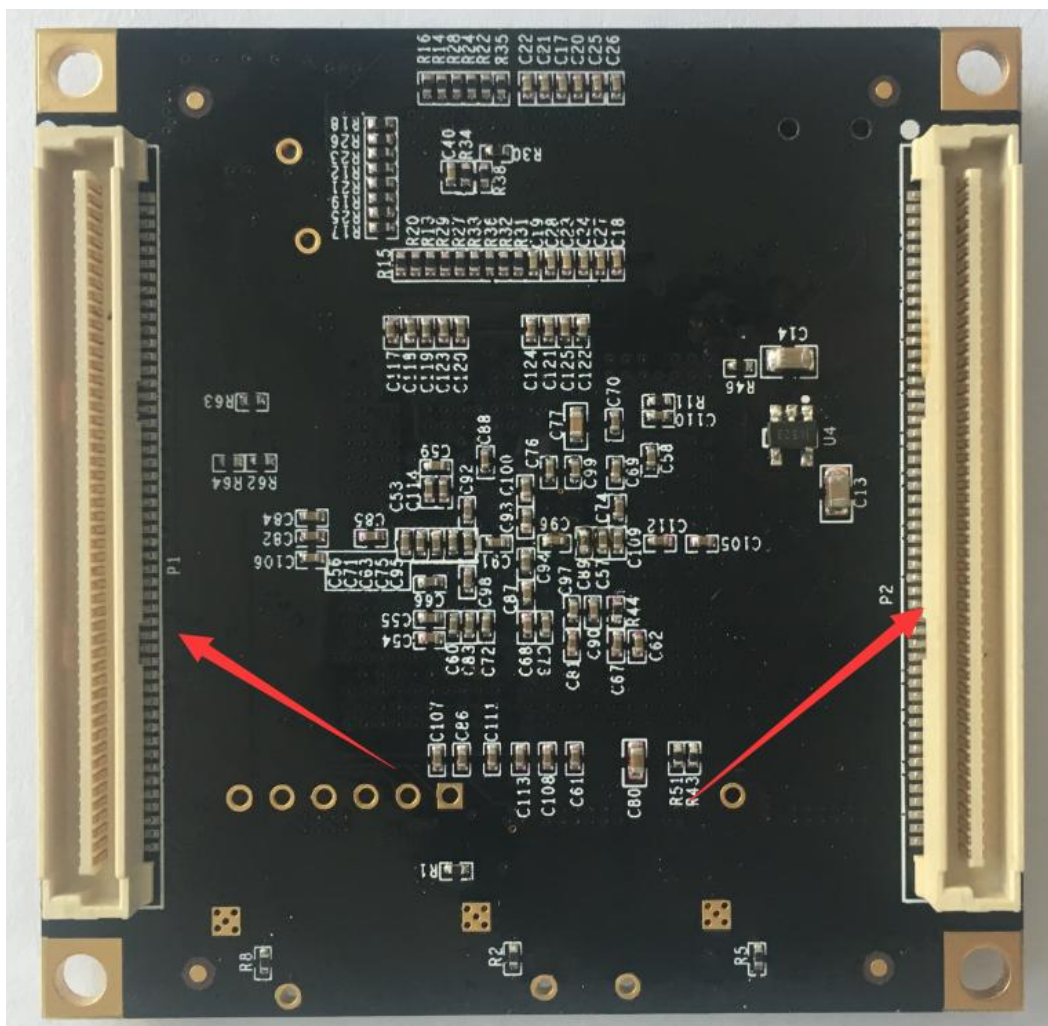
电源部分实物图

(四) 扩展接口

核心板一共扩展出 2 个高速扩展口, 使用 2 个 100Pin 的板间连接器和扩展板连接。连接器采用 AMP 泰科 BTB 板对板连接器 5177984-4, PIN 脚间距为 0.8mm, 公头, 连接器的高度为 5mm。和底板的母座 AMP 连接器 5177983-4 配置实现高速数据通信。



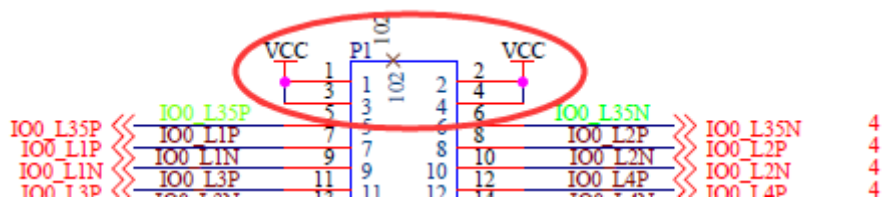




扩展口实物图

(五) 电源接口

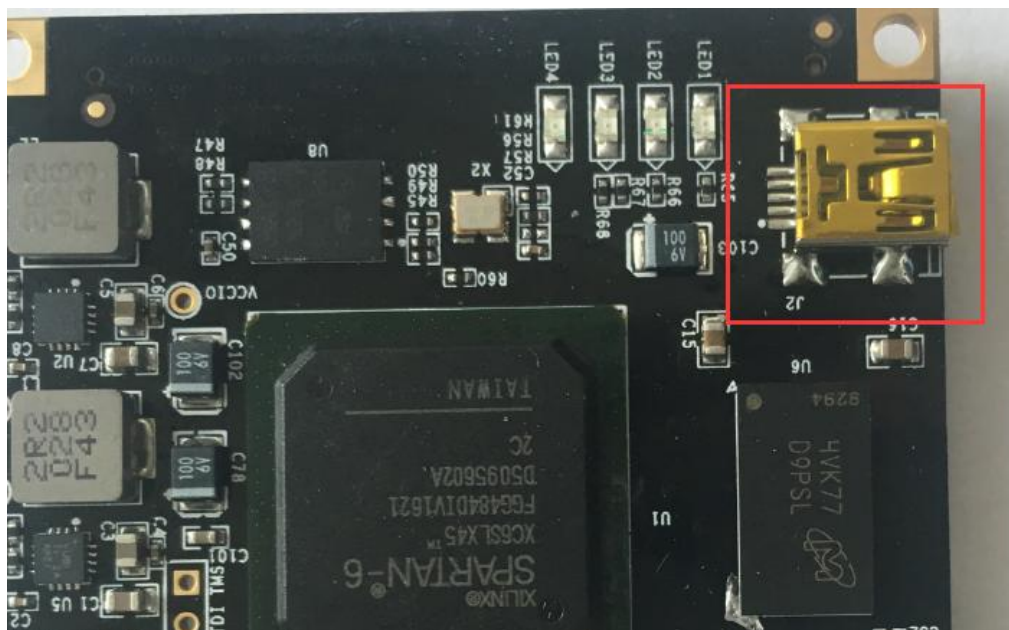
为了能使核心板正常工作，底板需要通过扩展口提供给核心板一个+5V 的电源，核心板的电源电压工作范围为 4.5V~5.5V，电流为 1A 左右，为了保证一定的余量，底板设计时最好能够提供 5V 2A 的电流。底板提供的 5V 电源通过扩展口 P1,P2 的 1~4 脚（VCC 网络）输入给核心板。



扩展口的电源输入

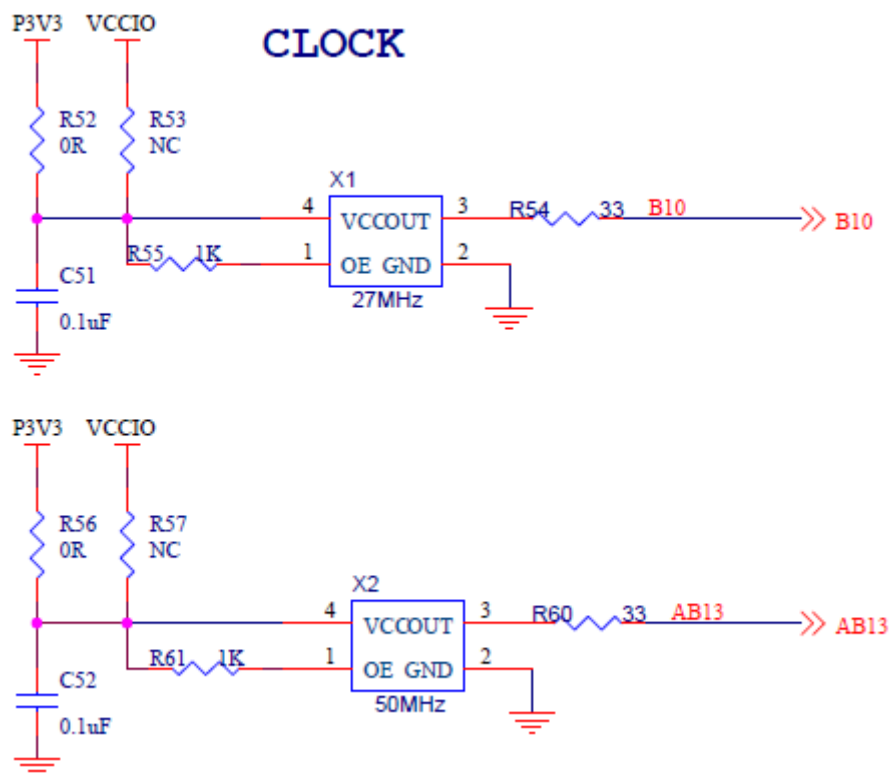
如果需要单独调试核心板的话，用户也可以通过核心板的 Mini USB 口（J2）单独给核心板供电，用户只要一根我们提供的 Mini USB 线连接到电脑的 USB 口就可以了。

(注意：底板供电或者 J2 供电只能二选一)



(六)外部晶振

核心板板载了 50M 的有源晶振和 27M 的有源晶振，50MHz 时钟连接到 FPGA 的 AB13 引脚，27MHz 时钟连接到 FPGA 的 B10 引脚。



晶振原理图



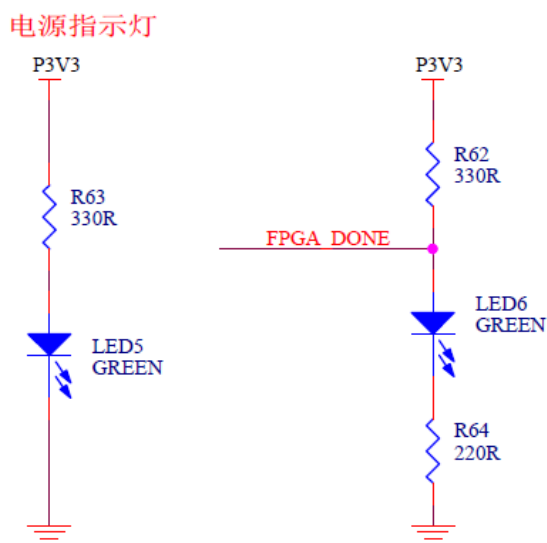
晶振实物图

FPGA 引脚分配：

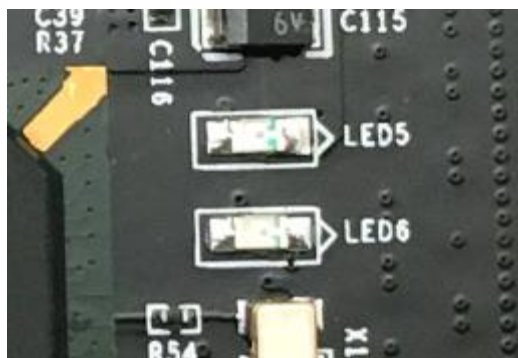
输入时钟	FPGA 引脚
50MHz	AB13
27MHz	B10

(七)LED

核心板板载了 6 个 LED 发光二极管，4 个用户 LED 发光二极管，一个电源指示灯和 1 个 FPGA 配置指示 LED 发光二极管。电源指示灯连接到 P3V3，如果 3.3V 电压正常，LED 灯亮。FPGA 配置指示灯指示 FPGA 是否配置成功，当 FPGA 没有配置程序时配置指示灯熄灭；FPGA 配置成功后，配置指示灯点亮。电源灯和配置指示灯的原理图如下图。

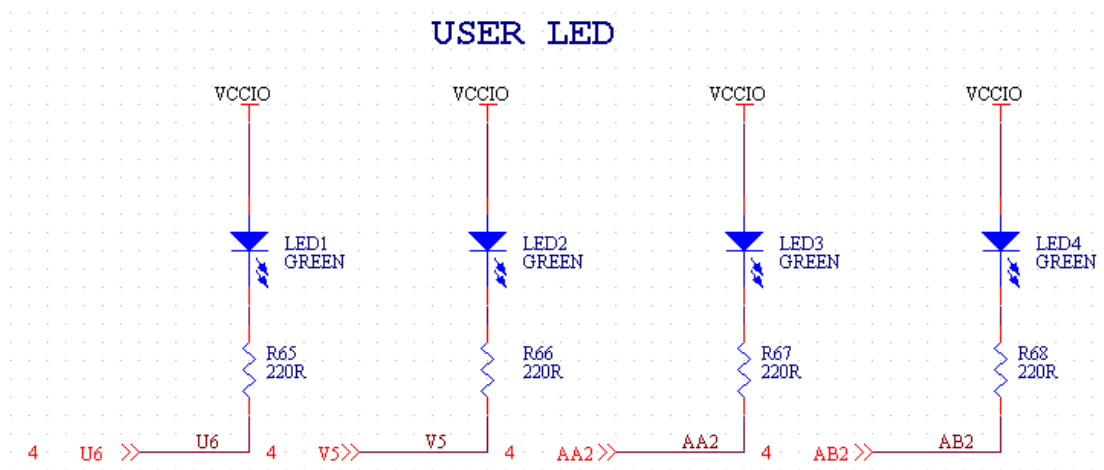


电源灯和配置指示灯原理图

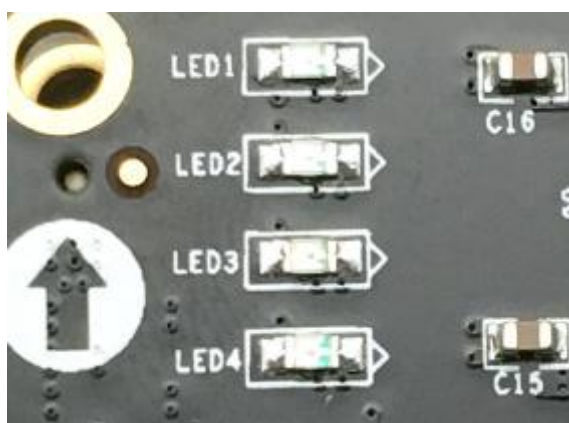


电源 LED 和配置 LED 实物图

4 个用户 LED 部分的原理图如下图，当 FPGA 的引脚输出为逻辑 0 时，LED 会被点亮。



4 个用户 LED 原理图



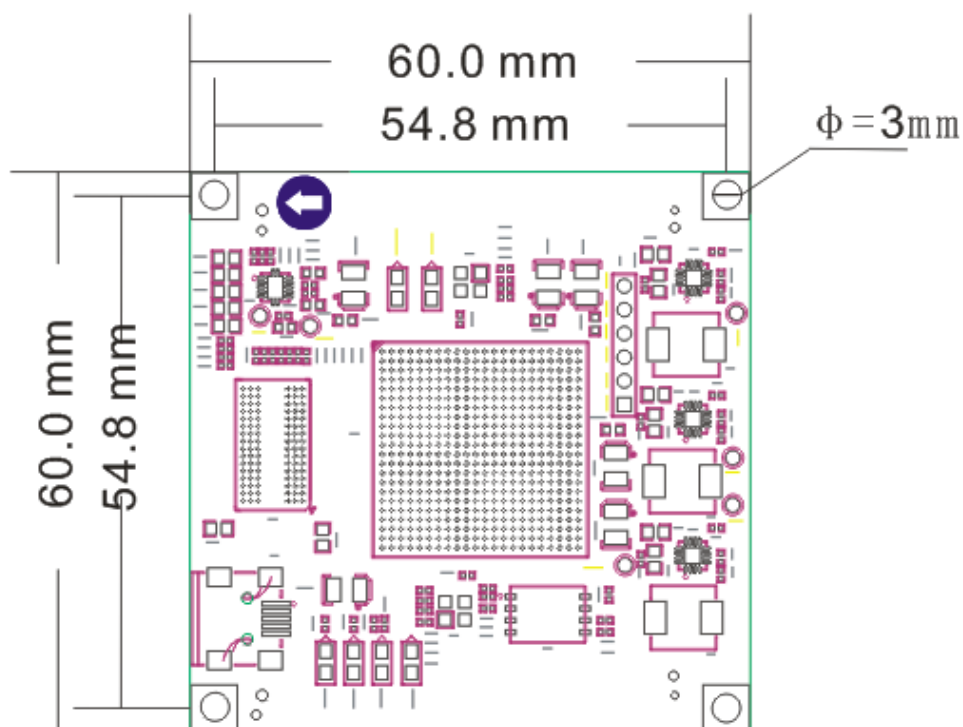
用户 LED 实物图

FPGA 引脚分配：

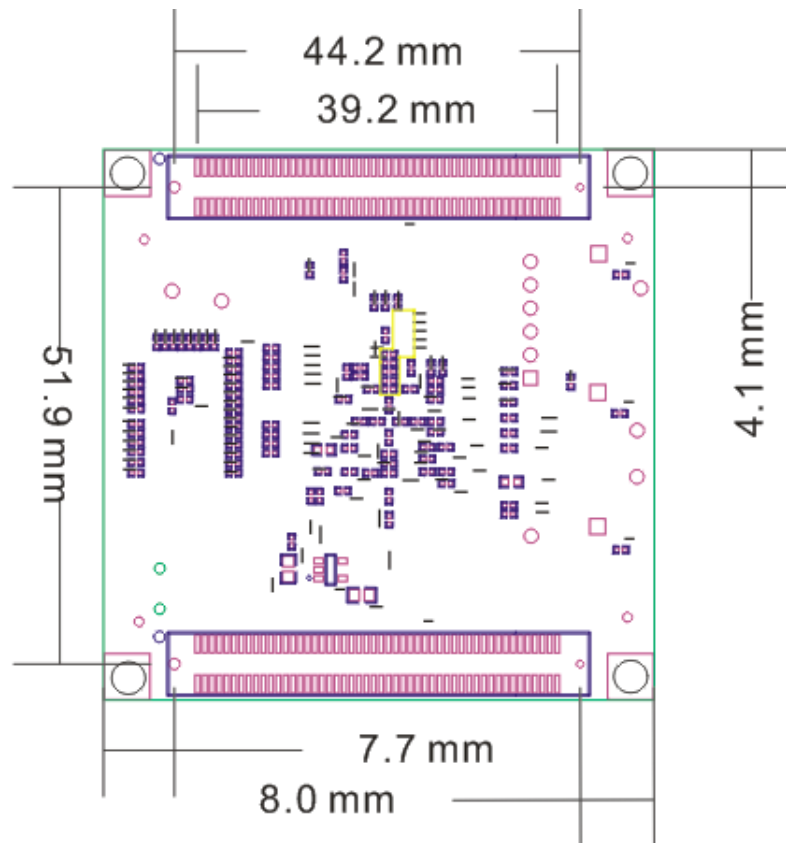
LED 名称	FPGA 引脚
--------	---------

LED0	U6
LED1	V5
LED2	AA2
LED3	AB2

(八) 核心板结构尺寸图

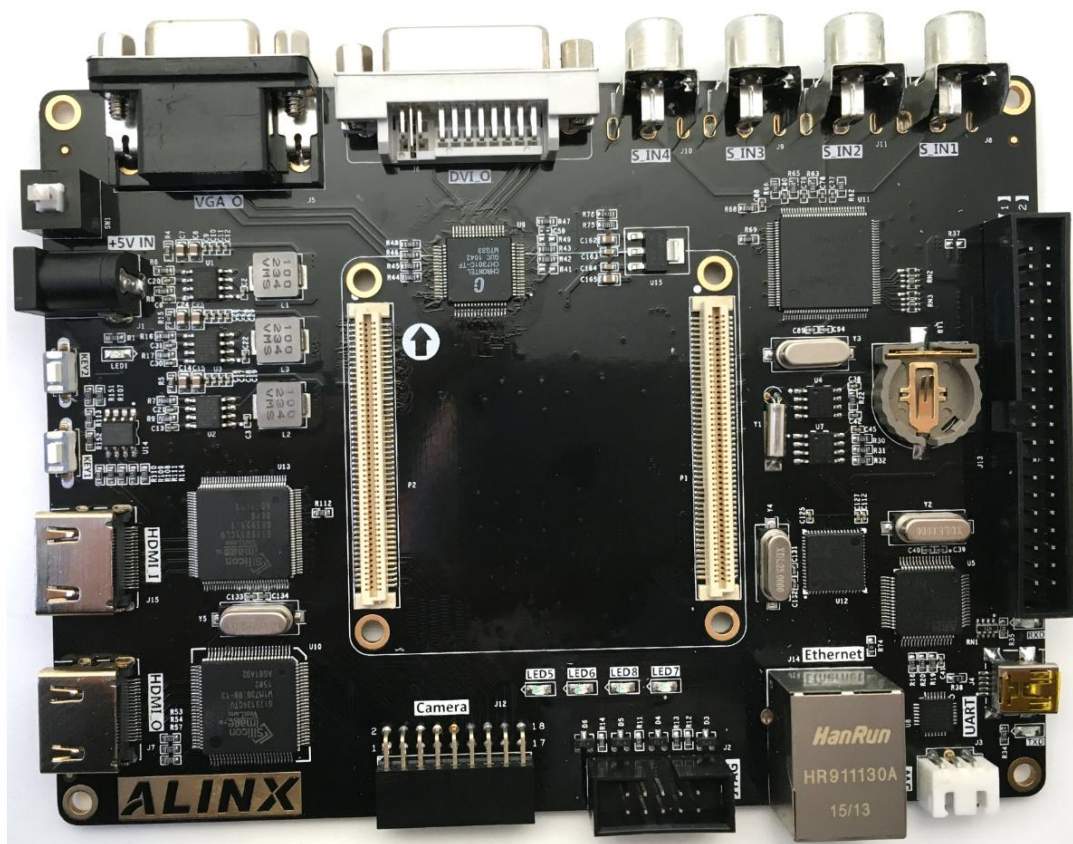


正面图 (Top View)



背面图 (Top View)

四、 扩展板



(一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 四路视频输入 TW2867
- 一路 HDMI 输入 SiI9013
- 一路 VGA 输出 ADV7123
- 一路 HDMI 输出 SiI9134
- 一路千兆以太网接口 RTL8211E
- 一路 CMOS 输入
- 一片 ARM 芯片 STM32F103

通过这些硬件，我们可以做一下实验：

基础实验：

- 1) DDR3 测试实验；
- 2) VGA 输出 color bar 实验；
- 3) HDMI 输出 color bar 实验；

- 4) TW2867 输入到 VGA 显示实验 ;
- 5) I2C 通信实验 ;
- 6) RGB 转 Ycbcr 实验 ;
- 7) Ycbcr444 转 Ycbcr422 实验 ;
- 8) HDMI 显示 Ycbcr colour bar 实验 ;
- 9) ycbcr 转 rgb 实验 ;

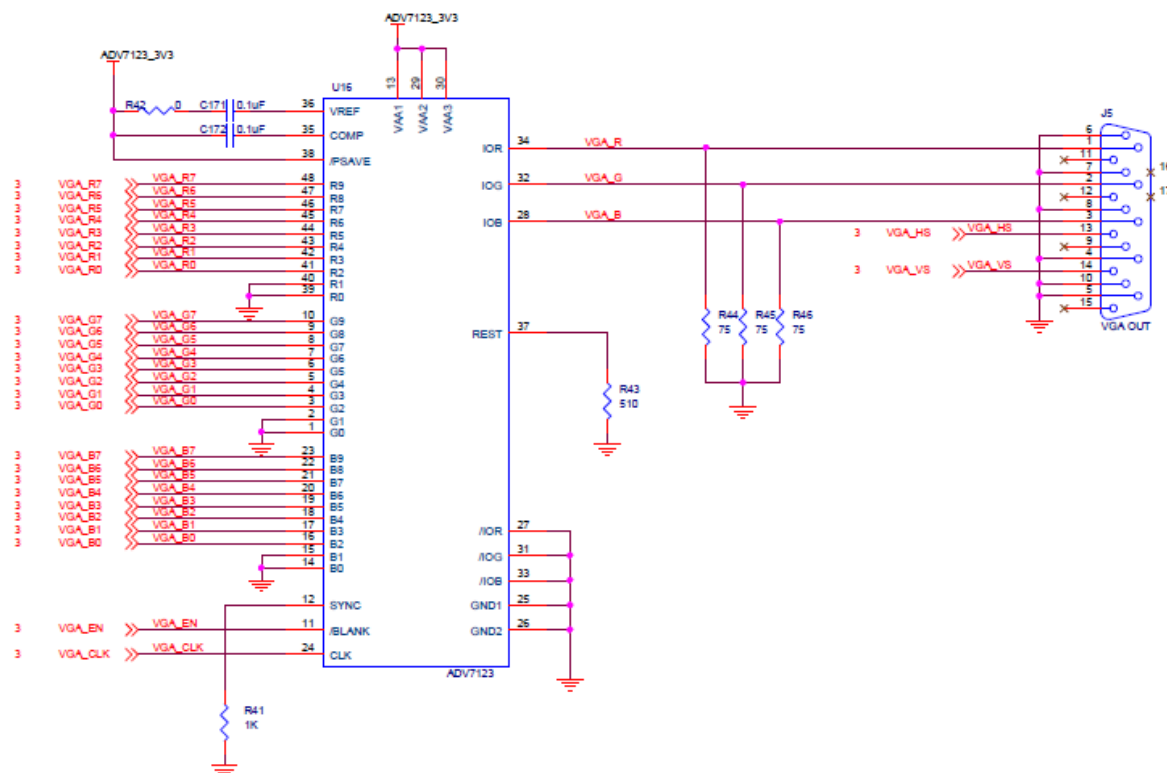
进阶实验 :

- 1) 4 路视频信号通过 TW2867 采集以后 , 通过 VGA 接口 4 分屏显示 ;
- 2) 4 路视频信号通过 TW2867 采集以后 , 通过 HDMI 接口 4 分屏显示 ;
- 3) 通过 VGA 实现画中画 (PIP) 模式;
- 4) 通过 HDMI 实现画中画 (PIP) 模式;
- 5) 将上述 4 个实验整合在一起 , 实现 4 路视频输入以后 , 可通过 VGA、HMDI 同时显示 , 通过串口命令来对单独显示模式、分屏显示模式、画中画模式三种模式的切换。

(二)VGA 显示接口

VGA 显示部分 , 我们使用了 ADI 公司的 ADV7123 芯片 , 内含三路 10 位 D/A 转换器 , 对输入的 RGB 数字信号进行模拟转换输出 VGA 视频信号 , 最高支持 1080p@60Hz 输出 ;

在 AV6045 开发板中 , FPGA 输出的 RGB 数字信号为 24 位色 , 其中红绿蓝三种颜色各 8 位 , 在原理图设计中 FPGA 输出的红绿蓝的 8 位数据连接到 ADV7123 的 3 路 D/A 转换的数据输入高 8 位 , 数据输入的低 2 位置 0。下图为 ADV7123 的原理图设计:



ADV7123 VGA 原理图

下图为 AV6045 开发板上 VGA 的接口实物图：



VGA 接口实物图

VGA 信号的 FPGA 引脚分配：

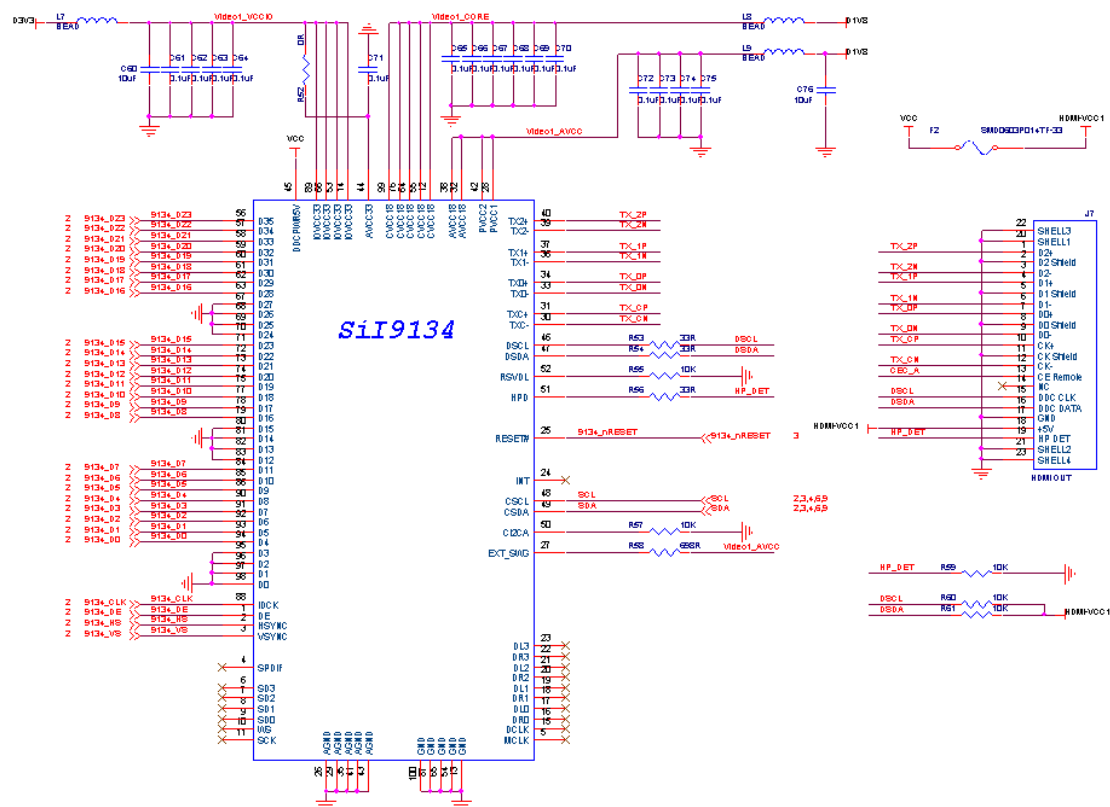
引脚名称	FPGA 引脚
VGA_CLK	K20
VGA_EN	F20
VGA_HS	F18
VGA_VS	J17
VGA_R7	T22
VGA_R6	R22
VGA_R5	T21

VGA_R4	R20
VGA_R3	AB7
VGA_R2	AB8
VGA_R1	Y7
VGA_R0	AA8
VGA_G7	M22
VGA_G6	L22
VGA_G5	M21
VGA_G4	L20
VGA_G3	P22
VGA_G2	N22
VGA_G1	P21
VGA_G0	N20
VGA_B7	K17
VGA_B6	F19
VGA_B5	D21
VGA_B4	C20
VGA_B3	D22
VGA_B2	C22
VGA_B1	G19
VGA_B0	H19

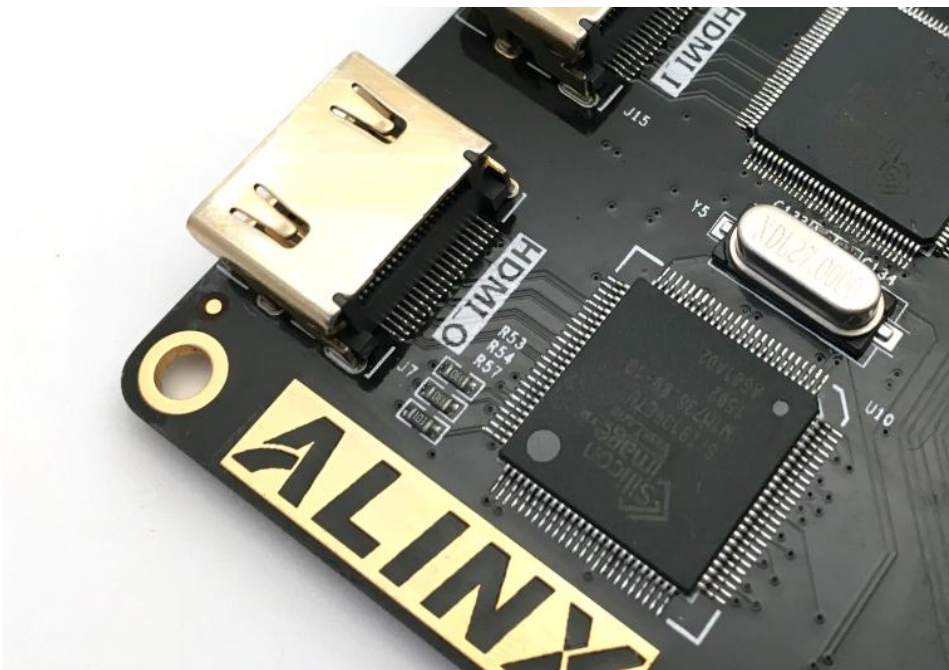
(三) HDMI 输出接口

HDMI 输出接口的实现，是选用 Silion Image 公司的 SIL9134 HDMI (DVI) 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

其中，SIL9134 的 IIC 接口与 STM32F103 相连，通过 STM32F103 来对 SIL9134 进行初始化和控制操作，其他引脚与 FPGA 相连。



HDMI 接口原理图



HDMI 接口实物图

FPGA 引脚分配：

引脚名称	FPGA 引脚
9134_CLK	Y12
9134_HS	U22

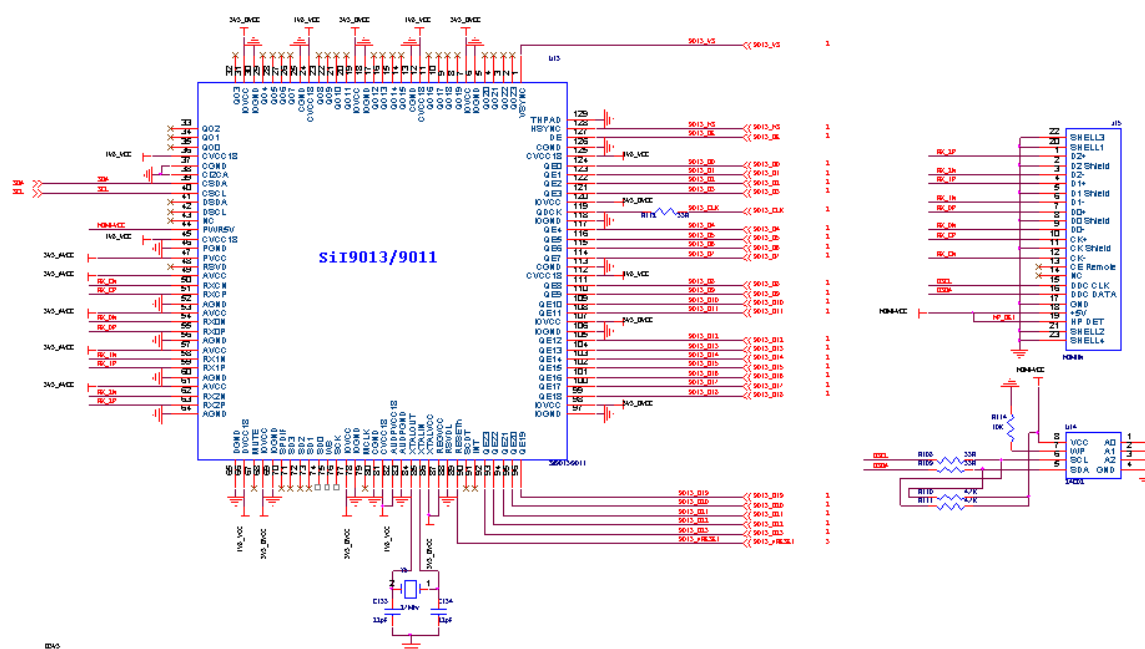
9134_VS	U20
9134_DE	V22
9134_D[0]	Y18
9134_D[1]	U13
9134_D[2]	W18
9134_D[3]	U14
9134_D[4]	AB18
9134_D[5]	AA18
9134_D[6]	AB17
9134_D[7]	AB14
9134_D[8]	Y17
9134_D[9]	AA14
9134_D[10]	W13
9134_D[11]	Y19
9134_D[12]	T19
9134_D[13]	AB19
9134_D[14]	T20
9134_D[15]	L17
9134_D[16]	W20
9134_D[17]	K18
9134_D[18]	W22
9134_D[19]	P19
9134_D[20]	M19
9134_D[21]	P20
9134_D[22]	N19
9134_D[23]	V21

(四) HDMI 输入接口

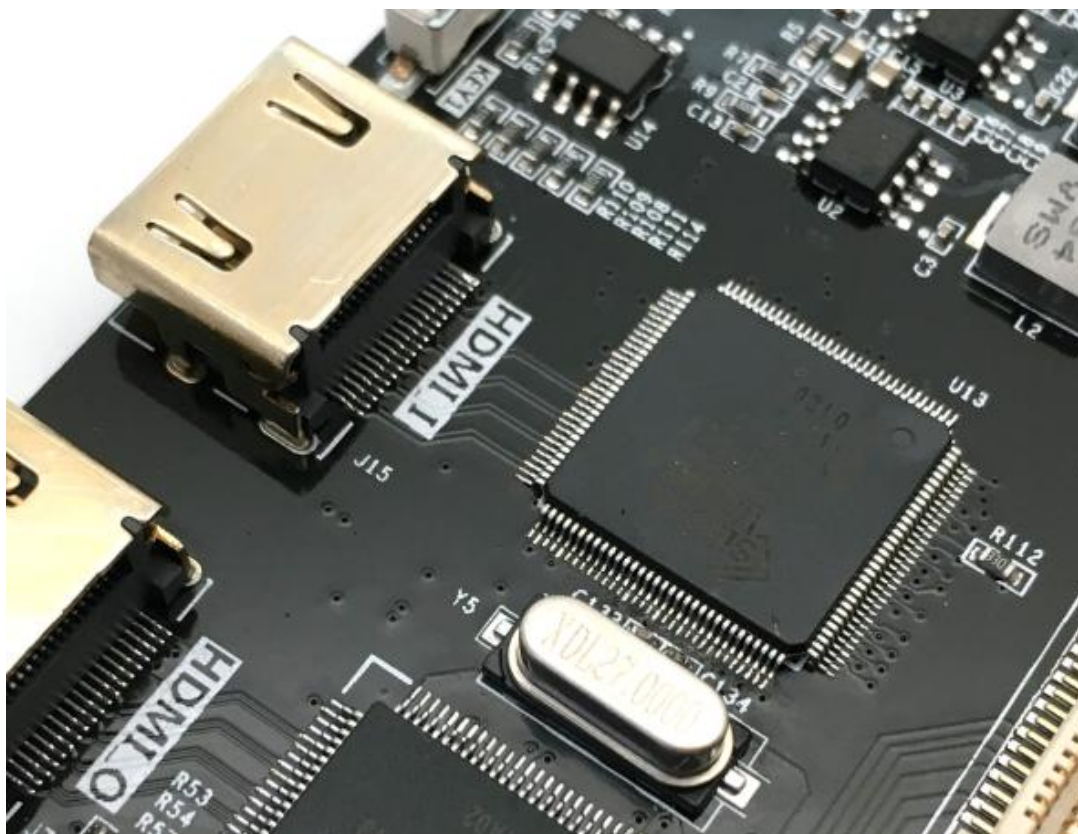
我们采用了 Silion Image 公司的 SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输出。；

其中，SIL9013 的 IIC 接口与 STM32F103 相连，通过 STM32F103 来对 SIL9013

进行初始化和控制操作，其他引脚与 FPGA 相连。



HDMI 输入原理图



HDMI 输入接口实物图

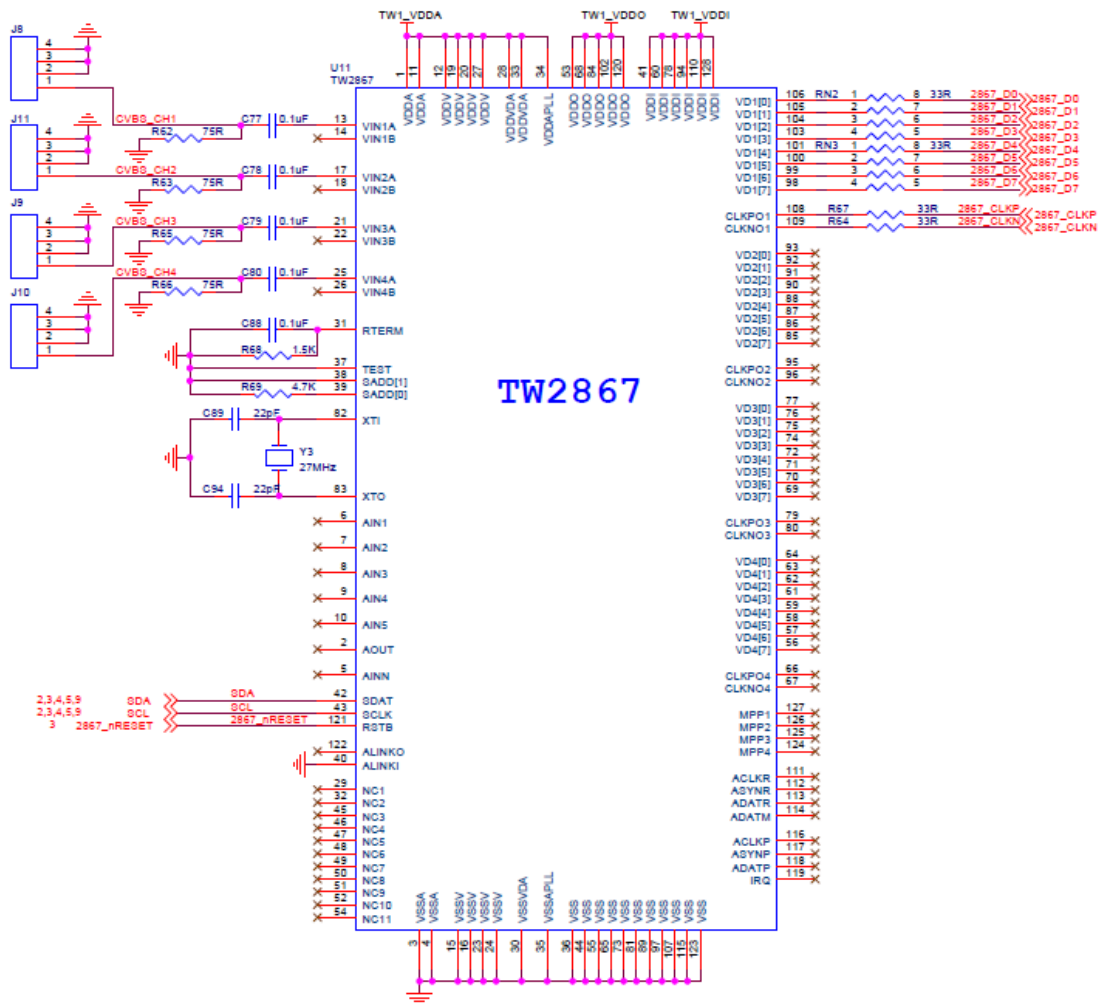
FPGA 引脚分配：

引脚名称	FPGA 引脚
9013_CLK	AA12
9013_HS	Y8
9013_VS	W8
9013_DE	V7
9013_D[0]	W10
9013_D[1]	W9
9013_D[2]	Y10
9013_D[3]	R8
9013_D[4]	Y9
9013_D[5]	R9
9013_D[6]	V11
9013_D[7]	AB9
9013_D[8]	W11
9013_D[9]	AA10
9013_D[10]	AB12
9013_D[11]	AB10
9013_D[12]	Y15
9013_D[13]	W12
9013_D[14]	AB15
9013_D[15]	R11
9013_D[16]	AA16
9013_D[17]	T11
9013_D[18]	W14
9013_D[19]	V13
9013_D[20]	W15
9013_D[21]	Y14
9013_D[22]	Y16
9013_D[23]	AB16

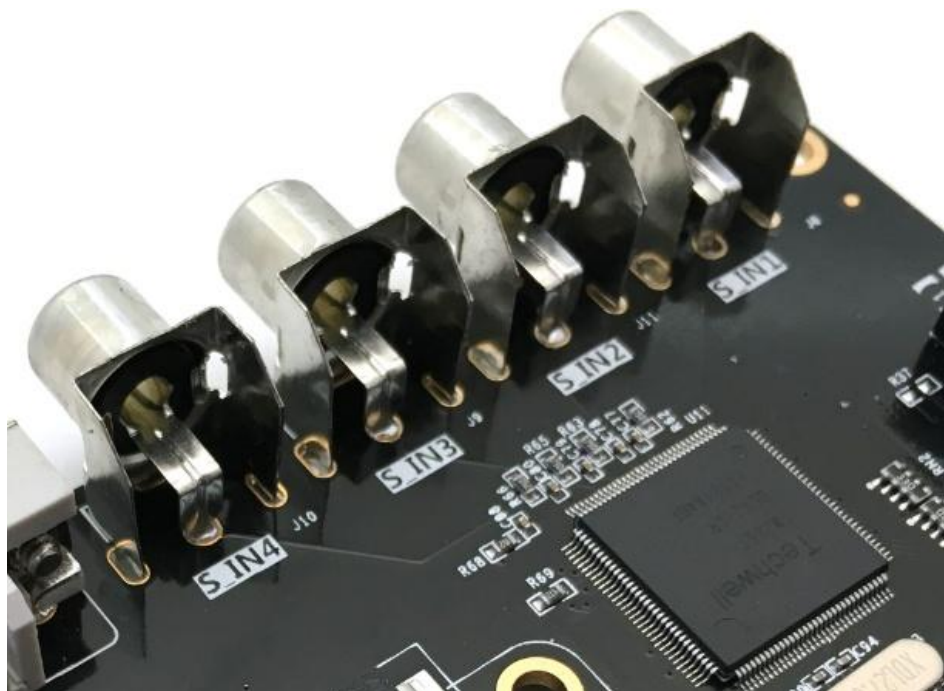
(五) 视频输入接口

我们选用了 Techwell 公司的 TW2867, 可输入 4 路复合视频信号, PAL/NTSC/SECAM 自动识别, 输出 BT656, 可多路复用总线, FPGA 端解复用, 节省 IO;

其中, TW2867 的 IIC 接口和复位引脚与 STM32F103 相连, 通过 STM32F103 来对 TW2867 进行初始化和控制操作, 其他引脚与 FPGA 相连。



视频输入接口原理图



视频输入接口实物图

引脚分配：

引脚名称	FPGA 引脚
2867_CLKP	C11
2867_CLKN	A11
2867_D[0]	A3
2867_D[1]	C5
2867_D[2]	A4
2867_D[3]	A5
2867_D[4]	D6
2867_D[5]	B6
2867_D[6]	C6
2867_D[7]	A6

(六) 千兆以太网接口

开发板上通过 Realtek RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。RTL8211EG 支持MDI/MDX 自适应，各种速度自适应，Master/Slave

自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

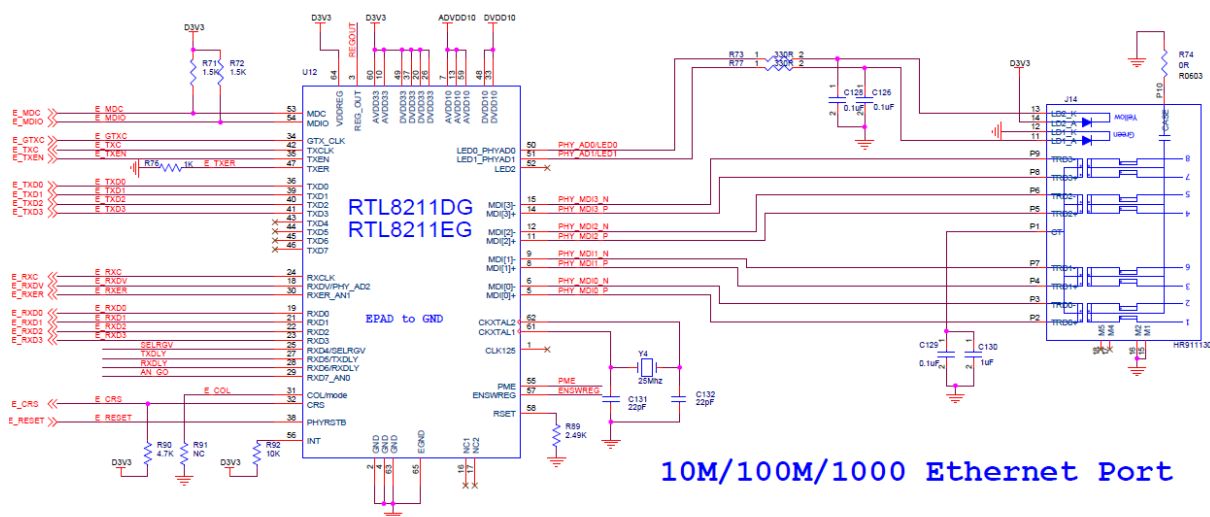
RTL8211EG 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。下表描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
SELRGV	3.3V,2.5V,1.5V/1.8V 电压选择	3.3V
AN[1:0]	自协商配置	(10/100/1000M)自适应
RX Delay	RX 时钟 2ns 延时	延时
TX Delay	TX 时钟 2ns 延时	延时
MODE	RGMII 或 GMII 选择	RGMII

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz,数据在时钟的上升沿和下降沿采样。接收时钟 E_RXC 由 PHY 芯片提供，发送时钟 E_GTXC 由 FPGA 提供，数据在时钟的上升沿采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 MII 总线通信，传输时钟为 25Mhz。接收时钟 E_RXC 和发送时钟 E_TXC 都由 PHY 芯片提供，数据在时钟的上升沿采样。

千兆以太网的原理图设计如下：



千兆以太网接口原理图



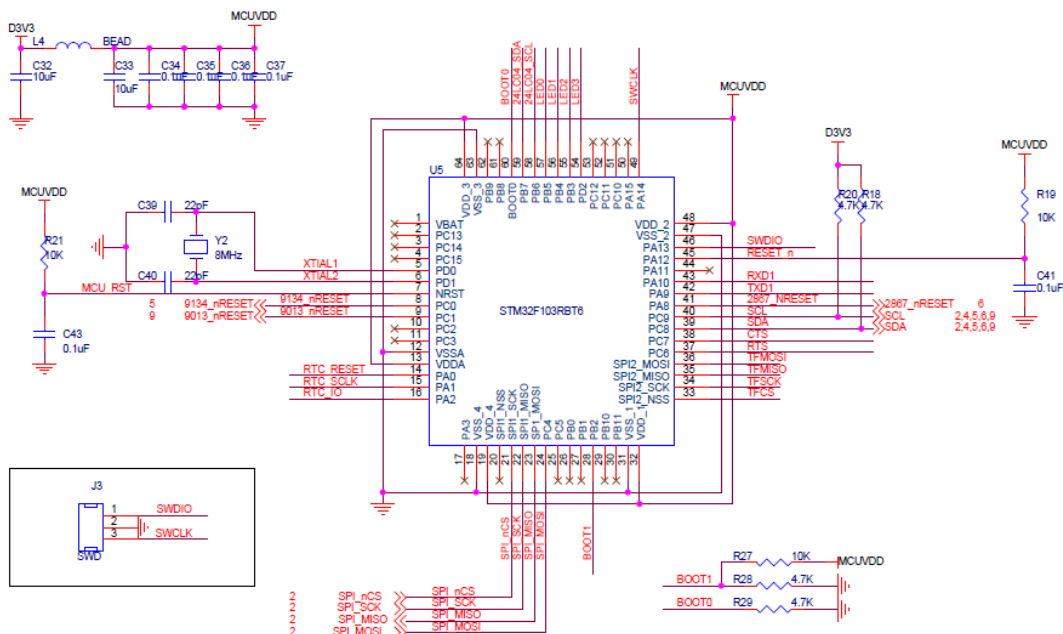
千兆以太网接口实物图

以太网引脚分配

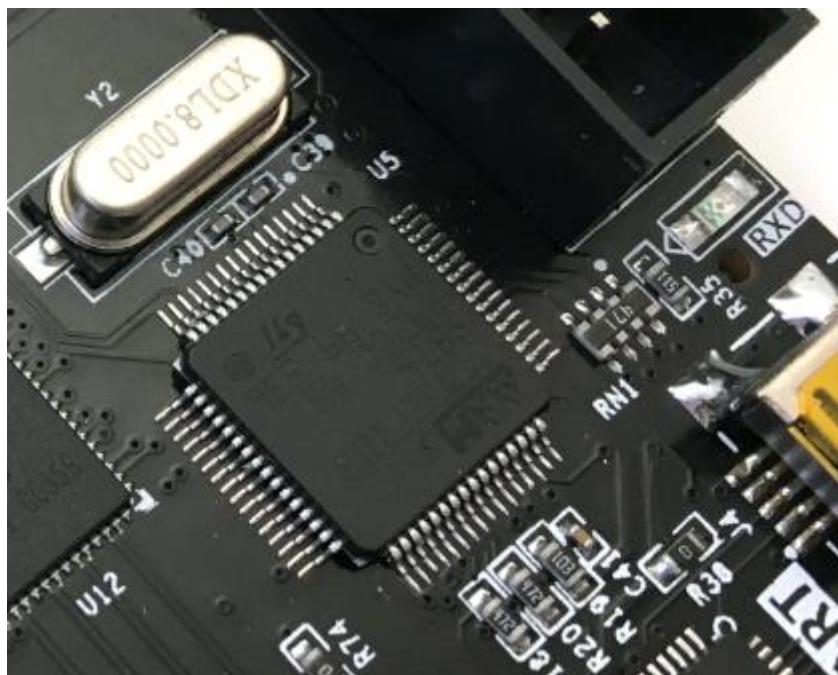
引脚名称	FPGA 引脚	备注
E_GCLK	K19	RGMII 发送时钟
E_TXD0	E20	发送数据 bit 0
E_TXD1	E22	发送数据 bit1
E_TXD2	D20	发送数据 bit2
E_TXD3	F21	发送数据 bit3
E_TXEN	H18	发送使能信号
E_TXC	G22	MII 发送时钟
E_RXC	H21	RGMII 接收时钟
E_RXDV	K21	接收数据有效信号
E_RXD0	J20	接收数据 Bit0
E_RXD1	L19	接收数据 Bit1
E_RXD2	H22	接收数据 Bit2
E_RXD3	M20	接收数据 Bit3
E_CRS	H20	Carrier Sense 信号
E_RESET	D19	复位信号
E_MDC	J19	MDIO 管理时钟
E_MDIO	G20	MDIO 管理数据

(七) ARM 控制器

在扩展板上，我们还板载了一片 ARM 芯片 (STM32F103)，通过 IO 口来复位各接口芯片，通过 I2C 配置各接口芯片的寄存器及和 FPGA 的数据通信。



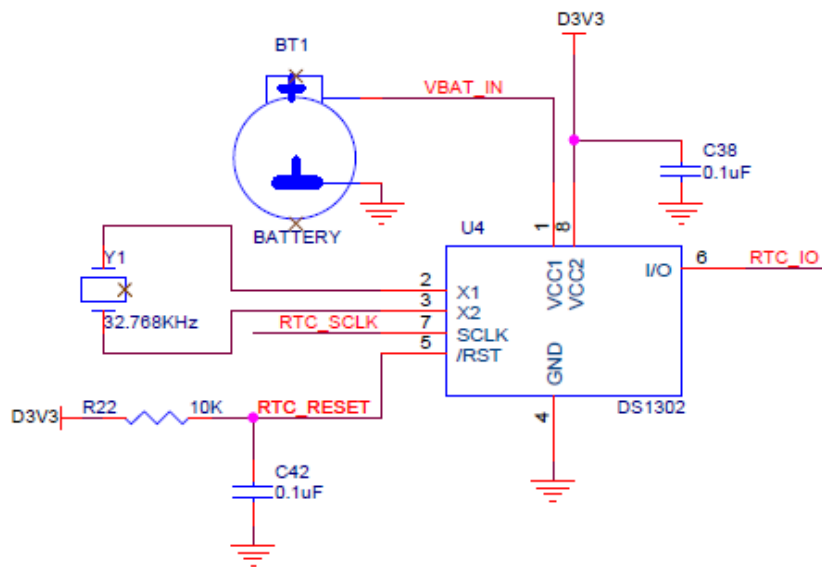
ARM STM32F103 原理图



STM32F103 实物

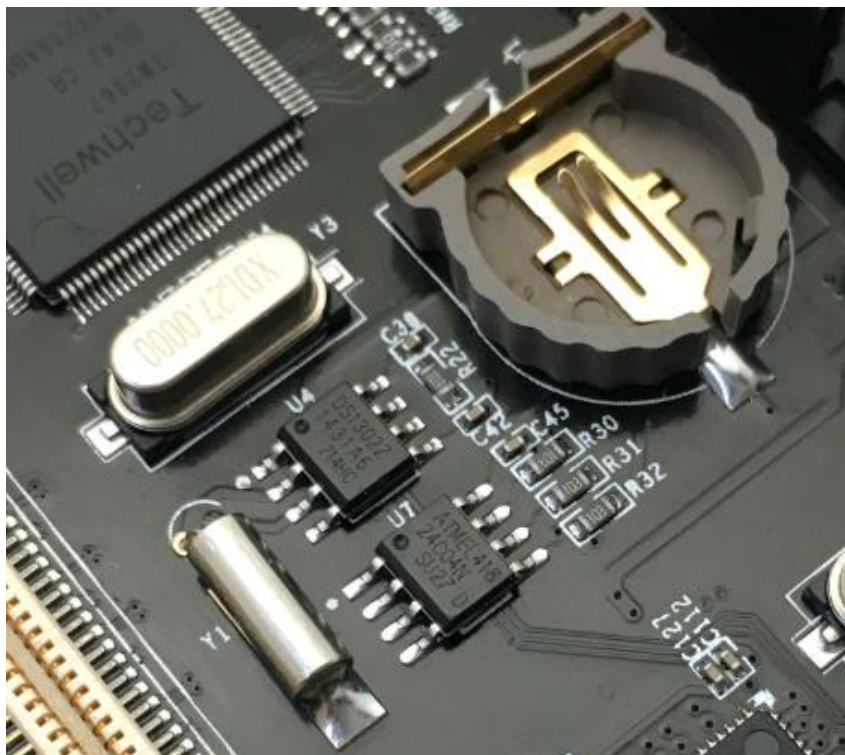
同时，ARM 还引出了实时时钟、EEPROM、4 个 LED、以及串口等。

1) 实时时钟



RTC

实时时钟 原理图



实时时钟 实物图

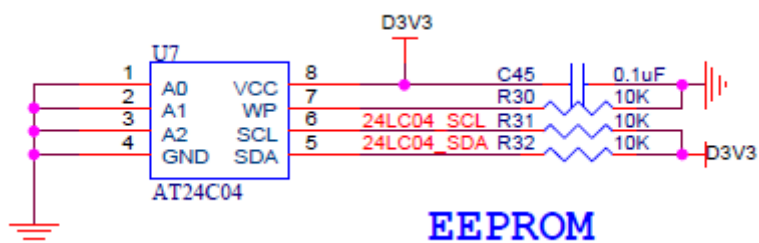
ARM 对应引脚：

引脚名称	ARM 引脚
RTC_SCLK	15
RTC_IO	16

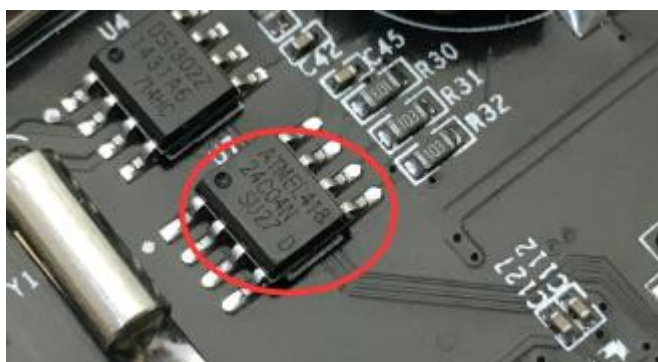
RTC_RESET

14

2) EEPROM



EEPROM 原理图

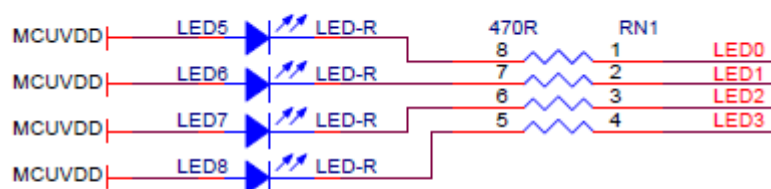


EEPROM 实物图

ARM 对应引脚：

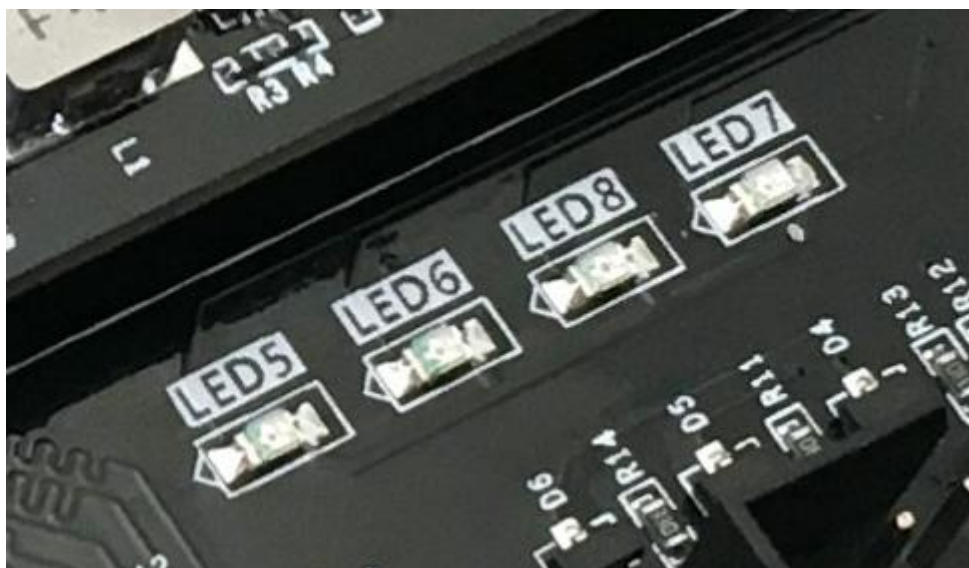
引脚名称	ARM 引脚
24LC04_SDA	59
24LC04_SCL	58

3) LED



LED

LED 原理图

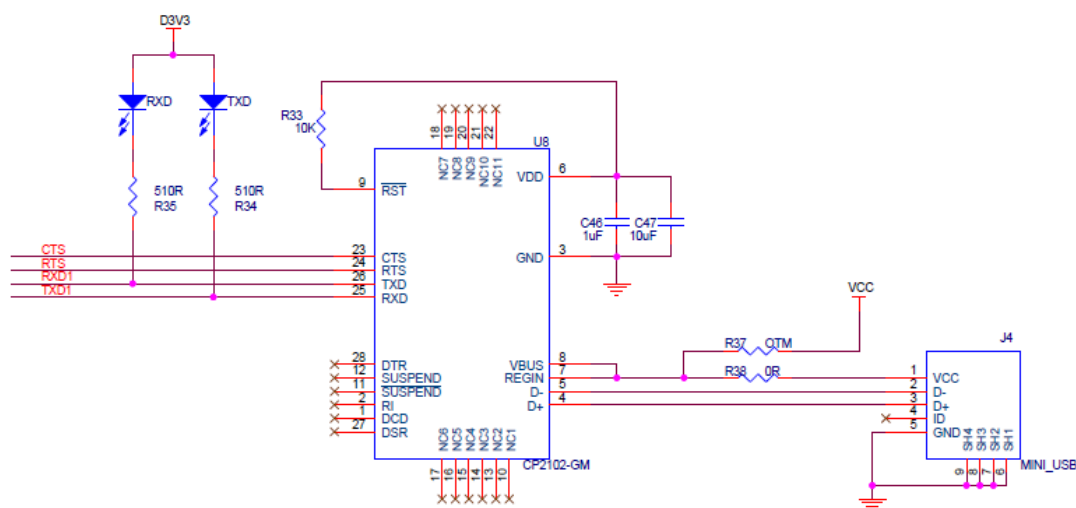


LED 实物图

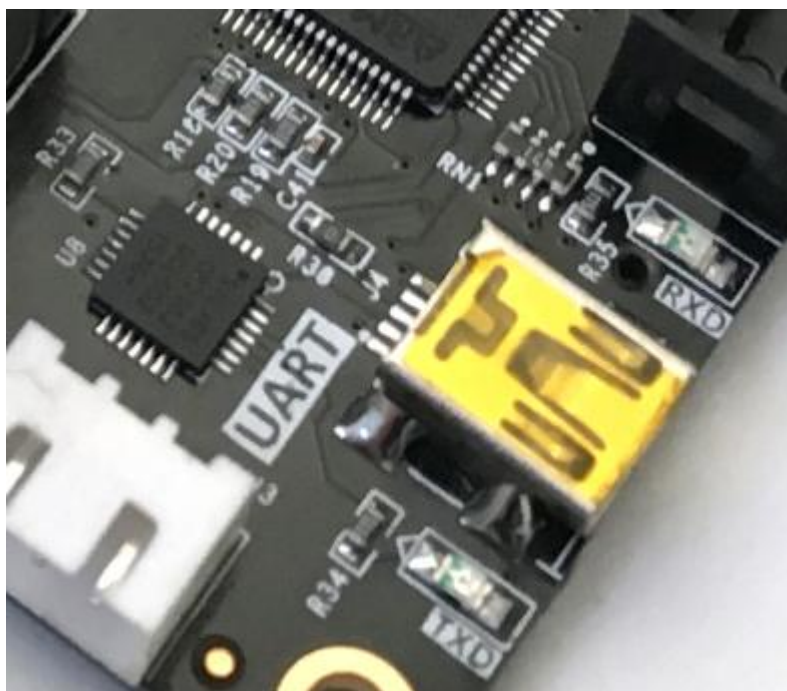
ARM 对应引脚：

引脚名称	ARM 引脚
LED0	57
LED1	56
LED2	55
LED3	54

4) USB 串口



串口原理图



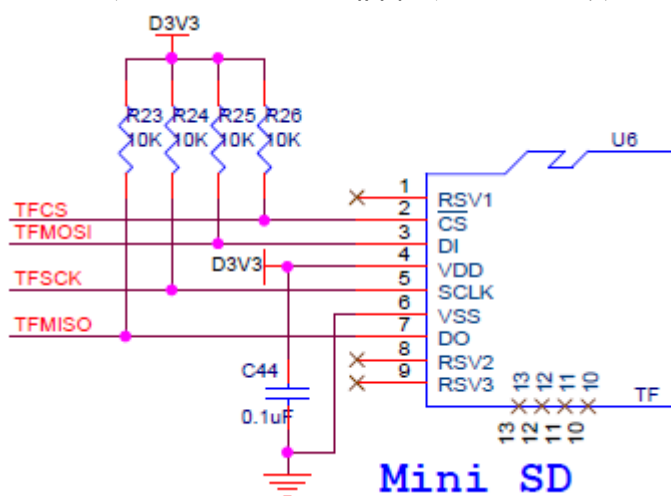
串口实物图

ARM 对应引脚：

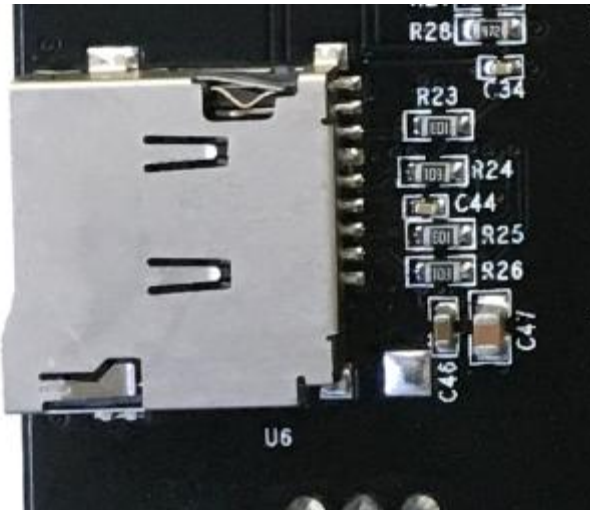
引脚名称	ARM 引脚
RXD1	43
TXD1	42
CTS	38
RTS	37

5) SD 卡

ARM 通过 SPI 接口跟 Micro SD 卡通信，用于 SD 卡数据的读取和存储。



Micro SD 卡原理图



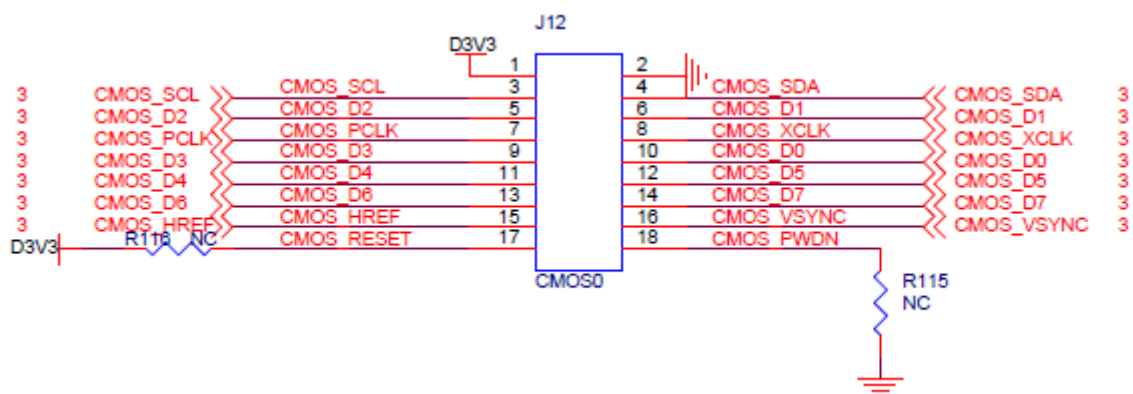
SD 卡 实物图

ARM 对应引脚：

引脚名称	ARM 引脚
TFCS	33
TFSCK	34
TFMOSI	36
TFMISO	35

(八) CMOS 摄像头接口

开发板包含了一个 18 针的 CMOS 摄像头接口，可以连接 OV7670 摄像头模块和 OV5640 摄像头模块，可以实现视频采集功能，采集以后，可以通过 HDMI 或者 VGA 接口连接显示器进行显示。OV7670，30W 像素，输出分辨率为 640*480; OV5640，500W 像素，输出分辨率高达为 2592*1944。关于摄像头选择，用户可以根据自己实际需要进行选购。



CMOS 摄像头接口原理图



CMOS 摄像头接口实物图

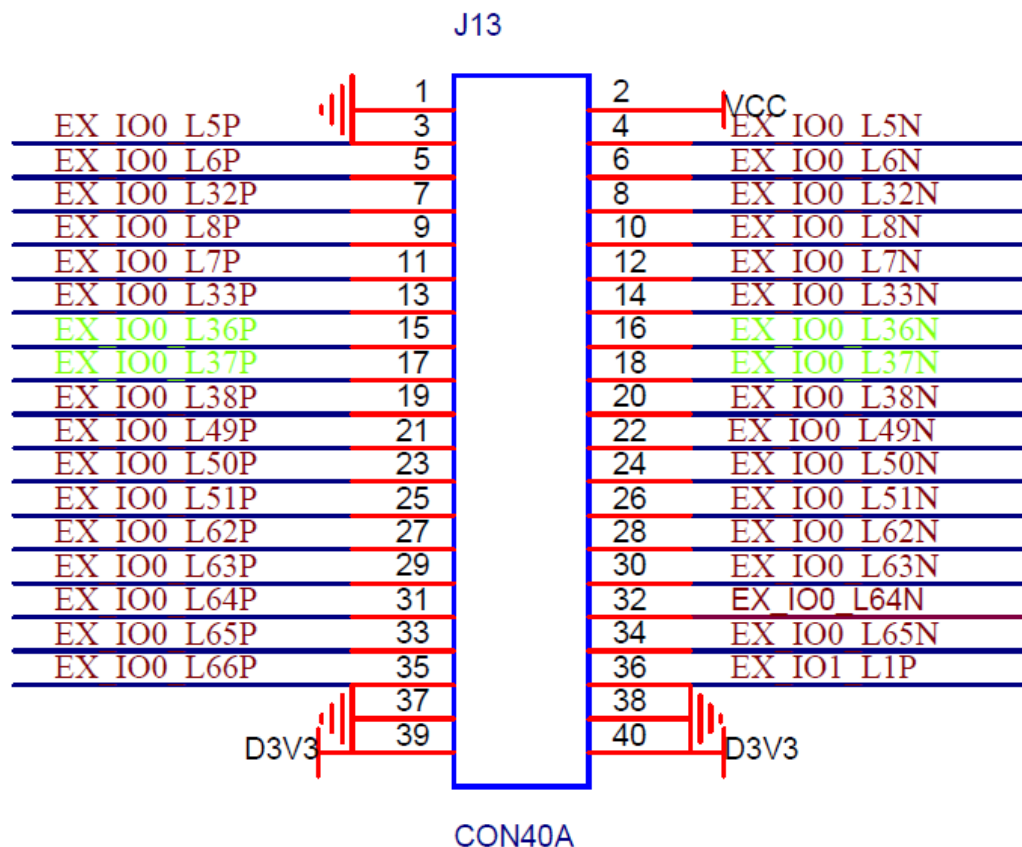
下表为连接 500 万 CMOS 摄像头(AN5640 模组)的 FPGA 引脚分配：

引脚名称	FPGA 引脚
CMOS_SCLK	AB5
CMOS_SDAT	Y5
CMOS_VSYNC	AA4
CMOS_HREF	AB3
CMOS_PCLK	AB4
CMOS_XCLK	Y3
CMOS_D[7]	V9
CMOS_D[6]	U9
CMOS_D[5]	W6
CMOS_D[4]	AB6
CMOS_D[3]	Y11
CMOS_D[2]	AB11
CMOS_D[1]	Y6
CMOS_D[0]	AA6
CMOS_RESET	-
CMOS_PWDN	-

(九) 扩展口

开发板预留 1 个扩展口，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻，用于保护 FPGA 以免外界电压或电流过高造成损坏，扩展口(J13)的电路如下图所示



扩展口原理图

下图为 J13 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。



扩展口实物图

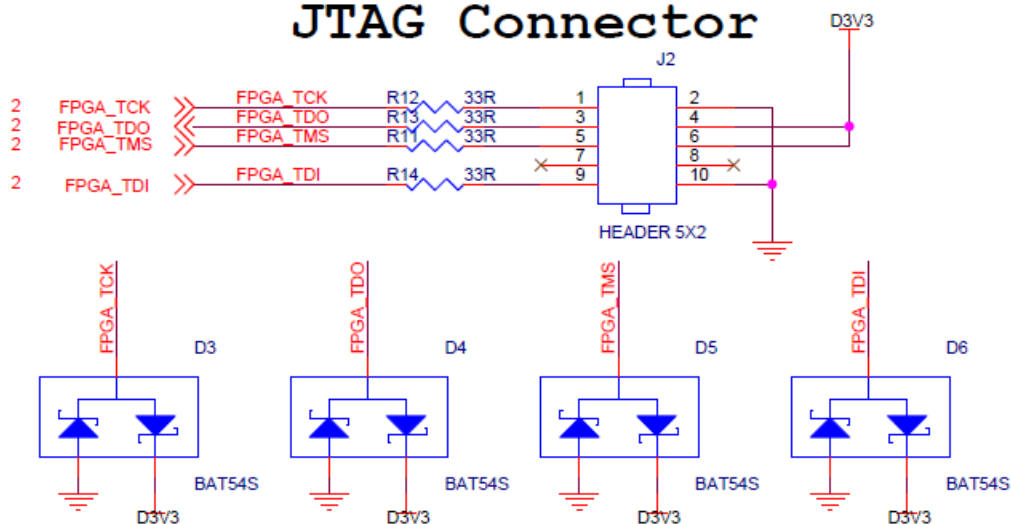
扩展口引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC
3	C7	4	A7
5	B8	6	A8
7	D7	8	D8
9	C9	10	A9
11	D9	12	C8
13	D10	14	C10
15	D11	16	C12
17	B12	18	A12
19	C13	20	A13
21	D14	22	C14
23	B14	24	A14
25	C15	26	A15
27	D15	28	C16
29	B16	30	A16
31	C17	32	A17
33	B18	34	A18
35	E16	36	C19
37	GND	38	GND
39	D3V3	40	D3V3

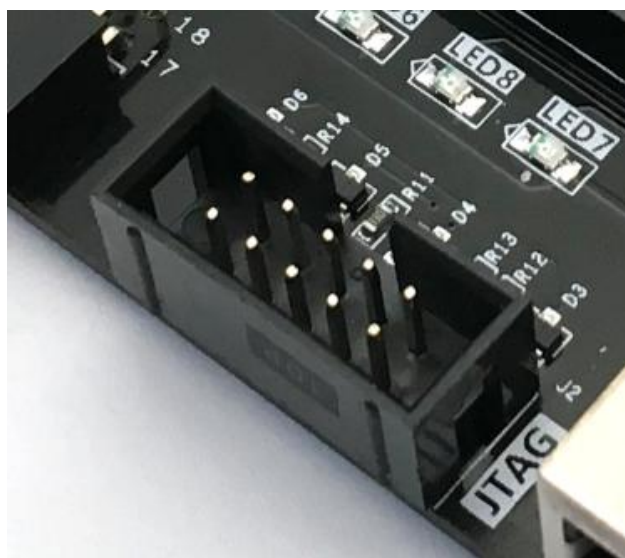
(十) JTAG 接口

开发板预留了一个 JTAG 接口,用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏,我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围,避免 FPGA 的损坏。

JTAG Connector



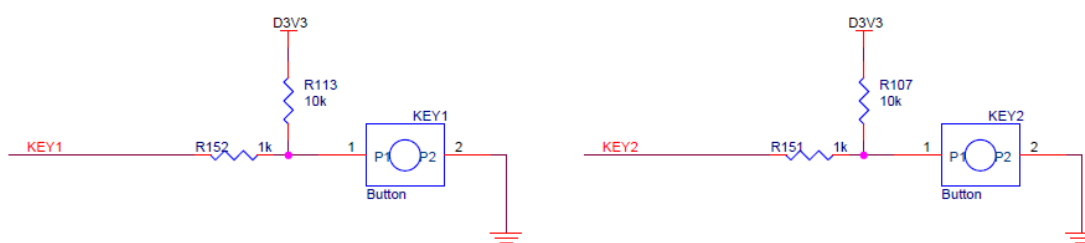
原理图



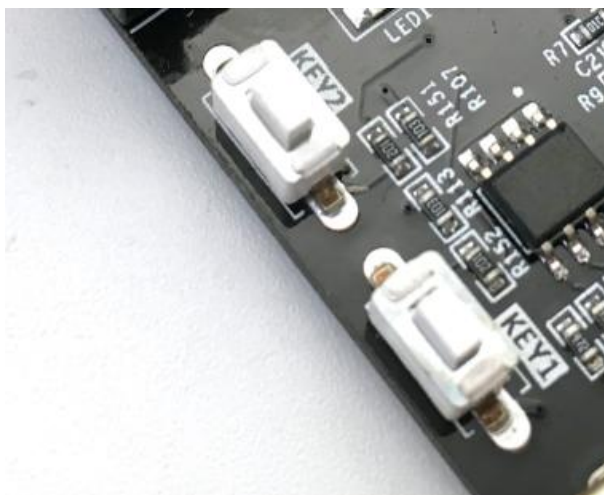
实物图

(十一) 按键

开发板上含有两个用户按键 KEY1~KEY2。



按键原理图



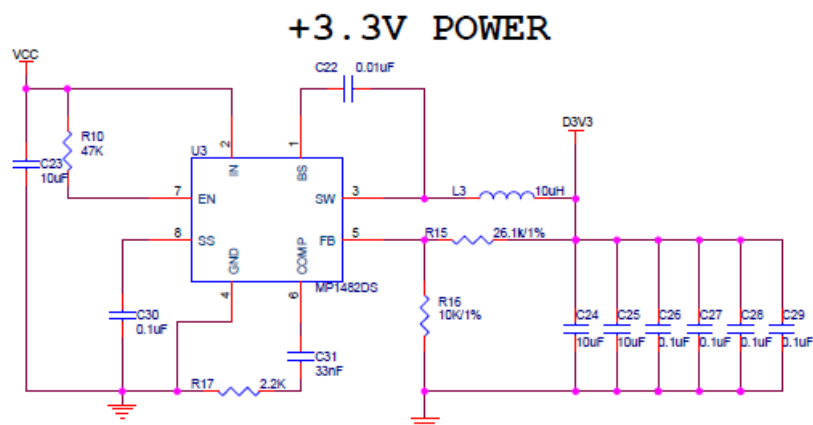
按键实物图

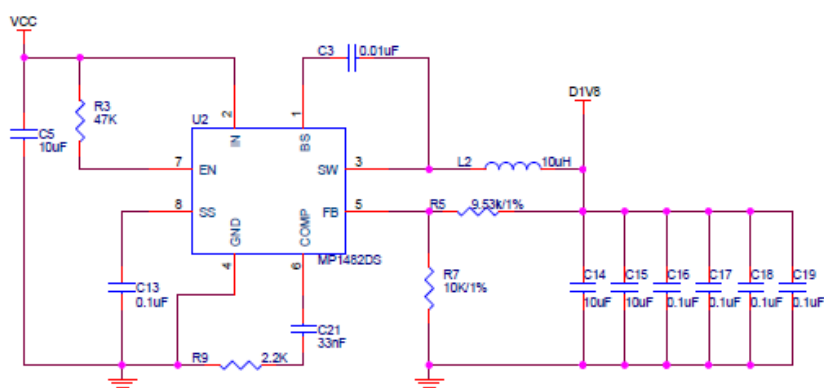
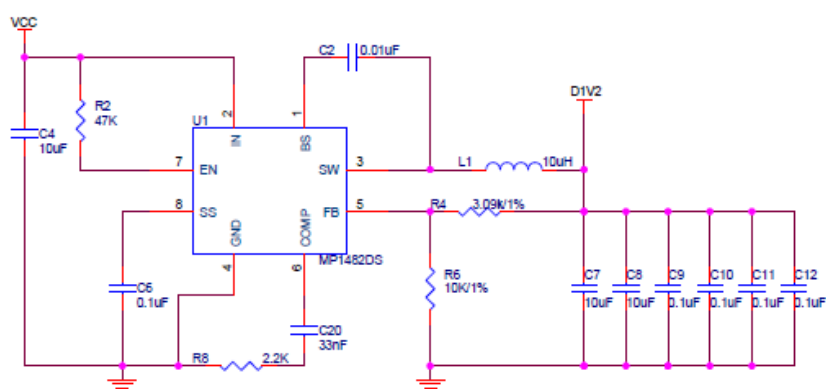
FPGA 引脚分配：

引脚名称	FPGA 引脚
KEY1	J22
KEY2	K22

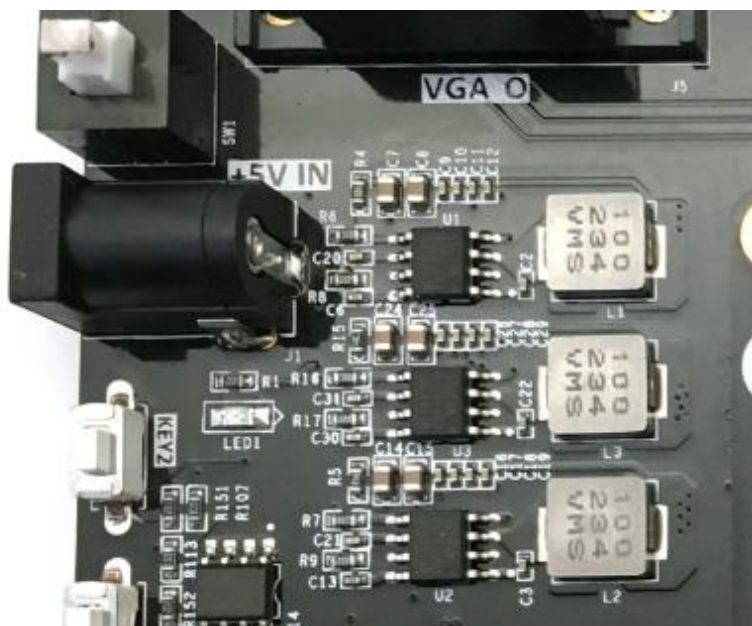
(十二) 供电电源

底板的电源输入电压为 DC5V，请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。通过三路 DC/DC 电源芯片 MP1482 转化成 D3V3，D1V2，D1V8 三路电源。另外底板的 DC5V 电源通过板间连接器给核心板供电，底板上的电源设计如下：



+1.8V POWER**+1.2V POWER**

电源原理图



电源实物图