

DDR3 布局布线

译自 飞思卡尔官方文档

Hardware Development Guide
for i.MX 6Quad, 6Dual, 6DualLite,
6Solo Families of
Applications Processors

IMX6 Serial Layout Recommendations

Document revision history

Date	Revision	Changes
2015-02-04	1.0	第一次撰稿

isMain elec tech studio
E-mai: ismain@126.com
All rights reserved

S & T follow the nature
QQ: 2970904654



目录

1. DDR 原理性连接框图	3
2. DDR 布局布线规则	4
3. DDR 布线细节	5
3.1 数据线的交换	6
3.2 DDR3（64bits）T 型拓扑介绍	6
3.3 DDR3（64bits）Fly-by 型拓扑介绍	6
3.4 2GB DDR 布局布线建议	6
3.5 4GB DDR 布局布线建议	7
4. DDR 布局布线实例	8
4.1 4 片 DDR T 型拓扑实例	8
4.2 8 片 DDR Fly-by 型拓扑实例	12
5. 高速信号布线建议	19
6. 地平面对设计建议	19
7. DDR POWER 布线建议	21
8. 参考	23
9. 声明	23

1. DDR 原理性连接框图

图 1、图 2 为 i.MX6DQ/SDL 与 DDR 连接框图，连接示意一目了然。

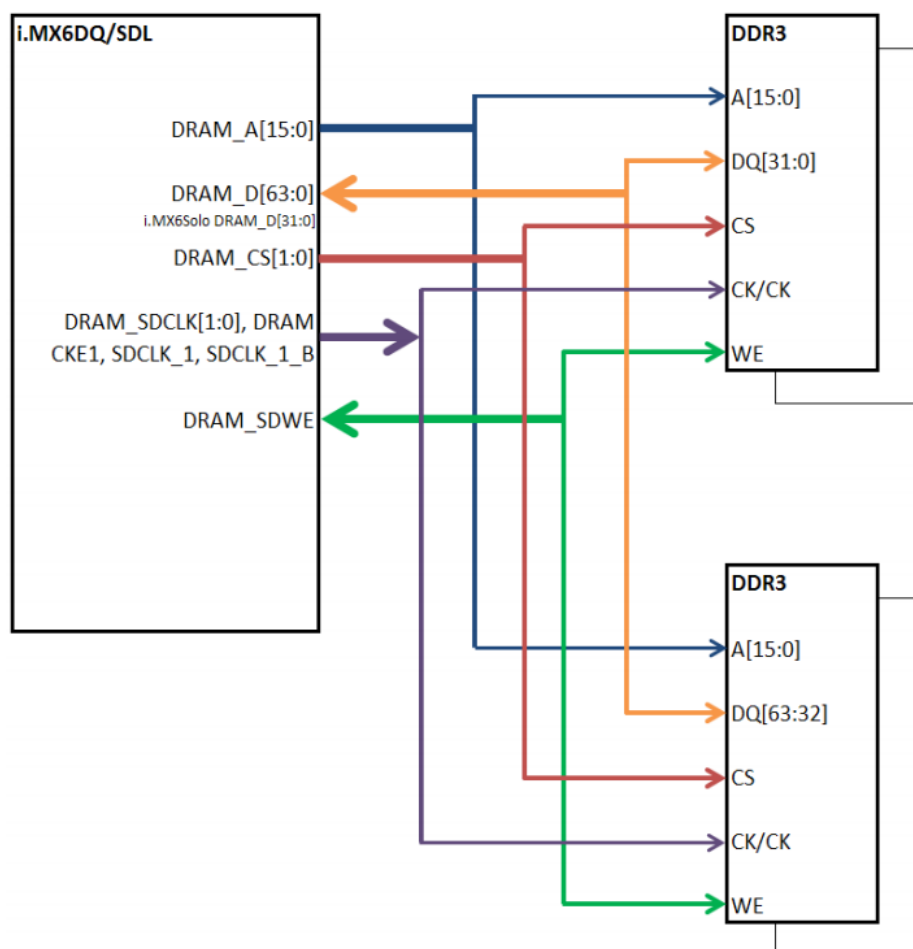


图 1 DDR3 与 i.MX6DQ/SDL 连接示意图

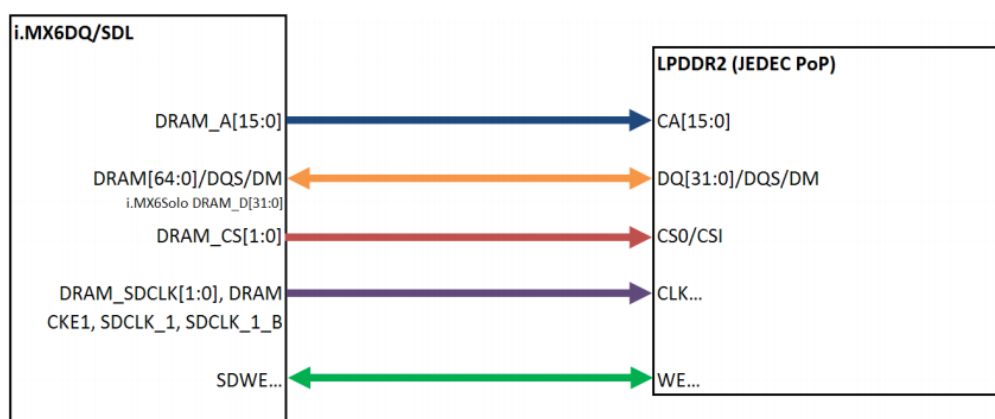


图 2 LPDDR2 与 i.MX6DQ/SDL 连接示意图

2. DDR 布局布线规则

DDR3 在布线中十分重要，它必须考虑阻抗匹配问题，通常单端为 50Ω ，差分 100Ω 。

图 3 给出了 DDR 及其去耦电容的最终布局，其中左图是顶层布局，右图为底层布局，共计 4 片 DDR3 芯片，顶层、底层各两片。DDR 应该尽量靠近 CPU，这样可以减小寄生参数和传播延时。

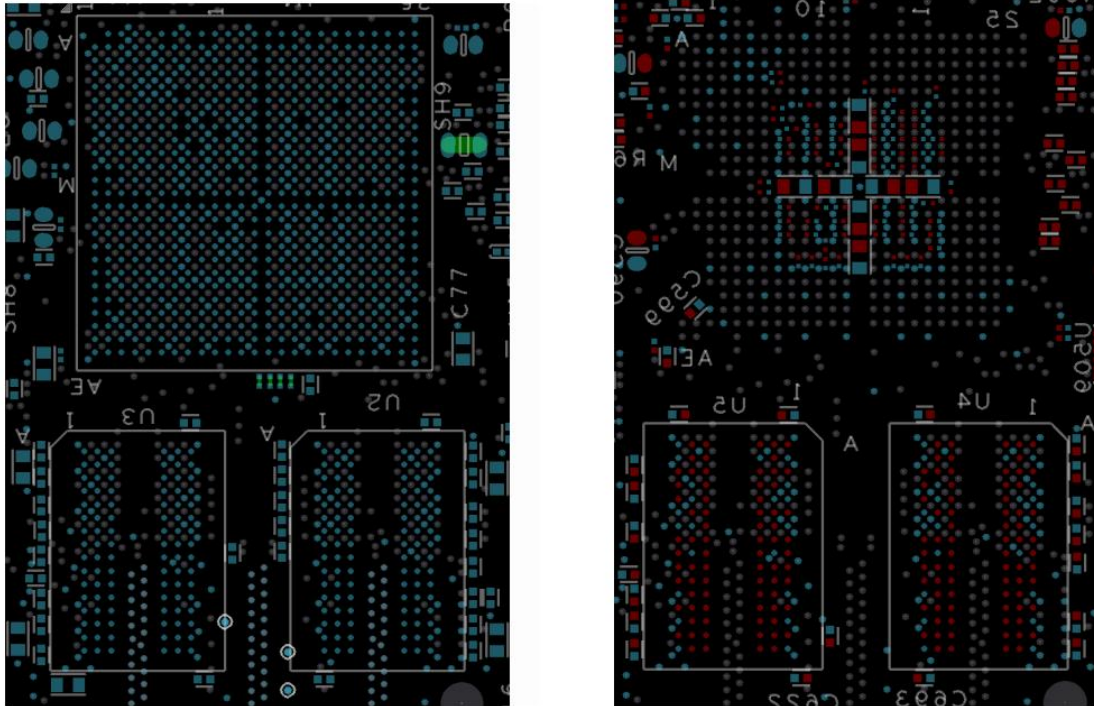


图 3 DDR 和去耦电容的布局

DDR3 的有两种布线形式：一种是所有信号线等长，另一种是以字节为单位分组等长。

所有信号线等长布线，该种布线方式在信号完整性上是最理想的，在设置约束规则上是简单的，但由于布线空间，使得这种方法耗时费力，甚至设计无法实现，在此只是提及一下，并不推荐使用该方法。各信号线布线长度要求如表 1 所示。

表 1 所有信号线等长的布线方式

Signals	Total length	Recommendations
Address and Bank	Clock length	Match the signals ± 25 mils of the value specified in the length column
Data and Buffer	Clock length	
Control signals	Clock length	
Clock DRAM_SDCLK[1:0]	Longest trace ≤ 3 inches	Match the signals of clocks signals ± 5 mils. Each differential clock pair
DRAM_SDQS[7:0] and DRAM_SDQS[7:0]_B	Clock length	Match the signals of DQS signals ± 10 mils of the value specified in the length column.

以字节为单位分组等长布线，该种布线方式以“小组”为单位作等长处理，实际工程当中等长处理容易实现，但是这种方式约束规则较为复杂，毕竟每“小组”都需要一个约束规

则。表 2 给出了以字节为单位分组等长布线要求。

表 2 以字节为单位分组等长

Chip signals	Group	Length		Recommendations
		Min	Max	
DRAM_SDCLK[1:0] DRAM_SDCLK_B[1:0]	Clock	Short as possible	2.25 inches	Match the signals ± 5 mils. 2.25 inches is recommended.
DRAM_A[15:0] DRAM_SDBA[2:0] DRAM_RAS DRAM_CAS DRAM_SDWE	Address and Command	Clock (min) – 200	Clock (min) ¹	Match the signals ± 25 mils.
DRAM_D[7:0] DRAM_DQM0 DRAM_SDQS0 DRAM_SDQS0_B	Byte Group 1	—	Clock (min)	Match the signals of each byte group ± 25 mils. Match the differential signals of DQS ± 10 mils.
DRAM_D[15:8] DRAM_DQM1 DRAM_SDQS1 DRAM_SDQS1_B	Byte Group 2	—	Clock (min)	
DRAM_D[23:16] DRAM_DQM2 DRAM_SDQS2 DRAM_SDQS2_B	Byte Group 3	—	Clock (min)	
DRAM_D[31:24] DRAM_DQM3 DRAM_SDQS3 DRAM_SDQS3_B	Byte Group 4	—	Clock (min)	
DRAM_D[39:32] DRAM_DQM4 DRAM_SDQS4 DRAM_SDQS4_B	Byte Group 5	—	Clock (min)	
DRAM_D[47:40] DRAM_DQM5 DRAM_SDQS5 DRAM_SDQS5_B	Byte Group 6	—	Clock (min)	
DRAM_D[55:48] DRAM_DQM6 DRAM_SDQS6 DRAM_SDQS6_B	Byte Group 7	—	Clock (min)	
DRAM_D[63:56] DRAM_DQM7 DRAM_SDQS7 DRAM_SDQS7_B	Byte Group 8	—	Clock (min)	
DRAM_CS[1:0] DRAM_SDCKE[1:0] DRAM_SDODT[1:0]	Control signals	Clock (min) – 200	Clock (min)	Match the signals ± 50 mils.

1. Clock(min):Clock 的最短长度，因为它有一个 ± 5 mil 的容差

最后，还有一个需要注意的是阻抗匹配问题，推荐单端 50Ω ，差分 100Ω 。

3. DDR 布线细节

i.MX6 DDR 的布线，可以将所有信号分成 3 组：数据线组、地址线组和控制线组，每组各自设置自己的布线规则，但同时也要考虑组与组之间的规则。

3.1 数据线的交换

在 DDR3 的布线中，可以根据实际情况交换数据线的线序，但必须保证是以字节为单位（数据 0~7 间是允许交换线序，跨字节是不允许的），这样可以简化设计。

- 布线尽量简短，减少过孔数量。
- 布线时避免改变走线参考层面。
- 数据线线序，推荐 D0、D8、D16、D24、D32、D40、D48、D56 不要改变，其它的数据线可以在字节内自由调换（see the “Write Leveling” section in JESD79-3E）。
- DQS 和 DQM 不能调换，必须在相应通道。

3.2 DDR3（64bits）T 型拓扑介绍

当设计采用 T 型拓扑结构，请确认以下信息。

- 布线规则见上文表 2。
- 终端电阻可以省略。
- 布线长度的控制。
- DDR 数量限制在 4 片以下。

3.3 DDR3（64bits）Fly-by 型拓扑介绍

当采用 Fly-by 的拓扑结构时，在设计中请注意以下事项。

- DDR 控制器集成了地址镜像功能。
- 终端电阻不可以省略。

3.4 2GB DDR 布局布线建议

4 片 DDR 共计 2GB 内存。

- 保证 T 型拓扑的对称性。
- 减少过孔，避免多次换层。
- 禁止分割走线下的参考层。

图 4 是 T 型拓扑的结构框图，在 i.MX6 设计中，ADDR/CMD/CTRL 信号会用到这种拓扑结构。

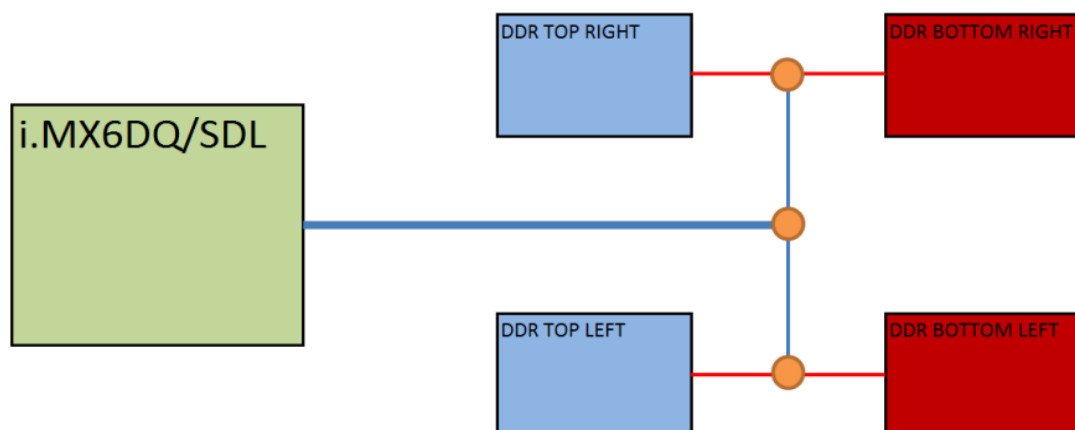


图 4 ADDR/CMD/CTRL 信号拓扑结构

图 5 给出了 DDR 各数据线（64bits）的布线结构图，它是点对点的布线方式，以字节为单位，具体布线约束见上文表 2。

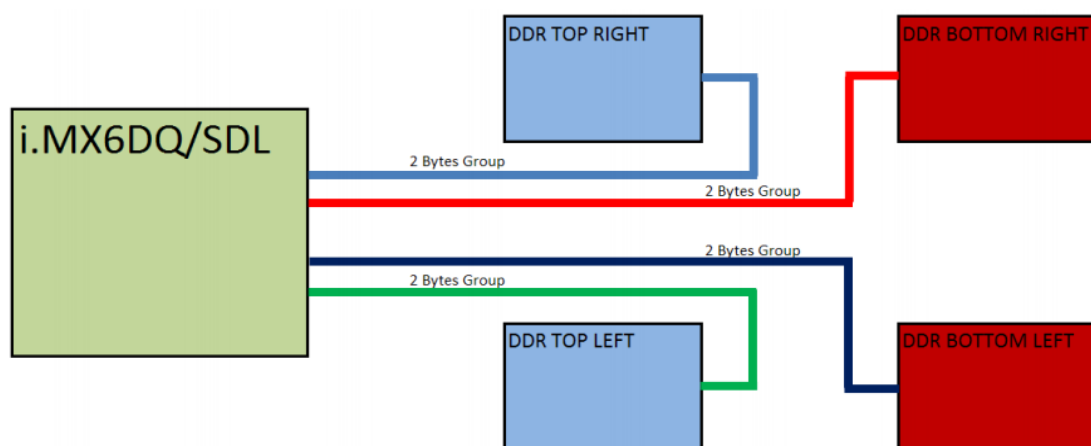


图 5 点对点的数据线布线结构示意图

3.5 4GB DDR 布局布线建议

在 i.MX6 设计中，当选用 4GB DDR（8 片 DDR）设计时，建议使用 CS[1:0] 两个片选信号，每个片选信号各控制 2GB DDR（各控制 4 片 DDR）。当采用这种结构时，终端匹配电阻是不可或缺的。各信号组的拓扑结构如图 6/7/8/9 所示。

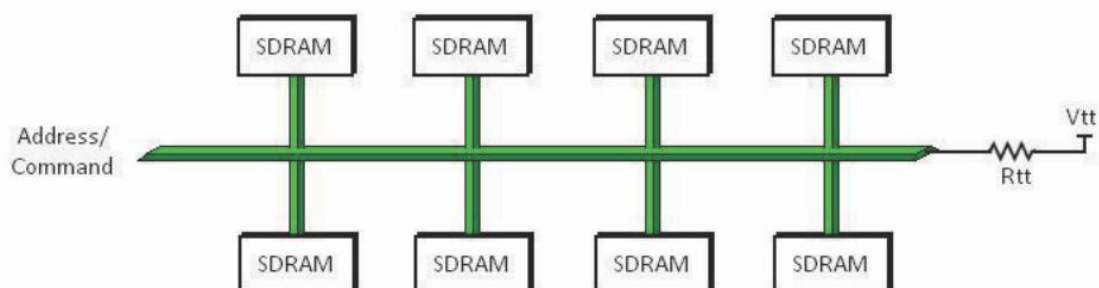


图 6 ADDR/CMD 信号拓扑

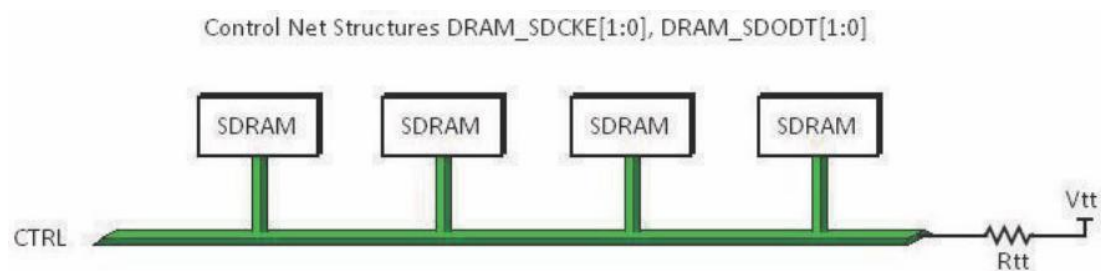


图 7 CTRL 控制信号拓扑

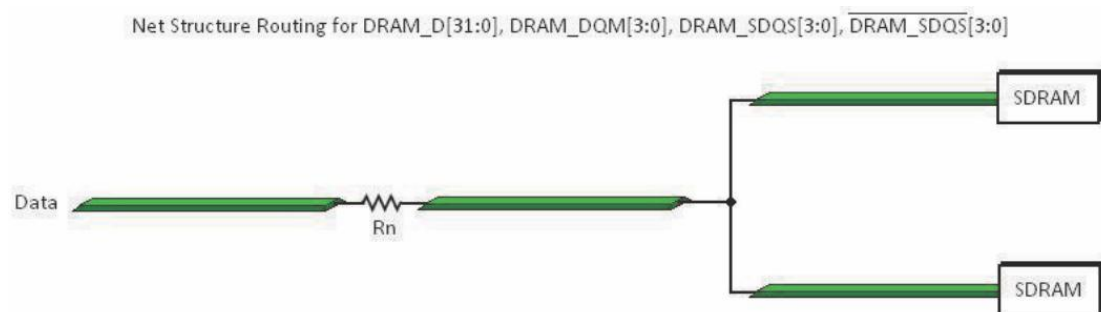


图 8 数据线拓扑

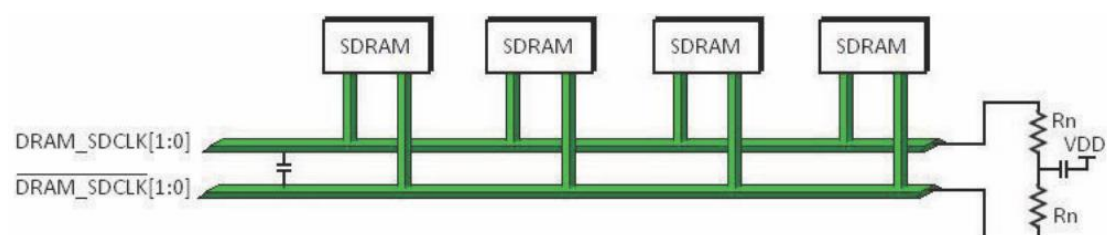


图 9 时钟线拓扑

4. DDR 布局布线实例

本节列出了 2 种布局布线方式，截图均出自官方 EVM 板。

4.1 4 片 DDR T 型拓扑实例

该例用了 4 片 DDR3，共计 2GB 内存，采用 T 型拓扑结构。具体说明见下文表 3 和图 10 / 11 / 12。

表 3 颜色对照表

Color	Meaning
Soft Green	ADD & CMD Signals
Yellow	Clocks
Soft Pink	Data Byte Group 0
Purple	Data Byte Group 1
Blue	Data Byte Group 2
Brown	Data Byte Group 3
Orange	Data Byte Group 4
Green	Data Byte Group 5
Olive Green	Data Byte Group 6
Soft Brown	Data Byte Group 7
Gray	DDR_1V5 & DDR_VREF
Soft Red	Control Signals

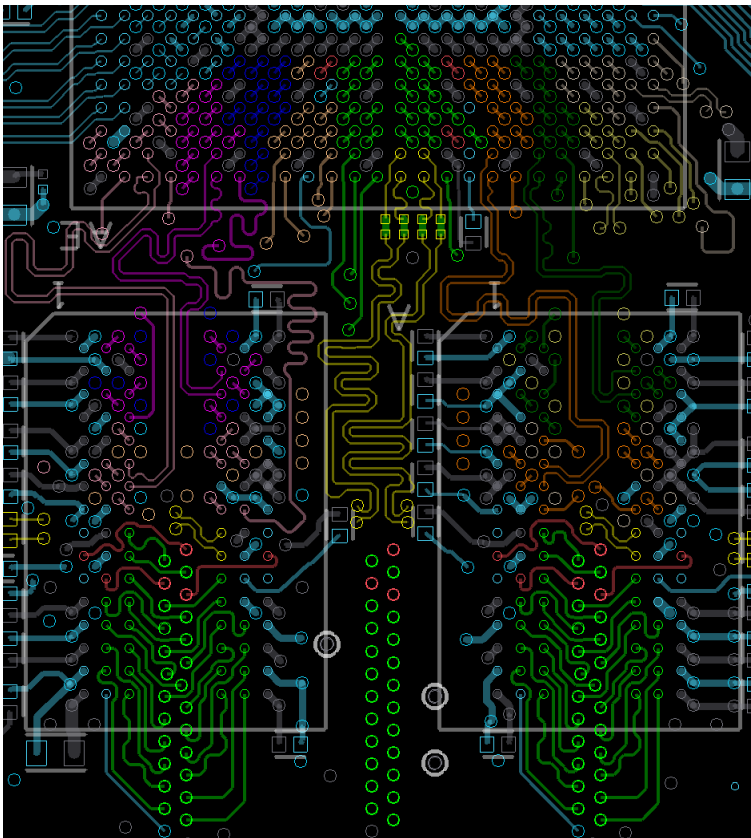


图 10 DDR3 顶层布线

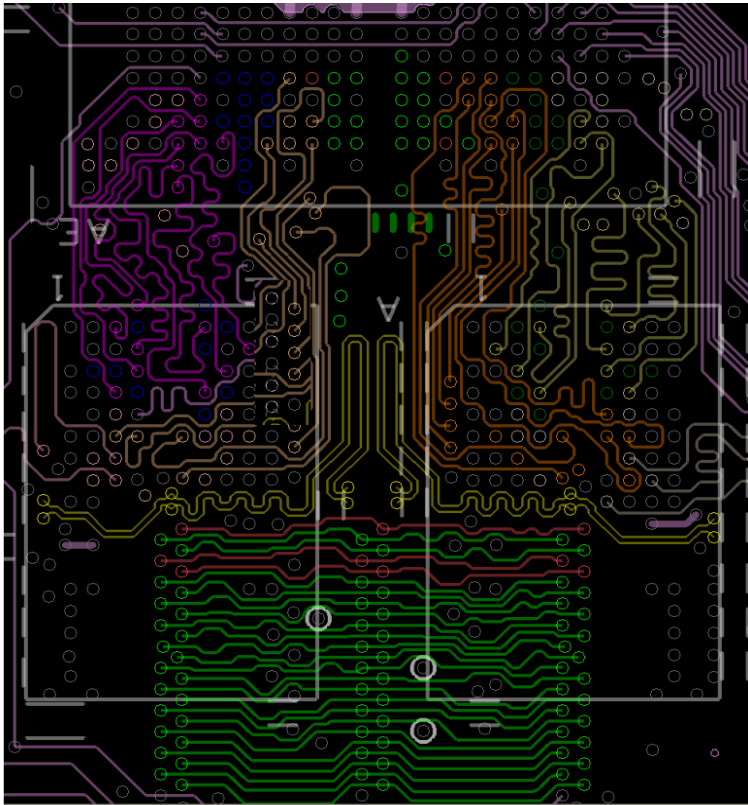


图 11 DDR3 内层布线

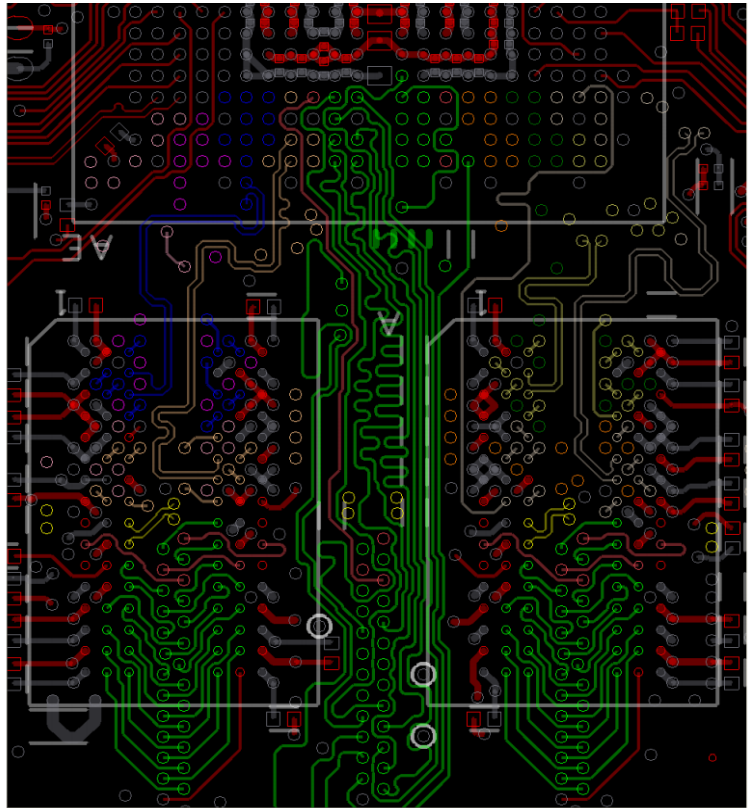


图 12 DDR3 底层布线

表 4 写出了 byte0 和 byte1 的走线长度。当然，在该例中，clock 信号长 2000mil。

表 4 部分信号线布线长度

Signals	Length (Mils)
DRAM_D0	1025.349
DRAM_D1	1028.996
DRAM_D2	1028.752
DRAM_D3	1021.158
DRAM_D4	1021.930
DRAM_D5	1025.398
DRAM_D6	1025.564
DRAM_D7	1029.326
DRAM_DQM0	1028.555
DRAM_SDQS0	1023.419
DRAM_SDQS0_B	1023.373
DRAM_D8	648.862
DRAM_D9	654.371
DRAM_D10	652.653
DRAM_D11	653.712
DRAM_D12	650.961
DRAM_D13	648.433
DRAM_D14	649.588
DRAM_D15	651.781
DRAM_DQM1	653.106
DRAM_SDQS1	669.240
DRAM_SDQS1_B	669.736
DRAM_SDCLK0	2120.044
DRAM_SDCLK0_B	2118.283
DRAM_SDCLK1	2112.518
DRAM_SDCLK1_B	2112.829

4.2 8 片 DDR Fly-by 型拓扑实例

本实例采用了 fly-by 的拓扑结构，8 片 DDR3，共计 4GB 内存。详情见上文颜色对照表 4 和下文图 13 / 14 / 15 / 16 / 17 / 18。

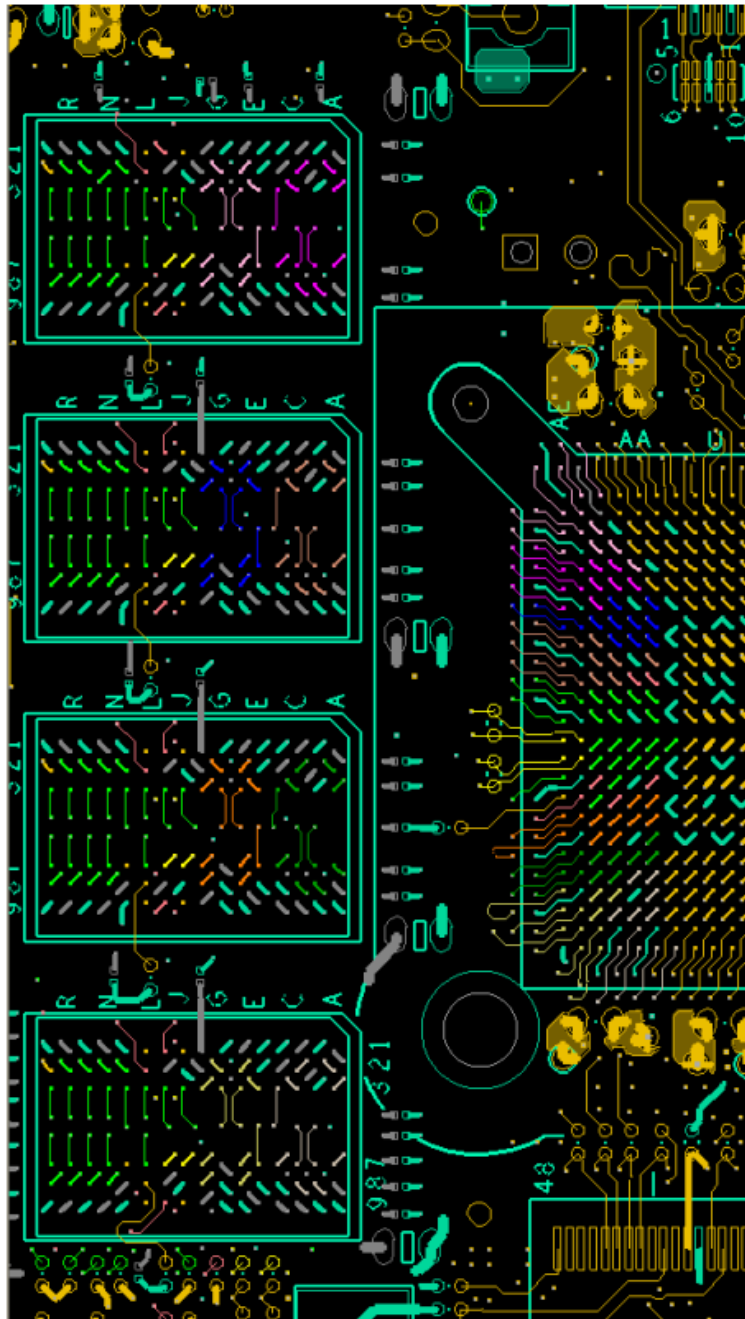


图 13 顶层 DDR3 走线

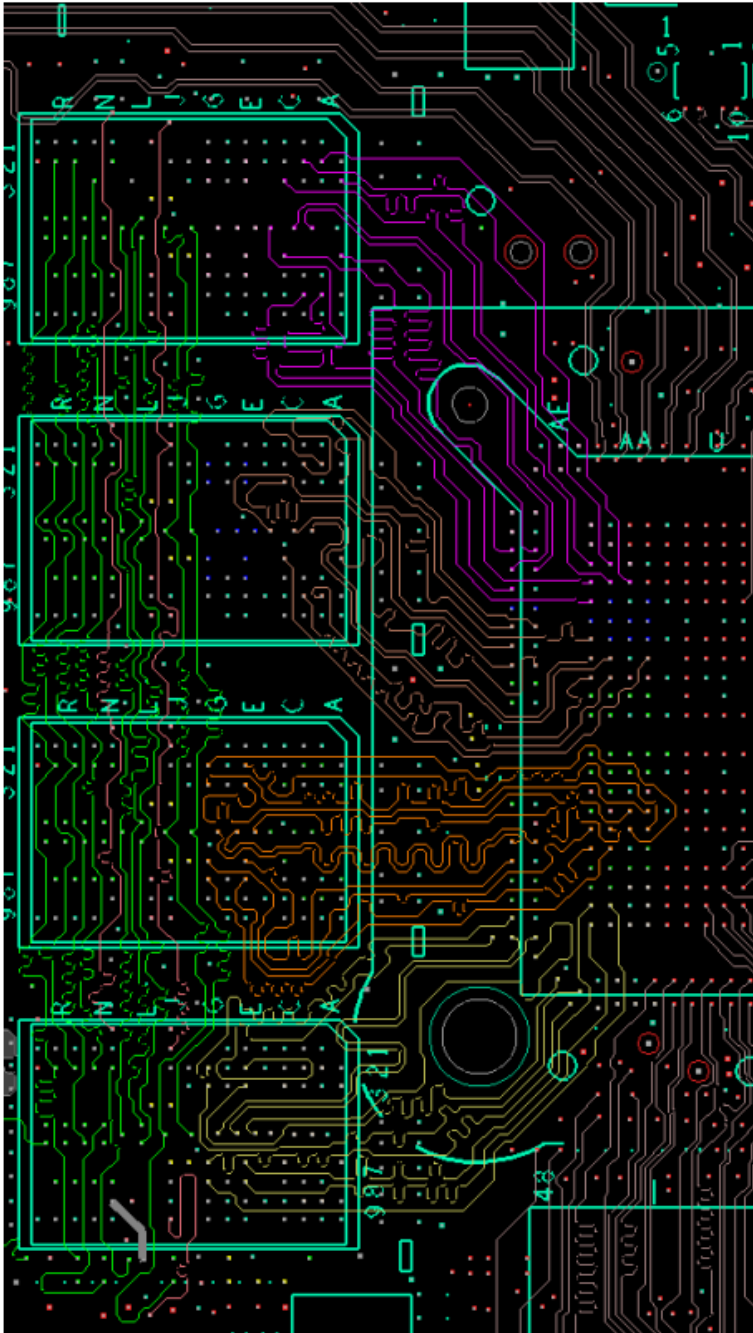


图 14 内层 L3 DDR3 走线

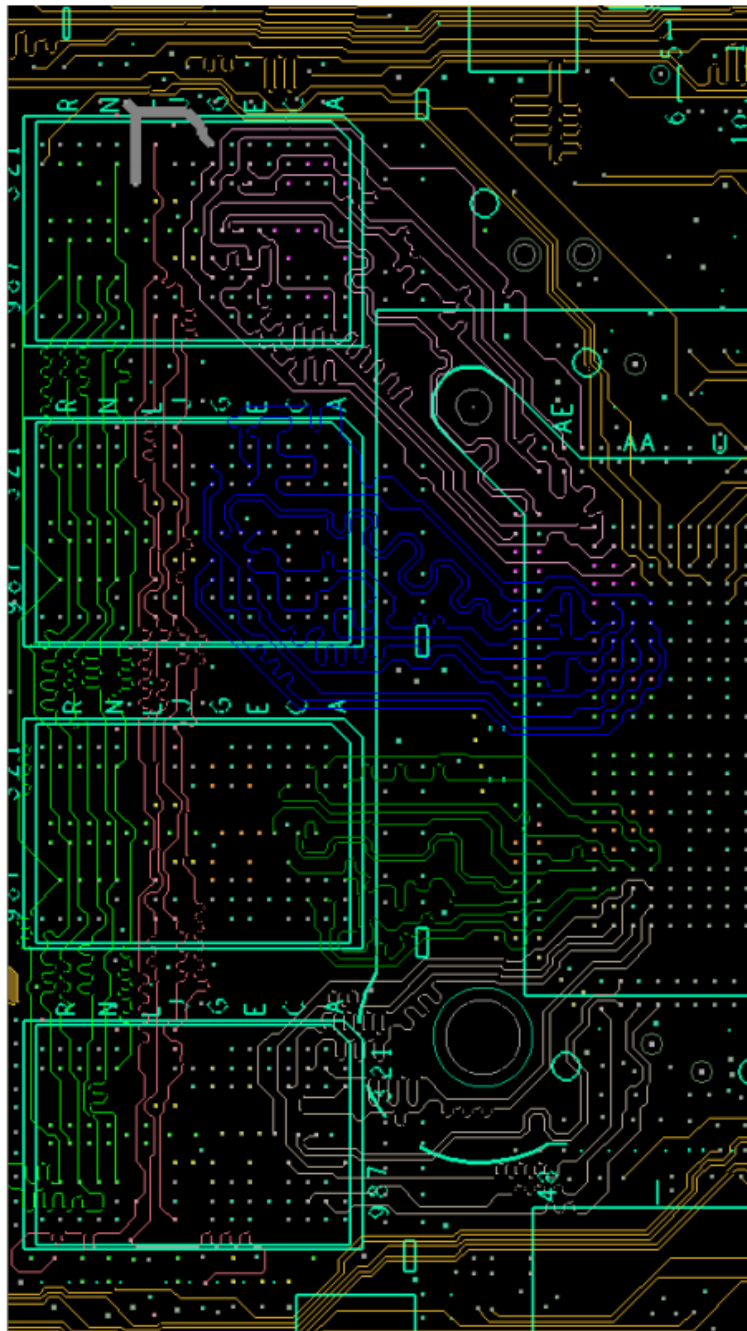


图 15 内层 L4 DDR3 走线

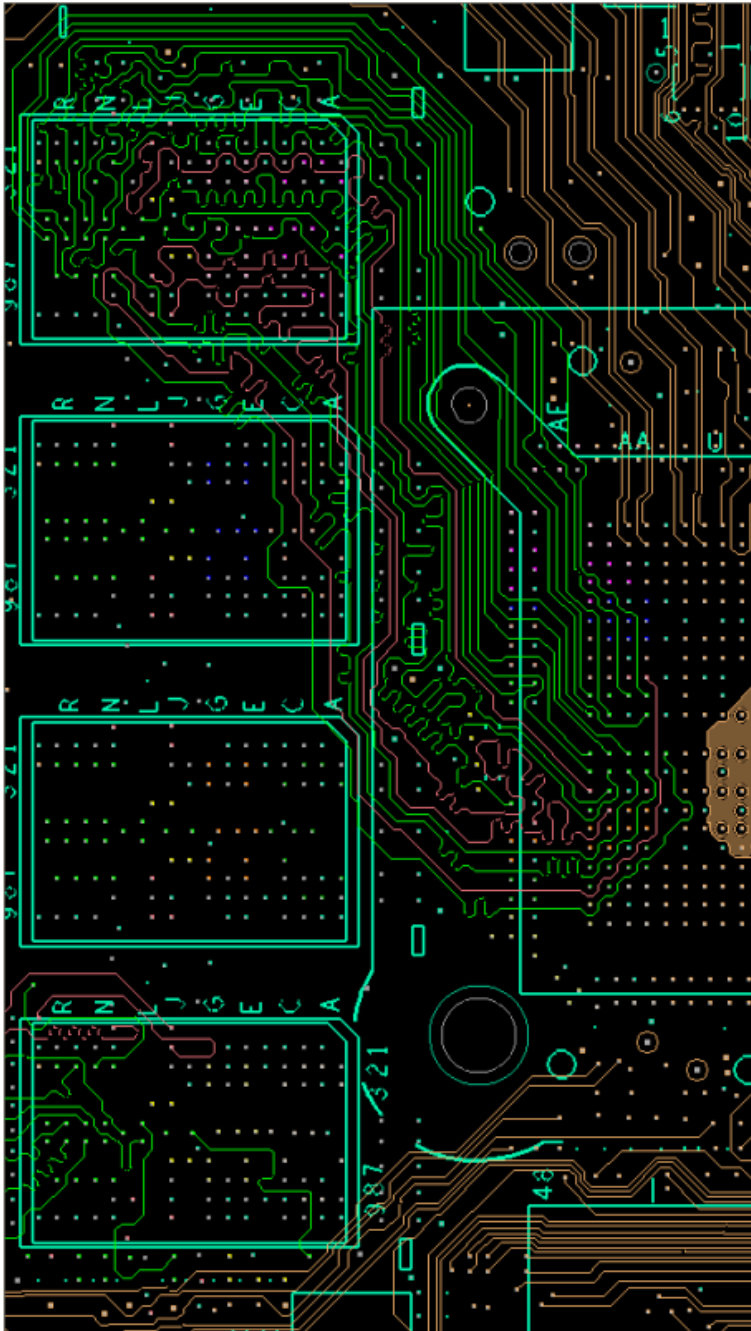


图 16 内层 L11 DDR3 走线

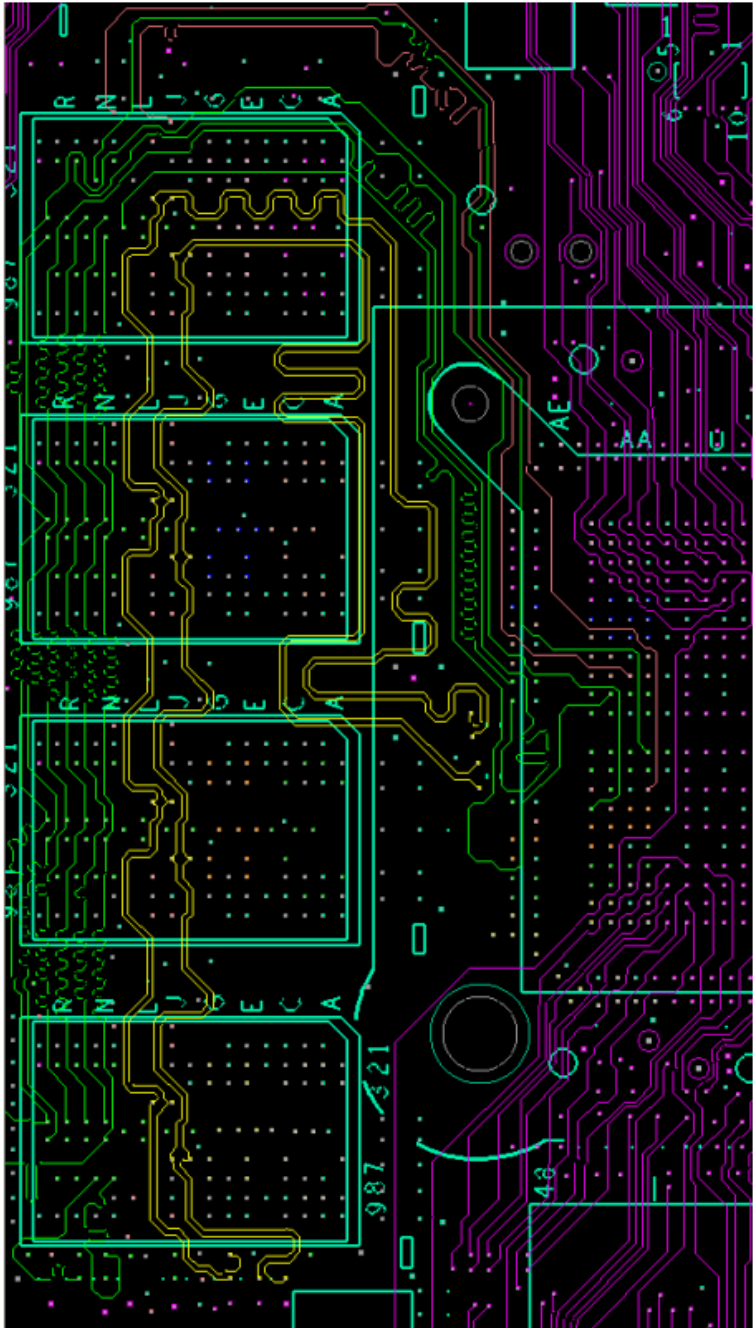


图 17 内层 L12 DDR3 走线

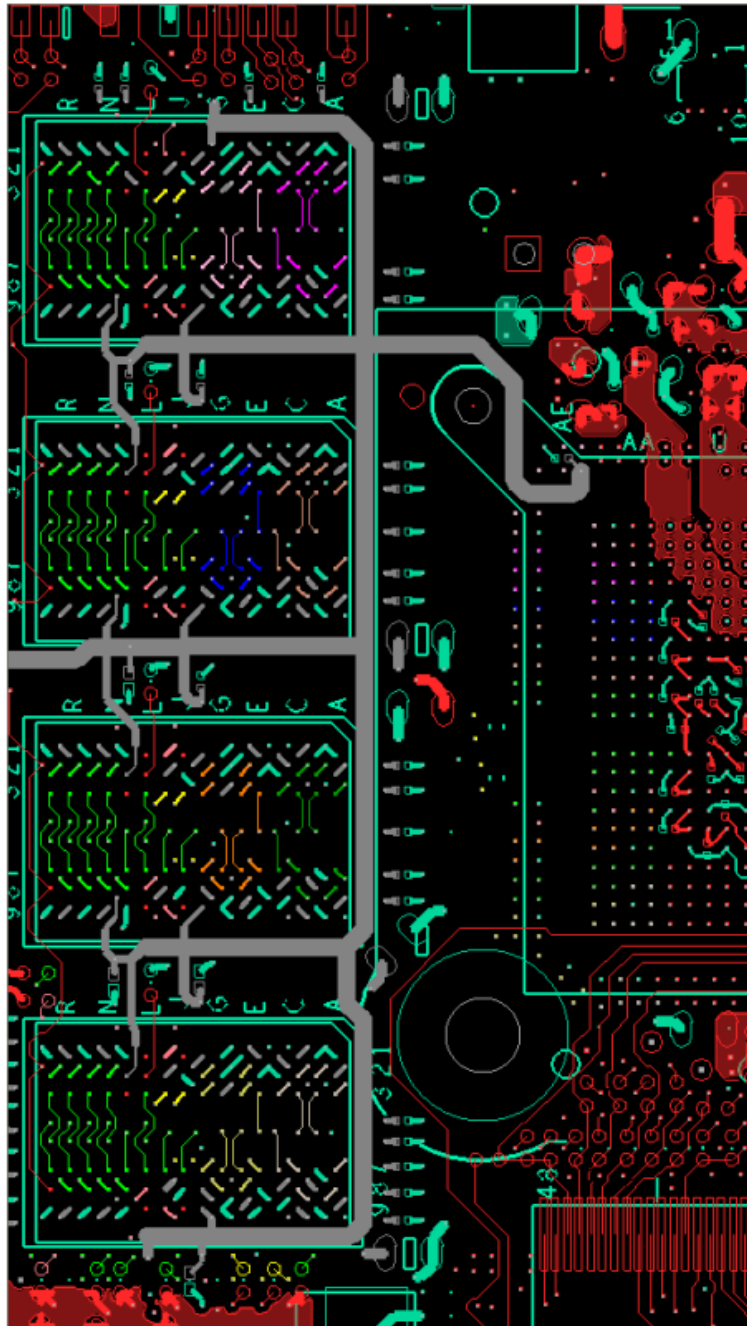


图 18 底层 DDR3 走线

表 5 罗列了在本设计中部分走线长度，具体如下。

表 5 DDR3 部分信号线长度

Signals	Length (Mils)
DRAM_D0	1244.97
DRAM_D1	1252.82
DRAM_D2	1237.48
DRAM_D3	1242.95
DRAM_D4	1240.12
DRAM_D5	1254.37
DRAM_D6	1254.58
DRAM_D7	1238.18
DRAM_DQM0	1297.45
DRAM_SDQS0	1295.34
DRAM_SDQS0_B	1295.68
DRAM_D8	1103.69
DRAM_D9	1116.14
DRAM_D10	1105.01
DRAM_D11	1105.17
DRAM_D12	1120.4
DRAM_D13	1123.06
DRAM_D14	1105.72
DRAM_D15	1111.24
DRAM_DQM1	1152.16
DRAM_SDQS1	1158.48
DRAM_SDQS1_B	1162.29
DRAM_SDCLK0	4723.96
DRAM_SDCLK0_B	4681.95
DRAM_SDCLK1	4750.69
DRAM_SDCLK1_B	4699.00

5. 高速信号布线建议

在高速信号的布线中要特别注意信号总线的相对延迟和阻抗控制等问题,这些都能保证信号的时序和减小信号的畸变。几点建议如下所示。

- 高速信号线应避免跨越平面层的分割沟壕, 保证走线下的平面层是完整的。
- 避免过孔等隔断平面层。
- 晶振、重要元器件、关键走线最好参考到地平面。
- Clock 和 Strobe 布线时不要随意换层, 且与其他信号线的间距应大于该信号线相对于参考层的 2.5 倍, 以减少串扰。
- 注意数据线、地址线、时钟线等信号线的相对延迟, 一般时钟线会略长于其他走线, 以保证在时钟信号到来时数据信号或地址信号必须准备妥当。

6. 地平面设计建议

一个好的地平面设计是保证地平面的完整性, 这个平面的完整性是保证信号回流的连续性和信号回流的简短性。具体设计请参看图 19 / 20 (不合理设计), 图 21 / 22 (合理设计)。

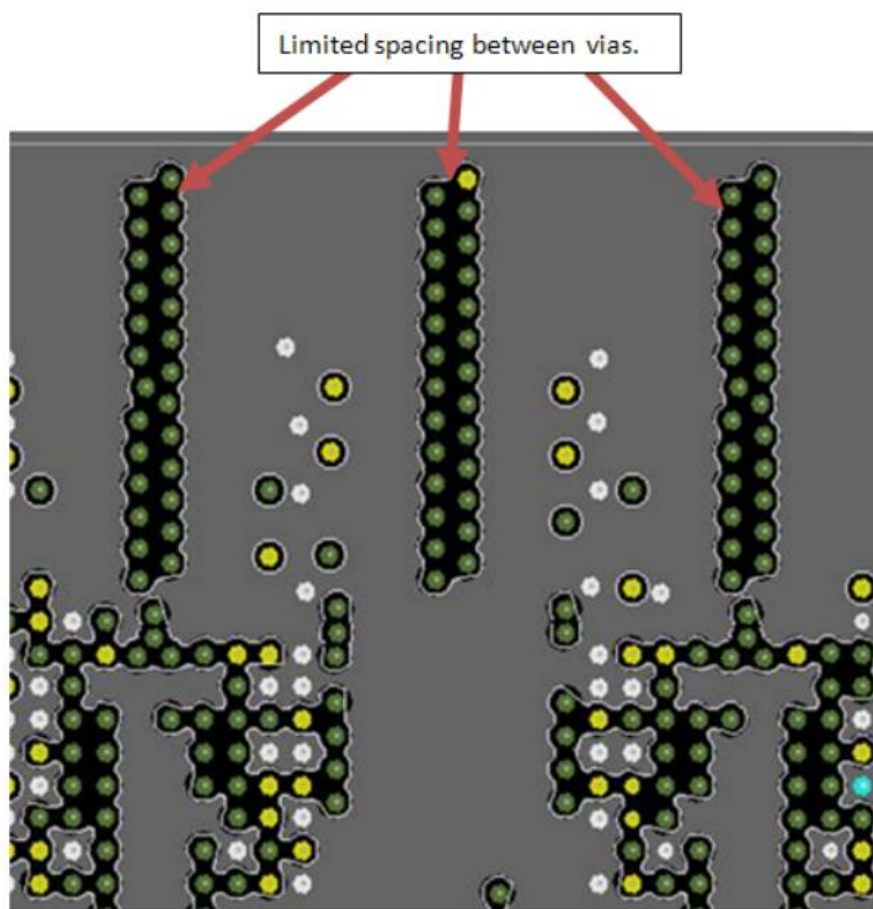


图 19 平面层不合理设计 1

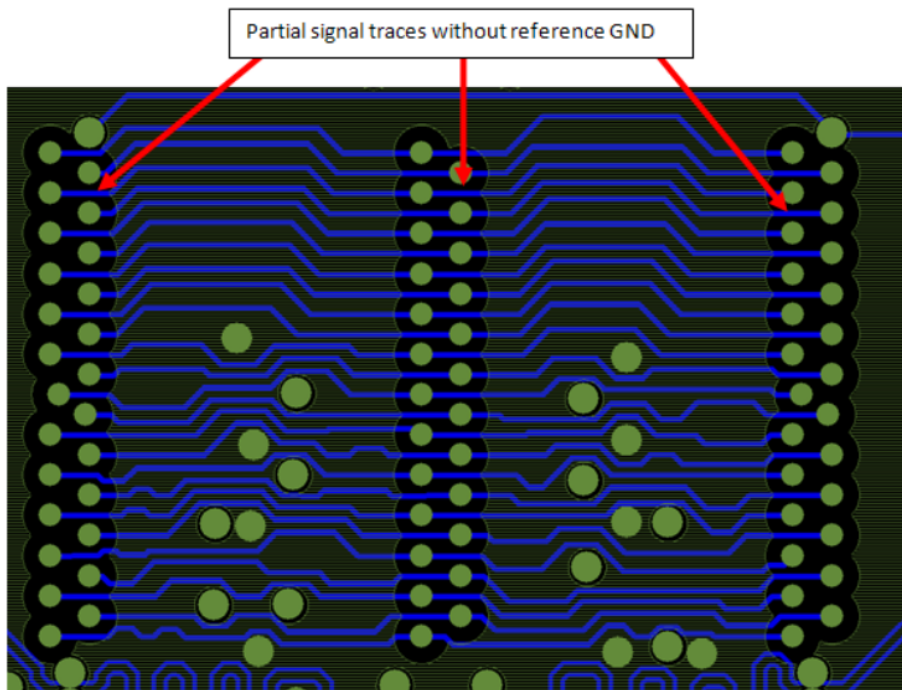


图 20 平面层不合理设计 2

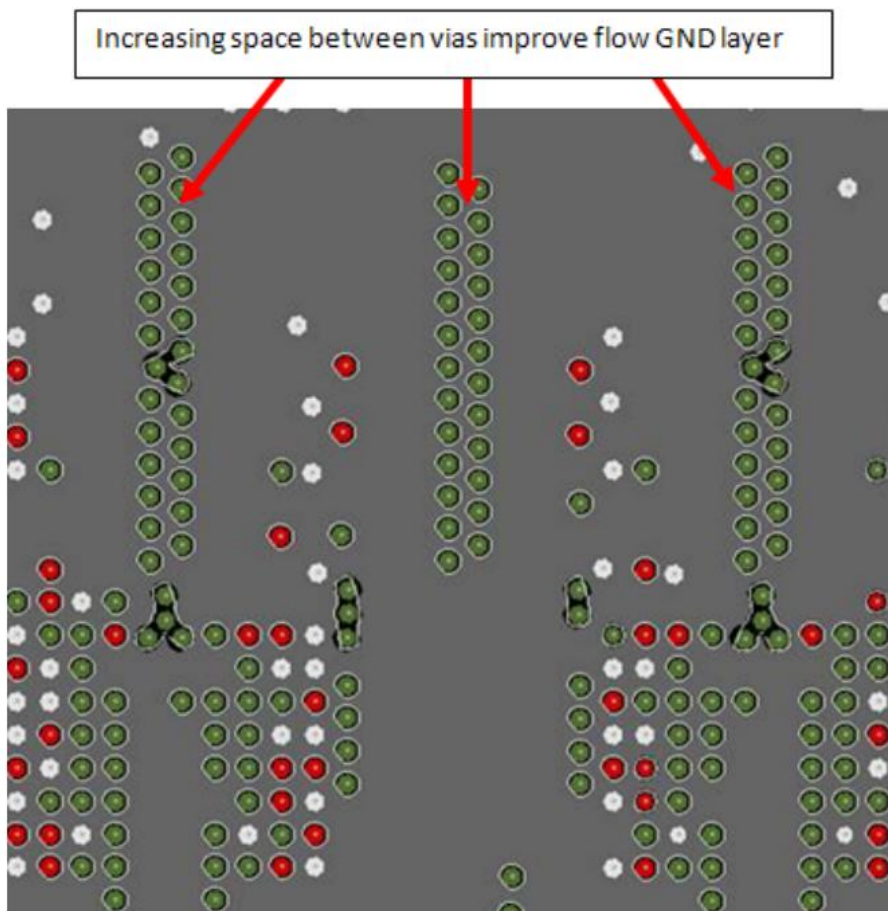


图 21 平面层合理设计 1

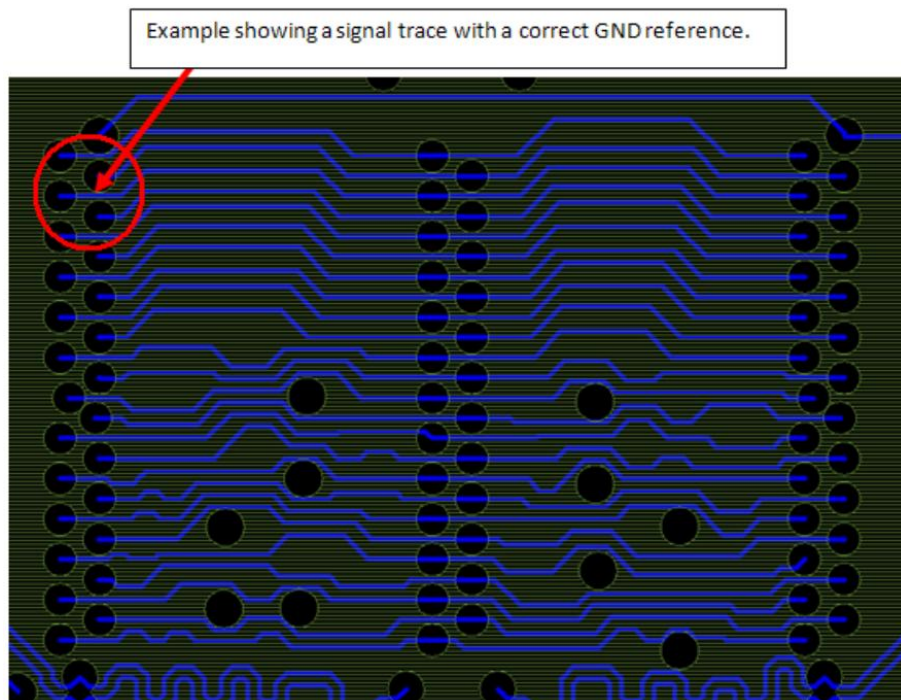


图 22 平面层不合理设计 2

7. DDR POWER 布线建议

VREF 布线建议罗列如下：

- 去耦电容到目标引脚的走线保证 30mil（含 30mil）以上。
- VREF 网络与其他网络的的距离应保证 25mil 以上。
- 如果有条件进行包地处理。
- 尽量多的应用去耦电容，例如 0.22uF，并且尽量靠近 CPU 或 DDR 的 VREF 引脚。
- VREF 源端放置一个 1.0uF 电容，CPU 和 DDR 间折中放置一个 1.0uF 电容。

VTT（DDR_VTT）布线建议罗列如下，图 23 / 24 / 25 是 VTT 原理图：

- 在总线末端放置终端电阻，在电阻末端布 VTT 电源线。
- VTT 走线（最好用局部电源铜皮）要做够宽，保证载流能力。
- VTT 电源芯片尽量靠近终端电阻，减小回路消耗。
- 每四个信号间方式 1 个或 2 个 0.1uF 去耦电容，减小对 VTT 的干扰。
- VTT 电源走线（或铜皮）处应放置 10~22uF 的大电容，且保证 2 个以上。

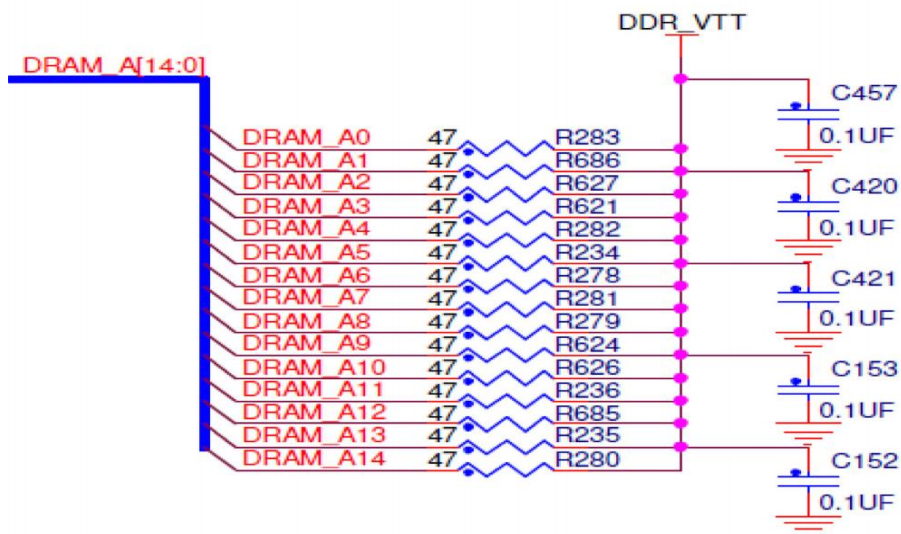


图 23DDR_VTT 终端电阻及去耦电容原理图 1

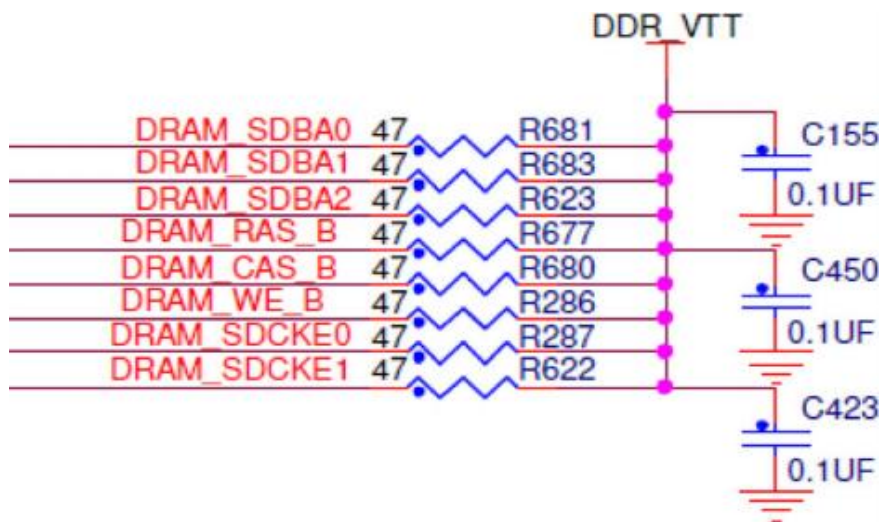


图 24DDR_VTT 终端电阻及去耦电容原理图 2

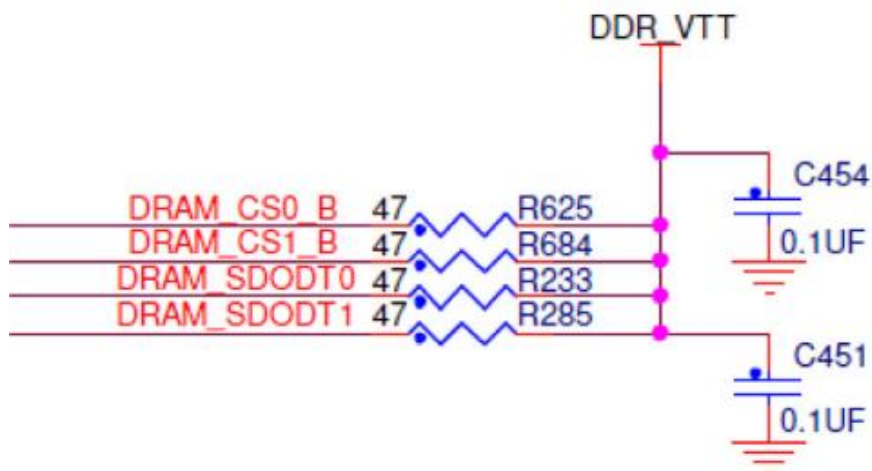


图 25DDR_VTT 终端电阻及去耦电容原理图 3

8. 参考

Hardware Development Guide for i.MX 6Quad, 6Dual, 6DualLite, 6Solo Families of Applications Processors

9. 声明

上述文档出自 中为电子科技工作室 仅用于技术交流
isMain elec tech studio