

手册

特点

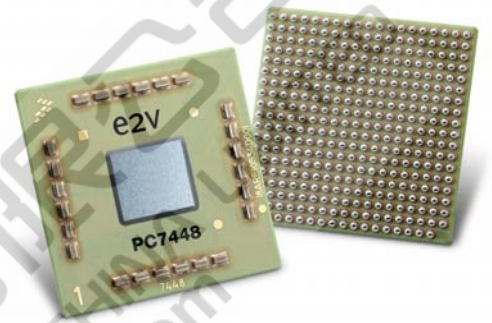
- 1.3GHz时3000 dhrystone 2.1 MIPS
- 可选择的总线时钟 (30 CPU总线分频器, 最高达28x)
- 可选择的MPx/60x 接口电压 (1.5V; 1.8V; 2.5V)
- 1.25GHz, Vdd = 1.1V时Pd典型值10W
全工作条件
- Nap, Doze和Sleep省电模式
- 超标量 (每个时钟周期获取四个指令)
- 4G直接寻址范围
- 虚拟内存: 4 Hexabytes
- 64-bit数据和36-bit地址总线接口
- 集成的1级缓存: 32KB指令缓存和32KB数据缓存
- 集成的2级缓存: 1MB带ECC
- 11个独立执行单元和3个寄存器文件
- Write-back和Write-through操作
- $f_{INT} \text{ Max} = 1267 \text{ MHz}$
- $f_{BUS} \text{ Max} = 133 \text{ MHz}/166 \text{ MHz and } 200 \text{ MHz}$

描述

这篇文档主要适用于PowerPC PC7448。PC7448是一种PowerPC精简指令集 (RISC) 的微处理器。本文介绍PC7448的相关电气和物理特性。具体的PC7448 part number, 请参考第49页的订货信息。关于处理器的功能参数, 请参考PC7450 RISC微处理器参考手册。

筛选

- 全军温范围 ($T_C = -55^\circ \text{C}$, $T_J = +125^\circ \text{C}$)
- 工业温度范围 ($T_C = -40^\circ \text{C}$, $T_J = +110^\circ \text{C}$)



1. 概述

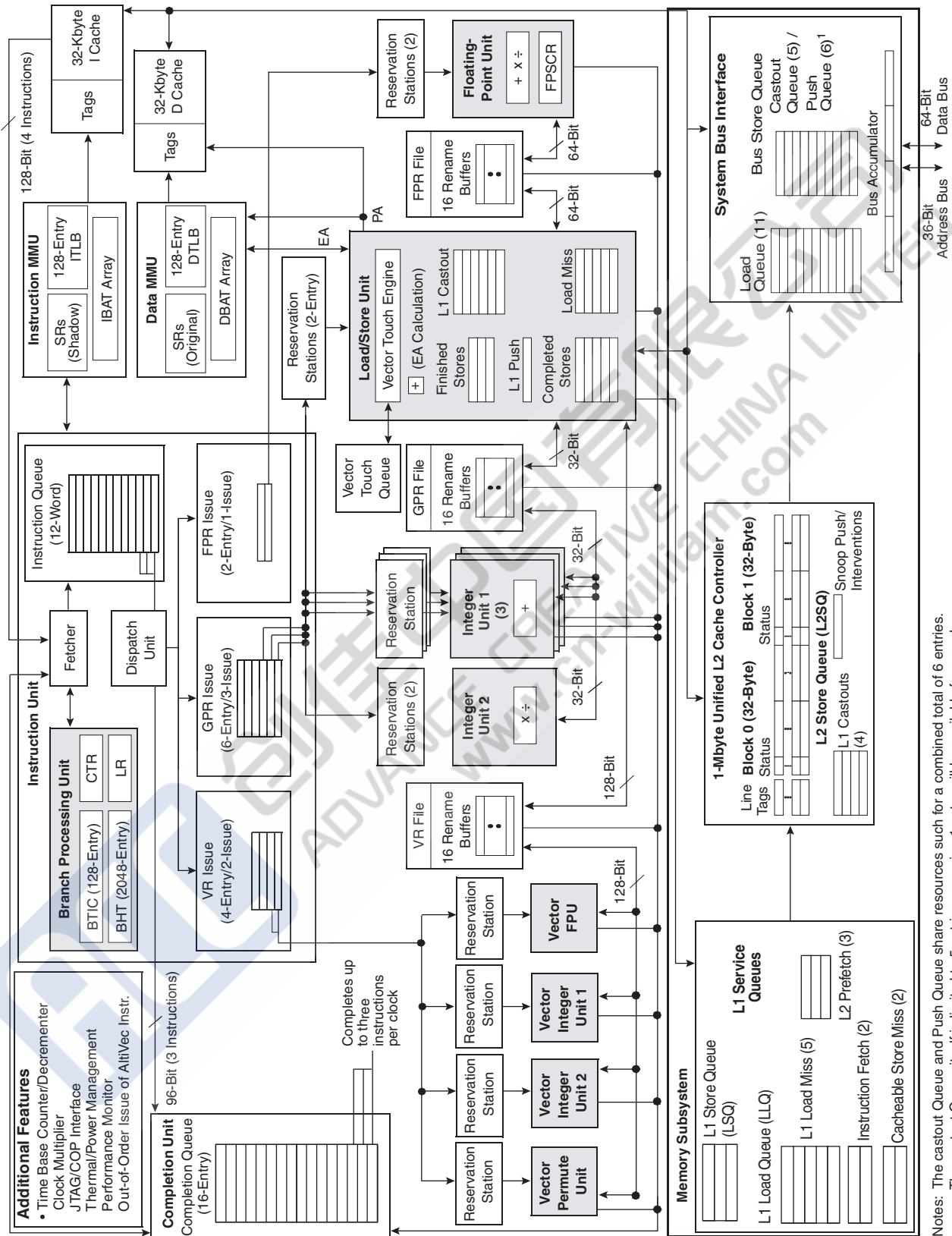
PC7448是Freescale第四代(G4)微处理器系列的第6个产品。

PC7448实现了完全的PowerPC 32位架构，针对网络和计算机系统应用。PC7448包含一个处理器核心和1Mbyte的二级缓存。

Figure 1-1 on page 3 是PC7448的模块图。核心部分是一个高性能的超标量设计模块，支持双精度浮点运算单元和SIMD多媒体单元。

存储器子系统支持MPX总线协议和60x主存总线协议子集以及其他的系统资源。

Figure 1-1. PC7448 Block Diagram



注意只要核心电压相同，PC7448和PC7447A是封装兼容，可以替换的。

2. 特点

这一节概述了PowerPC架构的PC7448实现的特点。

PC7448主要特点有：

- 高性能，超标量微处理器
 - 一次可从指令缓存获取多达四条指令
 - 最多同时可以将三条指令和一条分支指令发送给任务队列
 - 指令队列里最多12条指令
 - 同一时刻最多16条指令可以处在同一个执行阶段
 - 大多数指令都是单周期指令
 - 对大多数指令而言，都是一个时钟周期一条指令的吞吐量
 - 七级管线控制
- 11个独立的执行单元和3个寄存器文件
 - 分支处理单元（BPU），静态和动态分支预测
 - 128入口（32组，四路组相连）分支目标指令缓存(BTIC)，一个用于已经遇到分支/循环代码序列的分支指令缓存。如果一条目标指令在BTIC中，在它在指令缓存中有效前一个周期就被放入指令队列。典型地，BTIC的一次获取可以提供目标流中的前四条指令
 - 2048入口分支历史表（BHT），每个入口带有2bits，4级预测：未取得，强未取得，取得，强取得。
 - 多达3个优预测分支
 - 不更新CTR和LR的分支指令会从指令流中移除
 - 8入口链接寄存器栈，预测bclr指令的目标地址

四个IU，共享32个整型操作数GPR

- 三个相同的IU(IU1a, IU1b, IU1c)可以执行几乎所有的整型指令，除了乘法、除法和移入移出特殊寄存器指令
- IU2执行其他的指令，包括CR逻辑操作，整数乘法和除法，和移入/移除特殊寄存器指令

五级FPU和32入口FPR文件

- 全部IEEE 754-1985 - 对单精度和双精度操作都兼容的FPU
- 对时间相关的指令支持非IEEE模式
- 硬件支持非规范数
- 32个 64bits的FPR，支持单精度和双精度操作数

四个矢量单元和32入口矢量寄存器文件(VRs)

- 矢量交换单元(VPU)
- VIU1处理短延时的AltiVec整型指令，比如矢量加指令（例如，vaddsbs, vaddshs和vaddsws)
- VIU2处理长延时的AltiVec整型指令，比如矢量乘加指令（比如，vmhaddshs, vmhraddshs和vmladduhm)
- 矢量浮点单元 (VFPU)

三阶段载入/存储单元 (LSU)

- 支持整型，浮点和矢量指令载入/存储
- 四入口矢量触摸队列 (VTQ)支持所有AltiVec数据流操作
- 三周期GPR和AltiVec载入延时（字节，半字，字，矢量），一周周期吞吐量
- 四周期FPR载入延时（单，双），一周周期吞吐量
- 对双精度数的未对齐的边界读取不会产生额外的延时
- 专用的加法器计算有效地址 (EAs)
- 支持存储收集
- 浮点数的对齐，归一，精度转换
- 缓存控制和TLB指令
- 整型数的对齐，补零和符号位扩展
- 支持丢失统计（多位丢失）
- 支持大端和小端模式，包括非对齐的小端访问
- 三个问题队列，FIQ, VIQ和GIQ，可以在一个周期内分别接受1条，2条和3条指令。指令分配需要：

指令只能从最低的三个入口，IQ0, IQ1和IQ2中分派

每个时钟周期最多分派三条指令给队列

CQ里必须要给分派的指令留有空间（包括在CQ中分配空间却不在队列里的指令）

• Rename buffers 换名缓冲器

16个GPR换名缓冲器

16个FPR换名缓冲器

16个VR换名缓冲器

• 分派单元

解码/分派阶段完全对每条指令解码

• 完成单元

当所有之前的指令都完成，本指令完成执行，没有中断挂起时，从16入口CQ中收回这条指令
保证连续编程模式（精确中断模式）

监控所有分配的指令，按顺序收回

跟踪未解决的分支程序，在预测错误的程序分支之后刷新指令

每个时钟周期回收最多3条指令

- 分开的片上一级指令和数据缓存（哈弗架构）

32K字节，8路联合处理指令和输出缓存

伪PLRU替换算法

32字节（8字）一级缓存块

物理索引/物理标签

每一页和每一块上的缓存写回和写穿的可编程操作

每个时钟周期指令缓存可以提供4条指令；每个时钟周期数据缓存可以提供4个字

缓存可在软件中被禁用

缓存可在软件中被锁定

硬件维持的MESI数据缓存相关

对有效窥探的分开的数据缓存标签拷贝

支持一级缓存，二级缓存和二级标签的奇偶校验

指令缓存没有窥探，除了icbi指令

数据缓存支持AltiVec LRU和瞬变指令

根据需要执行关键双和/或四字转发。关键四字转发用于AltiVec载入和指令获取。其它存取使用关键双字转发。

- 二级缓存接口

片上1M字节8路联合并行处理指令和数据缓存

基于每页或者每块的缓存写回或写穿可编程操作

缓存标签的奇偶校验支持

对数据的ECC和奇偶校验支持

错误注入允许测试错误恢复软件

- 对指令和数据分开的MMU

52-bit虚拟地址，32-或36-bit的物理地址

对4k字节页，可变大小块和256M字节段的地址翻译

基于页和块的写回/写穿操作，缓存禁止/允许，存储器强制一致性/非强制一致性都可编程

分立的IBATs和DBATs，也叫做SPRs

分开的指令和数据TLBs

– 两个TLBs都是128入口，两路联合并行处理，使用LRU替换算法

– TLBs是硬件或者软件可重载的（即一个页表的搜索在硬件或者系统软件的一个TLB miss中执行）

- 有效的数据流

虽然VR/LSU接口是128bit的，L1/L2总线的接口允许到256bit

一级数据缓存是完全管线化，提供128bits/cycle进或出VRs

二级缓存是完全管线化的，每隔一个周期给一级缓存提供32字节

最多16个乱序的任务可以放在MPX总线上

对于同样的线上的写失效使用写融合技术。只有写失效的一致性操作融合到缓存块的所有的32字节（没有数据期限限制）

在LSU和L1数据缓存之间的三入口完成存储队列和五入口完成存储队列

分立的额外队列，对L1数据缓存和L2缓存中的越界数据进行有效缓冲

- 多处理支持特性，包括：

数据缓存的硬件强制，MESI缓存一致性协议

对原子存储引用，信号量，和其他的多处理器操作，使用保留指令对进行载入和存储

- 电源和散热管理

动态频率切换（DFS）特性允许处理器核心频率通过软件减半或者变为四分之一，以降低功耗系统可用以下三种节能模式：

- 小睡：指令获取暂停。只有主时基，减法器 and JTAG 运行。芯片进入doze状态，在总线上进行存储器snoop操作，然后使用QREQ/QACK处理器系统握手协议返回小睡模式
- 睡眠：通过禁用总线snooping进一步减少功耗，只剩下PLL在锁定和运行状态。所有内部的功能单元都被禁用。
- 深度睡眠：当芯片在深度睡眠模式时，系统可以禁用PLL。系统也可以禁用SYSCLK源，更加节能。芯片重启后的上电复位步骤和重新锁定PLL必须在退出深度睡眠模式之后执行。

指令缓存阀门调节提供了对取指令的控制，限制了器件的温升

温度二极管测得处理器的温升，决定是否降额以降低功耗

- 性能监控用来帮助调试系统设计和提高软件效率
- 通过JTAG边界扫描进行在系统测试和调试
- 测试

LSSD扫描测试

IEEE 1149.1 JTAG 接口

- 可靠性和可服务性

系统总线的奇偶校验

L2数据的ECC或者奇偶校验

3. 和PC7447A以及PC7447的比较

表格3-1比较了PC7448的关键特点和早起的PC7447A以及PC7447的关键特点。这三种型号都是基于PC7450 RISC微处理器，架构非常类似。PC7448和PC7447A类似，而且PC7448支持1M字节的带ECC的L2缓存和更多总线-核心比的动态频率切换(DFS)。

Table 3-1. 微架构比较

微架构参数	PC7448	PC7447A	PC7447
基本管线功能			
每个周期的逻辑反转		18	
执行的管线级数		5	
总管线级数 (最小)		7	
管线最大指令吞吐量		3 + 分支	
管线资源			
指令缓冲大小		12	
完成缓冲大小		16	
重命名 (整型, 浮点, 矢量)		16, 16, 16	
最大执行吞吐量			
SFX		3	
矢量		2 (any 2 of 4 units)	
标量浮点		1	
执行队列里的乱序窗口尺寸			
SFX整型单元		1 entry × 3 queues	
矢量单元		In order, 4 queues	
标量浮点单元		In order	
分支处理资源			
预测结构		BTIC, BHT, link stack	
BTIC尺寸, 结合性		128-entry, 4-way	
BHT尺寸		2K-entry	
链栈深度		8	
未决分支支持		3	
分支惩罚 (BTIC hit)		1	
最小误预测惩罚		6	
执行单元时序 (延迟-吞吐量)			
对齐载入 (整型, 浮点, 矢量)		3-1, 4-1, 3-1	
非对齐载入 (整型, 浮点, 矢量)		4-2, 5-2, 4-2	
L1丢失, L2命中延迟, 带ECC(数据/指令)	12/16		—
L1丢失, L2命中延迟, 不带ECC(数据/指令)	11/15		9/13
SFX (add, sub, shift, rot, cmp, logicals)		1-1	

Table 3-1. 微架构比较（续）

微架构参数	PC7448	PC7447A	PC7447
整数乘法(32 ×8, 32 ×16, 32 ×32)	4-1, 4-1, 5-2		
标量浮点	5-1		
VSFX (矢量简单)	1-1		
VCFX (矢量复杂)	4-1		
VFPU (矢量浮点)	4-1		
VPER (矢量排列)	2-1		
MMUs			
TLBs (指令和数据)	128-entry, 2-way		
Tablewalk机制	Hardware + software		
指令BATs/数据BATs	8/8		
L1 I缓存/D缓存特点			
尺寸	32K/32K		
结合性	8-way		
锁定间隔	Way		
I缓存的奇偶校验	Word		
D缓存的奇偶校验	Byte		
D缓存丢失数（载入/存储）	5/2	5/1	
数据流触摸引擎	4 streams		
片上缓存特性			
缓存等级	L2		
尺寸/结合性	1-Mbyte/ 8-way	512-Kbyte/8-way	
访问宽度	256 bits		
32字节区/线数目	2	2	
奇偶标签	Byte	Byte	
奇偶数据	Byte	Byte	
数据ECC	64 bits	—	
热控制			
动态频率切换二分模式	Yes	Yes	No
动态频率切换四分模式	Yes	No	No
热二极管	Yes	Yes	No

4. 基本参数

下面的表格总结了PC7448的基本参数

Table 4-1. 器件参数

参数	描述
工艺	90nm CMOS SOI, 9层金属
裸片尺寸	8 mm × 7.3 mm
晶体管数	90 million
逻辑设计	混合静态和动态
封装	表面贴装360陶瓷球网格阵列 (HiTCE) 表面贴装360陶瓷land网格阵列 (HiTCE) RoHS HiTCE LGA 表面贴装360陶瓷球网格阵列, 带无铅球 (HiTCE) = RoHS
核心电压	1.1V ± 50 mV (1250 MHz) 1.05V ± 50 mV (1267 MHz) 1.0V ± 50 mV (1000 MHz)
I/O电压	1.5V ± 5% DC, or 1.8V ± 5% DC, or 2.5V ± 5% DC

5. 电气和热参数

本节介绍了PC7448的AC和DC电气参数和热参数。

5.1 详细规格

规格描述了PC7448兼容e2v标准筛选的特别需求。

5.2 应用文档

- 1. MIL-STD-883: 电子测试方法和流程
微电路兼容这里介绍的相关应用文档。

5.3 DC电气参数

本节的表格描述了PC7448直流电气参数。表格5-1提供了绝对最大值。

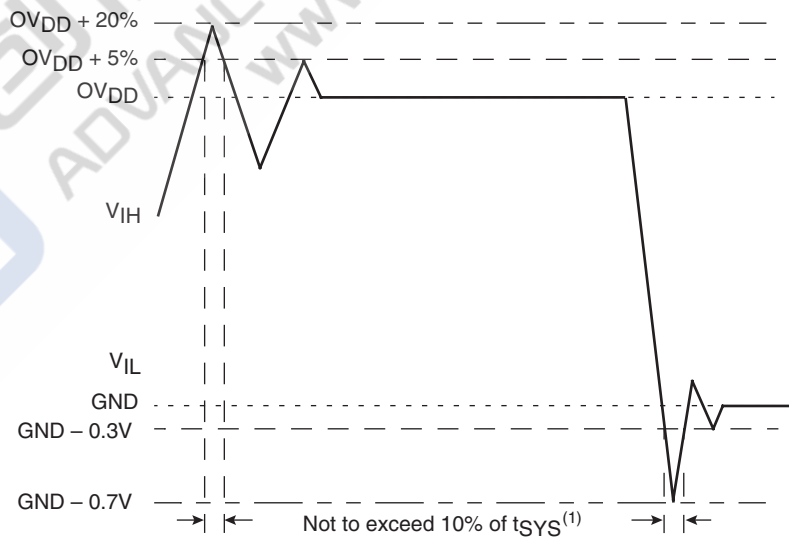
Table 5-1. 绝对最大值

参数		符号	最大值	单位	注释
核心供电电压		V_{DD}	-0.3 to 1.4	V	(2)
PLL供电电压		AV_{DD}	-0.3 to 1.4	V	(2)
处理器总线供电电压	I/O电压模式 = 1.5V	OV_{DD}	-0.3 to 1.8	V	(3)
	I/O电压模式 = 1.8V		-0.3 to 2.2		(3)
	I/O电压模式 = 2.5V		-0.3 to 3.0		(3)
输入电压	处理器总线	V_{IN}	-0.3 to $OV_{DD} + 0.3$	V	(4)
	JTAG信号	V_{IN}	-0.3 to $OV_{DD} + 0.3$	V	
存储温度范围		T_{stg}	-65 to 150	°C	

- 注意：
- 1. 功能和测试条件在12页的表格5-3中给出。
绝对最大值只是压力测试等级，无法保证在最大值时的功能性完好。超过最大值的使用可能会影响器件的可靠性，导致永久性损坏。
 - 2. 关于上电顺序呢，参考33页9.2节“电源设计和顺序”。
 - 3. 总线必须被配置以符合I/O电压模式；参考12页表格5-2。

Figure 5-1 PC7448的电压过冲和负尖峰

Figure 5-1. 过冲和负尖峰电压



PC7448提供一些IO电压，兼容现有系统和将来移植到其他系统。PC7448的核心电压必须为额定电压（见12页表5-3）或者支持的较低的电压（见22页5.5节“降低电压和频率”）。

每条总线的输入电压阈值根据在HRESET为负时采样电压选择脚的状态来选择。

输出电压会在GND到OV_{DD}电源脚的最大电压值之间波动。12页的表格5-2提供了输入电压阈值的设置。因为这些设置在今后的产品中可能会变化，我们推荐使用电阻、跳线或者其他灵活的方法配置BVSEL[0:1]，在今后如果需要可以重新配置。

Table 5-2. 输入阈值电压设置

BVSEL0	BVSEL1	I/O Voltage Mode ⁽¹⁾	Notes
0	0	1.8V	(2)(3)
0	1	2.5V	(2)(4)
1	0	1.5V	(2)
1	1	2.5V	(4)

- 注意：
1. 小心：I/O电压模式选择必须和OV_{DD}供电一致。参考表格5-3。
 2. 如果使用下拉电阻，下拉电阻的值应该小于250 Ω。
 3. 用于选择1.8V模式的PC7448 pin脚配置和PC7447A或者更早的器件不兼容。
 4. 用于选择2.5V模式的PC7448 pin脚配置和PC7447A或更早的器件完全兼容。

Table 5-3 提供了PC7448的推荐使用情况。

注意：表格5-3描述了器件的标称使用情况。关于器件在支持的核心电压值工作的情况，请参考22页的5.5节“降压和降频”。

Table 5-3. 推荐使用情况⁽¹⁾

参数		符号	推荐值						单位	注意
			1000 MHz		1250 MHz		1267 MHz			
			Min	Max	Min	Max	Min	Max		
核心供电电压		V _{DD}	1.0V ± 50 mV		1.1V ± 50 mV		1.05V ± 50 mV		V	(3)
PLL供电电压		AV _{DD}	1.0V ± 50 mV		1.1V ± 50 mV		1.05V ± 50 mV		V	(2)(3)
处理器 总线供电电压	I/O电压 模式 = 1.5V	OV _{DD}	1.5V ± 5%						V	(4)
	I/O电压 模式 = 1.8V		1.8V ± 5%							(4)
	I/O电压 模式 = 2.5V		2.5V ± 5%							(4)
输入电压	处理器总线	V _{IN}	GND	OV _{DD}	GND	OV _{DD}	GND	OV _{DD}	V	
	JTAG信号	V _{IN}	GND	OV _{DD}	GND	OV _{DD}	GND	OV _{DD}		
工作温度		T _J	T _C = -55	T _J = +125	T _C = -55	T _J = +125	T _C = -55	T _J = +125	°C	

- 注意：1. 这些是推荐和测试的工作情况。而且，这些器件也支持降压使用。请参考22页的5.5节“降压和降频”。如果超出了这些和22页5.5节的参数规定，无法保证器件正常工作。
2. 这电压是35页9.2.2节“PLL供电滤波”讨论的滤波器的输入电压，不一定是AVdd脚的电压，AVdd脚的电压可能经过滤波器衰减，比Vdd小。
3. 如果限制了最大核心频率，Vdd和AVdd可能会降低以降低功耗。参考22页5.5节“降压和降频”。
4. 小心：必须满足规定的上电顺序；参考33页9.2节“电源设计和上电顺序”。
5. 关于电源瞬变，请参考35页9.2.3节“瞬变参数”。

Table 5-4 提供了PC7448的封装热参数。更多关于热管理的内容，请参考9.8节“热管理信息”。

Table 5-4. 封装热参数⁽¹⁾

参数	符号	值	单位	注释
节到环境热阻，自然对流，单层（1s）板	$R_{\theta JA}$	26	°C/W	(2)(3)
节到环境热阻，自然对流，四层（2s2p）板	$R_{\theta JMA}$	19	°C/W	(2)(4)
节到环境热阻，200 ft./min. 空气流动，单层（1s）板	$R_{\theta JMA}$	22	°C/W	(2)(4)
节到环境热阻，200 ft./min. 空气流动，四层（2s2p）板	$R_{\theta JMA}$	16	°C/W	(2)(4)
节到环境热阻	$R_{\theta JB}$	11	°C/W	(5)
节到环境热阻	$R_{\theta JC}$	< 0.1	°C/W	(6)

- 注释：1. 关于热管理的详细信息，请参考9.8节“热管理信息”。
2. 影响结温的因素有：器件功耗，封装热阻，安装点（板子）温度，环境温度，空气流动，板上其他器件的功耗和板子的热阻。
3. 单层水平板Per JEDEC JESD51-2
4. 垂直板Per JEDEC JESD51-6
5. 在硅片和印制电路板间的热阻根据JEDEC JESD51-8。板子的温度在封装边的板子顶层测得。
6. 这是硅片和顶部外壳之间的热阻，按照MIL SPEC-883 Method 1012.1规定的方法测得。 $R_{\theta JC}$ 的实际值小于0.1 °C/W。

Table 5-5 提供了PC7448的直流电气参数

Table 5-5. 直流电气参数（关于推荐的工作条件，请参考12页表格5-3）

参数	标称总线电压 ⁽¹⁾	符号	最小	最大	单位	注释
输入高电平（所有输入）	1.5	V_{IH}	$OV_{DD} \times 0.65$	$OV_{DD} + 0.3$	V	(2)
	1.8		$OV_{DD} \times 0.65$	$OV_{DD} + 0.3$		
	2.5		1.7	$OV_{DD} + 0.3$		
输入低电平（所有输入）	1.5	V_{IL}	-0.3	$OV_{DD} \times 0.35$	V	(2)
	1.8		-0.3	$OV_{DD} \times 0.35$		
	2.5		-0.3	0.7		

Table 5-5. 直流电气参数（关于推荐的工作条件，请参考12页表格5-3）

参数	标称总线电压 ⁽¹⁾	符号	最小	最大	单位	注释
输入漏电流, $V_{IN} = GV_{DD}/O_{DD}$ $V_{IN} = GND$	—	I_{IN}	—	50 -50	μA	(2)(3)
高阻（截止）态漏电流, $V_{IN} = GV_{DD}/O_{DD}$ $V_{IN} = GND$	—	I_{TSI}	—	50 -50	μA	(2)(3)(4)
输出高电平 at $I_{OH} = -5\text{ mA}$	1.5	V_{OH}	$OV_{DD} - 0.45$	—	V	
	1.8		$OV_{DD} - 0.45$	—		
	2.5		1.8	—		
输出低电平 at $I_{OL} = 5\text{ mA}$	1.5	V_{OL}	—	0.45	V	
	1.8		—	0.45		
	2.5		—	0.6		
电容, $V_{IN} = 0V, f = 1\text{ MHz}$	所有输入	C_{IN}	—	8	pF	(5)

- 注释：
1. 标称电压；参考表格5-3推荐使用条件。
 2. 所有I/O信号都参考 OV_{DD} 。
 3. 排除测试信号和IEEE 1149.1边界扫描(JTAG)信号。
 4. 漏电流是测量标称 OV_{dd}/GV_{dd} 和 V_{dd} ，或者 OV_{dd}/GV_{dd} 和 V_{dd} 必须在同一个方向变化（例如， OV_{dd} 和 V_{dd} 变化+5%或-5%）。
 5. 电容是周期性采样测得，并不是100%经过测试。

表格5-6提供了PC7448的功耗；更多信息请参考第10节“订货信息”。关于动态频率切换使能时的功耗信息，请参考47页9.7.5节“动态频率切换（DFS）”。

注意：表格中的功耗信息适用于器件工作在表格5-6规定的标称核心电压。关于降压使用时的功耗信息，请参考22页5.5节“降压和降频”。

Table 5-6. PC7448的功耗

	处理器(CPU) 频率			单位	注释
	1000 MHz	1250 MHz	1267 MHz ⁽⁷⁾		
全功率模式					
典型值	9.5	10	8.4	W	(1)(2)
典型热值	12	12.6	10.3	W	(1)(5)
最大	13.9	14.6	12.0	W	(1)(3)
Nap模式					
典型值	6.5	8.3	6.5	W	(1)(6)
Sleep模式					

Table 5-6. PC7448的功耗 (续)

	处理器 (CPU) 频率			单位	注释
	1000 MHz	1250 MHz	1267 MHz ⁽⁷⁾		
典型值	6.3	8	6.3	W	(1)(6)
Deep Sleep 模式 (PLL 禁用)					
典型值	6	7.7	6.0	W	(1)(6)

- 注释:
- 1. 这些值是核心电压Vdd为标称电压时的功耗，适用于所有可用的总线频率和配置。这些值不包括I/O功耗(OVdd)和PLL功耗 (AVdd)。OVdd功耗依赖于系统但是典型值<5% Vdd功耗。最坏情况下AVdd功耗小于13mW。
 - 2. 典型功耗是在标称推荐Vdd（参考12页表格5-3），65度时，工作在Dhrystone 2.1 benchmark和达到2.3 Dhrystone MIPS/MHz时的平均值。
 - 3. 最大功耗是在标称电压Vdd, 结温125度，使用全部缓存，使用特定设计的指令使执行单元最忙碌时测得的平均值。
 - 4. Doze模式不是一种用户定义的状态，它是一种介于全功率模式和nap或者sleep模式之间的状态，功耗没有测试过。
 - 5. 典型热功耗是在标称推荐Vdd（参考12页表格5-3），105度时，工作在Dhrystone 2.1 benchmark和达到2.3 Dhrystone MIPS/MHz时的平均值。这个参数并没有100%测试过，而是周期性采样测得。
 - 6. 这些模式的典型功耗是在标称推荐电压Vdd（参考12页表格5-3），105度时测得。这个参数并没有100%测试过，而是周期性采样测得。
 - 7. 1267MHz的器件功耗通过测试和筛选在内部限制，以保证低功耗。

5.4 交流电气参数

这节提供PC7448的交流电气参数。在制造完成后，功能良好的器件按照最大处理器核心频率排序，如"时钟交流规格"所示，然后测试给定频率下的交流特性一致性。处理器核心电压，由总线 (SYSCLK)频率和PLL_CFG[0:5]信号设置决定，可以由动态频率切换(DFS)动态改变。器件卖出时，处理器核心频率设置为最大。参考47页9.7.5节“动态频率切换 (DFS)"。

5.4.1 时钟交流规格

16页的表格5-7提供了PC7448的时钟交流规格。

注意: 表格中的核心频率信息适用于工作在12页表格5-3规定的标称核心电压值时的器件。对于降压使用时的核心频率信息，请参考22页5.5节“降压和降频使用”。

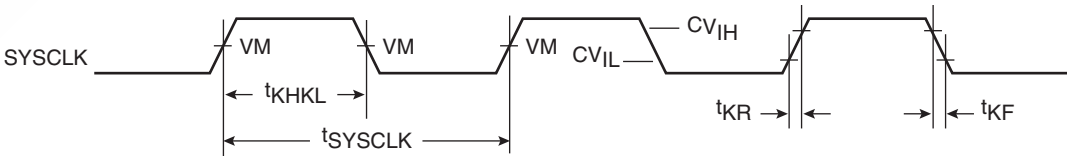
Table 5-7. 交流时钟规格（在推荐的工作条件时，参考12页表格5-3）

参数		符号	最大处理器核心频率						单位	注释
			1000 MHz		1250 MHz		1267 MHz			
			Min	Max	Min	Max	Min	Max		
处理器频率	DFS模式禁用	f _{CORE}	500	1000	500	1250	500	1267	MHz	(1)(8)(9)
	DFS模式使能	f _{CORE-DFS}	250	500	250	625	250	633		(10)
VCO频率		f _{VCO}	500	1000	500	1250	500	1267	MHz	(1)(9)
SYSCLK频率		f _{SYSCLK}	33	200	33	200	33	200	MHz	(1)(2)(8)
SYSCK周期时间		t _{SYSCLK}	5	30	5	30	5	30	ns	(2)
SYSCLK上升和下降时间		t _{KR} , t _{KF}	—	0.5	—	0.5	—	0.5	ns	(3)
SYSCLK在OV _{DD} /2时的占空比		t _{KHKL} /t _{SYSCLK}	40	60	40	60	40	60	%	(4)
SYSCLK周期间抖动			—	150	—	150	—	150	ps	(5)(6)

- 注释： 1. 注意：SYSCLK频率和PLL_CFG[0:5]设置必须使得SYSCLK（总线）频率，处理器核心频率和PLL(VCO)频率不超过它们的最大工作频率和最小工作频率。关于可用的PLL_CFG[0:5]设置，请参考31页9.1.1节“PLL配置”中关于PLL_CFG[0:5]的描述。
2. 实际的最大系统总线频率是依赖于系统的。参考15页5.4.1节“交流时钟规格”。
3. SYSCLK输入的上升和下降时间从0.4到1.4V测量。
4. 时序由设计和特性保证。
5. 由设计保证。
6. SYSCLK驱动的闭环抖动带宽在-3dB时小于1.5MHz，
7. 时序重锁定由设计和特性保证。PLL重锁定时间是在上电复位的过程中，在V_{dd}和SYSCLK稳定之后，PLL锁定需要的最大时间。这个规格也适用于睡眠模式中PLL被禁用然后被重使能的情况。同时要注意，在上电复位过程中，在PLL重锁定时间之后，HRESET必须保持有效最小255个总线时钟。
8. 这里说明的是动态频率切换（DFS）禁用时的最大和最小核心频率。f_{CORE-DFS} 提供了工作在DFS模式时的最大和最小核心频率。
9. 注意：这些数值指明了当器件工作在标称电压时的最大核心和VCO频率。如果降压使用，处理器核心和VCO频率会降低。更多内容，参考22页5.5节“降压和降频”。
10. 支持使用动态频率切换(DFS)特性，仅适用于一种DFS模式（2分或4分）使能。当DFS被禁用，核心频率必须符合f_{CORE}的最大和最小频率状态。
11. 使用DFS不会影响VCO频率。

图5-2提供了SYSCLK输入的时序图。

Figure 5-2. SYSCLK Input 时序图



Note: V_M = Midpoint Voltage (OV_{DD}/2)

5.4.2 处理器总线交流规格

表格5-8提供了PC7448的处理器总线交流规格，其在18页图5-3和5-4中有定义。

Table 5-8. 处理器总线交流时序规格（在推荐工作条件时，参考12页表格5-3）

参数	符号 ⁽²⁾	所有速度级别		单位	注释
		最小	最大		
输入建立时间: A[0:35], AP[0:4] D[0:63], DP[0:7] AACK, ARTRY, $\overline{\text{BG}}$, $\overline{\text{CKSTP_IN}}$, $\overline{\text{DBG}}$, DTI[0:3], $\overline{\text{GBL}}$, TT[0:3], $\overline{\text{QACK}}$, $\overline{\text{TA}}$, TBEN, $\overline{\text{TEA}}$, $\overline{\text{TS}}$, EXT_QUAL, PMON_IN, SHD[0:1], $\overline{\text{BMODE}}$ [0:1], BVSEL[0:1]	t_{AVKH} t_{DVKH} t_{IVKH} t_{MVKH}	1.5 1.5 1.5 1.5	— — — —	ns	— — — (8)
输入保持时间: A[0:35], AP[0:4] D[0:63], DP[0:7] AACK, ARTRY, $\overline{\text{BG}}$, $\overline{\text{CKSTP_IN}}$, $\overline{\text{DBG}}$, DTI[0:3], $\overline{\text{GBL}}$, TT[0:3], $\overline{\text{QACK}}$, $\overline{\text{TA}}$, TBEN, $\overline{\text{TEA}}$, $\overline{\text{TS}}$, EXT_QUAL, PMON_IN, SHD[0:1] $\overline{\text{BMODE}}$ [0:1], BVSEL[0:1]	t_{AXKH} t_{DXKH} t_{IXKH} t_{MXKH}	0 0 0 0	— — — —	ns	— — — (8)
输出有效时间: A[0:35], AP[0:4] D[0:63], DP[0:7] AACK, BR, CI, $\overline{\text{CKSTP_IN}}$, $\overline{\text{DRDY}}$, DTI[0:3], $\overline{\text{GBL}}$, HIT, PMON_OUT, QREQ, TBST, TSIZ[0:2], TT[0:3], $\overline{\text{WT}}$ $\overline{\text{TS}}$ ARTRY, SHD[0:1]	t_{KHAV} t_{KHDV} t_{KHOV} t_{KHTSV} t_{KHARV}	— — — — —	1.8 1.8 1.8 1.8 1.8	ns	
输出保持时间: A[0:35], AP[0:4] D[0:63], DP[0:7] AACK, BR, CI, $\overline{\text{CKSTP_IN}}$, $\overline{\text{DRDY}}$, DTI[0:3], $\overline{\text{GBL}}$, HIT, PMON_OUT, QREQ, TBST, TSIZ[0:2], TT[0:3], $\overline{\text{WT}}$ $\overline{\text{TS}}$, ARTRY, SHD[0:1]	t_{KHAX} t_{KHDX} t_{KHOX} t_{KHTSX} t_{KHARX}	0.5 0.5 0.5 0.5 0.5	— — — — —	ns	
SYSCLK到输出使能	t_{KHoe}	0.5	—	ns	(5)
SYSCLK到输出高阻抗 (所有信号，除了 $\overline{\text{TS}}$, ARTRY, SHD0, SHD1)	t_{KHOZ}	—	1.8	ns	(5)
SYSCLK 到 $\overline{\text{TS}}$ 高阻抗，在预充电后	t_{KHTSPZ}	—	1	t_{SYSCLK}	(3)(4)(5)
最大延迟到 $\overline{\text{ARTRY}}/\text{SHD0}/\text{SHD1}$ 预充电	t_{KHARP}	—	1	t_{SYSCLK}	(3)(5)(6)(7)
SYSCLK 到 $\overline{\text{ARTRY}}/\text{SHD0}/\text{SHD1}$ 高阻抗，在预充电后	t_{KHARPZ}	—	2	t_{SYSCLK}	(3)(5)(6)(7)

注释： 1. 所有输入参数的测量都是从信号的中点开始，到输入SYSCLK的上升沿的中点结束。所有输出参数都是从SYSCLK的上升沿的中点开始，到信号的中点结束。所有输出时序假设一个纯净的50欧负载阻抗（参见18页图5-3）。输入和输出时序在引脚上测量；传递时间延迟必须加上系统中走线的长度，过孔和连接器。

2. 这里的时序参数的符号基于以下规则：对于输入为 $t_{(\text{signal})(\text{state})(\text{reference})(\text{state})}$ ，对于输出为 $t_{(\text{reference})(\text{state})(\text{signal})(\text{state})}$ 。例如， t_{IVKH} 表示输入信号(I)到达稳定状态(V)，相对于SYSCLK参考(K)到达高(H)状态的时间，或输入建立时间。 $t_{\text{KH OV}}$ 表示从SYSCLK(K)到达高(H)状态，直到输出(O)有效(V)的时间，或者输出有效时间。输入保持时间可以理解为，输入信号(I)变为无效(X)，相对于时钟上升沿(KH)（注意输入的参考位置和状态）的时间。输出保持时间可以理解为，从上升沿(KH)到输出变为无效(OX)的时间。
3. t_{SYSCLK} 是外部时钟(SYSCLK)的周期，单位是ns。表格中的数字必须乘以SYSCLK周期以计算出参数的实际时间(单位ns)。
4. 根据总线协议，TS只由有效的总线主机驱动。它在返回高阻态之前，会变为低电平并且预充电至高电平，如19页图5-5所示。TS的典型预充电宽度是 t_{SYSCLK} ，即一个时钟周期。因为在接下来的时钟沿没有主机能控制TS的电平，不用考虑预充电的竞争问题。输出有效时间和输出保持时间在信号有效时测试。输出有效时间根据预充电测试。高阻态由设计保证。
5. 由设计保证，未测试。
6. 根据总线协议，ARTRY可以被多个总线主机驱动，通过时钟周期后紧跟AACK。总线竞争没有问题，因为任何主机都可以将ARTRY拉为低。任何主机在第一个时钟周期后紧跟AACK后将其拉为低，接着变为高阻态，然后持续一个周期的负值（穿越一个总线周期边界），然后再变为三态。ARTRY的标称预充电宽度是 $1.0 t_{\text{SYSCLK}}$ ；也就是说，在其他主机有机会控制ARTRY之前，它一直是高阻态，如图5-5所示。输出有效时间和输出保持时间在信号有效时测试。高阻态由设计保证。
7. 根据MPX总线协议，SHD0和SHD1在TS和ARTRY相同后的最初两个周期，可以被多个总线主机驱动，也就是说，信号保持高阻态持续一个周期的一部分时间，然后保持负值持续整个周期（穿越一个总线周期边界），然后再变为三态。SHD0和SHD1的典型预充电宽度是 $1.0 t_{\text{SYSCLK}}$ 。预充电的边沿根据可编程的核心对总线比值(PLL配置)有所不同。
8. BMODE[0:1]和BVSEL[0:1]是模式选择脚。BMODE[0:1]在HRESET为负之前和之后采样。BVSEL[0:1]在HRESET为负之前采样。这些参数代表每次采样值的输入建立和保持时间。这些值由设计保证，未经过测试。BMODE[0:1]在第二次采样之后必须保持稳定；BVSEL[0:1]在第一次（而且只有第一次）采样后必须保持稳定。关于采样时序，请参考18页图5-4。

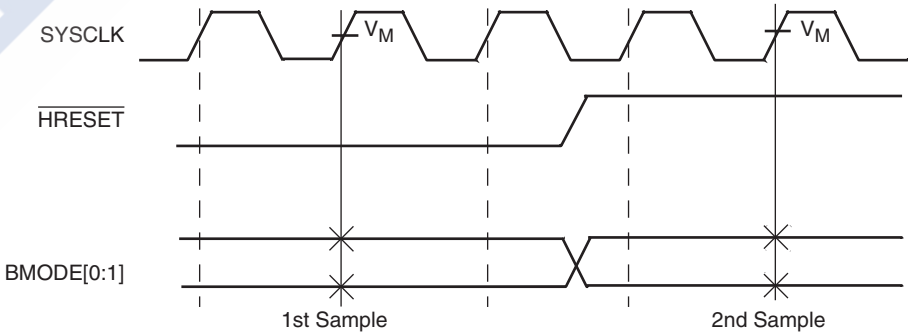
Figure 5-6 提供了PC7448的AC测试负载

Figure 5-3. AC 测试负载



Figure 5-4 提供了PC7448的BMODE[0:1]的输入时序图。这些模式选择脚在HRESET为负值之前和之后采样。

Figure 5-4. BMODE[0:1] 输入采样时序图



注意: V_M = Midpoint Voltage ($OV_{DD}/2$)

5.4.3 IEEE 1149.1 AC 时序规格

Table 5-9 提供了IEEE 1149.1 (JTAG) AC 时序规格，如21页图5-7定义，通过22页图5-10。

Table 5-9. JTAG AC Timing Specifications (Independent of SYSCLK)⁽¹⁾
(At Recommended Operating Conditions, see Table 5-3 on page 12)

Parameter	Symbol	Min	Max	Unit	Notes
TCK frequency of operation	f_{TCLK}	0	33.3	MHz	
TCK cycle time	t_{TCLK}	30	–	ns	
TCK clock pulse width measured at 1.4V	t_{HJL}	15	–	ns	
TCK rise and fall times	t_{JR} and t_{JF}	–	2	ns	
$\overline{TRST}$ assert time	t_{TRST}	25	–	ns	(2)
Input Setup Times: - Boundary-scan data - TMS, TDI	t_{DVJH} t_{IVJH}	4 0	– –	ns	(3)
Input Hold Times: - Boundary-scan data - TMS, TDI	t_{DXJH} t_{IXJH}	20 25	– –	ns	(3)
Valid Times: - Boundary-scan data - TDO	t_{JLDV} t_{JLOV}	4 4	20 25	ns	(4)
Output hold times: - Boundary-scan data - TDO	t_{JLDX} t_{JLOX}	30 30	– –	ns	(4)
TCK to output high impedance: - Boundary-scan data - TDO	t_{JLDZ} t_{JLOZ}	3 3	19 9	ns	(4)(5)

注释: 1. 所有输出都是从TCLK的上升沿和下降沿的中点电压开始，到信号的中点结束测得。输出时序在管脚处测得。所有输出时序假设50欧姆纯电阻负载（参考图5-6）。由于系统中的走线长度，过孔和连接器，必须加上传递延时。

2. $\overline{TRST}$ 是一个异步电平敏感信号。这个时间仅用于测试。

3. 关于TCK的非JTAG信号输入时序。

4. 关于TCK的非JTAG信号输出时序。

5. 由设计和特性保证。

Figure 5-6 提供PC7448的TDO的AC测试负载和边界扫描输出。

Figure 5-6. 一种 AC 测试负载，用于JTAG接口

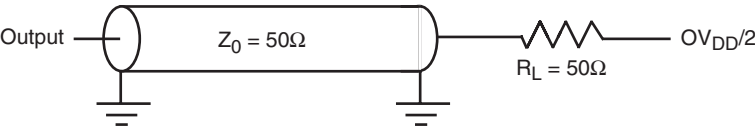
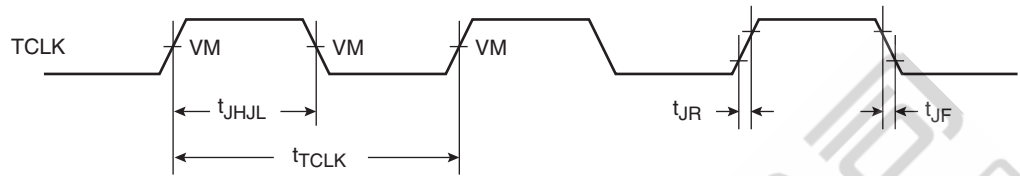


Figure 5-7 提供JTAG时钟输入时序图。

Figure 5-7. JTAG 时钟输入时序图



注意: VM = Midpoint Voltage ($OV_{DD}/2$)

Figure 5-8 提供TRST时序图。

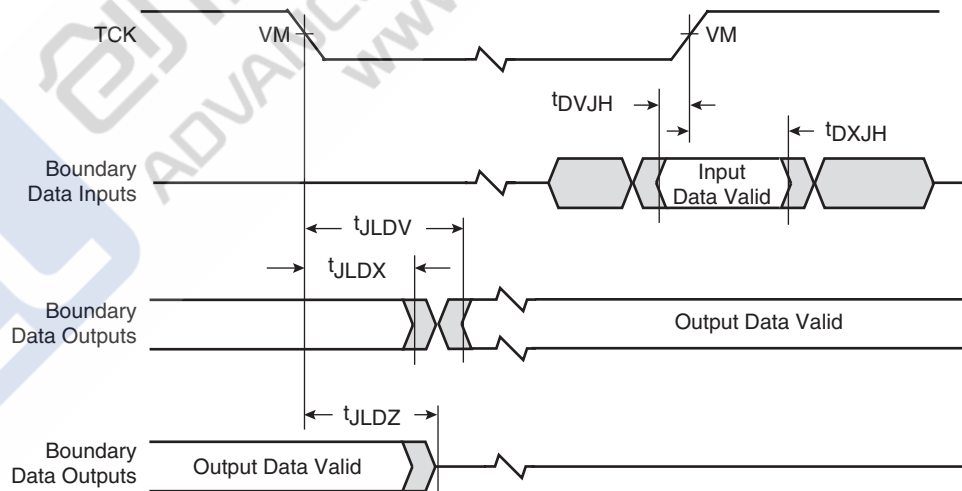
Figure 5-8. TRST 时序图



注意: VM = Midpoint Voltage ($OV_{DD}/2$)

Figure 5-9 提供了边界扫描时序图。

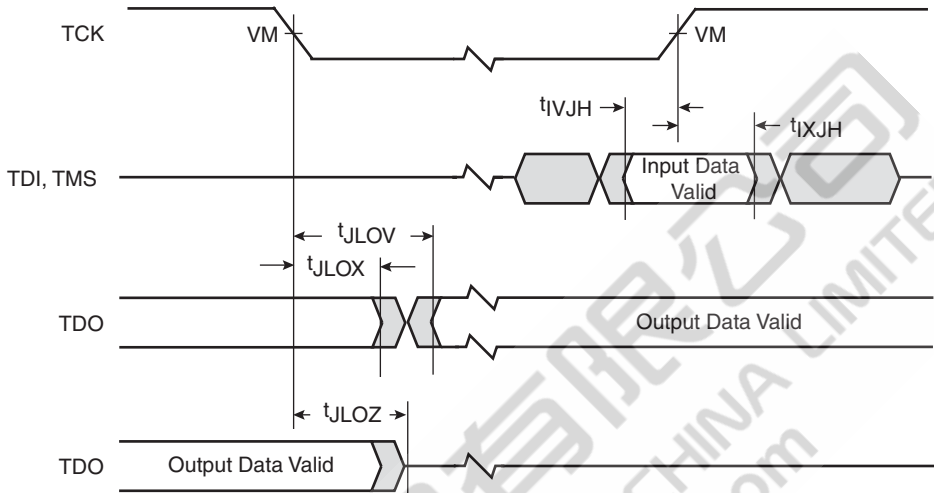
Figure 5-9. 边界扫描时序图



注意: VM = Midpoint Voltage ($OV_{DD}/2$)

Figure 5-10 提供了测试访问端口的时序图。

Figure 5-10. 测试访问端口时序图



注意: VM = Midpoint Voltage ($OV_{DD}/2$)

5.5 降压和降频

为了减少器件的功耗，如果降低最大处理器核心频率，器件的电压和频率可以降低。支持的核心降压，最大核心频率降频和功耗请参考表格5-10。只有表格5-10中的参数被影响，其他参数不受影响。

Table 5-10. 支持的降压，核心降频和功耗

Maximum Rated Core Frequency (Device Marking)	Supported Derated Core Voltage (V _{DD})	Maximum Derated Core Frequency (f _{core})	Full-Power Mode Power Consumption		
			Typical	Thermal	Maximum
1000	NA				
1250	NA				
1267	1.0V ± 50 mV	1000 MHz	6.0W	7.3W	8.5W

6. 管脚分配

图6-1展示了PC7448的管脚分布，360高热膨胀系数陶瓷球阵列(HiTCE)封装，从顶部向下看。图6-2展示了HiTCE封装的侧剖面，标出了顶视图的视角方向。

Figure 6-1. PC7448的管脚分布，360HiTCE封装，顶视图

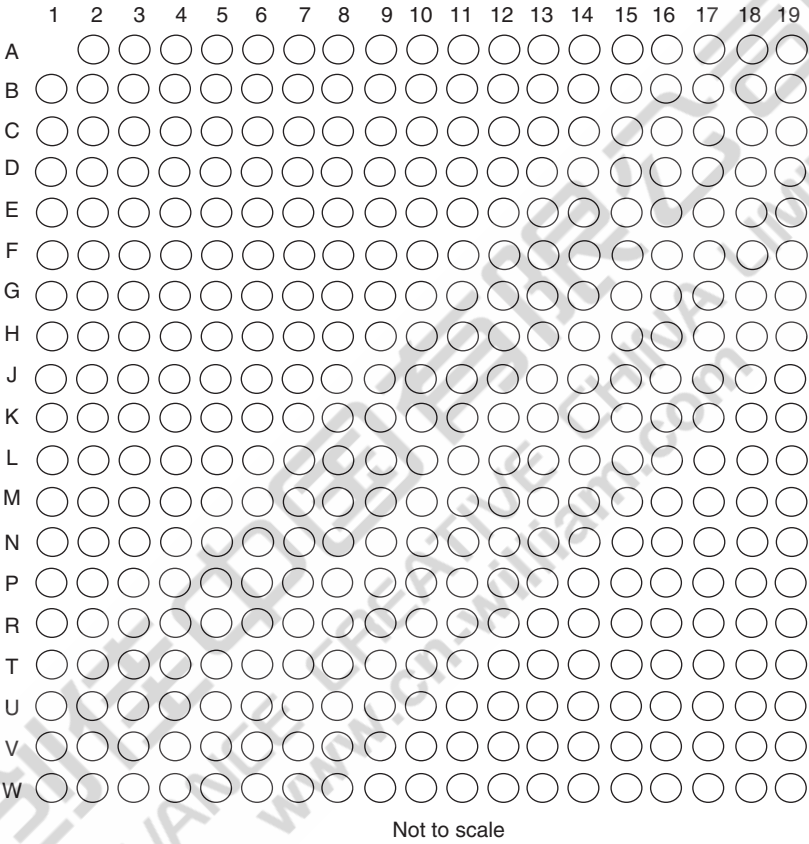
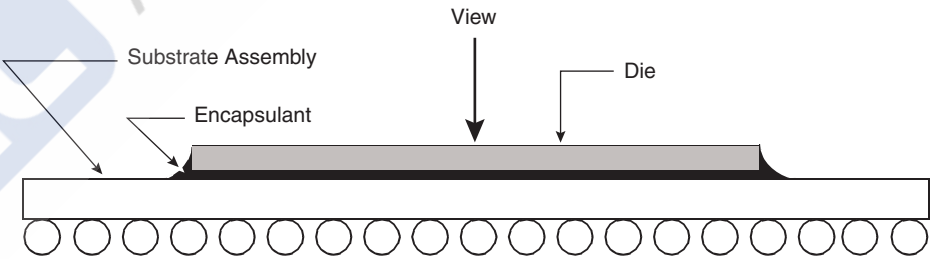


Figure 6-2. PC7448的管脚分布，360HiTCE封装，从上往下看



7. 管脚分配列表

表格7-1提供了PC7448的管脚分配列表，360 HiTCE封装。PC7448和PC7447A是脚对脚兼容的，但是附加电源和地引脚的要求有所变化。PC7448要求这些引脚连接到合适的电源或者地平面上，以达到最大的核心频率。所以，在新设计中这些引脚需要连接。

另外，PC7448可以用在为PC7447(或者PC7445，PC7441) 设计的板子上，只要核心电压满足表格5-3的需求，所有PC7447定义“未连接”的脚都没有接，满足PC7457 RISC微处理器硬件规格的需求。PC7448使用原先标为“未连接”的脚做为温度二极管引脚和额外的电源和地连接引脚。额外的电源和地引脚是用来到达高核心频率；更多信息请参考37页9.3节“连接建议”。因为这些PC7447 360脚封装的“未连接”的引脚都没有在功能模式中被驱动，PC7447可以被放在PC7448的板子上。

注意: 当在一块为PC7448设计却安装了PC7447或更早器件的板子上做边界扫描测试时必须小心。因为在PC7447内部，可能会驱动与PC7447定义的“未连接”引脚相关联的锁存器，可能会导致这些引脚的连接。为了避免上述情况，请确保这些引脚在板子上没有连接，或者，如果它们连接，确保PC7447内部锁存器的状态不会导致在板子测试时这些引脚被驱动。

对于PC7448，在PC7447A和更早的器件中被定义为TEST[0:4]工厂测试信号组的引脚被赋予了新的功能。这些引脚中的大部分，PC7447A对TEST[0:4]的连接建议和PC7448兼容，可以正常工作，不会有性能损失。例外的是BVSEL1(PC7447A和更早的器件上的TEST3)，根据I/O电压模式的需要它需要不同的连接。更多信息，请参考12页表格5-2。

注意: 这些引脚和PC750, PC7400, 或 PC7410 360 BGA 封装不兼容

Table 7-1. PC7448, 360 HiTCE 封装的引脚分配表

Signal Name	Pin Number	Active	I/O	Notes
A[0:35]	E11, H1, C11, G3, F10, L2, D11, D1, C10, G2, D12, L3, G4, T2, F4, V1, J4, R2, K5, W2, J2, K4, N4, J3, M5, P5, N3, T1, V2, U1, N5, W1, B12, C4, G10, B11	High	I/O	(2)
AACK	R1	Low	Input	
AP[0:4]	C1, E3, H6, F5, G7	High	I/O	(2)
ARTRY	N2	Low	I/O	(3)
AV _{DD}	A8	—	Input	
BG	M1	Low	Input	
BMODE0	G9	Low	Input	(4)
BMODE1	F8	Low	Input	(5)
BR	D2	Low	Output	
BVSEL0	B7	High	Input	(1)(6)
BVSEL1	E10	High	Input	(1)(20)
CI	J1	Low	Output	
CKSTP_IN	A3	Low	Input	
CKSTP_OUT	B1	Low	Output	

Table 7-1. PC7448, 360 HiTCE 封装的引脚分配表(续)

Signal Name	Pin Number	Active	I/O	Notes
CLK_OUT	H2	High	Output	
D[0:63]	R15, W15, T14, V16, W16, T15, U15, P14, V13, W13, T13, P13, U14, W14, R12, T12, W12, V12, N11, N10, R11, U11, W11, T11, R10, N9, P10, U10, R9, W10, U9, V9, W5, U6, T5, U5, W7, R6, P7, V6, P17, R19, V18, R18, V19, T19, U19, W19, U18, W17, W18, T16, T18, T17, W3, V17, U4, U8, U7, R7, P6, R8, W8, T8	High	I/O	
$\overline{\text{DBG}}$	M2	Low	Input	
$\overline{\text{DFS2}}$	A12	Low	Input	(20)(21)
$\overline{\text{DFS4}}$	B6	Low	Input	(12)(20)(21)
DP[0:7]	T3, W4, T4, W9, M6, V3, N8, W6	High	I/O	
$\overline{\text{DRDY}}$	R3	Low	Output	(7)
DTI[0:3]	G1, K1, P1, N1	High	Input	(8)
EXT_QUAL	A11	High	Input	(9)
$\overline{\text{GBL}}$	E2	Low	I/O	
GND	B5, C3, D6, D13, E17, F3, G17, H4, H7, H9, H11, H13, J6, J8, J10, J12, K7, K3, K9, K11, K13, L6, L8, L10, L12, M4, M7, M9, M11, M13, N7, P3, P9, P12, R5, R14, R17, T7, T10, U3, U13, U17, V5, V8, V11, V15	—	—	
GND	A17, A19, B13, B16, B18, E12, E19, F13, F16, F18, G19, H18, J14, L14, M15, M17, M19, N14, N16, P15, P19	—	—	(15)
GND_SENSE	G12, N13	—	—	(19)
$\overline{\text{HIT}}$	B2	Low	Output	(7)
$\overline{\text{HRESET}}$	D8	Low	Input	
$\overline{\text{INT}}$	D4	Low	Input	
L1_TSTCLK	G8	High	Input	(9)
L2_TSTCLK	B3	High	Input	(10)
$\overline{\text{LVRAM}}$	B10	—	—	(12)(20)(22)
NC (No Connect)	A6, A14, A15, B14, B15, C14, C15, C16, C17, C18, C19, D14, D15, D16, D17, D18, D19, E14, E15, F14, F15, G14, G15, H15, H16, J15, J16, J17, J18, J19, K15, K16, K17, K18, K19, L15, L16, L17, L18, L19	—	—	(11)
$\overline{\text{LSSD_MODE}}$	E8	Low	Input	(6)(12)
$\overline{\text{MCP}}$	C9	Low	Input	
OV _{DD}	B4, C2, C12, D5, F2, H3, J5, K2, L5, M3, N6, P2, P8, P11, R4, R13, R16, T6, T9, U2, U12, U16, V4, V7, V10, V14	—	—	
OV _{DD-SENSE}	E18, G18	—	—	(16)
PLL_CFG[0:4]	B8, C8, C7, D7, A7	High	Input	
PLL_CFG[5]	D10	High	Input	(9)(20)
$\overline{\text{PMON_IN}}$	D9	Low	Input	(13)
$\overline{\text{PMON_OUT}}$	A9	Low	Output	
$\overline{\text{QACK}}$	G5	Low	Input	
$\overline{\text{QREQ}}$	P4	Low	Output	
SHD[0:1]	E4, H5	Low	I/O	(3)
$\overline{\text{SMI}}$	F9	Low	Input	

Table 7-1. PC7448, 360 HiTCE 封装的引脚分配表(续)

Signal Name	Pin Number	Active	I/O	Notes
SRESET	A2	Low	Input	
SYCLK	A10	–	Input	
$\overline{\text{TA}}$	K6	Low	Input	
TBEN	E1	High	Input	
$\overline{\text{TBST}}$	F11	Low	Output	
TCK	C6	High	Input	
TDI	B9	High	Input	(6)
TDO	A4	High	Output	
$\overline{\text{TEA}}$	L1	Low	Input	
TEMP_ANODE	N18	–	–	(17)
TEMP_CATHODE	N19	–	–	(17)
TMS	F1	High	Input	(6)
$\overline{\text{TRST}}$	A5	Low	Input	(6)(14)
$\overline{\text{TS}}$	L4	Low	I/O	(3)
TSIZ[0:2]	G6, F7, E7	High	Output	
TT[0:4]	E5, E6, F6, E9, C5	High	I/O	
$\overline{\text{WT}}$	D3	Low	Output	
V_{DD}	H8, H10, H12, J7, J9, J11, J13, K8, K10, K12, K14, L7, L9, L11, L13, M8, M10, M12	–	–	
V_{DD}	A13, A16, A18, B17, B19, C13, E13, E16, F12, F17, F19, G11, G16, H14, H17, H19, M14, M16, M18, N15, N17, P16, P18	–	–	(15)
$V_{\text{DD_SENSE}}$	G13, N12	–	–	(18)

- 注释： 1. OV_{DD} 提供电源给处理器总线、JTAG和所有控制信号； V_{dd} 提供电源给处理器核心和PLL(在滤波后变为 AV_{dd})。关于编程I/O口电压，请参考12页表格5-2。如果使用下拉电阻，那么其值应该小于250欧姆。因为某些设置在今后的产品中可能更改，推荐使用可选电阻、跳线或者其他灵活的方式配置BVSEL[0:1]，以便在将来如果需要可以方便地重新配置这些信号端子。关于 V_{IN} 的实际推荐值，请参考12页表格5-3。
- 未使用的地址脚应该下拉到GND，相关的地址奇偶校验脚上拉到 OV_{DD} 。
 - 这些引脚需要弱上拉电阻（例如4.7K Ω ），以在它们被PC7448和其他总线主机释放，置为负后，维持在负状态。
 - 这些信号可以选择MPX总线模式（正）或60X总线模式（负），将在 $\overline{\text{HRESET}}$ 变高的时候采样。
 - 这个信号在复位的时候必须为负，通过上拉电阻上拉到 OV_{DD} 或者 $\overline{\text{HRESET}}$ 的负值，确保工作正常。
 - 硅片内部上拉。
 - 忽略60X总线模式。
 - 如果不使用，或者PC7448在60X总线模式，则这些信号必须下拉到地。
 - 这些输入信号仅用于工厂测试使用，在正常工作时必须被拉低为GND。
 - 这个测试信号推荐接到 $\overline{\text{HRESET}}$ ；但其他的配置方法也不会对性能造成不利的影响。
 - 这些信号仅用于工厂测试使用，在正常工作时必须保持不连接。某些在PC7447中被定义为NC的脚被用作其他用途。
 - 这些输入信号仅用于工厂测试使用，在正常工作时必须被拉高为 OV_{DD} 。
 - 这个引脚可以从外部引发性能监控事件。通过软件可以使能事件计数功能。

- 14. 这个信号必须在复位时置为有效，通过下拉到GND或者由HRESET置为有效，以保证正常工作。
- 15. 这些脚在PC7447上没连接。参考37页9.3节连接建议。
- 16. 这些脚在PC7447上是OV_{DD}。这些脚在内部连接到OV_{DD}，为了允许外部的器件检测封装内部的I/O电平。如果不使用，它们必须直接连到OV_{DD}或者保持悬空。
- 17. 这些脚连到了片上温度二极管，可以用来检测处理器的硅片节点温度。这些脚在不用的时候必须保持悬空。
- 18. 这些脚在内部连到了V_{DD}，用来允许外部的器件检测封装内部的处理器核心电压。如果不使用，它们必须直接连到V_{DD}或者保持悬空。
- 19. 这些脚在内部连到了GND，用来允许外部的器件检测封装内部的处理器地电平。如果不使用，它们必须直接连接到GND或者保持悬空。
- 20. 这些脚在PC7447A和PC7447的TEST[0:4]工厂测试引脚组中。它们在PC7448中被赋予了新的功能。
- 21. 这些脚用来通过硬件使能动态频率切换（DFS）。如果都被下拉，DFS模式被完全禁用，无法通过软件使能。如果不使用，它们应该被上拉到OV_{DD}，以允许软件控制DFS。更多信息，请参考PC7450 RISC处理器系列参考指南。
- 22. 这些脚用于允许L2缓存在低电压时操作，仅用于工厂测试使用。更多信息，请参考PC7450 RISC处理器系列参考指南。

8. 封装描述

以下的小结提供了HiTCE封装的参数和机械尺寸。

8.1 PC7448, 360 HiTCE BGA的封装参数

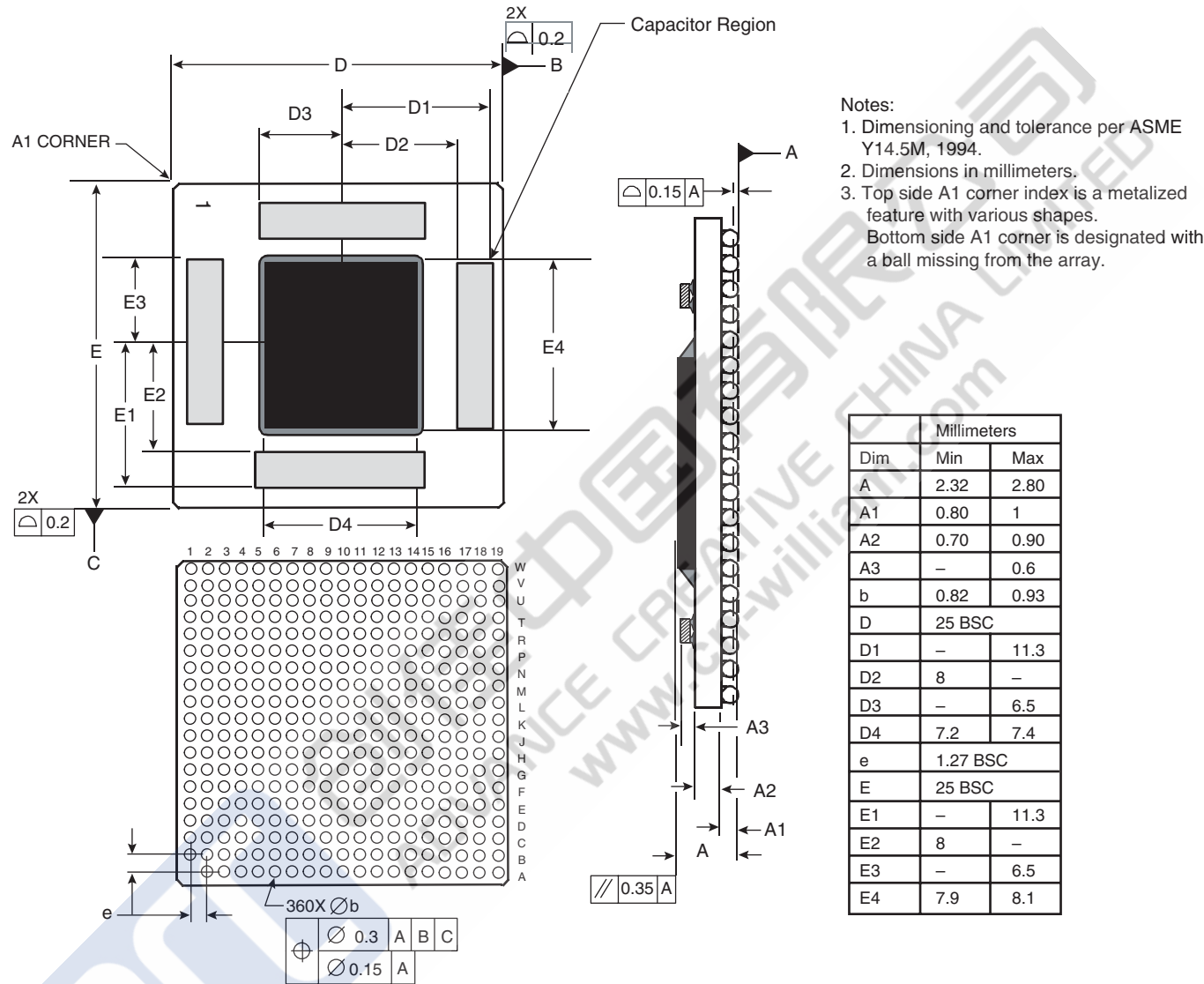
封装参数如下表所示。封装是25 x 25 mm，360脚高热膨胀系数陶瓷球阵列（HiTCE）。

Package outline	25 mm × 25 mm
Interconnects	360 (19 × 19 ball array - 1)
Pitch	1.27 mm (50 mil)
Minimum module height	2.32 mm
Maximum module height	2.80 mm
Ball diameter	0.89 mm (35 mil)
Coefficient of thermal expansion	12.3 ppm/° C

8.2 PC7448, 360 HiTCE BGA的机械尺寸

28页图8-1 提供了PC7448, 360 HiTCE BGA封装的机械尺寸和底面命名。

Figure 8-1. PC7448, 360 HiTCE BGA封装的机械尺寸和底面命名



8.3 PC7448, 360 HiTCE LGA的封装参数

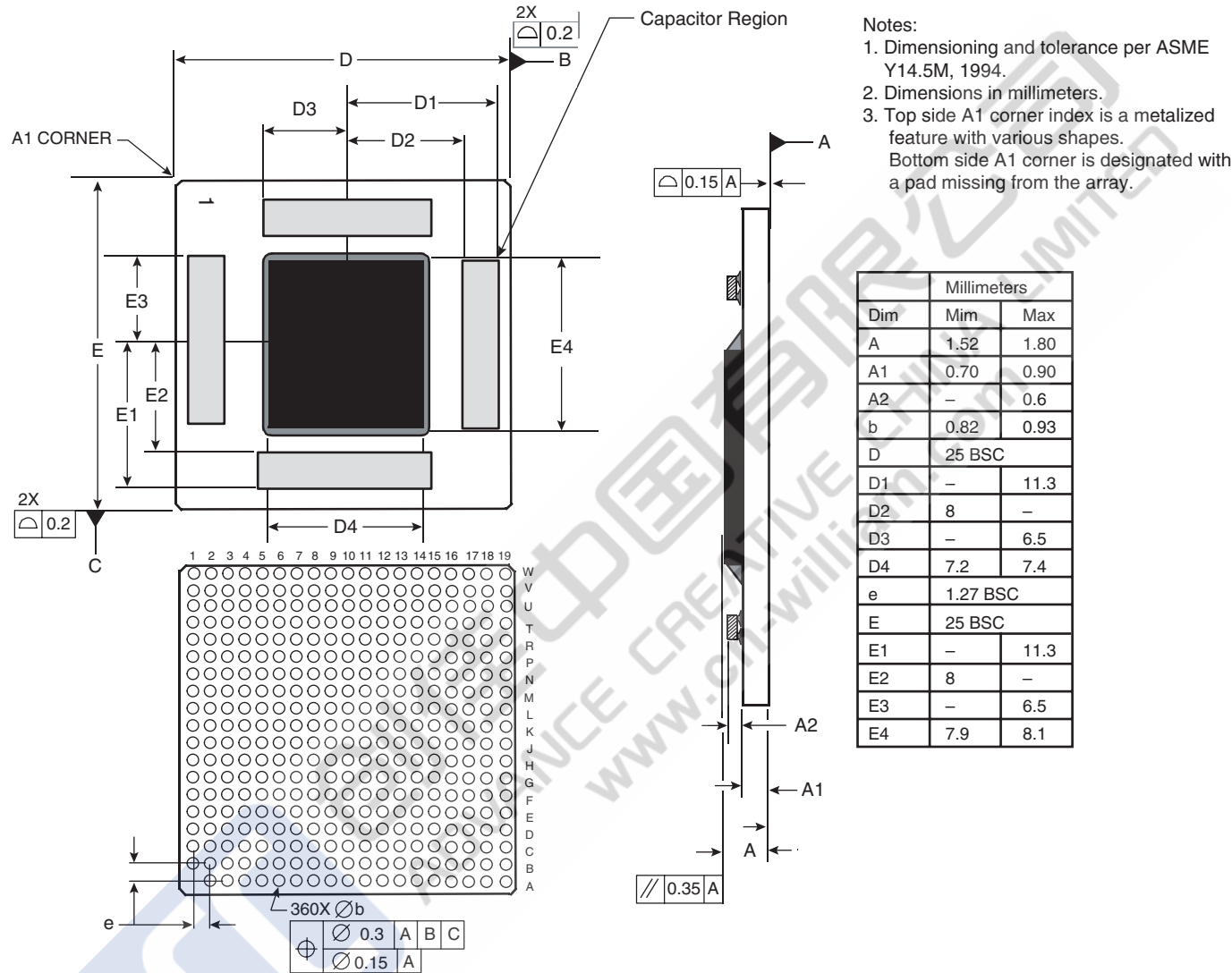
封装参数如下表所示。封装是25 x 25 mm，360脚高热膨胀系数陶瓷触点阵列（HiTCE）。

Package outline	25 mm x 25 mm
Interconnects	360 (19 x 19 ball array - 1)
Pitch	1.27 mm (50 mil)
Minimum module height	1.52 mm
Maximum module height	1.80 mm
Pad diameter	0.89 mm (35 mil)
Coefficient of thermal expansion	12.3 ppm/° C

8.4 PC7448, 360 HiTCE LGA的机械尺寸

图8-2 提供了PC7448, 360 HiTCE LGA封装的机械尺寸和底面命名。

Figure 8-2. PC7448, 360 HiTCE LGA封装的机械尺寸和底面命名。



8.5 PC7448, 360 HiTCE RoHS兼容 BGA的封装参数

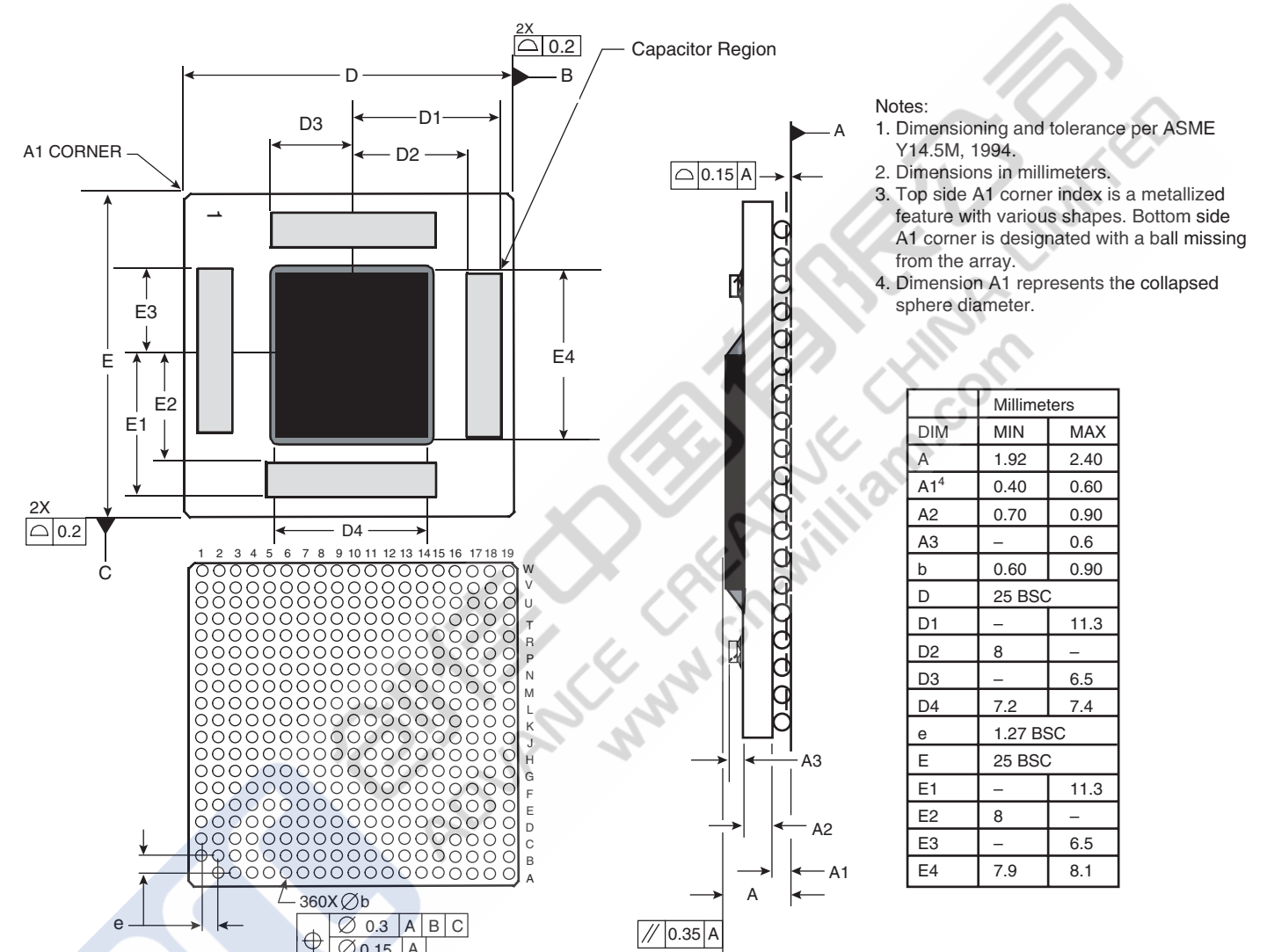
封装参数如下表所示。封装是25 x 25 mm，360脚高热膨胀系数陶瓷球阵列（HiTCE），RoHS兼容，焊球无铅。

Package outline	25 mm × 25 mm
Interconnects	360 (19 × 19 ball array - 1)
Pitch	1.27 mm (50 mil)
Minimum module height	1.92 mm
Maximum module height	2.40 mm
Ball diameter	0.75 mm (30 mil)
Coefficient of thermal expansion	12.3 ppm/° C

8.6 PC7448, 360 HiTCE BGA, RoHS兼容的机械尺寸

图8-3提供了PC7448, 360 HiTCE BGA, RoHS兼容封装的机械尺寸和底面命名。

Figure 8-3. PC7448, 360 HiTCE BGA, RoHS兼容封装的机械尺寸和底面命名。



9. 系统设计信息

本节提供PC7448成功设计的系统和热设计需求和建议。

9.1 时钟

以下提供和PC7448的时钟相关的更多信息。

9.1.1 PLL配置

PC7448的PLL是由PLL_CFG[0:5]信号配置的。对于一个给定的SYSCLK（总线）频率，PLL配置信号设置内部CPU和VCO的工作频率。PC7448的PLL配置在表格9-1中。比如，灰色的格子表示这种设置，对于一个给定的SYSCLK频率，导致核心和/或VCO频率不符合16页表格5-7所述。当使能时，动态频率切换(DFS)也影响核心频率，使总线-核心乘法器变为一半或者四分之一；更多信息，请参考47页9.7.5节“动态频率切换(DFS)”。注意，当DFS使能时，核心频率必须满足16页表格5-7所描述的调整过的最小核心电压需求(f_{CORE_DFS})。注意，PLL_CFG[5]现在仅用于工厂测试，应该被拉为低，当PLL_CFG[5]=0时PC7448的PLL配置设置与PC7447A兼容。

Table 9-1. PC7448处理器PLL配置例子

PLL_CFG[0:5]	Example Core and VCO Frequency in MHz										
	Bus-to-Core Multiplier ⁽⁵⁾	Core-to-VCO Multiplier ⁽⁵⁾	Bus (SYSCLK) Frequency								
			33.3 MHz	50 MHz	66.6 MHz	75 MHz	83 MHz	100 MHz	133 MHz	167 MHz	200 MHz
010000	2x	1x									
100000	3x	1x									600
101000	4x	1x								667	800
101100	5x	1x							667	835	1000
100100	5.5x	1x							733	919	1100
110100	6x	1x						600	800	1002	1200
010100	6.5x	1x						650	866	1086	1300
001000	7x	1x						700	931	1169	1400
000100	7.5x	1x					623	750	1000	1253	1500
110000	8x	1x				600	664	800	1064	1336	1600
011000	8.5x	1x				638	706	850	1131	1417	1700
011110	9x	1x			600	675	747	900	1197	1500	
011100	9.5x	1x			633	712	789	950	1264	1583	
101010	10x	1x			667	750	830	1000	1333	1667	
100010	10.5x	1x			700	938	872	1050	1397		
100110	11x	1x			733	825	913	1100	1467		
000000	11.5x	1x			766	863	955	1150	1533		

Table 9-1. PC7448处理器PLL配置例子 (续)

PLL_CFG[0:5]	Example Core and VCO Frequency in MHz										
	Bus-to-Core Multiplier ⁽⁵⁾	Core-to-VCO Multiplier ⁽⁵⁾	Bus (SYSCLK) Frequency								
			33.3 MHz	50 MHz	66.6 MHz	75 MHz	83 MHz	100 MHz	133 MHz	167 MHz	200 MHz
101110	12x	1x		600	800	900	996	1200	1600		
111110	12.5x	1x		625	833	938	1038	1250	1667		
010110	13x	1x		650	865	975	1079	1300			
111000	13.5x	1x		675	900	1013	1121	1350			
110010	14x	1x		700	933	1050	1162	1400			
000110	15x	1x		750	1000	1125	1245	1500			
110110	16x	1x		800	1066	1200	1328	1600			
000010	17x	1x		850	1132	1275	1417	1700			
001010	18x	1x	600	900	1200	1350	1500				
001110	20x	1x	667	1000	1332	1500	1666				
010010	21x	1x	700	1050	1399	1575					
011010	24x	1x	800	1200	1600						
111010	28x	1x	933	1400							
001100	PLL bypass		PLL off, SYSCLK clocks core circuitry directly								
111100	PLL off		PLL off, no core clocking occurs								

注释: 1. 未列出的PLL_CFG[0:5] 设置是保留的。

2. 这里列出的总线-核心频率仅用于参考。一些PLL配置可能会选择PC7448不可用、不支持或者未测试的总线、核心或VCO频率；关于可用的SYSCLK、核心和VCO频率，请参考15页5.4.1节“时钟AC规格”。

3. 在PLL旁路模式中，SYSCLK输入直接做为内部处理器的时钟，PLL被禁用。但是，总线接口单元需要2X时钟才能工作。因此，一个额外的信号，EXT_QUAL，必须用SYSCLK一半的频率和相位便宜驱动，以满足输入建立时间 t_{IVKH} 和保持时间 t_{IXKH} （参考17页表格5-8）。结果是处理器总线的频率是SYSCLK的一般，同时内部处理器的时钟是SYSCLK频率。这种模式仅用于工厂测试和模拟器工具。

注意：本文档里所述的AC时序规格不适用于PLL旁路模式。

4. 在PLL关模式，不论SYSCLK输入如何，PC7448内部都没有时钟。

5. 适用于DFS模式禁用的情况。当工作在DFS模式时这些乘法器有所变化。

9.1.2 系统总线时钟(SYSCLK)和扩展频谱源

扩频时钟源是一种逐渐流行的方式，它扩展发射的噪声到更宽的频谱，减少噪声的峰值，以控制电磁干扰发射，满足工业和政府的需求。这些内部时钟源为了散射EMI频谱内容，增加了长期的抖动。16页表格5-7给出的抖动规格仅考虑到短期的(周期到周期)抖动，时钟发生器的周期到周期输出抖动应该满足PC7448输入周期到周期的抖动需求。

频率调制和扩展分别被考虑，如果满足表格9-2的建议，PC7448兼容扩频源。

Table 9-2. 扩频时钟源建议

Parameter	Min	Max	Unit	Notes
Frequency modulation	–	50	kHz	(1)
Frequency spread	–	1	%	(1)(2)

注释： 1. 由设计保证。
2. 由频率扩展导致的SYSCLK频率、核心和VCO频率必须满足16页表格5-7给出的最大和最小规格。

必须注意，处理器的最小和最大SYSCLK、核心和VCO频率必须不能被超越，无论何种时钟源。因此，处理器工作在最大允许核心频率和总线频率的系统，当只使用下扩频的时候，必须避免违背上述规定。

9.2 电源设计和上电顺序

下面的小结提供了PC7448详细的电源设计信息。

9.2.1 上电顺序

PC7448需要电源和时钟按照一定的顺序加载以防止器件损坏。上电顺序的要求如下：

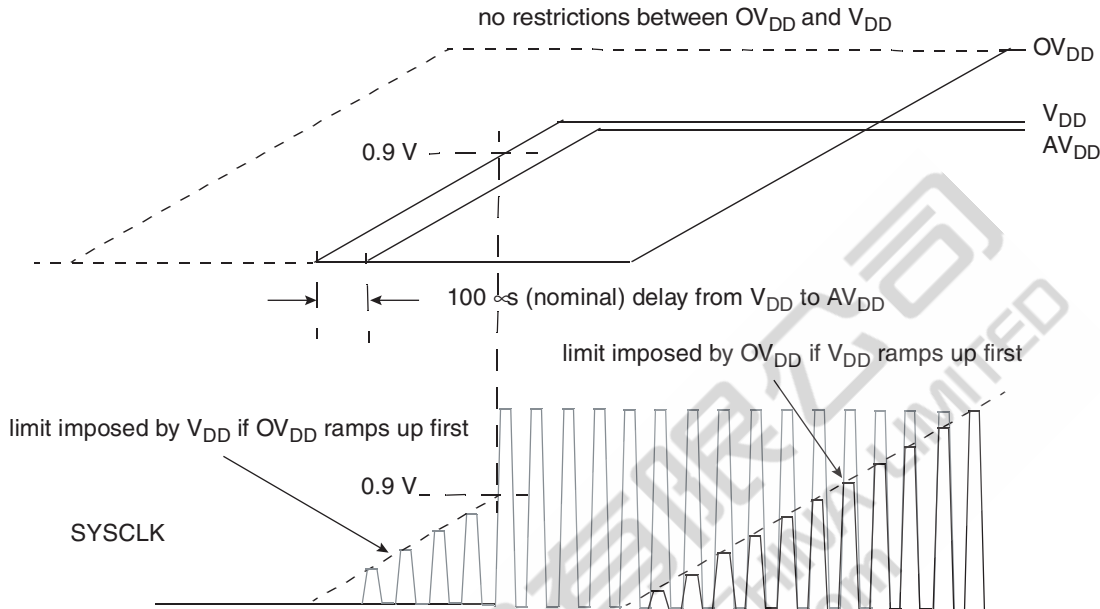
- AV_{DD}必须比V_{DD}延迟PLL滤波器电路的RC时间常量，在35页9.2.2节“PLL电源滤波”。这个时间常量的典型值为100us。
- OV_{DD}的斜坡在V_{DD}和AV_{DD}之前或之后的任意时间。

另外，关于SYSCLK有如下的要求：

- SYSCLK的输入电压不能超过V_{DD}，直到V_{DD}到达0.9V。
- 在瞬变时SYSCLK的输入电压在任意时刻不能超过OV_{DD}的电压20%（参考11页图5-1过压欠压规格）或者0.3V DC（参考12页表格5-3）

这些要求如34页图9-1所示。

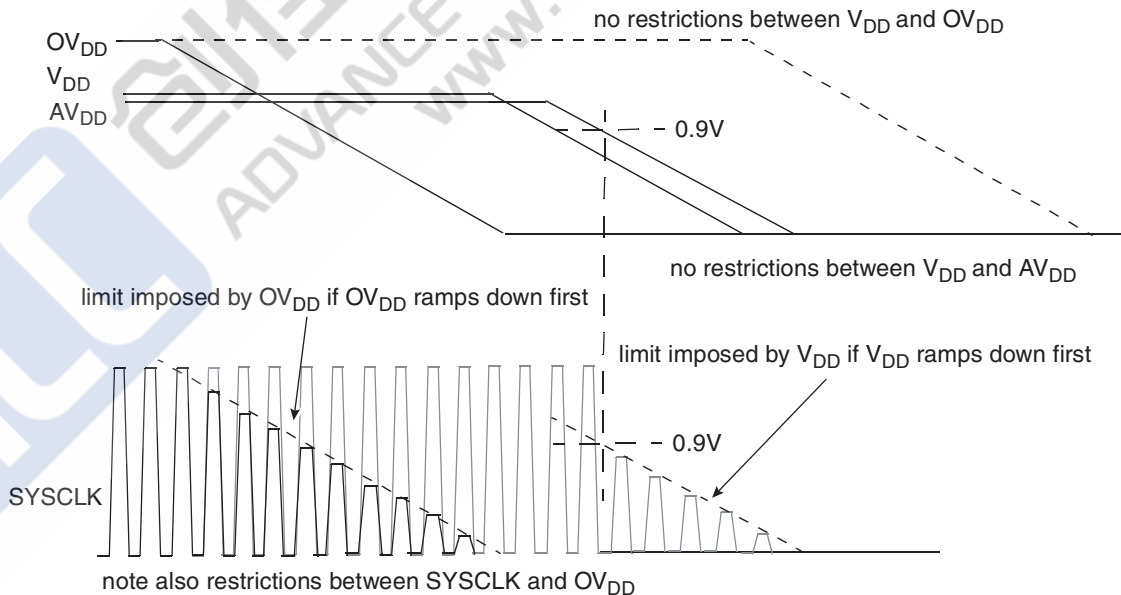
Figure 9-1. PC7448 上电顺序要求



某些要求也适用于PC7448掉电时的情况，如：

- OV_{DD} 可以在 V_{DD} 之前的任何时间降低。在这种情况下没有任何的限制。
- 如果 OV_{DD} 和 V_{DD} 同时或在其之后降低，则在掉电过程中 OV_{DD} 必须不能超过 $V_{DD}1.4V$ (V_{DD} 小于其标称值的90%，参考12页表格5-3)，如图9-2所示。

Figure 9-2. PC7448 掉电顺序要求



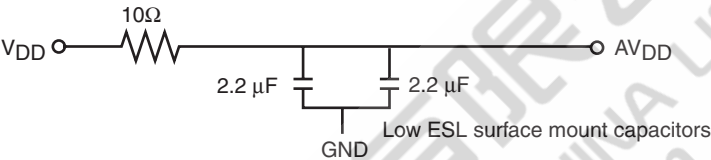
在掉电时关于AVDD没有要求，但是推荐AVDD跟随VDDPLL滤波电路的RC时间常量，如35页9.2.2节“PLL电源滤波”所述（典型值100us）。

9.2.2 PLL电源滤波

AV_{DD}电源信号是给时钟发生器PLL提供电源。为了确保内部时钟稳定，给AV_{DD}输入的电源应该滤除任何在500KHz到10MHzPLL频率谐振范围的噪声。图9-3所示的电路使用表贴电容，其等效串联电感（ESL）最小，是我们推荐的电路。为了滤除AV_{DD}输入的噪声，在V_{DD}和AV_{DD}之间需要延时，如33页9.2.1节“电源上电顺序”所述。

电路应该被放置得和AV_{DD}引脚尽可能的近，以使周围电路的耦合噪声最小。可以直接从电容到AV_{DD}引脚布线，在器件封装的外围。

Figure 9-3. PLL电源滤波电路



9.2.3 瞬变规格

为了确保器件的长期可靠性，PC7448需要约束核心电压(V_{DD})的瞬变。12页表格5-3推荐的工作电压规格是直流规格。即，器件可以在V_{DD}附近的一个指定的范围内连续工作，不会影响器件的可靠性。推荐工作电压范围的偏移，包括上电时的过冲，可能会影响器件的长期稳定性。偏移由幅度和持续时间描述。持续时间的定义是，V_{DD}电源平面，由VDD_SENSE引脚测量，在某一个特定的电压范围的时间，表示成，器件生命周期中上电的总时间的百分比。实际上，瞬变测量的时间可以是准确表示期望的处理器和系统活跃的任意时间。正常工作和瞬变的电压范围和持续时间如表格9-3所示。

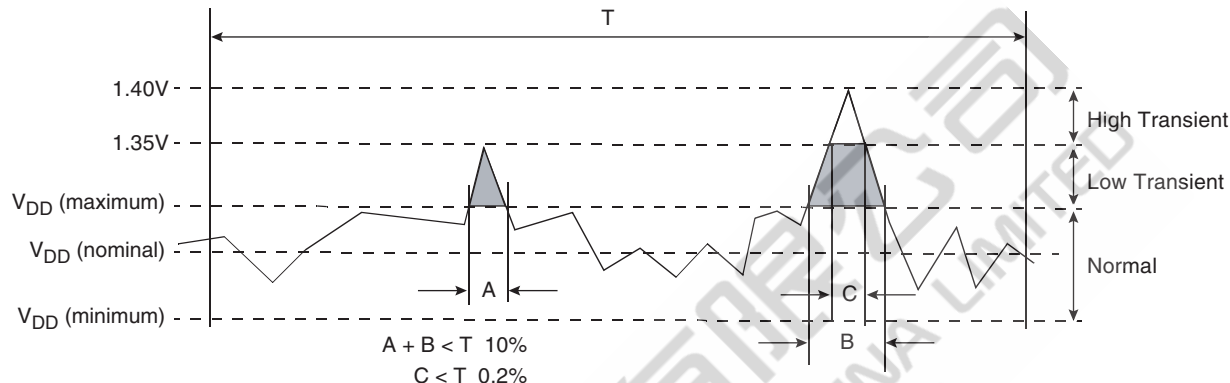
Table 9-3. V_{DD}电源瞬变规格（在推荐工作条件，参考12页表格5-3）

Voltage Region	Voltage Range (V)		Permitted Duration	Notes
	Min	Max		
Normal	V _{DD} minimum	V _{DD} maximum	100%	
Low Transient	V _{DD} maximum	1.35V	10%	
High Transient	1.35V	1.40V	0.2%	

- 注释:
1. 允许的持续时间被定义为器件上电时，V_{DD}电源电压在指定的电压范围内的总时间的百分比。
 2. 标称电压V_{DD}规格，请参考12页表格5-3。
 3. 为了简化测量，高瞬变区域的偏移被包含在这个持续时间里。
 4. 高于最大绝对值之上的1.4V的偏移不被允许；参考11页表格5-1。

注意，为了简化瞬变测量，高瞬变区域的偏移持续时间被包含在低瞬变的持续时间里，所以只要考虑电压高于每个阈值的时间。36页图9-4表示一个测量电压瞬变的例子。

Figure 9-4. 电压瞬变例子



9.2.4 去耦建议

由于PC7448的动态电源管理特性和大地址，大数据总线，高工作频率，PC7448会在其电源部分产生瞬变电源浪涌和低频噪声，尤其是驱动大容量负载时。必须防止噪声进入系统中其他的器件，PC7448需要一个清洁、稳压的电源。因此，建议系统设计师使用足够的去耦电容，典型数量是1-2个 V_{DD} 引脚配1个电容，对 OV_{DD} 采用相同和较少的数量，这些电容应该放置得与PC7448的电源引脚尽可能的近。同时建议，在PCB上这些去耦电容从独立的 V_{DD} , OV_{DD} , 地平面供电，使用短布线使其电感效应最小。

这些电容的值应该为 0.01 或 $0.1\mu F$ 。只能使用陶瓷表面贴装工艺 (SMT)的电容，以最小化引脚电感。连接点方向沿着器件的长度方向，这一点是首选的但并不是强制要求的。推荐使用多个相同容值的小电容，而不是使用多个不同容值的电容，这一点和Howard Johnson博士在High Speed Digital Design: A Handbook of Black Magic书中的建议吻合。

另外，建议使用少量大容量的电容，分布在PCB上，连接到 V_{DD} 和 OV_{DD} 平面，以能使小电容的快速充电。这些大电容的等效串电阻 (ESR)应该较低，以确保必要的快速反应时间。它们应该通过两个过孔连到电源和地平面以减少电感。推荐的大电容是 $100\text{--}330\mu F$ (AVX TPS tantalum或Sanyo OSCON)。

9.3 连接建议

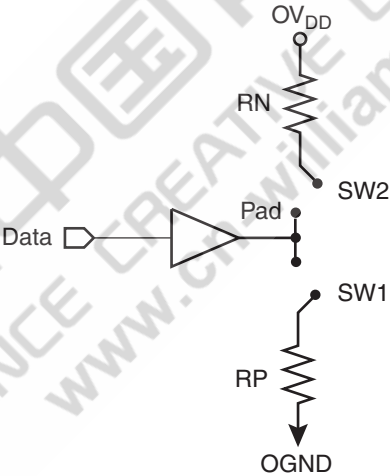
为了保证可靠的操作，强烈推荐把不用的输入引脚接到一个合适的电平。除非另外说明，不用的低电平有效输入应该接到OV_{DD}，不用的高电平有效输入应该接到GND。所有NC(未连接) 的信号必须保证不连接。

PC7448所有外部的V_{DD}， OV_{DD}和GND脚都必须接到电源或者地。为了兼容PC7447，或者移植为这个器件设计的系统到PC7448，新的电源和地信号（原来的NC，参见24页表格7-1）需要保持悬空，如果核心电压是1GHz或者更低。超过1GHz时需要连接这些额外的电源和地信号，并且强烈推荐所有新的设计使用这些连接。更多信息，请参考24页第7节“引脚分配表”。

9.4 输出Buffer DC阻抗

PC7448的处理器总线驱动器的特征是处理，电压和温度。为了测量Z₀，一个额外的电阻要连接在芯片的焊盘和OV_{DD}或GND之间。每个电阻的值都不同，使得焊盘电压是OV_{DD}/2。图9-5表示驱动器阻抗的测量。

Figure 9-5. 驱动器阻抗测量



输出阻抗是两个器件，上拉和下拉，的平均值。当数据保持为低，SW2闭合(SW1开路)，调整RN使焊盘的电压等于OV_{DD}/2。这样RN就成为了下拉器件的电阻。当数据保持为高，SW1闭合（SW2开路），调整RP使焊盘电压等于OV_{DD}/2。这样RP就成为了上拉器件的电阻。RP和RN被设计成阻值很接近。这样Z₀ = (RP + RN)/2。

Table 9-4 总结了信号阻抗的结果。阻抗随着节点温度而升高，与总线电压无关。

Table 9-4. 阻抗规格（在推荐工作条件，参考12页表格5-3）

Impedance		Processor bus	L3 Bus	Unit
Z ₀	Typical	33 – 42	34 – 42	Ω
	Maximum	31 – 51	32 – 44	Ω

9.5 上拉和下拉电阻要求

PC7448的某些总线接口的控制引脚需要高阻值（弱：4.7K Ω ）上拉电阻，以在控制信号无效和被PC7448或者其他总线主机释放后维持无效状态。这些引脚是：TS, ARTRY, SHD0, SHD1。

某些工厂测试引脚必须上拉到OV_{DD}或者下拉到GND以确保正常工作。必须拉高为OV_{DD}的引脚是LSSD_MODE和TEST[0:3]；必须拉低为GND的引脚为L1_TSTCLK和TEST[4]。CKSTP_IN信号必须也通过一个上拉电阻（弱或者强：4.7-1K Ω ）上拉以防止信号的错误。

另外，PC7448有一个漏极开路形式的输出，如果在系统中使用，需要一个上拉电阻（弱或强：4.7-1K Ω ）。这个引脚是CKSTP_OUT。

BVSEL0和BVSEL1不能浮空，应该被上拉或者下拉电阻配置，或者由外部逻辑驱动。如果使用下拉电阻配置BVSEL0或BVSEL1，电阻值必须小于250 Ω （参考24页表格7-1）。因为PLL_CFG[0:5]在工作时必须保持稳定，建议使用强上拉或者下拉电阻（1K Ω 或者更小）配置这些信号，以防止地弹噪声、电源噪声或噪声耦合使芯片发生错误。

在总线的不活跃时间里，地址和传递属性不能被任何主机驱动，因此，可能会浮空在高阻态相当长的时间。因为PC7448必须连续的监控这些信号，这种浮空态可能会导致PC7448的输入接收器或系统中的其他接收器产生额外的功耗。这些信号应该由弱上拉电阻(10K Ω)上拉，地址总线驱动模式使能（关于这种模式的更多信息，请参考PC7448 RISC 微处理器系列用户指南），或者它们也可以在总线的不活跃时间里被系统驱动，以避免额外的功耗。初步研究表明，PC7448输入接收器的额外功耗可以忽略，在任何情况下，对于正常工作这些测量都不是必须的。snoop的地址和传递属性输入是A[0:35]，AP[0:4]，TT[0:4]，CI，WT，GBL。

如果地址和数据奇偶校验不被系统使用，各自的奇偶校验通过HID1禁用，这些引脚的输入接收器禁用，不需要上拉电阻，因此它们可以悬空。如果扩展地址不被使用，则A[0:3]不使用，必须通过弱下拉电阻下拉到GND；另外，如果地址奇偶校验使能(HID1[EBA]=1)而扩展地址不使用，则AP[0]必须通过一个弱上拉电阻上拉到OV_{DD}。如果PC7448在60x总线模式，DTI[0:3]必须通过弱下拉电阻下拉到GND。

通常，在没有读操作进行的时候，数据总线输入接收器是关闭的，因此总线上不需要上拉电阻。但是，系统中的其他数据总线接收器可能需要上拉或者在不活跃时间内被系统驱动。这些数据总线信号是D[0:63]和DP[0:7]。

9.6 JTAG配置信号

边界扫描测试通过JTAG接口信号使能。TRST信号在IEEE 1149.1规格中可选，但是其在所有PowerPC架构的处理器中都有提供。虽然可以只用TCK和TMS信号强制复位TAP控制器，但如果在上电复位的时候将TRST置为有效则更可靠。因为JTAG接口也用于访问通用片上处理器(COP)函数，不能直接把TRST连到HRESET。

这些处理器的COP函数允许远程计算机系统（一般是一个PC和相关的硬件和调试软件）访问和控制处理器的内部操作。COP接口主要通过处理器的JTAG口连接，和一些额外的状态监控信号。COP口需要独立使能HRESET和TRST以完全控制处理器。如果目标系统有独立的复位源，比如电压监控、看门狗、电源失效、按键开关，则COP复位信号必须在逻辑上于这些信号融合。

40页图9-6的排列允许COP口独立使能HRESET或TRST，同时保证目标也可以驱动HRESET。如果JTAG接口和COP头不使用，TRST应该通过一个0Ω的隔离电阻接到HRESET，这样当系统复位信号(HRESET)有效时它也有效，确保在上电时JTAG扫描链被初始化。虽然Freescale推荐COP头按照图9-6设计，如果不可能，当在调试情况下JTAG接口需要被连上系统时，隔离电阻允许未来对TRST的访问。

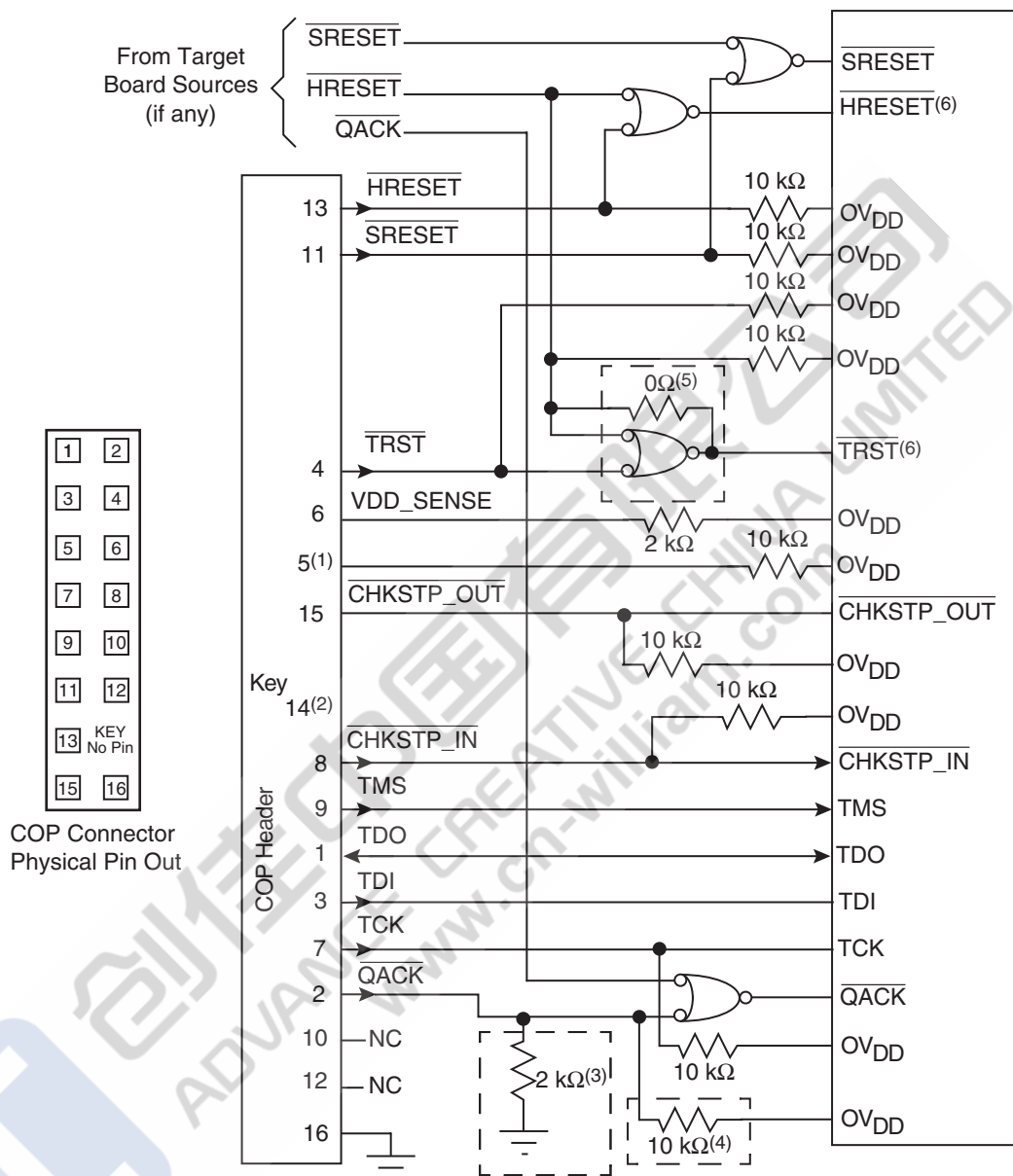
图9-6所示的COP头有很多优点：断点，观测点，寄存器和存储器检查/修改，和其他标准的调试器特性都可以通过这个接口实现，与需要时添加的一个空的接头的封装一样便宜。COP接口和目标系统的接头是标准的，0.025"方针，0.100"居中接头（通常叫做Berg接头）。接头一般去掉了Pin14做为连接器key。

没有一个标准的方式去对图9-6中的COP头标号；因此，仿真器供应商提供的pin脚标号有所不同。有些是从上到下然后从左到右，有些是从左到右然后从上到下，还有些是从中心顺时针开始从引脚1开始标号（类似于一个IC）。无论何种标号方式，图9-6中推荐的信号排列位置适用于任何已知的仿真器。

图9-6表示的QACK信号通常连到系统上的PCI桥芯片，是PC7448的一个输入端，通知其可以进入静止态。在正常工作情况下，当选择低电压模式时，其会发生。虽然在COP接头上表明，但是并不是所有的仿真器产品都驱动这个信号。如果产品没有驱动，需要一个下拉电阻将其置为有效。

另外，某些仿真器产品的输出是漏极开路的，只能驱动QACK有效；对于这些工具，要接一个上拉电阻，使得这个信号不被工具驱动的时候为无效。注意QACK信号上的上拉和下拉电阻是互斥的，不能在系统中同时安装。为了维持正确的下拉操作，QACK应该被逻辑融合，使其可以被PCI桥驱动。

Figure 9-6. JTAG接口连接



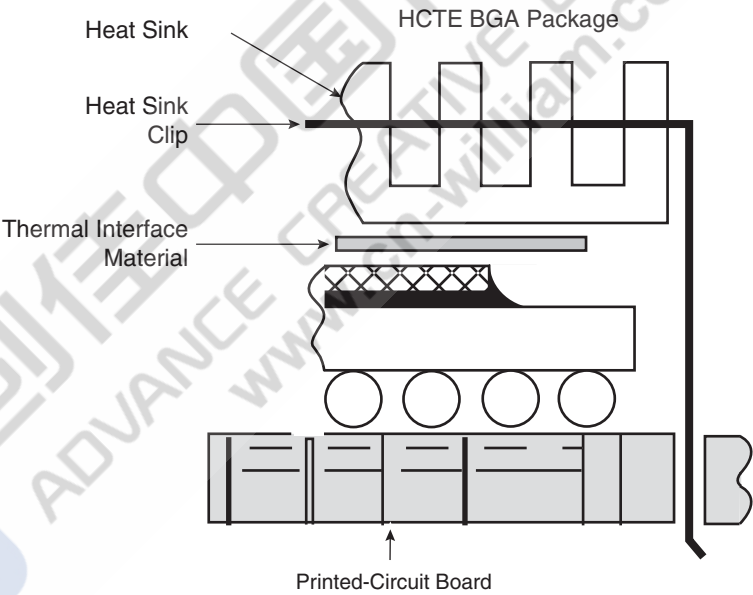
- 注释: 1. **RUN/STOP**, 通常是COP接头的第5脚, 没有被PC7448实现。将COP接头的第5脚通过一个10k Ω 的上拉电阻连到OV_{DD}。
2. **key**位置。14脚在COP接头上不存在。
3. 未安装器件。只有当调试工具没有驱动 $\overline{\text{QACK}}$ 时安装。
4. 只有当调试工具使用漏极开路类型输出并且不能使 $\overline{\text{QACK}}$ 无效时安装。
5. 如果JTAG接口被实现, 通过一个与门连接目标源的HRESET和COP接头的TRST到器件的TRST。如果JTAG接口没有被实现, 通过一个0 Ω 的隔离电阻连接目标源的HRESET到器件的TRST。
6. COP口和目标板应该能够独立使能处理器的 $\overline{\text{HRESET}}$ 和 $\overline{\text{TRST}}$, 以完全控制如上面所示的处理器。

9.7 热管理信息

这小节提供了风冷应用中HiTCE封装的热管理信息。合适的热管理设计主要取决于系统级设计，热沉，气流和热接口材料。PC7448设计上有一些特点可以辅助热管理，包括DFS和温度二极管。DFS通过降低核心频率减少器件的功耗；关于减少功耗的DFS的信息请参考47页9.7.5.1节“DFS使能时的功耗”。温度二极管允许外部器件监控硅片温度，以监测过高温度条件和警告系统；更多信息，请参考46页9.7.4节“温度二极管”。

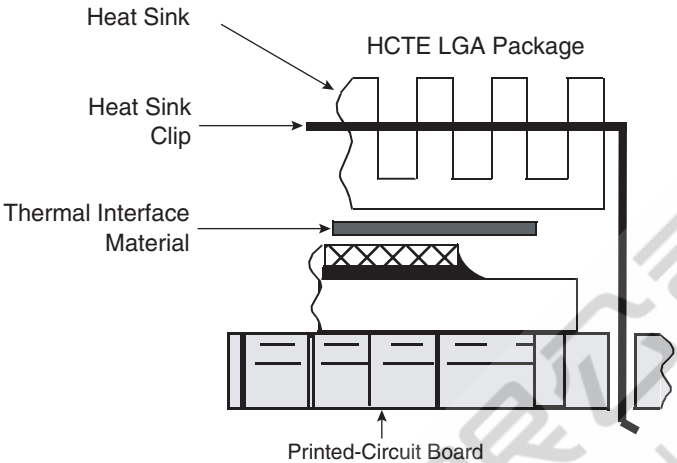
为了降低硅片结温，可以使用多种方式在封装上安装热沉，弹簧夹固定在PCB板或封装上的孔中，装配夹和螺栓组件（参考图9-7）。但是，因为热沉的重量较大，推荐安装到PCB板上。对于任何一种热沉的安装方法，硅片上的力都不应该超过10磅。

Figure 9-7. BGA封装爆炸截面图，安装了热沉



注释： 不推荐使用夹子固定热沉在LGA封装上，因为在器件和电路板上没有足够的空间。推荐使用过孔的方案，如下图9-8所示。

Figure 9-8. LGA封装爆炸截面图，安装了热沉



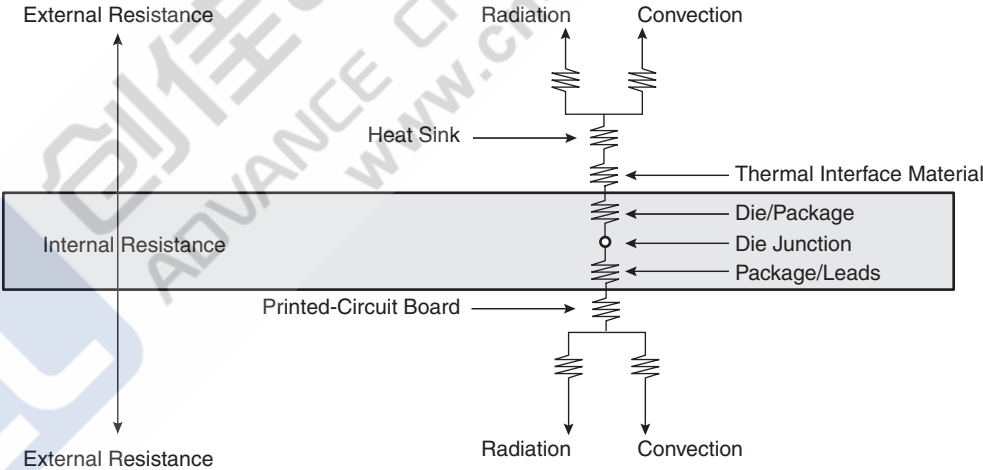
9.7.1 内部封装传导热阻

对于13页表格5-4描述的裸露硅片的封装工艺，其固有传导热阻路线如下：

- 硅片的节到壳热阻（壳实际是裸露硅片的顶部）
- 硅片的节到球热阻

37页图9-5描述了安装了热沉的封装到印刷电路板的主要热传递路线。

Figure 9-9. C4封装，印刷电路板上安装了热沉



注意内部对外部封装的热阻。

芯片的活跃侧产生的热量由硅片传导，通过热沉材料（或者热接口材料），最后到达热沉，在那里被对流散去。

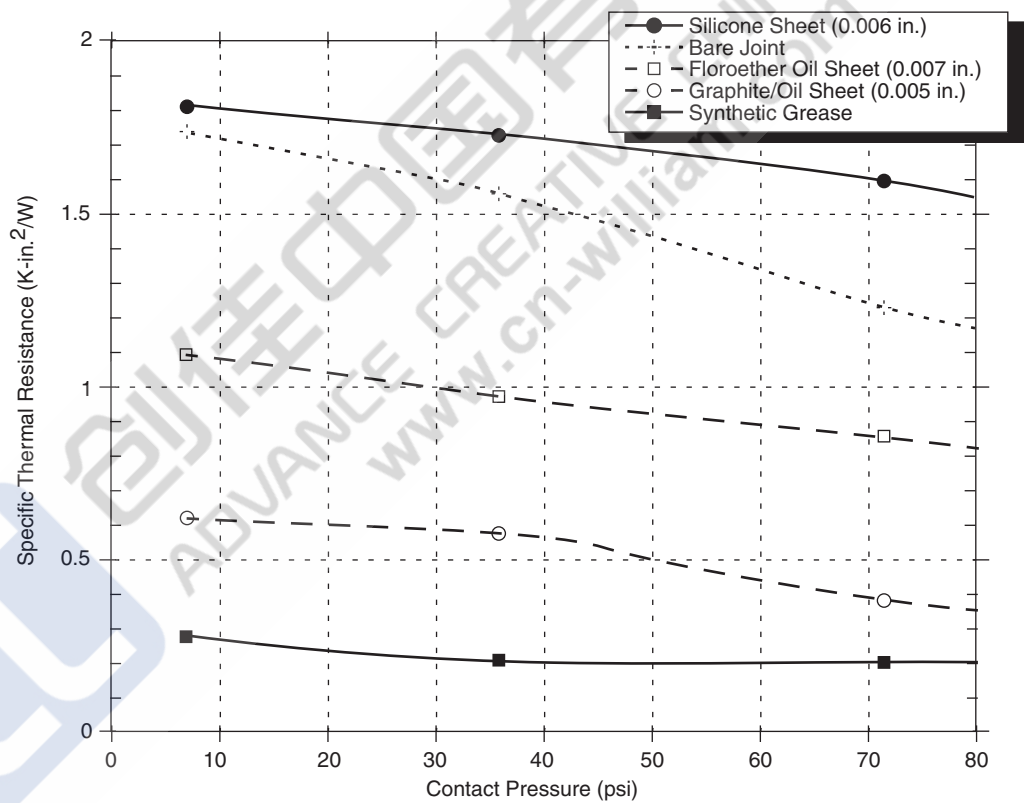
因为硅片的热阻很小，在一阶分析时硅片的温度变化可以忽略不计。这样，热接口材料和热沉的传导/对流热阻是主导的因素。

9.7.2 热接口材料

在封装的盖子-热沉接口处可以使用热接口材料降低接触热阻。对于热阻使用弹簧夹机械结构固定的引用，图9-10标出了三种薄板热接口材料（硅脂，石墨/油，氟醚油），不加任何其他物质的结点和涂了导热脂的结点，对接触压力的散热曲线。如图所示，这些热接口材料的性能随着接触压力而更好。使用导热脂极大减少了接口热阻。实际上，单纯的结点的热阻大约是导热脂结点的七倍。

通常，热沉是用固定在印刷电路板的孔中的弹簧夹固定在封装上的（见41页图9-7）。因此，由于低接触压力，合成硅脂提供了最好的热性能，推荐用在高功耗的PC7448上。当然，热阻接口材料的选择基于很多因素，热性能要求，工艺，使用温度，介电特性，成本等等。

Figure 9-10. 某些热接口材料的热性能



板子的设计师可以在多种类型的热接口之间选择。热沉粘合剂材料应该基于高传导性和高机械强度选择，以满足设备冲击/震动的要求。

这里是一些商业可用的热接口和粘合剂材料，由下面的供应商提供：

The Bergquist Company 800-347-4572

18930 West 78th St.

Chanhassen, MN 55317

Internet: www.bergquistcompany.com

Chomerics, Inc.

781-935-4850

77 Dragon Ct.

Woburn, MA 01801

Internet: www.chomerics.com

Dow-Corning Corporation

800-248-2481

Corporate Center

P.O. Box 994.

Midland, MI 48686-0994

Internet: www.dowcorning.com

Shin-Etsu MicroSi, Inc.

888-642-7674

10028 S. 51st St.

Phoenix, AZ 85044

Internet: www.microsi.com

Thermagon Inc.

888-246-9050

4707 Detroit Ave.

Cleveland, OH 44102

Internet: www.thermagon.com

下面的小结提供一个热沉选择的例子，使用的是一种商业可用的热沉。

9.7.3 热沉选择例子

对于初步的热沉尺寸，硅片节温可以由下式计算：

$$T_J = T_i + T_r + (R_{\theta JC} + R_{\theta int} + R_{\theta sa}) \times P_d$$

这里：

T_J 是硅片节温

T_i 是入口室环境温度

T_r 是计算机室内的空气温度上升

$R_{\theta JC}$ 是节到壳的热阻

$R_{\theta int}$ 是粘合剂或接口材料的热阻

$R_{\theta sa}$ 是热沉基座到环境的热阻

P_d 是器件的功耗

在工作中，硅片结温(T_j) 应该维持在小于12页表格5-3中规定的值。风冷器件的温度很大程度上依靠环境入口气流温度和电子室的空气温度上升。一个电子室入口的空气温度(T_i)可能从30度到40度变化。室内的空气温度上升可能在5度到10度的范围内。热接口材料($R_{\theta_{int}}$)的热阻典型值大约是 1.1°C/W 。例如，假设 T_i 是30度， T_r 是5度，HiTCE封装的 $R_{\theta_{JC}}$ 为0.1，典型的功耗(P_d) 是21W，那么可以得到 T_j 是：

$$\text{硅片结温: } T_j = 30^\circ \text{C} + 5^\circ \text{C} + (0.1^\circ \text{C/W} + 1.1^\circ \text{C/W} + \theta_{sa}) \times 25.6$$

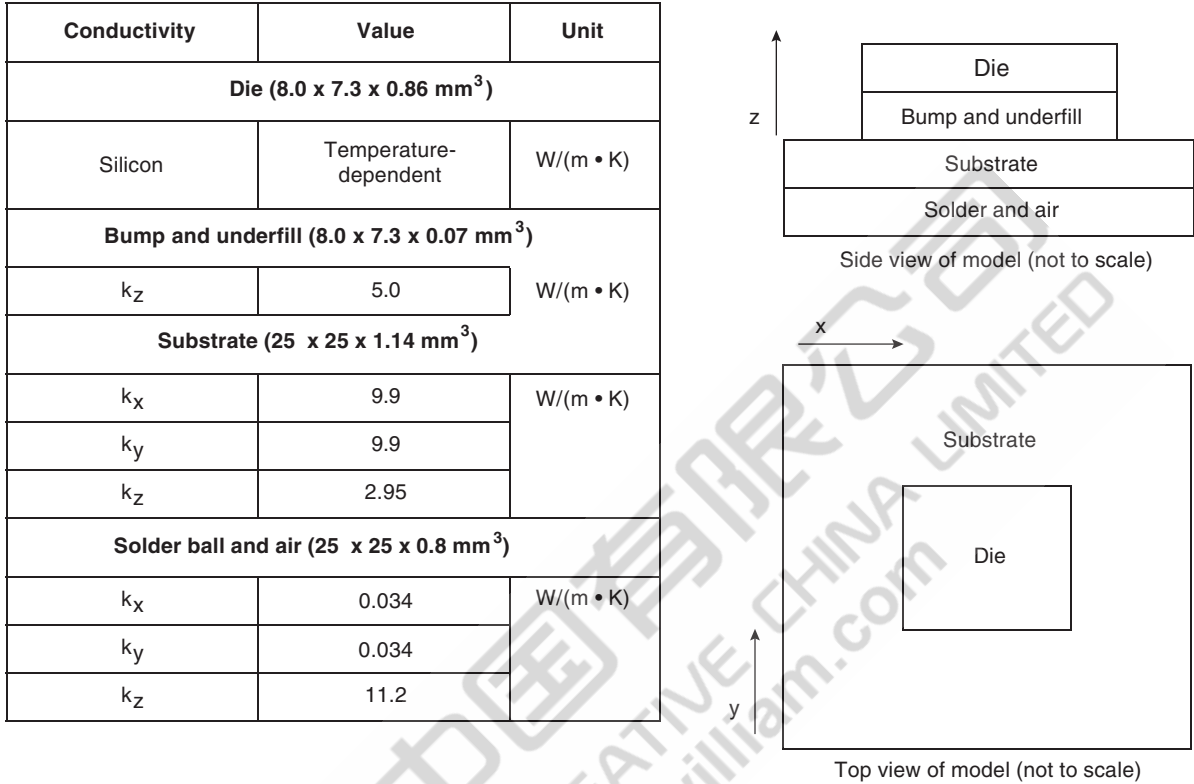
在这个例子中， $R_{\theta_{sa}}$ 值需要 1.53°C/W 或更小，以使得硅片结温低于12页表格5-3规定的最大值。

虽然硅片结点到环境和热沉到环境的热阻是用来比较不同的微电子封装技术性能的通用的技术指标，在仅使用这个指标衡量热管理时应该小心，因为没有单独的一个参数可以恰当地描述三维的热流。最终的硅片结点工作温度并不仅仅是器件级热阻的函数，还和系统级设计和工作条件有关。除了器件的功耗，还有很多因素会影响最终的硅片工作结温：气流，板子安装（邻近器件的局部热通量），热沉效率，热沉安装，热沉布置，下一级互联技术，系统空气温度上升，高度等等。

因为如今的微电子设备的系统级边界条件的复杂度和多样化，热传递机制（辐射，对流，传导）的综合影响可能差别很大。基于这些原因，我们建议使用板子和系统级设计的共轭热传递模型。

对于系统热模型，PC7448的热模型如46页图9-11所示。四个区块代表这个器件。其中两个区块，焊接球-空气和基板，是用封装的外形尺寸建模。另外两个，硅片和突起底填充，和硅片的尺寸相同。硅片应该按照 $8.0 \times 7.3 \times 0.86 \text{ mm}^3$ 的尺寸建模，把热源当做统一的在区块底部的源来应用。突起和底填充层按照 $8.0 \times 7.3 \times 0.07 \text{ mm}^3$ 建模，在z方向塌陷，z方向的热传导是 $5.0 \text{ W/(m} \cdot \text{K)}$ 。基板区块是 $25 \times 25 \times 1.14 \text{ mm}^3$ ，在xy平面的各向同性的传导为 $9.9 \text{ W/(m} \cdot \text{K)}$ ，z轴方向为 $2.95 \text{ W/(m} \cdot \text{K)}$ 。焊球和空气层按照和基板相同的水平尺寸建模，厚度为0.8 mm。对于LGA封装，焊盘和空气层是0.1 mm厚，但是材料性能相同。也可以按照塌陷的区块建模，使用如下的正交各向异性的材料特性：xy平面方向是 $0.034 \text{ W/(m} \cdot \text{K)}$ ，z轴方向是 $11.2 \text{ W/(m} \cdot \text{K)}$ 。

Figure 9-11. PC7448推荐的热模型



9.7.4 温度二极管

PC7448有个温度二极管，可以和其他的系统温度监控器件（比如Analog Devices, ADT7461)配合使用。这些器件使用负温度系数的二极管，工作在恒定的电流，判断微处理器的温度和环境温度。为了正常工作，使用的监控器件必须自动校准器件，通过取消PC7448的内部二极管的V_{BE}变化。

下面是PC7448板上温度二极管的规格：

V_f > 0.40V

V_f < 0.90V

工作范围 2 - 300 μA

漏电流 < 10 nA at 125° C

5 μA – 150 μA at 60° C的理想因子: n = 1.0275 ± 0.9%

理想因子由理想二极管等式的偏差决定：

$$I_{fW} = I_s \left[e^{\frac{qV_f}{nKT}} - 1 \right]$$

另外一个有用的等式是：

$$V_H - V_L = n \frac{KT}{q} \left[\ln \frac{I_H}{I_L} \right] - 1$$

这里:

I_{fw} = 正向电流

I_s = 饱和电流

V_d = 二极管电压

V_f = 正向偏置电压

V_H = 当 I_H 流过时的二极管电压

V_L = 当 I_L 流过时的二极管电压

I_H = 大二极管偏置电流

I_L = 小二极管偏置电流

q = 电子充电 (1.6×10^{-19} C)

n = 理想因子 (通常值 1.0)

K = Boltzman常量(1.38×10^{-23} Joules/K)

T = 温度 (开式)

I_H 与 I_L 的比通常选择为10:1。上述简化为:

$$V_H - V_L = 1.986 \times 10^{-4} \times nT$$

解出 T , 等式变为:

$$nT = \frac{V_H - V_L}{1.986 \times 10^{-4}}$$

9.7.5 动态频率切换(DFS)

PC7448的DFS特性可以在正常工作时将处理器到系统总线的比值除以2或者4。除2模式通过在软件中设置HID1[DFS2]bit或者硬件置位DFS2引脚使能。清空HID1[DFS2]或者无效化DFS2, PC7448就回到了全速工作。类似的, 除4模式通过软件设置HID1[DFS4]或者硬件置位DFS4脚使能。在任何情况下, 频率的改变发生在1个时钟周期内, 在多种模式之间切换无需空闲等待时间。注意使能DFS2或者DFS4会覆盖DFS的软件控制, 使能DFS2和DFS4会完全禁用DFS, 包括软件控制。更多信息请参考PC7450 RISC 微处理器系列参考手册。注意当使能DFS时, 最小核心频率必须满足要求, 对应的核心频率必须满足16页表5-7给出的 f_{CORE_DFS} 。

9.7.5.1 DFS使能时的功耗

DFS使能时的功耗可以由下式估算:

$$P_{DFS} = \left[\frac{f_{DFS}}{f} (P - P_{DS}) \right] + P_{DS}$$

这里:

P_{DFS} = DFS使能时的功耗

f_{DFS} = DFS使能时的核心频率

f = DFS使能之前的核心频率

P = 使能之前的功耗 (见14页表格5-6)

P_{DS} = 深睡模式功耗 (见14页表格5-6)

上述仅是估算值。DFS使能时的功耗未经测试且没有保证。

9.7.5.2 总线-核心乘法器约束

DFS不是对所有的总线-核心乘法器都有效，其在硬件复位时由PLL_CFG[0:5]配置。完整列表由表格9-5所示。

Table 9-5. 可用的除法比配置

Bus-to-Core Multiplier Configured by PLL_CFG[0:5] (see Table 9-1 on page 31)	Bus-to-Core Multiplier with HID1[DFS2] = 1 or DFS2 = 0 ($\div 2$)	Bus-to-Core Multiplier with HID1[DFS4] = 1 or DFS4 = 0 ($\div 4$)
2x	N/A	N/A
3x	N/A	N/A
4x	2x	N/A
5x	2.5x	N/A
5.5x	2.75x	N/A
6x	3x	N/A
6.5x	3.25x	N/A
7x	3.5x	N/A
7.5x	3.75x	N/A
8x	4x	2x
8.5x	4.25x	N/A
9x	4.5x	2.25x
9.5x	4.75x	N/A
10x	5x	2.5x
10.5x	5.25x	N/A
11x	5.5x	2.75x
11.5x	5.75x	N/A
12x	6x	3x
12.5x	6.25x	N/A
13x	6.5x	3.25x
13.5x	6.75x	N/A
14x	7x	3.5x
15x	7.5x	3.75x
16x	8x	4x
17x	8.5x	4.25x
18x	9x	4.5x

Table 9-5. 可用的除法比配置(续)

Bus-to-Core Multiplier Configured by PLL_CFG[0:5] (see Table 9-1 on page 31)	Bus-to-Core Multiplier with HID1[DFS2] = 1 or $\overline{\text{DFS2}} = 0 (\div 2)$	Bus-to-Core Multiplier with HID1[DFS4] = 1 or $\overline{\text{DFS4}} = 0 (\div 4)$
20x	10x	5x
21x	10.5x	5.25x
24x	12x	6x
28x	14x	7x

9.7.5.3 DFS的最小核心频率要求

在很多系统中，使能DFS可能导致很低的处理器核心频率。但是，必须小心，确保处理器核心频率在16页表格5-7指定的范围以内。如果处理器核心频率低于规定的最小值 f_{CORE} ，不能保证器件正常工作。

10. 订货信息

xx	7448	y	xxx	nnnn	N	x
Product Code ⁽¹⁾	Part Identifier	Temperature Range ⁽¹⁾	Package ⁽¹⁾	Processor Frequency ⁽¹⁾	Application Modifier	Revision Level ⁽¹⁾
PC(X) ⁽²⁾	7448	V: T _C = -40°C, T _J = +110°C M: T _C = -55°C, T _J = +125°C	GH: Hi-TCE CBGA LH: Hi-TCE LGA SH: RoHS BGA	1000 MHz	1,0V ± 50 mV	D: 2.2 :PVR = 8004_0202
				1250 MHz	1,1V ± 50 mV	
				1267 MHz	1,05V ± 50 mV	

注释: 1. 关于不同版本，请联系当地的e2v销售办公室。
2. 型号中的X指明这是一个“原型”产品，不被e2v保证。PCX型号的可靠性不被保证，这种型号不能用于飞行硬件。当原型产品出货时，产品可能会变化。

11. 定义

11.1 生命保障应用

这些产品不是为生命保障仪器，设备和系统设计，在这些场合产品的故障可能导致人身伤害。在这些应用中使用或销售这些产品的e2v的客户自行承担风险，同意任何由这种不当使用或销售产生的危险与e2v无关。

12. 文档修改历史

Table 12-1 提供了硬件规格的修改历史。

Table 12-1. 文档修改历史

Revision Number	Date	Substantive Change(s)
E	12/08	Page 6: "Parity support on cache" replaced by "Parity support on L1 and L2 cache and L2 Tags".
D	12/07	Add 1267 MHz parts.
C	08/07	"Preliminary" status removed from this datasheet consecutive to product qualification completion.
B	02/07	Name change from Atmel to e2v. On first page: modifying Typical/Power consumption and maximum frequency. Table 4-1 on page 10 : removed HiTCE in core power supply at 1000 MHz Table 5-3 on page 12 : change operating temperature to $T_C = -55$; $T_J = +125$ Table 5-6 on page 14 note 3 : change temperature to 125° C Ordering information : - change processor frequency - associated V_{DD} level - Added rev D parts
A	10/05	Initial revision.

目录

特点 1

描述 1

筛选 1

1 概述 2

2 特点 4

3 与 **PC7447A** 和 **PC7447** 的比较 8

4 通用参数 10

5 电气和热参数 10

 5.1 详细规格 10

 5.2 应用文档 10

 5.3 DC 电气参数 11

 5.4 AC 电气参数 15

 5.5 降压和降频 22

6 引脚分配 23

7 引脚排列列表 24

8 封装描述 27

 8.1 PC7448, 360 HiTCE BGA的封装参数 27

 8.2 PC7448, 360 HiTCE BGA的机械尺寸 28

 8.3 PC7448, 360 HiTCE LGA的封装参数 28

 8.4 PC7448, 360 HiTCE LGA的机械尺寸 29

 8.5 PC7448, 360 HiTCE RoHS-Compliant BGA的封装参数 29

 8.6 PC7448, 360 HiTCE RoHS-Compliant BGA的机械尺寸 30

9 系统设计信息 31

 9.1 时钟 31

 9.2 电源设计和上电顺序 33

 9.3 连接建议 37

 9.4 输出Buffer DC阻抗 37

 9.5 上拉/下拉电阻要求 38

 9.6 JTAG配置信号 39

 9.7 热管理信息 41

10 订货信息 49

11 定义 49

 11.1 生命保障应用49

12 文档修改历史 50

 目录 i





How to reach us

Home page: www.e2v.com

Sales offices:

Europe Regional sales office

e2v ltd

106 Waterhouse Lane
Chelmsford
Essex CM1 2QU
England
Tel: +44 (0)1245 493493
Fax: +44 (0)1245 492492
mailto: enquiries@e2v.com

Europe Regional sales office

e2v sas

16 Burospace
F-91572 Bièvres
Cedex
France
Tel: +33 (0) 16019 5500
Fax: +33 (0) 16019 5529
mailto: enquiries-fr@e2v.com

Europe Regional sales office

e2v gmbh

Industriestraße 29
82194 Gröbenzell
Germany
Tel: +49 (0) 8142 41057-0
Fax: +49 (0) 8142 284547
mailto: enquiries-de@e2v.com

Americas

e2v inc

4 Westchester Plaza
Elmsford
NY 10523-1482
USA
Tel: +1 (914) 592 6050 or
1-800-342-5338,
Fax: +1 (914) 592-5148
mailto: enquiries-na@e2v.com

Asia Pacific

e2v ltd

11/F.,
Onfem Tower,
29 Wyndham Street, Central,
Hong Kong
Tel: +852 3679 364 8/9
Fax: +852 3583 1084
mailto: enquiries-ap@e2v.com

Product Contact:

e2v

Avenue de Rochepleine
BP 123 - 38521 Saint-Egrève Cedex
France
Tel: +33 (0)4 76 58 30 00

Hotline:

mailto: std-hotline@e2v.com

Whilst e2v has taken care to ensure the accuracy of the information contained herein it accepts no responsibility for the consequences of any use thereof and also reserves the right to change the specification of goods without notice. e2v accepts no liability beyond that set out in its standard conditions of sale in respect of infringement of third party patents arising from the use of tubes or other devices in accordance with information contained herein.