

ZYNQ7000 开发平台 用户手册

AC7Z035 核心板



文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

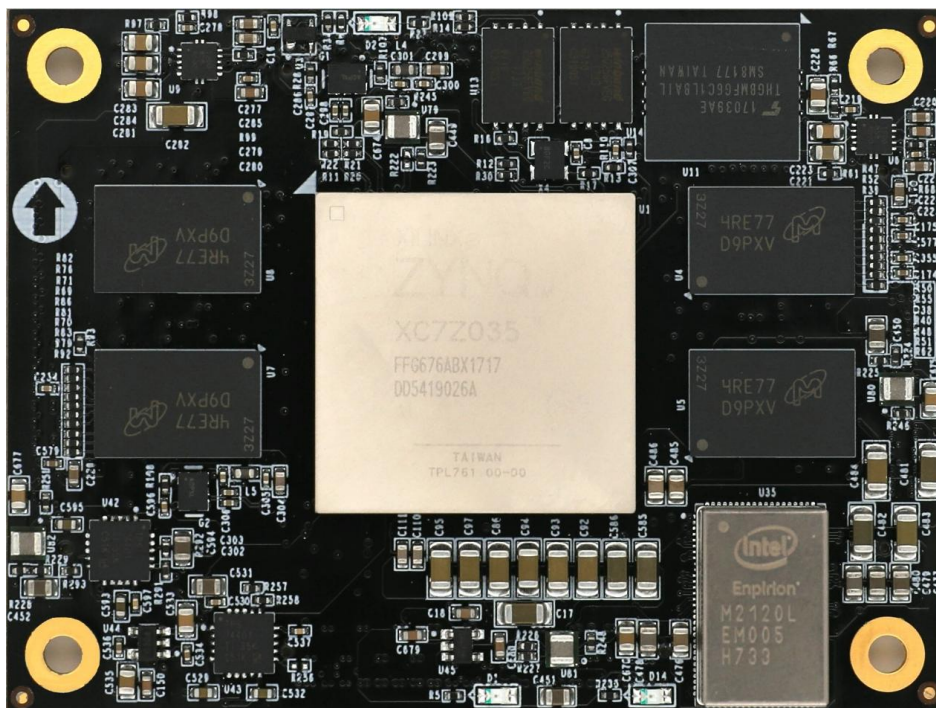
文档版本控制	2
(一) 简介	4
(二) ZYNQ 芯片	5
(三) DDR3 DRAM	8
(四) QSPI Flash	14
(五) eMMC Flash	15
(六) 时钟配置	16
(七) LED 灯	19
(八) 复位电路	20
(九) 电源	20
(十) 结构图	24
(十一) 连接器管脚定义	24

(一) 简介

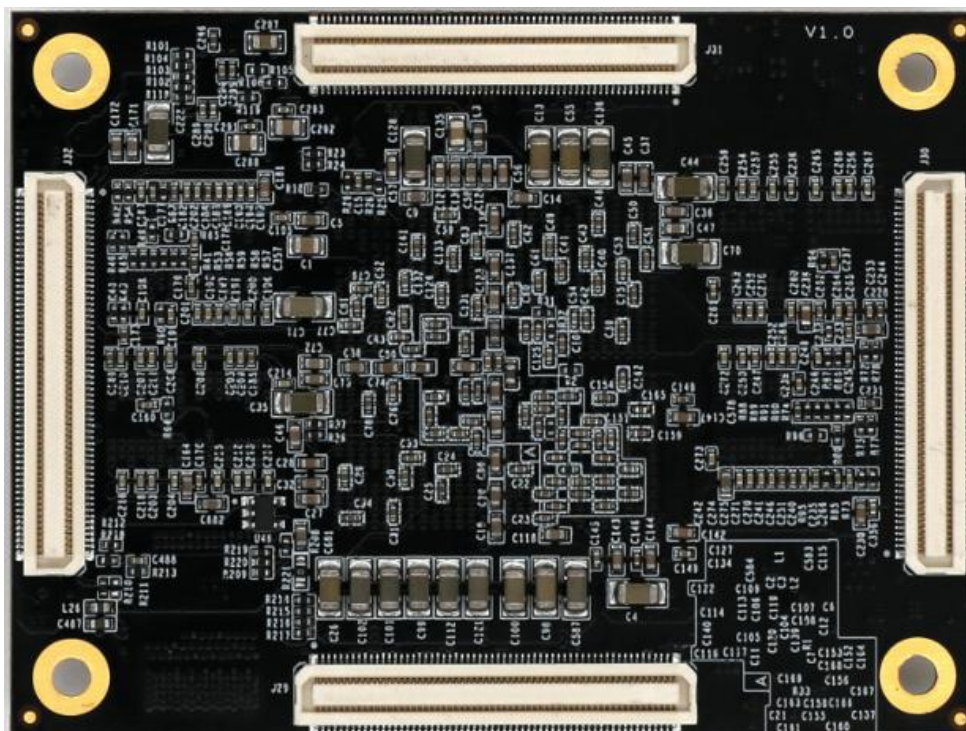
AC7Z035(核心板型号,下同)核心板,ZYNQ 芯片是基于 XILINX 公司的 ZYNQ7000 系列的 XC7Z035-2FFG676。ZYNQ 芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器,AMBA®互连,内部存储器,外部存储器接口和外设。ZYNQ 芯片的 FPGA 内部含有丰富的可编程逻辑单元,DSP 和内部 RAM。

这款核心板使用了 4 片 Micron 的 512MB 的 DDR3 芯片 MT41J256M16HA-125,总的容量达 4GB。其中 PS 和 PL 端各挂载两片,分别组成 32bit 的总线宽度。PS 端的 DDR3 SDRAM 的最高运行速度可达 533MHz(数据速率 1066Mbps),PL 端的 DDR3 SDRAM 的最高运行速度可达 800MHz(数据速率 1600Mbps)。另外核心板上也集成了 2 片 256MBit 大小的 QSPI FLASH 和 8GB 大小的 eMMC FLASH 芯片,用于启动存储配置和系统文件。

为了和底板连接,这款核心板的 4 个板对板连接器扩展出了 PS 端的 USB 接口,千兆以太网接口,SD 卡接口及其它剩余的 MIO 口,也扩展出了 ZYNQ 的 8 对高速收发器 GTX 接口;以及 PL 端的几乎所有 IO 口(144 个),其中 BANK12 和 BANK13 的 IO 的电平可以通过更换核心板上的 LDO 芯片来修改,满足用户不用电平接口的要求。对于需要大量 IO 的用户,此核心板将是不错的选择。而且 IO 连接部分,ZYNQ 芯片到接口之间走线做了等长和差分处理,并且核心板尺寸仅为 80*60(mm),对于二次开发来说,非常适合。



AC7Z035 核心板正面图



AC7Z035 核心板背面图

(二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z035-2FFG676。芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。ZYNQ7000 芯片的总体框图如图 2-2-1 所示

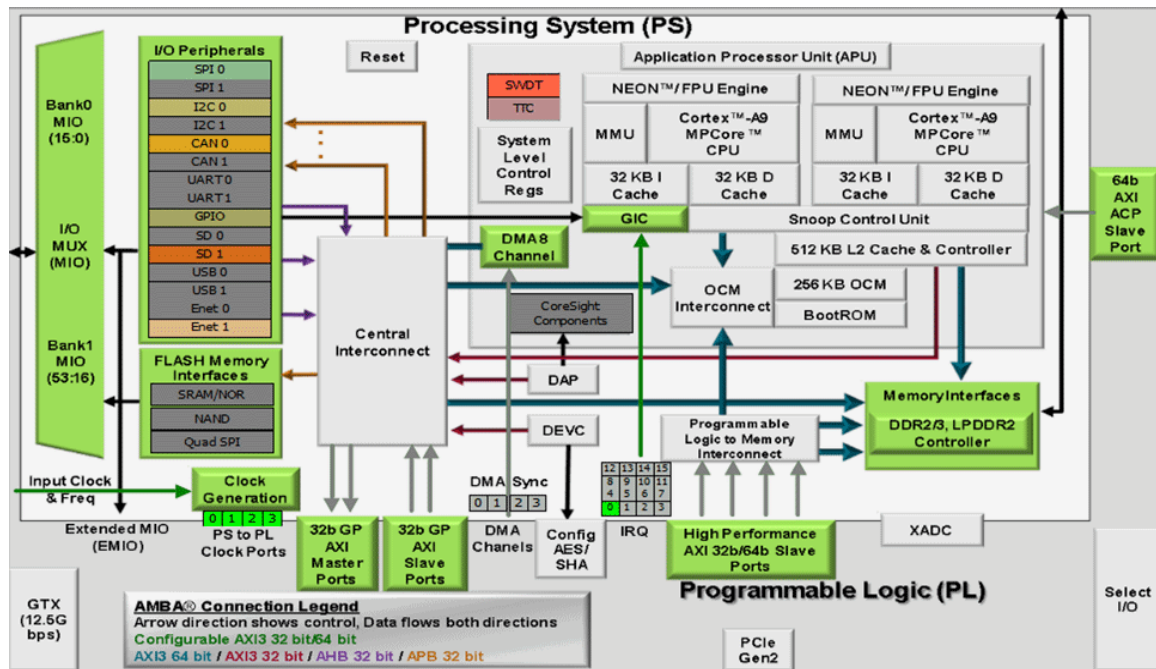


图2-2-1 ZYNQ7000芯片的总体框图

其中 PS 系统部分的主要参数如下：

- 基于 ARM 双核 CortexA9 的应用处理器，ARM-v7 架构 高达 800MHz
- 每个 CPU 32KB 1 级指令和数据缓存，512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 外部存储接口，支持 16/32 bit DDR2、DDR3 接口
- 两个千兆网卡支持：发散-聚集 DMA，GMII，RGMII，SGMII 接口
- 两个 USB2.0 OTG 接口，每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI，2 个 UARTs，2 个 I2C 接口
- 54 个多功能配置的 IO，可以软件配置成普通 IO 或者外设控制接口
- PS 内和 PS 到 PL 的高带宽连接

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells：275K；
- 查找表 LUTs: 171,900
- 触发器(flip-flops):343,800
- 乘法器 18x25MACCs：900;
- Block RAM：17.6Mb；
- 8 路高速 GTX 收发器，支持 PCIE Gen2x8；

- 2 个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道, 1MBPS

XC7Z035-2FFG676I 芯片的速度等级为-2,工业级,封装为 FGG676,引脚间距为 1.0mm, ZYNQ7000 系列的具体的芯片型号定义如下图 2-2 所示。

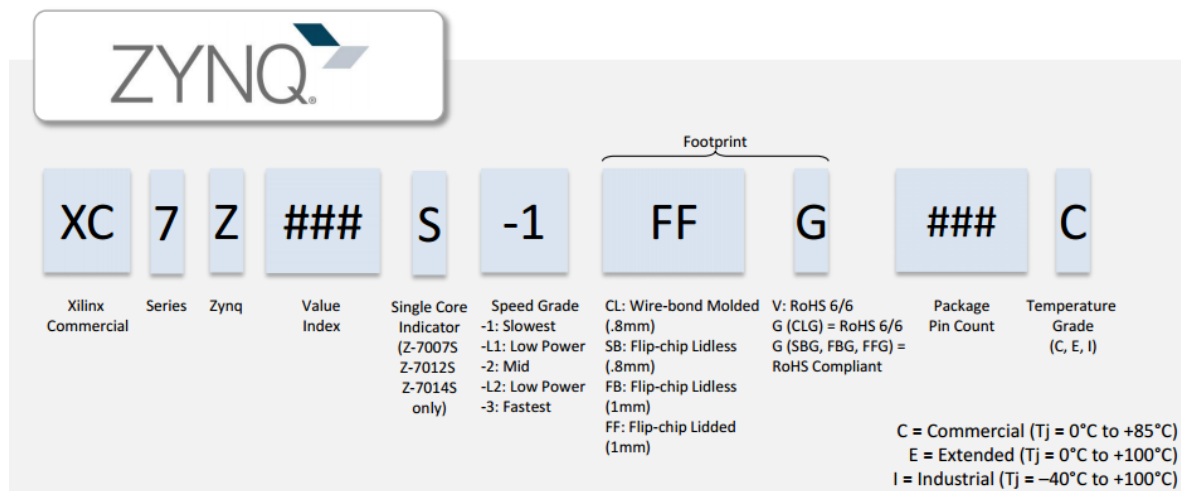


图2-2-2 ZYNQ型号命名规则定义

图 2-2-3 为开发板所用的 XC7Z035 芯片实物图。



图2-3 XC7Z035芯片实物

(三) DDR3 DRAM

AX7Z035开发板上配有四片Micron(美光) 的512MB的DDR3芯片,型号为MT41J256M16HA-125(兼容MT41K256M16HA-125)，其中PS和PL端各挂载两片。两片DDR3 SDRAM组成32bit的总线宽度。PS端的DDR3 SDRAM的最高运行速度可达533MHz(数据速率1066Mbps)，两片DDR3存储系统直接连接到了ZYNQ处理系统（PS）的BANK 502的存储器接口上。PL端的DDR3 SDRAM的最高运行速度可达800MHz(数据速率1600Mbps)，两片DDR3存储系统连接到了FPGA的BANK33, BANK34的接口上。DDR3 SDRAM的具体配置如下表2-3-1所示。

表2-3-1 DDR3 SDRAM配置

位号	芯片型号	容量	厂家
U4,U5,U7,U8	MT41J256M16HA-125	256M x 16bit	Micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制 ,走线等长控制，保证 DDR3 的高速稳定的工作。

PS 端的 DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

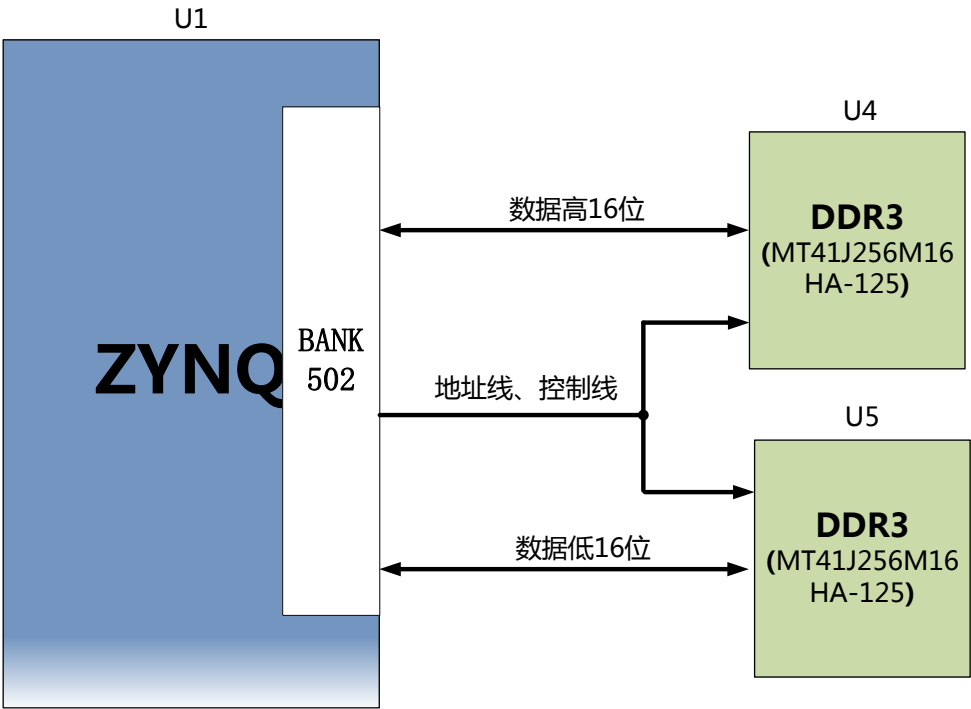


图2-3-1 PS端DDR3 DRAM原理图部分

PL 端的 DDR3 DRAM 的硬件连接方式如图 2-3-2 所示:

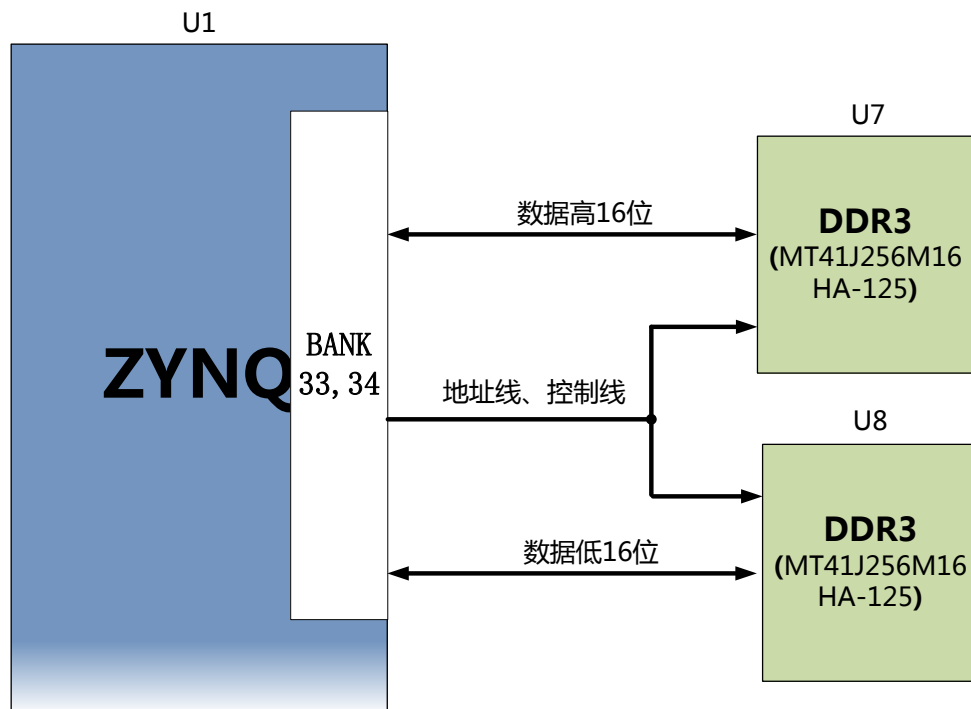


图2-3-2 PL端DDR3 DRAM原理图部分

PS 端 DDR3 DRAM 引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
PS_DDR3_DQS0_P	PS_DDR_DQS_P0_502	H24
PS_DDR3_DQS0_N	PS_DDR_DQS_N0_502	G25
PS_DDR3_DQS1_P	PS_DDR_DQS_P1_502	L24
PS_DDR3_DQS1_N	PS_DDR_DQS_N1_502	L25
PS_DDR3_DQS2_P	PS_DDR_DQS_P2_502	P25
PS_DDR3_DQS2_N	PS_DDR_DQS_N2_502	R25
PS_DDR3_DQS3_P	PS_DDR_DQS_P3_502	W24
PS_DDR3_DQS4_N	PS_DDR_DQS_N3_502	W25
PS_DDR3_D0	PS_DDR_DQ0_502	J26
PS_DDR3_D1	PS_DDR_DQ1_502	F25
PS_DDR3_D2	PS_DDR_DQ2_502	J25
PS_DDR3_D3	PS_DDR_DQ3_502	G26
PS_DDR3_D4	PS_DDR_DQ4_502	H26
PS_DDR3_D5	PS_DDR_DQ5_502	H23
PS_DDR3_D6	PS_DDR_DQ6_502	J24
PS_DDR3_D7	PS_DDR_DQ7_502	J23

PS_DDR3_D8	PS_DDR_DQ8_502	K26
PS_DDR3_D9	PS_DDR_DQ9_502	L23
PS_DDR3_D10	PS_DDR_DQ10_502	M26
PS_DDR3_D11	PS_DDR_DQ11_502	K23
PS_DDR3_D12	PS_DDR_DQ12_502	M25
PS_DDR3_D13	PS_DDR_DQ13_502	N24
PS_DDR3_D14	PS_DDR_DQ14_502	M24
PS_DDR3_D15	PS_DDR_DQ15_502	N23
PS_DDR3_D16	PS_DDR_DQ16_502	R26
PS_DDR3_D17	PS_DDR_DQ17_502	P24
PS_DDR3_D18	PS_DDR_DQ18_502	N26
PS_DDR3_D19	PS_DDR_DQ19_502	P23
PS_DDR3_D20	PS_DDR_DQ20_502	T24
PS_DDR3_D21	PS_DDR_DQ21_502	T25
PS_DDR3_D22	PS_DDR_DQ22_502	T23
PS_DDR3_D23	PS_DDR_DQ23_502	R23
PS_DDR3_D24	PS_DDR_DQ24_502	V24
PS_DDR3_D25	PS_DDR_DQ25_502	U26
PS_DDR3_D26	PS_DDR_DQ26_502	U24
PS_DDR3_D27	PS_DDR_DQ27_502	U25
PS_DDR3_D28	PS_DDR_DQ28_502	W26
PS_DDR3_D29	PS_DDR_DQ29_502	Y25
PS_DDR3_D30	PS_DDR_DQ30_502	Y26
PS_DDR3_D31	PS_DDR_DQ31_502	W23
PS_DDR3_DM0	PS_DDR_DM0_502	G24
PS_DDR3_DM1	PS_DDR_DM1_502	K25
PS_DDR3_DM2	PS_DDR_DM2_502	P26
PS_DDR3_DM3	PS_DDR_DM3_502	V26
PS_DDR3_A0	PS_DDR_A0_502	K22
PS_DDR3_A1	PS_DDR_A1_502	K20
PS_DDR3_A2	PS_DDR_A2_502	N21
PS_DDR3_A3	PS_DDR_A3_502	L22

PS_DDR3_A4	PS_DDR_A4_502	M20
PS_DDR3_A5	PS_DDR_A5_502	N22
PS_DDR3_A6	PS_DDR_A6_502	L20
PS_DDR3_A7	PS_DDR_A7_502	J21
PS_DDR3_A8	PS_DDR_A8_502	T20
PS_DDR3_A9	PS_DDR_A9_502	U20
PS_DDR3_A10	PS_DDR_A10_502	M22
PS_DDR3_A11	PS_DDR_A11_502	H21
PS_DDR3_A12	PS_DDR_A12_502	P20
PS_DDR3_A13	PS_DDR_A13_502	J20
PS_DDR3_A14	PS_DDR_A14_502	R20
PS_DDR3_BA0	PS_DDR_BA0_502	U22
PS_DDR3_BA1	PS_DDR_BA1_502	T22
PS_DDR3_BA2	PS_DDR_BA2_502	R22
PS_DDR3_S0	PS_DDR_CS_B_502	Y21
PS_DDR3_RAS	PS_DDR_RAS_B_502	V23
PS_DDR3_CAS	PS_DDR_CAS_B_502	Y23
PS_DDR3_WE	PS_DDR_WE_B_502	V22
PS_DDR3_ODT	PS_DDR_ODT_502	Y22
PS_DDR3_RESET	PS_DDR_DRST_B_502	H22
PS_DDR3_CLK0_P	PS_DDR_CKP_502	R21
PS_DDR3_CLK0_N	PS_DDR_CKN_502	P21
PS_DDR3_CKE	PS_DDR_CKE_502	U21

PL 端 DDR3 DRAM 引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
PL_DDR3_DQS0_P	IO_L3P_T0_DQS_33	G2
PL_DDR3_DQS0_N	IO_L3N_T0_DQS_33	F2
PL_DDR3_DQS1_P	IO_L9P_T1_DQS_33	K2
PL_DDR3_DQS1_N	IO_L9N_T1_DQS_33	K1
PL_DDR3_DQS2_P	IO_L15P_T2_DQS_33	N3
PL_DDR3_DQS2_N	IO_L15N_T2_DQS_33	N2

PL_DDR3_DQS3_P	IO_L21P_T3_DQS_33	M8
PL_DDR3_DQS4_N	IO_L21N_T3_DQS_33	L8
PL_DDR3_D0	IO_L5N_T0_33	E1
PL_DDR3_D1	IO_L1N_T0_33	F4
PL_DDR3_D2	IO_L4P_T0_33	D1
PL_DDR3_D3	IO_L1P_T0_33	G4
PL_DDR3_D4	IO_L2N_T0_33	D3
PL_DDR3_D5	IO_L5P_T0_33	E2
PL_DDR3_D6	IO_L2P_T0_33	D4
PL_DDR3_D7	IO_L4N_T0_33	C1
PL_DDR3_D8	IO_L7N_T1_33	H1
PL_DDR3_D9	IO_L10N_T1_33	G1
PL_DDR3_D10	IO_L7P_T1_33	J1
PL_DDR3_D11	IO_L8N_T1_33	H3
PL_DDR3_D12	IO_L11N_T1_SRCC_33	K3
PL_DDR3_D13	IO_L8P_T1_33	H4
PL_DDR3_D14	IO_L11P_T1_SRCC_33	L3
PL_DDR3_D15	IO_L10P_T1_33	H2
PL_DDR3_D16	IO_L18P_T2_33	N1
PL_DDR3_D17	IO_L14P_T2_SRCC_33	L5
PL_DDR3_D18	IO_L14N_T2_SRCC_33	L4
PL_DDR3_D19	IO_L13P_T2_MRCC_33	M6
PL_DDR3_D20	IO_L16P_T2_33	M2
PL_DDR3_D21	IO_L17P_T2_33	N4
PL_DDR3_D22	IO_L16N_T2_33	L2
PL_DDR3_D23	IO_L17N_T2_33	M4
PL_DDR3_D24	IO_L23P_T3_33	N7
PL_DDR3_D25	IO_L22N_T3_33	J6
PL_DDR3_D26	IO_L19P_T3_33	M7
PL_DDR3_D27	IO_L20N_T3_33	J5
PL_DDR3_D28	IO_L24P_T3_33	K8
PL_DDR3_D29	IO_L20P_T3_33	K5

PL_DDR3_D30	IO_L24N_T3_33	K7
PL_DDR3_D31	IO_L22P_T3_33	K6
PL_DDR3_DM0	IO_L6P_T0_33	F3
PL_DDR3_DM1	IO_L12P_T1_MRCC_33	J4
PL_DDR3_DM2	IO_L13N_T2_MRCC_33	M5
PL_DDR3_DM3	IO_L23N_T3_33	N6
PL_DDR3_A0	IO_L17N_T2_34	A8
PL_DDR3_A1	IO_L23P_T3_34	C2
PL_DDR3_A2	IO_L14P_T2_SRCC_34	D6
PL_DDR3_A3	IO_L15N_T2_DQS_34	B9
PL_DDR3_A4	IO_L10N_T1_34	D5
PL_DDR3_A5	IO_L17P_T2_34	A9
PL_DDR3_A6	IO_L11N_T1_SRCC_34	E7
PL_DDR3_A7	IO_L15P_T2_DQS_34	C9
PL_DDR3_A8	IO_L12N_T1_MRCC_34	F7
PL_DDR3_A9	IO_L18N_T2_34	A7
PL_DDR3_A10	IO_L24N_T3_34	A2
PL_DDR3_A11	IO_L11P_T1_SRCC_34	F8
PL_DDR3_A12	IO_L23N_T3_34	B1
PL_DDR3_A13	IO_L16P_T2_34	B10
PL_DDR3_A14	IO_L12P_T1_MRCC_34	G7
PL_DDR3_BA0	IO_L18P_T2_34	B7
PL_DDR3_BA1	IO_L19N_T3_VREF_34	C3
PL_DDR3_BA2	IO_L22N_T3_34	A3
PL_DDR3_S0	IO_L14N_T2_SRCC_34	C6
PL_DDR3_RAS	IO_L19P_T3_34	C4
PL_DDR3_CAS	IO_L20N_T3_34	B4
PL_DDR3_WE	IO_L20P_T3_34	B5
PL_DDR3_ODT	IO_L22P_T3_34	A4
PL_DDR3_RESET	IO_L16N_T2_34	A10
PL_DDR3_CLK0_P	IO_L21P_T3_DQS_34	B6
PL_DDR3_CLK0_N	IO_L21N_T3_DQS_34	A5

PL_DDR3_CKE	IO_L24P_T3_34	B2
-------------	---------------	----

(四) QSPI Flash

开发板配有 2 片 256MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线 ,FLASH 型号为 W25Q256FVEI , 它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性 , 在使用中 , 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U13,U14	W25Q256FVEI	256M bit	Winbond

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上 ,在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-1 为 QSPI Flash 在原理图中的部分。

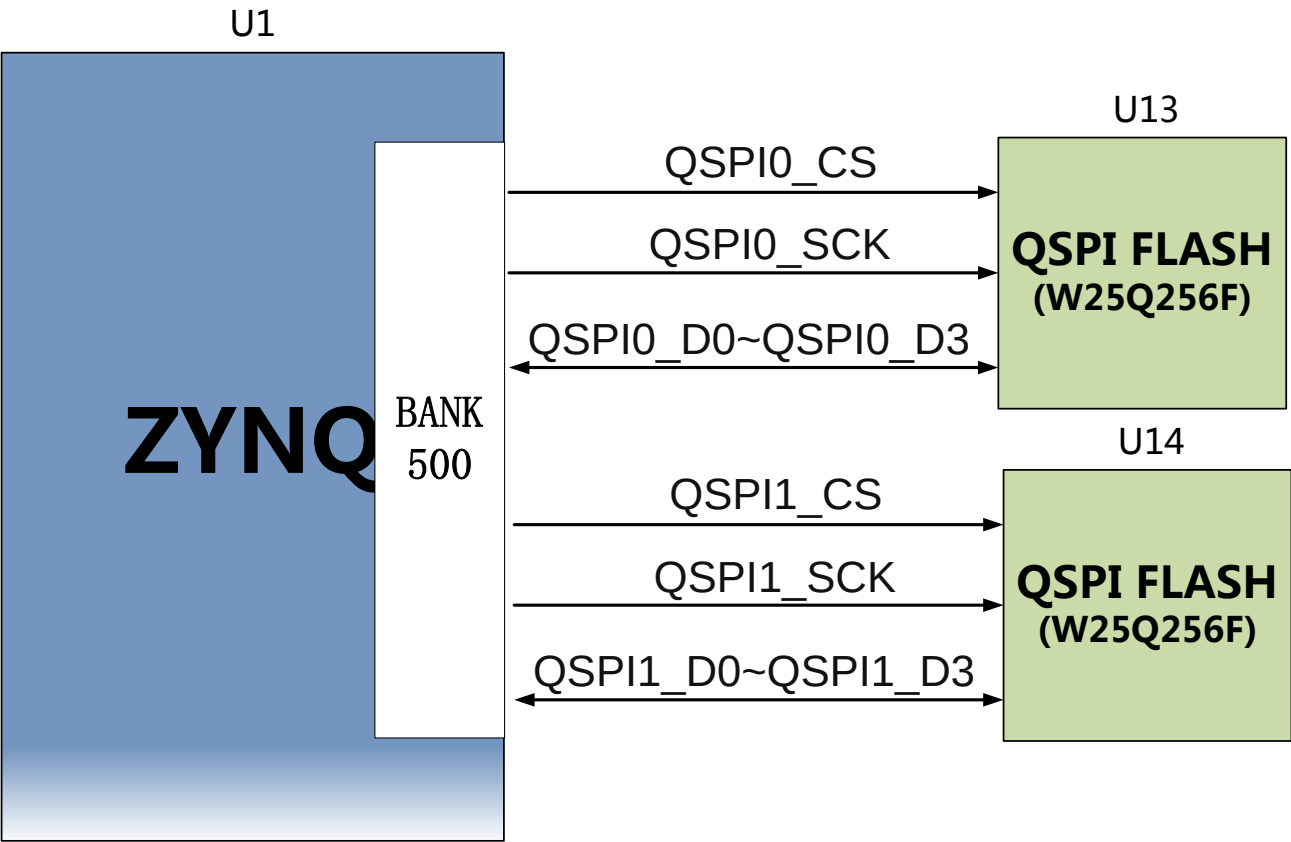


图 2-4-1 QSPI Flash 连接示意图

配置芯片引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
QSPIO_SCK	PS_MIO6_500	F23
QSPIO_CS	PS_MIO1_500	D26
QSPIO_D0	PS_MIO2_500	E25
QSPIO_D1	PS_MIO3_500	D25
QSPIO_D2	PS_MIO4_500	F24
QSPIO_D3	PS_MIO5_500	C26
QSPI1_SCK	PS_MIO9_500	D24
QSPI1_CS	PS_MIO0_500	E26
QSPI1_D0	PS_MIO10_500	A25
QSPI1_D1	PS_MIO11_500	B26
QSPI1_D2	PS_MIO12_500	A23
QSPI1_D3	PS_MIO13_500	B25

(五) eMMC Flash

开发板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 THGBMFG6C1LBAIL，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 4bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U11	THGBMFG6C1LBAIL	8G Byte	TOSHIBA

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK501 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 SD 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

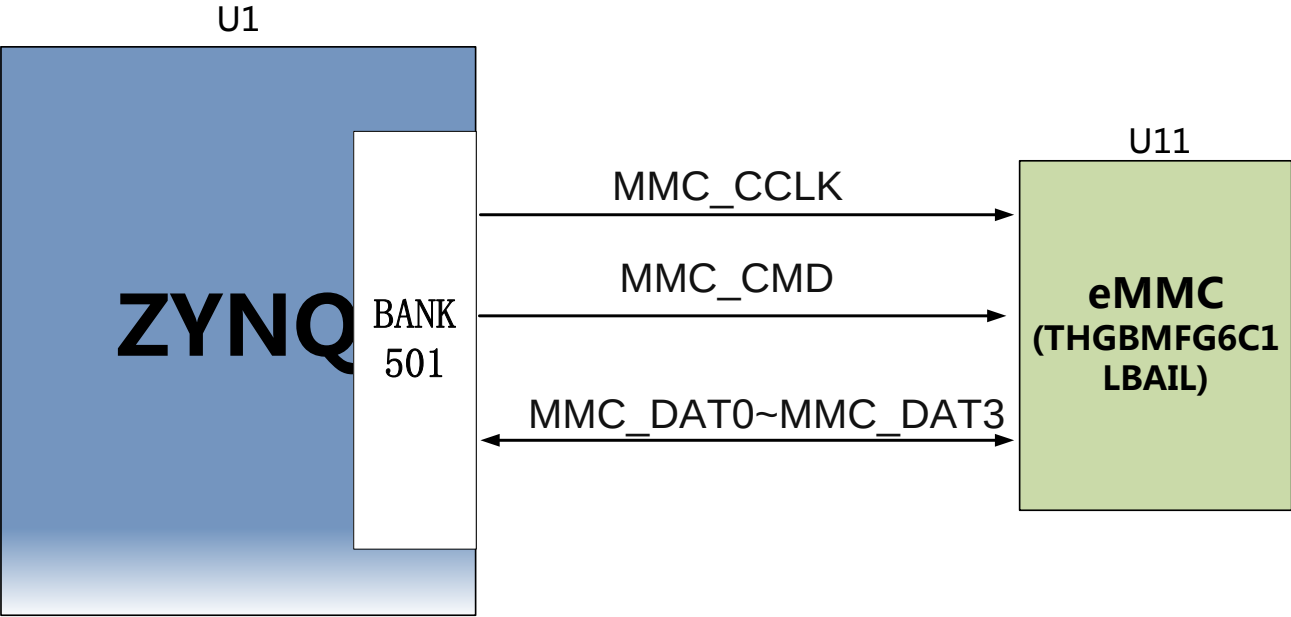


图 2-5-1 eMMC Flash 连接示意图

配置芯片引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
MMC_CCLK	PS_MIO48_501	B21
MMC_CMD	PS_MIO47_501	B19
MMC_D0	PS_MIO46_501	E17
MMC_D1	PS_MIO49_501	A18
MMC_D2	PS_MIO50_501	B22
MMC_D3	PS_MIO51_501	B20

(六) 时钟配置

核心板上分别为 PS 系统, PL 逻辑部分和 GTX 收发器提供了参考时钟，使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-6-1 所示：

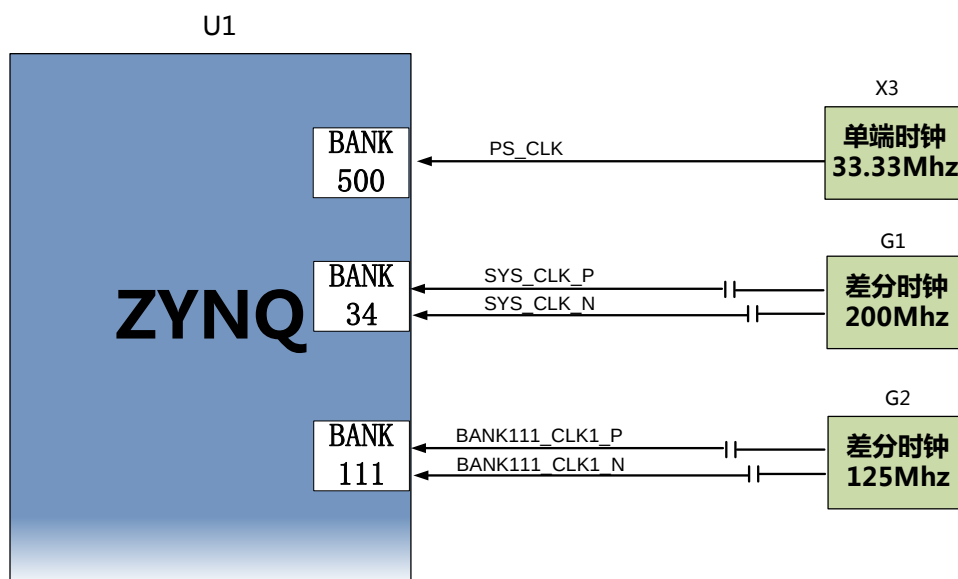


图 2-6-1 核心板时钟源

PS 系统时钟源

ZYNQ 芯片通过开发板上的 X4 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS_CLK_500 的管脚上。其原理图如图 2-6-2 所示：

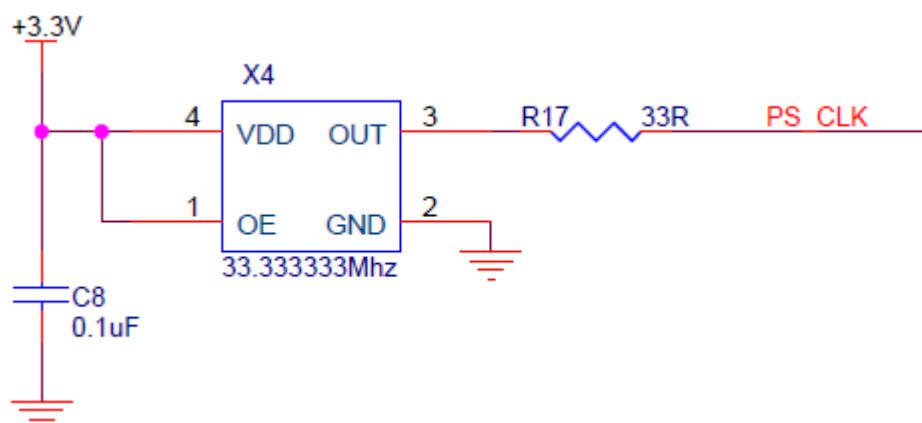


图 2-6-2 PS 部分的有源晶振

时钟引脚分配：

信号名称	ZYNQ 引脚
PS_CLK	B24

PL 系统时钟源

板上提供了一个差分 200MHz 的 PL 系统时钟源，用于 DDR3 控制器的参考时钟。晶振输出连接到 FPGA BANK34 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR3 控制器和用户逻辑电路。该时钟源的原理图如图 2-6-4 所示

SYSTEM CLOCK

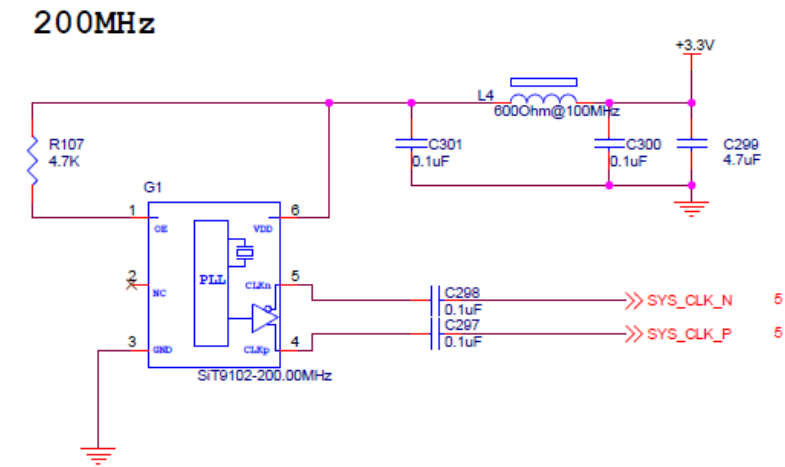


图 2-6-4 PL系统时钟源

PL 时钟引脚分配：

信号名称	ZYNQ 引脚
SYS_CLK_P	C8
SYS_CLK_N	C7

GTX 参考时钟

核心板上为 GTX 收发器提供了 125Mhz 的参考时钟。参考时钟连接到 BANK111 的参考时钟输入 REFCLK1P/REFCLK1N。该时钟源的原理图如图 2-6-6 所示

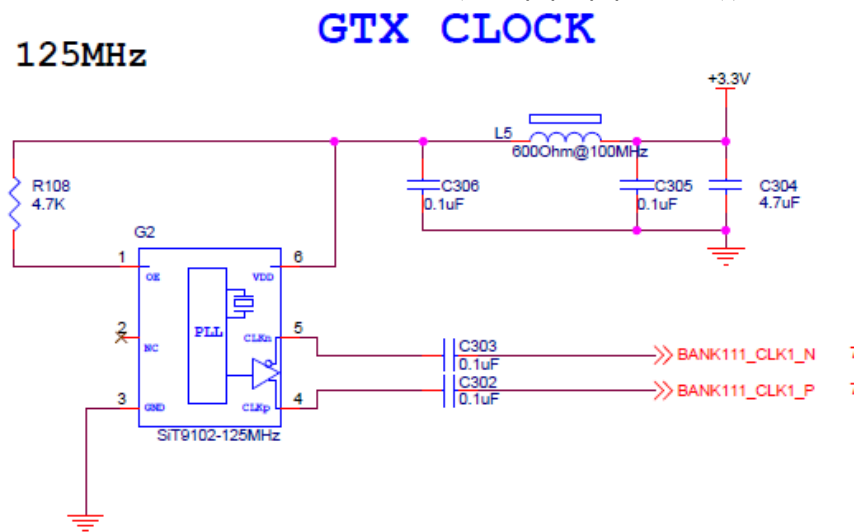


图 2-6-6 GTX 时钟源

图 6-7 为可 GTX 时钟源的实物图



图2-6-7 可编程时钟源实物图

GTX 时钟源 ZYNQ 引脚分配：

信号名称	ZYNQ 引脚
BANK111_CLK1_P	AA6
BANK111_CLK1_N	AA5

(七)LED 灯

AC7Z035 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)，1 个是用户 LED 灯。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户 LED 灯一个连接到 PL 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯熄灭，当连接 IO 电压为低时，用户 LED 灯会被点亮。LED 灯硬件连接的示意图如图 2-7-1 所示：

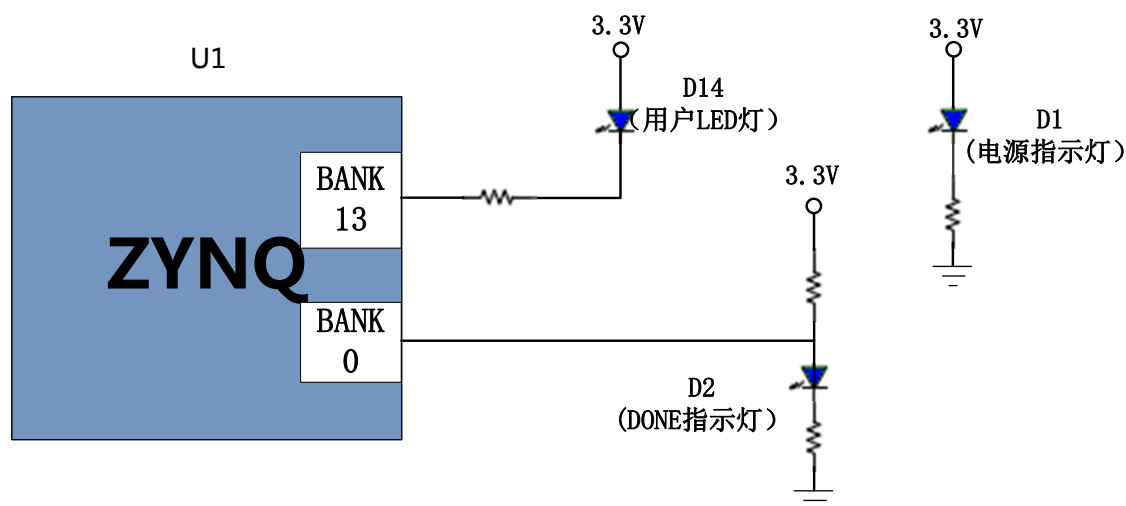


图 2-7-1 核心板 LED 灯硬件连接示意图

用户 LED 灯的引脚分配

LED 灯	ZYNQ 引脚名	ZYNQ 管脚号	备注
-------	----------	----------	----

D14	B13_IO25	V19	用户LED灯
-----	----------	-----	--------

(八) 复位电路

AC7Z035 核心板上有一个复位电路，复位输入信号连接到底板的复位按键，复位输出连接到 ZYNQ 芯片 PS 复位管脚上，用户可以使用这个底板按键来复位 ZYNQ 系统。复位连接的示意图如图 2-8-1 所示：

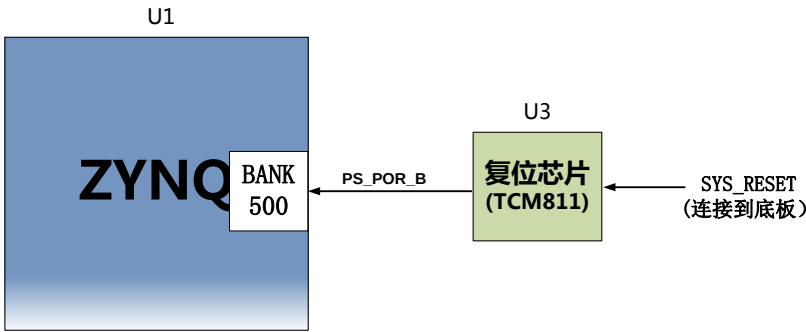


图 2-8-1 复位连接示意图

复位按键的 ZYNQ 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PS_POR_B	PS_POR_B_500	A22	ZYNQ系统复位信号

(九) 电源

AC7Z035 核心板供电电压为 DC5V，通过连接底板供电。板上的电源设计示意图如下图 2-9-1 所示:

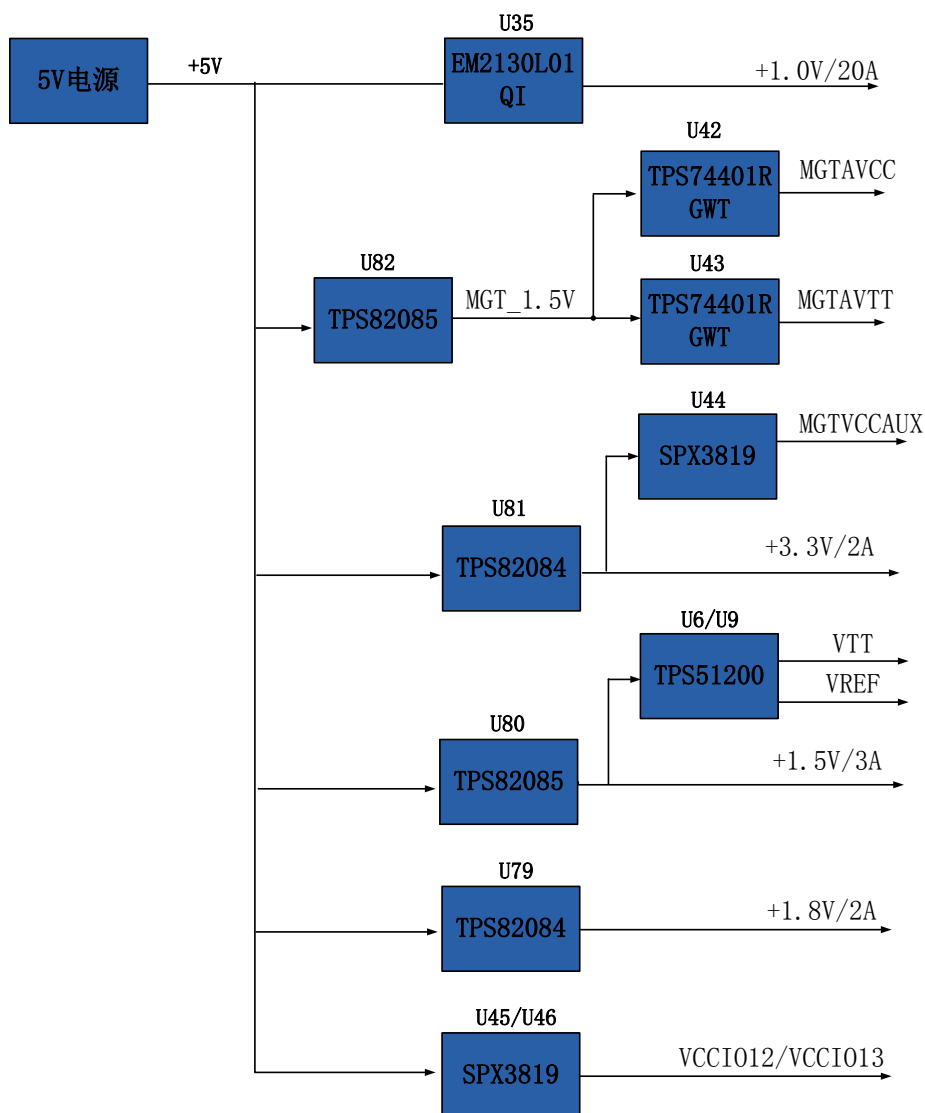


图 2-9-1 原理图中电源接口部分

+5V 通过 DCDC 电源芯片 EM2130L01QI 产生+1.0V 的 ZYNQ 核心电源，EM2130 输出电流高达 20A，远远满足 ZYNQ 的核心电压的电流需求。+5V 电源再通过 DCDC 芯片 TPS82084 和 TPS82085 来产生+1.5V，+3.3V，MGT_1.5V 和+1.5V 四路电源。MGT_1.5V 电源通过 2 个 LDO 芯片 TPS74401 产生 GTX 所需的+1.0V 和+1.2V 的电源，+3.3V 通过一个 LDO 芯片 SPX3819-1-8 产生 GTX 的辅助电源+1.8V。PS 部分和 PL 部分的 DDR3 的 VTT 和 VREF 电压由 U6，U9 来产生。另外通过 2 路 SPX3819M5-3-3 产生 BANK12 和 BANK13 的 IO 电源，用户可以通过更换 LDO 芯片，使得这两个 BANK 的 IO 输入输出为其它的电压标准。

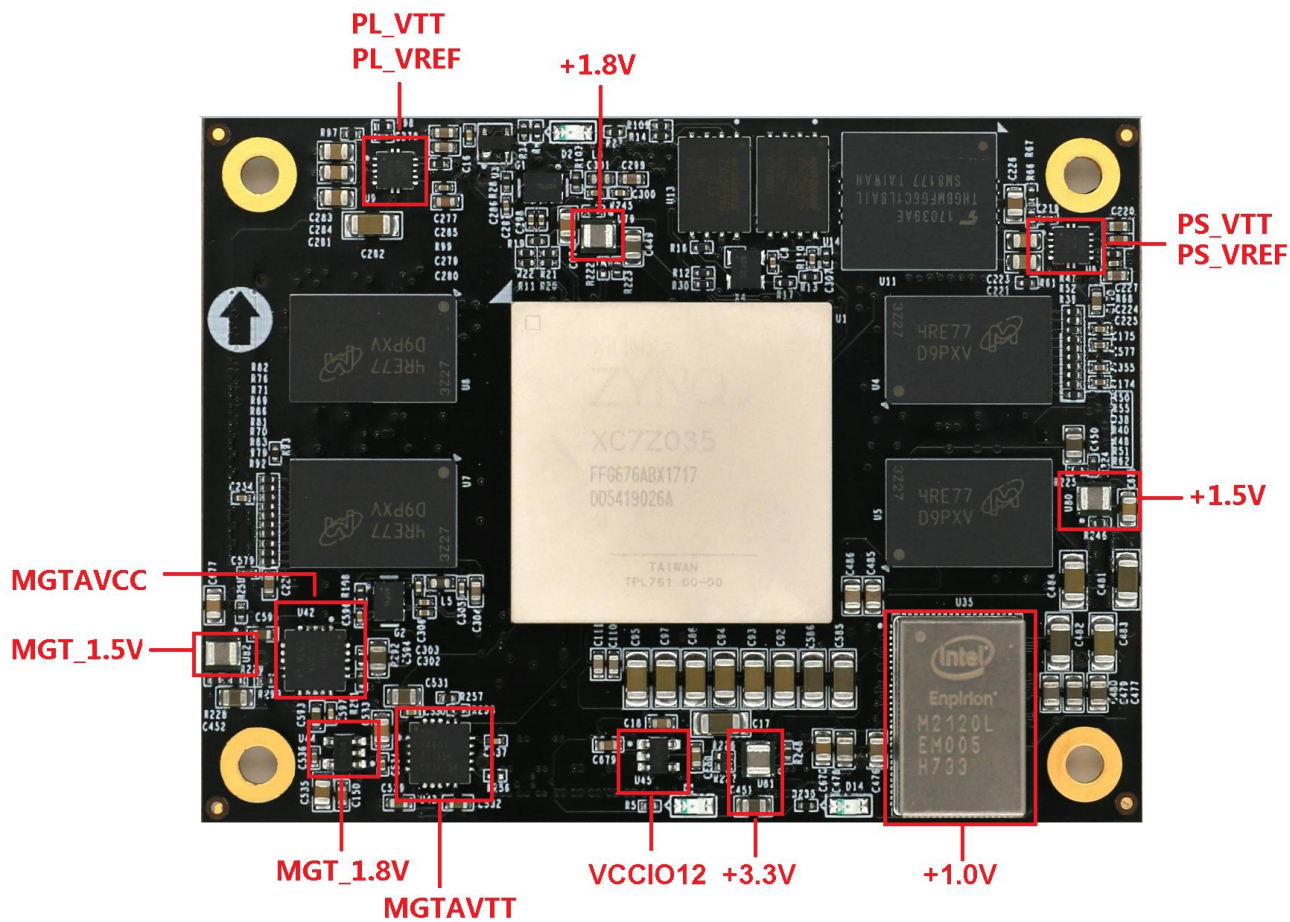
各个电源分配的功能如下表所示：

电源	功能
+1.0V	ZYNQ PS 和 PL 部分的内核电压

+1.8V	ZYNQ PS 和 PL 部分辅助电压 , BANK501 , BANK35 , eMMC
+3.3V	ZYNQ Bank0,Bank500 , QSIP FLASH, Clock 晶振
+1.5V	DDR3, ZYNQ Bank502, Bank33,Bank34
VCCIO12	ZYNQ Bank12
VCCIO13	ZYNQ Bank13
VREF, VTT (+0.75V)	PS DDR3 , PL DDR3
MGTAVCC(+1.0V)	ZYNQ Bank111, Bank112
MGTAVTT(+1.2V)	ZYNQ Bank111, Bank112
MGTVCCAUX (+1.8V)	ZYNQ Bank111, Bank112

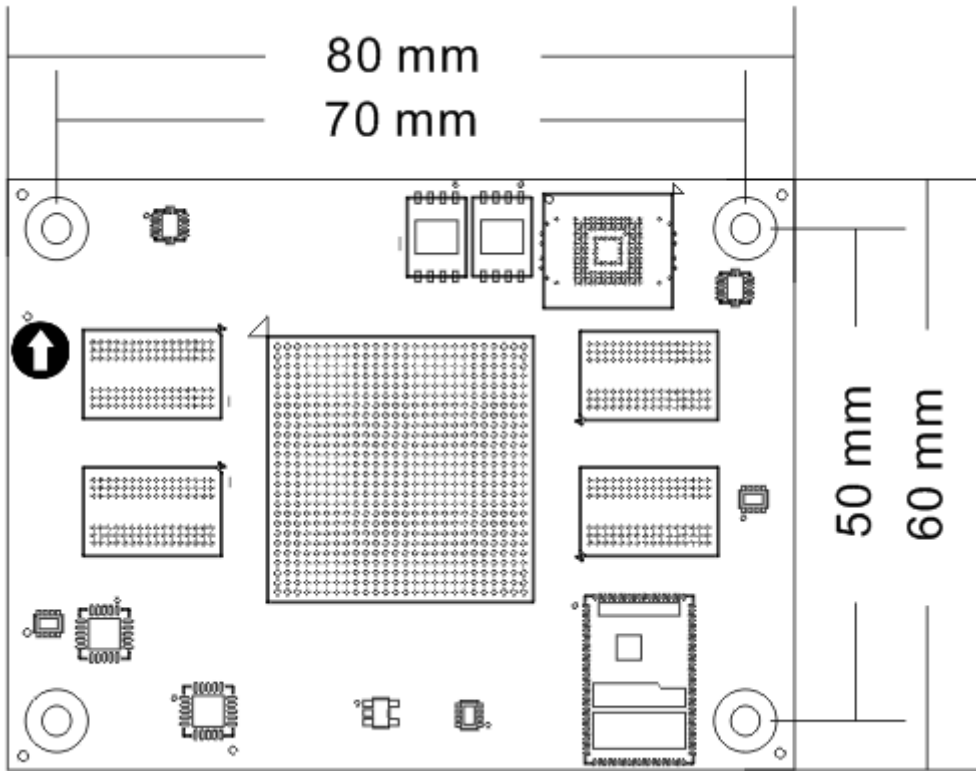
因为 ZYNQ FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为+1.0V->+1.8V-> (+1.5 V、 +3.3V、 VCCIO12 , VCCIO13) 的电路设计，保证芯片的正常工作。

AC7Z035 核心板的电源电路在板上的分别实物图所下图 2-9-2 所示。



2-9-2 核心板电源部分实物图

(十) 结构图



正面图 (Top View)

(十一) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 120Pin 的板间连接器 (J29~J32) 和底板连接，连接器使用松下的 AXK5A2137YG，对应底板的连接器型号为 AXK6A2337YG。其中 J29 连接 BANK12,BANK13 的 IO，J30 连接 GTX 的收发器信号, J31 连接 JTAG 和 BANK35 的 IO (1.8V 电平标准)，J 32 连接 PS 的 MIO，BANK13 的 IO 和+5V 电源。

J29 连接器的引脚分配

J29 管脚	信号名称	ZYNQ 引脚号	J29 管脚	信号名称	ZYNQ 引脚号
1	B13_L8_P	AE23	2	B13_L9_N	AB22
3	B13_L8_N	AF23	4	B13_L9_P	AB21
5	GND	-	6	GND	-
7	B13_L10_N	AA23	8	B13_L13_N	AD21
9	B13_L10_P	AA22	10	B13_L13_P	AD20
11	GND	-	12	GND	-

13	B13_L15_N	AF20	14	B13_L14_N	AC22
15	B13_L15_P	AF19	16	B13_L14_P	AC21
17	GND	-	18	GND	-
19	B13_L23_N	W19	20	B13_L7_P	AE22
21	B13_L23_P	W18	22	B13_L7_N	AF22
23	GND	-	24	GND	-
25	B13_L22_P	AA19	26	B13_L20_P	AA20
27	B13_L22_N	AB19	28	B13_L20_N	AB20
29	GND	-	30	GND	-
31	B13_L17_N	AD19	32	B13_L18_N	AF18
33	B13_L17_P	AD18	34	B13_L18_P	AE18
35	GND	-	36	GND	-
37	B13_L19_N	Y20	38	B13_L16_N	AE21
39	B13_L19_P	W20	40	B13_L16_P	AE20
41	GND	-	42	GND	-
43	B13_L24_N	AA18	44	B13_L21_N	AC19
45	B13_L24_P	Y18	46	B13_L21_P	AC18
47	GND	-	48	GND	-
49	B12_L23_P	Y16	50	B12_L18_N	AF17
51	B12_L23_N	Y15	52	B12_L18_P	AE17
53	GND	-	54	GND	-
55	B12_L15_P	AD16	56	B12_L16_P	AF15
57	B12_L15_N	AD15	58	B12_L16_N	AF14
59	GND	-	60	GND	-
61	B12_L14_P	AB15	62	B12_L13_N	AD14
63	B12_L14_N	AB14	64	B12_L13_P	AC14
65	GND	-	66	GND	-
67	B12_L10_N	AF13	68	B12_L19_P	Y17
69	B12_L10_P	AE13	70	B12_L19_N	AA17
71	GND	-	72	GND	-
73	B12_L4_P	AB11	74	B12_L20_P	AB17
75	B12_L4_N	AB10	76	B12_L20_N	AB16

77	GND	-	78	GND	-
79	B12_L7_P	AE10	80	B12_L8_N	AF12
81	B12_L7_N	AD10	82	B12_L8_P	AE12
83	GND	-	84	GND	-
85	B12_L24_P	W16	86	B12_L21_P	AC17
87	B12_L24_N	W15	88	B12_L21_N	AC16
89	GND	-	90	GND	-
91	B12_L3_N	AA10	92	B12_L17_P	AE16
93	B12_L3_P	Y10	94	B12_L17_N	AE15
95	GND	-	96	GND	-
97	B12_L11_P	AC12	98	B12_L22_P	AA15
99	B12_L11_N	AD11	100	B12_L22_N	AA14
101	GND	-	102	GND	-
103	B12_L12_N	AD13	104	B12_L5_P	W13
105	B12_L12_P	AC13	106	B12_L5_N	Y13
107	GND	-	108	GND	-
109	B12_L6_P	AA13	110	B12_L9_P	AE11
111	B12_L6_N	AA12	112	B12_L9_N	AF10
113	GND	-	114	GND	-
115	B12_L1_P	Y12	116	B12_L2_P	AB12
117	B12_L1_N	Y11	118	B12_L2_N	AC11
119	GND	-	120	GND	-

J30 连接器的引脚分配

J30 管脚	信号名称	ZYNQ 引脚号	J30 管脚	信号名称	ZYNQ 引脚号
1			2		
3			4		
5	GND	-	6	GND	-
7			8		
9			10		
11	GND	-	12	GND	-

13			14		
15			16		
17	GND	-	18	GND	-
19			20		
21			22		
23	GND	-	24	GND	-
25			26		
27			28		
29	GND	-	30	GND	-
31	BANK112_TX0_N	AA1	32	BANK112_RX0_N	AB3
33	BANK112_TX0_P	AA2	34	BANK112_RX0_P	AB4
35	GND	R13	36	GND	R13
37	BANK112_TX1_N	W1	38	BANK112_RX1_N	Y3
39	BANK112_TX1_P	W2	40	BANK112_RX1_P	Y4
41	GND	R13	42	GND	R13
43	BANK112_TX2_N	U1	44	BANK112_RX2_N	V3
45	BANK112_TX2_P	U2	46	BANK112_RX2_P	V4
47	GND	R13	48	GND	R13
49	BANK112_TX3_N	R1	50	BANK112_RX3_N	T3
51	BANK112_TX3_P	R2	52	BANK112_RX3_P	T4
53	GND	R13	54	GND	R13
55	BANK112_CLK0_N	R5	56	BANK112_CLK1_N	U5
57	BANK112_CLK0_P	R6	58	BANK112_CLK1_P	U6
59	GND	-	60	GND	R13
61			62	BANK111_RX3_N	AD3
63			64	BANK111_RX3_P	AD4
65	GND	-	66	GND	R13
67			68	BANK111_TX3_N	AC1
69			70	BANK111_TX3_P	AC2
71	GND	-	72	GND	R13
73			74	BANK111_RX2_N	AC5
75			76	BANK111_RX2_P	AC6

77	GND	-	78	GND	R13
79			80	BANK111_TX2_N	AE1
81			82	BANK111_TX2_P	AE2
83	GND	-	84	GND	R13
85			86	BANK111_RX1_N	AE5
87			88	BANK111_RX1_P	AE6
89	GND	-	90	GND	R13
91			92	BANK111_TX1_N	AF3
93			94	BANK111_TX1_P	AF4
95	GND	-	96	GND	R13
97			98	BANK111_RX0_N	AD7
99			100	BANK111_RX0_P	AD8
101	GND	-	102	GND	R13
103			104	BANK111_TX0_N	AF7
105			106	BANK111_TX0_P	AF8
107	GND	-	108	GND	R13
109			110	BANK111_CLK0_N	W5
111			112	BANK111_CLK0_P	W6
113	GND	-	114	GND	-
115			116		
117			118		
119	GND	-	120	GND	-

J31 连接器的引脚分配

J31 管脚	信号名称	ZYNQ 引脚号	J31 管脚	信号名称	ZYNQ 引脚号
1	FPGA_TCK	W12	2	FPGA_TDI	V11
3	FPGA_TMS	W11	4	FPGA_TDO	W10
5	GND	-	6	GND	-
7	B35_L3_P	G10	8	B35_L2_P	E10
9	B35_L3_N	F10	10	B35_L2_N	D10
11	GND	-	12	GND	-

13	B35_L7_N	H12	14	B35_L6_P	F13
15	B35_L7_P	H13	16	B35_L6_N	E13
17	GND	-	18	GND	-
19	B35_L4_P	E11	20	B35_L23_P	C11
21	B35_L4_N	D11	22	B35_L23_N	B11
23	GND	-	24	GND	-
25	B35_L5_N	G11	26	B35_L22_P	C12
27	B35_L5_P	G12	28	B35_L22_N	B12
29	GND	-	30	GND	-
31	B35_L8_P	K13	32	B35_L24_N	A12
33	B35_L8_N	J13	34	B35_L24_P	A13
35	GND	-	36	GND	-
37	B35_L12_P	J14	38	B35_L11_N	F14
39	B35_L12_N	H14	40	B35_L11_P	G14
41	GND	-	42	GND	-
43	B35_L9_P	K15	44	B35_L19_N	C13
45	B35_L9_N	J15	46	B35_L19_P	D13
47	GND	-	48	GND	-
49	B35_L1_N	E12	50	B35_L21_N	A14
51	B35_L1_P	F12	52	B35_L21_P	A15
53	GND	-	54	GND	-
55	B35_L17_N	B15	56	B35_L14_P	F15
57	B35_L17_P	B16	58	B35_L14_N	E15
59	GND	-	60	GND	-
61	B35_L20_N	B14	62	B35_L18_P	B17
63	B35_L20_P	C14	64	B35_L18_N	A17
65	GND	-	66	GND	-
67	B35_L10_N	G15	68	B35_L15_N	C16
69	B35_L10_P	G16	70	B35_L15_P	C17
71	GND	-	72	GND	-
73	B35_L13_N	D14	74		
75	B35_L13_P	D15	76		

77	GND	-	78	GND	-
79	B35_L16_N	D16	80		
81	B35_L16_P	E16	82		
83	GND	-	84	GND	-
85			86		
87			88		
89	GND	-	90	GND	-
91			92		
93			94		
95	GND	-	96	GND	-
97			98		
99			100		
101	GND	-	102	GND	-
103			104		
105			106		
107	GND	-	108	GND	-
109			110		
111			112		
113	GND	-	114	GND	-
115	PS_POR_B		116		
117	SYS_RESET	-	118		
119	GND	-	120	GND	-

J32 连接器的引脚分配

J32 管脚	信号名称	ZYNQ 引脚号	J32 管脚	信号名称	ZYNQ 引脚号
1	PS_MIO5	C26	2	PS_MIO17	G17
3	PS_MIO4	F24	4	PS_MIO18	G20
5	GND	-	6	GND	-
7	PS_MIO14	D23	8	PS_MIO19	G19
9	PS_MIO15	C24	10	PS_MIO20	H19
11	GND	-	12	GND	-

13	PS_MIO52	A20	14	PS_MIO16	G21
15	PS_MIO53	A19	16	PS_MIO21	F22
17	GND	-	18	GND	-
19	PS_MIO7	E23	20	PS_MIO26	H17
21			22	PS_MIO25	F19
23	GND	-	24	GND	-
25	PS_MIO40	C22	26	PS_MIO24	J19
27	PS_MIO41	C19	28	PS_MIO23	F20
29	GND	-	30	GND	-
31	PS_MIO42	F17	32	PS_MIO27	F18
33	PS_MIO43	D18	34	PS_MIO22	G22
35	GND	-	36	GND	-
37	PS_MIO44	E18	38	PS_MIO30	K19
39	PS_MIO45	C18	40	PS_MIO29	E20
41	GND	-	42	GND	-
43			44	PS_MIO36	K16
45			46	PS_MIO31	E21
47	GND	-	48	GND	-
49			50	PS_MIO32	K17
51			52	PS_MIO33	E22
53	GND	-	54	GND	-
55			56	PS_MIO34	J16
57			58	PS_MIO35	D19
59	GND	-	60	GND	-
61			62	PS_MIO28	J18
63			64	PS_MIO37	D20
65	GND	-	66	GND	-
67			68	PS_MIO38	D21
69			70	PS_MIO39	C21
71	GND	-	72	GND	-
73			74		
75			76		

77	GND	-	78	GND	-
79			80		
81			82		
83	GND	-	84	GND	-
85	B13_L1_P	AA25	86	B13_L11_P	AD23
87	B13_L1_N	AB25	88	B13_L11_N	AD24
89	GND	-	90	GND	-
91	B13_L6_P	AA24	92	B13_L4_P	AD25
93	B13_L6_N	AB24	94	B13_L4_N	AD26
95	GND	-	96	GND	-
97	B13_L2_N	AC26	98	B13_L5_P	AF24
99	B13_L2_P	AB26	100	B13_L5_N	AF25
101	GND	-	102	GND	-
103	B13_L12_P	AC23	104	B13_L3_P	AE25
105	B13_L12_N	AC24	106	B13_L3_N	AE26
107	+5V	-	108	+5V	-
109	+5V	-	110	+5V	-
111	+5V	-	112	+5V	-
113	+5V	-	114	+5V	-
115	+5V	-	116	+5V	-
117	+5V	-	118	+5V	-
119	+5V	-	120	+5V	-