

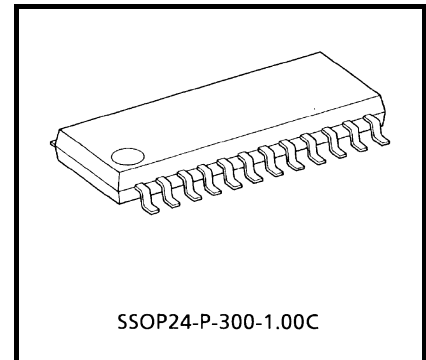
TPD7101F

2ch ハイサイド nch パワーMOS FET ゲートドライバ

TPD7101F は 2ch のハイサイドスイッチ用 nch パワーMOS FET ゲートドライバです。パワーMOS FET のドライバおよび保護、診断機能を内蔵しており、大電流アプリケーションのハイサイドスイッチを容易に構成することができます。

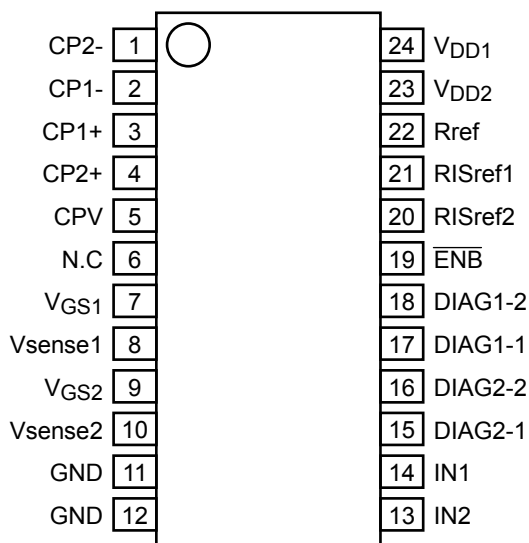
特 長

- 大電流チャージポンプにより、高速スイッチングが可能です。
- パワーMOS FET の保護、診断機能を内蔵しています。
 - 保護機能：過電圧（内部素子保護）、過電流保護、VDD 電源低下検出
 - * 過電圧は内部制限。診断およびシャットダウンはしません。
 - 診断機能：過電流
- 過大電流検出レベルが外付け抵抗により設定可能です。
- SSOP-24 パッケージ（300mil）で、梱包形態はエンボステーピングです。

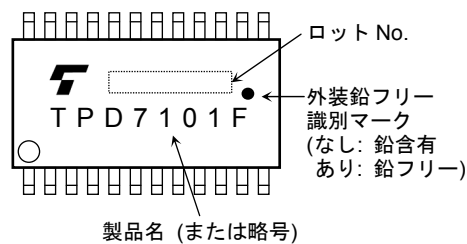


質量: 0.29g (標準)

ピン接続



現品表示



この製品は MOS 構造ですので取り扱いの際には静電気にご注意ください。

The schematic diagram illustrates a 1.5V CMOS image sensor array with a 2T1C1P1 architecture. The array consists of two columns of pixels, each with input logic, mask circuit, latch, and level shift stages. The circuit includes a charge pump for VDD2, a BGR circuit for VGS1 and VGS2, and a 5V source for Iset. The array is connected to a +B supply and ground.

Key Components and Connections:

- Power Supply:** +B (connected to VDD1 and VDD2).
- Ground:** GND (connected to pins 11 and 12).
- Charge Pump:** Generates VDD2 from +B. It includes capacitors CP1+, CP1-, CP2+, CP2-, and CPV+.
- BGR Circuit:** Biasing circuit for VGS1 and VGS2, including a 5V source and current source Iset.
- Input Logic:** Receives signals from IN1, IN2, and ENB. It includes resistors (100kΩ, 100kΩ) and diodes.
- Mask Circuit:** Receives signals from DIAG1-1, DIAG1-2, DIAG2-1, and DIAG2-2. It includes diodes and resistors.
- Latch Circuit:** Receives signals from the input logic and mask circuit. It includes a current source Iset and a latch.
- Level Shift Circuit:** Receives signals from the latch circuit. It includes a current source Iset and a level shift circuit.
- Output:** RISref1 and RISref2.

端子説明

端子番号	記号	端子の説明
1	CP2-	チャージポンプ用コンデンサ 2 段目の負極側接続端子。
2	CP1-	チャージポンプ用コンデンサ 1 段目の負極側接続端子。
3	CP1+	チャージポンプ用コンデンサ 1 段目の正極側接続端子。
4	CP2+	チャージポンプ用コンデンサ 2 段目の正極側接続端子。
5	CPV+	チャージポンプ用コンデンサ 3 段目の正極側接続端子。 V _{DD} の約 3 倍の電圧が発生しますが、電圧クランプ回路により約 28V で制限されます。
6	N.C.	—
7	V _{GS1}	ch1 の外付けパワーMOS FET のゲートドライブ端子。外付けパワーMOS FET をコントロールする端子です。 外付けパワーMOS FET に過電流が流れた際には、シャットダウンしてラッチ状態となり、パワーMOS FET を保護します。ラッチの解除は入力を “L” レベルとした場合に行います。
8	V _{sense1}	ch1 の外付けパワーMOS FET のモニタ端子。V _{DD2} 端子との差電圧と基準電圧を比較し過電流を検出します。
9	V _{GS2}	ch2 の外付けパワーMOS FET のゲートドライブ端子。外付けパワーMOS FET をコントロールする端子です。 外付けパワーMOS FET に過電流が流れた際には、シャットダウンしてラッチ状態となり、パワーMOS FET を保護します。ラッチの解除は入力を “L” レベルとした場合に行います。
10	V _{sense2}	ch2 の外付けパワーMOS FET のモニタ端子。V _{DD2} 端子との差電圧と基準電圧を比較し過電流を検出します。
11	GND	接地端子。内部で 12 ピンと接続されています。
12	GND	接地端子。内部で 11 ピンと接続されています。
13	IN2	ch2 の入力端子。(正論理) ブルダウン抵抗 (100k Ω 標準) が接続されており、端子がオープン状態になっても出力が誤ってオンすることはありません。
14	IN1	ch1 の入力端子。(正論理) ブルダウン抵抗 (100k Ω 標準) が接続されており、端子がオープン状態になっても出力が誤ってオンすることはありません。
15	DIAG2-1	ch2 の診断出力端子。nch オープンドレイン端子です。過電流異常状態を検出すると、出力が “L” レベルとなります。また過電流を検出した場合には、次の入力の立ち上がりエッジまでその状態をラッチします。
16	DIAG2-2	ch2 の診断出力端子。nch オープンドレイン端子です。V _{DD2} と V _{sense2} 端子間の電圧を過電流設定レベルと比較することにより、外付けパワーMOS FET のオン/オフ状態を出力します。
17	DIAG1-1	ch1 の診断出力端子。nch オープンドレイン端子です。過電流異常状態を検出すると、出力が “L” レベルとなります。また過電流を検出した場合には、次の入力の立ち上がりエッジまでその状態をラッチします。
18	DIAG1-2	ch1 の診断出力端子。nch オープンドレイン端子です。V _{DD2} と V _{sense1} 端子間の電圧を過電流設定レベルと比較することにより、外付けパワーMOS FET のオン/オフ状態を出力します。
19	$\overline{\text{ENB}}$	インビット端子。(負論理) この端子が “H” となると、入力信号にかかわらずに、すべての出力をオフできます。プルアップ抵抗 (100k Ω 標準) が接続されています。
20	RI _{Sref2}	ch2 の過電流検出レベル設定端子。R _{ref} 端子に接続された抵抗で決定した定電流と RI _{Sref2} 端子の外付け抵抗で決定される電圧を過電流検出の基準電圧とします。
21	RI _{Sref1}	ch1 の過電流検出レベル設定端子。R _{ref} 端子に接続された抵抗で決定した定電流と RI _{Sref1} 端子の外付け抵抗で決定される電圧を過電流検出の基準電圧とします。
22	R _{ref}	過電流検出回路に使用する定電流値を決定するための抵抗接続端子。 62k Ω (推奨) を GND 間に接続してください。
23	V _{DD2}	外付けパワーMOS FET のドレイン電圧検出端子。
24	V _{DD1}	電源端子。過電圧が印加されると電圧を制限し、内部素子を保護します。

絶対最大定格 (Ta = 25°C)

項目	記号	定格	単位
電源電圧	V _{DD}	30	V
入力電圧	V _{IN}	−0.5~6	V
診断出力電流	I _{DIAG}	2	mA
許容損失	P _D	0.8	W
動作温度	T _{opr}	−40~110	°C
保存温度	T _{stg}	−55~150	°C

注: 本製品の使用条件 (使用温度/電流/電圧等) が絶対最大定格/動作範囲以内での使用においても、高負荷 (高温および大電流/高電圧印加、多大な温度変化等) で連続して使用される場合は、信頼性が著しく低下するおそれがあります。

弊社半導体信頼性ハンドブック (取り扱い上のご注意とお願いおよびディレーティングの考え方と方法) および個別信頼性情報 (信頼性試験レポート、推定故障率等) をご確認の上、適切な信頼性設計をお願いします。

電気的特性 (特に指定のない場合、V_{DD} = 8~18V、T_j = −40~110°C)

項目	記号	端子	測定条件	最小	標準	最大	単位
動作電源電圧	V _{DD}	V _{DD}	—	8	—	18	V
消費電流	I _{DD}	V _{DD}	V _{DD} = 12V, V _{IN} = 0V, CP = 0.01 μF	—	—	10	mA
入力電圧	V _{IN} (1)	IN1, IN2	V _{DD} = 12V, V _{GS} = “H”	3.5	—	—	V
	V _{IN} (2)		V _{DD} = 12V, V _{GS} = “L”	—	—	1.5	
入力電流	I _{IN} (1)	IN1, IN2	V _{DD} = 12V, V _{IN} = 5V	—	—	200	μA
	I _{IN} (2)		V _{DD} = 12V, V _{IN} = 0V	−1	—	1	
	I _{ENB} (1)	ENB	V _{DD} = 12V, V _{ENB} = 5V	−45	—	—	
	I _{ENB} (2)		V _{DD} = 12V, V _{ENB} = 0V	−250	—	—	
出力電圧	V _{OH}	V _{GS1} V _{GS2}	V _{DD} = 12V, V _{IN} = 5V	—	V _{sense} ⁺ ₊₁₅	V _{sense} ⁺ ₊₁₉	V
	V _{OL}		V _{DD} = 12V, V _{IN} = 0V	—	—	0.4	
出力電流	I _{OH}		V _{DD} = 12V, V _{IN} = 5V, CP = 0.01 μF	—	0.1	—	A
	I _{OL}		V _{DD} = 12V, V _{IN} = 0V, CP = 0.01 μF	—	0.1	—	
過大電流検出抵抗設定範囲	RISref	RISref	—	10	20	40	kΩ
定電流源設定端子電圧	VRref	Rref	Rref = 62kΩ	1.17	1.30	1.43	V
過電流検出電圧	V _{DS} (ON) (1)	V _{DD2} V _{sense1} V _{sense2}	Rref = 62kΩ, RISref = 10kΩ	0.16	0.20	0.24	V
	V _{DS} (ON) (2)		Rref = 62kΩ, RISref = 20kΩ	0.32	0.40	0.48	
	V _{DS} (ON) (3)		Rref = 62kΩ, RISref = 40kΩ	0.64	0.80	0.96	
診断出力電流	I _{DH}	DIAG1 DIAG2	V _{DD} = 12V, V _{DIAG} = 5V	—	—	10	μA
診断出力電圧	V _{DL}		V _{DD} = 12V, I _{DL} = 1mA	—	—	0.6	V
電源低下検出電圧	V _{DDUV1−}	V _{DD}	—	6.3	6.7	7.3	V
電源低下検出解除電圧	V _{DDUV1+}		—	6.6	7.2	7.8	
低電圧保護	V _{DDUV2}		—	—	—	4.5	
スイッチングタイム	t _{ON}	V _{GS1} V _{GS2}	V _{DD} = 12V, C = 3000pF	—	2	5	μs
	t _{OFF}			—	2	5	

*: V_{sense} は V_{sense} 端子電圧

過電流検出抵抗 (RISref) の計算式

$$RISref = Rref \times R_{DS(ON)} \times I_D / VRref = Rref \times V_{DS(ON)} / VRref$$

ただし、Rref : Rref 端子に接続される外付け抵抗 (定電流設定用)

R_{DS} (ON) : 外付け MOS FET のオン抵抗 I_D : 外付け MOS FET のドレイン電流

V_{DS} (ON) : 外付け MOS FET のオン電圧 VRref : Rref 端子電圧

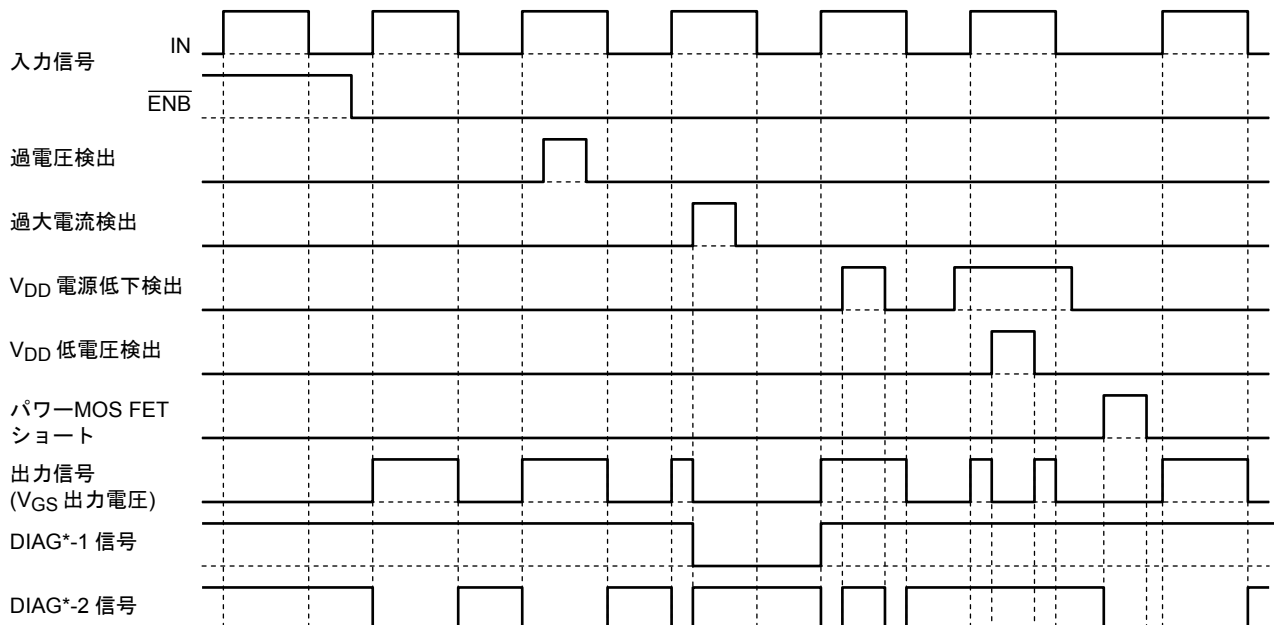
真理値表

IN	$\overline{\text{ENB}}$	V _{GS}	DIAG*--1	DIAG*--2	モード
L	H	L	H	H	正常時
H	H	L	H	H	
L	L	L	H	H	
H	L	H	H (注 1)	L	
L	L	L	H	H	過電圧時
H	L	H	H (注 1)	L	
L	L	L	L (注 1/注 2)	H	過電流時
H	L	L	L (注 1)	H	
L	L	L	H	H	電源低下検出
H	L	H	H	H	
L	L	L	H	H	低電圧保護
H	L	L	H	H	
L	L	L	H	L	パワーMOS FET ショート時
H	L	H	H	L	

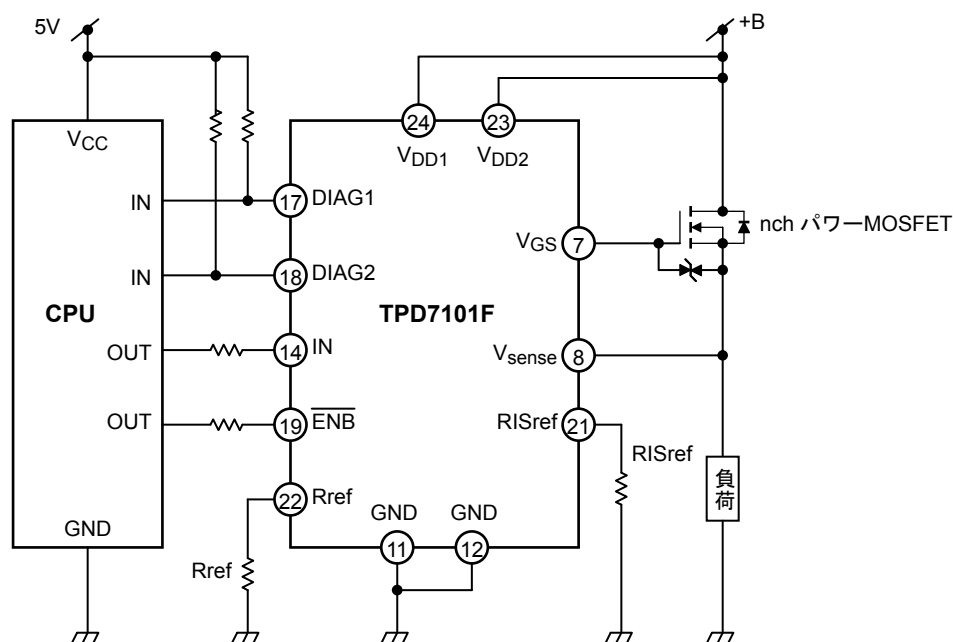
注 1: 過電流はパワーMOS FET のドレイン・ソース間電圧を検出しているため、入力を“H”としてパワーMOS FET がオンするまでの間はドレイン・ソース間電圧が高く、一時的に過電流を誤検出することがあります。このため、誤検出しないようマスク回路で 15 μ s (標準) の期間 DIAG 機能は動作しません。このマスク時間は内蔵コンデンサと Rref で決定される定電流により決まります (15 μ s は Rref が 62k Ω の場合です)。

注 2: 過電流を検出した後は、次の入力の立ち上がりエッジまで、DIAG はラッチされます。

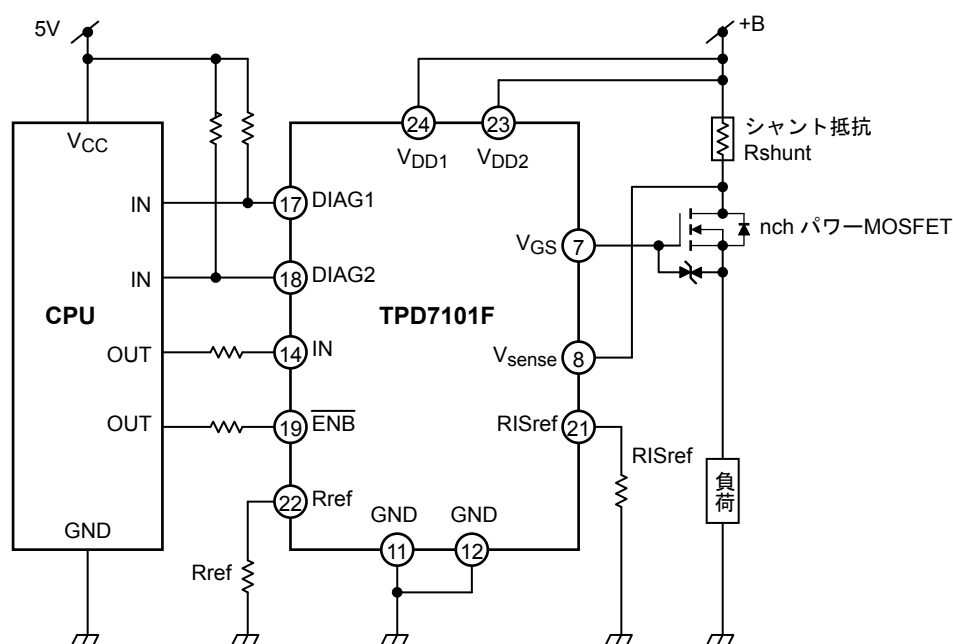
タイミングチャート



応用回路例 1 パワーMOS FETのドレイン・ソース間をモニタ



応用回路例 2 シャント抵抗間電圧をモニタ (過電流を高精度で検出する場合)



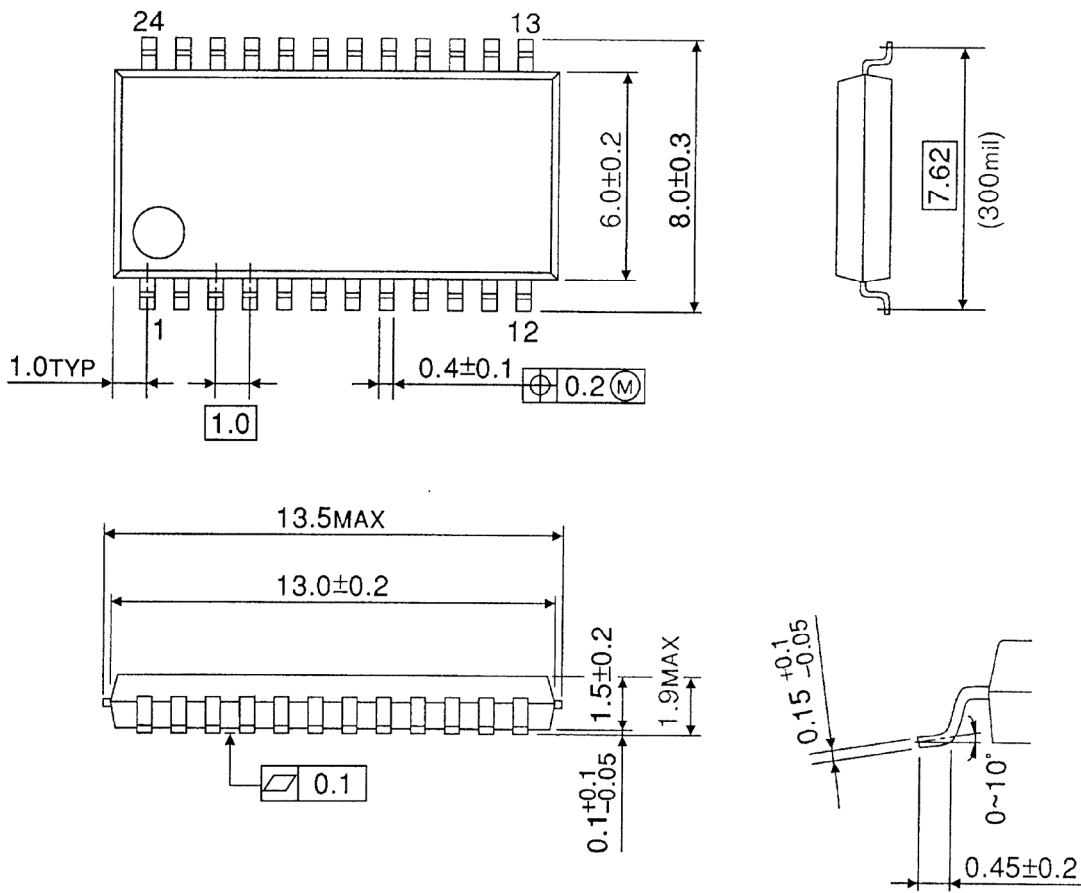
防湿梱包に関する注意事項

防湿梱包開封後は 30℃・RH60%以下の環境で 48 時間以内に実装していただくようお願いします。エンボステーピングのためペーキング処理ができませんので、かならず防湿梱包開封後の許容範囲内にてご使用ください。テーピングの標準梱包数量は、2000 個/リール (EL1) です。

外形図

SSOP24-P-300-1.00C

単位：mm



質量：0.29g (標準)

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。