

Ver 1.6

14 位 3MSPS 模数转换器

产品使用手册

产品型号: B9243/B9243MC/B9243MG/ B9243AMG



北京微电子技术研究所



版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	20140911	——	——	
1.1	20150902	第一章、第七章	将数字输出接口可配置成+3V 改为数字输出接口可配置成+3.3V; 去除 BIAS 项。	
1.2	20160517	第三章	更改全文格式。	
1.3	20180223	第七章	完善手册, 更改执行标准, 增加电参数注释, 修正引脚定义和部分电路图。	
1.4	20180915	——	更改模板, 完善手册; 增加 1.3 免责声明, 修改 7.3 产品防护章节, 删除 8.3 产品环境试验和可靠性。	
1.5	20181208	第八章	修改 8.3 节市场二部联系方式	
1.6	20210331	第二章	更正 2.1 引线焊接温度, 修改格式	



版本修订记录

产品类别	AD/DA		
版本	V1.5	V1.6	更改类别
状态	废除	现行有效	
实施日期	20181208	20210331	
更新内容	更新前内容	更新后详细内容	
	V1.5 引线焊接温度需完善	V1.6 更新设备焊温度和手工焊温度及结温	III 类更改

注：I 类更改：涉及产品功能特性和物理特性的重大更改；

II 类更改：产品使用手册中指导用户使用方面发生变更；

III 类更改：仅对产品使用手册进行勘误，如：文字错误、格式调整、增加视图等。



目 录

一、产品概述.....	1
1.1 产品特点.....	1
1.2 产品用途及应用范围.....	1
1.3 重要声明.....	2
二、产品工作条件.....	2
2.1 绝对最大额定值.....	2
2.2 推荐工作条件.....	3
2.3 热特性参数.....	3
三、封装及引出端说明.....	3
3.1 引出端排列.....	3
3.2 外形尺寸说明.....	7
四、产品功能.....	11
4.1 产品的基本工作原理.....	11
4.2 单元模块结构与工作原理.....	12
4.3 芯片系统结构和工作原理.....	30
五、产品电特性.....	31
六、典型应用.....	32
七、应用注意事项.....	36
7.1 产品应用说明.....	36
7.2 对电源的要求和推荐使用电路.....	36
7.3 产品防护.....	38
八、用户关注产品信息.....	39
8.1 产品鉴定信息.....	39
8.2 产品标识.....	40
8.3 研制生产单位联系方式.....	44
附录 1 对应替代国外产品情况.....	45

一、产品概述

1.1 产品特点

- 单片 14 位, 3MSPS A/D 转换器
- 功耗: 200 mW
- +5 V 单电源供电
- 积分非线性误差: ± 2 LSB(典型值)
- 微分非线性误差: ± 0.8 LSB(典型值)
- 片上采样保持放大器和电压基准源;
- 转换无失码, 在整个工作温度范围内保持低温漂性能
- 应用时可灵活配置为不同输入范围的单端输入或差分输入
- 数字输出接口可配置成+3.3V 和+5V 的 CMOS 逻辑电平系列
- 信号对噪声谐波失真比(SNDR): 70.0dB(典型值)
- 无杂散动态范围: 80.0dB(典型值)
- 溢出(Out-of-Range)指示
- 标准二进制数据输出
- B9243 采用 CLCC44 封装, B9243MC 采用 CLCC40 封装, B9243MG/AMG 采用 CPGA40 封装
- 抗辐照型电路 (B9243/B9243 AMG) 抗总剂量不小于 100K Rad(Si)



1.2 产品用途及应用范围

B9243/B9243MC/B9243MG/B9243AMG 是一款 3MSPS 采样率, 单电源, 14 位模数转换器 (ADC)。采用 CMOS 工艺, 实现了高速度和高精度。其中, 型号为 B9243 的电路有抗辐照和非抗辐照型电路两种, 此外还有抗辐照型电路型号为 B9243AMG。B9243AMG/MG/MC/B9243 是一个完整的, 单片集成的 ADC, 片上集成了高性能, 低噪音的采样保持放大器和可编程参考电压。同时也支持用户选用外部参考电压, 以满足系统应用对直流精度和温度漂移的要求。该转换器采用多级全差分流水线架构及数字误差校正技术, 以保证在整个工作温度范围无失码。

B9243 的信号输入非常灵活, 便于连接到影像, 通讯, 医疗, 和数据采集系统。一个真正的差分输入结构使得两个单端输入和差分输入情况下均可以采用不同输入范围。该采样保持放大器(SHA)适用于满量程电压输入的多路复用系统在连续通道切换采样, 以及在单路输

入时实现接近和超过奈奎斯特率的信号采样。此外，该 B9243 应用在采用直接中频下变换 (Direct-IF Down Conversion) 的通信系统表现卓越，这是因为采样保持放大器(SHA)在接近及超过奈奎斯特频率(1.5MHz)的全频率范围内表现出优秀的动态精度性能。

采用单时钟输入用于控制所有内部转换周期。数字输出数据采用标准二进制输出格式。一个溢出指示 (OTR) 信号用于表示溢出条件，它与最高有效位(MSB)一起，共同确定是高溢出或低溢出。

注：除特殊说明，以下文中 B9243/B9243MC/B9243MG/B9243AMG 都用 B9243 表示。

1.3 重要声明

产品手册版权归北京微电子技术研究所（以下简称“我单位”）所有，不转让属于我单位或者第三方所有的知识产权以及其他权利许可。

我单位会结合所有用户的使用经历，不断对产品手册进行更新，更新不再另行通知。请用户务必在使用我单位产品前通过官方公开网络（www.bmti.com.cn 或微信公众号）获取产品手册的最新版本，或联系我单位获取。对产品手册有疑问之处请与我单位联系。

产品手册仅作为用户使用的参考资料，所记载的信息和产品，不作为满足用户整体使用要求的依据，请务必结合用户整体系统进行评价。除产品手册说明之外，请勿接受第三方指导或参考第三方资料对我单位对应产品进行操作。

用户因未严格按最新产品手册要求保存、使用我单位产品或接受第三方指导、参考第三方资料，致使产品工作异常或损坏，造成任何直接或间接损失的，我单位不承担责任。

二、产品工作条件

2.1 绝对最大额定值

参数名称	参数符号	参数值	单位
电源电压	V_{DD}	-0.3 ~ +6.5	V
模拟输入、输出电压	V_{IA} 、 V_{OA}	-0.3 ~ $V_{DDA} + 0.3$	V
数字输入电压	V_{ID}	-0.3 ~ $V_{DDD} + 0.3$	V
数字输出电压	V_{OD}	-0.3 ~ $V_{DDD} + 0.3$	V
输入参考电压	V_{REF}	-0.3 ~ $V_{DDA} + 0.3$	V
结温	T_J	175	°C
贮存温度	T_{stg}	-65 ~ 150	°C
引线焊接温度	T_H	260（设备焊，10s）， 300（手工焊，10s）	°C

2.2 推荐工作条件

参数名称	参数符号	参数值	单位
电源电压	V_{DD}	5	V
参考电压	V_{REF}	2.5	V
工作温度范围	T_C	-55~125	°C

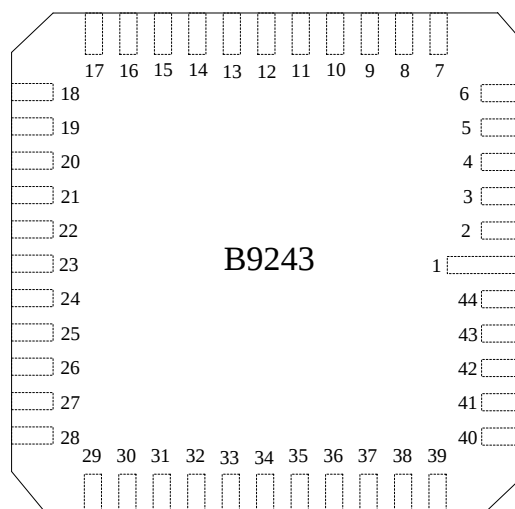
2.3 热特性参数

参数名称	参数符号	参数值	单位
B9243/B9243MC热阻, 结到壳	$R_{th(J-C)}$	19.0	°C/W
B9243MG/B9243AMG热阻, 结到壳	$R_{th(J-C)}$	8	°C/W

三、封装及引出端说明

3.1 引出端排列

B9243 芯片采用 CLCC44 引脚封装形式, 引出端排列见下图:

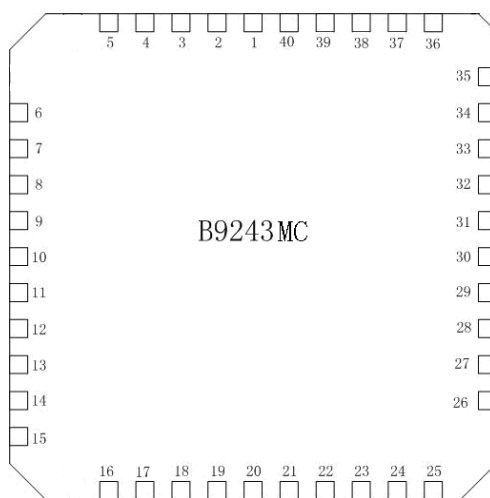


B9243引出端排列

引出端序号	信号名称	功能说明	引出端序号	信号名称	功能说明
1	CML	共模电平	23	D8	数据输出位 8
2	NC	无内部连接	24	D7	数据输出位 7
3	IN ₊	模拟输入管脚 (+)	25	D6	数据输出位 6
4	IN ₋	模拟输入管脚 (-)	26	D5	数据输出位 5
5	NC	无内部连接	27	D4	数据输出位 4
6	NC	无内部连接	28	D3	数据输出位 3

引出端 序号	信号 名称	功能说明	引出端 序号	信号 名称	功能说明
7	GND _D	数字地	29	D2	数据输出位 2
8	GND _A	模拟地	30	D1	数据输出最高位
9	V _{DDD}	+5V 数字电源	31	OTR	溢出指示
10	V _{DDA}	+5V 模拟电源	32	NC	无内部连接
11	GND _{DR}	数字输出驱动地	33	NC	无内部连接
12	V _{DDDR}	数字输出驱动电源	34	V _{DDA}	+5V 模拟电源
13	CLK ^a	时钟输入管脚	35	GND _A	模拟地
14	NC	无内部连接	36	NC	无内部连接
15	NC	无内部连接	37	REFLO ^a	参考源选择端
16	NC	无内部连接	38	V _{REF}	参考源输入/输出
17	D14	数据输出最低位	39	GND	参考源公共地
18	D13	数据输出位 13	40	NC	无内部连接
19	D12	数据输出位 12	41	NC	无内部连接
20	D11	数据输出位 11	42	CAPB	去噪声管脚
21	D10	数据输出位 10	43	CAPT	去噪声管脚
22	D9	数据输出位 9	44	NC	无内部连接
注 ^a 输入端口不能浮空					

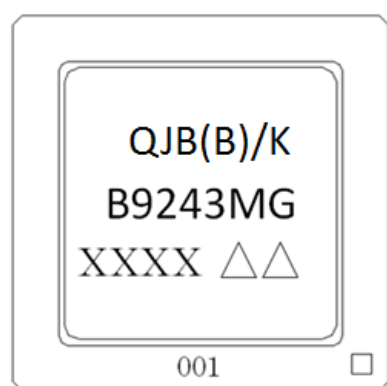
B9243MC 芯片采用 CLCC40 引脚封装形式，引出端排列见下图：



B9243MC引出端排列

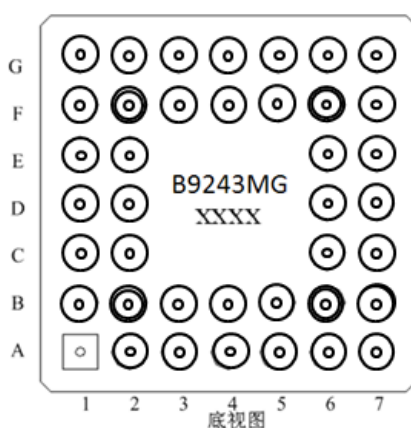
引出端 序号	信号 名称	功能说明	引出端 序号	信号 名称	功能说明
1	CML	共模电平	21	D7	数据输出位 7
2	NC	无内部连接	22	D6	数据输出位 6
3	IN ₊	模拟输入管脚 (+)	23	D5	数据输出位 5
4	IN ₋	模拟输入管脚 (-)	24	D4	数据输出位 4
5	NC	无内部连接	25	D3	数据输出位 3
6	GND _D	数字地	26	D2	数据输出位 2
7	GND _A	模拟地	27	D1	数据输出最高位
8	V _{DDD}	+5V 数字电源	28	OTR	溢出指示
9	V _{DDA}	+5V 模拟电源	29	NC	无内部连接
10	GND _{DR}	数字输出驱动地	30	NC	无内部连接
11	V _{DDDR}	数字输出驱动电源	31	V _{DDA}	+5V 模拟电源
12	CLK ^a	时钟输入管脚	32	GND _A	模拟地
13	NC	无内部连接	33	REFLO ^a	参考源选择端
14	D14	数据输出最低位	34	V _{REF}	参考源输入/输出
15	D13	数据输出位 13	35	GND	参考源公共地
16	D12	数据输出位 12	36	NC	无内部连接
17	D11	数据输出位 11	37	NC	无内部连接
18	D10	数据输出位 10	38	CAPB	去噪声管脚
19	D9	数据输出位 9	39	CAPT	去噪声管脚
20	D8	数据输出位 8	40	NC	无内部连接
注 ^a 输入端口不能浮空					

B9243MG 芯片采用 CPGA40 引脚封装形式，引出端排列见下图：



顶视图

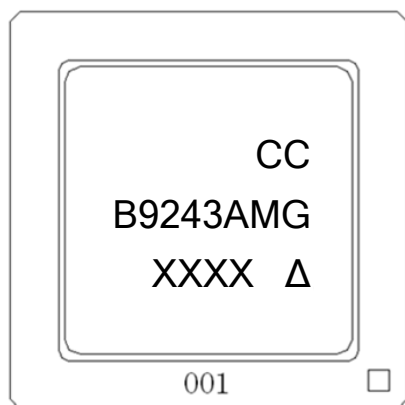
顶视图



底视图

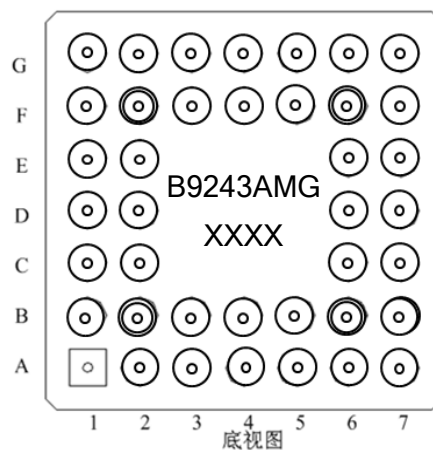
底视图

B9243AMG 芯片采用 CPGA40 引脚封装形式，引出端排列见下图：



顶视图

顶视图



底视图

底视图

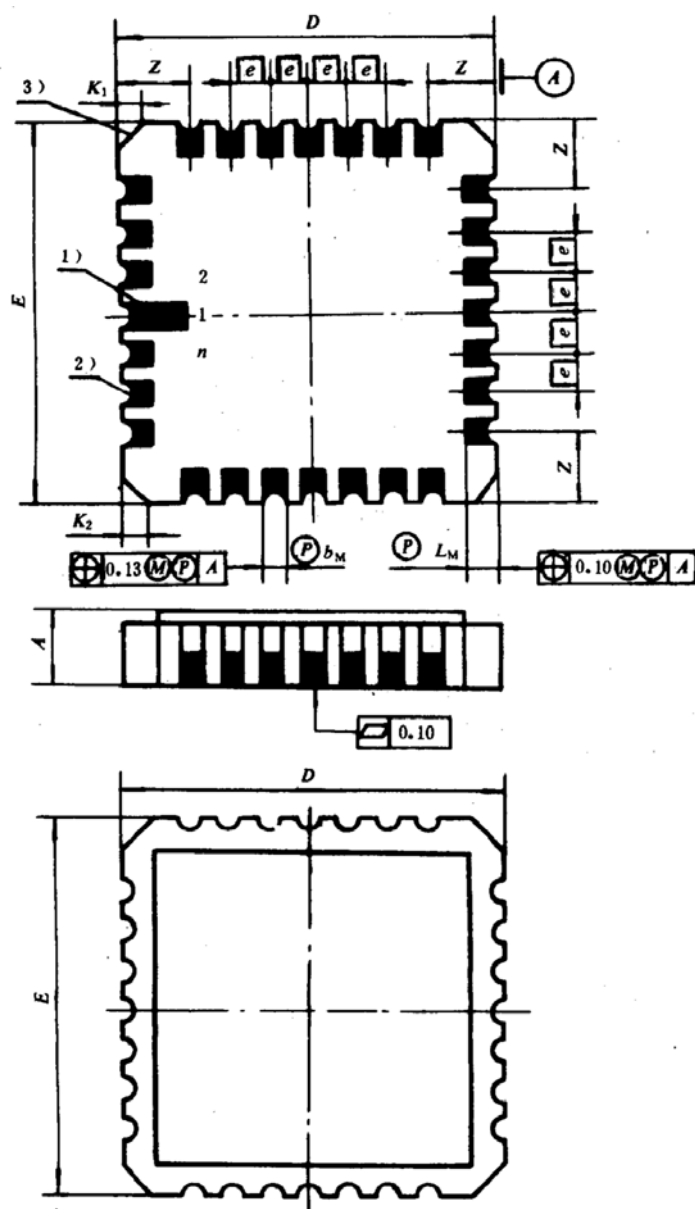
B9243MG/AMG引出端排列

信号 序号	引出 端序 号	信号名 称	管脚 类别	功能说明	信号 序号	引出 端序 号	信号名 称	管脚 类别	功能说明
1	A4	CML	O	共模电平	21	G4	D7	O	数据输出位 7
2	B3	NC	—	无内部连接	22	F5	D6	O	数据输出位 6
3	A3	IN ₊	I	模拟输入管脚 (+)	23	G5	D5	O	数据输出位 5
4	A2	IN ₋	I	模拟输入管脚 (-)	24	G6	D4	O	数据输出位 4
5	B2	NC	—	无内部连接	25	F6	D3	O	数据输出位 3
6	A1	NC	—	无内部连接	26	G7	NC	O	无内部连接

信号序号	引出端序号	信号名称	管脚类别	功能说明	信号序号	引出端序号	信号名称	管脚类别	功能说明
7	B1	GND _D	GND	数字地	27	F7	D2	O	数据输出位 2
8	C2	GND _A	GND	模拟地	28	E6	D1	O	数据输出最高位
9	C1	V _{DDD}	VDD	+5V 数字电源	29	E7	OTR	O	溢出指示
10	D2	V _{DDA}	VDD	+5V 模拟电源	30	D6	V _{DDA}	VDD	+5V 模拟电源
11	D1	GND _{DR}	GND	数字输出驱动地	31	D7	GND _A	GND	模拟地
12	E2	V _{DDDR}	VDD	数字输出驱动电源	32	C6	REFLO ^a	I	参考源选择端
13	E1	CLK ^a	I	时钟输入管脚	33	C7	V _{REF}	I/O	参考源输入/输出
14	F1	D14	O	数据输出最低位	34	B7	GND	GND	参考源公共地
15	F2	D13	O	数据输出位 13	35	B6	NC	—	无内部连接
16	G1	D12	O	数据输出位 12	36	A7	NC	—	无内部连接
17	G2	D11	O	数据输出位 11	37	A6	CAPB	O	去噪声管脚
18	F3	D10	O	数据输出位 10	38	B5	NC	—	无内部连接
19	G3	D9	O	数据输出位 9	39	A5	CAPT	O	去噪声管脚
20	F4	D8	O	数据输出位 8	40	B4	NC	—	无内部连接
注 ^a 输入端口不能浮空									

3.2 外形尺寸说明

B9243封装类型为C型陶瓷无引线扁平封装,外壳外形代号为C44P3,外形尺寸见下图。



CLCC44 外形尺寸示意图

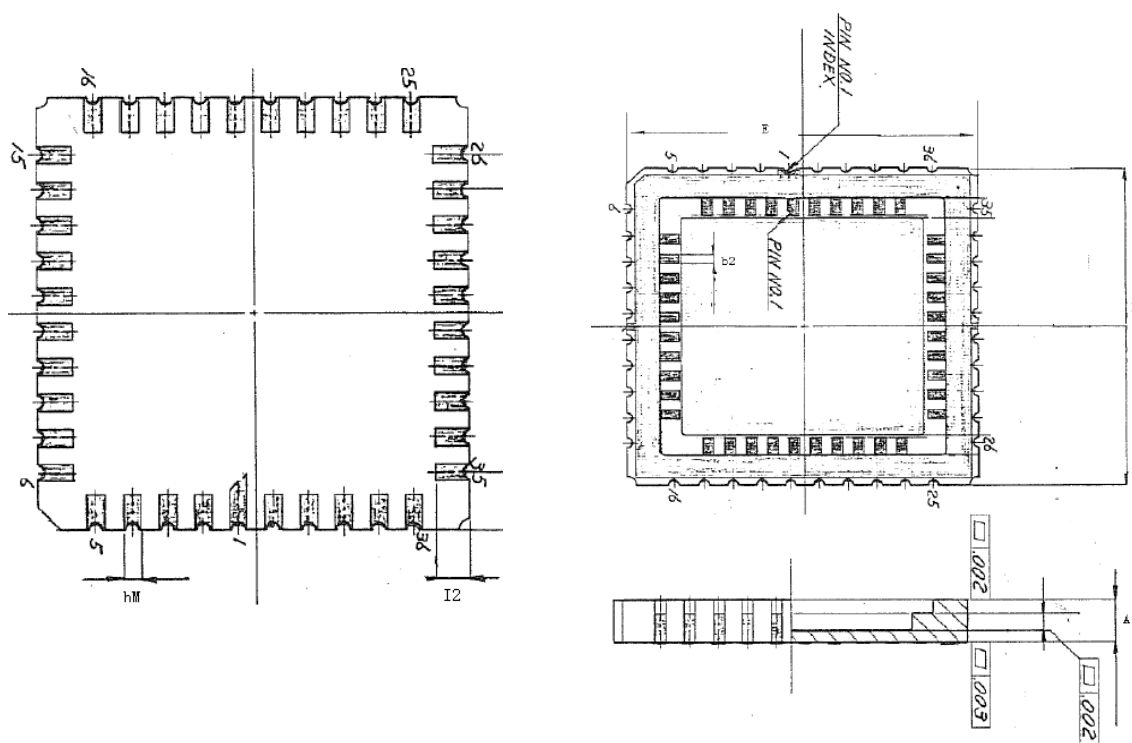
CLCC44 外形尺寸

单位为毫米

尺寸符号	数 值		
	最 小	公 称	最 大
A	1.63	—	3.05
b_M	0.56	—	0.71
b_2	—	—	0.84
e	—	1.27	—
I_2	—	—	1.5

尺寸符号	数 值		
	最 小	公 称	最 大
K ₁	——	——	0.63
K ₂	0.77	——	——
L _M	1.14	——	1.40
Z	——	1.91	——
D/E	16.21	——	16.81

B9243MC 封装类型为 C 型陶瓷无引线载体封装，外壳外形代号为 C40P3，外形尺寸见下图。



CLCC40 外形尺寸示意图

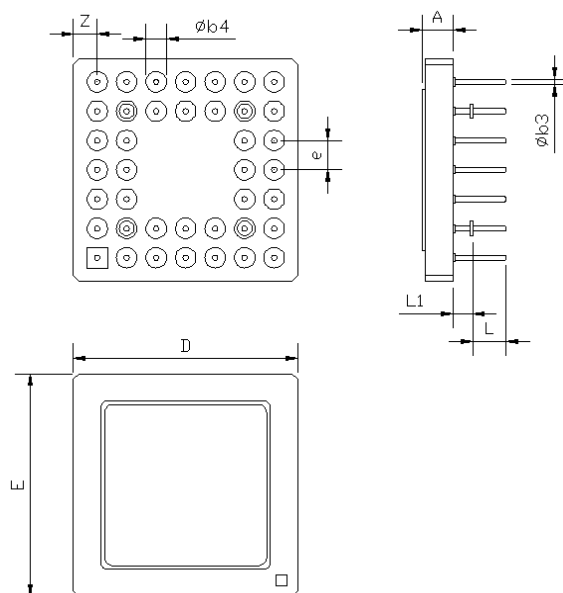
CLCC40 外形尺寸

单位为毫米

尺寸符号	数 值		
	最 小	公 称	最 大
A	1.33	——	1.72
b _M	——	0.51	——

尺寸符号	数 值		
	最 小	公 称	最 大
e	——	1.02	——
I ₂	——	1.02	——
D	12.00	——	12.36
E	12.00	——	12.36
Z	——	1.52	——

B9243MG/B9243AMG 采用采用 CPGA40 陶瓷封装，外形尺寸按 GB/T 7092—1993 的规定，外壳外形代号为 G40P3，外形尺寸见下图。



CPGA40 外形尺寸示意图

CPGA40 外形尺寸

单位为毫米

尺寸符号	数 值		
	最 小	公 称	最 大
D	19.10	——	19.50
E	19.10	——	19.50
Z	——	——	2.54
A	1.78	——	3.68
e	——	2.54	——

尺寸符号	数 值		
	最 小	公 称	最 大
L1	1.50	——	1.90
L	2.54	——	5.08
Φb3	0.41	——	0.51
Φb4	1.50	——	2.00
注：未注公差按 GB/T1804-2000 中表 1 的 C 规定执行。			

四、产品功能

4.1 产品的基本工作原理

B9243 是一款采用具有一个宽带输入采样保持放大器（SHA）的四级流水线结构，且基于高效的 CMOS 工艺制造的模数转换器。流水线的每一级（最后一级除外），由低精度的 FLASH A/D 和一个开关电容 DAC 以及级间余量放大器(MDAC)组成。级间余量放大器放大重建 DAC 的输出值与下一级流水线 FLASH 输入之间的差值。每一级流水线都有一位冗余校正位参与校正 FLASH 的误差。最后一级流水线只是由一个 FLASH A/D 组成。流水线结构在以流水线的延迟为代价的同时增强了数据处理的速率。也就是说转换器能够在每个时钟周期获取一个新的采样点，而实际上，转换器用了三个时钟周期才能完成数据处理输出。在很多应用中，并不需要考虑延迟。数字输出和数字溢出指示位（OTR），被锁存在一个输出寄存器中来驱动输出引脚。输出驱动可以配置为+5V 或是+3.3V 的逻辑系列。A/D 在输入时钟的上升沿对模拟输入采样。在输入时钟为低时（时钟下降沿和上升沿之间的时间），SHA 工作在采样模式，在输入时钟为高时，SHA 工作在保持模式。发生在时钟上升沿之前的系统扰动，以及过大的时钟抖动可能导致 SHA 出现错误电平，应尽量减小系统扰动与时钟抖动。

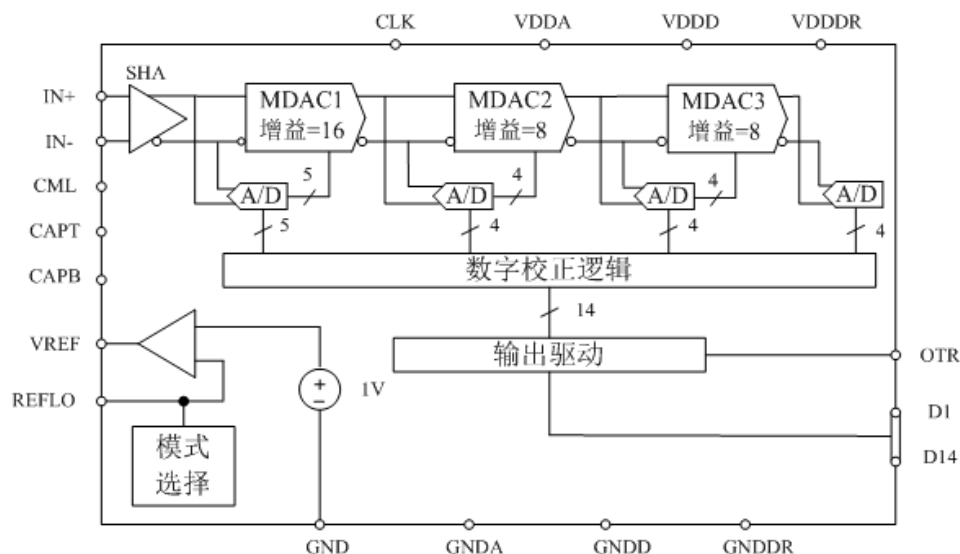


图 4-1 B9243 结构示意图

4.2 单元模块结构与工作原理

4.2.1 模拟输入和参考源

下图是 B9243 的简化模型图，注意基准电压源 V_{REF} ，模拟输入 IN_+ 、 IN_- 之间的关系。 V_{REF} 值决定了 ADC 信号输入电压的最大值， $-V_{REF}$ 值决定了 ADC 信号输入电压的最小值。

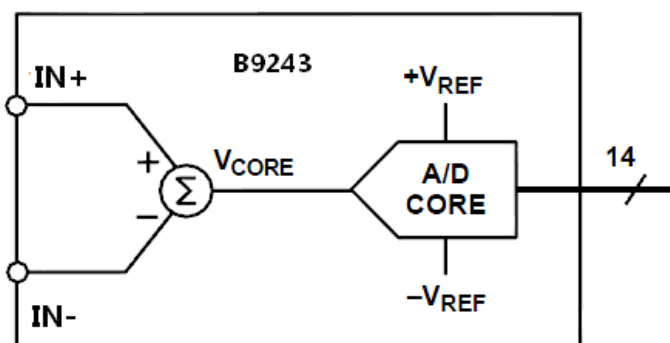


图 4-2 B9243 等效功能输入电路图

差分输入结构使得用户可以更灵活地配置该器件的信号输入范围，这是传统 FLASH 转换器不具备的新功能。输入级允许用户更容易为单端输入或差分输入模式配置输入信号范围。ADC 的输入结构允许输入信号的直流偏置可以不依赖于转换器输入范围的限制而独立变化。特别的，ADC 核的输入信号为信号输入端 IN_+ 、 IN_- 的差分信号，即满足方程：

$$V_{CORE} = IN+ - IN- \quad (1)$$

定义了信号差分输入级的输出信号即 ADC 核的输入信号。 V_{CORE} 为 ADC 核的输入电压，必须满足以下条件：

$$-V_{REF} \leq V_{CORE} \leq V_{REF} \quad (2)$$

V_{REF} 代表管脚 V_{REF} 的电压。

信号输入 $IN+$, $IN-$ 除满足方程 2 外，对 B9243 的电压输入还有另外一个要求：

$$GND_A - 0.3V < IN+ < V_{DDA} + 0.3V \quad (3)$$

$$GND_A - 0.3V < IN- < V_{DDA} + 0.3V \quad (4)$$

在上面两个方程中， GND_A 是 0V， V_{DDA} 为 +5V。所有满足方程 (3) (4) 的 $IN+$ ， $IN-$ 都可以作为输入电压。

4.2.2 模拟输入

下图是 B9243 的等效模拟输入电路图，图中包含一个差分采样保持电路 (SHA)。差分这种输入结构是非常灵活的，允许器件单端输入或差分输入。输入的直流偏置、共模电压可根据是单电源供电系统或是双电源供电系统合理配置。另外，注意到模拟输入信号 $IN+$ ， $IN-$ 是可以互换的，互换后 A/D 转换器极性随之改变。

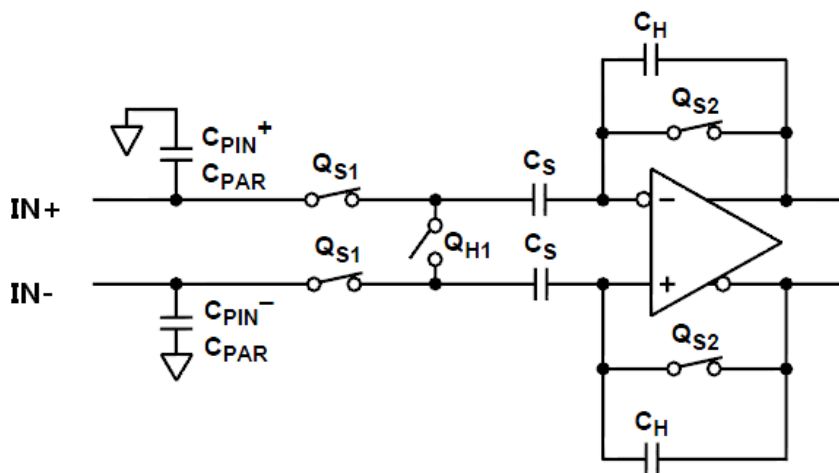


图 4-3 B9243 简化输入级电路

优化性能的 B9243 输入采样保持放大器 SHA 足以满足通信、图像处理、数据采集系统的高性能要求，同时保持低功耗性能。下左图显示了 B9243 的全功率带宽频率曲线，典型截止频率为 40MHz。注意到小信号带宽与全功耗带宽是相同的。右图代表满量程阶跃输入的建立时间响应曲线，典型建立时间为 80ns 达到 0.0025% 精度要求。

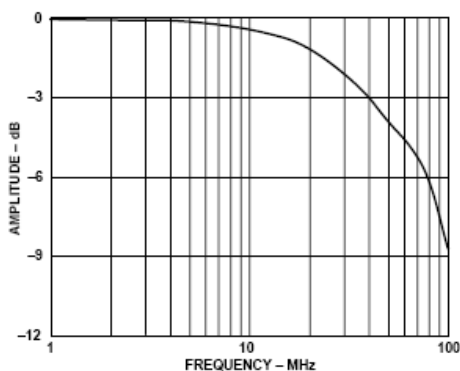


图 4-4 满量程带宽

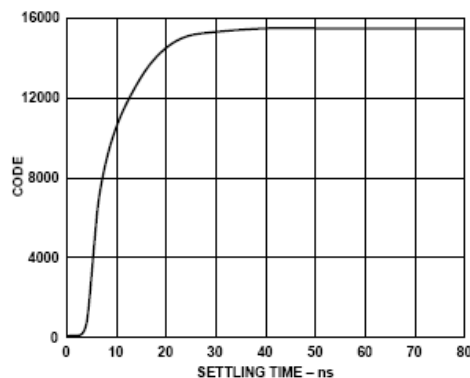
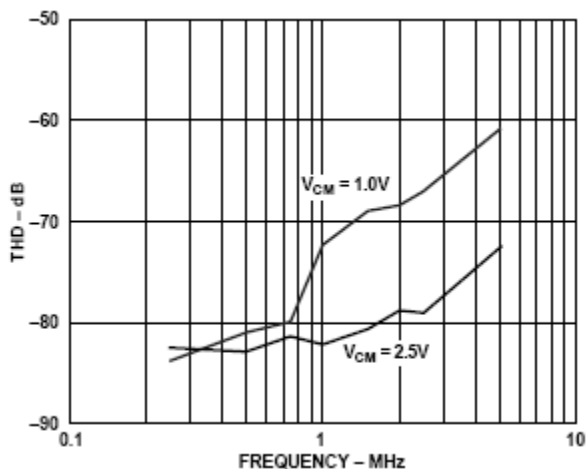


图 4-5 建立时间

采用单端输入或是差分输入的采样保持电路 SHA 在两种情况下可以达到最佳失真性能:

(1) 共模电平接近于电源电压的 1/2(例如, $V_{DDA}/2$ 大约 2.5V) (2) 将 SHA 的输入信号范围设置为较小 (如 2V 的输入范围)。这是因为采样开关 QS1 为 CMOS 开关, 尽管导通电阻 R_{ON} 较小但仍然与输入信号有一定依赖关系, 当 SHA 工作于跟踪模式时, 将导致与频率相关的交流信号失真。CMOS 开关的导通电阻在输入电压为 $V_{DDA}/2$ 是最小的, 当输入电压接近于 V_{DDA} 或 G_{NDA} 近似对称增大。一个较低的输入信号范围可以降低导通电阻的调制效应。

下图是 B9243 共模电平分别为 1V 和 2.5V, 输入范围 2V 的情况下, 频率-谐波失真 THD 曲线。两种情况 THD 都随着频率的升高而性能下降。同样, 在图中可见低频时 THD 性能对共模电平的变化并不敏感, 这是因为当频率接近于直流时, 静态非线性(如 INL,DNL)对失真起决定性作用。值得注意的是, 直流静态非线性与 R_{ON} 调制效应无关。


图 4-6 THD vs 频率 $V_{CM}=2.5V$ and $1.0V$ ($A_{IN}=-0.5dB$, Input Span=2.0VP-P)

由于 SHA 结构的高度对称性，当频率上升到或超出奈奎斯特频率时，差分输入失真性能有很大改善。这种对称性对共模电平失真和噪声有很好的抵消。另外，差分输入时电压范围减小了一半，这进一步降低了导通电阻调制对失真的影响。

对于单端输入或差分输入，最佳噪声性能和直流线性度由最大输入电压范围（比如 5V）和 IN_+ ， IN_- 的输入阻抗匹配决定。注意到输入电压范围分别为 2V 和 5V，直流线性度只是略微下降。

差分 SHA 电路采用了开关电容技术，因此，深入理解输入阻抗及相关效应对输入驱动源产生的影响，有利于优化转换器性能。引脚电容 C_{PIN} ，寄生电容 C_{PAR} ，采样电容 C_S 的总电容通常小于 16pF。当 SHA 工作在跟踪(track)模式时，输入源必须对 C_S 进行充电或放电到新的输入电压。在一个时钟周期内，给定采样频率 F_S 的情况下，进行动态充放电的电容值大约是 4pF，输入阻抗会产生一个起始电阻分量（如 $F_S=3\text{MSPS}$ 时约为 83k Ω ）。但是，如果在采样周期（ $T<1/F_S$ ）内分析这个电阻分量，输入阻抗会随着对 C_S 的充电或放电而动态变化。在输入驱动源与 SHA 电路之间加一个串联电阻 R_S 可以提供有效隔离，如下图所示。

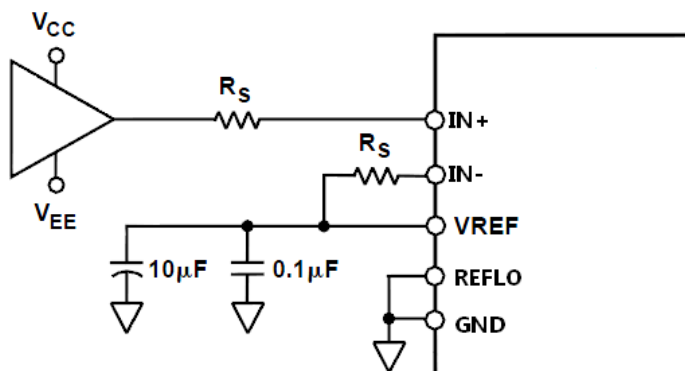


图 4-7 串联电阻将 SHA 的开关电容与运放隔离。匹配电阻可以改善 SNR 性能。

R_S 电阻的最佳大小取决于以下方面：B9243 的采样率，运算放大器驱动器以及特别应用情况等。在大多数应用中，一个 30 Ω -50 Ω 的电阻就足够了。但有一些应用要求更大的电阻阻值来减小噪声带宽或在过压状态时限制可能的致误电流。另外一些应用要求更高的阻值来作为抗混叠滤波器的一部分。无论哪种情况，THD 性能取决于串联电阻和上面提到的几个因素，对于一种特定的应用，进一步优化电阻值是一个不错的做法。

优化 IN_+ 和 IN_- 输入端的阻抗匹配有利于提升 SNR 和直流失调性能，并且电路性能取决于输入电阻大小和采样频率。对于大于 100 Ω 的 R_S 电阻，建议采用匹配电阻。

B9243 的噪声或小信号带宽与它的全功率带宽是一样的。对噪声非常敏感的应用，过

大的带宽是不利的，通过添加一个串联电阻或并联电容形成一个低通滤波器，可以帮助限制 A/D 的输入噪声带宽。在某些时域应用系统中，B9243 的串联电阻与等效输入电容的组合要考虑对输入信号的绝对建立时间的敏感性影响。在谐波失真不是首要考虑因素的应用中，串联电阻的选择要与 SHA 电路的 16pF 输入电容结合共同设置滤波器的-3dB 截止频率。

当考虑为抗混叠滤波器建立了一个实极点时，降低噪声带宽的一个更好的办法是在输入（IN₊或 IN₋）与模拟地之间增加并联电容。因为这个增加的并联电容与 B9243 的等效输入电容相连，可以选择一个更小的串联电阻来建立滤波器的截止频率，同时又不影响器件的失真性能。并联电容也可以发挥电荷泵的作用，吸收或发送保持电容 C_H 所需电荷，从而进一步减小运算放大器输出的瞬态电流。

需要评估一下增加的电容性负载对驱动 B9243 的运算放大器的影响。在噪声作为首要考虑因素时优化器件性能，可以根据输入信号的瞬态响应能力尽可能增加并联电容容值。但也应考虑到该电容容值增加得太多会适得其反，影响运算放大器的建立时间，频率响应和失真特性。

4.2.3 参考电压

B9243 包含一个片上带隙基准，提供一个引脚选择来产生一个 1V 或 2.5V 的输出。通过增加两个外部电阻，用户可以生成不同于 1V 和 2.5V 的基准电压。用户也可以根据设计要求，选择用外部基准源来提高精度和温漂性能。下图是 B9243 内部电压基准源的简化模型。引脚选择基准源放大器存储一个 1V 的固定基准源。基准源放大器 A1 的输出连接至 V_{REF} 引脚。V_{REF} 引脚上的电压决定 A/D 满量程输入范围。输入范围的方程是：

$$\text{满量程输入范围} = 2 \times V_{\text{REF}}$$

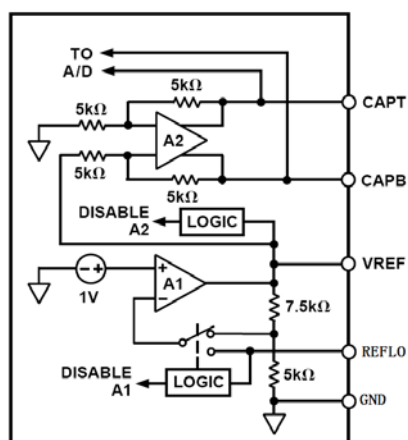


图 4-8 等效基准源电路

V_{REF} 引脚的电压，也就是基准源放大器 A1 的输出电压，其电压值由引脚的电压决定。逻辑电路包含两个比较器，来检测引脚 REFLO 的电压。与最低设置点（大概 0.3V）相连的比较器控制放大器 A1 中反馈回路的开关位置。如果引脚 REFLO 和引脚 GND 连在一起，开关与内部电阻网络一起提供 2.5V 的基准电压。引脚 REFLO 通过短路或电阻与引脚 VREF 连在一起，此时开关与引脚 REFLO 连在一起。直接短路会产生一个 1.0V 的基准电压，同样通过一个外部电阻网络会产生一个在 1.0V 到 2.5V 之间可选的基准电压。另外一个比较器控制内部电路，如果将引脚 REFLO 与 VDDA 相连，该电路会使基准放大器失效。基准放大器失效允许引脚 VREF 由一个外部基准电压源驱动。

B9243 内部电路使用的基准电压出现在引脚 CAPT 和引脚 CAPB 上。为了在使用内部基准源或外部基准源时能够正确工作，有必要增加电容网络来对这些引脚去偶(Decouple)。下图是推荐使用的电容网络,该电容网络具有以下三种功能:(1)与基准放大器 A2 共同作用,在一个大频率范围内产生低电源阻抗来驱动 A/D 转换器内部电路。(2)它为 A2 提供必要的频率补偿。(3)它限制了来自基准源的噪声影响。CAPT 和 CAPB 之间基准电压源导通时间大概是 15ms，在掉电模式下该值应该评估一下。

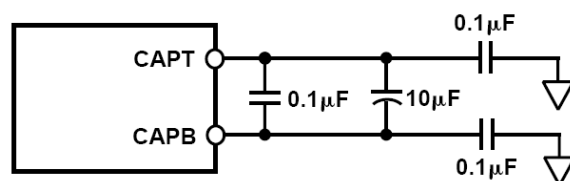


图 4-9 推荐 CAPT/CAPB 去藕网络

A/D 转换器的输入范围可能会随着 CAPT、CAPB（2.5V 对称）之间差分基准电压源的改变而改变。为了快速改变基准电压,必须用两个高速、低噪声的放大器来驱动 CAPT 和 CAPB。在这种情况下，将 REFLO 与 VDDA 相连，VREF 与 GND 相连来使两个内部放大器（A1，A2）无效，并且去除电容去藕网络。加在 CAPT、CAPB 的外部电压分别为 $(2.5V + \text{输入范围}/4)$ 和 $(2.5V - \text{输入范围}/4)$ ，这样输入范围在 2V 到 5V 之间。需要注意的是在基准源改变期间流水线 A/D 的采样点是需要丢弃的。

4.2.4 模拟输入驱动电路

B9243 有高度灵活的输入结构允许单端和差分输入。除了“输入和基准概述”给出的信息外，相关应用在“模拟输入驱动”部分和“基准配置”部分，给出了单端和差分输入工作的例子。

最佳的工作模式时，模拟输入范围及相关的接口电路可由特定应用的性能要求和电源选择决定。例如，很多数据获取和图像应用系统可能更适合于直流耦合单端输入。同样。还有很多通信应用要求直流耦合输入，可利用 B9243 出色的单端失真性能来进行正确解调制。输入范围的配置应当同时满足应用系统的性能目标和驱动运算放大器的裕度要求。

作为选择，器件可工作于差分输入模式，以实现在宽带频率范围内提供最好的 THD 和 SFDR 动态性能。在需要交流耦合（例如直接中频到数字变换）的应用中，可考虑采用变压器耦合连接的差分输入来应对系统对于频谱性能要求较高的应用场合。在采用较大输入范围时，直流耦合差分模式也可以提供更好的失真和噪声性能。另外，通过指定运算放大器工作在 +5V 或 $\pm 5V$ 电源电压，直流耦合差分模式时允许配置 B9243/B9243MC/B9243MG/B9243AMG 为 5V 的输入范围。

单端工作要求 B9243 的 IN+ 通过交流或直流连接输入信号源，而 IN- 偏向一个相当于中间码转换的适当电压。注意到交换 IN+、IN- 的位置，很容易完成信号反向。

差分操作要求 IN+、IN- 同时被两个相位相反，大小相等的信号源驱动。B9243 采用差分操作有以下好处：（1）信号摆幅较小，因此对输入信号源的线性度更容易达到。（2）信号摆幅较小，因此允许更容易采用前置运算放大器，否则前置运算放大器的选用易受裕度限制的约束。（3）差分操作把偶次谐波降到最低。（4）差分操作在采用器件共模抑制基础上提供抗噪性。

同大多数典型的 CMOS 器件，超过限制范围的电源电压将使内部寄生二极管导通，导致器件内部产生瞬态大电流。可采用增加两个串联电阻和两个二极管来箝位直流耦合输入的简单方法。一个略大的串联电阻 R_{S1} 可以用来限制通过 D1、D2 的致误电流，但同时会导致总体性能降低，所以使用时需要权衡。

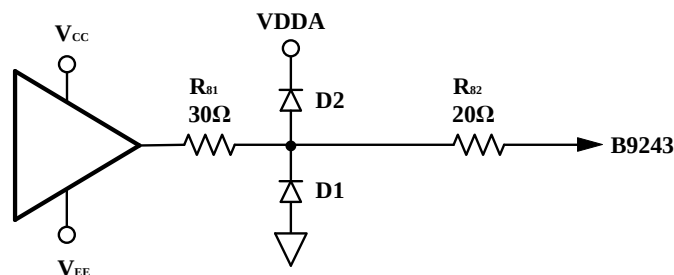


图 4-10 采样箝位电路

4.2.5 差分输入模式

应用时，并不是所有的应用都有信号预处理条件以实现差分输入，通常需要对信号进行单端转差分输入转换。单端转差分输入的信号转换电路可以通过射频变压器或双路差分运算放大驱动电路来解决。这两种方法选择哪种方法应用到电路中要看 B9243 的信号输入是交流耦合还是直流耦合。

交流耦合与射频变压器

对于 B9243，在不需要直流耦合输入的场所中，可采用带中心抽头的射频变压器来产生差分输入信号。差分输入模式下，采用射频变压器可为 B9243 器件提供很好的差分输入信号并且不产生额外的噪声和失真。采用射频变压器的另外一个优点就是可以实现输入信号源和 A/D 之间的电气隔离。

下图为推荐采用的变压器电路原理图。电路使用的是迷你射频变压器，型号为#T4-6T，它的阻抗比率为 1:4(抽头数为 1:2)。假设信号源阻抗为 50Ω ，1:4 的阻抗比要求副线圈接一个 200Ω 电阻，这样可以实现最优电压传输和驻波比。采用变压器中心抽头提供了电平转换的简便方法以把输入信号电平转换为需要的共模电压。当把中心轴头连接到 B9243 的引脚 CML 时可以达到最优性能，其中引脚 CML 为芯片内部 SHA 的共模偏置电平接口

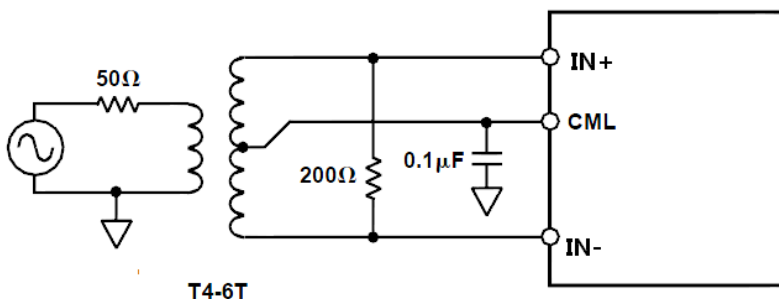


图 4-11 变压器耦合输入

对于特定系统，射频变压器可能采用别的阻抗比会取得更好的系统性能。例如，当给定输入信号源和运算放大器时，较小的输出功率和信号摆幅有利于提高器件的失真性能，这时可以选择较高阻抗比的变压器（例如，选用型号为 T16-6T 的迷你型变压器，其对应阻抗比为 1:16）以明显增大信号电平，从而进一步降低了对信号源的驱动能力要求。

直流耦合与运算放大器

要求直流耦合的应用中，采用差分输入驱动 B9243 也是有益的。在差分输入模式下，信号摆幅显著降低为原来的 1/2，因此在 +5V 电源系统或双电源 $\pm 5V$ 系统中，B9243 可以配

置为 5V 的较大输入范围。这使得大量工作于+5V 和±5V 电源的高性能运算放大器可用于驱动 B9243 器件。运算放大器驱动电路的结构选择取决于单端输入的共模电压是否需要电平移位。

下图为交叉耦合差分驱动电路，这种电路适合于输入的共模信号已经偏置到大约电源值的一半(例如 2.5V)的系统。芯片的共模电压端引脚与运算放大器 A2 的正输入端相连，而对称闭环放大电路的增益可以通过电阻 R_{IN} 和 R_F 来调节。

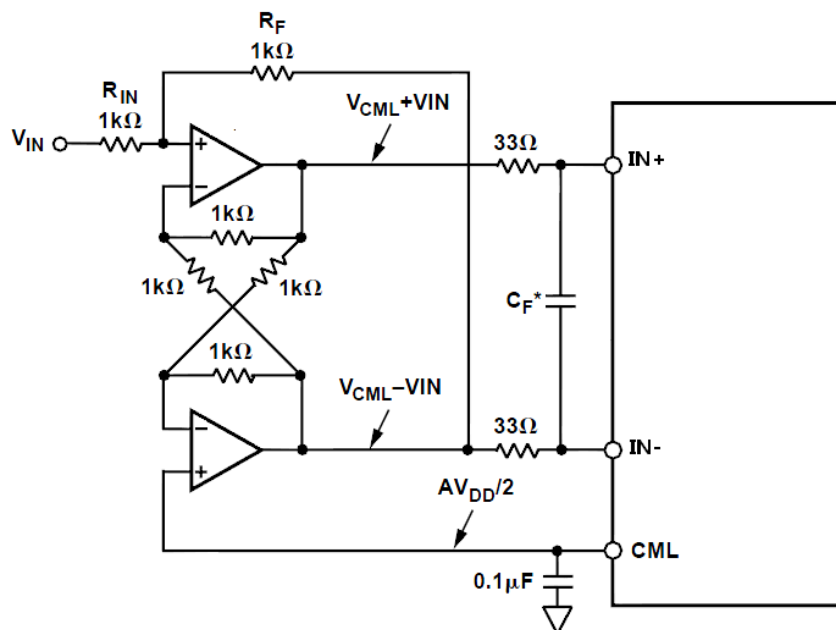


图 4-12 交叉耦合差分驱动电路

对于电压参考点为地 GND_A 的双极型输入信号，并且需要合适的电平移位的系统，采用下面图示的驱动电路更适合。这种驱动电路对输入信号进行电平移位以处于 B9243 的共模电压范围。驱动电路的输入信号分别连接电路中两个匹配运算放大器的正负输入端，以此来产生差分信号。共模偏置电压连接到同相电阻网络以提供正确的电平移位。电路中还采用二极管(可选)和上拉电阻来减少信号的失真，同时降低信号裕度(headroom)要求。

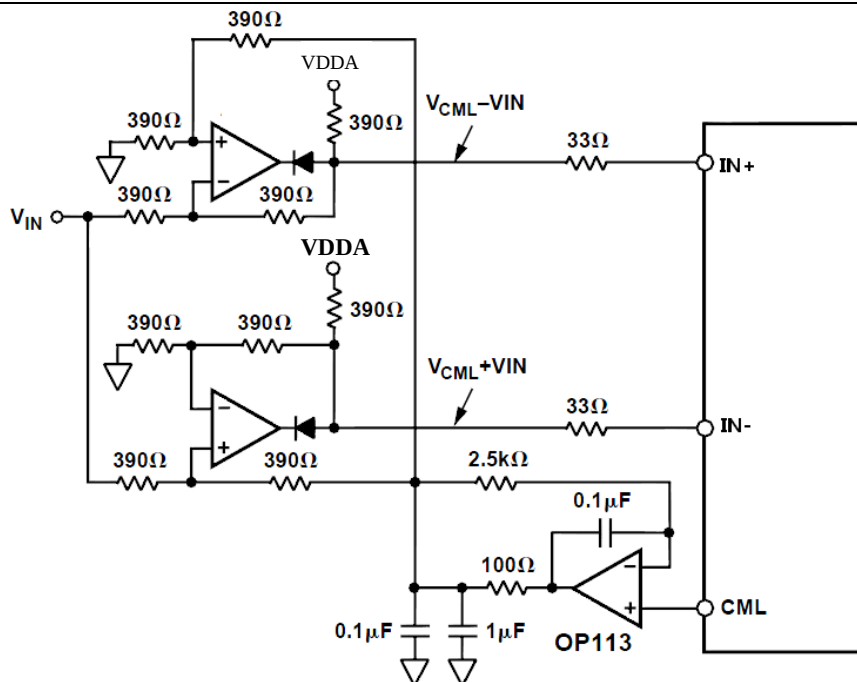


图 4-13 带电平转换的差分驱动电路

4.2.6 单端输入模式

无论是直流耦合还是交流耦合，B9243 的输入信号都可以配置成单端输入模式。此时，为了保证 A/D 的性能，输入信号必须要经过运算放大器的驱动才能输入到 A/D 中去。对于单电源工作的 B9243 来说，如果输入信号的参考点为地的双极信号则需要电平移位来满足器件输入范围的要求。交流耦合和直流耦合都有类似作用的电路，但采用的不同接口的电路可能会对整个系统的设计和性能产生影响。

直流耦合和接口处理

在很多应用场合下要求 B9243 的模拟输入信号方式采用直流耦合。通过一个可配置的放大器对输入信号进行电平转换可以满足 A/D 的输入范围。选择运算放大器时，需要根据系统的性能指标要求和电源电压的范围来确定 A/D 转换器的输入范围。

许多高性能运算放大器的工作电压为 $\pm 5V$ ，而且输入/输出摆幅有限。因此，考虑到 A/D 转换器对运算放大器的裕度条件要求较高，应选择适当的 B9243 输入信号范围，以防止出现信号斩波。另外，既然双电源供电放大器的输出信号摆幅可能低于 $-0.3V$ 内，在一些应用中要考虑对输出进行钳位。

在某些应用中，使用单 $+5V$ 电源的运算放大器可能更为有利，因为电源的内生限制保证

了输出摆幅在正常电源电压范围内。

如果要求 B9243 的单端输入信号范围最大(例如从 0V 到 5V),则运算放大器需要提供更大的输出来驱动它。在选择宽范围输出的运算放大器时,应考虑到可能需要对输出信号进行钳位。

两种分别采用反相放大和同相放大的直流耦合运放电路结构在下面章节中会讨论。虽然没有给出图示,但是同相和反相放大器拓扑结构可以采用 Sallen-Key 结构或多重反馈结构设计成抗混叠滤波器的一部分。另外,可以在运算放大器的输出和 B9243 的输入之间插入 R-C 电路来产生实极点。

简单的运放缓冲电路

最简单的情况下, B9243 的外部输入信号已经与芯片的输入范围一致,此时只需要让 A/D 的 IN+和 IN-引脚的输入阻抗足够低即可。下图为推荐的简化电路,其中,信号由放大器的正相端输入,经单位增益驱动后输入到引脚 IN+,而内部电路则用来驱动引脚 IN-。需要注意的是,大多数情况下,最好在引脚 IN+和 IN-上串联一个 30Ω 到 50Ω 的电阻。下图表示在输入范围为 0V 到 5V 的情况下的驱动电路图。另外,如果对 V_{REF} 电压进行合适的配置,还可以让单端输入信号的范围为 0V 到 $2 \times V_{REF}$ 。

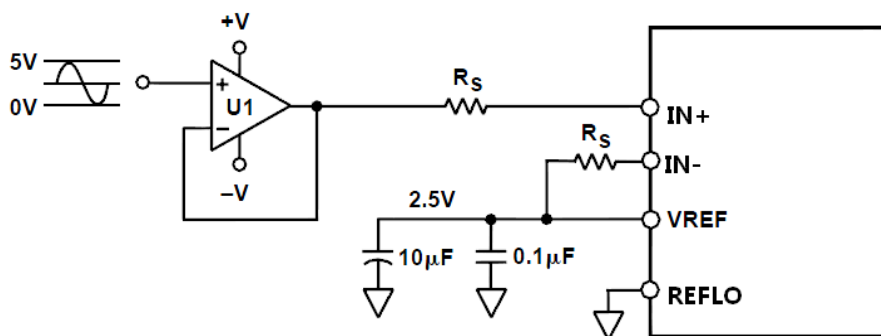


图 4-14 B9243 单端输入运放驱动电路

带直流电平转换的运算放大器

下图所示为带运算放大器的直流电平转换电路,其中运放 A1 实现对输入信号与直流偏置进行加总。在图中所示电阻配置中,运算放大器 A1 工作于反相放大状态且交流增益为-1。如果不想让输入信号倒置,可以将下图中 IN+和 IN-的连接方式进行对换,可以恢复原始输入极性。 V_{REF} 用来设置 B9243 的共模电压,例如,当 $V_{REF}=2.5V$ 时,放大器的输出电平中心值始终保持在 2.5V 左右。对于关系到输出信号与输入信号间比值的两电阻,使用薄膜电

阻可以使得增益和补偿误差最小化。另外，使用上拉电阻 R_P 可以减少 V_{REF} 的输出负载电流到 $\pm 1\text{mA}$ 。

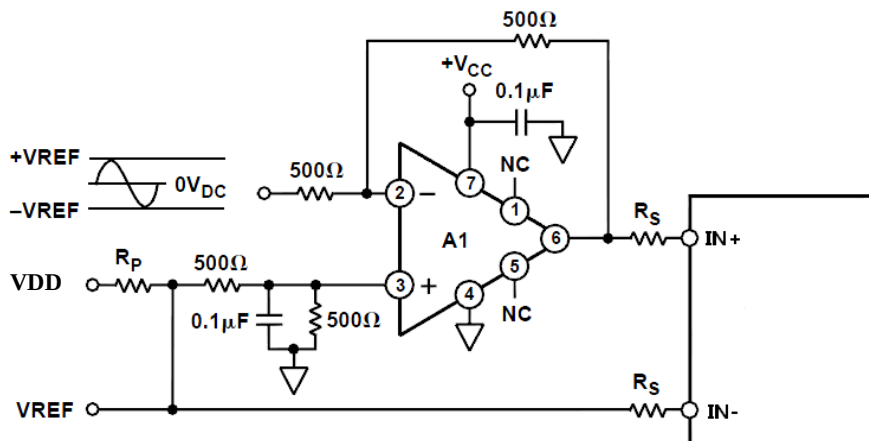


图 4-15 带直流耦合电平转换的单端信号输入

4.2.7 交流耦合和接口处理

在适合交流耦合的应用场合中，运算放大器的输出电平可以很容易的通过一个耦合电容转换到 B9243 的共模电平，这有利于运放的共模电平偏置到它的输入电源的一半。工作于电源电压中间对称位置的运放可以达到最好的交流耦合特性和最大的输入/输出范围。因此，分别工作于 $\pm 5\text{V}$ 或 $+5\text{V}$ 电源的各种高性能放大器，可以很容易配置成 5V 或 2V 的 B9243 的输入范围。当 A/D 的输入信号范围为 2V 而共模电压为 2.5V 时，转换器可以实现最佳交流失真性能。另外请注意，对于另一种形式的采用交流耦合，即变压器差分耦合的情形，也应当考虑交流性能的优化。

简单的交流耦合接口

下图所示为典型的交流耦合单端输入驱动电路图，图中所示偏置电压通过电平移位将以地为参考电平的双极输入信号转换到 V_{REF} 区间。 $C1$ 和 $C2$ 的值的大小取决于电阻 R 的大小，通常为 $0.1\mu\text{F}$ 和 $10\mu\text{F}$ 的陶瓷电容或钽电容，以维持较低的截止频率和在宽频范围内的低阻抗性能。电阻 R 和电容 $C1$ 、 $C2$ 形成高通滤波器，其 -3dB 截止频率公式为：

$$f_{-3\text{dB}} = 1/(2 \times \pi \times R \times (C1 + C2))$$

低阻抗电压源引脚 V_{REF} 为模拟信号输入端 $IN-$ 和 $IN+$ 提供偏置电压，图 7-13 中 V_{REF} 为 2.5V ，

因此 A/D 的输入信号范围最大可以为 0V 到 5V。通过改变 V_{REF} 的值可以选择其它的输入信号范围，但此时会增加 A/D 的失真，因为芯片的最佳共模电平为中心电平 2.5V。

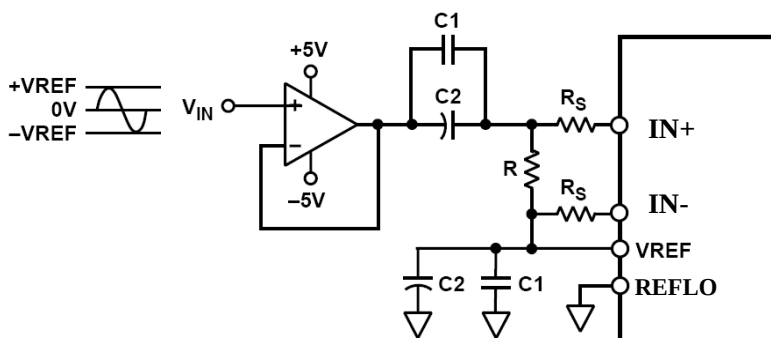


图 4-16 交流耦合输入

可选交流耦合电路接口

下图所示为可以被配置为不同输入信号范围的非常灵活的交流耦合电路，既然 $IN+$ 和 $IN-$ 的共模电压可以偏置到电源中值而不依赖于 V_{REF} ，则引脚 V_{REF} 电压可以相对固定或重新配置来达到 2V 到 5V 的输入信号范围。B9243 内部共模抑制电路和对称的耦合 RC 网络可以抑制电压波动和噪声。电阻 R 的阻值比用于建立共模电压，可能需要选用较大的电阻(例如 $5K\Omega$)以降低电路功耗和产生低截止频率。电容 $C1$ 和 $C2$ 通常选用 $0.1\mu F$ 陶瓷电容和 $10\mu F$ 钽电容，此时在保持低阻抗、大带宽的情况下可以达到较低的截止频率。电阻 R_S 实现了放大器和 A/D 输入端的隔离。当通过对称的滤波网络驱动引脚 $IN+$ 和 $IN-$ 时可以优化器件性能，高通滤波器的 -3dB 低截止频率计算公式为：

$$f_{-3DB} = 1 / (2 \times \pi \times \frac{R}{2} \times (C1 + C2))$$

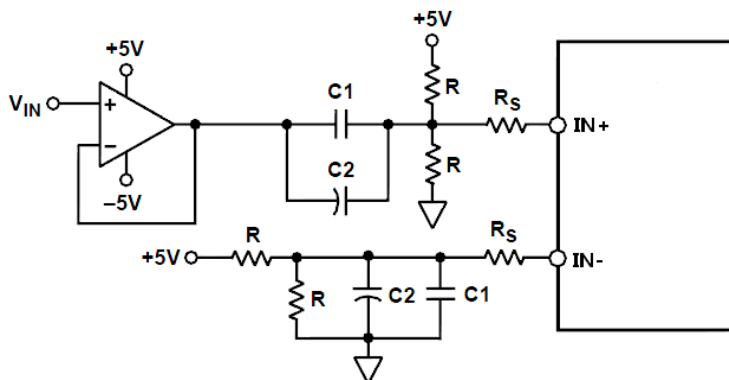


图 4-17 输入信号范围较灵活改变的交流耦合电路， $V_{CM}=2.5V$

4.2.8 内部基准应用

输入范围为 0V 到 $2 \times V_{REF}$ 的单端信号

下图所示为怎样通过扩展引脚 REFLO 使得 B9243 的输入范围为 0V 到 2V 或 0V 到 5V。

无论哪种情况下，共模电压和输入信号的范围由 V_{REF} 的电压值决定。作为特例，输入信号值取 $2 \times V_{REF}$ ，共模电压值取 V_{REF} 。因此，有效的输入信号范围可以为 0V 到 $2 \times V_{REF}$ 范围内。当 $IN+ \leq 0V$ 时，经 A/D 量化后的数据用 16 进制表示为 0X0000；当 $IN+ \geq 2 \times V_{REF}$ 时，量化后的数据为 0X3FFF。

引脚 V_{REF} 与 REFLO 短接时，芯片内部基准放大器被设置为单位增益模式， V_{REF} 的输出为 1V，此时的输入信号范围为 0V 到 2V。另外，引脚 REFLO 与 GND 直接短接时，内部基准放大器的增益设置为 2.5， V_{REF} 的输出为 2.5V，此时的输入信号范围为 0V 到 5V。引脚 V_{REF} 应该通过两个并联电容与 GND 相连，其中一个为 10uF 钽电容，另一个为 0.1uF 低自感系数的陶瓷电容。

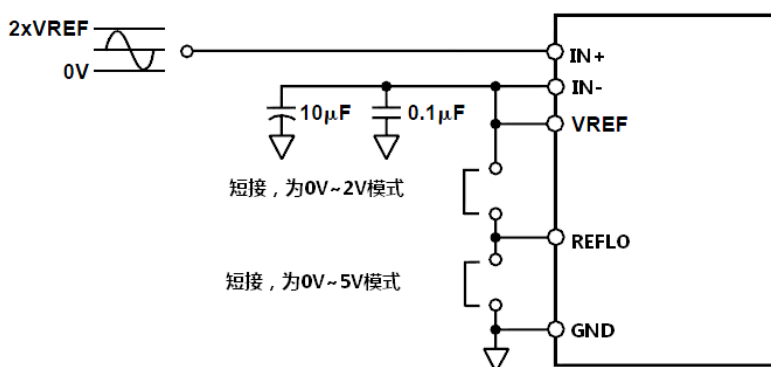


图 4-18 内部基准电路 (V_{CM} 为 1V 时输入信号范围 2Vp-p，
为 2.5V 时输入信号范围为 5Vp-p)

共模电压为 2.5V 时的单端或差分输入

下图所示的电路可以在采用单端信号输入时得到最好的 SINAD 特性。为了优化芯片的动态性能，可以连接引脚 IN-和 V_{REF} 使其模拟输入信号的共模电压大约为 2.5V，其中 V_{REF} 的输出电压为 2.5V，且输出阻抗较低。如前所述，短接引脚 REFLO 和 GND 可以得到 2.5V 的基准电压和 5Vp-p 的输入信号范围，因此有效的输入信号范围为 0V 到 5V。引脚 V_{REF} 应该通过两个并联电容与 GND 相连，其中一个为 10uF 钽电容，另一个为 0.1uF 低自感系数的陶瓷电容。

这种参考方式也可适用于差分信号输入情况下，此时模拟输入端口 IN+和 IN-的信号来源于变压器。当把变压器的中心轴头连接到 B9243 的引脚 CML 时，共模电压值设定为电源电压的中值。通过把引脚 REFLO 与 V_{REF} 或 GND 分别连接可以得到 V_{REF} 的输出电压为 1V 或 2.5V。注意差分输入模式下的每一输入接口有效输入范围为单端输入时的一半，也就是 $V_{CM}-V_{REF}/2$ 到 $V_{CM}+V_{REF}/2$ 。

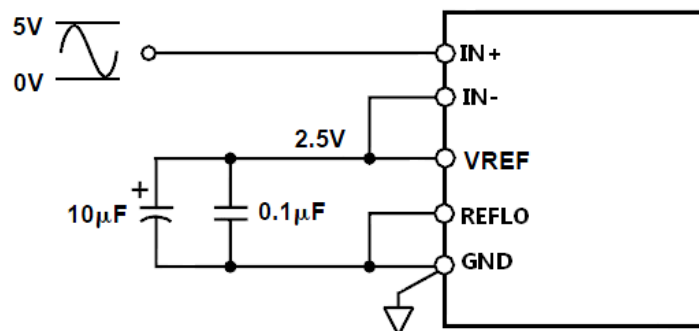


图 4-19 内部基准电路(输入信号范围为 5Vp-p, V_{CM} 为 2.5V)

电阻可编程基准电路

下图所示为一个怎样通过芯片外部的两个电阻和一个旁路电容产生基准电压的例子，这个基准电压的大小不同于标准 1V 或 2.5V，它可以用下公式表示：

$$V_{REF} = 1V \times (1 + R1 / R2)$$

其中， $R1$ 和 $R2$ 的阻值要合适，一般都在 $2K\Omega$ 和 $100K\Omega$ 之间，假设 $R1=2.5K\Omega$, $R2=5K\Omega$ ，根据上面等式， $V_{REF}=1.5V$ ，则输入范围为 3Vp-p。为了确保稳定性，需要在 $R1$ 两端并连一个 $0.1\mu F$ 的陶瓷电容。通过连接引脚 IN-和 V_{REF} 可以将共模电压设置为 V_{REF} ，从而使得输入范围为 0V 到 $2 \times V_{REF}$ 。另外，通过连接引脚 IN-和低阻抗的 2.5V 电压源可以将共模电压设置为 2.5V。综上所述，IN+的输入信号范围为 1V 到 4V，其中，引脚 V_{REF} 应该通过两个并联电容与 GND 相连，其中一个为 $10\mu F$ 坦电容，另一个为 $0.1\mu F$ 低自感系数的陶瓷电容。

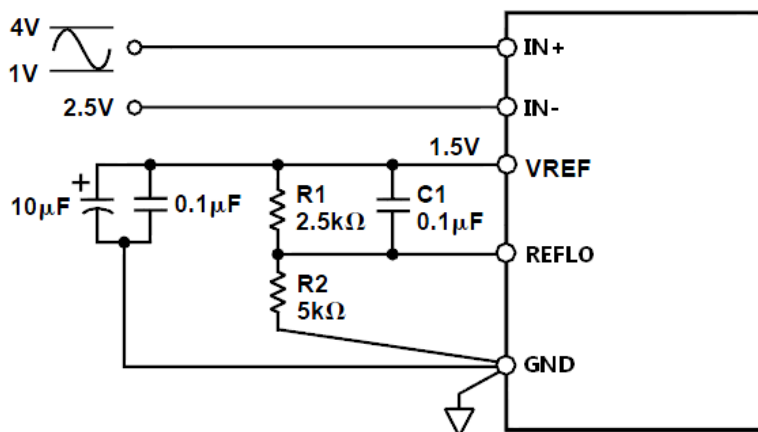


图 4-20 电阻可编程基准电路(输入信号范围为 3Vp-p, V_{CM} 为 2.5V)

4.2.9 外部基准应用

采用外部基准电路可以通过改善漂移和精度来提高 B9243 的性能，用户可以根据具体情况合理使用。当使用外部基准电路时，用户需要关闭内部基准放大器，并为 V_{REF} 引脚提供适当的外部驱动能力。将引脚 REFLO 和 VDDA 连接可关闭内部基准放大器。

B9243 包含了一个内部基准缓冲器 A2，以此来简化外部基准的驱动要求。外部基准电路要求能驱动 $5\text{ K}\Omega(\pm 20\%)$ 的负载。注意基准缓冲器的带宽特意设置得较小，这样可以实现基准缓冲器的噪声最小化。因此，在没有移除 CAPT/CAPB 去耦合网络而直接驱动这些引脚的情况下，这种方式是不可能快速改变基准电压的。在一些要求快速改变基准电压的应用中，应当考虑去除 CAPT/CAPB 去耦合网络而直接驱动引脚。

VCM 等于 2.5V 时的可变输入范围

下图中，一个外部的 2.5V 基准源驱动引脚 IN-使得 B9243 的共模电压为 2.5V，输入范围为 $2.5V - V_{REF}$ 到 $2.5V + V_{REF}$ 。输入信号范围可通过由 R1 和 R2 组成的电压驱动电路进行独立设置，其中电压驱动电路用来产生信号 V_{REF} 。驱动器 A1 对 R1 和 R2 组成的电阻网络起缓冲作用并驱动 V_{REF} ，A1 的选择取决于精确要求。尤为重要的是要在基准输出上并连一个小封装的 10uF 电容和一个低自感的 0.1uF 电容以达到去耦的目的。

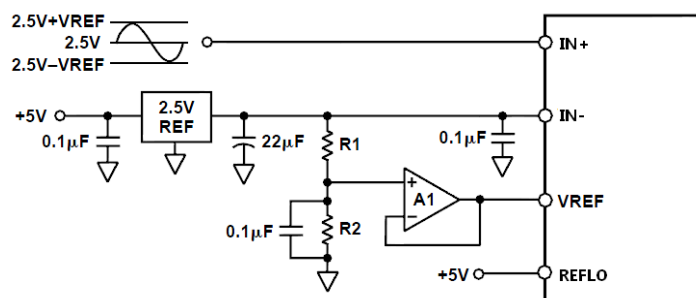


图 4-21 外部基准电路， $V_{CM}=2.5V$ ($IN-=2.5V$,通过电阻分压产生 V_{REF})

信号范围在 0 到 $2 \times V_{REF}$ 的单端信号输入

下图为用外部基准电路驱动引脚 IN-和 V_{REF} 的例子。这种情况下，不论是共模电压还是输入信号的范围都由 V_{REF} 的值决定。更具体的来说，当输入信号值为 $2 \times V_{REF}$ 时，共模电压值为 V_{REF} ，因此，有效的输入信号范围为 0V 到 $2 \times V_{REF}$ 。例如，选择了一个 2.048V 的外部基准，则有效的输入信号范围为 0V 到 4.096V。这种情况下，B9243 的 1LSB 最低有效位相

当于 0.250mV。尤为重要的是要在基准输出上并连一个小封装的 10uF 电容和一个低自感的 0.1uF 电容以达到去耦的目的。

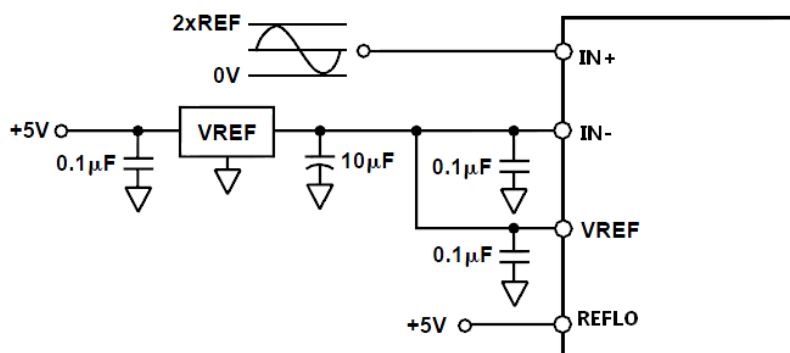


图 4-22 输入信号范围为 0V 到 $2 \times V_{REF}$

低成本/功耗参考电路

下图所示外部基准电路中，除了运算放大器和晶体管外，还有一个低成本的 1.225V 外部基准源(例如 AD1580)。晶体管用于连接 1/2 OP282 来为引脚 IN-提供低阻抗驱动。选择运放时，不必要求高速，可以兼顾成本、功耗、精确度合理选择。

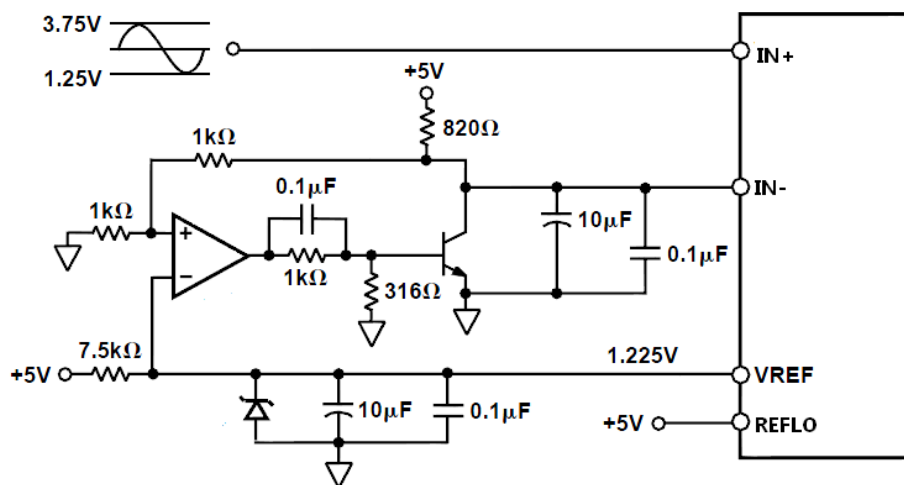


图 4-23 使用外部基准源和低阻抗缓冲器的外部基准电路

4. 2. 10 数字输入和输出

数字输出

对所有的输入信号范围来说，B9243 的输出都是真正的正偏二进制值。与具体的输入信号范围无关，下表是不同的输入信号值对应的输出数据格式。通过反转最高有效位 MSB 可以得到补码形式的二进制输出数据格式。

Input(V)	Condition(V)	Digital Output	OTR
IN+-IN-	$< -V_{REF}$	00 0000 0000 0000	1
IN+-IN-	$= -V_{REF}$	00 0000 0000 0000	0
IN+-IN-	$= 0$	10 0000 0000 0000	0
IN+-IN-	$= +V_{REF} - 1\text{LSB}$	11 1111 1111 1111	0
IN+-IN-	$\geq +V_{REF}$	11 1111 1111 1111	1

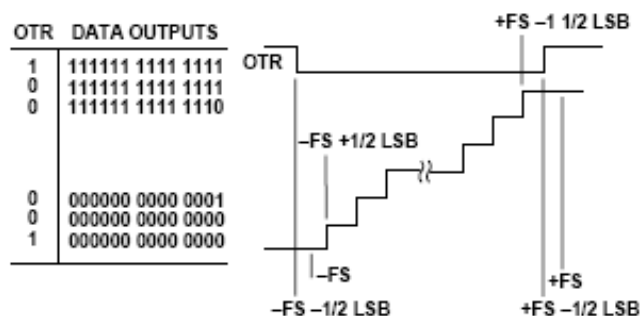


图 4-24 输出数据格式

数字溢出位(OTR)

当模拟输入信号电压超出转换器有效输入范围时，就会触发范围溢出条件。OTR 是数字输出信号，它随着具体模拟输入电压采样值而更新。因此，同数字输出数据一样，OTR 有着同样的流水延迟。当模拟输入信号在芯片允许的输入范围之内时，OTR 为低电平；反之，当超出芯片允许范围内时，OTR 为高电平。

通过对溢出 OTR，最高有效位 MSB 及其互补信号间进行“与”逻辑运算，可以进一步检测确定是上限越界条件和下限越界条件。下面的表图是“与非门”组成的上限溢出/下限溢出电路对应的真值表。系统要求 B9243 输入信号的可控增益电路能够快速检测到范围溢出情况，从而消解增益电路叠代次数。同样，OTR 还可用作数字补偿和增益校正的控制信号。

超限真值表

OTR	MSB	Analog Input Is
0	0	In Range
0	1	In Range
1	0	Underrange
1	1	Overrange

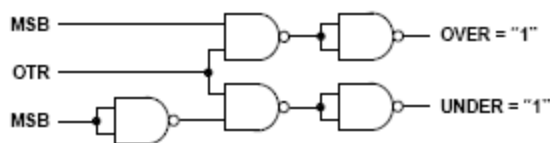


图 4-25 超范围或欠范围逻辑电路

数字输出驱动器考虑事项 (VDDDDR)

B9243 可以通过设置 VDDDDR 为+5V 或+3.3V 而使芯片的输出接口电平为+5V 或+3.3V。B9243 的输出驱动应能提供足够大的输出电流来驱动各种各样的逻辑电平,然而,大的驱动电流容易产生电源毛刺,从而影响器件的 SINAD 性能。应用要求 B9243 在驱动大电容性负载或提供大扇出能力时,应在 VDDDDR 上增加额外的去耦电容。在极端条件下,可能需要连接外部缓冲器或锁存器。

时钟输入考虑事项

B9243 内部时序电路采用时钟输入信号的两个边沿来产生各种各样的内部时序信号,要求时钟输入信号应满足或超过最小的高电平(t_{CH})和低电平(t_{CL})脉冲宽度的要求,以达到规定的电路性能指标。

例如,在 3M 的采样频率下,既然 B9243 的 t_{CH} 和 t_{CL} 的最小值为 150ns,其时钟输入信号的占空比要在 45%到 55%区间才能满足时序要求。当时钟输入信号频率低于 3MSPS 时,其占空比可能偏离 45%到 55%区间仍然能够满足 t_{CH} 和 t_{CL} 的范围要求。

所有的高速、高分辨率的 A/D 都需要有高质量的时钟输入信号。当给定满量程输入信号(f_{IN})时,孔径抖动(t_A)会造成器件信噪比 SNR 的下降,可以用以下公式计算:

$$SNR = 20\log_{10}[1/(2 \times \pi \times f_{IN} \times t_A)]$$

公式中,孔径抖动的有效值 t_A 代表了所有抖动源的均方根,抖动源包括了时钟输入信号,模拟输入信号和 A/D 本身的孔径抖动等。例如,当采样一个 1.5MHz 的满量程正弦波信号时,如果一个 A/D 的全部孔径抖动的有效值为 15ps 则 A/D 的信噪比 SNR 将会被限制在 77dB。另外,欠采样(Undersampling)应用时器件对其孔径抖动尤为敏感。

在孔径抖动可能影响到 B9243 的动态范围时,时钟输入信号应考虑为模拟信号。因此,输入时钟源电路应该与 A/D 的输出驱动电路隔离开来,以防止发生数字信号对模拟输入的调制干扰。采用低抖动的晶振是最好的时钟源选择,如果选择其它方式产生时钟源(例如门电路,分频或其它办法),则可能需要对原始时钟信号在最后确定并调整时序。B9243 大部分的功耗来自模拟部分电源,然而,更低速的时钟频率将会略微降低数字部分电流。

4.3 芯片系统结构和工作原理

B9243是与ADI公司工业级产品AD9243型14位3MSPS模数转换器功能兼容的军级/宇航级模数转换器产品。

五、产品电特性

表 5-1 电参数表

参数	符号	条 件 $f_{\text{SAMPLE}}=3\text{MSPS}$, $V_{\text{REF}}=2.5\text{V}$, $V_{\text{DDD}}=V_{\text{DDA}}=5\text{V}$, $A_{\text{IN}}=-0.5\text{dBFS}$, DC 耦合, 差分输入。 $-55^{\circ}\text{C} \leq T_{\text{A}} \leq 125^{\circ}\text{C}$	参数值			单位
			最小	典型值	最大	
线性误差	E_L		-2.5	± 2.0	+2.5	LSB
微分线性误差	E_{DL}		-1.0	± 0.8	+1.0	LSB
失调误差 ^a	E_O	内参考($T_{\text{A}}=25^{\circ}\text{C}$)	—	0.3	+0.4	%FS
增益误差	E_G	内参考($T_{\text{A}}=25^{\circ}\text{C}$)	—	1	+1.5	%FS
基准输出电压(2.5V 模式)	V_{REF}		2.465	2.5	2.535	V
数字输入高电平电压	V_{IH}	CMOS 接口	3.5	-	—	V
数字输入低电平电压	V_{IL}	CMOS 接口	—	-	1.0	V
数字输出高电平电压	V_{OH}	$I_{\text{OH}}=0.5\text{mA}$	2.4	4.9	-	V
数字输出低电平电压	V_{OL}	$I_{\text{OL}}=1.6\text{mA}$	—	0.25	0.4	V
数字输入高电平电流	I_{IH}	$V_{\text{IN}}=V_{\text{DDD}}$	—	0.3	± 10	μA
数字输入低电平电流	I_{IL}	$V_{\text{IN}}=0\text{V}$	—	0.3	± 10	μA
失调误差温度系数	α_{EO}		—	—	0.02	%FS/ $^{\circ}\text{C}$
增益误差温度系数	α_{EG}		—	—	0.1	%FS/ $^{\circ}\text{C}$
数字电源电流	I_{DDD}		—	5.5	7.5	mA
模拟电源电流	I_{DDA}		—	31.5	45.0	mA
输出驱动电源电流 ^b	I_{DDDR}	无负载	—	0.8	17.5	mA
功耗	P_{W}		—	200	350	mW
信噪失真比	SINAD	$f_{\text{IN}}=500\text{kHz}$	68.3	72	—	dB
		$f_{\text{IN}}=1.5\text{MHz}$	67.5	70	—	dB
有效位数	ENOB	$f_{\text{IN}}=500\text{kHz}$	11.05	11.6	—	Bits
		$f_{\text{IN}}=1.5\text{MHz}$	10.9	11.3	—	Bits
信噪比	SNR	$f_{\text{IN}}=500\text{kHz}$	69.0	73	—	dB
		$f_{\text{IN}}=1.5\text{MHz}$	67.6	71	—	dB
无杂散动态范围	SFDR	$f_{\text{IN}}=500\text{kHz}$	74.0	80	—	dBFS
		$f_{\text{IN}}=1.5\text{MHz}$	72.0	79	—	dBFS
总谐波失真	THD	$f_{\text{IN}}=500\text{kHz}$	—	-80	-74.0	dB
		$f_{\text{IN}}=1.5\text{MHz}$	—	-78	-72.0	dB
最高工作频率	f_{max}		3.0	3.0	—	MHz

注^a B9243 产品规范 Q/Zt 30007-2005 和 B9243MC 规范 Q/Zt 20070-2009 定义的失调误差最大为 0.4%FS，其他 B9243 产品规范及采购规范定义的失调误差最大为 0.6%FS；

注^b B9243 产品规范 Q/Zt 30007-2005、B9243MC 规范 Q/Zt 20070-2009、B9243 和 B9243AMG 的采购规范 CASTPS11/028B-2016 未定义输出驱动电源电流参数；B9243MG 的规范 Q/Zt 20355-2014、B9243AMG 的规范 Q/Zt 20369-2014 定义了输出驱动电源电流参数。

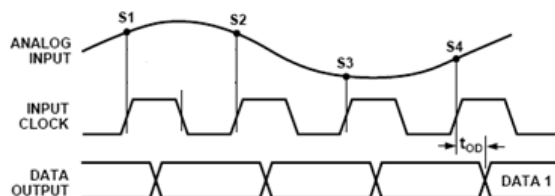


图 5-1 工作时序图

六、典型应用

B9243 用于直接中频变换

在频率扩展到基带之上及几个奈奎斯特频率范围内，B9243 可工作于差分输入模式并取得很好的性能。图 6-1~6-6 为 B9243 的评估板原理图，用户在实际的设计中可以此为参考进行设计。

图 6-1 为评估板 B9243 外围设计电路图。从图中可以看出，B9243 的信号输入方式可以选择差分交流耦合输入或差分直流耦合输入两种方式；用户也可以利用 B9243 引脚 REFLO 和 VREF 的连接方式来决定 B9243 的基准电压。具体连接方式参考 4.2.3 节“参考电压”。另外，用户在设计时要注意去耦电容的正确使用，特别是 CAPT 和 CAPB 的去耦网络和电源的去耦。

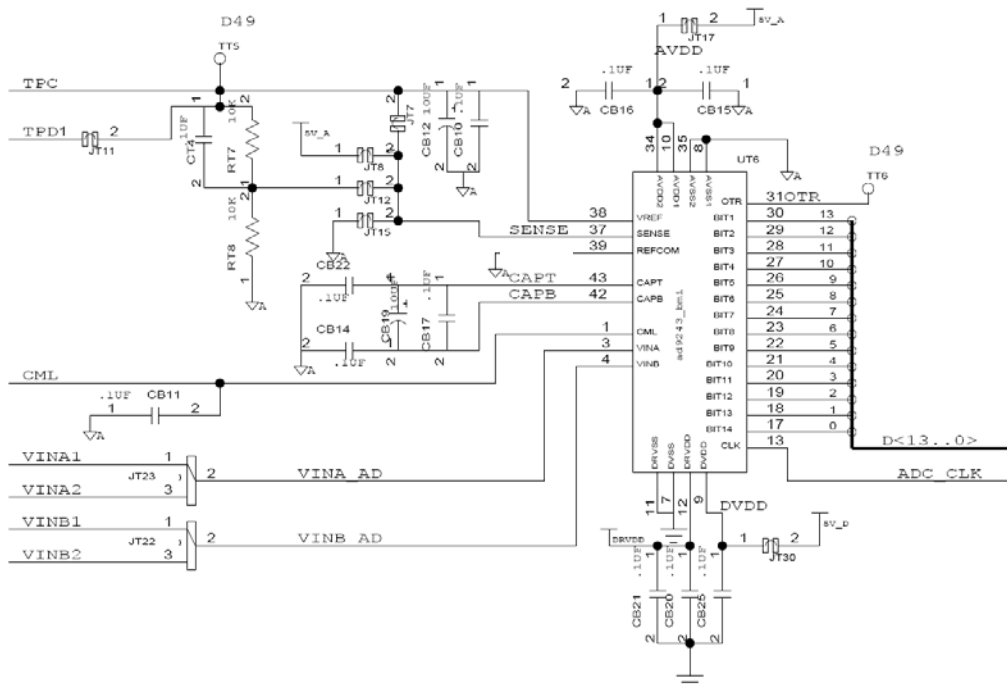


图 6-1 B9243 典型应用图

图 6-2 为 B9243 的输出驱动电路，其中，外部时钟通过一个施密特触发器输入到 B9243 的时钟输入端，可有效降低时钟输入的噪声，另外，用户可选择通过一个还是两个反相器输入到 B9243 的输出驱动电路，可同步 B9243 的输出数据。UT4 和 UT9 主要是作为远距离传输的驱动使用的。

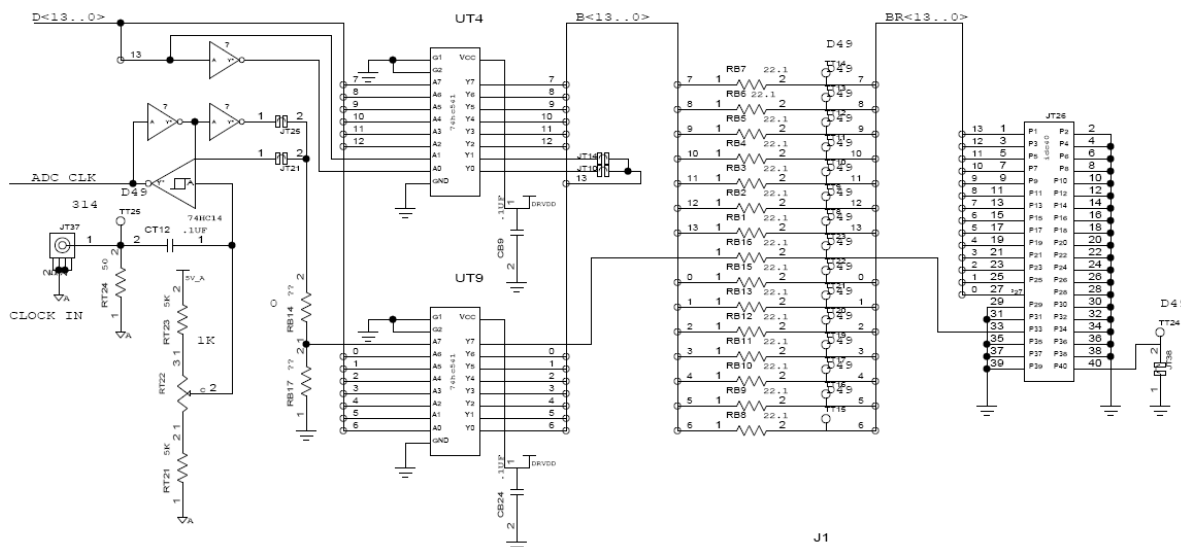


图 6-2 B9243 输出驱动电路

图 6-3 为 B9243 的差分直流耦合输入驱动电路图，通过运放 UT5 对输入信号进行单端

转差分后输入到 B9243 中去。其中，匹配电阻 RT15 和 RT18 可选择阻值范围在 33 欧姆到 50 欧姆之间，在此范围内匹配效果最佳。

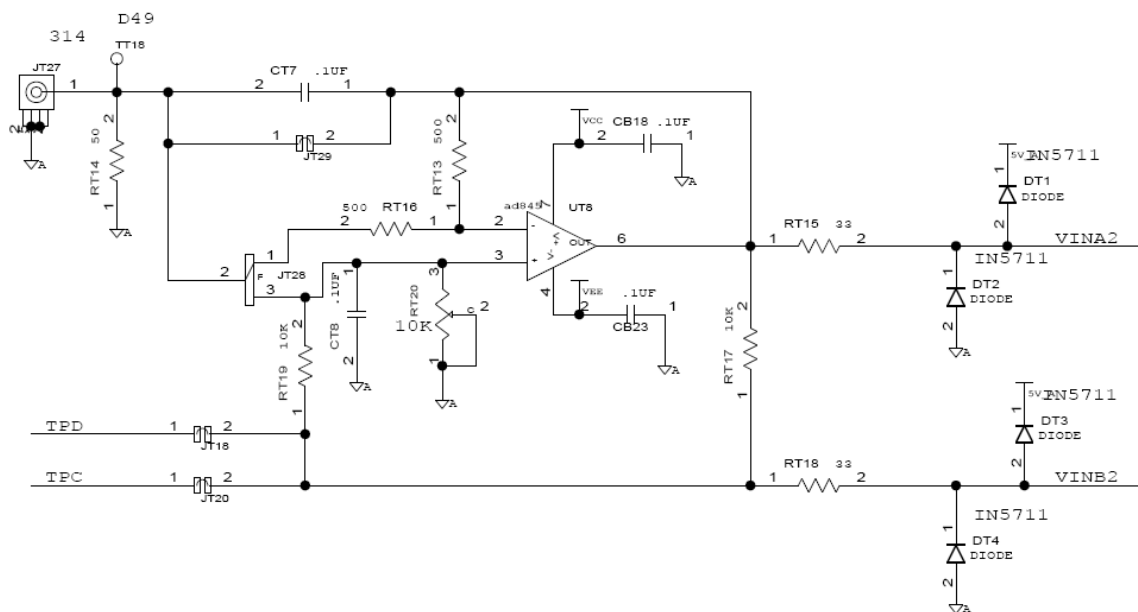
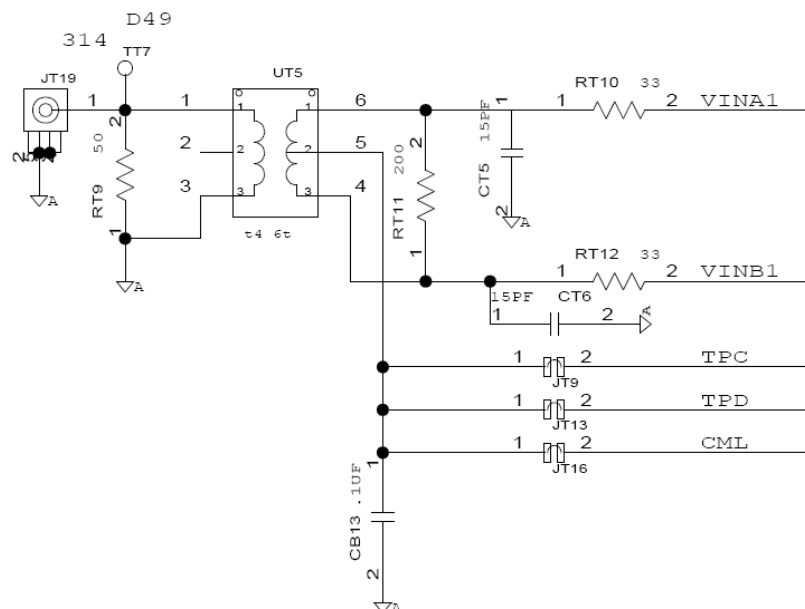


图 6-3 B9243 差分直流耦合输入电路

图 6-4 为 B9243 的差分交流耦合输入驱动电路图，是通过巴伦 UT5 将输入信号转换为差分信号，同样，匹配电阻 RT15 和 RT18 可选择阻值范围在 33 欧姆到 50 欧姆之间。



附图 6-4 B9243 差分交流耦合输入电路

图 2-5 为 B9243 的电源电路图。B9243 评估板的电源电压主要是通过外部电源器输入的，

因此并没有 LDO 进行电压的转换。

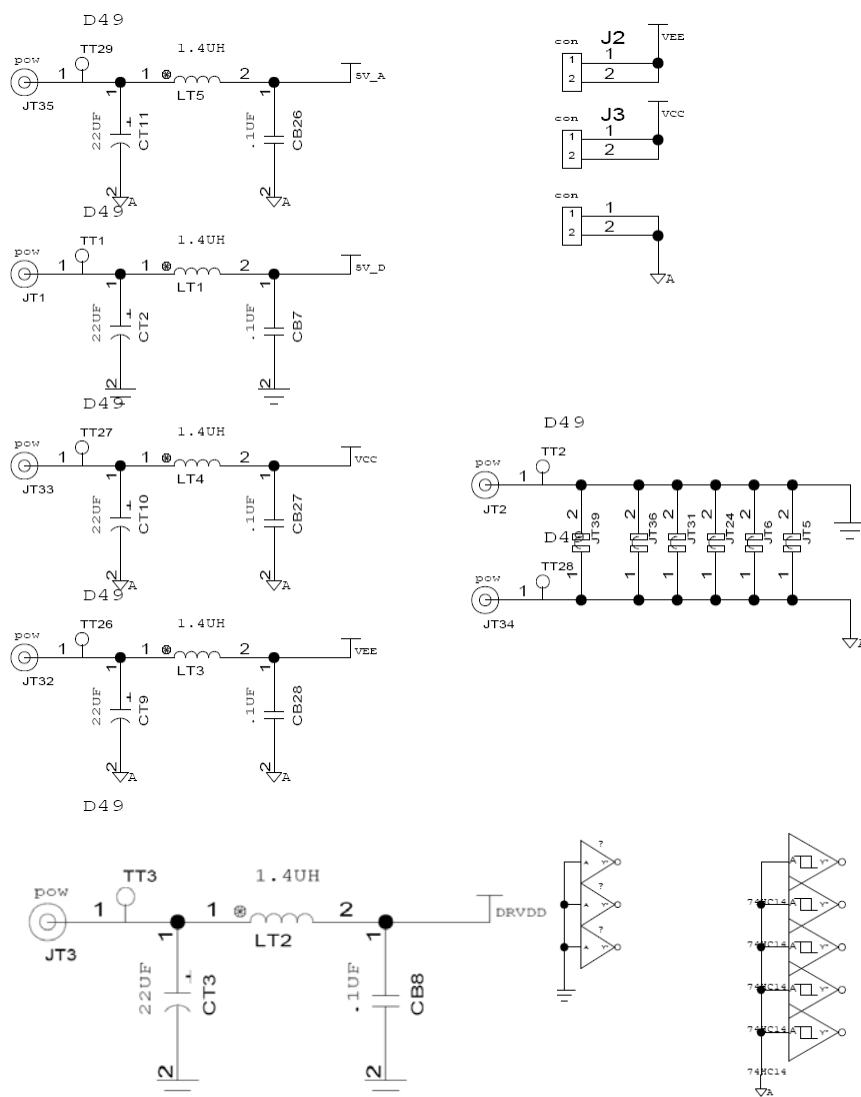


图 6-5 电源电路

如果将引脚 REFLO 与 V_{DDA} 相连，B9243 的基准放大器失效。此时允许引脚 V_{REF} 由一个外部基准电压源驱动。图 2-6 为 B9243 的外部基准电压输入图。

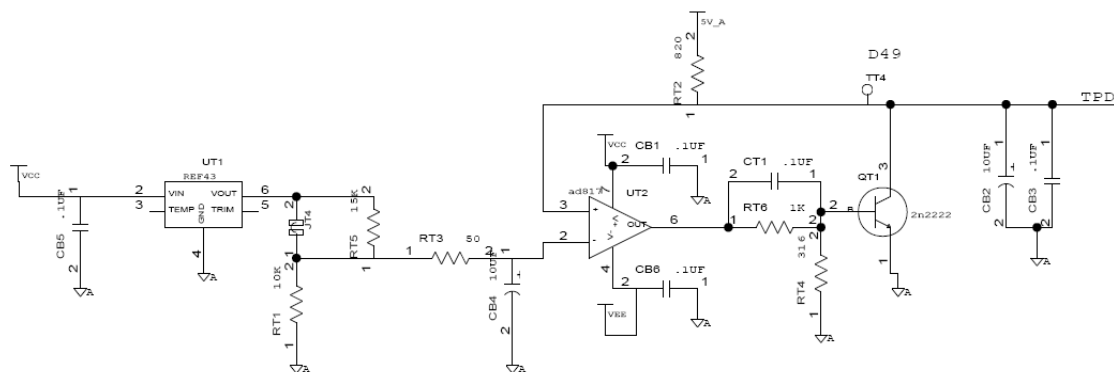


图 6-6 B9243 基准源外部输入参考

七、应用注意事项

7.1 产品应用说明

使用过程中注意过电应力，以免导致产品电应力失效。

模拟地与数字地

在任何高速、高分辨率的系统中，恰当的接地是十分重要的。多层印制电路板通常建议设计专门的参考地层和电源层。专门的参考地层和电源层的使用有以下明显的好处：

1. 为信号提供最短的回流路径。
2. 为电源和地提供低阻抗路径。
3. 电源层、地层和 PCB 隔离措施形成固有的分布电容。

上述特点有利于降低电磁干扰(EMI)和提升系统性能。

通过布局设计来防止输入信号的耦合噪声是非常重要的。数字信号不应该与模拟信号平行而应该远离模拟电路。尽管 B9243 中数字地和模拟地是分离的，但应该当作模拟成分来设计。引脚 GND_A 、 GND_D 、 GND_{DR} 必须直接连接在一起。如果能够合理处理电源层和地层的回路电流，可在 A/D 下铺设地层。另外，A/D 下铺设地层中数字部分和模拟部分相互耦合是不可避免的，可能产生沿固定方向流动的锯齿状波动电流，可采用锯齿状分割线以降低模拟与数字之间的相互耦合，模拟地和数字地的连接最终通过跳线连接来完成。

7.2 对电源的要求和推荐使用电路

B9243 的数字部分和模拟部分的电源和地线引脚都是分离设计的，有助于将数字信号对模拟信号的干扰降到最低。

在 200mV_{p-p} 纹波下，模拟电源(V_{DDA})和数字电源(V_{DD})的电源抑制比 PSRR 和频率的关系。一般来说，模拟电源 V_{DDA} 应该与模拟公共地 GND_A 应当考虑去耦，其接地点要尽可能的靠近芯片。下图所示为推荐的模拟电源去耦和连接电路图，其中连接 0.1 μ F 的陶瓷电容可以提供恰当的低阻抗和宽频范围。注意所有的 V_{DDA} 和 GND_A 引脚都被安排在同一处，以简化去耦电容的布局并提供最短的印制电路板路径。

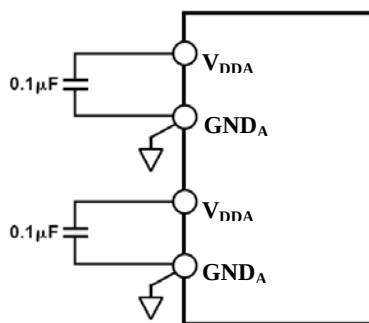


图 7-1 模拟电源的去耦

CML 为 B9243 内部的模拟偏置点，此引脚必须至少有一个 0.1uF 的去耦电容，CML 的直流电平接近 $V_{DDA}/2$ ，这个电压如果应用到外部偏置时要有缓冲电路。

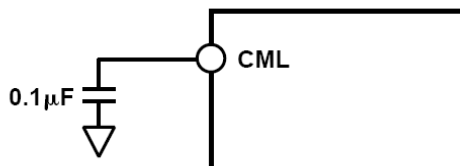


图 7-2 CML 引脚的去耦

B9243 的数字电路部分主要有两种：校正逻辑和输出驱动。内部的校正逻辑主要在时钟沿转换时引起相对小的浪涌电流，而输出驱动在输出比特位发生变化时会引起大的电流脉冲。这些电流的大小和持续时间会对输出位产生负载作用：要避免产生大的电容性负载。注意 B9243 的输出驱动参考电源为 V_{DDDR} ，内部逻辑的参考电源 V_{DDD} 。

下图所示的去耦电路中，针对数字输出端产生的电容性负载，可在引脚 V_{DDD} 和 V_{DDDR} 上接 0.1uF(典型值是各引脚上接 20pF 的电容)的去耦电容。如果在一些应用中，因数字端负载更大而导致数字去耦电路的增加，可以考虑应用外部缓冲器或锁存器。

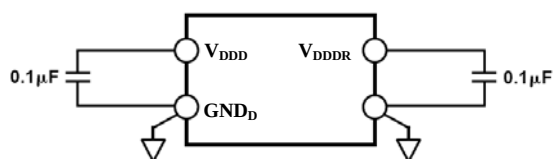


图 7-3 数字电源的去耦

一个完整的去耦电路还包括大的钽电容或电解电容，以此来降低印制电路板上的低频率纹波。

7.3 产品防护

7.3.1 电装及防护措施

器件应采取防静电措施进行操作。推荐下列操作措施：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能直接用手触摸器件引线，应佩戴防静电指套和腕带；
- d) 器件应存放在防静电材料制成的容器中；
- e) 生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物；
- f) 相对湿度应尽可能保持在 30%~70%。

7.3.2 包装

器件包装应至少满足以下要求：

- a) 由无腐蚀的材料制成；
- b) 具有足够的强度，能够经得起搬运过程中的震动和冲击；
- c) 用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力；
- d) 能够牢固的把所装器件支撑在一定的位罝；
- e) 能保持器件引线不发生变形；
- f) 没有锋利的棱角；
- g) 能安全容易的移动、检查和替换器件；
- h) 一般不使用聚氯乙烯、氯丁橡胶、乙烯树脂和聚硫化物等材料，也不允许使用有硫、盐、酸、碱等腐蚀成分的材料，使用具有低放气指数、低尘粒脱落的材料制造为宜。

7.3.3 运输和贮存

器件在运输和贮存过程中，至少应满足以下要求：

- a) 运输：在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。
- b) 贮存：包装好的产品应贮存在环境温度为 16℃~28℃，相对湿度不大于 30%~70%，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

八、用户关注产品信息

8.1 产品鉴定信息

鉴定产品批次		0535 0546
鉴定执行标准	总规范名称及编号	半导体集成电路总规范（GJB 597A-1996）
	详细规范名称及编号	半导体集成电路 B9243 型 14 位模数转换器详细规范(Q/Zt 30007-2005)
	附加技术条件	—
	质量等级	B
鉴定情况	鉴定试验日期	2005.12.5-2005.12.26
	鉴定试验机构	总装备部电子信息基础部（军用电子元器件鉴定实验室）
	鉴定报告编号	2005XPQ-1101A

鉴定产品批次		0918
鉴定执行标准	总规范名称及编号	半导体集成电路总规范（GJB 597A-1996）
	详细规范名称及编号	半导体集成电路 B9243MC 型 14 位模数转换器详细规范(Q/Zt 20070-2009)
	附加技术条件	—
	质量等级	B
鉴定情况	鉴定试验日期	2009.7.20-2009.12.29
	鉴定试验机构	北京微电子技术研究所
	鉴定报告编号	09-031

鉴定产品批次		1537
鉴定执行标准	总规范名称及编号	半导体集成电路总规范（GJB 597A-1996）
	详细规范名称及编号	半导体集成电路 B9243MG 型 14 位 3MSPS 模数转换器详细规范(Q/Zt 20355-2014)
	附加技术条件	—
	质量等级	QJB(B)/K
鉴定情况	鉴定试验日期	2015.10.29-2015.12.11
	鉴定试验机构	北京微电子技术研究所
	鉴定报告编号	15-100

鉴定产品批次		1537
鉴定执行标准	总规范名称及编号	半导体集成电路总规范（GJB 597A-1996）
	详细规范名称及编号	半导体集成电路 B9243AMG 型 14 位 3MSPS 模数转换器详细规范(Q/Zt 20369-2014)
	附加技术条件	—
	质量等级	CC
鉴定情况	鉴定试验日期	2015.11.24-2016.03.10
	鉴定试验机构	北京微电子技术研究所
	鉴定报告编号	15-101

8.2 产品标识

B9243 产品标识如图 8-1 所示，“B9243”为器件型号，“XXXX”为器件生产批次，“△”为防静电等级标识。

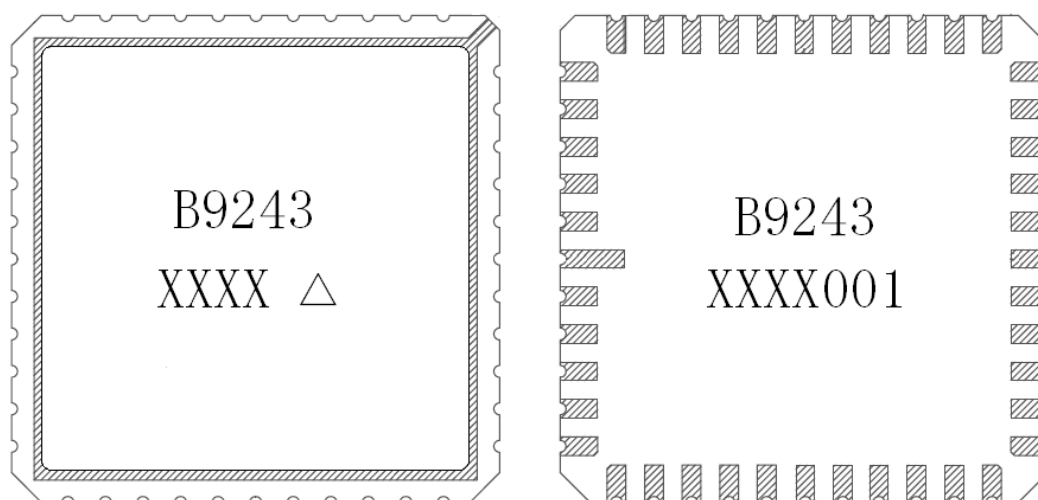


图 8-1 B9243 产品标识图

B9243MC 产品标识如图 8-2 所示，“B9243MC”为器件型号，“XXXX”为器件生产批次，“△”为防静电等级标识。

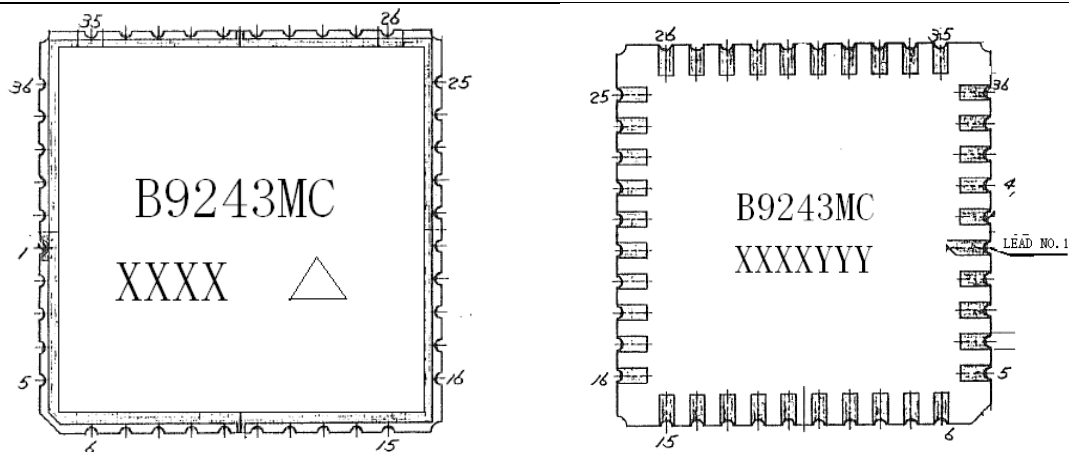


图 8-2 B9243MC 产品标识图

B9243MG 产品标识如图 8-3 所示，“QJB(B)/K”为用户质量等级标识，“B9243MG”为器件型号，“XXXX”为器件生产批次，“△△”为防静电等级标识。

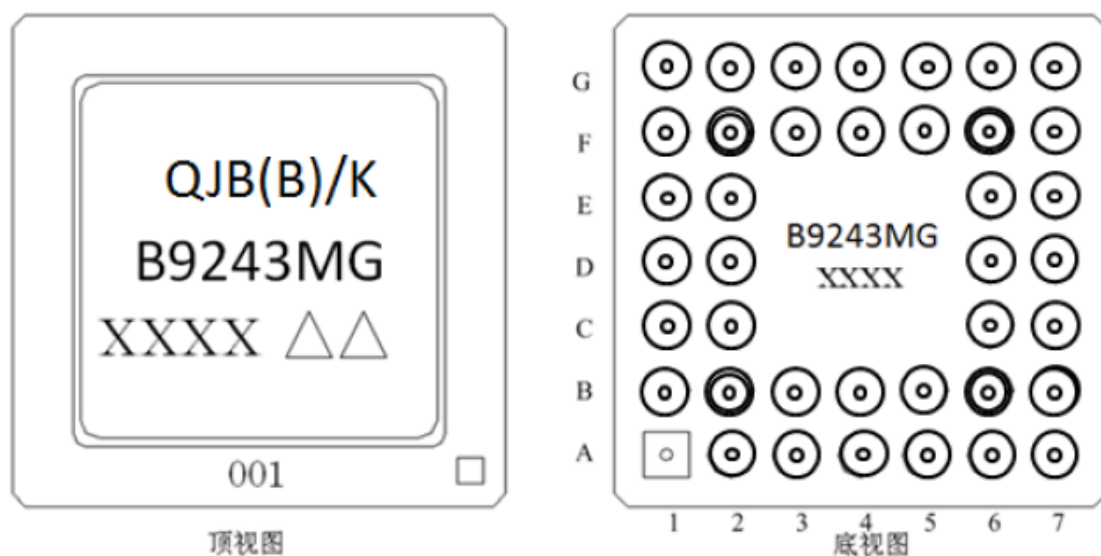


图8-3 B9243MG产品标识图

B9243AMG 产品标识如图 8-4 所示，“CC”为用户质量等级标识，“B9243AMG”为器件型号，“XXXX”为器件生产批次，“△”为防静电等级标识。

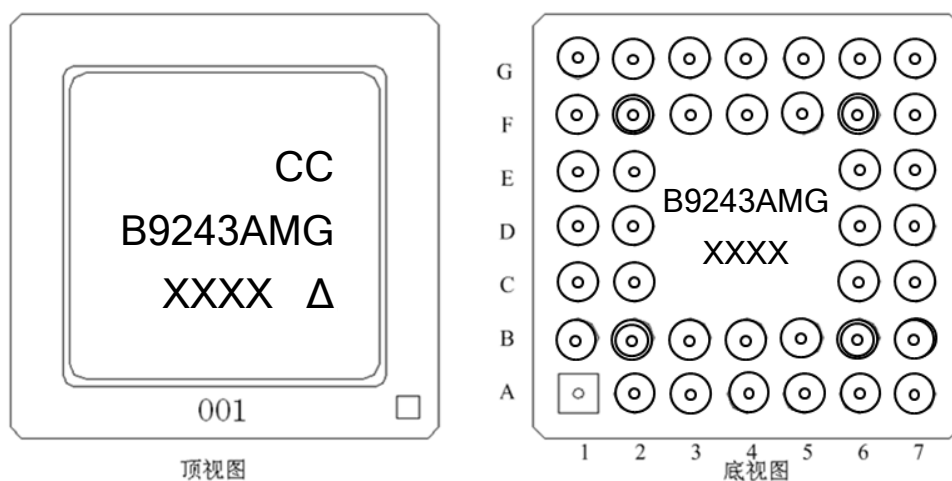


图8-4 B9243AMG产品标识图

8.3 研制生产单位联系方式

通信地址：北京市丰台区东高地四营门北路2号

邮政编码：100076

联系部门：市场二部

电话/传真：010-67968115-6313/010-68757706

AD/DA 部

张丛丛

电话：010-67968115-8334/13522753220



附录1、对应替代国外产品情况

替代国外型号：AD9243		国外生产商：ADI	
对比项	国内产品	国外产品	差异性、兼容性分析
采样精度	14 位	14 位	一致
采样频率	3MSPS	3MSPS	一致
电源电压	5V	5V	一致
信噪比	$\geq 69.0\text{dB}$	$\geq 76.0\text{dB}$	不一致 ^a
信噪失真比	$\geq 68.3\text{dB}$	$\geq 75.0\text{dB}$	不一致 ^a
积分非线性误差	$\leq \pm 2.5\text{LSB}$	$\leq \pm 2.5\text{LSB}$	一致
微分非线性误差	$\leq \pm 1.0\text{LSB}$	$\leq \pm 1.0\text{LSB}$	一致
封装形式	B9243-CLCC44 B9243MC-CLCC40 B9243MG-CPGA40 B9243AMG-CPGA40	MQFP-44	国外产品提供的是塑封产品
质量可靠性	B9243-B B9243MC-B B9243MG-QJB(B)/K B9243AMG-B/CC	R	国外产品为工业级塑封
注 ^a 国内产品工作温度范围更广、具有抗辐照指标，适当放宽了电参数指标范围。			