

FPGA 黑金开发平台

用户手册

AX516



文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

版权申明：

本手册版权归属芯驿电子公司(上海)有限公司所有, 并保留一切权力。非经本公司(书面形式), 同意, 任何单位及个人不得擅自摘录或修改本手册部分或全部内容, 违者我们将追究其法律责任。

感谢您购买黑金开发板, 在使用产品之前, 请仔细地阅读该手册并且确保知道如何正确使用该产品, 不合理的操作可能会损坏开发板, 使用过程中随时参考该手册以确保正确使用。

此手册不断更新中, 建议您使用时下载最新版本。

软件版本：

本手册使用 Xilinx 官方提供的 ISE 14.7 版本, 请从 Xilinx 网站下载正确的版本和使用我们提供的软件版本安装。

黑金官网：

[Http://www.alinx.com.cn](http://www.alinx.com.cn)

黑金动力社区:

<http://www.heijin.org>

黑金官方淘宝店：

<http://oshcn.taobao.com>

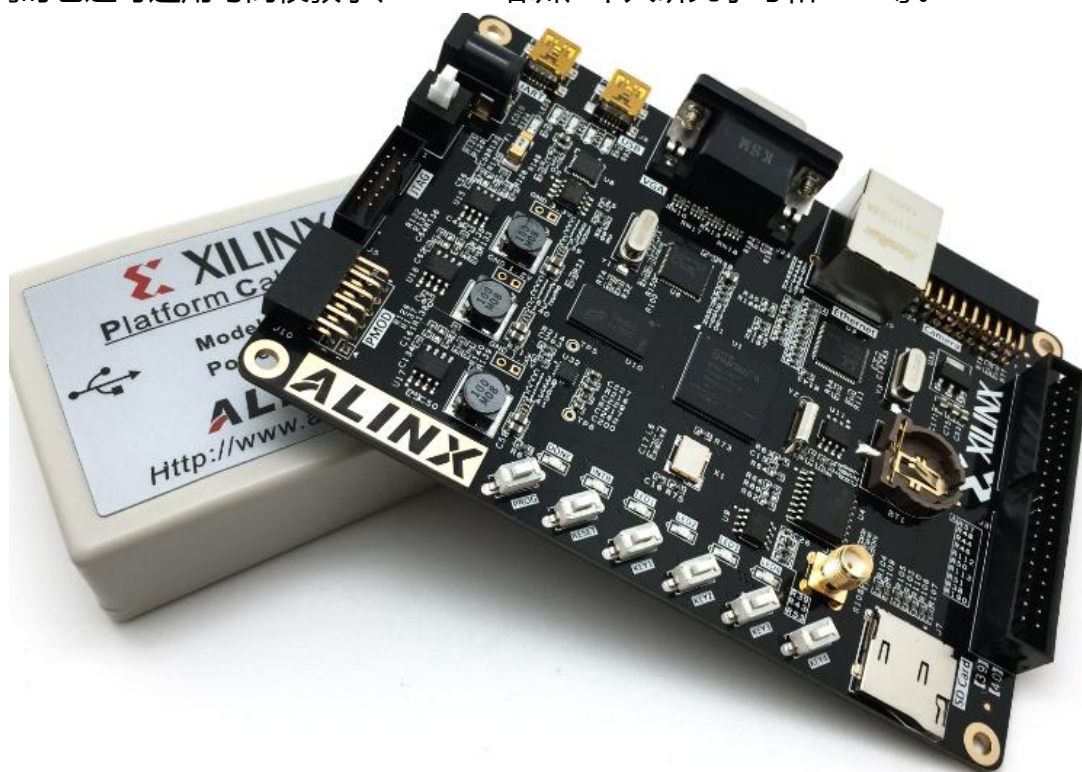
联系方式：

021-67676997

目 录

文档版本控制	2
版权申明：	3
软件版本：	3
一、 简介.....	5
二、 电源.....	9
三、 FPGA	11
1) JTAG 接口	12
2) FPGA 供电引脚.....	13
四、 50M 有源晶振	14
五、 QSPI Flash	15
六、 DDR3 DRAM	16
七、 EEPROM 24LC04.....	19
八、 实时时钟 DS1302.....	20
九、 千兆以太网接口.....	21
十、 USB 转串口	23
十一、 VGA 接口	25
十二、 USB2.0	27
十三、 SD 卡槽	29
十四、 扩展口.....	30
十五、 LED.....	32
十六、 按键.....	33
十七、 摄像头接口	34
十八、 PMOD 接口(AX516 预留).....	36
十九、 SMA 接口	37

FPGA 黑金 XILINX 开发平台专业版 2015 款正式发布了，此款开发平台是高品质 Xilinx 的 FPGA 开发板，型号为：AX516。它采用的是 Xilinx 的 Spartan6 系列 XC6SLX16-2CSG324 FPGA 作为核心处理器，具有丰富的硬件资源和外围接口。在设计上坚持“精致、实用、简洁”的设计理念，它非常适合软件无线电、工业控制、多媒体应用、IC 验证、并行运算等项目开发，同时它还可适用与高校教学、FPGA 培训、个人研究学习和 DIY 等。



一、简介

在这里，对这款 FPGA 开发平台进行简单的功能介绍。

此款开发板使用的是 Xilinx 公司的 Spartan6 系列 FPGA，型号为 XC6SLX16，324 个引脚的 FBGA 封装。此款 FPGA 的资源如下图所示：

Device	Logic Cells ⁽¹⁾	Configurable Logic Blocks (CLBs)			DSP48A1 Slices ⁽³⁾	Block RAM Blocks		CMTs ⁽⁵⁾	Memory Controller Blocks (Max) ⁽⁶⁾	Endpoint Blocks for PCI Express	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
		Slices ⁽²⁾	Flip-Flops	Max Distributed RAM (Kb)		18 Kb ⁽⁴⁾	Max (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540

其中，主要的参数，

逻辑单元 Logic Cells : 14579 ;

乘法器 DSP48 : 32;

可配置逻辑块 CLBs : 136Kb ;

Block RAM : 576Kb ;

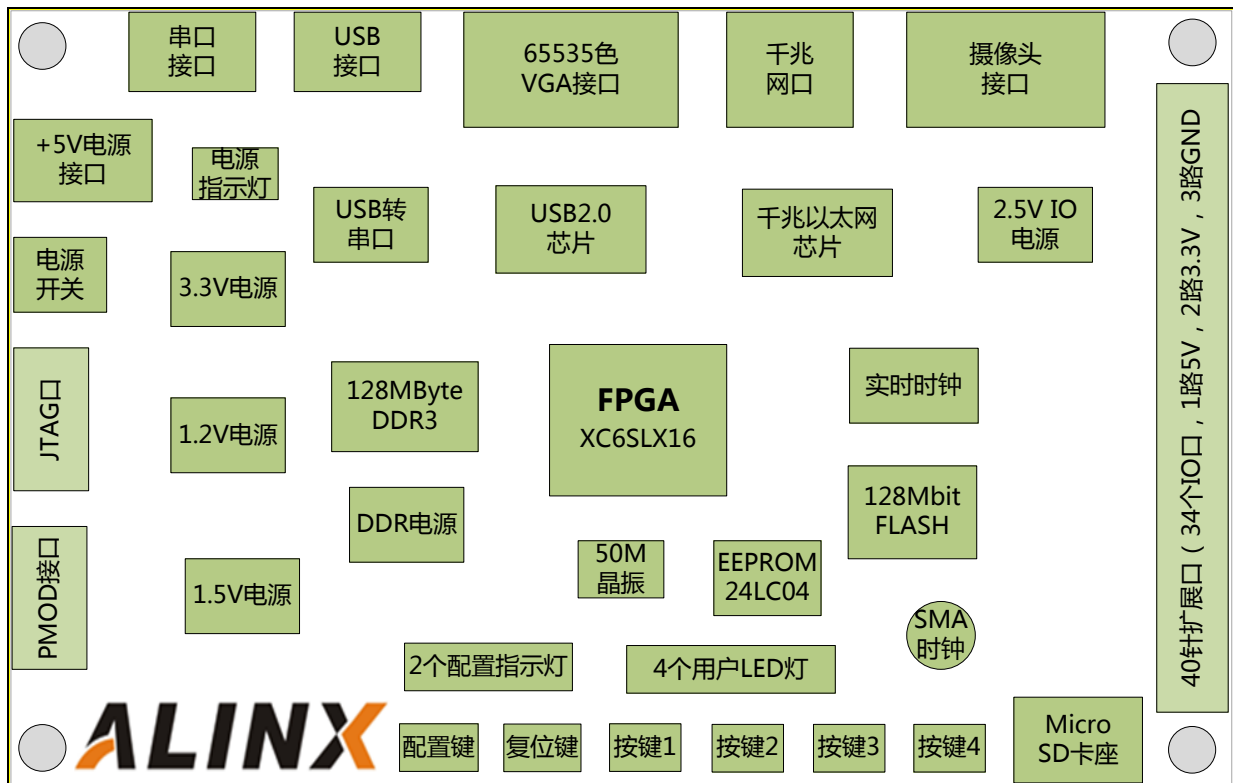
时钟单元 CMTs : 2

可用 IO 数量 : 218 个 ;

内核电压 : 1.15V-1.25V(推荐 1.2V);

工作温度 : 0-85°C

图为整个系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- +5V 电源输入,最大 2A 电流保护；
- 一片大容量的 128Mbyte 高速 DD3 SDRAM,可作为数据的缓存，也可以作为 Microblaze 运行的内存；
- 一片 128Mbit 的 QSPI FLASH, 可用作 FPGA 配置文件和用户数据的存储；
- 一路 10/100M/1000M 以太网 RJ-45 接口, 可用于和电脑或其它网络设备进行以太网数据交换；
- 一路高速 USB2.0 接口, 可用于开发板和 PC 之间的 USB2.0 高速通信；
- 一路 USB Uart 接口, 用于和 PC 或外部设备的串口通信；
- 一个摄像头接口，可以接 30 万的 OV7670 摄像头或 500 万的 OV5640 摄像头；
- 一路 VGA 接口，VGA 接口为 16bit，可以显示 65536 种颜色，可以显示彩色图片等信息。
- 一片的 RTC 实时时钟，配有电池座，电池的型号为 CR1220。
- 一片 IIC 接口的 EEPROM 24LC04；
- 4 个用户发光二极管 LED；
- 4 个独立用户按键；
- 板载 50M 的有源晶振，给开发板提供稳定的时钟源；
- 1 路 40 针的扩展口 (2.54mm 间距)，其中 34 个 IO 口，1 路 5V 电源，2 路 3.3V 电

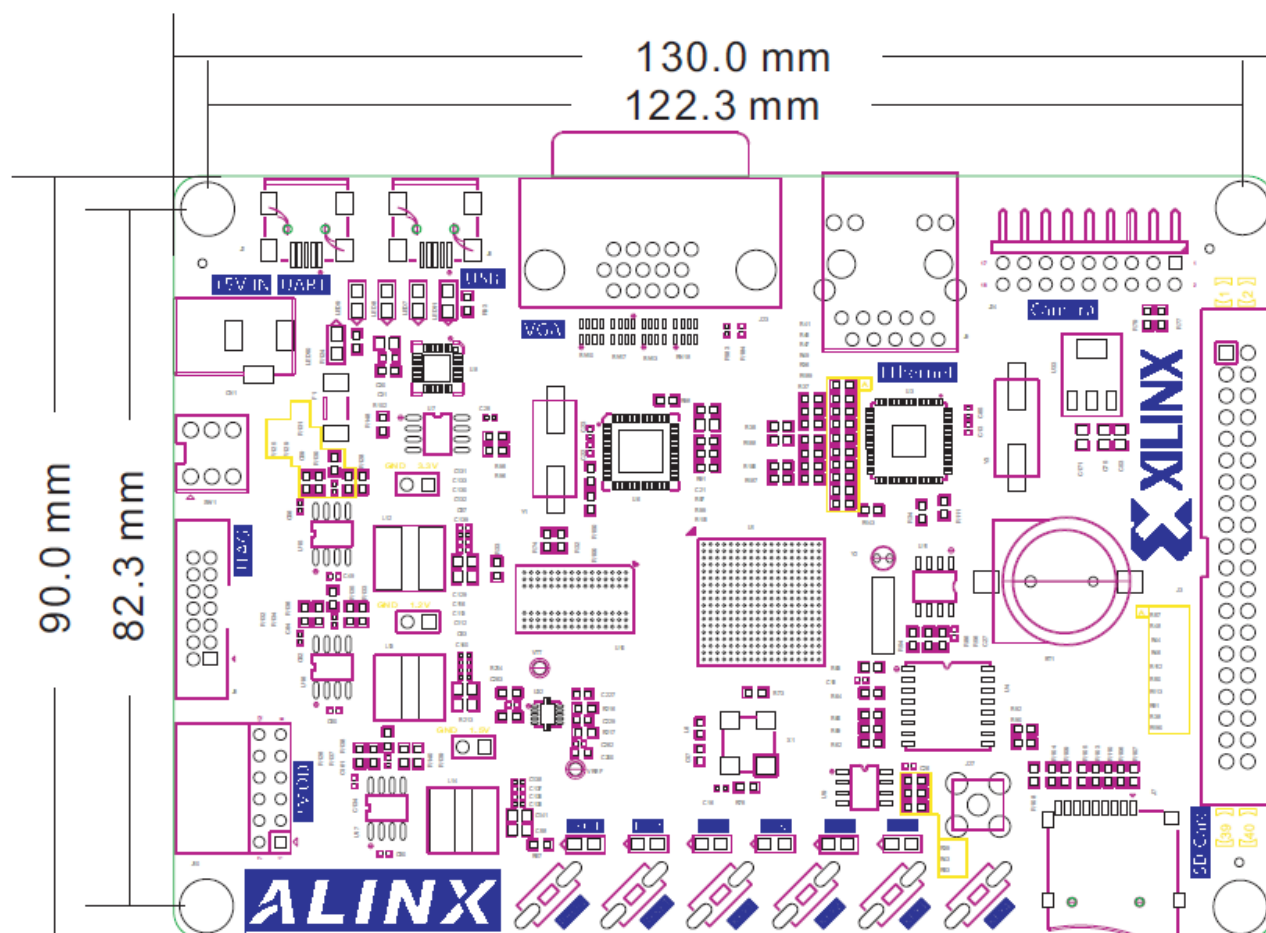
源，3 路 GND。可以接 4.3 寸 TFT 模块和 AD/DA 模块等扩展模块。

- 预留了 JTAG 口，可对 FPGA 进行调试和程序固化。
- 1 路 Micro SD 卡座，支持 SD 模式和 SPI 模式。
- 预留了一路 2.5V 电源,对 FPGA 的 IO 电压 3.3V 和 2.5V 可选。

一个 SMA 接口, 用于外部时钟的输入或输出

二、结构尺寸

开发板的尺寸为精简的 130mm x 90mm, PCB 采用 6 层板设计。板子四周有 4 个螺丝定位孔, 用于固定开发板, 定位孔的孔径为 3.3mm(直径)。



三、电源

电源输入：开发板供电电压为 DC5V，请使用开发板自带的电源,不要用其他规格的电源，以免损坏开发板。开发板上的电源设计示意图如下：

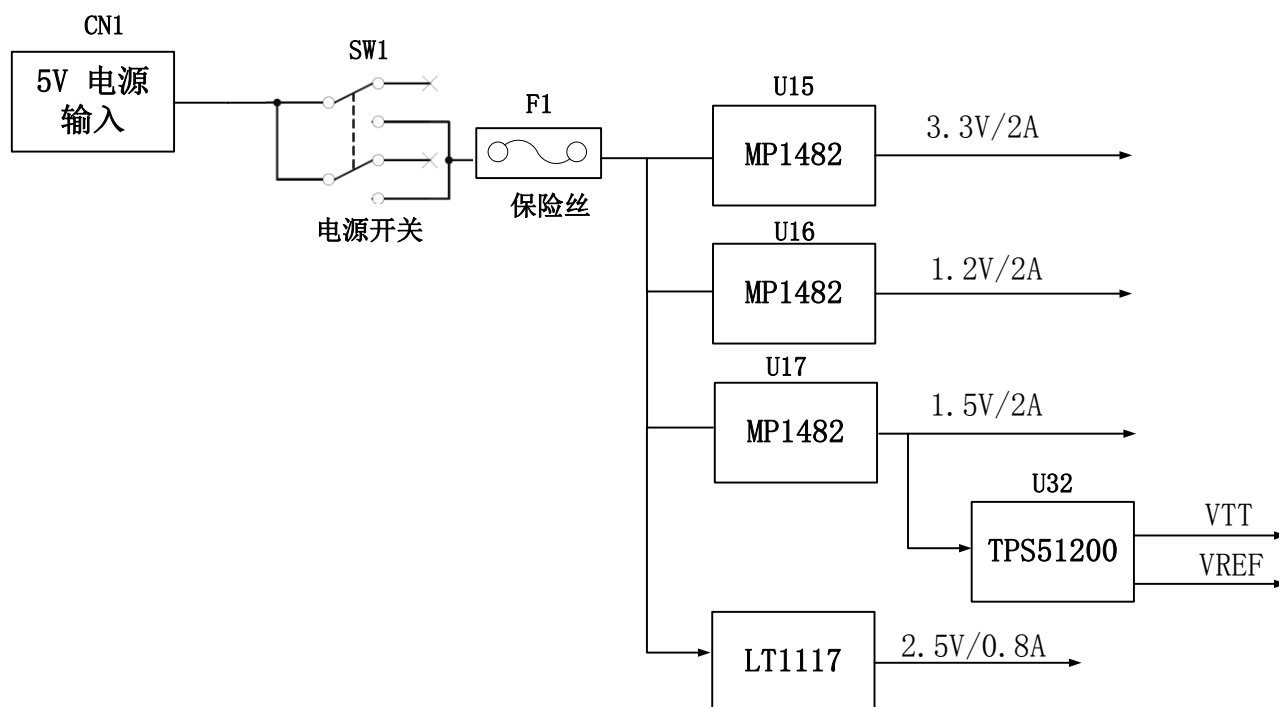


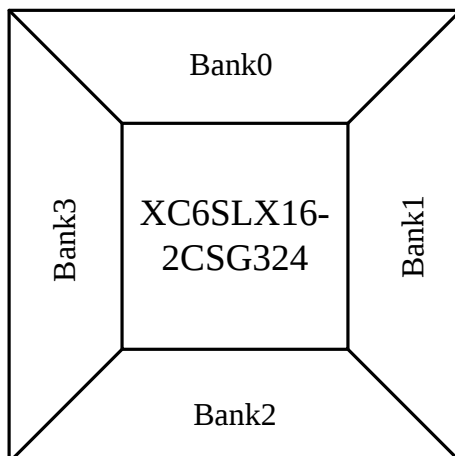
图 2.1 原理图中电源接口部分

开发板通过+5V供电, 通过三路DC/DC电源芯片MP1482转化成+3.3V ,+1.2V , +1.5V三路电源, 通过一路LDO LT1117产生+2.5V电源, 1.5V通过TI的TPS51200生成DDR3需要的VTT和VREF电压。各个电源分配的功能如下表所示:

电源	功能
+3.3V	FPGA, 以太网, 串口, RTC, FLASH, EEPROM USB2.0 以及 SD card
+1.2V	FPGA Core
+1.5V	DDR3, FPGA Bank3
VREF, VTT	DDR3
+2.5V	FPGA Bank2 可选

FPGA 的 BANK2 的 IO 电压可以通过板上的两个 0 欧姆的电阻(R158,R159)来选择, 当 R158 安装 ,R159 不安装时 ,Bank2 的 IO 电平为 3.3V; 当 R158 不安装 ,R159 安装时 ,Bank2 的 IO 电平为 2.5V。

FPGA 每个 BANK 电压分配:



BANK	功能	电压	备注
BANK0	VGA, USB2.0, PMOD, UART	3.3V	
BANK1	SD Card, Camera, Ethernet, VGA	3.3V	
BANK2	扩展 IO , QSPI FLASH, LED, KEY	3.3V/2.5V	
BANK3	DDR3, 复位按键	1.5V	

我们在设计 PCB 的时候，采用 6 层 PCB，预留了独立的电源层和 GND 层，使得整个开发板的电源，具有非常好的稳定性。在 PCB 板上我们预留了各个电源的测试点，以使用户确认板上的电压。



图 2.2 实物图中的电源测试点

四、FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 XC6SLX16-2CSG324，属于 Xilinx 公司 Spartan-6 的产品。此型号为 BGA 封装，324 个引脚。再次说明一下 FPGA 引脚的定义。很多人使用 FPGA 都是非 BGA 封装的，比如 144 引脚，208 引脚的 FPGA 芯片，他们的引脚定义是由数字组成，比如 1 到 144，1 到 208 等等，而当我们使用 BGA 封装的芯片以后，引脚名称变为由**字母+数字**的形式，比如 E3，G3 等等，因此我们在看原理图的时候，看到的**字母+数字**这种形式的，就是代表了 FPGA 的引脚。说完这个，我们来看与 FPGA 有关系的各个部

分的功能。图 3.1 为开发板所用的 FPGA 芯片实物图。

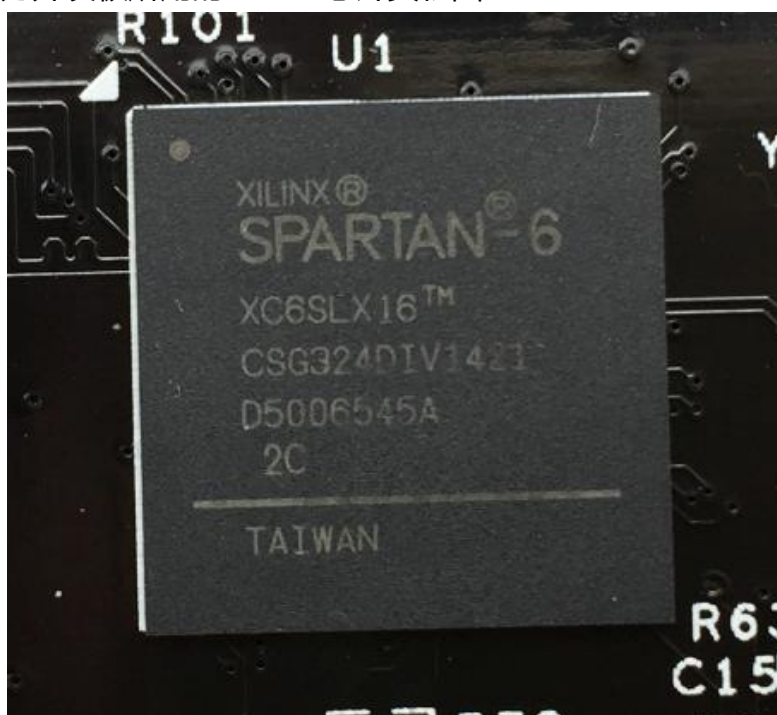


图 3.1 FPGA 芯片实物

1) JTAG 接口

首先我们来说 FPGA 的配置和调试接口：JTAG 接口。JTAG 接口的作用是将编译好的程序(.bit)下载到 FPGA 中或把 FLASH 配置程序(.mcs)下载到 SPI FLASH, Bit 文件下载到 FPGA 后，掉电以后就会丢失，需要上电重新下载才可以。但下载到 FLASH 的 MCS 文件以后，掉电以后就不会丢失，重新上电后 FPGA 会读取 FLASH 中的配置文件并运行。

图 3.2 就是 JTAG 口的原理图部分，其中涉及到 TCK,TDO,TMS,TDI 这四个信号。这四个信号由 FPGA 引脚引出通过 33 欧姆电阻连接到 JTAG 连接器，起到对 FPGA 芯片的保护作用。

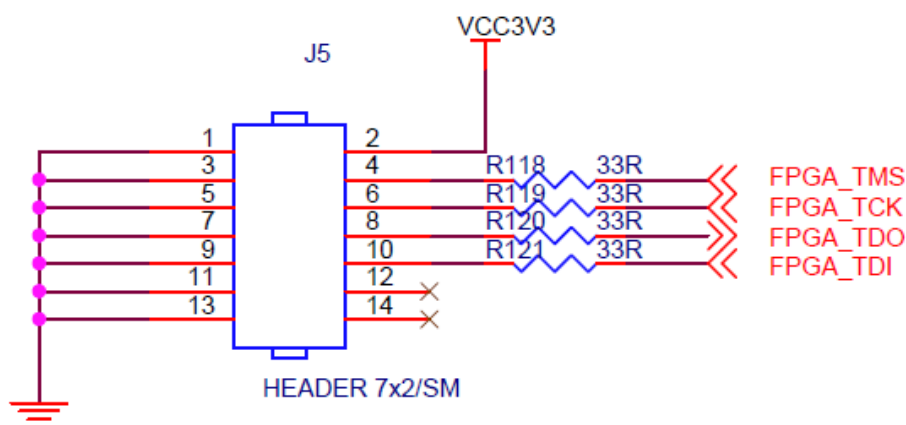


图 3.2 原理图中 JTAG 接口部分

JTAG 接口采用 14 针的 2.0mm 标准的连接器，图 3.3 为 JTAG 接口在开发板上的实物图

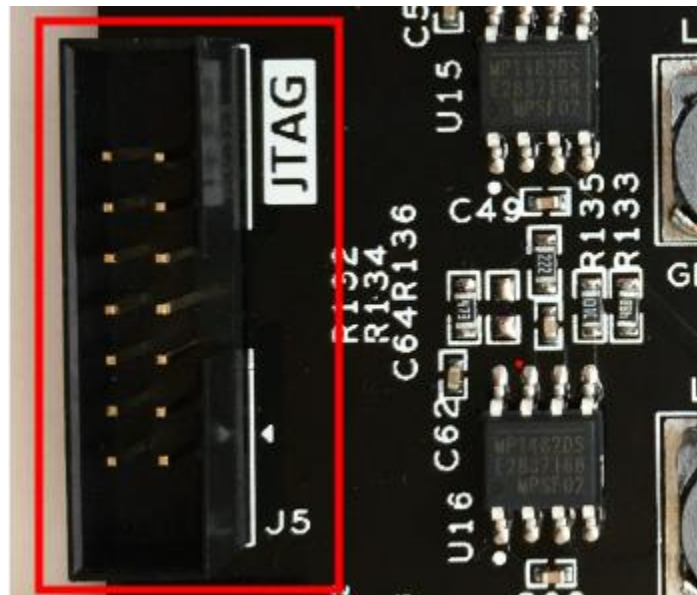


图 3.3 JTAG 接口实物图

2) FPGA 供电引脚

接下来，我们说一下 FPGA 的电源引脚部分，其中包括每一个 bank 的电源引脚,内核电压引脚和辅助电压引脚，VCCINT 为 FPGA 内核供电引脚，接 1.2V；VCCAUX 为 FPGA 辅助供电引脚，可以接 3.3V 或 2.5V，我们这里接 3.3V；VCCINT 和 VCCAUX 的连接如图 3.4 所示，

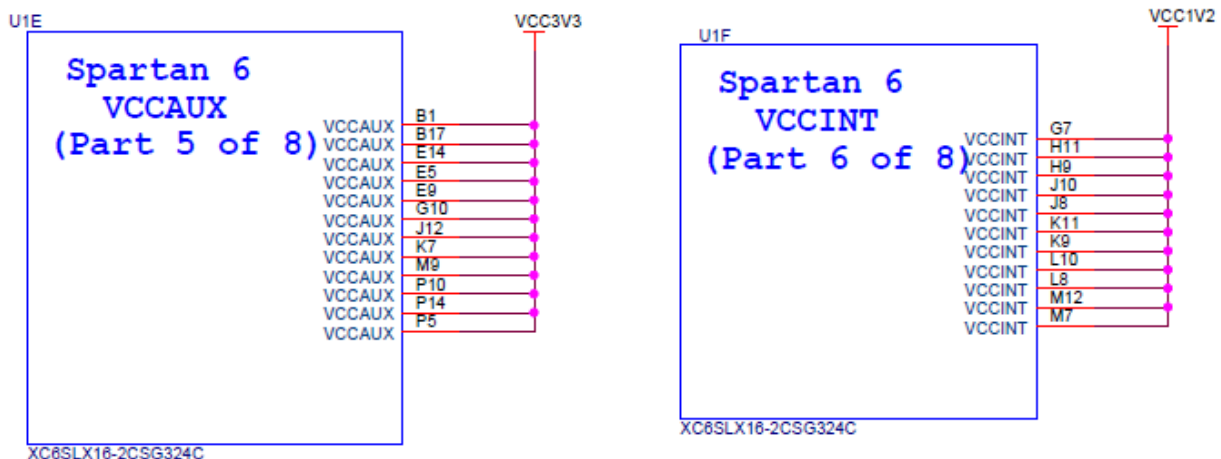


图 3.4 FPGA 电源引脚

VCCIO 是 FPGA 的每个 BANK 的供电电压，其中 VCCIO0 是 FPGA 的 BANK0 的供电引脚，同理，VCCIO1~ VCCIO3 分别是 FPGA 的 BANK~BANK3 的供电引脚，在开发板中，VCCIO 0 和 VCCIO 1 都接了 3.3V 电压，也就是说，对应的 FPGA 引脚均为 3.3V 输入和输出。VCCIO 2 默认也接了 3.3V 电压，但用户可以通过改变电阻（不安装 R158，安装 R159）来选

择 2.5V 电压。因为 BANK 3 的引脚接了一个 DDR3，所以 VCCIO3 接了 1.5V 电压。图 3.5 为 BANK2 的 VCCIO 的连接图。

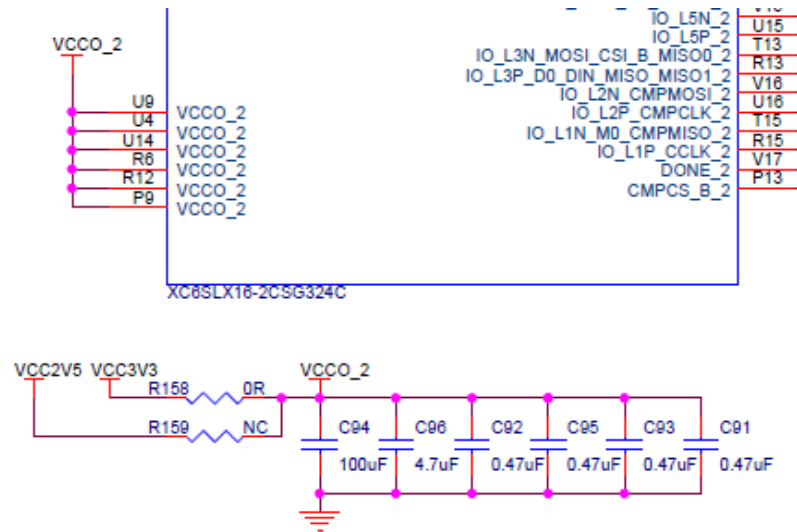


图 3.5 FPGA 电源 VCCIO 引脚

五、50M 有源晶振

图 4.1 即为我们上述提到的给开发板提供时钟源的 50M 有源晶振电路。晶振输出连接到 FPGA 的全局时钟(GCLK Pin V10)，这个 GCLK 可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 和 DCMs 来实现更高的时钟。

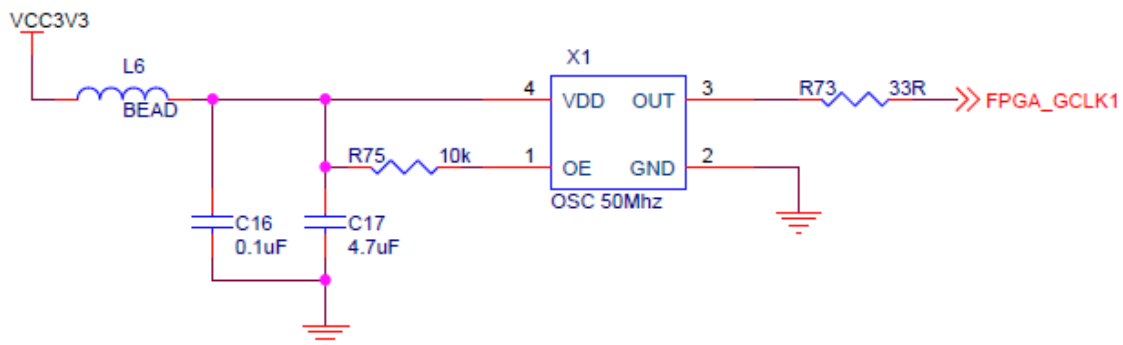


图 4.1 50M 有源晶振

图 4.2 为有源晶振实物图



图 4.2 50M 有源晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
FPGA_GCLK	V10

六、QSPI Flash

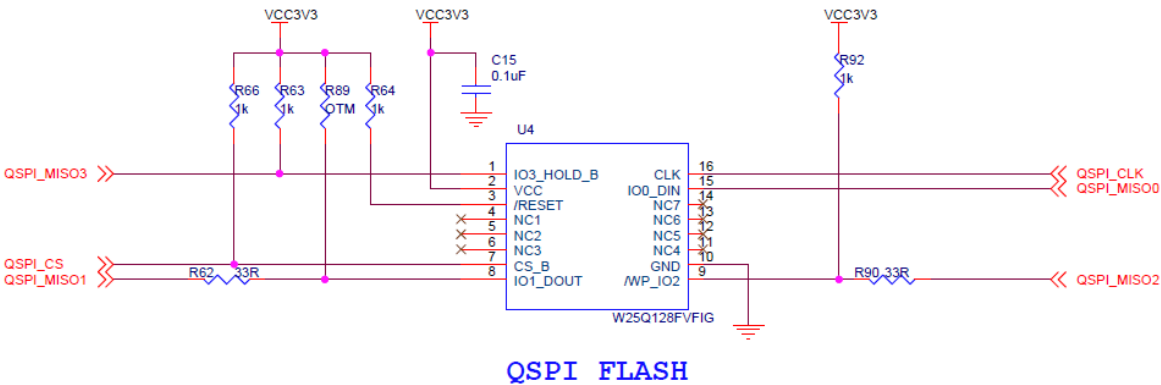
开发板上使用了一片 128Mbit 大小的 Quad-SPI FLASH 芯片，型号为 W25Q128，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

QSPI FLASH的具体型号和相关参数见表5.1。

位号	芯片类型	容量	厂家
U6	W25Q256BV	32M Byte	Winbond

表 5.1 QSPI Flash 的型号和参数

图 3.4 为 QSPI Flash 在原理图中的部分。



QSPI FLASH
图 3.4 QSPI Flash 连接示意图

配置芯片引脚分配：

引脚名称	FPGA 引脚
QSPI_CLK	R15
QSPI_CS	V3
QSPI_MISO0	T13
QSPI_MISO1	R13
QSPI_MISO2	T14
QSPI_MISO3	V14

七、DDR3 DRAM

开发板板载了一片高速 DDR3 DRAM,型号：MT41J64M16LA-187E，容量：128MByte (64M*16bit)，16bit 总线。开发板上 FPGA 和 DDR3 DRAM 相连的是 BANK3 的 IO，Spartan6 FPGA 内部带有硬 DDR3 控制器 MCB，通过配置可以使 MCB 与 DDR3 读写速度达到 666Mb/s。DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接方式如图 6.1 所示

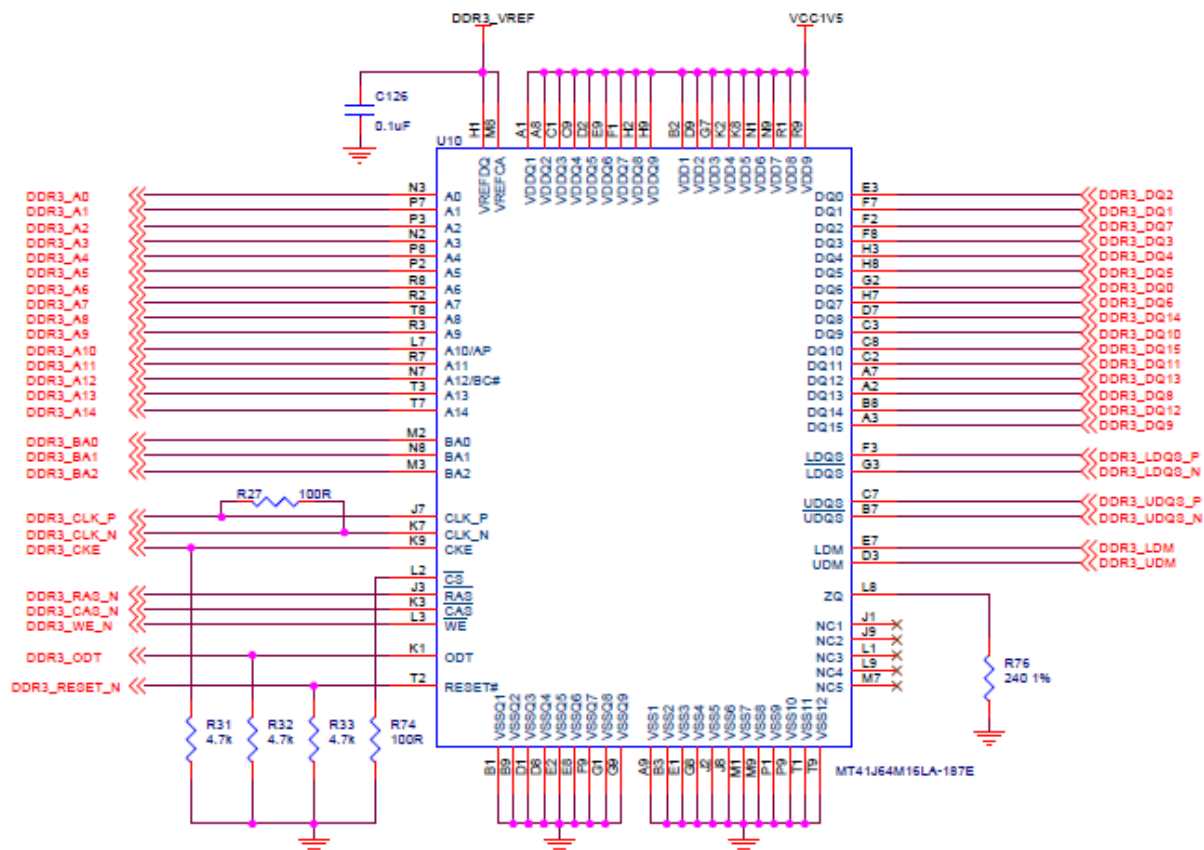


图 6.1 DDR3 DRAM 原理图部分

图 6.2 为 DDR3 DRAM 实物图

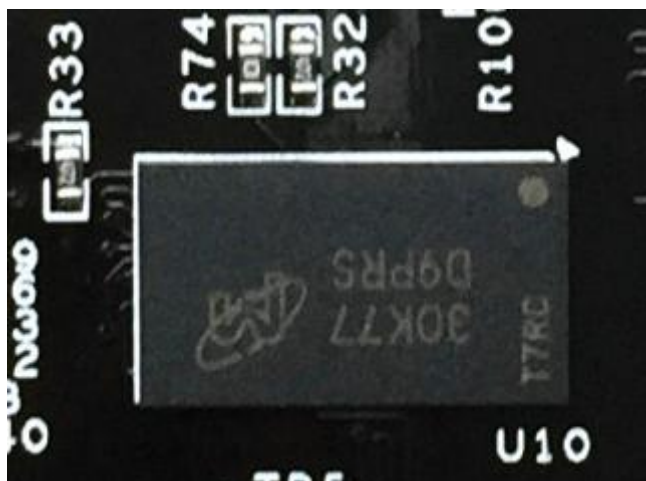


图 6.2 DDR3 DRAM 实物图

DDR3 DRAM 引脚分配：

引脚名称	FPGA 引脚
DDR3_LDQS_P	L4
DDR3_LDQS_N	L3
DDR3_UDQS_P	P2

DDR3_UDQS_N	P1
DDR3_DQ[0]	L2
DDR3_DQ [1]	L1
DDR3_DQ [2]	K2
DDR3_DQ [3]	K1
DDR3_DQ [4]	H2
DDR3_DQ [5]	H1
DDR3_DQ [6]	J3
DDR3_DQ [7]	J1
DDR3_DQ [8]	M3
DDR3_DQ [9]	M1
DDR3_DQ [10]	N2
DDR3_DQ [11]	N1
DDR3_DQ [12]	T2
DDR3_DQ [13]	T1
DDR3_DQ [14]	U2
DDR3_DQ [15]	U1
DDR3_LDM	K3
DDR3_UDM	K4
DDR3_A[0]	J7
DDR3_A [1]	J6
DDR3_A [2]	H5
DDR3_A [3]	L7
DDR3_A [4]	F3
DDR3_A [5]	H4
DDR3_A [6]	H3
DDR3_A [7]	H6
DDR3_A [8]	D2
DDR3_A [9]	D1
DDR3_A [10]	F4
DDR3_A [11]	D3
DDR3_A [12]	G6

DDR3_A [13]	F6
DDR3_BA [0]	F2
DDR3_BA [1]	F1
DDR3_BA [2]	E1
DDR3_RAS_N	L5
DDR3_CAS_N	K5
DDR3_WE_N	E3
DDR3_ODT	K6
DDR3_RESET_N	E4
DDR3_CLK_P	G3
DDR3_CLK_N	G1
DDR3_CKE	H7

八、EEPROM 24LC04

开发板板载了一片 EEPROM，型号为 24LC04,容量为：4Kbit (2*256*8bit)，由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 一般用在仪器仪表等设计上，用作一些参数的存储，掉电不丢失。这种芯片操作简单，具有极高的性价比，所以虽然容量比高，但价格非常便宜，对于那些对成本要求很高的产品来说，是个不错的选择。图 7.1 为 EEPROM 的原理图

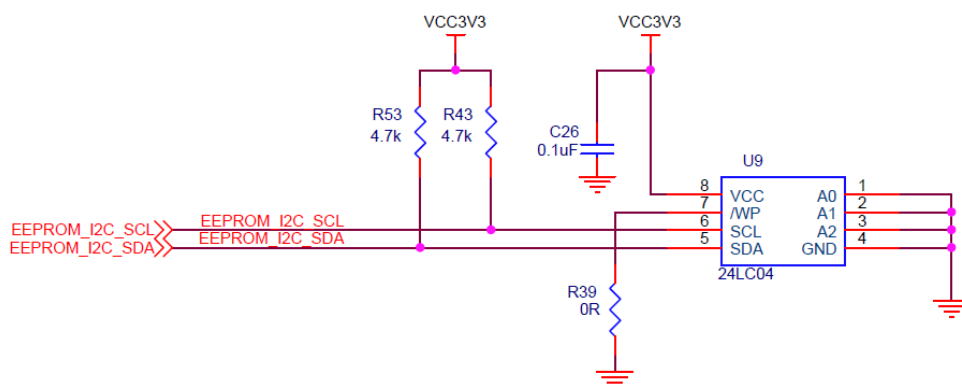


图 7.1 EEPROM 原理图部分

图 7.2 为 EEPROM 实物图

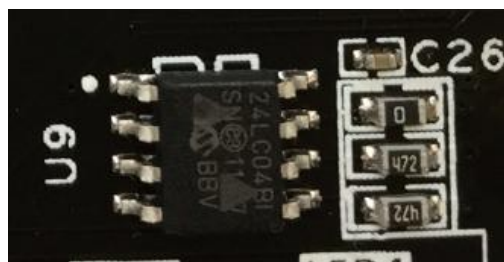


图 7.2EEPROM 实物图

EEPROM 引脚分配：

引脚名称	FPGA 引脚
SDA	N5
SCL	P6

九、实时时钟 DS1302

开发板板载了一片实时时钟 RTC 芯片，型号 DS1302，他的功能是提供到 2099 年内的日历功能，年月日时分秒还有星期。如果系统中需要时间的话，那么 RTC 就需要涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给时钟芯片，这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电 图 8.1 中为 U7 为电池座 我们将纽扣电池（型号 CR1220，电压为 3V）放入以后，当系统掉电，纽扣电池还可以给 DS1302 供电，这样，不管产品是否供电，DS1302 都会正常运行，不会间断，可以提供持续不断的时间信息。图 8.1 为 DS1302 原理图

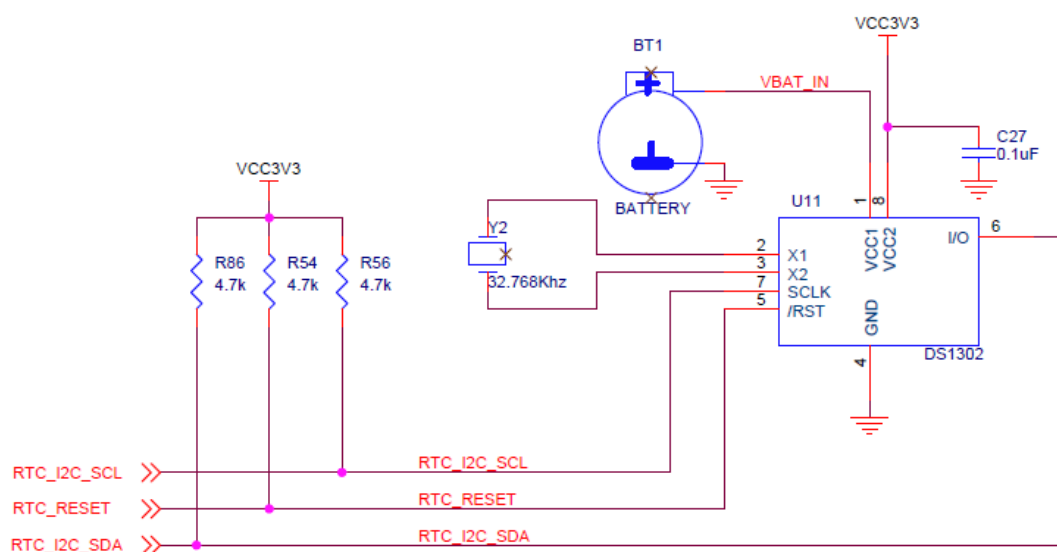


图 8.1 DS1302 原理图

图 8.2 为 DS1302 实物图

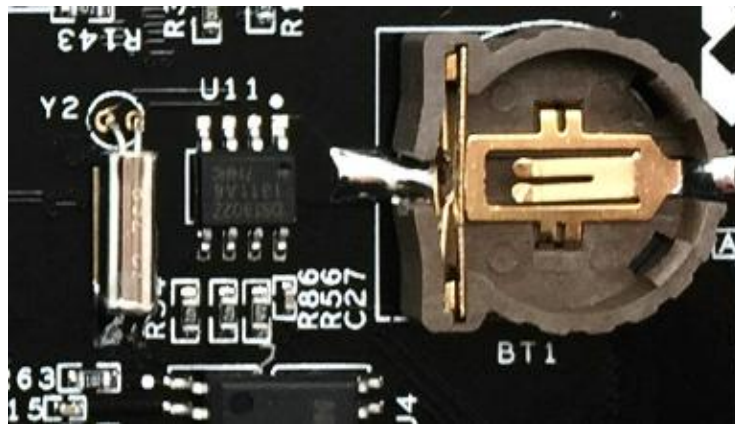


图 8.2 DS1302 实物图

DS1302 接口引脚分配：

引脚名称	FPGA 引脚
RTC_I2C_SCL	P16
RTC_RESET	T7
RTC_I2C_SDA	P15

十、千兆以太网接口

开发板上通过 Realtek RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率，通过 GMII 接口跟 FPGA 进行数据通信。RTL8211EG 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

RTL8211EG 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 9.1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
SELRGV	3.3V, 2.5V, 1.5V/1.8V 电压选择	3.3V
AN[1:0]	自协商配置	(10/100/1000M)自适应
RX Delay	RX 时钟 2ns 延时	延时
TX Delay	TX 时钟 2ns 延时	延时
MODE	RGMII 或 GMII 选择	GMII

表 9.1 PHY 芯片默认配置值

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 GMII 总

线通信 ,传输时钟为 125Mhz。接收时钟 E_RXC 由 PHY 芯片提供 ,发送时钟 E_GTXC 由 FPGA 提供 ,数据在时钟的上升沿采样。

当网络连接到百兆以太网时 ,FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 MII 总线通信 ,传输时钟为 25Mhz。接收时钟 E_RXC 和发送时钟 E_TXC 都由 PHY 芯片提供 ,数据在时钟的上升沿采样。

图 9.1 为 FPGA 与以太网 PHY 芯片连接示意图:

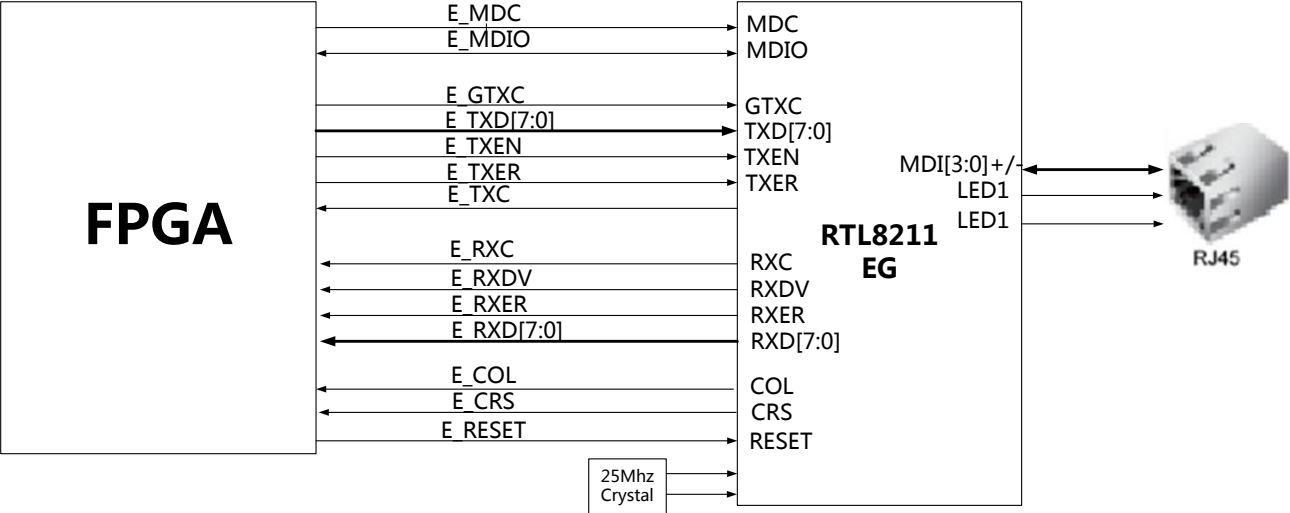


图 9.1 FPGA 与 PHY 连接示意图

图 9.2 为以太网 PHY 芯片的实物图

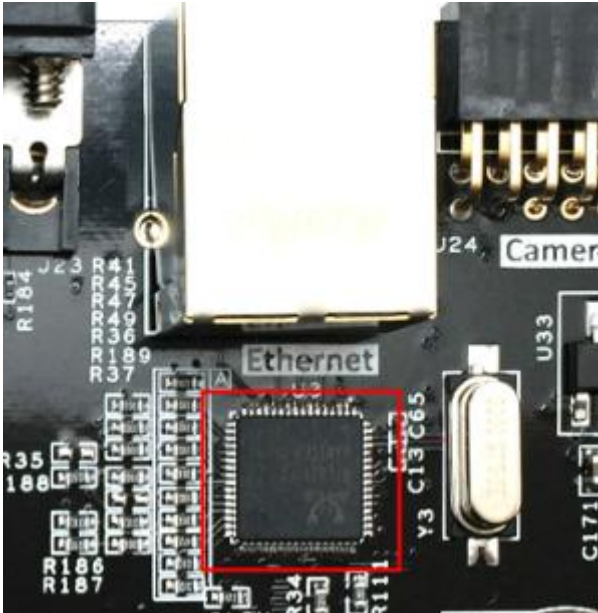


图 9.2 以太网 PHY 芯片实物图

以太网引脚分配

引脚名称	FPGA 引脚	备注
------	---------	----

E_GCLK	L15	GMII 发送时钟
E_TXD0	H16	发送数据 bit 0
E_TXD1	G16	发送数据 bit1
E_TXD2	G18	发送数据 bit2
E_TXD3	J13	发送数据 bit3
E_TXD4	K14	发送数据 bit4
E_TXD5	L12	发送数据 bit5
E_TXD6	L13	发送数据 bit6
E_TXD7	K15	发送数据 bit7
E_TXEN	K17	发送使能信号
E_TXER	J18	发送错误信号
E_TXC	K16	MII 发送时钟
E_RXC	L16	GMII 接收时钟
E_RXDV	H15	接收数据有效信号
E_RXER	H14	接收数据错误
E_RXD0	G13	接收数据 Bit0
E_RXD1	E16	接收数据 Bit1
E_RXD2	E18	接收数据 Bit2
E_RXD3	K12	接收数据 Bit3
E_RXD4	K13	接收数据 Bit4
E_RXD5	F17	接收数据 Bit5
E_RXD6	F18	接收数据 Bit6
E_RXD7	H13	接收数据 Bit7
E_COL	H12	Collision 信号
E_CRS	D18	Carrier Sense 信号
E_RESET	J16	复位信号
E_MDC	D17	MDIO 管理时钟
E_MDIO	G14	MDIO 管理数据

十一、USB 转串口

开发板包含了Silicon Labs CP2102GM的USB-UAR芯片, USB接口采用MINI USB接口 ,

可以用一根USB线将它连接到上PC的USB口进行串口数据通信。

串口的原理图如图 10.1 所示

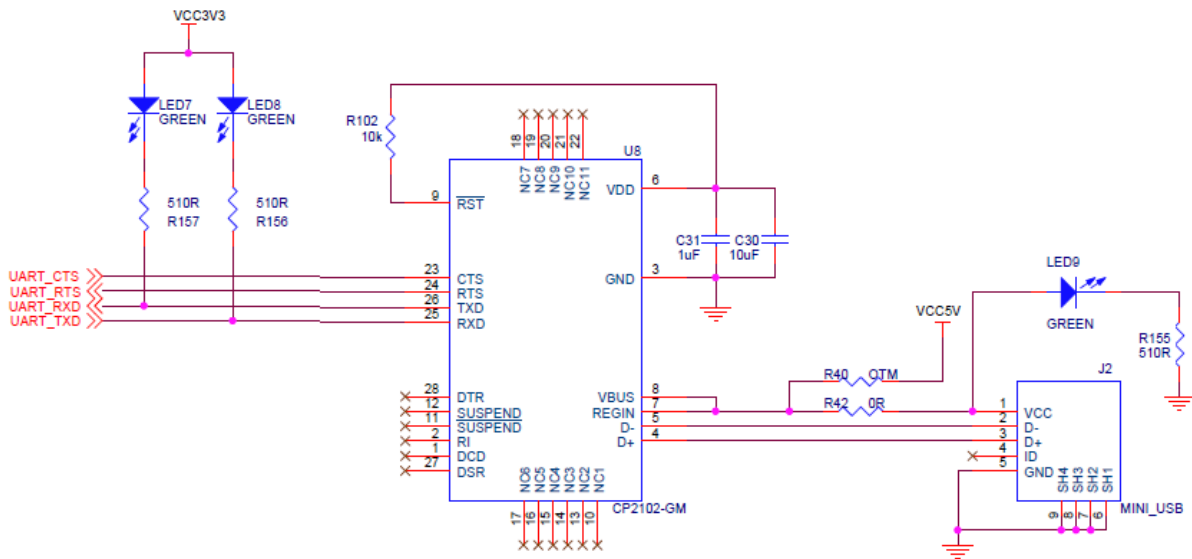


图 10.1 USB 转串口原理图

图 10.2 为 USB 转串口的实物图

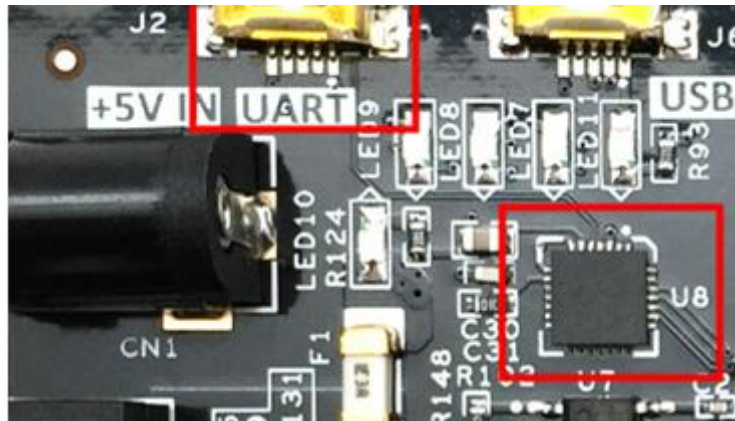


图 11.2 USB 转串口实物图

同时对串口信号设置了 3 个 led 指示灯(LED7,LED8,LED9),当 UART 口(J2)连接到 PC 的 USB 口时,LED9 亮; LED7 和 LED8 会指示串口是否有数据发出或者是否有数据接受,如图 11.3 所示,

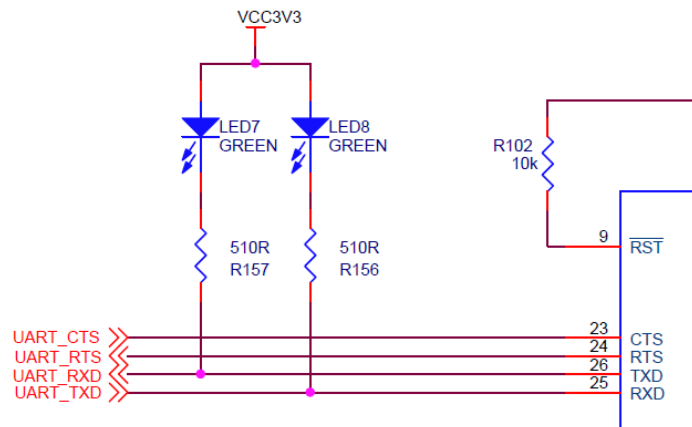


图 11.3 USB 转串口信号指示灯

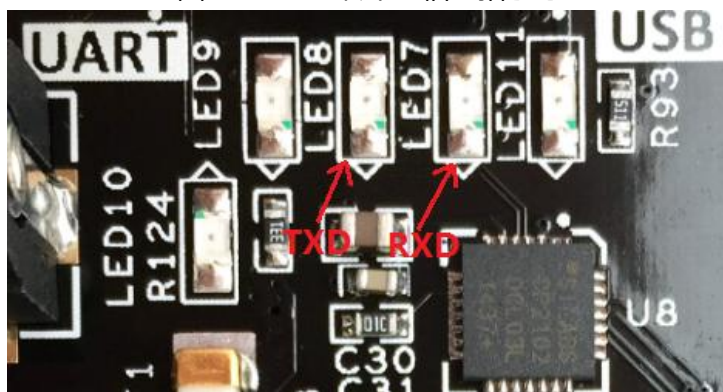


图 11.4 USB 转串口信号灯实物图

串口引脚分配：

引脚名称	FPGA 引脚
UART_RXD	B2
UART_TXD	C4
UART_CTS	D6
UART_RTS	A2

十二、VGA 接口

说到 VGA 接口，相信很多朋友都不会陌生，因为这种接口是电脑显示器上最主要的接口，从块头巨大的 CRT 显示器时代开始，VGA 接口就被使用，并且一直沿用至今，另外 VGA 接口还被称为 D-Sub 接口。

VGA 接口是一种 D 型接口，上面共有 15 针孔，分成三排，每排五个。比较重要的是 3 根 RGB 彩色分量信号和 2 根扫描同步信号 HSYNC 和 VSYNC 针。

引脚 1、2、3 分别为红绿蓝三基色模拟电压，为 0~0.714V peak-peak (峰-峰值)，0V 代表无色，0.714V 代表满色。一些非标准显示器使用的是 1Vpp 的满色电平。

三基色源端及终端匹配电阻均为 75 欧姆。如图 11.1

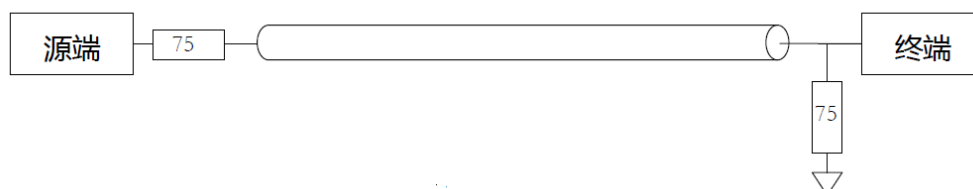


图 12.1 VGA 视频信号传输示意图

HSYNC 和 VSYNC 分别为行数据同步和帧数据同步，为 TTL 电平。FPGA 只能输出数字信号，而 VGA 需要的 R、G、B 是模拟信号，VGA 的数字转模拟信号是通过一个简单的电阻

电路来实现。这个电阻电路可以产生 32 个梯度等级的红色和蓝色信号和 64 个梯度等级的绿色信号 (RGB 5-6-5), VGA 接口部分电路如下图 11.2 所示

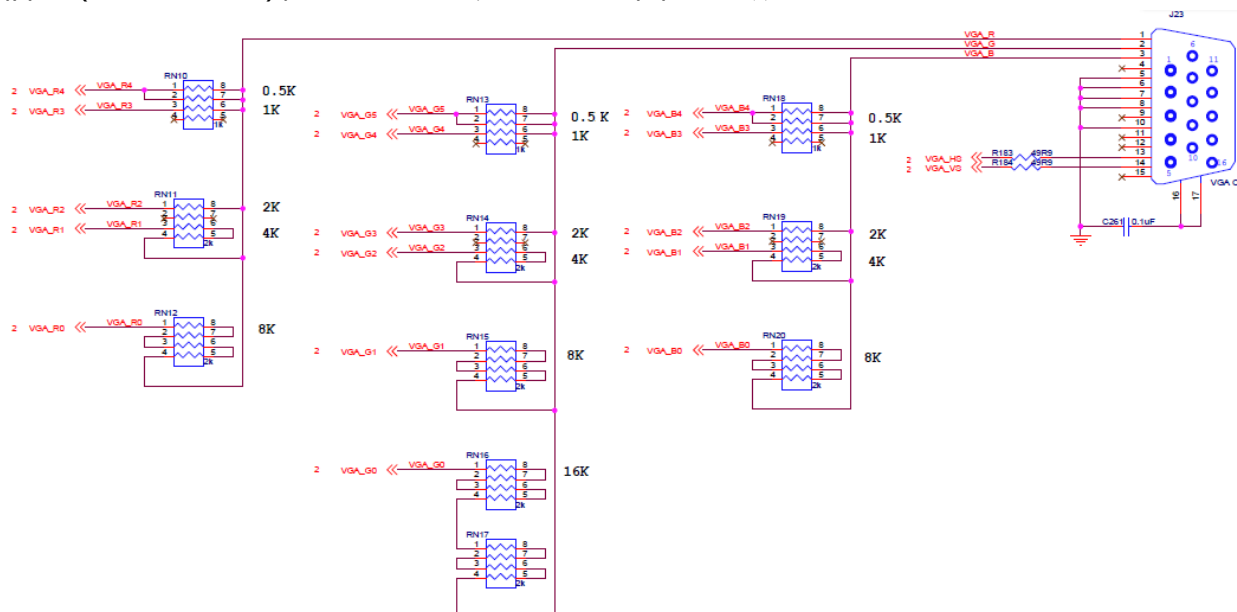


图 11.2 VGA 接口部分原理图

图 11.3 为 VGA 接口实物图



11.3 VGA 接口实物图

VGA 接口引脚分配

引脚名称	FPGA 引脚	备注
VGA_B[0]	B14	BLUE[0]
VGA_B[1]	A16	BLUE[1]
VGA_B[2]	F16	BLUE[2]
VGA_B[3]	F15	BLUE[3]
VGA_B[4]	B16	BLUE[4]
VGA_G[0]	C14	GREEN[0]
VGA_G[1]	A15	GREEN[1]
VGA_G[2]	A12	GREEN[2]
VGA_G[3]	A13	GREEN[3]
VGA_G[4]	C15	GREEN[4]

VGA_G[5]	A14	GREEN[5]
VGA_R[0]	F13	RED[0]
VGA_R[1]	D14	RED[1]
VGA_R[2]	C13	RED[2]
VGA_R[3]	E13	RED[3]
VGA_R[4]	F14	RED[4]
VGA_HS	C17	行同步信号
VGA_VS	C18	场同步信号

十三、USB2.0

开发板上通过Cypress CY7C68013A USB2.0控制器芯片实现PC与FPGA间的高速数据通信，CY7C68013A控制器完全符合通用串行总线协议2.0版规范，支持全速（12Mbit/s）以及低速（480Mbit/s）模式。用户通过用USB线连接PC的USB口和开发板的MINI型的USB口(J6)就可以进行USB2.0的数据通信。

CY7C68013A是一款集成USB2.0的微控制器。通过集成USB2.0收发器、SIE(串行接口引擎，serial interface engine)、增强的8051微控制器以及可编程的外部接口于一个单片中。CY7C68013A与其它器件间的通信很简单，它提供的GPIF于FIFO两种模式可以与FPGA, DSP, ATA, UTOPIA, EPP, PCMCIA等实现无缝的数据交换。

CY7C68013A收发器由一个24MHz的晶振提供时钟，FPGA和CY7C68013A连接的示意图如图12.1

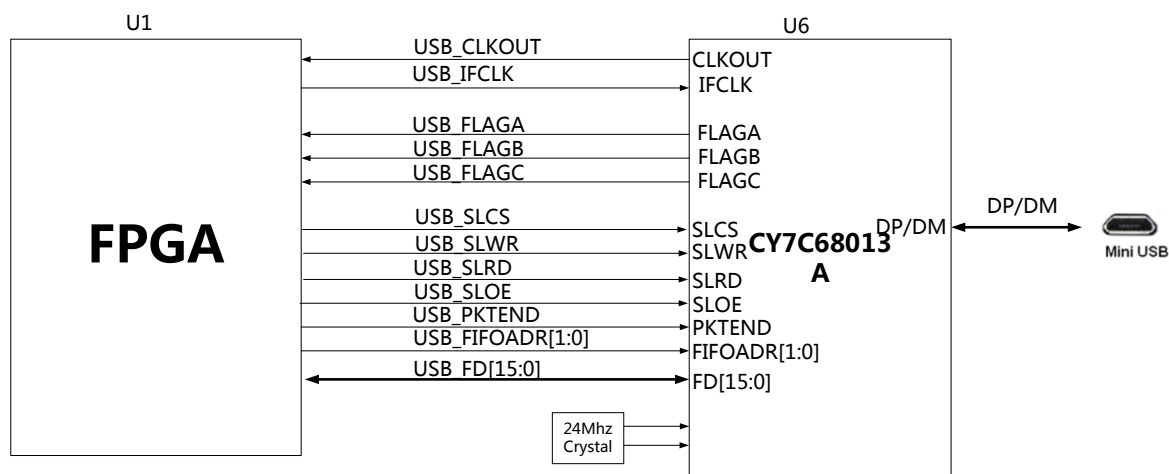


图 12.1 FPGA 和 CY7C68013A 连接图

图 12.2 为 USB2.0 部分的实物图，U6 为 CY7C68013A，J6 为 USB 接口。

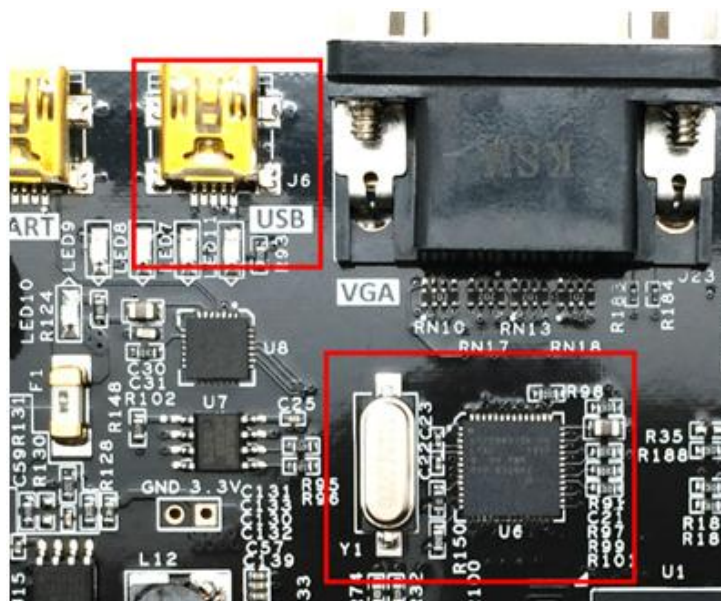


图 13.2 蜂鸣器原理图

USB2.0 引脚分配：

引脚名称	FPGA 引脚	备注
USB_CLKOUT	C9	12-, 24- or 48 MHz 时钟输出
USB_IFCLK	C6	同步通信时钟信号
USB_FLAGA	A6	状态输出信号
USB_FLAGB	C7	状态输出信号
USB_FLAGC	A7	状态输出信号
USB_SLCS	B9	Slave FIFO 片选
USB_SLWR	A5	Slave FIFO 写信号
USB_SLRD	B6	Slave FIFO 读信号
USB_SLOE	C8	Slave FIFO 数据输出使能
USB_PKTEND	B8	包结束信号
USB_FIFOADR[0]	A8	FIFO 的地址 0
USB_FIFOADR[1]	A9	FIFO 的地址 1
USB_FD[0]	A4	USB 数据 Bit0
USB_FD[1]	D8	USB 数据 Bit1
USB_FD[2]	B4	USB 数据 Bit2
USB_FD[3]	G9	USB 数据 Bit3
USB_FD[4]	A3	USB 数据 Bit4
USB_FD[5]	F9	USB 数据 Bit5

USB_FD[6]	C5	USB 数据 Bit6
USB_FD[7]	B3	USB 数据 Bit7
USB_FD[8]	A10	USB 数据 Bit8
USB_FD[9]	D11	USB 数据 Bit9
USB_FD[10]	C11	USB 数据 Bit10
USB_FD[11]	C10	USB 数据 Bit11
USB_FD[12]	D9	USB 数据 Bit12
USB_FD[13]	B11	USB 数据 Bit13
USB_FD[14]	A11	USB 数据 Bit14
USB_FD[15]	B12	USB 数据 Bit15

十四、SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡，1999 年由日本松下主导概念，参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000 年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA)，阵容强大，吸引了大量厂商参加。其中包括 IBM，Microsoft，Motorola，NEC、Samsung 等。在这些领导厂商的推动下，SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备，我们扩展出来的 SD 卡，支持 SPI 模式和 SD 模式，使用的 SD 卡为 MicroSD 卡。原理图如图 13.1 所示。

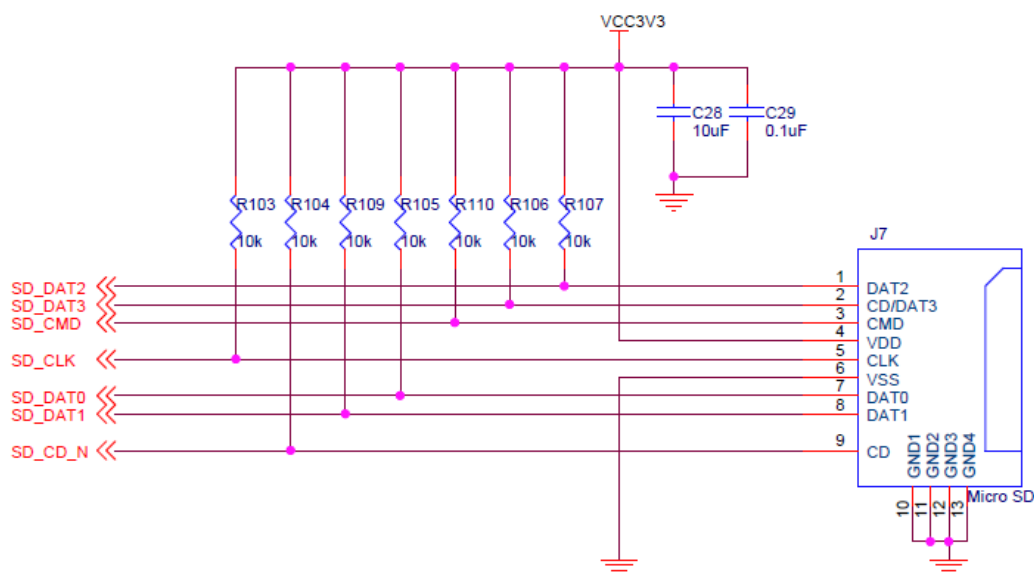


图 13.1 SD 卡槽原理图

图 13.2 SD 卡槽实物图



图 13.2 SD 卡槽实物图

SD 卡槽引脚分配

SD 模式	
引脚名称	FPGA 引脚
SD_CLK	U18
SD_CMD	P15
SD_CD_N	M13
SD_DAT0	N14
SD_DAT1	M14
SD_DAT2	P16
SD_DAT3	L14

十五、 扩展口

开发板预留 1 个扩展口，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。这些 IO 口都是独立的 IO 口，没有跟其他设备复用。IO 口连接到 FPGA 的 Bank2 上，电平默认为 3.3V，可以通过调整板上的 0 欧姆的电阻(R158 不安装，R159 安装时)改变为 2.5V 使用的时候。**切勿直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻，用于保护 FPGA 以免外界电压或电流过高造成损坏，扩展口(J3)的电路如图 14.1 所示

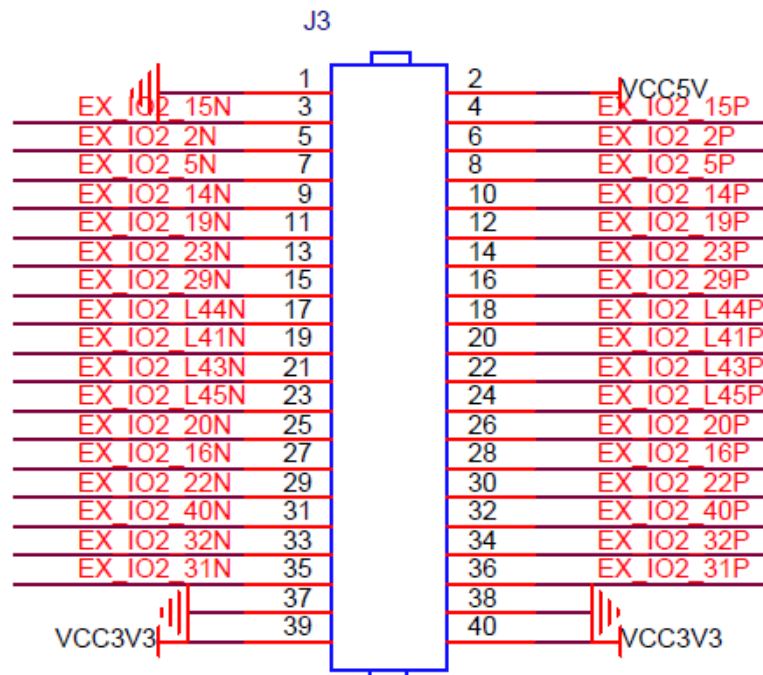


图 14.1 J3 扩展口原理图

图 16.2 为 J3 扩展口实物图，扩展口的 Pin1，Pin2 和 Pin39，Pin40 已经在板上标示出。



图 16.2 J3 扩展口实物图

此扩展口在连接我们的扩展模块的时候，方向如图 14.3 所示，1,2 脚在接口的上方（注意 PCB 上的标识）。

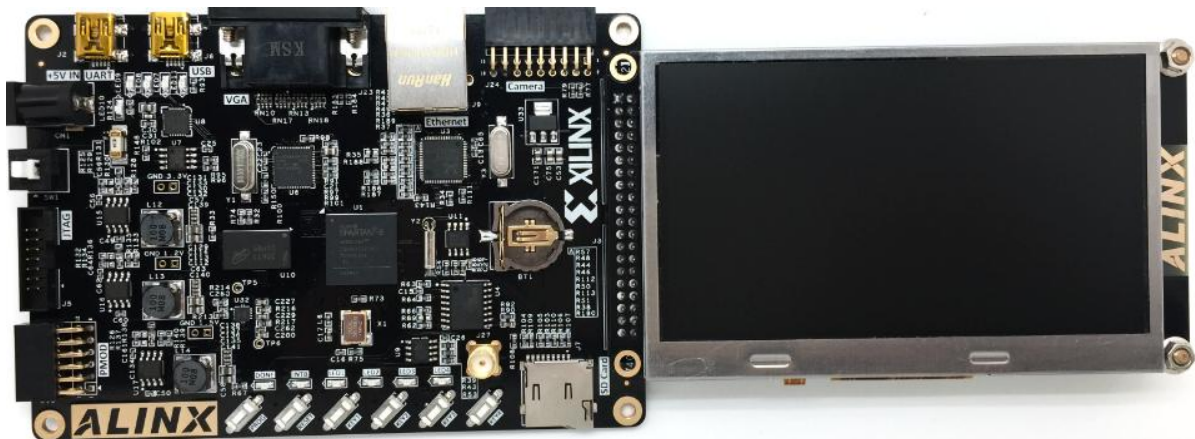


图 14.3 J3 扩展口实物图

J3 扩展口引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V

3	N11	4	M11
5	V16	6	U16
7	V15	8	U15
9	V13	10	U13
11	V12	12	T12
13	V11	14	U11
15	T10	16	R10
17	P8	18	N7
19	V8	20	U8
21	V7	22	U7
23	V6	24	T6
25	P11	26	N10
27	T11	28	R11
29	N9	30	M10
31	N8	32	M8
33	V9	34	T9
35	T8	36	R8
37	GND	38	GND
39	VCC3V3	40	VCC3V3

十六、LED

开发板板载了 6 个 LED 发光二极管，4 个用户 LED 发光二极管和 2 个 FPGA 配置指示 LED 发光二极管。4 个用户 LED 部分的原理图如图 15.1，当 FPGA 的引脚输出为逻辑 0 时，LED 会被点亮。

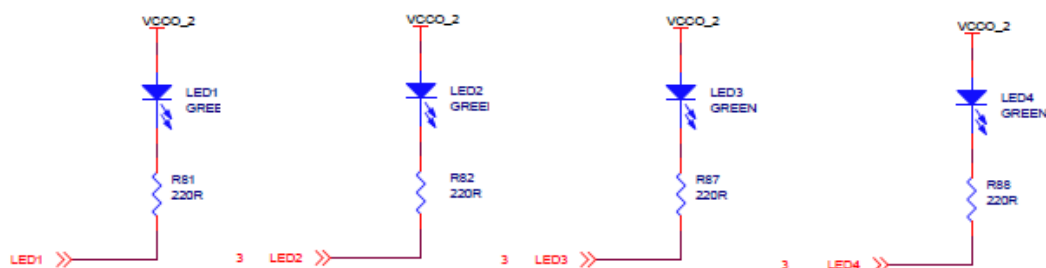


图 15.1 用户 LED 原理图

2 个 FPGA 配置指示 LED 分别为 INIT LED 和 DONE LED, 当 FPGA 没有配置程序时, INIT LED 点亮, DONE LED 熄灭; FPGA 配置成功后, INIT LED 熄灭, DONE LED 点亮。配置指示 LED 的原理图如图 15.2。

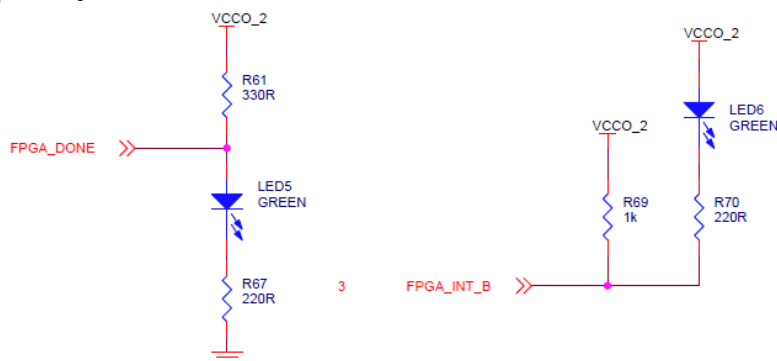


图 15.2 4 个用户 LED 原理图

图 15.3 为 LED 实物图



图 15.3 配置指示 LED 实物图

LED 引脚分配：

引脚名称	FPGA 引脚
LED0	V5
LED1	R3
LED2	T3
LED3	T4

十七、 按键

开发板板载了 6 个独立按键 4 个用户按键(KEY1~KEY4), 2 个功能按键(PROG 和 RESET)。

按键都为低电平有效，4 个用户按键的原理图如图 16.1 所示

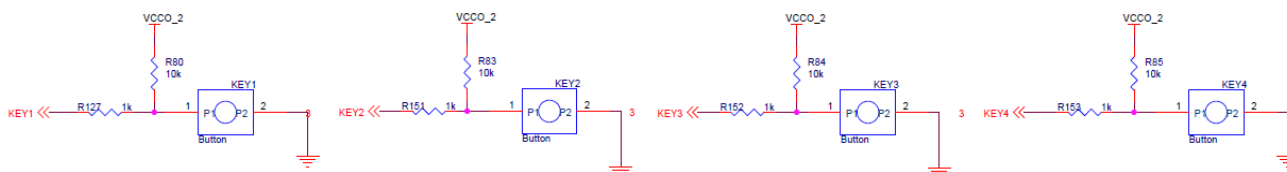


图 16.1 4 个用户按键原理图

2 个功能按键的原理图如图 16.2 所示, 其中 Reset 按键连接到 FPGA 的普通 IO 用于 FPGA 的程序复位, PROG 按键连接到 FPGA 的专用 PROGRAM_B 引脚, 用于 FPGA 程序的

重新配置。

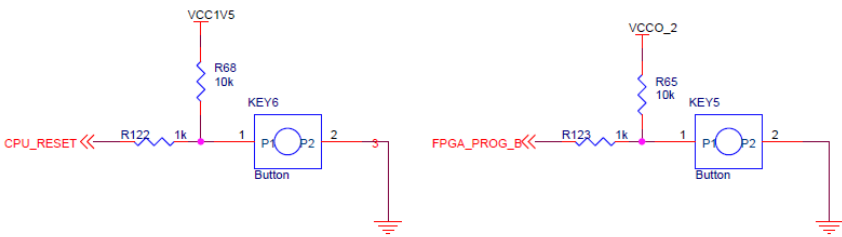


图 16.2 2 个功能按键原理图

图 16.3 为 6 个独立按键实物图



图 16.3 6 个独立按键实物图

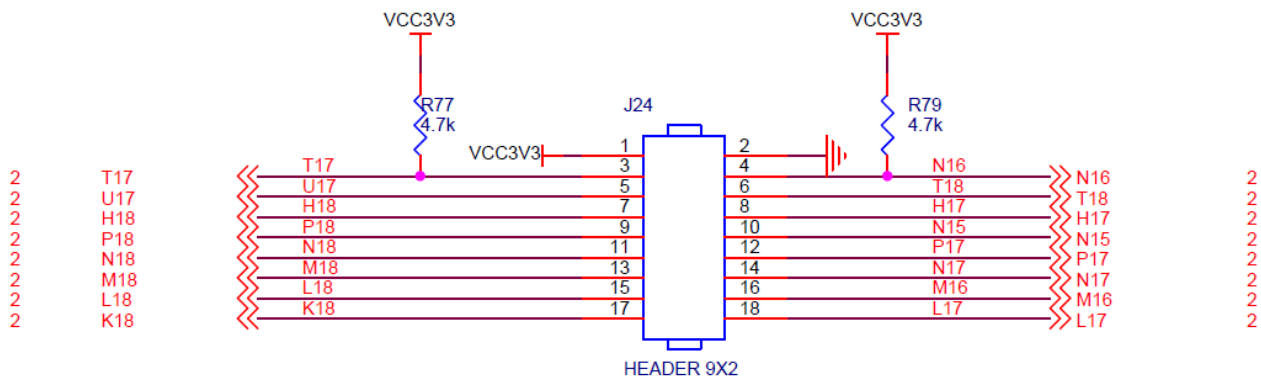
按键引脚分配：

按键名称	FPGA 引脚	按键标号
KEY1	P7	KEY 1
KEY2	R5	KEY 2
KEY3	T5	KEY 3
KEY4	U5	KEY 4
RESET	N4	KEY6
PROG	V2	KEY5

十八、 摄像头接口

开发板包含了一个 18 针的 CMOS 摄像头接口 ,可以连接 OV7670 摄像头模块和 OV5640 摄像头模块，可以实现视频采集功能，采集以后，可以通过 TFT 液晶屏或者 VGA 接口连接显示器进行显示。OV7670，30W 像素，输出分辨率为 640*480; OV5640，500W 像素，输出分辨率高达为 2592*1944。关于摄像头选择，用户可以根据自己实际需要进行选购。

CMOS 摄像头接口原理图如图 17.1 所示



CMOS Camera Connector

图 17.1 摄像头接口原理图

实物图如图 17.2 所示 (**摄像头模块为选配件**)

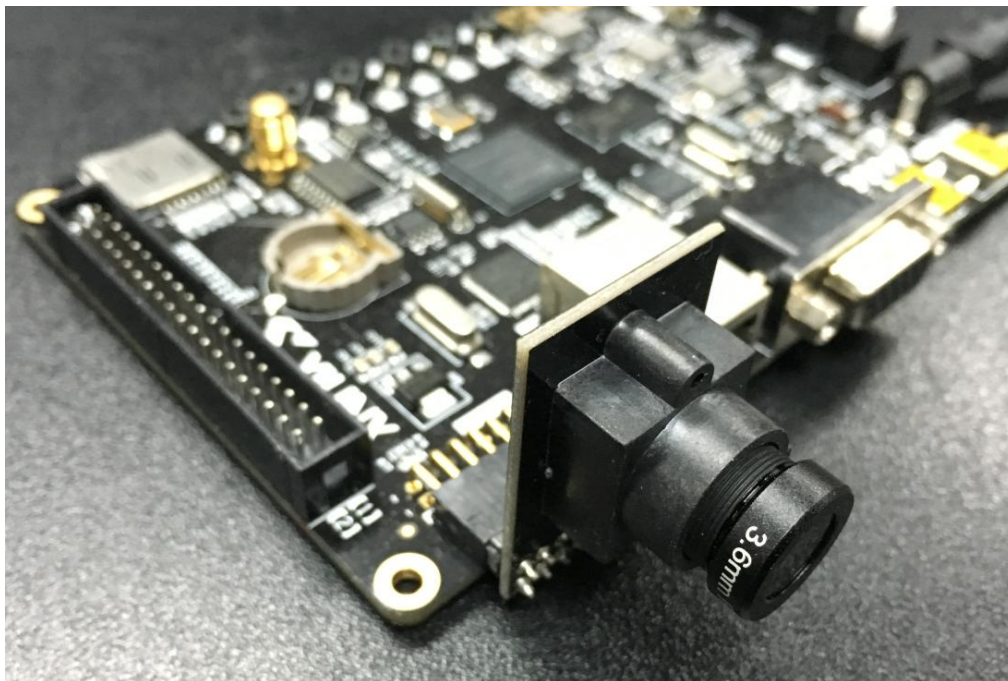


图 17.2 摄像头接口实物图

摄像头接口引脚分配：

引脚名称	FPGA 引脚
CMOS_SCLK	T17
CMOS_SDAT	N16
CMOS_VSYNC	T18
CMOS_HREF	P17
CMOS_PCLK	U17
CMOS_XCLK	N18
CMOS_D[7]	P18

CMOS_D[6]	N15
CMOS_D[5]	L18
CMOS_D[4]	N17
CMOS_D[3]	H18
CMOS_D[2]	H17
CMOS_D[1]	M16
CMOS_D[0]	M18
CMOS_RESET	K18
CMOS_PWDN	L17

十九、 PMOD 接口(AX516 预留)

开发板预留了一个 12 针 2.54mm 间距的 PMOD 接口(J10)用于连接外部模块或电路,预留此 PMOD 接口是为 AX516 开发板(Spartan6 XC6SLX16 芯片)而设计的。**但针对 AX545 的开发板,此 PMOD 接口的引脚在 XC6SLX45 芯片是 NC 的,这些引脚在用户在使用的时候需要特别注意。**

PMOD 接口引脚通过串联 33 欧姆电阻连接到 FPGA 管脚上,起到保护 FPGA 的 IO 的作用,以免外部电压过高或大电流造成 FPGA 的损坏。接口原理图如图 18.1 所示

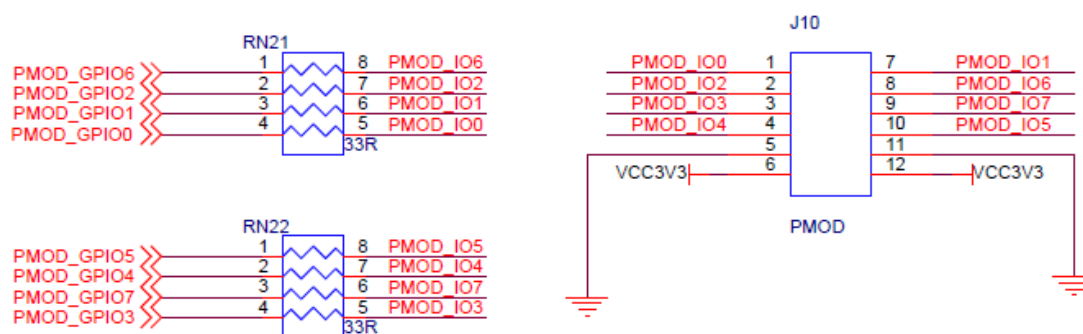


图 18.1 PMOD 接口原理图

PMOD 接口实物图如图 18.2 所示

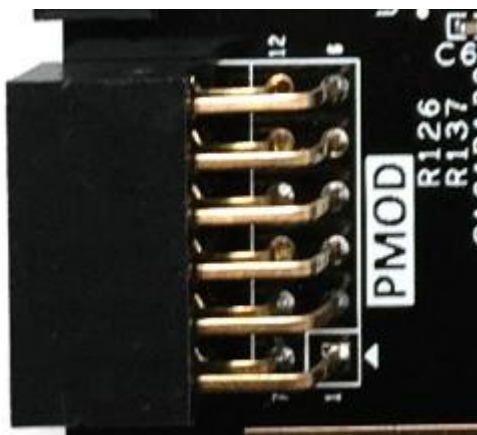


图 18.2 PMOD 连接器实物图

PMOD 接口引脚分配：

PMOD 引脚	FPGA 引脚	说明
1	G11	AX545 不可用
2	F11	AX545 不可用
3	E11	AX545 不可用
4	D12	AX545 不可用
5	GND	
6	VCC3V3	
7	F10	AX545 不可用
8	F12	AX545 不可用
9	E12	AX545 不可用
10	C12	AX545 不可用
11	GND	
12	VCC3V3	

二十、SMA 接口

开发板上的 SMA 接口(J27)连接到 FPGA 的全局时钟输入输出引脚,用户可以根据自己不同需要自由使用。**如果用户需要外部提供输入时钟给 FPGA, 输入的电压不能超过+3.3V,不然可能会造成 FPGA 损坏**。SMA 接口也可以从 FPGA 输出时钟或 PWM 信号给外部设备使用。SMA 接口的原理图如图 19.1 所示

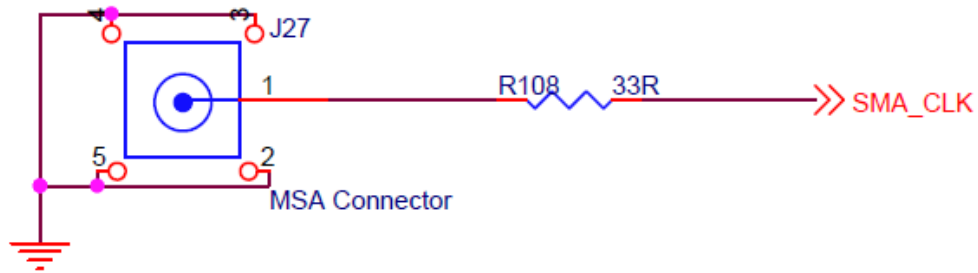


图 19.1 SMA 时钟接口原理图

SMA 接口实物图如图 19.2 所示



图 19.2 SMA 连接器实物图

SMA 接口引脚分配：

引脚名称	FPGA 引脚
SMA_CLK	U10